

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-219480
(P2007-219480A)

(43) 公開日 平成19年8月30日(2007.8.30)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 641D	5C080
H01L 51/50 (2006.01)	G09G 3/20 611H	5J500
H03F 3/343 (2006.01)	G09G 3/20 642A	
	G09G 3/20 612E	
審査請求 有 請求項の数 83 O L (全 31 頁) 最終頁に続く		

(21) 出願番号	特願2006-246721 (P2006-246721)	(71) 出願人	504376935 奇景光電股▲ふん▼有限公司 台湾臺南縣新化鎮中山路605號10樓
(22) 出願日	平成18年9月12日(2006.9.12)	(74) 代理人	100070150 弁理士 伊東 忠彦
(31) 優先権主張番号	095105538	(74) 代理人	100091214 弁理士 大貫 進介
(32) 優先日	平成18年2月17日(2006.2.17)	(74) 代理人	100107766 弁理士 伊東 忠重
(33) 優先権主張国	台湾 (TW)	(74) 代理人	100145377 弁理士 杉山 公一
		(72) 発明者	邱 郁文 台湾台南縣新化鎮中山路605號10樓
		(72) 発明者	ト 令楷 台湾台南縣新化鎮中山路605號10樓 最終頁に続く

(54) 【発明の名称】 O L E Dパネル及びそれを駆動する電流ミラー

(57) 【要約】

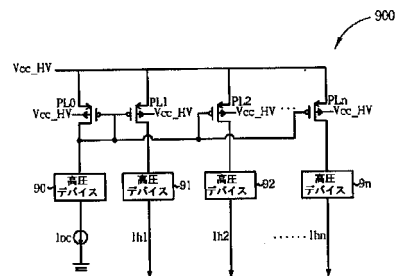
【課題】

O L E Dパネルに均一性の高い電流を供給することが可能で、それによりO L E Dパネルの性能を向上することが可能な、O L E Dパネルを駆動するための電流ミラーを提供する。

【解決手段】

電流ミラーは、O L E Dパネルに均一性の高い電流を供給するように、電流ミラーの主要部に低圧M O Sトランジスタを採用する。また、電流ミラーは、O L E Dパネルのために使用される高電圧が当該電流ミラーに利用されるように、当該電流ミラーをバイアスする高電圧デバイスを用いる。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

OLEDパネルを駆動する電流ミラーであって：

第1の低圧PMOSトランジスタであり：

第1基準電圧に結合されるソース端子；

ドレイン端子；及び

当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子；

を有する第1の低圧PMOSトランジスタ；

第2の低圧PMOSトランジスタであり：

前記第1基準電圧に結合されるソース端子；

ドレイン端子；及び

前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子；

を有する第2の低圧PMOSトランジスタ；

前記第1の低圧PMOSトランジスタの前記ドレイン端子と第1電流源との間に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；並びに

前記第2の低圧PMOSトランジスタの前記ドレイン端子と前記OLEDパネルとの間に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；

を有する電流ミラー。

10

20

【請求項 2】

請求項1に記載の電流ミラーであって：

前記第1の低圧PMOSトランジスタが、前記第1基準電圧に結合されるベース端子をさらに有し；かつ

前記第2の低圧PMOSトランジスタが、前記第1基準電圧に結合されるベース端子をさらに有する；

ところの電流ミラー。

【請求項 3】

請求項1に記載の電流ミラーであって：

前記第1の高圧デバイスが：

前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記第1電流源に結合されるドレイン端子；及び

第2基準電圧に結合されるゲート端子；

を有する第1の高圧PMOSトランジスタを含み；かつ

前記第2の高圧デバイスが：

前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記OLEDパネルに結合されるドレイン端子；及び

第3基準電圧に結合されるゲート端子；

を有する第2の高圧PMOSトランジスタを含む；

ところの電流ミラー。

30

40

【請求項 4】

請求項3に記載の電流ミラーであって、前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

【請求項 5】

請求項3に記載の電流ミラーであって、前記第2基準電圧が前記第3基準電圧に等しい、ところの電流ミラー。

【請求項 6】

請求項5に記載の電流ミラーであって、前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合され、かつ、前

50

記第 2 の高圧 P M O S トランジスタの前記ゲート端子が前記第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

【請求項 7】

請求項 1 に記載の電流ミラーであって：

第 1 個数の低圧 P M O S トランジスタであり、各々が：

前記第 1 基準電圧に結合されるソース端子；

ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子；を有する、ところの第 1 個数の低圧 P M O S トランジスタ；並びに

該第 1 個数の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする 10

第 1 個数の高圧デバイスであり、各々が前記 O L E D パネルと前記第 1 個数の低圧 P M O S トランジスタ内の対応する 1 つの低圧 P M O S トランジスタの前記ドレイン端子との間に結合されている、ところの第 1 個数の高圧デバイス；

をさらに有する電流ミラー。

【請求項 8】

請求項 7 に記載の電流ミラーであって、前記第 1 個数の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されるベース端子をさらに有する、ところの電流ミラー。

【請求項 9】

請求項 7 に記載の電流ミラーであって：

前記第 1 の高圧デバイスが：

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 電流源に結合されるドレイン端子；及び

第 2 基準電圧に結合されるゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；

前記第 2 の高圧デバイスが：

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 O L E D パネルに結合されるドレイン端子；及び

第 3 基準電圧に結合されるゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含み；かつ

前記第 1 個数の高圧デバイスの各々が：

対応する低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 O L E D パネルに結合されるドレイン端子；及び

第 3 基準電圧に結合されるゲート端子；

を有する高圧 P M O S トランジスタを含む；

ところの電流ミラー。

【請求項 10】

請求項 9 に記載の電流ミラーであって、前記第 2 基準電圧が前記第 3 基準電圧に等しい、ところの電流ミラー。

【請求項 11】

請求項 10 に記載の電流ミラーであって、各々の高圧 P M O S トランジスタの前記ゲート端子が前記第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。 40

【請求項 12】

請求項 9 に記載の電流ミラーであって、前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

【請求項 13】

請求項 1 に記載の電流ミラーであって、P M O L E D パネルを駆動するための電流ミラー。

【請求項 14】

請求項 1 に記載の電流ミラーであって、電流モードの A M O L E D パネルを駆動するための電流ミラー。

【請求項 1 5】

O L E D パネル；並びに

該 O L E D パネルを駆動する電流ミラーであって：

第 1 の低圧 P M O S トランジスタであり：

第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

当該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子

；

を有する第 1 の低圧 P M O S トランジスタ；

第 2 の低圧 P M O S トランジスタであり：

前記第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子；

を有する第 2 の低圧 P M O S トランジスタ；

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子と第 1 電流源との間に結合され、前記第 1 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 の高圧デバイス；及び

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子と前記 O L E D パネルとの間に結合され、前記第 2 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 2 の高圧デバイス；

を有する電流ミラー；

を有する O L E D ディスプレー。

【請求項 1 6】

請求項 1 5 に記載の O L E D ディスプレーであって：

前記第 1 の低圧 P M O S トランジスタが、前記第 1 基準電圧に結合されたベース端子をさらに有し；かつ

前記第 2 の低圧 P M O S トランジスタが、前記第 1 基準電圧に結合されたベース端子をさらに有する；

ところの O L E D ディスプレー。

【請求項 1 7】

請求項 1 5 に記載の O L E D ディスプレーであって：

前記第 1 の高圧デバイスが：

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 電流源に結合されたドレイン端子；及び

第 2 基準電圧に結合されたゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；かつ

前記第 2 の高圧デバイスが：

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 O L E D パネルに結合されたドレイン端子；及び

第 3 基準電圧に結合されたゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含む；

ところの O L E D ディスプレー。

【請求項 1 8】

請求項 1 7 に記載の O L E D ディスプレーであって、前記第 2 基準電圧が前記第 3 基準電圧に等しい、ところの O L E D ディスプレー。

【請求項 1 9】

請求項 1 8 に記載の O L E D ディスプレーであって、前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合さ

10

20

30

40

50

れ、かつ、前記第 2 の高圧 P M O S トランジスタの前記ゲート端子が前記第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの O L E D ディスプレー。

【請求項 20】

請求項 17 に記載の O L E D ディスプレーであって、前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの O L E D ディスプレー。

【請求項 21】

請求項 15 に記載の O L E D ディスプレーであって、前記電流ミラーが：

第 1 個数の低圧 P M O S トランジスタであり、各々が：

前記第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子；

を有する第 1 個数の低圧 P M O S トランジスタ；並びに

該第 1 個数の低圧 P M O S トランジスタをバイアスする第 1 個数の高圧デバイスであり、各々が前記 O L E D パネルと前記第 1 個数の低圧 P M O S トランジスタ内の対応する 1 つの低圧 P M O S トランジスタの前記ドレイン端子との間に結合されている、ところの第 1 個数の高圧デバイス；

をさらに有する、ところの O L E D ディスプレー。

【請求項 22】

請求項 21 に記載の O L E D ディスプレーであって、前記第 1 個数の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されたベース端子をさらに有する、ところの O L E D ディスプレー。

【請求項 23】

請求項 21 に記載の O L E D ディスプレーであって：

前記第 1 の高圧デバイスが：

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 電流源に結合されたドレイン端子；及び

第 2 基準電圧に結合されたゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；

前記第 2 の高圧デバイスが：

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 O L E D パネルに結合されたドレイン端子；及び

第 3 基準電圧に結合されたゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含み；かつ

前記第 1 個数の高圧デバイスの各々が：

対応する低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 O L E D パネルに結合されたドレイン端子；及び

第 3 基準電圧に結合されたゲート端子；

を有する高圧 P M O S トランジスタを含む；

ところの O L E D ディスプレー。

【請求項 24】

請求項 23 に記載の O L E D ディスプレーであって、前記第 2 基準電圧が前記第 3 基準電圧に等しい、ところの O L E D ディスプレー。

【請求項 25】

請求項 24 に記載の O L E D ディスプレーであって、各々の高圧 P M O S トランジスタの前記ゲート端子が前記第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの O L E D ディスプレー。

【請求項 26】

請求項 23 に記載の O L E D ディスプレーであって、前記第 1 の高圧 P M O S トランジ

10

20

30

40

50

スタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されている、ところのOLEDディスプレイ。

【請求項27】

請求項15に記載のOLEDディスプレイであって、前記OLEDパネルがPMOLEDパネルである、ところのOLEDディスプレイ。

【請求項28】

請求項15に記載のOLEDディスプレイであって、前記OLEDパネルが電流モードAMOLEDパネルである、ところのOLEDディスプレイ。

【請求項29】

PMOLEDパネルを駆動する電流ミラーであって：

10

電流源；

第1の低圧PMOSトランジスタであり：

第1基準電圧に結合されるソース端子；

ドレイン端子；及び

当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子；を有する第1の低圧PMOSトランジスタ；

第2の低圧PMOSトランジスタであり：

前記第1基準電圧に結合されるソース端子；

ドレイン端子；及び

前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子；を有する第2の低圧PMOSトランジスタ；

20

前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；

前記第2の低圧PMOSトランジスタの前記ドレイン端子及び前記PMOLEDパネルに結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；

前記第1の高圧デバイスに結合され、前記第1の低圧PMOSトランジスタを通る電流を制御するPAMモジュール；並びに

NMOSトランジスタであり：

30

前記電流源に結合されたソース端子；

ドレイン端子；及び

前記PAMモジュールに結合され、該PAMモジュールの機能を有効にするゲート端子；

を有するNMOSトランジスタ；

を有する電流ミラー。

【請求項30】

請求項29に記載の電流ミラーであって：

前記第1及び第2の低圧PMOSトランジスタの各々が、前記第1基準電圧に結合されるベース端子をさらに有する、ところの電流ミラー。

40

【請求項31】

請求項29に記載の電流ミラーであって：

前記第1の高圧デバイスが：

前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記PAMモジュールに結合されたドレイン端子；及び

第2基準電圧に結合されるゲート端子；

を有する第1の高圧PMOSトランジスタを含み；かつ

前記第2の高圧デバイスが：

前記第2の低圧PMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記PMOLEDパネルに結合されるドレイン端子；及び

50

第3基準電圧に結合されるゲート端子；
を有する第2の高圧PMOSトランジスタを含む；
ところの電流ミラー。

【請求項32】

請求項31に記載の電流ミラーであって、前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

【請求項33】

請求項31に記載の電流ミラーであって、前記第2基準電圧が前記第3基準電圧に等しい、ところの電流ミラー。

10

【請求項34】

請求項33に記載の電流ミラーであって、前記第1の高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

【請求項35】

請求項29に記載の電流ミラーであって、前記NMOSトランジスタが高圧NMOSトランジスタである、ところの電流ミラー。

【請求項36】

請求項29に記載の電流ミラーであって、前記PAMモジュールが：
並列に結合された複数のNMOSトランジスタ；及び
複数のスイッチであり、各々が前記複数のNMOSトランジスタ内の対応する1つのNMOSトランジスタに直列接続されている、ところの複数のスイッチ；
を有する、ところの電流ミラー。

20

【請求項37】

請求項29に記載の電流ミラーであって：

第1個数の第1の低圧PMOSトランジスタであり、各々が：

前記第1基準電圧に結合されるソース端子；
ドレイン端子；及び

該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子；
を有する、ところの第1個数の第1の低圧PMOSトランジスタ；

30

第1個数の前記第2の低圧PMOSトランジスタであり、各々が：

前記第1基準電圧に結合されるソース端子；
ドレイン端子；及び

前記第1個数の第1の低圧PMOSトランジスタ内の対応する1つの第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子；

を有する、ところの第1個数の第2の低圧PMOSトランジスタ；

前記第1個数の第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1個数の第1の高圧デバイスであり、各々が前記第1個数の第1の低圧PMOSトランジスタ内の対応する1つの第1の低圧PMOSトランジスタの前記ドレイン端子に結合されている、ところの第1個数の第1の高圧デバイス；

40

前記第1個数の第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1個数の第2の高圧デバイスであり、各々が前記PMOLEDパネルと前記第1個数の第2の低圧PMOSトランジスタ内の対応する1つの第2の低圧PMOSトランジスタの前記ドレイン端子に結合されている、ところの第1個数の第2の高圧デバイス；
並びに

第1個数のPAMモジュールであり、各々が、前記第1個数の第1の高圧デバイス内の対応する1つの第1の高圧デバイスと前記NMOSトランジスタの前記ドレイン端子との間に結合され、前記第1個数の第1の低圧PMOSトランジスタ内の対応する1つの低圧PMOSトランジスタを通る電流を制御する、ところの第1個数のPAMモジュール；
をさらに有する電流ミラー。

50

【請求項 38】

請求項 37 に記載の電流ミラーであって：

前記第 1 個数の第 1 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されるベース端子をさらに有し；かつ

前記第 1 個数の第 2 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されるベース端子をさらに有する；

ところの電流ミラー。

【請求項 39】

請求項 37 に記載の電流ミラーであって：

前記第 1 個数の第 1 の高圧デバイスの各々が：

10

前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 個数の P A M モジュール内の対応する 1 つの P A M モジュールに結合されたドレイン端子；及び

第 2 基準電圧に結合されるゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；かつ

前記第 1 個数の第 2 の高圧デバイスの各々が：

前記第 1 個数の第 2 の低圧 P M O S トランジスタ内の対応する 1 つの第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 P M O L E D パネルに結合されるドレイン端子；及び

20

第 3 基準電圧に結合されるゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含む；

ところの電流ミラー。

【請求項 40】

請求項 39 に記載の電流ミラーであって、各々の前記第 1 個数の第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

【請求項 41】

請求項 37 に記載の電流ミラーであって、前記第 1 個数の P A M モジュールの各々が：

並列に結合された複数の N M O S トランジスタ；及び

30

複数のスイッチであり、各々が前記複数の N M O S トランジスタ内の対応する 1 つの N M O S トランジスタに直列接続されている、ところの複数のスイッチ；

を含む、ところの電流ミラー。

【請求項 42】

P M O L E D パネル；並びに

該 P M O L E D パネルを駆動する電流ミラーであって：

電流源；

第 1 の低圧 P M O S トランジスタであり：

第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

40

当該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子

；

を有する第 1 の低圧 P M O S トランジスタ；

第 2 の低圧 P M O S トランジスタであり：

前記第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子

；

を有する第 2 の低圧 P M O S トランジスタ；

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合され、前記第 1 の低

50

圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 の高圧デバイス；

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子と前記 P M O L E D パネルとの間に結合され、前記第 2 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 2 の高圧デバイス；

前記第 1 の高圧デバイスに結合され、前記第 1 の低圧 P M O S トランジスタを通る電流を制御する P A M モジュール；及び

N M O S トランジスタであり；

前記電流源に結合されたソース端子；

ドレイン端子；及び

前記 P A M モジュールに結合され、該 P A M モジュールの機能を有効にするゲート端子；

を有する N M O S トランジスタ；

を有する電流ミラー；

を有する P M O L E D ディスプレー。

10

【請求項 4 3】

請求項 4 2 に記載の P M O L E D ディスプレーであって；

前記第 1 及び第 2 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されたベース端子をさらに有する、ところの P M O L E D ディスプレー。

【請求項 4 4】

請求項 4 2 に記載の P M O L E D ディスプレーであって；

前記第 1 の高圧デバイスが；

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 P A M モジュールに結合されたドレイン端子；及び

第 2 基準電圧に結合されたゲート端子；

を有する第 1 の高圧 P M O S トランジスタを含み；かつ

前記第 2 の高圧デバイスが；

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 P M O L E D パネルに結合されたドレイン端子；及び

第 3 基準電圧に結合されたゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含む；

ところの P M O L E D ディスプレー。

20

30

【請求項 4 5】

請求項 4 4 に記載の P M O L E D ディスプレーであって、前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの P M O L E D ディスプレー。

【請求項 4 6】

請求項 4 4 に記載の P M O L E D ディスプレーであって、前記第 2 基準電圧が前記第 3 基準電圧に等しい、ところの P M O L E D ディスプレー。

【請求項 4 7】

請求項 4 6 に記載の P M O L E D ディスプレーであって、前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの P M O L E D ディスプレー。

40

【請求項 4 8】

請求項 4 2 に記載の P M O L E D ディスプレーであって、前記 P A M モジュールが；

並列に結合された複数の N M O S トランジスタ；及び

複数のスイッチであり、各々が前記複数の N M O S トランジスタ内の対応する 1 つの N M O S トランジスタに直列接続されている、ところの複数のスイッチ；

を有する、ところの P M O L E D ディスプレー。

【請求項 4 9】

50

請求項 4 2 に記載の P M O L E D ディスプレーであって：

第 1 個数の第 1 の低圧 P M O S トランジスタであり、各々が：

前記第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子；

を有する、ところの第 1 個数の第 1 の低圧 P M O S トランジスタ；

第 1 個数の前記第 2 の低圧 P M O S トランジスタであり、各々が：

前記第 1 基準電圧に結合されたソース端子；

ドレイン端子；及び

前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子； 10

を有する、ところの第 1 個数の第 2 の低圧 P M O S トランジスタ；

前記第 1 個数の第 1 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 1 の高圧デバイスであり、各々が前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 1 の高圧デバイス；

前記第 1 個数の第 2 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 2 の高圧デバイスであり、各々が前記 P M O L E D パネルと前記第 1 個数の第 2 の低圧 P M O S トランジスタ内の対応する 1 つの第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 2 の高圧デバイス； 20

並びに
第 1 個数の P A M モジュールであり、各々が前記第 1 個数の第 1 の高圧デバイス内の対応する 1 つの第 1 の高圧デバイスと前記 N M O S トランジスタの前記ドレイン端子とに結合されている、ところの第 1 個数の P A M モジュール；

をさらに有する P M O L E D ディスプレー。

【請求項 5 0】

請求項 4 9 に記載の P M O L E D ディスプレーであって：

前記第 1 個数の第 1 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されたベース端子をさらに有し；かつ

前記第 1 個数の第 2 の低圧 P M O S トランジスタの各々が、前記第 1 基準電圧に結合されたベース端子をさらに有する； 30

ところの P M O L E D ディスプレー。

【請求項 5 1】

請求項 4 9 に記載の P M O L E D ディスプレーであって：

前記第 1 個数の第 1 の高圧デバイスの各々が：

前記第 1 個数の第 1 の低圧 P M O S トランジスタ内の対応する 1 つの第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 個数の P A M モジュール内の対応する 1 つの P A M モジュールに結合されたドレイン端子；及び

第 2 基準電圧に結合されたゲート端子； 40

を有する第 1 の高圧 P M O S トランジスタを含み；かつ

前記第 1 個数の第 2 の高圧デバイスの各々が：

前記第 1 個数の第 2 の低圧 P M O S トランジスタ内の対応する 1 つの第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記 P M O L E D パネルに結合されたドレイン端子；及び

第 3 基準電圧に結合されたゲート端子；

を有する第 2 の高圧 P M O S トランジスタを含む；

ところの P M O L E D ディスプレー。

【請求項 5 2】

請求項 4 9 に記載の P M O L E D ディスプレーであって、各々の前記第 1 個数の第 1 の 50

高圧PMOSトランジスタの前記ゲート端子が該第1の高圧PMOSトランジスタの前記ドレイン端子に結合されている、ところのPMOLEDディスプレイ。

【請求項53】

請求項42に記載のPMOLEDディスプレイであって、前記第1個数のPAMモジュールの各々が：

並列に結合された複数のNMOSトランジスタ；及び

複数のスイッチであり、各々が前記複数のNMOSトランジスタ内の対応する1つのNMOSトランジスタに直列接続されている、ところの複数のスイッチ；

を含む、ところのPMOLEDディスプレイ。

【請求項54】

AMOLEDパネルを駆動する電流ミラーであって：

電流源；

第1の低圧NMOSトランジスタであり：

ソース端子；

ドレイン端子；及び

当該第1の低圧NMOSトランジスタの前記ドレイン端子に結合されたゲート端子；を有する第1の低圧NMOSトランジスタ；

第2の低圧NMOSトランジスタであり：

前記第1の低圧NMOSトランジスタの前記ソース端子に結合されたソース端子；

ドレイン端子；及び

前記第1の低圧NMOSトランジスタの前記ゲート端子に結合されたゲート端子；を有する第2の低圧NMOSトランジスタ；

前記第1の低圧NMOSトランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第1の低圧NMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；

前記第2の低圧NMOSトランジスタの前記ドレイン端子に結合され、前記第2の低圧NMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；並びに

前記第2の高圧デバイスと前記AMOLEDパネルとの間に結合されるスイッチ；

を有する電流ミラー。

【請求項55】

請求項54に記載の電流ミラーであって、前記第1の低圧NMOSトランジスタの前記ソース端子がグランドに結合されている、ところの電流ミラー。

【請求項56】

請求項54に記載の電流ミラーであって：

前記第1の高圧デバイスが：

前記第1の低圧NMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記電流源に結合されたドレイン端子；及び

第1基準電圧源に結合されるゲート端子；

を有する第1の高圧NMOSトランジスタを含み；かつ

前記第2の高圧デバイスが：

前記第2の低圧NMOSトランジスタの前記ドレイン端子に結合されたソース端子；

前記スイッチに結合されたドレイン端子；及び

第2基準電圧源に結合されるゲート端子；

を有する第2の高圧NMOSトランジスタを含む；

ところの電流ミラー。

【請求項57】

請求項56に記載の電流ミラーであって、前記第1の高圧NMOSトランジスタの前記ゲート端子が該第1の高圧NMOSトランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

10

20

30

40

50

【請求項 58】

請求項 56 に記載の電流ミラーであって、前記第 1 基準電圧が前記第 2 基準電圧に等しい、ところの電流ミラー。

【請求項 59】

請求項 58 に記載の電流ミラーであって、前記第 1 の高圧 NMOS トランジスタの前記ゲート端子が該第 1 の高圧 NMOS トランジスタの前記ドレイン端子に結合されている、ところの電流ミラー。

【請求項 60】

請求項 54 に記載の電流ミラーであって：

第 1 個数の第 3 の低圧 NMOS トランジスタであり、各々が：

前記第 1 の低圧 NMOS トランジスタのソース端子に結合されたソース端子；
ドレイン端子；及び

前記第 1 の低圧 NMOS トランジスタの前記ゲート端子に結合されたゲート端子；
を有する、ところの第 1 個数の第 3 の低圧 NMOS トランジスタ；

前記第 1 個数の第 3 の低圧 NMOS トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 3 の高圧デバイスであり、各々が前記第 1 個数の第 3 の低圧 NMOS トランジスタ内の対応する 1 つの第 3 の低圧 NMOS トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 3 の高圧デバイス；並びに

第 1 個数のスイッチであり、各々が、対応する 1 つの第 3 の高圧デバイスと前記 AMOLED パネルとの間に結合される、ところの第 1 個数のスイッチ；
をさらに有する電流ミラー。

【請求項 61】

請求項 60 に記載の電流ミラーであって、前記第 1 個数の第 3 の高圧デバイスの各々が：

前記第 1 個数の第 3 の低圧 NMOS トランジスタ内の対応する 1 つの第 3 の低圧 NMOS トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 個数のスイッチ内の対応する 1 つのスイッチに結合されたドレイン端子；及び
第 2 基準電圧源に結合されるゲート端子；

を有する第 3 の高圧 NMOS トランジスタを含む、ところの電流ミラー。

【請求項 62】

AMOLED パネル；並びに

該 AMOLED パネルを駆動する電流ミラーであって：

電流源；

第 1 の低圧 NMOS トランジスタであり：

ソース端子；

ドレイン端子；及び

当該第 1 の低圧 NMOS トランジスタの前記ドレイン端子に結合されたゲート端子

；

を有する第 1 の低圧 NMOS トランジスタ；

第 2 の低圧 NMOS トランジスタであり：

前記第 1 の低圧 NMOS トランジスタの前記ソース端子に結合されたソース端子；
ドレイン端子；及び

前記第 1 の低圧 NMOS トランジスタの前記ゲート端子に結合されたゲート端子；
を有する第 2 の低圧 NMOS トランジスタ；

前記第 1 の低圧 NMOS トランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第 1 の低圧 NMOS トランジスタを所定の低電圧で動作するようにバイアスする第 1 の高圧デバイス；

前記第 2 の低圧 NMOS トランジスタの前記ドレイン端子に結合され、前記第 2 の低圧 NMOS トランジスタを所定の低電圧で動作するようにバイアスする第 2 の高圧デバイス；及び

10

20

30

40

50

前記第 2 の高圧デバイスと前記 A M O L E D パネルとの間に結合されるスイッチ；
を有する電流ミラー。

を有する A M O L E D ディスプレー。

【請求項 6 3】

請求項 6 2 に記載の A M O L E D ディスプレーであって、前記第 1 の低圧 N M O S トランジスタの前記ソース端子がグランドに結合されている、ところの A M O L E D ディスプレー。

【請求項 6 4】

請求項 6 2 に記載の A M O L E D ディスプレーであって：

前記第 1 の高圧デバイスが：

前記第 1 の低圧 N M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記電流源に結合されたドレイン端子；及び

第 1 基準電圧源に結合されるゲート端子；

を有する第 1 の高圧 N M O S トランジスタを含み；かつ

前記第 2 の高圧デバイスが：

前記第 2 の低圧 N M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記スイッチに結合されたドレイン端子；及び

第 2 基準電圧源に結合されるゲート端子；

を有する第 2 の高圧 N M O S トランジスタを含む；

ところの A M O L E D ディスプレー。

【請求項 6 5】

請求項 6 2 に記載の A M O L E D ディスプレーであって、前記第 1 の高圧 N M O S トランジスタの前記ゲート端子が該第 1 の高圧 N M O S トランジスタの前記ドレイン端子に結合されている、ところの A M O L E D ディスプレー。

【請求項 6 6】

請求項 6 2 に記載の A M O L E D ディスプレーであって、前記第 1 基準電圧が前記第 2 基準電圧に等しい、ところの A M O L E D ディスプレー。

【請求項 6 7】

請求項 6 6 に記載の A M O L E D ディスプレーであって、前記第 1 の高圧 N M O S トランジスタの前記ゲート端子が該第 1 の高圧 N M O S トランジスタの前記ドレイン端子に結合されている、ところの A M O L E D ディスプレー。

【請求項 6 8】

請求項 6 2 に記載の A M O L E D ディスプレーであって：

第 1 個数の第 3 の低圧 N M O S トランジスタであり、各々が：

前記第 1 の低圧 N M O S トランジスタのソース端子に結合されたソース端子；

ドレイン端子；及び

前記第 1 の低圧 N M O S トランジスタの前記ゲート端子に結合されたゲート端子；

を有する、ところの第 1 個数の第 3 の低圧 N M O S トランジスタ；

前記第 1 個数の第 3 の低圧 N M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 3 の高圧デバイスであり、各々が前記第 1 個数の第 3 の低圧 N M O S トランジスタ内の対応する 1 つの第 3 の低圧 N M O S トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 3 の高圧デバイス；並びに

第 1 個数のスイッチであり、各々が前記第 1 個数の第 3 の高圧デバイス内の対応する 1 つの第 3 の高圧デバイスと前記 A M O L E D パネルとの間に結合される、ところの第 1 個数のスイッチ；

をさらに有する A M O L E D ディスプレー。

【請求項 6 9】

請求項 6 8 に記載の A M O L E D ディスプレーであって、前記第 1 個数の第 3 の高圧デバイスの各々が：

前記第 1 個数の第 3 の低圧 N M O S トランジスタ内の対応する 1 つの第 3 の低圧 N M O

10

20

30

40

50

S トランジスタの前記ドレイン端子に結合されたソース端子；
 前記第 1 個数のスイッチ内の対応する 1 つのスイッチに結合されたドレイン端子；及び
 第 2 基準電圧源に結合されるゲート端子；
 を有する第 3 の高圧 N M O S トランジスタを含む、ところの A M O L E D ディスプレー

【請求項 7 0】

A M O L E D パネルを駆動する電流ミラーであって：
 電流源；
 第 1 の低圧 P M O S トランジスタであり：
 ソース端子； 10
 ドレイン端子；及び
 当該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子；
 を有する第 1 の低圧 P M O S トランジスタ；
 第 2 の低圧 P M O S トランジスタであり：
 前記第 1 の低圧 P M O S トランジスタの前記ソース端子に結合されたソース端子；
 ドレイン端子；及び
 前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子；
 を有する第 2 の低圧 P M O S トランジスタ；
 前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子と前記電流源との間に結合さ
 れ、前記第 1 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする 20
 第 1 の高圧デバイス；
 前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合され、前記第 2 の低圧
 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 2 の高圧デバイス
 ；並びに
 前記第 2 の高圧デバイスと前記 A M O L E D パネルとの間に結合されるスイッチ；
 を有する電流ミラー。

【請求項 7 1】

請求項 7 0 に記載の電流ミラーであって：
 前記第 1 の高圧デバイスが：
 前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子； 30
 前記電流源に結合されたドレイン端子；及び
 第 1 基準電圧源に結合されるゲート端子；
 を有する第 1 の高圧 P M O S トランジスタを含み；かつ
 前記第 2 の高圧デバイスが：
 前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；
 前記スイッチに結合されたドレイン端子；及び
 第 2 基準電圧源に結合されるゲート端子；
 を有する第 2 の高圧 P M O S トランジスタを含む；
 ところの電流ミラー。

【請求項 7 2】

請求項 7 1 に記載の電流ミラーであって、前記第 1 の高圧 P M O S トランジスタの前記
 ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、
 ところの電流ミラー。 40

【請求項 7 3】

請求項 7 1 に記載の電流ミラーであって、前記第 1 基準電圧が前記第 2 基準電圧に等し
 い、ところの電流ミラー。

【請求項 7 4】

請求項 7 3 に記載の電流ミラーであって、前記第 1 の高圧 P M O S トランジスタの前記
 ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、
 ところの電流ミラー。 50

【請求項 75】

請求項 71 に記載の電流ミラーであって：

第 1 個数の第 3 の低圧 P M O S トランジスタであり、各々が：

前記第 1 の低圧 P M O S トランジスタのソース端子に結合されたソース端子；
ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子；
を有する、ところの第 1 個数の第 3 の低圧 P M O S トランジスタ；

前記第 1 個数の第 3 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 3 の高圧デバイスであり、各々が前記第 1 個数の第 3 の低圧 P M O S トランジスタ内の対応する 1 つの第 3 の低圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 3 の高圧デバイス；並びに

第 1 個数のスイッチであり、各々が、対応する 1 つの第 3 の高圧デバイスと前記 A M O L E D パネルとの間に結合される、ところの第 1 個数のスイッチ；
をさらに有する電流ミラー。

【請求項 76】

請求項 75 に記載の電流ミラーであって、前記第 1 個数の第 3 の高圧デバイスの各々が：

前記第 1 個数の第 3 の低圧 P M O S トランジスタ内の対応する 1 つの第 3 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 個数のスイッチ内の対応する 1 つのスイッチに結合されたドレイン端子；及び

前記第 2 基準電圧源に結合されるゲート端子；

を有する第 3 の高圧 P M O S トランジスタを含む、ところの電流ミラー。

【請求項 77】

A M O L E D パネル；並びに

該 A M O L E D パネルを駆動する電流ミラーであって：

電流源；

第 1 の低圧 P M O S トランジスタであり：

ソース端子；

ドレイン端子；及び

当該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子

；
を有する第 1 の低圧 P M O S トランジスタ；

第 2 の低圧 P M O S トランジスタであり：

前記第 1 の低圧 P M O S トランジスタの前記ソース端子に結合されたソース端子；
ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子；
を有する第 2 の低圧 P M O S トランジスタ；

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第 1 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 の高圧デバイス；

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合され、前記第 2 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 2 の高圧デバイス；及び

前記第 2 の高圧デバイスと前記 A M O L E D パネルとの間に結合されるスイッチ；
を有する電流ミラー。

を有する A M O L E D ディスプレー。

【請求項 78】

請求項 77 に記載の A M O L E D ディスプレーであって：

前記第 1 の高圧デバイスが：

前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

50

前記電流源に結合されたドレイン端子；及び
第 1 基準電圧源に結合されるゲート端子；
を有する第 1 の高圧 P M O S トランジスタを含み；かつ
前記第 2 の高圧デバイスが；

前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；
前記スイッチに結合されたドレイン端子；及び
第 2 基準電圧源に結合されるゲート端子；
を有する第 2 の高圧 P M O S トランジスタを含む；
ところの A M O L E D ディスプレー。

【請求項 7 9】

10

請求項 7 8 に記載の A M O L E D ディスプレーであって、前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの A M O L E D ディスプレー。

【請求項 8 0】

請求項 7 8 に記載の A M O L E D ディスプレーであって、前記第 1 基準電圧が前記第 2 基準電圧に等しい、ところの A M O L E D ディスプレー。

【請求項 8 1】

請求項 8 0 に記載の A M O L E D ディスプレーであって、前記第 1 の高圧 P M O S トランジスタの前記ゲート端子が該第 1 の高圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの A M O L E D ディスプレー。

20

【請求項 8 2】

請求項 7 8 に記載の A M O L E D ディスプレーであって；

第 1 個数の第 3 の低圧 P M O S トランジスタであり、各々が；

前記第 1 の低圧 P M O S トランジスタのソース端子に結合されたソース端子；
ドレイン端子；及び

前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子；

を有する、ところの第 1 個数の第 3 の低圧 P M O S トランジスタ；

前記第 1 個数の第 3 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 個数の第 3 の高圧デバイスであり、各々が前記第 1 個数の第 3 の低圧 P M O S トランジスタ内の対応する 1 つの第 3 の低圧 P M O S トランジスタの前記ドレイン端子に結合されている、ところの第 1 個数の第 3 の高圧デバイス；並びに

30

第 1 個数のスイッチであり、各々が、対応する 1 つの第 3 の高圧デバイスと前記 A M O L E D パネルとの間に結合される、ところの第 1 個数のスイッチ；

をさらに有する A M O L E D ディスプレー。

【請求項 8 3】

請求項 8 2 に記載の A M O L E D ディスプレーであって、前記第 1 個数の第 3 の高圧デバイスの各々が；

前記第 1 個数の第 3 の低圧 P M O S トランジスタ内の対応する 1 つの第 3 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたソース端子；

前記第 1 個数のスイッチ内の対応する 1 つのスイッチに結合されたドレイン端子；及び

40

前記第 2 基準電圧源に結合されるゲート端子；
を有する第 3 の高圧 P M O S トランジスタを含む、ところの A M O L E D ディスプレー

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機発光ダイオード（O L E D）パネル及びそれを駆動する電流ミラーに関し、より具体的には、O L E D パネル及び該 O L E D パネルを駆動するための安定した駆動電流を供給可能な電流ミラーに関する。

【背景技術】

50

【 0 0 0 2 】

技術の急速な進展に伴って、軽くて持ち運び可能で、低消費電力性を備えた電子デバイスが日常生活において広く用いられるようになってきている。例えば携帯電話、携帯情報端末（PDA）又はノート型コンピュータ等のこれら電子デバイスにおいては、ユーザと機械との間の交流インターフェースとしてディスプレイが必要である。近年、高解像度イメージ、大型スクリーン、及び低コスト化のため、平面パネルディスプレイ（FPD）デバイスの開発が進められている。様々なFPDデバイスの中でも、有機発光ダイオード（OLED）パネルが、中ノ小型応用において、ますます大きな注目を得るに至っている。それは、例えば、自発光源、広視野角、高速応答時間、低消費電力、高コントラスト、高輝度、フルカラー、簡易な構造、及び広い動作温度範囲といった利点のためである。例えば、低歩留まり、不都合なマスク適用、又は不安定なキャップ封止プロセスといった製造上の課題も近年解決されつつあり、OLEDパネルは将来動向となってきた。

10

【 0 0 0 3 】

OLEDパネルは電流駆動デバイスであり、その輝度は通過電流によって決定される。故に、駆動電流の安定化が非常に重要である。高解像度のパッシブマトリクス型OLED（PMOLED）、又は電流モードのアクティブマトリクス型OLED（AMOLED）を用いるパネルでは、OLEDの各画素に供給される電流間の均一性が、高品質イメージを提供するために極めて重要である。

【 0 0 0 4 】

PMOLEDパネルはパルス幅変調（PWM）によって駆動可能である。PWMでは、PMOLEDの発光を制御するために、パルス電圧のデューティサイクルが変化させられる。従来から、OLEDパネルを駆動するために電流ミラーが用いられてきた。高圧電源が必要であるため、電流ミラーは高電圧の金属酸化膜半導体（高圧MOS）トランジスタを有している。図1は、PWMによってOLEDパネルを駆動するための従来の電流ミラー100を示している。電流ミラー100は $n+1$ 個の高圧p型MOS（高圧PMOS）トランジスタ P_0 乃至 P_n （図1には P_0 、 P_1 、 P_2 及び P_n のみが示されている）を有している。電流ミラー100は高電圧である V_{cc_HV} を受けている。図1に示されるように、各高圧PMOSトランジスタのソース端子及びベース端子は高圧電源 V_{cc_HV} に結合されている。電流ミラー100は、高圧PMOSトランジスタ P_0 乃至 P_n のドレイン端子側のOLEDパネルに、電流 I_1 乃至 I_n を出力する。しかし、高圧PMOSトランジスタ P_0 乃至 P_n の閾値電圧が公称値から別々に外れ、電流 I_1 乃至 I_n 間に大きなばらつきを生じさせ得る。従って、従来の電流ミラー100は、高解像度イメージを実現するために要求される安定した電流をOLEDパネルに供給することができなかつた。

20

30

【 0 0 0 5 】

図2は、PWMによってOLEDパネルを駆動するための他の従来の電流ミラー200を示している。従来の電流ミラー100に対して、従来の電流ミラー200はカスコード構造をしており、対応する高圧PMOSトランジスタ P_0 乃至 P_n に直列接続された $n+1$ 個の高圧PMOSトランジスタ PC_0 乃至 PC_n （図2には PC_0 、 PC_1 、 PC_2 及び PC_n のみが示されている）をさらに有している。トランジスタ P_0 乃至 P_n は高圧PMOSトランジスタであるため、ドレイン端子（図2のノード A_0 乃至 A_n ）に定められる電圧は非常に高くなり得る。安全性の観点から、従来の電流ミラー200に用いられる全てのデバイスが高圧PMOSトランジスタでなければならない。故に、高圧PMOSトランジスタ P_0 乃至 P_n 、及び PC_0 乃至 PC_n の閾値電圧はやはり、公称値から別々に外れ、電流 I_1 乃至 I_n 間に大きなばらつきを生じさせ得る。従って、従来の電流ミラー200は、高解像度イメージを実現するために要求される安定した電流をOLEDパネルに供給することができなかつた。

40

【 0 0 0 6 】

PMOLEDパネルはまた、パルス振幅変調（PAM）によっても駆動可能である。図3は、MビットPAMモジュール30を示している。PAMモジュール30はスイッチ SW_1 乃至 SW_m 、及びNMOSトランジスタ N_1 乃至 N_m を有している。 I_{DC_1} 乃至 I_{DC_m} は、それぞれ、NMOSトランジスタ N_1 乃至 N_m を通る電流を示している。PAMモジュール30は、電流 I_D

50

c_1 乃至 I_{DCm} の経路をスイッチ SW_1 乃至 SW_m を用いて制御し、それによって全体電流 I_{DC} の量を制御する。

【0007】

図4は、PAMによってOLEDパネルを駆動するための従来の電流ミラー400を示している。電流ミラー400は電流源 I_{DC} 、n型金属酸化膜半導体(NMOS)トランジスタ N_0 、2n個の高圧PMOSトランジスタ P_1 乃至 P_n 及び P_1' 乃至 P_n' 、並びにPAMモジュール PAM_1 乃至 PAM_n を有している。電流ミラー400は高電圧 V_{cc_HV} を受け取っている。図4に示されるように、各高圧PMOSトランジスタのソース端子及びベース端子は高電圧 V_{cc_HV} に結合され、高圧PMOSトランジスタ P_1 乃至 P_n のドレイン端子は、それぞれ、PAMモジュール PAM_1 乃至 PAM_n に結合されている。PAMモジュール PAM_1 乃至 PAM_n の各々は図3に示されるMビットPAMモジュール30を含むことができる。ドレイン電流 I_1' 乃至 I_n' がOLEDパネルに出力される。PAMモジュール PAM_1 乃至 PAM_n は、高圧PMOSトランジスタ P_1 乃至 P_n を通るドレイン電流 I_1 乃至 I_n の量を制御し、それによって、高圧PMOSトランジスタ P_1' 乃至 P_n' を通るドレイン電流 I_1' 乃至 I_n' の量を制御する。高圧PMOSトランジスタ P_1 乃至 P_n 及び P_1' 乃至 P_n' の閾値電圧は公称値から別々に外れ、電流 I_1' 乃至 I_n' 間に大きなばらつきを生じさせ得る。従って、電流ミラー400は、高解像度イメージを実現するために要求される安定した電流をOLEDパネルに供給することができなかつた。

10

【0008】

図5は、PAMによってOLEDパネルを駆動するための他の従来の電流ミラー500を示している。従来の電流ミラー400に対して、従来の電流ミラー500はカスコード構造をしており、対応する高圧PMOSトランジスタ P_1 乃至 P_n 及び P_1' 乃至 P_n' にそれぞれ直列接続された2n個の高圧PMOSトランジスタ PC_1 乃至 PC_n 及び PC_1' 乃至 PC_n' をさらに有している。トランジスタ P_1 乃至 P_n 及び P_1' 乃至 P_n' は高圧PMOSトランジスタであるため、ドレイン端子(図5のノード A_1 乃至 A_n) に設立される電圧は非常に高くなり得る。安全性の観点から、従来の電流ミラー500に用いられる全てのデバイスが高圧PMOSトランジスタでなければならない。故に、高圧PMOSトランジスタ P_1 乃至 P_n 及び P_1' 乃至 P_n' の閾値電圧はやはり、公称値から別々に外れ、OLEDパネルに出力される電流 I_1' 乃至 I_n' 間に大きなばらつきを生じさせ得る。従って、電流ミラー500は、高解像度イメージを実現するために要求される安定した電流をOLEDパネルに供給することができなかつた。

20

30

【0009】

図6は、PAMによってOLEDパネルを駆動するための他の従来の電流ミラー600を示している。従来の電流ミラー500に対して、従来の電流ミラー600もまたカスコード構造をしているが、高圧PMOSトランジスタ P_1 乃至 P_n のドレイン端子がそれぞれ高圧PMOSトランジスタ PC_1 乃至 PC_n のゲート端子に結合され、高圧PMOSトランジスタ PC_1 乃至 PC_n 及び PC_1' 乃至 PC_n' のゲート端子が基準電圧に結合されている。電流ミラー600では、高圧PMOSトランジスタ P_1 乃至 P_n 及び P_1' 乃至 P_n' の閾値電圧は、公称値から別々に外れ、OLEDパネルに出力される電流 I_1' 乃至 I_n' 間に大きなばらつきを生じさせ得る。従って、電流ミラー500は、高解像度イメージを実現するために要求される安定した電流をOLEDパネルに供給することができなかつた。

40

【0010】

AMOLEDパネルにおいては、各OLED画素は薄膜トランジスタ(TFT)スイッチで制御される。AMOLEDパネルを駆動するデータドライバーは、イメージデータに対応する駆動電流を生成可能なデジタル・アナログ変換器(DAC)を有する。電流方向に応じて、データドライバーは2つの型式に分類される。シンクモードのデータドライバー及びソースモードのデータドライバーである。図7は、AMOLEDパネルを駆動するための従来のシンクモード電流ミラー700を示している。電流ミラー700は電流源 I_{DC} 、n+1個の高圧NMOSトランジスタ N_0 乃至 N_n 、及びスイッチ SW_1 乃至 SW_n を有している。高圧NMOSトランジスタ N_0 のドレイン端子は電流源 I_{DC} に結合され、高圧NMOSトランジスタ

50

タN1乃至Nnのドレイン端子はそれぞれスイッチSW1乃至SWnを介してAMOLEDパネルに結合されている。故に、電流ミラー700はスイッチSW1乃至SWnをオン/オフさせることにより駆動電流Iの量を制御する。しかし、高圧NMOSトランジスタN1乃至Nnの閾値電圧はやはり、公称値から別々に外れ、各々の高圧NMOSトランジスタを通る電流間に大きなばらつきを生じさせ得る。従って、電流ミラー700は、高解像度イメージを実現するために要求される安定した電流をAMOLEDパネルに供給することができなかつた。

【0011】

図8は、AMOLEDパネルを駆動するための従来のソースモード電流ミラー800を示している。電流ミラー800は電流源 I_{DC} 、 $n+1$ 個の高圧PMOSトランジスタP0乃至Pn、及びスイッチSW1乃至SWnを有している。高圧PMOSトランジスタP0のドレイン端子は電流源 I_{DC} に結合され、高圧PMOSトランジスタP1乃至Pnのドレイン端子はそれぞれスイッチSW1乃至SWnを介してAMOLEDパネルに結合されている。故に、電流ミラー800はスイッチSW1乃至SWnをオン/オフさせることにより駆動電流Iの量を制御する。しかし、高圧PMOSトランジスタP0乃至Pnの閾値電圧はやはり、公称値から別々に外れ、各々の高圧PMOSトランジスタを通る電流間に大きなばらつきを生じさせ得る。従って、電流ミラー800は、高解像度イメージを実現するために要求される安定した電流をAMOLEDパネルに供給することができなかつた。

10

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明の目的は、OLEDパネルに均一性の高い電流を供給することが可能な、OLEDパネルを駆動するための電流ミラー、及びそれを用いたOLEDディスプレイを提供することである。

20

【課題を解決するための手段】

【0013】

本発明によって提供される有機発光ダイオード(OLED)パネルを駆動する電流ミラーは、第1の低電圧P型MOS(低圧PMOS)トランジスタであり、第1基準電圧に結合されるソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1基準電圧に結合されるソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子と第1電流源との間に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；並びに前記第2の低圧PMOSトランジスタの前記ドレイン端子と前記OLEDパネルとに結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイスを有する。

30

【0014】

本発明によって提供されるOLEDディスプレイは、OLEDパネル及び該OLEDパネルを駆動する電流ミラーを有する。該電流ミラーは、第1の低圧PMOSトランジスタであり、第1基準電圧に結合されたソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1基準電圧に結合されたソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ゲート端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子と第1電流源との間に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；並びに前記第2の低圧PMOSトランジスタの前記ドレイン端子と前記OLEDパネルとの間に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイスを有する。

40

50

【0015】

本発明によってさらに提供されるパッシブマトリックス型(PM)OLEDパネルを駆動する電流ミラーは、電流源；第1の低圧PMOSトランジスタであり、第1基準電圧に結合されるソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1基準電圧に結合されるソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；前記第2の低圧PMOSトランジスタの前記ドレイン端子及び前記PMOLEDパネルに結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；前記第1の高圧デバイスに結合され、前記第1の低圧PMOSトランジスタを通る電流を制御するパルス振幅変調(PAM)モジュール；並びにN型MOS(NMOS)トランジスタであり、前記電流源に結合されたソース端子、ドレイン端子、及び前記PAMモジュールに結合され、該PAMモジュールの機能を有効にするゲート端子、を有するNMOSトランジスタを有する。

10

【0016】

本発明によってさらに提供されるPMOLEDディスプレイは、PMOLEDパネル及び該PMOLEDパネルを駆動する電流ミラーを有する。該電流ミラーは、電流源；第1の低圧PMOSトランジスタであり、第1基準電圧に結合されたソース端子、ドレイン端子、及び当該第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧PMOSトランジスタ；第2の低圧PMOSトランジスタであり、前記第1基準電圧に結合されたソース端子、ドレイン端子、及び前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第2の低圧PMOSトランジスタ；前記第1の低圧PMOSトランジスタの前記ドレイン端子に結合され、前記第1の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；前記第2の低圧PMOSトランジスタの前記ドレイン端子と前記PMOLEDパネルとの間に結合され、前記第2の低圧PMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；前記第1の高圧デバイスに結合され、前記第1の低圧PMOSトランジスタを通る電流を制御するPAMモジュール；並びにNMOSトランジスタであり、前記電流源に結合されたソース端子、ドレイン端子、及び前記PAMモジュールに結合され、該PAMモジュールの機能を有効にするゲート端子、を有するNMOSトランジスタを有する。

20

30

【0017】

本発明によってさらに提供されるアクティブマトリックス型(AM)OLEDパネルを駆動する電流ミラーは、電流源；第1の低圧NMOSトランジスタであり、ソース端子、ドレイン端子、及び当該第1の低圧NMOSトランジスタの前記ドレイン端子に結合されたゲート端子、を有する第1の低圧NMOSトランジスタ；第2の低圧NMOSトランジスタであり、前記第1の低圧NMOSトランジスタの前記ソース端子に結合されたソース端子、ドレイン端子、及び前記第1の低圧NMOSトランジスタの前記ゲート端子に結合されたゲート端子、を有する第2の低圧NMOSトランジスタ；前記第1の低圧NMOSトランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第1の低圧NMOSトランジスタを所定の低電圧で動作するようにバイアスする第1の高圧デバイス；前記第2の低圧NMOSトランジスタの前記ドレイン端子に結合され、前記第2の低圧NMOSトランジスタを所定の低電圧で動作するようにバイアスする第2の高圧デバイス；並びに前記第2の高圧デバイスと前記AMOLEDパネルとの間に結合されるスイッチを有する。

40

【0018】

本発明によってさらに提供されるAMOLEDディスプレイは、AMOLEDパネル及

50

び該 A M O L E D パネルを駆動する電流ミラーを有する。該電流ミラーは、電流源；第 1 の低圧 N M O S トランジスタであり、ソース端子、ドレイン端子、及び当該第 1 の低圧 N M O S トランジスタの前記ドレイン端子に結合されたゲート端子、を有する第 1 の低圧 N M O S トランジスタ；第 2 の低圧 N M O S トランジスタであり、前記第 1 の低圧 N M O S トランジスタの前記ソース端子に結合されたソース端子、ドレイン端子、及び前記第 1 の低圧 N M O S トランジスタの前記ゲート端子に結合されたゲート端子、を有する第 2 の低圧 N M O S トランジスタ；前記第 1 の低圧 N M O S トランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第 1 の低圧 N M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 の高圧デバイス；前記第 2 の低圧 N M O S トランジスタの前記ドレイン端子に結合され、前記第 2 の低圧 N M O S トランジスタを所定の低電圧で動作 10 するようにバイアスする第 2 の高圧デバイス；並びに前記第 2 の高圧デバイスと前記 A M O L E D パネルとの間に結合されるスイッチを有する。

【 0 0 1 9 】

本発明によってさらに提供される A M O L E D パネルを駆動する電流ミラーは、電流源；第 1 の低圧 P M O S トランジスタであり、ソース端子、ドレイン端子、及び当該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子、を有する第 1 の低圧 P M O S トランジスタ；第 2 の低圧 P M O S トランジスタであり、前記第 1 の低圧 P M O S トランジスタの前記ソース端子に結合されたソース端子、ドレイン端子、及び前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子、を有する第 2 の低圧 P M O S トランジスタ；前記第 1 の低圧 P M O S トランジスタの前記ドレイン端 20 子と前記電流源との間に結合され、前記第 1 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 の高圧デバイス；前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合され、前記第 2 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 2 の高圧デバイス；並びに前記第 2 の高圧デバイスと前記 A M O L E D パネルとの間に結合されるスイッチを有する。

【 0 0 2 0 】

本発明によってさらに提供される A M O L E D ディスプレーは、A M O L E D パネル及び該 A M O L E D パネルを駆動する電流ミラーを有する。該電流ミラーは、電流源；第 1 の低圧 P M O S トランジスタであり、ソース端子、ドレイン端子、及び当該第 1 の低圧 P M O S トランジスタの前記ドレイン端子に結合されたゲート端子、を有する第 1 の低圧 P M O S トランジスタ；第 2 の低圧 P M O S トランジスタであり、前記第 1 の低圧 P M O S トランジスタの前記ソース端子に結合されたソース端子、ドレイン端子、及び前記第 1 の低圧 P M O S トランジスタの前記ゲート端子に結合されたゲート端子、を有する第 2 の低 30 圧 P M O S トランジスタ；前記第 1 の低圧 P M O S トランジスタの前記ドレイン端子と前記電流源との間に結合され、前記第 1 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 1 の高圧デバイス；前記第 2 の低圧 P M O S トランジスタの前記ドレイン端子に結合され、前記第 2 の低圧 P M O S トランジスタを所定の低電圧で動作するようにバイアスする第 2 の高圧デバイス；並びに前記第 2 の高圧デバイスと前記 A M O L E D パネルとの間に結合されるスイッチを有する。

【 0 0 2 1 】

本発明のこれら及び他の目的は、様々な図に例示される好ましい実施形態についての以下の詳細な記載により、当業者にとって明白となることである。

【 発明を実施するための最良の形態 】

【 0 0 2 2 】

図 9 は本発明に従った、P W M によって P M O L E D パネルを駆動するための電流ミラー 900 を示している。従来の電流ミラーと異なり、電流ミラー 900 は $n+1$ 個の低圧 p 型金属酸化膜半導体（低圧 P M O S ）トランジスタ P L 0 乃至 P L n（図 9 には P L 0、P L 1、P L 2 及び P L n のみが示されている）、及び、低圧 P M O S トランジスタ P L 0 乃至 P L n にそれぞれ直列接続された高圧デバイス 90 乃至 9 n を有している。高圧デバイス 90 乃至 9 n は低圧 P M O S トランジスタ P L 0 乃至 P L n にバイアス電圧を供給する。図 9 に示されるように、電流ミラー 900 は 40 50

また、高電圧HV_Vccを受けている。言い換えれば、各低圧PMOSトランジスタのソース端子及びベース端子は高電圧HV_Vccに結合されている。低圧PMOSトランジスタの閾値電圧は高圧PMOSトランジスタのそれより安定しているため、電流ミラー900は高解像度イメージを実現するために、安定した駆動電流Ih1乃至IhnをPMOLEDパネルに供給することができる。低圧PMOSトランジスタPL0乃至PLnの大きさ(W/L比)はそれらの動作電圧限界に基づいて決定することができ、高圧デバイス90乃至9nを用いて低圧PMOSトランジスタPL0乃至PLnのドレイン端子に適切なバイアス電圧を与えることができる。従って、電流ミラー900は高電圧HV_Vccを受けているものの、やはり、高解像度イメージを実現するために安定した駆動電流Ih1乃至IhnをPMOLEDパネルに供給することができる。

10

【0023】

図10は、電流ミラー900の構成を基礎とする本発明の第1実施形態に従った、PMOLEDパネルを駆動するための電流ミラー1000を示している。図10に示されるように、電流ミラー1000はカスコード構造をしており、低圧PMOSトランジスタPL0乃至PLnをそれぞれバイアスするためのn+1個の高圧PMOSトランジスタPH0乃至PHn(図10にはPH0、PH1、PH2及びPHnのみが示されている)を有している。高圧PMOSトランジスタPH0乃至PHnのゲート端子は基準電圧Vrefに結合され、高圧PMOSトランジスタPH0乃至PHnのソース端子はそれぞれ低圧PMOSトランジスタPL0乃至PLnのドレイン端子に結合されている。

【0024】

図11、12及び13はそれぞれ、電流ミラー900の構成を基礎とする本発明の第2、3及び4の実施形態に従った電流ミラー1100、1200及び1300を示している。電流ミラー1000と同様に、電流ミラー1100乃至1300では、高圧PMOSトランジスタPH0乃至PHnが高圧デバイス90乃至9nに用いられている。しかし、高圧PMOSトランジスタPH0乃至PHnのゲート端子は、電流ミラー1100乃至1300で異なるように結合されている。電流ミラー1100では図11に示されるように、高圧PMOSトランジスタPH0乃至PHnのゲート端子は高圧PMOSトランジスタPH0のドレイン端子に結合されている。電流ミラー1200では図12に示されるように、高圧PMOSトランジスタPH0のゲート端子は第1基準電圧Vref1に結合され、高圧PMOSトランジスタPH1乃至PHnのゲート端子は第2基準電圧Vref2に結合されている。電流ミラー1300では図13に示されるように、高圧PMOSトランジスタPH0のゲート端子及びドレイン端子はともに結合され、高圧PMOSトランジスタPH1乃至PHnのゲート端子は基準電圧Vrefに結合されている。基準電圧Vref、Vref1及びVref2の生成のために、当業者に一般に知られている様々な回路が用いられ得る。

20

30

【0025】

図14は本発明に従った、PAMによってPMOLEDパネルを駆動するための電流ミラー1400を示している。従来の電流ミラー400と異なり、電流ミラー1400は、2n個の低圧PMOSトランジスタPL1乃至PLn及びPL1'乃至PLn'、並びに、低圧PMOSトランジスタPL1乃至PLn及びPL1'乃至PLn'にそれぞれ直列接続された高圧デバイス140乃至14nを有している。高圧デバイス140乃至14nは低圧PMOSトランジスタPL1乃至PLn及びPL1'乃至PLn'にバイアス電圧を供給する。図14に示されるように、電流ミラー1400はまた、高電圧HV_Vccを受けている。言い換えれば、各低圧PMOSトランジスタのソース端子及びベース端子は高電圧HV_Vccに結合されている。そして、低圧PMOSトランジスタPL1乃至PLnのドレイン端子、それぞれ、高圧デバイス140乃至14nを介してPAMモジュールPAM1乃至PAMnに結合されている。PAMモジュールPAM1乃至PAMnの各々は図3に示されるMビットPAMモジュール30を含むことができる。低圧PMOSトランジスタPL1乃至PLnに結合された高圧デバイス140乃至14nは電流Ih1乃至Ihnを出力する。一方、低圧PMOSトランジスタPL1'乃至PLn'に結合された高圧デバイス140乃至14nは、電流Ih1'乃至Ihn'をPMOLEDパネルに出力する。PAMモジュールPAM1乃至PAMnは、高圧PMOSトランジスタPL1乃至PLnを通るドレイン電流Ih1乃至Ihnの量を制御し、それによって、高圧PMOSトランジスタPL1'乃至PLn'を通るドレイン電流Ih1'乃至Ihn'の量を制御する

40

50

。低圧PMOSトランジスタの閾値電圧は高圧PMOSトランジスタのそれより安定しているので、電流ミラー1400は高解像度イメージを実現するために、安定した駆動電流 I_{h1} 乃至 I_{hn} をPMOLEDパネルに供給することができる。各低圧PMOSトランジスタの大きさ(W/L比)はそれらの動作電圧限界に基づいて決定することができ、高圧デバイス140乃至14nを用いて低圧PMOSトランジスタPL1乃至PLn及びPL1'乃至PLn'のドレイン端子に適切なバイアス電圧を与えることができる。従って、電流ミラー1400は高電圧HV_Vccを受けているものの、やはり、高解像度イメージを実現するために安定した駆動電流 I_{h1} 乃至 I_{hn} をPMOLEDパネルに供給することができる。

【0026】

図15は、電流ミラー1400の構成を基礎とする本発明の第5実施形態に従った、PMOLEDパネルを駆動するための電流ミラー1500を示している。図15に示されるように、電流ミラー1500は、低圧PMOSトランジスタPL1乃至PLn及びPL1'乃至PLn'をそれぞれバイアスするための2n個の高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'を有している。高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'のゲート端子は基準電圧Vrefに結合され、高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'のソース端子は、それぞれ、低圧PMOSトランジスタPL1乃至PLn及びPL1'乃至PLn'のドレイン端子に結合されている。低圧PMOSトランジスタの閾値電圧は高圧PMOSトランジスタのそれより安定しているので、電流ミラー1500は高解像度イメージを実現するために、安定した駆動電流 I_{h1} 乃至 I_{hn} をPMOLEDパネルに供給することができる。

【0027】

図16、17及び18はそれぞれ、電流ミラー1400の構成を基礎とする本発明の第6、7及び8の実施形態に従った電流ミラー1600、1700及び1800を示している。電流ミラー1500と同様に、電流ミラー1600乃至1800では高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'が高圧デバイスに用いられている。しかし、高圧PMOSトランジスタPCH1乃至PCHn及びPCH1'乃至PCHn'のゲート端子は、電流ミラー1600乃至1800で異なるように結合されている。電流ミラー1600では図16に示されるように、高圧PMOSトランジスタPCH1乃至PCHnのゲート端子及びドレイン端子はともに結合され、高圧PMOSトランジスタPCH1'乃至PCHn'のゲート端子は基準電圧Vrefに結合されている。電流ミラー1700では図17に示されるように、高圧PMOSトランジスタPCH1乃至PCHnのゲート端子は第1基準電圧Vref1に結合され、高圧PMOSトランジスタPCH1'乃至PCHn'のゲート端子は第2基準電圧Vref2に結合されている。電流ミラー1800では図18に示されるように、高圧PMOSトランジスタPCH1乃至PCHnのゲート端子及びドレイン端子はともに結合されている。基準電圧Vref、Vref1及びVref2の生成のために、当業者に一般に知られている様々な回路が用いられ得る。

【0028】

図19は本発明に従った、AMOLEDパネルを駆動するためのシンクモード電流ミラー1900を示している。電流ミラー1900は電流源 I_{DC} 、n+1個の低圧NMOSトランジスタNL0乃至NLn(図19にはNL0、NL1、NL2及びNLnのみが示されている)、高圧デバイス190乃至19n(図19には190、191、192及び19nのみが示されている)、及びスイッチSW1乃至SWn(図19にはSW1、SW2及びSWnのみが示されている)を有している。従来の電流ミラー700と異なり、本発明に係る電流ミラー1900は低圧NMOSトランジスタNL0乃至NLn、及び、低圧NMOSトランジスタをそれぞれバイアスする高圧デバイス190乃至19nを有している。高圧デバイス190乃至19nは高圧NMOSトランジスタを含み得る。低圧NMOSトランジスタNL0のドレイン端子は高圧デバイス190を介して電流源 I_{DC} に結合され、低圧NMOSトランジスタNL1乃至NLnのドレイン端子は、それぞれ、高圧デバイス191乃至19n及びスイッチSW1乃至SWnを介してAMOLEDパネルに結合されている。電流ミラー1900はスイッチSW1乃至SWnを用いて駆動電流量を制御する。低圧NMOSトランジスタの閾値電圧は高圧NMOSトランジスタのそれより安定しているので、低圧NMOSトランジスタNL1乃至NLnを通る電流は大きなばらつきを持たない。従って、電流ミラー1900は高解像度イ

10

20

30

40

50

メージを実現するために、安定した駆動電流を A M O L E D パネルに供給することができる。

【 0 0 2 9 】

図 2 0 は本発明に従った、A M O L E D パネルを駆動するためのソースモード電流ミラー 2000 を示している。電流ミラー 2000 は電流源 I_{DC} 、 $n+1$ 個の低圧 P M O S トランジスタ PL0 乃至 PLn (図 2 0 には PL0、PL1、PL2 及び PLn のみが示されている)、高圧デバイス 200 乃至 20n (図 2 0 には 200、201、202 及び 20n のみが示されている)、及びスイッチ SW1 乃至 SWn (図 2 0 には SW1、SW2 及び SWn のみが示されている) を有している。従来の電流ミラー 800 と異なり、本発明に係る電流ミラー 2000 は低圧 P M O S トランジスタ PL0 乃至 PLn、及び、低圧 P M O S トランジスタ PL0 乃至 PLn をそれぞれバイアスする高圧デバイス 200 乃至 20n を有している。高圧デバイス 200 乃至 20n は高圧 P M O S トランジスタを含み得る。低圧 P M O S トランジスタ PL0 のドレイン端子は高圧デバイス 200 を介して電流源 I_{DC} に結合され、低圧 P M O S トランジスタ PL1 乃至 PLn のドレイン端子は、それぞれ、高圧デバイス 201 乃至 20n 及びスイッチ SW1 乃至 SWn を介して A M O L E D パネルに結合されている。電流ミラー 2000 はスイッチ SW1 乃至 SWn を用いて駆動電流量を制御する。低圧 P M O S トランジスタの閾値電圧は高圧 P M O S トランジスタのそれより安定しているので、低圧 P M O S トランジスタ PL1 乃至 PLn を通る電流は大きなばらつきを持たない。従って、電流ミラー 2000 は高解像度イメージを実現するために、安定した駆動電流を A M O L E D パネルに供給することができる。

10

【 0 0 3 0 】

図 2 1、2 2、2 3 及び 2 4 はそれぞれ、シンクモード電流ミラー 1900 の構成を基礎とする本発明の第 9、1 0、1 1 及び 1 2 の実施形態に従った電流ミラー 2100、2200、2300 及び 2400 を示している。シンクモード電流ミラー 1900 と同様に、電流ミラー 2100 乃至 2400 では、高圧 N M O S トランジスタ NH0 乃至 NHn が高圧デバイスに用いられている。しかし、高圧 N M O S トランジスタ NH0 乃至 NHn のゲート端子は、電流ミラー 2100 乃至 2400 で異なるように結合されている。電流ミラー 2100 では図 2 1 に示されるように、高圧 N M O S トランジスタ NH0 乃至 NHn のゲート端子は基準電圧 V_{ref} に結合されている。電流ミラー 2200 では図 2 2 に示されるように、高圧 N M O S トランジスタ NH0 のゲート端子及びソース端子はともに結合されている。電流ミラー 2300 では図 2 3 に示されるように、高圧 N M O S トランジスタ NH0 のゲート端子は第 1 基準電圧 V_{ref1} に結合され、高圧 N M O S トランジスタ NH1 乃至 NHn のゲート端子は第 2 基準電圧 V_{ref2} に結合されている。電流ミラー 2400 では図 2 4 に示されるように、高圧 N M O S トランジスタ NH0 のゲート端子及びソース端子はともに結合され、高圧 N M O S トランジスタ NH1 乃至 NHn のゲート端子は基準電圧 V_{ref} に結合されている。基準電圧 V_{ref} 、 V_{ref1} 及び V_{ref2} の生成のために、当業者に一般に知られている様々な回路が用いられ得る。

20

30

【 0 0 3 1 】

図 2 5、2 6、2 7 及び 2 8 はそれぞれ、ソースモード電流ミラー 2000 の構成を基礎とする本発明の第 1 3、1 4、1 5 及び 1 6 の実施形態に従った電流ミラー 2500、2600、2700 及び 2800 を示している。ソースモード電流ミラー 2000 と同様に、電流ミラー 2500 乃至 2800 では、高圧 P M O S トランジスタ PH0 乃至 PHn が高圧デバイスに用いられている。しかし、高圧 P M O S トランジスタ PH0 乃至 PHn のゲート端子は、電流ミラー 2500 乃至 2800 で異なるように結合されている。電流ミラー 2500 では図 2 5 に示されるように、高圧 P M O S トランジスタ PH0 乃至 PHn のゲート端子は基準電圧 V_{ref} に結合されている。電流ミラー 2600 では図 2 6 に示されるように、高圧 P M O S トランジスタ PH0 のゲート端子及びソース端子はともに結合されている。電流ミラー 2700 では図 2 7 に示されるように、高圧 P M O S トランジスタ PH0 のゲート端子は第 1 基準電圧 V_{ref1} に結合され、高圧 P M O S トランジスタ PH1 乃至 PHn のゲート端子は第 2 基準電圧 V_{ref2} に結合されている。電流ミラー 2800 では図 2 8 に示されるように、高圧 P M O S トランジスタ PH0 のゲート端子及びソース端子はともに結合され、高圧 P M O S トランジスタ PH1 乃至 PHn のゲート端子は基準電圧 V_{ref} に結合されている。基準電圧 V_{ref} 、 V_{ref1} 及び V_{ref2} の生成のために、当業者に一般に知られてい

40

50

る様々な回路が用いられ得る。

【0032】

要するに、本発明は電圧バイアスをもたらす高圧デバイスに接続されたLVトランジスタを用いる電流ミラーを提供する。本発明に従った電流ミラーは、OLEDパネルに用いられる高電圧を受けることができると同時に、安定した閾値電圧を有するLVトランジスタを用いて安定した駆動電流を供給することができるので、OLEDパネルは高解像度イメージを提供することが可能である。図9乃至28に例示された図は単に本発明の実施形態であり、本発明の範囲を限定するものではない。

【0033】

本発明の教示の範囲内で、デバイス及び方法に多数の変更及び代替が為され得ることは当業者が容易に気付くところである。従って、上述の開示は添付の請求項の境界及び範囲によってのみ限定されるものとして解釈されるべきものである。

【図面の簡単な説明】

【0034】

【図1】従来技術に係る、PWMによってOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図2】従来技術に係る、PWMによってOLEDパネルを駆動するための他の電流ミラーを示す回路図である。

【図3】MビットPAMモジュールを示す回路図である。

【図4】従来技術に係る、PAMによってOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図5】従来技術に係る、PAMによってOLEDパネルを駆動するための他の電流ミラーを示す回路図である。

【図6】従来技術に係る、PAMによってOLEDパネルを駆動するための他の電流ミラーを示す回路図である。

【図7】従来技術に係る、AMOLEDパネルを駆動するためのシンクモード電流ミラーを示す回路図である。

【図8】従来技術に係る、AMOLEDパネルを駆動するためのソースモード電流ミラーを示す回路図である。

【図9】本発明に従った、PWMによってPMOLEDパネルを駆動するため電流ミラーを示す回路図である。

【図10】本発明の第1実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図11】本発明の第2実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図12】本発明の第3実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図13】本発明の第4実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図14】本発明に従った、PAMによってPMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図15】本発明の第5実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図16】本発明の第6実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図17】本発明の第7実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図18】本発明の第8実施形態に従った、PMOLEDパネルを駆動するための電流ミラーを示す回路図である。

【図19】本発明に従った、AMOLEDパネルを駆動するためのシンクモード電流ミラ

ーを示す回路図である。

【図 2 0】本発明に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。

【図 2 1】本発明の第 9 実施形態に従った、A M O L E D パネルを駆動するためのシンクモード電流ミラーを示す回路図である。

【図 2 2】本発明の第 1 0 実施形態に従った、A M O L E D パネルを駆動するためのシンクモード電流ミラーを示す回路図である。

【図 2 3】本発明の第 1 1 実施形態に従った、A M O L E D パネルを駆動するためのシンクモード電流ミラーを示す回路図である。

【図 2 4】本発明の第 1 2 実施形態に従った、A M O L E D パネルを駆動するためのシンクモード電流ミラーを示す回路図である。 10

【図 2 5】本発明の第 1 3 実施形態に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。

【図 2 6】本発明の第 1 4 実施形態に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。

【図 2 7】本発明の第 1 5 実施形態に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。

【図 2 8】本発明の第 1 6 実施形態に従った、A M O L E D パネルを駆動するためのソースモード電流ミラーを示す回路図である。

【符号の説明】 20

【 0 0 3 5 】

100、200、400、500、600、700、800、900、1000、1100、1200、1300、1400、1500、1600、1700、1800、1900、2000、2100、2200、2300、2400、2500、2600、2700、2800 ...

電流ミラー

30 ... P A M モジュール

90、91、92、9n、140、141、14n、190、191、192、19n、200、201、202、20n ... 高圧デバイス

PL0、PL1、PL2、PLn、PL1'、PL2'、PLn' ... 低圧 P M O S トランジスタ

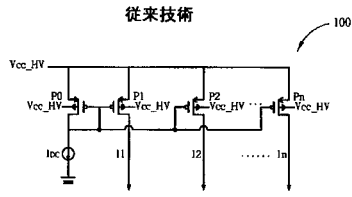
PH0、PH1、PH2、PHn、PCH1、PCH2、PCHn、PCH1'、PCH2'、PCHn' ... 高圧 P M O S トランジスタ 30

N0、N1、N2、Nm ... N M O S トランジスタ

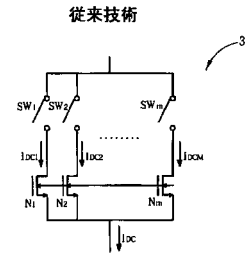
NL0、NL1、NL2、NLn ... 低圧 N M O S トランジスタ

NH0、NH1、NH2、NHn ... 高圧 N M O S トランジスタ

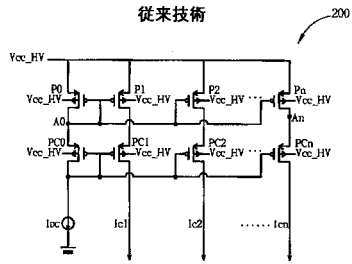
【 図 1 】



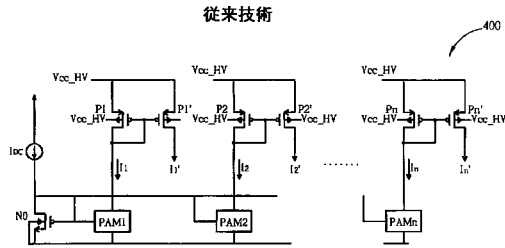
【 図 3 】



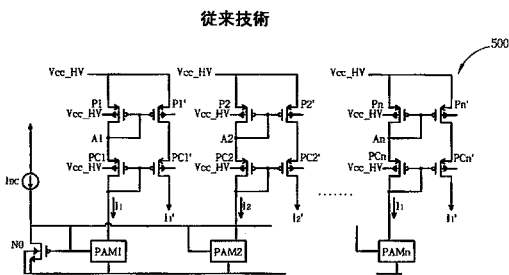
【 図 2 】



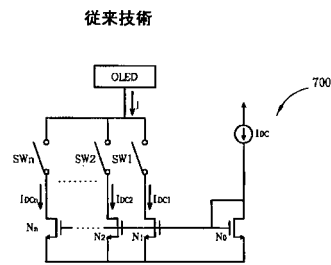
【 図 4 】



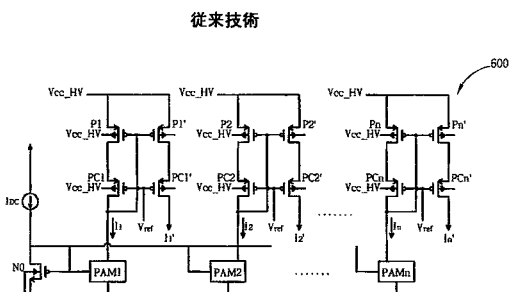
【 図 5 】



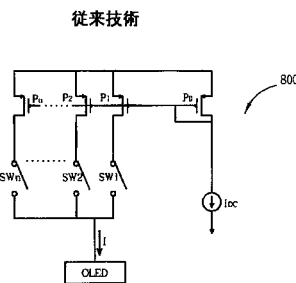
【 図 7 】



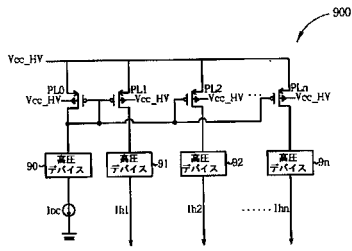
【 図 6 】



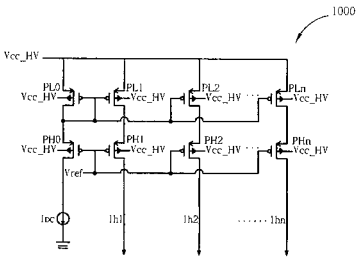
【 図 8 】



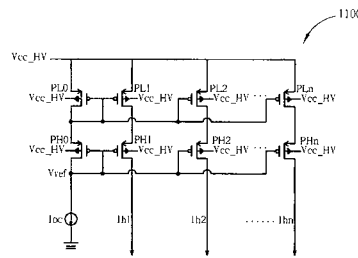
【図9】



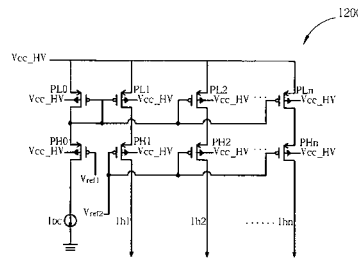
【図10】



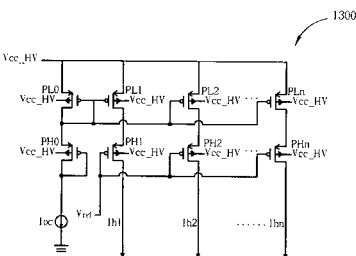
【図11】



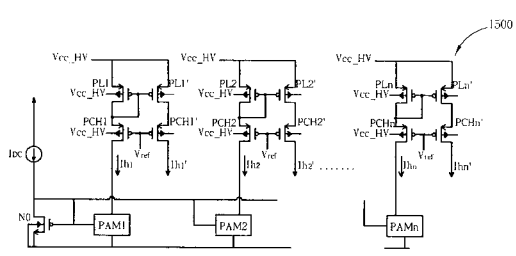
【図12】



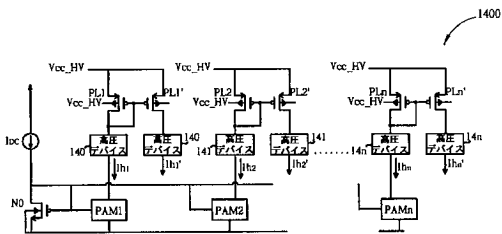
【図13】



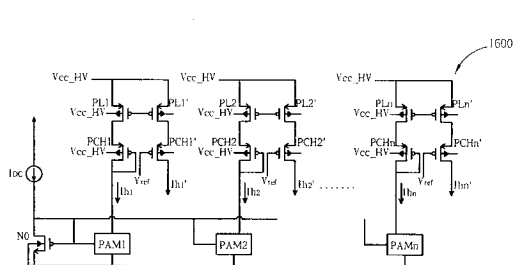
【図15】



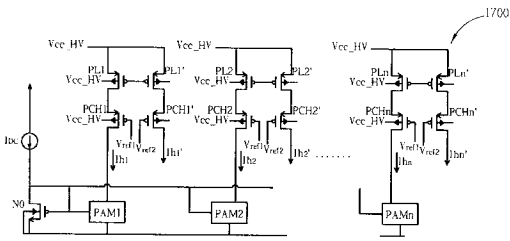
【図14】



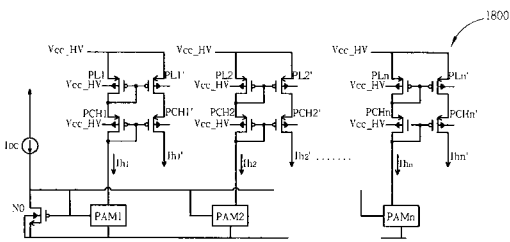
【図16】



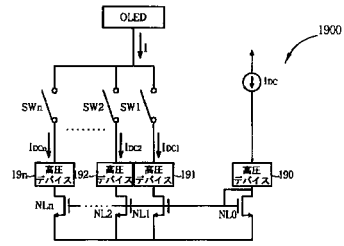
【図17】



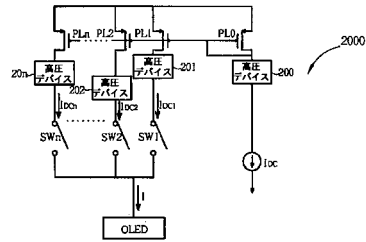
【図18】



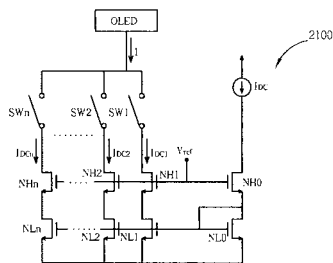
【図19】



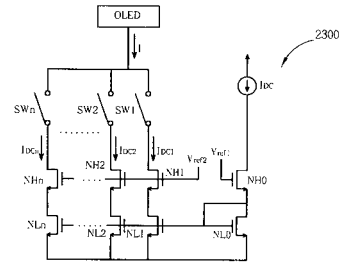
【図20】



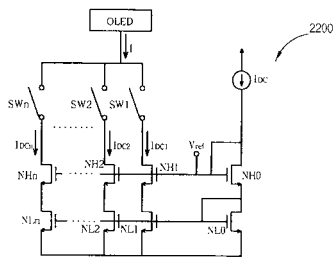
【図21】



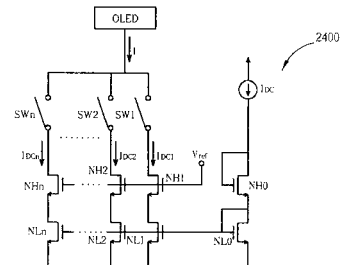
【図23】



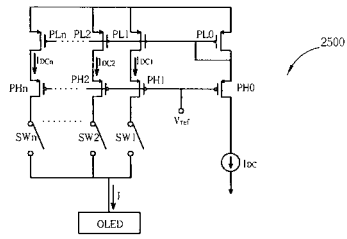
【図22】



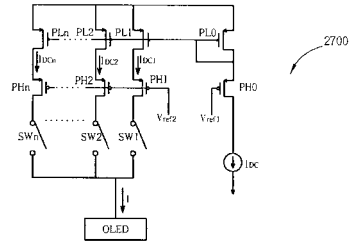
【図24】



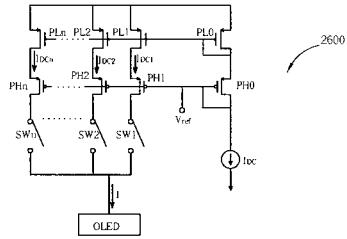
【 25 】



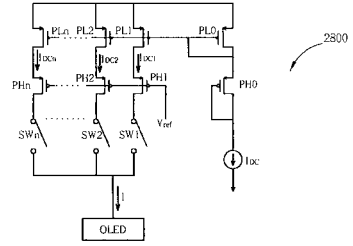
【 27 】



【 26 】



【 28 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 0 5 B 33/14	A
	H 0 3 F 3/343	A

Fターム(参考) 3K107 AA01 BB01 CC33 EE02 EE03 HH00 HH04
5C080 AA06 BB05 DD05 EE28 JJ03
5J500 AA01 AA43 AC00 AF01 AH00 AH10 AH17 AH38 AK00 AK05
AK09 AK47 AM21 AS00

专利名称(译)	OLED面板和电流镜驱动相同		
公开(公告)号	JP2007219480A	公开(公告)日	2007-08-30
申请号	JP2006246721	申请日	2006-09-12
[标]申请(专利权)人(译)	奇景光电股份有限公司		
申请(专利权)人(译)	奇景光电股▲ふん▼有限公司		
[标]发明人	邱郁文 卜令楷		
发明人	邱 郁文 卜 令楷		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 H03F3/343		
CPC分类号	G05F3/262		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.611.H G09G3/20.642.A G09G3/20.612.E H05B33/14.A H03F3/343.A G09G3/3216 G09G3/3233 G09G3/3275 G09G3/3283 H03F3/343.210		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE02 3K107/EE03 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/JJ03 5J500/AA01 5J500/AA43 5J500/AC00 5J500/AF01 5J500/AH00 5J500/AH10 5J500/AH17 5J500/AH38 5J500/AK00 5J500/AK05 5J500/AK09 5J500/AK47 5J500/AM21 5J500/AS00 5C380/AA01 5C380/AB05 5C380/AB06 5C380/AC05 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA37 5C380/BA39 5C380/BB05 5C380/CA11 5C380/CA13 5C380/CA35 5C380/CA36 5C380/CA39 5C380/CE04 5C380/CE05 5C380/CF26 5C380/CF48 5C380/DA02 5C380/DA06 5C380/DA07 5C380/HA13		
代理人(译)	伊藤忠彦 杉山浩一		
优先权	095105538 2006-02-17 TW		
其他公开文献	JP4537363B2		
外部链接	Espacenet		

摘要(译)

亲切代码：提供用于驱动OLED面板的电流镜，其能够向OLED面板提供高度均匀的电流，从而改善OLED面板的性能。— 电流镜在电流镜的主要部分中采用低压MOS晶体管，以便向OLED面板提供高度均匀的电流。电流镜还使用高压器件，其偏置电流镜，使得用于OLED面板的高电压用于电流镜。9系统技术领域

