(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-122076
(P2005-122076A)
(43)公開日　平成17年5月12日(2005.5.12)

(51)Int.Cl.[7]	F I		テーマコード（参考）
G09G 3/30	G09G 3/30	J	3K007
G09G 3/20	G09G 3/20	611A	5C080
H05B 33/14	G09G 3/20	611H	
	G09G 3/20	624B	
	G09G 3/20	641D	

審査請求 未請求　請求項の数 1　ＯＬ　（全 221 頁）　最終頁に続く

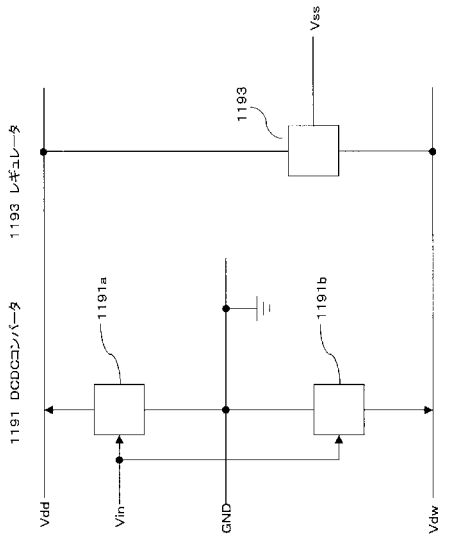
(21)出願番号　特願2003-360035(P2003-360035)
(22)出願日　平成15年10月20日(2003.10.20)

(71)出願人　302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南４－１－８
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

Ｆターム(参考)　3K007 AB17 BA06 DB03 GA00 GA04
5C080 AA06 BB05 DD05 DD26 DD27 EE28 FF11 JJ02 JJ03 JJ04 JJ05 JJ06

(54)【発明の名称】ＥＬ表示装置

(57)【要約】
【課題】有機ＥＬ素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。
【解決手段】アノード電圧Ｖｄｄは、バッテリー電池の電圧ＶｉｎからＤＣＤＣコンバータ１１９１ａにより発生する。また、基準電圧Ｖｄｗも電圧Ｖｉｎを用いてＤＣＤＣコンバータ１１９１ｂにより発生する。カソード電圧Ｖｓｓはアノード電圧Ｖｄｄと基準電圧Ｖｄｗからレギュレータ１１９３のより発生する。ＥＬ表示パネルのマトリックス状に形成された画素のＰチャンネルトランジスタは、アノード電圧Ｖｄｄを基準に動作する。ＥＬ表示パネルに流れる電流が大きい時は、アノード電圧Ｖｄｄを高くする。アノード電圧Ｖｄｄを変化させる時は、カソード電圧Ｖｓｓも連動させてシフトさせる。
【選択図】図１１９



【特許請求の範囲】
【請求項１】
マトリックス状に配置されたＥＬ素子と、
前記ＥＬ素子を駆動する駆動用トランジスタと、
表示パネルのアノード電圧とカソード電圧を発生する電源回路と、
前記表示パネルの全ＥＬ素子に流れる電流に対応する値を演算または測定する電流モニター回路と、
電圧制御回路とを具備し、
前記電圧制御回路は、前記電流モニター回路の出力により、前記アノード電圧を変化させ、同時に、前記アノード電圧の変化方向に前記カソード電圧も変化させることを特徴とするＥＬ表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子を用いたＥＬ表示パネルなどの自発光表示パネルに関するものである。また、これらの表示パネルなどの駆動回路（ＩＣ）に関するものである。また、ＥＬ表示パネルなどの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。
【背景技術】
【０００２】
一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。
【０００３】
電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。そのため、有機ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。
【０００４】
有機ＥＬ表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。
【０００５】
有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を、画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。
【０００６】
アクティブマトリクス方式の有機ＥＬ表示パネルは、たとえば特許文献１に開示されている。この表示パネルの一画素分の等価回路を図２に示す。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ（駆動用トランジスタ）１１ａ、第２のトランジスタ（スイッチング用トランジスタ）１１ｂおよび蓄積容量（コンデンサ）１９からなる。発光素子１５は有機エレクトロルミネッセンス（ＥＬ）素子である。本明細書では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。ま

た、図２のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。

【０００７】

有機ＥＬ素子１５は多くの場合、整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがある。図１、図２などでは発光素子１５としてダイオードの記号を用いている。

【０００８】

本発明における発光素子１５はＯＬＥＤに限るものではなく、素子１５に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機ＥＬ素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、発光トランジスタでもよい。また、発光素子１５は必ずしも整流性が要求されるものではない。双方向性素子であってもよい。

【０００９】

図２の例では、Ｐチャンネル型のトランジスタ１１ａのソース端子（Ｓ）をアノードＶｄｄとし、ＥＬ素子１５のカソード（陰極）は接地電位（Ｖｓｓ）に接続される。Ｎチャンネル型のトランジスタ１１ａのゲート端子（Ｇ）はトランジスタ１１ｂの一端子に接続され、ソース端子（Ｓ）はＥＬ素子１５に接続され、ドレイン端子（Ｄ）はカソード電極に接続されている。

【００１０】

画素１６を動作させるために、まず、ゲート信号線１７を選択状態とし、ソース信号線１８に輝度情報を表す電圧の映像信号を印加する。トランジスタ１１ａが導通し、映像信号が蓄積容量１９に充電される。ゲート信号線１７を非選択状態とすると、トランジスタ１１ａがオフになり、トランジスタ１１ｂは電気的にソース信号線１８から切り離される。しかし、トランジスタ１１ａのゲート端子電位は蓄積容量（コンデンサ）１９によって安定に保持される。トランジスタ１１ａを介して発光素子１５に流れる電流は、トランジスタ１１ａのゲート／ドレイン端子間電圧Ｖｇｄに応じた値となり、発光素子１５はトランジスタ１１ａを通って供給される電流量に応じた輝度で発光し続ける。

【特許文献１】特開平８－２３４６８３号公報

【発明の開示】

【発明が解決しようとする課題】

【００１１】

液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示パネルの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。

【００１２】

有機ＥＬ表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機ＥＬ素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。

【００１３】

図２に図示する画素構成では、電圧の映像信号をトランジスタ１１ａで電流信号に変換する。したがって、トランジスタ１１ａに特性バラツキがあると、変換される電流信号にもバラツキが発生する。通常、トランジスタ１１ａは５０％以上の特性バラツキが発生している。したがって、図２の構成では表示ムラが発生してしまう。

【００１４】

表示ムラは、画素を電流プログラム方式の構成を採用することにより低減することが可能である。そして、電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発

生し、良好な画像表示ができないという課題があった。
【課題を解決するための手段】
【００１５】
この目的を達成するために本発明のＥＬ表示パネル（ＥＬ表示装置）のドライバ回路は、主として単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、ｄｕｔｙ比制御、基準電流を操作あるいは制御することにより、画素１６に流れる電流を制御（調整）する。
【発明の効果】
【００１６】
本発明のソースドライバ回路は、基準電流源を有し、また、ゲートドライバ回路を制御することにより、電流制御、輝度制御を実現する。また、画素は、複数あるいは単独の駆動用トランジスタを有し、ＥＬ素子に流れる電流バラツキが発生しないように駆動する。したがって、しきい値のずれによる出力電流のばらつきが小さく、ＥＬ表示パネルの表示むらの発生を抑制することが可能となる。また、ダイナミックレンジが広い画像表示を実現でき、実用的効果は大きい。また、プリチャージ制御、ｄｕｔｙ比制御、基準電流制御などそれぞれ特徴ある効果を発揮する。
【００１７】
また、本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。
【００１８】
なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。したがって、地球環境、宇宙環境に優しいことになる。
【発明を実施するための最良の形態】
【００１９】
本明細書において、各図面は、理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図４に図示する表示パネルの断面図では薄膜封止膜４１などを十分厚く図示している。一方、図３において、封止フタ４０は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルム（３８、３９）が必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。
【００２０】
なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図３、図４の本発明の表示パネルにタッチパネルなどを付加し、図１５４から図１５７に図示する情報表示装置とすることができる。また、たとえば一例として図１９、図２１、図２２、図２４、図２７、図３２、図３９、図４０、図８５、図８９、図９３、図９８、図１０８、図１１６、図１１７、図１２８、図１４９、図１６３などで説明した本発明の駆動方法あるいは装置（回路）は、いずれの本発明の表示装置または表示パネルにも適用することができる。
【００２１】
なお、本明細書では、駆動用トランジスタ１１、スイッチング用トランジスタ１１は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。もちろん、ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ素子１１、ゲートドライバ回路１２、ソースドライバ回路１４などは、

これらのいずれでも使用することができる。図３、図４などにおいて、基板３０はシリコンウエハで形成すればよい。

【００２２】

以下、本発明のＥＬ表示パネルについて図面を参照しながら説明をする。有機ＥＬ表示パネルは、図３に示すように、画素電極としての透明電極３５が形成されたガラス板３０（アレイ基板３０）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも１層の有機機能層（ＥＬ層）２９、及び金属電極（反射膜）（カソード）３６が積層されたものである。透明電極（画素電極）３５である陽極（アノード）にプラス、金属電極（反射電極）３６の陰極（カソード）にマイナスの電圧を加え、透明電極３５及び金属電極３６間に直流を印加することにより、有機機能層（ＥＬ膜）２９が発光する。

【００２３】

金属電極３６には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばＡｌ－Ｌｉ合金を用いることが好ましい。また、透明電極３５には、ＩＴＯ等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ＩＴＯはＩＺＯなどの他の材料でもよい。この事項は他の画素電極３５に対しても同様である。

【００２４】

なお、封止フタ４０とアレイ基板３０との空間には乾燥剤３７を配置する。これは、有機ＥＬ膜２９は湿度に弱いためである。乾燥剤３７によりシール剤を浸透する水分を吸収し有機ＥＬ膜２９の劣化を防止する。

【００２５】

封止フタ４０とアレイ基板３０間に、薄型のスピーカを配置または形成してもよい。スピーカはモバイル機器などで使用している薄膜型のものを使用する。封止フタ４０の凹部には空間があるため、この空間にスピーカを配置することにより、空間を有効利用できる。また、空間内でスピーカが振動するため、パネルの表面から音響を発生するように構成できる。スピーカは乾燥剤３７と同時に固定するか、乾燥剤３７以外の箇所に封止フタ４０に貼り付けて固定する。その他、封止フタ４０に直接にスピーカを形成する構成でもよい。また、封止フタ４０の空間あるいは封止フタ４０の面などに温度センサを形成または配置し、この温度センサの出力結果により、以降に説明するｄｕｔｙ比制御、基準電流比制御、点灯率制御などを実施してもよい。

【００２６】

スピーカからの端子配線はアルミニウムの蒸着膜で形成し、封止フタ４０外部に引き出し電源あるいは信号源に接続する。なお、スピーカの代りに薄型のマイクを配置または形成してもよい。また、圧電振動子をスピーカとして用いてもよい。なお、スピーカ、マイクなどの駆動回路はポリシリコン技術を用いてアレイ３０に直接形成あるいは配置してもよいことは言うまでもない。

【００２７】

なお、スピーカあるいはマイクなどの表面は無機材料あるいは有機材料もしくは金属材料の１種類あるいは複数種類からなる薄膜を蒸着あるいは塗布し、封止することによりスピーカなどから発生するガスなどによる有機ＥＬ膜などの劣化を抑制する。

【００２８】

ＥＬ表示パネル（ＥＬ表示装置）の課題として、パネル内部で発生するハレーションを原因とするコントラスト低下がある。これは、ＥＬ素子１５（ＥＬ膜２９）から発生した光がパネル内部に閉じ込められ乱反射するために発生する。

【００２９】

この課題を解決するために、本発明のＥＬ表示パネルでは、画像表示に非有効な表示領域（無効領域）に光吸収膜（光吸収手段）を形成または配置している。光吸収膜を形成することにより、画素１６から発生した光が基板３０などで乱反射することにより発生するハレーションによる表示コントラスト低下を抑制することができる。

【００３０】
なお、無効領域とは、基板３０あるいは封止フタ４０の側面が例示される。また、基板３０かつ表示領域以外（たとえば、ゲートドライバ回路１２、ソースドライバ回路１４が形成された領域およびその近傍など）、フタ４０の全面（下取り出しの場合）などが例示される。
【００３１】
光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたＰｒＭｎO_3膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。
【００３２】
以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを用いても良い。
【００３３】
また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な１種、もしくはそれらのうち２種類以上の組み合わせでも良い。
【００３４】
また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。
【００３５】
以上の事項は、図４などの構成にも適用することができることは言うまでもない。
【００３６】
図３の本発明の有機ＥＬ表示パネルは、ガラスのフタ４０を用いて封止する構成である。しかし、本発明はこれに限定するものではない。たとえば、図４に図示するようにフィルム４１（薄膜でもよい。つまり、薄膜封止膜４１である）を用いた封止構造であってもよい。
【００３７】
封止フィルム（薄膜封止膜）４１としては電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜４１として用いる。また、ＤＬＣ（ダイヤモンド　ライク　カーボン）膜などを電極３６の表面に直接蒸着する構成もよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。
【００３８】
薄膜４１の膜厚はｎ・ｄ（ｎは薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜のｎ・ｄを計算）にして計算する。ｄは薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、ＥＬ素子１５の発光主波長λ以下となるようにするとよい。この条件を満足させることにより、ＥＬ素子１５からの光取り出し効率が、ガラス基板で封止した場合に比較して２倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。
【００３９】
なお、薄膜４１あるいは封止構造を形成する膜の厚みは、上記干渉領域の膜厚には限定

されない。５～１０μｍ以上あるいは、１００μｍ以上の厚みを有するように構成あるいは形成してもよいことは言うまでもない。また、封止構成の薄膜４１などが透過性を有する場合は、図４のＡ側が光出射側となり、不透過性あるいは光反射性の機能あるいは構造を有する場合は、Ｂ側が光出射側となる。

【００４０】

もちろん、Ａ側とＢ側からの両方から光が出射されるように構成してもよい。この構成を採用する場合は、Ａ側からＥＬ表示パネルの画像を見る場合と、Ｂ側からＥＬ表示パネルの画像を見る場合とでは画像が左右反転する。したがって、Ａ側からＥＬ表示パネルの画像を見る場合と、Ｂ側からＥＬ表示パネルの画像を見る場合では、手動であるいはオートマチックに画像の左右を反転させる機能を付加する。この機能の実現は、映像信号の１画素行あるいは複数画素行分をラインメモリに蓄積し、ラインメモリの読み出し方向を反転させればよい。

【００４１】

図４のように封止フタ４０を用いず、封止膜４１で封止する構成を薄膜封止と呼ぶ。基板３０側から光を取り出す「下取り出し（図３を参照のこと。光取り出し方向は図３のＢ矢印方向である）」の場合の薄膜封止４１は、ＥＬ膜を形成後、ＥＬ膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は１μｍ以上１０μｍ以下の厚みが適する。さらに好ましくは、膜厚は２μｍ以上６μｍ以下の厚みが適する。この緩衝膜上の封止膜７４を形成する。

【００４２】

緩衝膜がないと、応力によりＥＬ膜の構造が崩れ、筋状に欠陥が発生する。封止膜４１は前述したように、ＤＬＣ（ダイヤモンド　ライク　カーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【００４３】

有機ＥＬ膜２９側から光を取り出す「上取り出し（図４を参照のこと。光取り出し方向は図４のＡ矢印方向である）」の場合の薄膜封止は、有機ＥＬ膜２９を形成後、有機ＥＬ膜２９上にカソード（もしくはアノード）となるＡｇ－Ｍｇ膜を２０オングストローム以上３００オングストロームの膜厚で形成する。その上に、ＩＴＯなどの透明電極を形成して低抵抗化する。次に、好ましくはこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜４１を形成する。

【００４４】

図３などにおいて、有機ＥＬ膜２９から発生した光の半分は、反射膜（カソード電極）３６で反射され、アレイ基板３０と透過して出射される。しかし、反射膜（カソード電極）３６は外光を反射し、写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板３０にλ／４板（位相フィルム）３８および偏光板（偏光フィルム）３９を配置している。偏光板３９と位相フィルム３８を一体したものは円偏光板（円偏光シート）と呼ばれる。

【００４５】

なお、画素が反射電極の場合はＥＬ膜２９から発生した光は上方向に出射される（図４のＡ方向に光が出射）。したがって、位相板３８および偏光板３９は光出射側に配置することはいうまでもない。

【００４６】

なお、反射型画素は、画素電極３５を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極３５の表面に、凸部（もしくは凹凸部）を設けることで有機ＥＬ膜２９との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード３６（アノード３５）となる反射膜を透明電極に形成する、あるいは反射率を３０％以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減され望ましい。凸部（もしくは凹凸部）は、回折格子にすることで光取り出しに効果がある。回折格子は２次元あるいは３次元構造にする。回折格子のピ

ッチは、０．２μｍ以上２μｍ以下にすることが好ましい。この範囲で光効率が良好な結果が得られる。特に回折格子のピッチは、０．３μｍ以上０．８μｍ以下にすることが好ましい。また、回折格子の形状は、サインカーブ状にすることが好ましい。

【００４７】

図１などにおいて、トランジスタ１１はＬＤＤ（ｌｉｇｈｔｌｙ　ｄｏｐｅｄ　ｄｒａｉｎ）構造を採用することが好ましい。

【００４８】

ＥＬ表示パネルは、Ｒ、Ｇ、Ｂで発光効率が異なる場合が多い。そのため、駆動用トランジスタ１１ａが流す電流がＲ、Ｇ、Ｂで異なる。たとえば、図２３５に図示するように、Ｂの画素１６を駆動する駆動用トランジスタ１１ａが点線とすると、Ｇの画素１６を駆動する駆動用トランジスタ１１ａが実線となる。図２３５の縦軸は、駆動用トランジスタ１１ａが流す電流（Ｓ－Ｄ電流）（μＡ）つまりプログラム電流Ｉｗであり、横軸は駆動用トランジスタ１１ａのゲート端子電圧である。

【００４９】

しかし、図２３５に図示するように、Ｒ、Ｇ、Ｂでゲート端子電圧に対するＳ－Ｄ電流の大きさが異なると、電流（電圧）プログラム精度が低下する（図２３５では実線の特性の精度がなくなる）。この課題に対して、駆動用トランジスタ１１ａのチャンネル幅（Ｗ）とチャンネル長（Ｌ）からなるＷＬ比を調整してトランジスタ１１ａの設計を行い、同一ゲート端子電圧に対し、Ｒ、Ｇ、Ｂの駆動用トランジスタ１１ａが出力するＳ－Ｄ電流の差が２倍以内となるようにすることが好ましい。

【００５０】

また、本明細書ではＥＬ素子１５として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）を例にあげて説明するが、これに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

【００５１】

まず、有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられることと、１フレーム期間を通じてＥＬ素子に電流を流すことができること、という２つの条件を満足させなければならない。

【００５２】

この２つの条件を満足させるため、図２に図示する従来の有機ＥＬの画素構成では、第１のトランジスタ１１ｂは画素を選択するためのスイッチング用トランジスタとして機能させている。また、第２のトランジスタ１１ａはＥＬ素子１５に電流を供給するための駆動用トランジスタとして機能させている。

【００５３】

この構成を用いて階調を表示させる場合、駆動用トランジスタ１１ａのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ１１ａのオン電流のばらつきがそのまま表示に現れる。

【００５４】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が４５０度以下の低温ポリシリコン技術で形成した低温多結晶トタンジスタでは、そのしきい値のばらつきが±０．２Ｖ～０．５Ｖの範囲でばらつきがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。

【００５５】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術でも、固相（ＣＧＳ）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。また、アモルファスシリコントランジスタでも発生する。

【００５６】
以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。
【００５７】
したがって、図２のように、電圧を書き込むことにより階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどでは、このバラツキを所定範囲以内の抑えるというスペックを満足できない。
【００５８】
本発明のＥＬ表示装置の画素構造は、具体的には図１などに示すように、１つの画素が最低４つからなる複数のトランジスタ１１ならびにＥＬ素子１５により形成される。画素電極３５は、ソース信号線１８と重なるように構成する。つまり、ソース信号線１８上に絶縁膜あるいはアクリル材料からなる平坦化膜３２を形成して絶縁し、平坦化膜３２上に画素電極３５を形成する。このようにソース信号線１８上の少なくとも一部に画素電極３５を重ねる構成をハイアパーチャ（ＨＡ）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。平坦化膜３２は層間絶縁膜としても機能する。平坦化膜３２は、０．４μｍ以上２．０μｍ以下の膜厚に構成あるいは形成する。平坦化膜３２の膜厚が０．４μｍ以下であれば、層間絶縁が不良になりやすい（歩留まり低下）。２．０μｍ以上であればコンタクト接続部３４の形成が困難になり、コンタクト不良が発生しやすい（歩留まり低下）。
【００５９】
アクティブマトリックスを構成するトランジスタ１１は、ｐ－チャンネルポリシリコン薄膜トランジスタに構成され、トランジスタ１１ｂがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ１１ｂは、トランジスタ１１ａのソース－ドレイン間のスイッチとして作用するため、できるだけＯＮ／ＯＦＦ比の高い特性が要求される。トランジスタ１１ｂのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりＯＮ／ＯＦＦ比の高い特性を実現できる。
【００６０】
画素１６のトランジスタ１１を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ１１特性のバラツキとなる。しかし、１画素１６内のトランジスタ１１の特性が一致していれば、電流プログラムを行う方式では、所定の電流がＥＬ素子１５に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。
【００６１】
なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（ＣＧＳ）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、アモルファスシリコン技術を用いて形成した半導体膜であってもよい。
【００６２】
この課題に対して、本発明ではアニールの時のレーザー照射スポット（レーザー照射範囲）をソース信号線１８に平行に照射する。また、１画素列に一致するようにレーザー照射スポットを移動させる。もちろん、１画素列に限定するものではなく、たとえば、ＲＧＢ画素を1画素という単位でレーザーを照射してもよい（この場合は、３画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。
【００６３】
画素はＲＧＢの３画素で正方形の形状となるように作製されている。したがって、Ｒ、

Ｇ、Ｂの各画素は縦長の画素形状となる。したがって、レーザー照射スポットを縦長にしてアニールすることにより、１画素内ではトランジスタ１１の特性バラツキが発生しないようにすることができる。

【００６４】

また、１つのソース信号線１８に接続されたトランジスタ１１の特性（モビリティ、Ｖｔ、Ｓ値など）を均一にすることができる（つまり、隣接したソース信号線１８のトランジスタ１１とは特性が異なる場合があるが、１つのソース信号線に接続されたトランジスタ１１の特性はほぼ等しくすることができる）。

【００６５】

図１に図示する本発明のＥＬ表示パネルの画素構成などについて説明をする。ゲート信号線（第１の走査線）１７ａをアクティブ（ＯＮ電圧を印加）とする。同時に、駆動用のトランジスタ１１ａには、スイッチ用トランジスタ１１ｃを通して、前記ＥＬ素子１５に流すべき電流値Ｉｗをソースドライバ回路１４から流す。また、駆動用トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）間を短絡するようにトランジスタ１１ｂが動作する。同時に、トランジスタ１１ａのゲート端子（Ｇ）とソース端子（Ｓ）間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）１９にトランジスタ１１ａのゲート電圧（あるいはドレイン電圧）を記憶する（図５（ａ）を参照のこと）。

【００６６】

なお、コンデンサ（蓄積容量）１９の大きさは、０．２ｐＦ以上２ｐＦ以下とすることがよく、中でもコンデンサ（蓄積容量）１９の大きさは、０．４ｐＦ以上１．２ｐＦ以下とすることがよい。好ましくは、画素サイズを考慮してコンデンサ１９の容量を決定する。１画素に必要な容量をＣｓ（ｐＦ）とし、１画素が占める面積をＳｐとする。なお、Ｓｐとは開口率ではない。各ＲＧＢの１つの画素が占める面積である。たとえば、Ｒ画素が２００μｍ×６７μｍであれば、Ｓｐ＝１３４００平方μｍである。

【００６７】

Ｓｐ（平方μｍ）とすれば、１５００／Ｓｐ ≦ Ｃｓ ≦ ３００００／Ｓｐとし、さらに好ましくは、３０００／Ｓｐ ≦ Ｃｓ ≦ １５０００／Ｓｐとなるようにする。なお、トランジスタ１１のゲート容量は小さいので、ここでいうＱとは、蓄積容量（コンデンサ）１９単独の容量である。Ｃｓが１５００／Ｓｐよりも小さいと、ゲート信号線１７の突き抜け電圧の影響が大きくなり、また、電圧の保持特性が低下し、輝度傾斜などが発生する。また、ＴＦＴの補償性能が低下する。Ｃｓが３００００／Ｓｐよりも大きいと、画素１６の開口率が低下する。そのため、ＥＬ素子１５の電界密度が高くなり、ＥＬ素子１５の寿命が低下するなど悪影響が発生する。また、コンデンサ容量により、電流プログラムの書込み時間が長くなり、低階調領域で書込み不足が発生する。

【００６８】

本発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために４トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、４つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値の値の平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

【００６９】

また、蓄積容量１９の容量値をＣｓ、第２のトランジスタ１１ｂのオフ電流値をI_{off}とした場合、次式を満足させることが好ましい。

【００７０】

３ ＜ Ｃｓ／I_{off} ＜ ２４

さらに好ましくは、次式を満足させることが好ましい。

【００７１】

$6 < Cs/I_{off} < 18$

トランジスタ１１ｂのオフ電流を５ｐＡ以下とすることにより、ＥＬを流れる電流値の変化を２％以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲート－ソース間（コンデンサの両端）に貯えられた電荷を１フィールド間保持できないためである。したがって、コンデンサ１９の蓄積容量が大きければオフ電流の許容量も大きくなる。上記の式を満たすことによって、隣接画素間の電流値の変動を２％以下に抑えることができる。

【００７２】

以上の蓄積容量Ｃｓに関する事項は、図１の画素構成に限定されるものではなく、その他の電流プログラム方式の画素構成にも適用できることは言うまでもない。たとえば、適用される電流プログラム画素構成としては、図６から図１３、図３１から図３６などが例示される。

【００７３】

ＥＬ素子１５の発光期間では、ゲート信号線１７ａを非アクティブ（ＯＦＦ電圧を印加）に、ゲート信号線１７ｂをアクティブとして、電流Ｉｗ＝Ｉｅの流れる経路を、ＥＬ素子１５に接続されたトランジスタ１１ｄならびに前記ＥＬ素子１５を含む経路に切り替えて、記憶した電流Ｉｗを前記ＥＬ素子１５に流すように動作させる（図５（ｂ）を参照のこと）。

【００７４】

図１の画素回路は、１画素内に４つのトランジスタ１１を有している。駆動用トランジスタ１１ａのゲート端子はトランジスタ１１ｂのソース端子に接続されている。また、トランジスタ１１ｂおよびトランジスタ１１ｃのゲート端子はゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレイン端子はトランジスタ１１ｃのソース端子ならびにトランジスタ１１ｄのソース端子に接続され、トランジスタ１１ｃのドレイン端子はソース信号線１８に接続されている。トランジスタ１１ｄのゲート端子はゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレイン端子はＥＬ素子１５のアノード電極に接続されている。

【００７５】

なお、図１ではすべてのトランジスタはＰチャンネルで構成している。Ｐチャンネルは多少Ｎチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きく、また劣化も発生しにくいので好ましい。しかし、本発明はＥＬ素子構成をＰチャンネルで構成することのみに限定するものではなく、Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。たとえば、図９から図１３の画素構成などが例示される。

【００７６】

好ましくは、画素を構成するトランジスタ１１をすべてＰチャンネルで形成し、内蔵ゲートドライバ回路１２もＰチャンネルで形成することが好ましい。このようにアレイをＰチャンネルのみのトランジスタで形成することにより、マスク枚数が５枚となり、低コスト化、高歩留まり化を実現できる。

【００７７】

以上の事項は、図１の画素構成に限定されるものではなく、その他の電流プログラム方式の画素構成にも適用できることは言うまでもない。たとえば、適用される電流プログラム画素構成としては、図６から図１３、図３１から図３６などが例示される。

【００７８】

以下、さらに本発明の理解を容易にするために、本発明のＥＬ素子構成について図５を用いて説明する。本発明のＥＬ素子構成は２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ１１ｂならびにトランジスタ１１ｃがＯＮすることにより、等価回路として図５（ａ）となる。ここで、信号線より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ

１１ｃを通じて電流Ｉｗが流れる。したがって、トランジスタ１１ａのゲートーソースの電圧はＩｗが流れるような電圧となる。

【００７９】

第２のタイミングは、トランジスタ１１ａとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開くタイミングであり、そのときの等価回路は図５（ｂ）となる。トランジスタ１１ａのソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。

【００８０】

以上の動作を図示すると、図１９のようになる。図１９（ａ）の１９１は、表示画面１４４における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。画素（行）１９１は、図５（ｂ）に図示するように非点灯（非表示画素（行））とする。

【００８１】

図１の画素構成の場合は、図５（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗが駆動用トランジスタ１１ａを流れ、プログラム電流Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【００８２】

次に、ＥＬ素子１５に電流を流す期間は図５（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【００８３】

このタイミングチャートを図２１に図示する。図２１などにおいて、括弧内の添え字（たとえば、（１）など）は画素行の番号を示している。つまり、ゲート信号線１７ａ（１）とは、画素行（１）のゲート信号線１７ａを示している。また、図４の上段の＊Ｈ（「＊」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、１Ｈとは第１番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（１Ｈの番号、１Ｈ周期、画素行番号の順番など）するものではない。

【００８４】

図２１でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧が印加されている時には、ゲート信号線１７ｂにはオフ電圧が印加されている。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。そして、選択されていない画素行において、ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにはオン電圧が印加されている。

【００８５】

なお、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートは同一のゲート信号線１１ａに接続している。しかし、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートとを異なるゲート信号線１１に接続してもよい（図６を参照のこと）。図６において、１画素のゲート信号線は３本となる（図１の構成は２本である）。

【００８６】

図６の画素構成では、トランジスタ１１ｂのゲートのＯＮ／ＯＦＦタイミングとトランジスタ１１ｃのゲートのＯＮ／ＯＦＦタイミングを個別に制御することにより、トランジスタ１１ａのばらつきによるＥＬ素子１５の電流値バラツキをさらに低減することができる。

【００８７】

図６の画素構成において、画素１６に電流プログラムを行う際は、ゲート信号線１７ａ１、１７ａ２を同時に選択し、トランジスタ１１ｂ、１１ｃをオンさせる。なお、電流プログラムを実施している画素１６のゲート信号線１７ｂにはオフ電圧を印加し、トランジ

スタ１１ｄをオフさせておく。

【００８８】

選択した画素行における電流プログラム期間（通常、１水平走査期間）を完了する時は、まず、ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加して、トランジスタ１１ｂをオフする。この時は、ゲート信号線１７ａ２はオン電圧（Ｖｇｌ）が印加されており、トランジスタ１１ｃはオン状態である。次に、ゲート信号線１７ａ２にオフ電圧を印加し、トランジスタ１１ｃをオフさせる。以上のように、トランジスタ１１ｂ、１１ｃの両方がオン状態から、トランジスタ１１ｂ、１１ｃをオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ１１ｂをオフにし、駆動用トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）間をオープンにする（ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加する）。次に、トランジスタ１１ｃをオフにして、ソース信号線１８と駆動用トランジスタ１１ａのドレイン端子（Ｄ）を切り離す（ゲート信号線１７ａ２にもオフ電圧（Ｖｇｈ）を印加する）。

【００８９】

ゲート信号線１７ａ１にオフ電圧を印加してから、ゲート信号線１７ａ２にオフ電圧を印加するまでの期間Ｔｗは、０．１μｓｅｃ以上１０μｓｅｃ以下の期間とすることが好ましい。０．１μｓｅｃ以上１０μｓｅｃ以下の期間とすることが好ましい。もしくは、１Ｈの期間をＴｈとした時、Ｔｗは、Ｔｈ／５００以上Ｔｈ／１０以下とすることが好ましい。特に、Ｔｗは、Ｔｈ／２００以上Ｔｈ／５０以下とすることが好ましい。

【００９０】

以上の事項は、図６の画素構成に限定されるものではない。たとえば、図１２の画素構成にも適用される。図１２の画素構成において、画素１６に電流プログラムを行う際は、ゲート信号線１７ａ１、１７ａ２を同時に選択し、トランジスタ１１ｄ、１１ｃをオンさせる。なお、電流プログラムを実施している画素１６のゲート信号線１７ｂにはオフ電圧を印加し、トランジスタ１１ｅをオフさせておく。

【００９１】

選択した画素行における電流プログラム期間（通常、１水平走査期間）を完了する時は、まず、ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加して、トランジスタ１１ｄをオフする。この時は、ゲート信号線１７ａ２はオン電圧（Ｖｇｌ）が印加されており、トランジスタ１１ｃはオン状態である。次に、ゲート信号線１７ａ２にオフ電圧を印加し、トランジスタ１１ｃをオフさせる。以上のように、トランジスタ１１ｄ、１１ｃの両方がオン状態から、トランジスタ１１ｄ、１１ｃをオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ１１ｄをオフにし、トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）間をオープンにする（ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加する）。次に、トランジスタ１１ｃをオフにして、ソース信号線１８とトランジスタ１１ａのドレイン端子（Ｄ）を切り離す（ゲート信号線１７ａ２にもオフ電圧（Ｖｇｈ）を印加する）。

【００９２】

図１２でも図６と同様に、ゲート信号線１７ａ１にオフ電圧を印加してから、ゲート信号線１７ａ２にオフ電圧を印加するまでの期間Ｔｗは、０．１μｓｅｃ以上１０μｓｅｃ以下の期間とすることが好ましい。もしくは、１Ｈの期間をＴｈとした時、Ｔｗは、Ｔｈ／５００以上Ｔｈ／１０以下とすることが好ましい。特に、Ｔｗは、Ｔｈ／２００以上Ｔｈ／５０以下とすることが好ましい。

【００９３】

以上の事項は、図１０などの画素構成にあっても適用できることは言うまでもない。また、図１２では駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング用トランジスタ１１ｅを配置しているが、図１３に図示するように、スイッチング用トランジスタ１１ｅを省略してもよいことは言うまでもない。

【００９４】

なお、本発明の画素構成は、図１、図２の構成に限定されるものではない。たとえば、

図７のように構成してもよい。図７は、図１の構成に比較してスイッチング用トランジスタ１１ｄがない。替わりに切り替えスイッチ７１が形成または配置されている。図１のスイッチング用トランジスタ１１ｄは、駆動用トランジスタ１１ａからＥＬ素子１５に流れる電流をオンオフ（流す／流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明では、このトランジスタ１１ｄのオンオフ制御機能が重要な構成要素である。トランジスタ１１ｄを形成せず、オンオフ機能を実現するのが、図７の構成である。

【００９５】

図７において、切り替えスイッチ７１のａ端子は、アノード電圧Ｖｄｄに接続されている。なお、ａ端子に印加する電圧は、アノード電圧Ｖｄｄに限定されるものではなく、ＥＬ素子１５に流れる電流をオフできる電圧であればよい。

【００９６】

切り替えスイッチ７１のｂ端子は、カソード電圧（図７ではグランドと図示している）に接続されている。なお、ｂ端子に印加する電圧はカソード電圧に限定されるものではなく、ＥＬ素子１５に流れる電流をオンできる電圧であればいずれでもよい。

【００９７】

切り替えスイッチ７１のｃ端子にはＥＬ素子１５のカソード端子が接続されている。なお、切り替えスイッチ７１はＥＬ素子１５に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図７の形成位置に限定されるものではなく、ＥＬ素子１５の電流が流れる経路であればいずれでもよい。また、スイッチの機能に限定されるものでもなく、ＥＬ素子１５に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、ＥＬ素子１５の電流経路にＥＬ素子１５に流す電流をオンオフできるスイッチング手段を具備すれば、いずれの画素構成でもよい。

【００９８】

本明細書において、オフとは完全に電流が流れない状態を意味するものではない。ＥＬ素子１５に流れる電流を通常よりも低減できるものであればよい。以上の事項は、本発明の他の構成においても同様である。つまり、トランジスタ１１ｄはＥＬ素子１５が発光するリーク電流を流しても良い。

【００９９】

切り替えスイッチ７１は、ＰチャンネルとＮチャンネルのトランジスタを組み合わせることにより容易に実現できるので説明は必要ないであろう。もちろん、スイッチ７１はＥＬ素子１５に流れる電流をオンオフするだけであるから、Ｐチャンネルトランジスタあるいは Ｎチャンネルトランジスタでも形成することができることは言うまでもない。

【０１００】

スイッチ７１がａ端子に接続されている時は、ＥＬ素子１５のカソード端子にアノード電圧Ｖｄｄが印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇがいずれの電圧保持状態であってもＥＬ素子１５には電流が流れない。したがって、ＥＬ素子１５は非点灯状態となる。もちろん、駆動用トランジスタ１１ａのソース端子（Ｓ）－ドレイン端子（Ｄ）間の電圧が、カットオフあるいはその近傍にすることができるように、切り換え回路７１のａ端子の電圧を設定すればよい。

【０１０１】

スイッチ７１がｂ端子に接続されている時は、ＥＬ素子１５のカソード端子にカソード電圧Ｖｓｓが印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇに保持された電圧状態に応じてＥＬ素子１５に電流が流れる。したがって、ＥＬ素子１５は点灯状態となる。

【０１０２】

以上のことより、図７の画素構成では、駆動用トランジスタ１１ａとＥＬ素子１５間にはスイッチング用トランジスタ１１ｄが形成されていない。しかし、スイッチ７１を制御することによりＥＬ素子１５の点灯制御を行うことができる。

【０１０３】

なお、スイッチング用トランジスタ１１などはホトトランジスタであってもよい。たと

えば、外光の強弱によりホトトランジスタ１１をオンオフさせ、ＥＬ素子１５に流れる電流を制御することにより、表示パネルの輝度を変化させることができる。

【０１０４】

図１、図２、図６、図１１、図１２などの画素構成では、駆動用トランジスタ１１ａもしくは１１ｂは１画素につき１個である。本発明はこれに限定するものではなく、駆動用トランジスタ１１ａは１画素に複数個を形成または配置してもよい。

【０１０５】

図８は、１画素１６に複数個の駆動用トランジスタ１１ａが形成または構成された実施例である。図８では１画素に２個の駆動用トランジスタ素子１１ａ１、１１ａ２が形成され、２個の駆動用トランジスタ１１ａ１、１１ａ２のゲート端子は共通のコンデンサ１９に接続されている。駆動用トランジスタ１１ａを複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図１などと同様であるので説明を省略する。なお、図８において、駆動用トランジスタ１１ａは３個以上で構成（形成）してもよいことは言うまでもない。また、複数の駆動用トランジスタ１１ａはＮチャンネルとＰチャンネルの両方を用いて構成（形成）してもよい。

【０１０６】

図１、図２は駆動用トランジスタ１１ａが出力する電流をＥＬ素子１５に流し、その電流を駆動用トランジスタ１１ａとＥＬ素子１５間に配置されたスイッチング素子１１ｄでオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図９の構成が例示される。

【０１０７】

図９の実施例では、ＥＬ素子１５に流す電流が駆動用トランジスタ１１ａで制御される。ＥＬ素子１５に流れる電流をオンオフさせるのは、Ｖｄｄ端子とＥＬ素子１５間に配置されたスイッチング素子１１ｄで制御される。したがって、本発明はスイッチング素子１１ｄの配置はどこでもよく、ＥＬ素子１５に流れる電流を制御できるものであればいずれでもよい。動作などは図１などと同様あるいは類似であるので説明を省略する。

【０１０８】

また、図１０の画素構成において、すべてのトランジスタはＮチャンネルで構成されている。しかし、本発明はＥＬ素子構成をＮチャンネルで構成することのみに限定するものではない。ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

【０１０９】

図１０の画素構成は、２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。第１のタイミングではゲート信号線１７ａ１、１７ａ２にオン電圧（Ｖｇｈ）が印加されることにより、トランジスタ１１ｂならびにトランジスタ１１ｃがＯＮする。また、ゲート信号線１７ｂにオフ電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがＯＦＦする。したがって、ソース信号線１８より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが短絡された状態となり、駆動用トランジスタ１１ａはトランジスタ１１ｃを通じてプログラム電流が流れる。

【０１１０】

選択した画素行における電流プログラム期間（通常、１水平走査期間）を完了する時は、まず、ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加して、トランジスタ１１ｂをオフする。この時は、ゲート信号線１７ａ２はオン電圧（Ｖｇｌ）が印加されており、トランジスタ１１ｃはオン状態である。次に、ゲート信号線１７ａ２にオフ電圧を印加し、トランジスタ１１ｃをオフさせる。以上のように、トランジスタ１１ｂ、１１ｃの両方がオン状態から、トランジスタ１１ｂ、１１ｃをオフ状態にする際（該当画素行の電流プログラム期間を終了させる時）は、まず、トランジスタ１１ｂをオフにし、トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）間をオープンにする（ゲート信号線１７ａ１にオフ電圧（Ｖｇｈ）を印加する）。次に、トランジスタ１１ｃをオフにして、ソース信号線１８とトランジスタ１１ａのドレイン端子（Ｄ）を切り離す（ゲート信号線１７ａ

２にもオフ電圧（Ｖｇｈ）を印加する）。
【０１１１】
第２のタイミングはゲート信号線１７ａ１、１７ａ２にオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加される。したがって、トランジスタ１１ｂとトランジスタ１１ｃがオフし、トランジスタ１１ｄがオンする。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。
【０１１２】
電流プログラム方式の画素（図１、図６から図１３、図３１から図３６など）では、駆動用トランジスタ１１ａ（図１１、図１２などではトランジスタ１１ｂ）の特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、駆動用トランジスタ１１のチャンネル長Ｌが５μｍ以上１００μｍ以下とすることが好ましい。さらに好ましくは、駆動用トランジスタ１１のチャンネル長Ｌが１０μｍ以上５０μｍ以下とすることが好ましい。これは、チャンネル長Ｌを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。
【０１１３】
以上のように、本発明は、ＥＬ素子１５に電流が流れこむ経路、またはＥＬ素子１５から電流が流れ出す経路（つまり、ＥＬ素子１５の電流経路である）に、ＥＬ素子１５に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。
【０１１４】
電流プログラム方式の１つであるカレントミラー方式であっても、図１１に図示するように、駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング素子としてのトランジスタ１１ｅを形成または配置することによりＥＬ素子１５に流れる電流をオンオフすることができる（制御することができる）。もちろん、トランジスタ１１ｅは、図７の切り換え回路７１に置き換えても良い。
【０１１５】
図１１のスイッチング用トランジスタ１１ｄ、１１ｃは１本のゲート信号線１７ａに接続されているが、図１２に図示するように、トランジスタ１１ｃはゲート信号線１７ａ２で制御し、トランジスタ１１ｄはゲート信号線１７ａ１で制御するように構成してもよい。先にも説明したように、図１２の画素構成の方が、画素１６の制御の汎用性が高くなり、駆動用トランジスタ１１ｂの特性補償性能も向上する。
【０１１６】
次に、本発明のＥＬ表示パネルあるいはＥＬ表示装置について説明をする。図１４はＥＬ表示装置の回路を中心とした説明図である。画素１６はマトリックス状に配置または形成されている。各画素１６には各画素の電流プログラムを行うプログラム電流を出力するソースドライバ回路１４が接続されている。ソースドライバ回路１４の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、６４階調であれば、６３個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線１８に印加できるように構成されている（図１５を参照のこと）。
【０１１７】
なお、単位トランジスタ１５４の最小出力電流は５ｎＡ以上１００ｎＡ以下にしている。特に単位トランジスタ１５４の最小出力電流は１５ｎＡ以上５０ｎＡ以下にすることがよい。ドライバＩＣ１４内の単位トランジスタ群４３１ｃを構成する単位トランジスタ１５４の精度を確保するためである。
【０１１８】
また、ソース信号線１８の電荷を強制的に放出または充電するプリチャージ回路を内蔵する（図１６などを参照のこと）。ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢで異なるから

である。

【０１１９】

なお、プリチャージによる電圧は、駆動用トランジスタ１１ａのゲート（Ｇ）端子に立ち上がり電圧あるいは立ち上がり電圧以下の電圧を印加する方法とも考えることができる。つまり、駆動用トランジスタ１１ａをオフ状態にすることによりプログラム電流Ｉｗが０になる状態を発生させ、ＥＬ素子１５に電流が流れないようにする。ソース信号線１８の電荷の充放電は副次的なものである。

【０１２０】

本発明において、ソースドライバ回路１４は半導体シリコンチップで形成し、ガラスオンチップ（ＣＯＧ）技術で基板３０のソース信号線１８の端子と接続されている。一方、ゲートドライバ回路１２は、低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路１４に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術で形成しても容易に形成することができ、また、表示パネルの狭額縁化を実現できる。もちろん、ゲートドライバ回路１２をシリコンチップで形成し、ＣＯＧ技術などを用いて基板３０上に実装してもよいことは言うまでもない。また、ドライバ１２、１４をＣＯＦあるいはＴＡＢ技術で実装してもよい。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【０１２１】

ゲートドライバ回路１２はゲート信号線１７ａ用のシフトレジスタ回路１４１ａと、ゲート信号線１７ｂ用のシフトレジスタ回路１４１ｂとを内蔵する。なお、説明を容易にするため、画素構成は図１を例にあげて説明をする。また、図６、図１２のようにゲート信号線１７ａがゲート信号線１７ａ１と１７ａ２で構成される場合は、それぞれ独立にシフトレジスタ回路１４１を形成するか、１つのシフトレジスタ回路１４１の出力信号からロジック回路でゲート信号線１７ａ１、１７ａ２の制御信号を発生させる。

【０１２２】

各シフトレジスタ回路１４１は正相と負相のクロック信号（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される（図１４を参照のこと）。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＡＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＰＤＷＭ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタ回路１４１にシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタ回路１４１のシフトタイミングはコントロールＩＣ７６０（後述する）からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路１４１を内蔵する。なお、クロック信号は正相のみとしてもよい。正相のみのクロック信号とすることにより、信号線数が削減でき、狭額縁化を実現できる。

【０１２３】

シフトレジスタ回路１４１のバッファ容量は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路１４１の出力とゲート信号線１７を駆動する出力ゲート１４３間には少なくとも２つ以上のインバータ回路１４２が形成されている。

【０１２４】

ソースドライバ回路１４を低温ポリシリなどのポリシリコン技術で基板３０上に直接形成する場合も同様であり、ソース信号線１８を駆動するトランスファーゲートなどのアナログスイッチのゲートとソースドライバ回路１４のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファーゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライバ回路に共通の事項である。

【０１２５】

本発明のＥＬ表示パネルにおいて、各画素の色はＲ、Ｇ、Ｂの３原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダなどの３色でもよい。また、Ｂとイエローなどの２色でもよい。Ｂとイエロー（Ｙ）を用いれば白黒表示が可能である。もちろん、単色でもよい。また、Ｒ、Ｇ、Ｂ、シアン、イエロー、マゼンダなどの６色でもよい。Ｒ、Ｇ、Ｂ、シアン、マゼンダなどの５色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。以上のように本発明のＥＬ表示装置は、ＲＧＢの３原色でカラー表示を行うものに限定されるものではない。

【０１２６】

有機ＥＬ表示パネルのカラー化には主に三つの方式がある。そのうち、色変換方式はこのうちの一つである。発光層として青色のみの画素１６を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、ＲＧＢの各層を塗り分ける必要がない、ＲＧＢの各色の有機ＥＬ材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のような歩留まり低下がない。本発明のＥＬ表示パネルは、これらのいずれの方式でもよい。また、インクジェット方式で形成してもよい。

【０１２７】

ＲＧＢなどの３原色で１組の画素を構成する場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、１つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。また、Ｒ、Ｇ、Ｂを構成する画素１６の駆動用トランジスタ１１ａは、サイズを変化させてもよい。たとえば、最も効率の悪い画素色の駆動用トランジスタ１１ａを大きく構成する。

【０１２８】

ＥＬ表示パネルの色温度は、色温度が７０００Ｋ（ケルビン）以上１２０００Ｋ以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±３０％以内となるようにする。さらに好ましくは、±１５％以内となるようにする。たとえば、電流密度が１００Ａ／平方メーターとすれば、３原色がいずれも７０Ａ／平方メーター以上１３０Ａ／平方メーター以下となるようにする。さらに好ましくは、３原色がいずれも８５Ａ／平方メーター以上１１５Ａ／平方メーター以下となるようにする。

【０１２９】

有機ＥＬ素子１５は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射すると、ホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【０１３０】

この課題に対処するため、本発明ではゲートドライバ回路１２（場合によってはソースドライバ回路１４）の下層、画素トランジスタ１１の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は５０ｎｍ以上１５０ｎｍ以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ１１のパターニングが困難になる。

【０１３１】

ドライバ回路１２などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ回路１２などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【０１３２】

しかし、ドライバ回路１２の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作、あるいはカソード電極とドライバ回路の電気的接触が発生する可能性がある。この課題に対処するため、本発明では、ドライバ回路１２などの上に

少なくとも１層、好ましくは複数層の有機ＥＬ膜を画素電極上の有機ＥＬ膜形成と同時に形成する。

【０１３３】

以下、本発明の駆動方法について説明をする。図１に示すように、ゲート信号線１７ａは行選択期間に導通状態（ここでは図１のトランジスタ１１がＰチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線１７ｂは非選択期間時にオン電圧を印加する。

【０１３４】

ソース信号線１８には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線１８とゲート信号線１７との交差部の容量、トランジスタ１１ｂ、トランジスタ１１ｃのチャンネル容量などにより発生する。

【０１３５】

寄生容量はソース信号線１８だけでなく、ソースドライバＩＣ１４でも発生する。図１７に図示するように、保護ダイオード１７１が主原因である。保護ダイオード１７１は、ＩＣ１４を静電気保護する目的を有するが、コンデンサとなり寄生容量ともなってしまう。一般的な保護ダイオードの容量は３～５ｐＦである。

【０１３６】

本発明のソースドライバＩＣ（後に詳細に説明をする）では、図１７に図示するように、接続端子１５５と電流出力回路１６４間にサージ低減抵抗１７２を形成または配置している。抵抗１７２はポリシリコンまたは拡散抵抗で形成する。抵抗１７２の抵抗値は、１ＫΩ以上１ＭΩ以下とする。この抵抗１７２により、外部からの静電気が抑制される。したがって、保護ダイオード１７１のサイズが小さくともよい。保護ダイオード１７１が小さければ保護ダイオードによる寄生容量の大きさも小さくなる。

【０１３７】

なお、図１７ではソースドライバＩＣ１４内に抵抗１７２を形成または配置しているように図示しているがこれに限定するものではなく、抵抗１７２は、アレイ３０に形成または配置してもよいことはいうまでもない。また、ダイオード（トランジスタをダイオード構成にしたものを含む）１７１についても同様である。

【０１３８】

ダイオード１７１は、抵抗１７１としてみなされる。抵抗１７１ａと１７１ｂはトリミングにより抵抗値を調整できるように構成することが好ましい。トリミングにより、抵抗値１７１ａと１７１ｂの抵抗値を調整でき、ソース信号線１８に流れるリーク電流をなくすことができる。トリミング以外で抵抗値などを調整することも可能である。たとえば、抵抗１７１を拡散抵抗で形成することより、加熱することにより抵抗値を調整できる。たとえば、抵抗にレーザー光を照射し、加熱することにより抵抗値を変化させることができる。また、ＩＣチップを全体的にあるいは部分的に加熱することにより、ＩＣチップ内に形成または構成された抵抗値を全体的にあるいは一部の抵抗の抵抗値を、調整あるいは変化させることができる。また、複数の抵抗１７１ａなどを形成し、１つ以上の抵抗１７１ａとソース信号線１８との接続をカットすることにより全体として抵抗値の調整を実現でき、リーク電流などをなくすことができる。以上のトリミング、調整などに関する事項は抵抗１７２に対しても適用されることは言うまでもない。

【０１３９】

ソース信号線１８の電流値変化に要する時間ｔは、浮遊容量の大きさをＣ、ソース信号線の電圧をＶ、ソース信号線に流れる電流をＩとすると、ｔ＝Ｃ・Ｖ／Ｉである。たとえば、プログラム電流を１０倍大きくすれば、電流値変化に要する時間が１０分の１に短くできる。したがって、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【０１４０】

プログラム電流をＮ倍にするとＥＬ素子１５に流れる電流もＮ倍となる。そのため、ＥＬ素子１５の輝度もＮ倍となる。そこで、所定の輝度を得るために、たとえば、図１のト

ランジスタ１７ｄの導通期間を１／Ｎにする。

【０１４１】

以上のように、ソース信号線１８の寄生容量の充放電を十分に行い、所定の電流値を画素１６のトランジスタ１１ａに電流プログラムを行うためには、ソースドライバ回路１４から比較的大きな電流を出力する必要がある。しかし、Ｎ倍のプログラム電流をソース信号線１８に流すとこのプログラム電流値が画素１６にプログラムされてしまい、所定の電流に対しＮ倍の大きな電流がＥＬ素子１５に流れる。たとえば、１０倍の電流でプログラムすれば、当然、１０倍の電流がＥＬ素子１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。所定の発光輝度にするためには、ＥＬ素子１５に流れる時間を１／１０にすればよい。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【０１４２】

なお、１０倍の電流値を画素のトランジスタ１１ａ（正確にはコンデンサ１９の端子電圧を設定している）に書き込み、ＥＬ素子１５のオン時間を１／１０にするとしたが、これは一例である。場合によっては、１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。逆に、１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／２倍にする場合もあるであろう。また、１倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。

【０１４３】

本発明は、画素への書き込み電流を所定値以外の値にし、ＥＬ素子１５に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、Ｎ倍の電流値を画素１６の駆動用トランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ倍にするとして説明する。しかし、これに限定するものではなく、Ｎ１倍（Ｎ１は１以上には限定されない）の電流値を画素１６の駆動用トランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／（Ｎ２）倍（Ｎ２は１以上である。Ｎ１とＮ２とは異なる）でもよいことは言うまでもない。

【０１４４】

本発明の駆動方法は、たとえば、白ラスター表示とし、表示画面１４４の１フィールド（フレーム）期間の平均輝度をＢ０と仮定した場合、各画素１６の輝度Ｂ１が平均輝度Ｂ０よりも高くなるように電流プログラムを行う駆動方法である。かつ、少なくとも１フィールド（フレーム）期間において、非表示領域１９２が発生するようにする駆動方法である。したがって、本発明の駆動方法では、１フィールド（フレーム）期間の平均輝度はＢ１よりも低くなる。

【０１４５】

また、１フィールド（フレーム）期間において、通常輝度で電流プログラムを画素１６に対し実施し、非表示領域１９２が発生するようにする駆動方法である。この方式では、１フィールド（フレーム）期間の平均輝度は通常の駆動方法（従来の駆動方法）よりも低くなる。しかし、動画表示性能を向上できる効果が発揮される。

【０１４６】

なお、本発明は、画素構成が電流プログラム方式のみに限定されない。たとえば、図２６のような電圧プログラム方式の画素構成にも適用できる。１フレーム（フィールド）の所定期間を高い輝度で表示し、他の期間を非点灯状態にすることが、電圧駆動方式においても、動画表示性能の向上などに有効だからである。また、電圧駆動方式においても、ソース信号線１８の寄生容量の影響は無視できない。特に大型ＥＬ表示パネルにおいて、寄生容量が大きいため、本発明の駆動方法を実施することは効果がある。

【０１４７】

なお、図２３に図示するように、間欠する間隔（非表示領域１９２／表示領域１９３）は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていて

もよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【０１４８】

非表示領域１９２とは、ある時刻において非点灯ＥＬ素子１５の画素１６領域である。表示領域１９３とは、ある時刻において点灯ＥＬ素子１５の画素１６領域である。非表示領域１９２、表示領域１９３は、水平同期信号に同期して、１画素行ずつ位置がシフトしていく。

【０１４９】

本発明の駆動方法の説明を容易にするため、１／Ｎとは、１Ｆ（１フィールドまたは１フレーム）を基準にしてこの１Ｆを１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、走査状態によっては誤差も生じることは言うまでもない。もちろん、ゲート信号線１７ａからの突き抜け電圧によっても、理想状態から変化する。ここでは説明を容易にするため、理想状態として説明をする。

【０１５０】

液晶表示パネルは、１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【０１５１】

有機（無機）ＥＬ表示パネル（表示装置）も１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。したがって、液晶表示パネルと同様の課題が発生する。一方、ＣＲＴのように電子銃で線表示の集合として画像を表示するディスプレイは、人間の眼の残像特性を用いて画像表示を行うため、動画表示画像の輪郭ぼけは発生しない。

【０１５２】

本発明の駆動方法では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。本発明の駆動方式を実施し、画面の一点を観測した場合を考える。この表示状態では、１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を間欠表示状態でみると、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

【０１５３】

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示を実施するにあたり、トランジスタ１１ｄは最大でも１Ｈ周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素１６に保持されている。そのため、本発明の駆動方法において、間欠表示を実施するための画像メモリは不要である。

【０１５４】

本発明の駆動方法はスイッチングのトランジスタ１１ｄ、あるいはトランジスタ１１ｅ（図１２など）などをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのまま画素１６のコンデンサ１９に保持されている。したがって、次のタイミングでスイッチング素子１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。

【０１５５】

本発明では、黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないため、画像メモリも不要である。また、有機ＥＬ素子１５は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより、

従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。

【０１５６】

さらに、大型の表示装置でソース信号線１８の配線長が長くなり、ソース信号線１８の寄生容量が大きくなる場合は、Ｎ値を大きくすることにより対応できる。ソース信号線１８に印加するプログラム電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【０１５７】

電流駆動では、特に黒レベルの画像表示では２０ｎＡ以下の微小電流で画素のコンデンサ１９をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、１画素行にプログラムする時間（基本的には１Ｈ以内である。ただし、２画素行を同時に書き込む場合もあるので１Ｈ以内に限定されるものではない。）内に寄生容量を充放電することができない。１Ｈ期間で充放電できなれば、画素への書き込み不足となり、解像度が出ない。

【０１５８】

図１の画素構成の場合、図６（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【０１５９】

次に、ＥＬ素子１５に電流を流す期間は、図６（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【０１６０】

プログラム電流Ｉｗが本来流す電流（所定値）のＮ倍であるとすると、図６（ｂ）のＥＬ素子１５に流れる電流Ｉｅも１０倍になる。したがって、所定値の１０倍の輝度でＥＬ素子１５は発光する。つまり、図１８に図示するように、倍率Ｎを高くするほど、画素１６の瞬時の表示輝度Ｂも高くなる。基本的には倍率Ｎと画素１６の輝度とは比例関係となる。

【０１６１】

そこで、トランジスタ１１ｄを本来オンする時間（約１Ｆ）の１／Ｎの期間だけオンさせ、他の期間（Ｎ－１）／Ｎ期間はオフさせれば、１Ｆ全体の平均輝度は所定の輝度となる。この表示状態は、ＣＲＴが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の１／Ｎ（全画面を１とする）が点灯している点である（ＣＲＴでは、点灯している範囲は１画素行（厳密には１画素）である）。

【０１６２】

本発明では、この１Ｆ／Ｎの表示（点灯）領域１９３が、図１９（ｂ）に示すように表示画面１４４の上から下に移動する。なお、表示領域１９３の走査方向は、表示画面１４４の下から上であってもよい。また、ランダムであってもよい。

【０１６３】

本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流が流れ、他の期間（１Ｆ・（Ｎ－１）／Ｎ）は該当画素行のＥＬ素子１５には電流が流れない。したがって、各画素１６は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【０１６４】

なお、図１９に図示するように、書き込み画素行１９１ａは非点灯表示領域１９２とする。しかし、これは、図１、図２などの画素構成の場合である。図１１、図１２などで図示するカレントミラーの画素構成では、書き込み画素行１９１は点灯状態としてもよい。

しかし、本明細書では、説明を容易にするため、主として、図１の画素構成を例示して説明をする。

【０１６５】

以上のように、図１９、図２３などのように所定駆動電流Ｉｗよりも大きい電流でプログラムし、間欠駆動する駆動方法をＮ倍パルス駆動と呼ぶ。図１９の駆動方法では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。

【０１６６】

液晶表示パネル（本発明以外のＥＬ表示パネル）では、１Ｆの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ボケがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

【０１６７】

図１９に図示するように、駆動するためには、画素１６の電流プログラム期間（図１の画素構成においては、ゲート信号線１７ａのオン電圧Ｖｇｌが印加されている期間）と、ＥＬ素子１５をオフまたはオン制御している期間（図１の画素構成においては、ゲート信号線１７ｂのオン電圧Ｖｇｌまたはオフ電圧Ｖｇｈが印加されている期間）とを独立に制御できる必要がある。したがって、ゲート信号線１７ａとゲート信号線１７ｂは分離されている必要がある。

【０１６８】

たとえば、ゲートドライバ回路１２から画素１６に配線されたゲート信号線１７が１本である場合、ゲート信号線１７に印加されたロジック（ＶｇｈまたはＶｇｌ）をトランジスタ１１ｂに印加し、ゲート信号線１７に印加されたロジックをインバータで変換（ＶｇｌまたはＶｇｈ）して、トランジスタ１１ｄに印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線１７ａを操作するゲートドライバ回路１２ａと、ゲート信号線１７ｂを操作するゲートドライバ回路１２ｂが必要となる。

【０１６９】

図１９の駆動方法のタイミングチャートを図２０に図示する。なお、本発明などにおいて、説明を容易にするため、特に断りがない時の画素構成は図１であるとする。図２０でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加されている時（図２０（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている（図２０（ｂ）を参照）。この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。

【０１７０】

選択されていない画素行において、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。また、点灯状態では、ＥＬ素子１５は所定のＮ倍の輝度（Ｎ・Ｂ）で点灯し、その点灯期間は１Ｆ／Ｎである。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。なお、Ｎは１以上であればいずれの値でもよい。

【０１７１】

図２１は、図２０の動作を各画素行に適用した実施例である。ゲート信号線１７に印加する電圧波形を示している。電圧波形は、オフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。（１）、（２）などの添え字は選択している画素行番号を示している。

【０１７２】

図２１において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプ

ログラム電流が流れる。このプログラム電流は所定値のＮ倍である。ただし、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。コンデンサ１９には、Ｎ倍の電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（１）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（１）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。

【０１７３】

１Ｈ後には、ゲート信号線１７ａ（２）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ回路１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍である。したがって、コンデンサ１９にはＮ倍の電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（２）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（２）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。しかし、先の画素行（１）のゲート信号線１７ａ（１）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

【０１７４】

次の１Ｈ後には、ゲート信号線１７ａ（３）が選択され、ゲート信号線１７ｂ（３）はオフ電圧（Ｖｇｈ）が印加され、画素行（３）のＥＬ素子１５には電流が流れない。しかし、先の画素行（１）、（２）のゲート信号線１７ａ（１）、１７ａ（２）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）、１７ｂ（２）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

【０１７５】

以上の動作を、１Ｈの同期信号に同期して画像を表示していく。しかし、図２１の駆動方式では、ＥＬ素子１５にはＮ倍の電流が流れる。したがって、表示画面１４４はＮ倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を１／Ｎにしておけばよいことは言うまでもない。１／Ｎの電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面（非点灯表示領域）１９２の挿入により所定の輝度を得るのが本発明の基本的な主旨である。

【０１７６】

しかし、寄生容量の影響が無視できるあるいは影響が軽微の場合は、Ｎ＝１として、本発明の駆動方法を実施してもよいことはいうまでもない。この駆動方法は、図９９から図１１６などを用いて後ほど説明をする。

【０１７７】

なお、本発明の駆動方法において、所定電流よりも高い電流がＥＬ素子１５に流れるようにし、ソース信号線１８の寄生容量を十分に充放電するという概念である。つまり、ＥＬ素子１５にＮ倍の電流を流さなくともよい。たとえば、ＥＬ素子１５に並列に電流経路を形成し（ダミーのＥＬ素子を形成し、このＥＬ素子は遮光膜を形成して発光させないなど）、ダミーＥＬ素子とＥＬ素子１５に分流してプログラム電流を流しても良い。たとえば、プログラム対象の画素１６に書き込むプログラム電流が０．２μＡとし、ソースドライバ回路１４から出力するプログラム電流を２．０μＡとする。したがって、ソースドライバ回路１４から見れば、Ｎ＝２．０／０．２＝１０である。ソースドライバ回路１４から出力されたプログラム電流のうち、１．８μＡ（２．０－０．２）をダミー画素に流す。残りの０．２μＡを対象画素１６の駆動用トランジスタ１１ａに流す。ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

【０１７８】

以上のように構成することにより、ソース信号線１８に流す電流をＮ倍に増加させることにより、駆動用トランジスタ１１ａにＮ倍の電流が流れるようにプログラムすることができる。また、ＥＬ素子１５には、Ｎ倍よりは十分小さい電流を流すことができることになる。

【０１７９】

図１９（ａ）は、表示画面１４４への書き込み状態を図示している。図１９（ａ）において、１９１ａは書き込み画素行である。ソースドライバＩＣ１４から各ソース信号線１８にプログラム電流が供給される。なお、図１９などでは１Ｈ期間に書き込む画素行は１行である。しかし、何ら１Ｈに限定するものではなく、０．５Ｈ期間でも、２Ｈ期間でもよい。また、ソース信号線１８にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線１８に書き込まれるのは電圧である電圧プログラム方式（図２８など）でもよい。

【０１８０】

図１９（ａ）において、ゲート信号線１７ａが選択されるとソース信号線１８に流れる電流がトランジスタ１１ａにプログラムされる。この時、ゲート信号線１７ｂはオフ電圧が印加されＥＬ素子１５には電流が流れない。これは、ＥＬ素子１５側にトランジスタ１１ｄがオン状態であると、ソース信号線１８からＥＬ素子１５の容量成分が見え、この容量に影響されてコンデンサ１９に十分に正確な電流プログラムができなくなるためである。したがって、図１の構成を例にすれば、図１９（ｂ）で示すように電流を書き込まれている画素行は非点灯領域１９２となる。

【０１８１】

今、Ｎ（ここでは、先に述べたようにＮ＝１０とする）倍の電流でプログラムしたとすれば、画面の輝度は１０倍になる。したがって、表示画面１４４の９０％の範囲を非点灯領域１９２とすればよい。表示パネルの表示画面１４４の水平走査線がＱＣＩＦの２２０本（Ｓ＝２２０）とすれば、２２本を表示領域１９３とし、２２０－２２＝１９８本を非表示領域１９２とすればよい。一般的に述べれば、水平走査線（画素行数）をＳとすれば、Ｓ／Ｎの領域を表示領域１９３とし、この表示領域１９３をＮ倍の輝度で発光させる（Ｎは１以上の値である）。この表示領域１９３を画面の上下方向に走査する。したがって、Ｓ（Ｎ－１）／Ｎの領域は非点灯領域１９２とする。この非点灯領域は黒表示（非発光）である。また、この非発光部１９２は、トランジスタ１１ｄをオフさせることにより実現する。なお、Ｎ倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりＮ倍の値は変化することは言うまでもない。

【０１８２】

また、先の実施例で、１０倍の電流でプログラムしたとすれば、画面の輝度は１０倍になり、表示画面１４４の９０％の範囲を非点灯領域１９２とすればよいとした。しかし、これは、ＲＧＢの画素を共通に非点灯領域１９２とすることに限定するものではない。例えば、Ｒの画素は１／８を非点灯領域１９２とし、Ｇの画素は１／６を非点灯領域１９２とし、Ｂの画素は１／１０を非点灯領域１９２と、それぞれの色により変化させてもよい。また、ＲＧＢの色で個別に非点灯領域１９２（あるいは点灯領域１９３）を調整できるようにしてもよい。これらを実現するためには、Ｒ、Ｇ、Ｂで個別のゲート信号線１７ｂが必要になる。しかし、以上のＲＧＢの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる。この実施例を図２２に示す。

【０１８３】

図１９（ｂ）に図示するように、書き込み画素行１９１ａを含む画素行を非点灯領域１９２とし、書き込み画素行１９１ａよりも上画面のＳ／Ｎ（時間的には１Ｆ／Ｎ）の範囲を表示領域１９３とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域１９３が帯状になって、画面の上から下に移動する。

【０１８４】

図１９の表示では、１つの表示領域１９３が画面の上から下方向に移動する。フレームレートが低いと、表示領域１９３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【０１８５】

この課題に対しては、図２３に図示するように、表示領域１９３を複数に分割するとよ

い。この分割された総和がＳ（Ｎ－１）／Ｎの面積となれば、図１９の明るさと同等になる。なお、分割された表示領域１９３は等しく（等分に）する必要はない。また、分割された非表示領域１９２も等しくする必要はない。

【０１８６】

以上のように、表示領域１９３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

【０１８７】

図２４は、ゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図２４で明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。

【０１８８】

画像の分割数は可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【０１８９】

図２４などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたが、これ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより表示画面１４４を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、表示画面１４４の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。また、画像の表示領域１９３を分割する時、ゲート信号線１７ｂをＶｇｌにする期間は同一期間に限定するものではない。

【０１９０】

以上の実施例は、トランジスタ１１ｄまたは切り換え回路７１などによりＥＬ素子１５に流れる電流を遮断し、また、ＥＬ素子１５に流れる経路を形成することにより、表示画面１４４をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ１９に保持された電荷により駆動用トランジスタ１１ａに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ１９に保持された電荷を充放電させることにより、表示画面１４４をオンオフ（点灯、非点灯）する方式でもよい。

【０１９１】

図２５は図２３の画像表示状態を実現するための、ゲート信号線１７に印加する電圧波形である。図２５と図２１の差異は、ゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図２１と同一であるので説明を省略する。

【０１９２】

ＥＬ表示装置における黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図１、図６、図７、図８、図９、図１０、図１１、図１２、図２８の構成においては、トランジスタ１１ｄあるいはトランジスタ１１ｅもしくは切り換え回路７１をオンオフ操作するだけで間欠表示を実現できる。これは、コンデンサ１９に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素１６に、画像データは１Ｆの期間中は保持されている。この保持されている画像データに相当する電流をＥＬ素子１５に流すか否かを、トランジスタ１１ｄ、１１ｅなどの制御により実現しているのである。

【０１９３】
したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、ＥＬ素子１５に流す電流が各画素内で保存している構成において、駆動用トランジスタ１１をＥＬ素子１５間の電流経路をオンオフすることにより、間欠駆動を実現するものである。
【０１９４】
コンデンサ１９の端子電圧を維持することはフリッカ低減と低消費電力化に重要である。１フィールド（フレーム）期間でコンデンサ１９の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ１１ａが１フレーム（１フィールド）期間でＥＬ素子１５に流す電流は、少なくとも６５％以下に低下しないようにする必要がある。この６５％とは、画素１６に書き込み、ＥＬ素子１５に流す電流の最初が１００％とした時、次のフレーム（フィールド）で前記画素１６に書き込む直前のＥＬ素子１５に流す電流が６５％以上とすることである。
【０１９５】
図１の画素構成では、間欠表示を実現する場合としない場合では、１画素を構成するトランジスタ１１の個数に変化はない。つまり、画素構成はそのままで、ソース信号線１８の寄生容量の影響を除去し、良好な電流プログラムを実現している。その上、ＣＲＴに近い動画表示を実現しているのである。
【０１９６】
また、ゲートドライバ回路１２の動作クロックはソースドライバ回路１４の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Ｎの値の変更も容易である。
【０１９７】
なお、画像表示方向（画像書き込み方向）は、１フィールド（１フレーム）目では画面の上から下方向とし、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。
【０１９８】
また、１フィールド（１フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。また、画面の中央部から走査してもよい。また、走査開始位置をランダム化してもよい。
【０１９９】
なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は、絶えず画面の上から下あるいは下から上と固定し、非表示領域１９２の動作方向を１フィールド目では画面の上から下方向とし、つぎの第２フィールド目では画面の下から上方向としてもよい。また、１フレームを３フィールドに分割し、第１のフィールドではＲ、第２のフィールドではＧ、第３のフィールドではＢとして、３フィールドで１フレームを形成するとしてもよい。また、１水平走査期間（１Ｈ）ごとに、Ｒ、Ｇ、Ｂを切り替えて表示してもよい（図２５から図３９とその説明などを参照のこと）。以上の事項は他の本発明の実施例でも同様である。
【０２００】
非表示領域１９２は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、表示（点灯）領域１９３よりも表示輝度が低い領域と解釈するべきである。また、非表示領域１９２とは、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが非表示状態という場合も含まれる。また、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが低輝度の画像表示状態という場合も含まれる。
【０２０１】
基本的には表示領域１９３の輝度（明るさ）が所定値に維持される場合、表示領域１９

３の面積が広くなるほど、表示画面１４４の輝度は高くなる。たとえば、表示領域１９３の輝度が１００（ｎｔ）の場合、表示領域１９３が全表示画面１４４に占める割合を１０％から２０％にすれば、画面の輝度は２倍となる。したがって、全表示画面１４４に占める表示領域１９３の面積を変化させることにより、画面の表示輝度を変化させることができる。表示画面１４４の表示輝度は、表示画面１４４に占める表示領域１９３の割合に比例する。

【０２０２】

表示領域１９３の面積は、図１４に図示するシフトレジスタ回路１４１へのデータパルス（ＳＴ２）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図２３の表示状態と図１９の表示状態とを切り替えることができる。１Ｆ周期でのデータパルス数を多くすれば、表示画面１４４は明るくなり、少なくすれば、表示画面１４４は暗くなる。また、連続してデータパルスを印加すれば図１９の表示状態となり、間欠にデータパルスを入力すれば図２３の表示状態となる。

【０２０３】

従来の画面の輝度調整では、表示画面１４４の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は６４階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の６４階調表示を実現できる。

【０２０４】

以上の実施例は、主として、Ｎ＝２倍、４倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、Ｎ＝１より大きいことに限定されるものでもない。たとえば、ある時刻で表示画面１４４の半分以下の領域を非点灯領域１９２とすることもある。所定値の５／４倍の電流Ｉｗで電流プログラムし、１Ｆの４／５期間点灯させれば、所定の輝度を実現できる。

【０２０５】

本発明は、これに限定されるものではない。一例として、１０／４倍の電流Ｉｗで電流プログラミングし、１Ｆの４／５期間の間点灯させるという方法もある。この場合は、所定輝度の２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの２／５期間の間点灯させるという方法もある。この場合は、所定輝度の１／２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの１／１期間の間点灯させるという方法もある。この場合は、所定輝度の５／４倍で点灯する。また、１倍の電流Ｉｗで電流プログラミングし、１Ｆの１／４期間の間点灯させるという方法もある。この場合は、所定輝度の１／４倍で点灯する。

【０２０６】

つまり、本発明は、プログラム電流の大きさと、１Ｆの点灯期間を制御することにより、表示画面の輝度を制御する方式である。１Ｆ期間よりも短い期間点灯させることにより、黒画面１９２を挿入でき、動画表示性能を向上できる。逆に、Ｎを１以上とし、１Ｆの期間、常時点灯させることにより明るい画面を表示できる。

【０２０７】

好ましくは、画素に書き込む電流（ソースドライバ回路１４から出力するプログラム電流）は、画素サイズがＡ平方ｍｍとし、白ラスター表示所定輝度をＢ（ｎｔ）とした時、プログラム電流Ｉ（μＡ）は、

（Ａ×Ｂ）／２０　≦　Ｉ　≦　（Ａ×Ｂ）

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書込み不足が解消する。

【０２０８】

さらに、好ましくは、プログラム電流Ｉ（μＡ）は、

（Ａ×Ｂ）／１０　≦　Ｉ　≦　（Ａ×Ｂ）

の範囲とすることが好ましい。

【０２０９】
図２０、図２４では、ゲート信号線１７ａの動作タイミングとゲート信号線１７ｂの書込みタイミングには言及していない。しかし、ある画素が選択されているとした時（上記画素が接続されているゲート信号線１７ａにオン電圧が印加されている時）、その前後の１Ｈ期間（１水平走査期間）はゲート信号線１７ｂ（ＥＬ側のトランジスタ１１ｄを制御するゲート信号線）には、オフ電圧を印加する。前後１Ｈ期間にゲート信号線１７ｂにオフ電圧を印加した状態にすることにより、パネルにクロストークが発生せず、安定した画像表示を実現できる。
【０２１０】
この駆動方法のタイミングチャートを図２６に示す。図２６では、ゲート信号線１７ａには、１Ｈ（選択期間）にオン電圧（Ｖｇｌ）が印加されている。該当画素行が選択されている１Ｈ期間の前後１Ｈ期間（計３Ｈ期間）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている。
【０２１１】
なお、以上の実施例は選択期間の前後１Ｈ期間の間は、ゲート信号線１７ｂにはオフ電圧を印加するとした。しかし、本発明はこれに限定するものではない。たとえば、図２７に図示するように、選択期間の前の１Ｈ期間と選択期間後の２Ｈ期間に、ゲート信号線１７ｂにオフ電圧を印加するように構成してもよい。以上の実施例は、本発明の他の実施例にも適用できることは言うまでもない。
【０２１２】
ＥＬ素子１５をオンオフする周期は０．５ｍｓｅｃ以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期が１００ｍｓｅｃ以上になると、点滅状態に見える。したがって、ＥＬ素子のオンオフ周期は、０．５μｓｅｃ以上１００ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を２ｍｓｅｃ以上３０ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を３ｍｓｅｃ以上２０ｍｓｅｃ以下にすべきである。
【０２１３】
先にも記載したが、黒画面１９２の分割数は、１つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は１以上８以下とすべきである。さらに好ましくは１以上５以下とすることが好ましい。
【０２１４】
なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、Ｎ＝４では、７５％が黒画面であり、２５％が画像表示である。このとき、７５％の黒表示部を７５％の黒帯状態で画面の上下方向に走査するのが分割数１である。２５％の黒画面と２５／３％の表示画面の３ブロックで走査するのが分割数３である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などの入力コンセントに対応して切り替えするように構成すればよい。
【０２１５】
たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を１０以上とする（極端には１Ｈごとにオンオフしてもよい）。ＮＴＳＣの動画を表示するときは、分割数を１以上５以下とする。なお、分割数は３以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、２、４、８などである。
【０２１６】
また、全表示画面に対する黒画面の割合は、全画面１４４の面積を１とした時、０．２以上０．９以下（Ｎで表示すれば１．２以上９以下）とすることが好ましい。また、特に０．２５以上０．６以下（Ｎで表示すれば１．２５以上６以下）とすることが好ましい。

０．２０以下であると動画表示での改善効果が低い。０．９以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【０２１７】

また、１秒あたりのフレーム数は、１０以上１００以下（１０Ｈｚ以上１００Ｈｚ以下）が好ましい。さらには、１２以上６５以下（１２Ｈｚ以上６５Ｈｚ以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ソースドライバ回路１４などからの書き込みが苦しくなり解像度が劣化する。

【０２１８】

ゲート信号線１７ｂの１Ｆ／Ｎの期間だけ、Ｖｇｌにする時刻は１Ｆ（１Ｆに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間のうち、所定の期間だけＥＬ素子１５をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（１Ｈ）後、すぐにゲート信号線１７ｂをＶｇｌにしてＥＬ素子１５を発光させる方がよい。図１のコンデンサ１９の保持率特性の影響を受けにくくなるからである。

【０２１９】

トランジスタ１１ｂ、１１ｃを駆動するゲート信号線１７ａとトランジスタ１１ｄを駆動するゲート信号線１７ｂの駆動電圧は変化させるとよい。ゲート信号線１７ａの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線１７ｂの振幅値よりも小さくする。

【０２２０】

ゲート信号線１７ａの振幅値が大きいと、ゲート信号線１７ａと画素１６との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線１７ａの振幅は、ソース信号線１８の電位が画素１６に印加されるように制御できればよい。ソース信号線１８の電位変動は小さいから、ゲート信号線１７ａの振幅値は小さくすることができる。

【０２２１】

一方、ゲート信号線１７ｂはＥＬ素子１５のオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、図６のシフトレジスタ回路１４１ａと１４１ｂとの出力電圧を変化させる。画素がＰチャンネルトランジスタで形成されている場合は、シフトレジスタ回路１４１ａと１４１ｂのＶｇｈ（オフ電圧）を略同一にし、シフトレジスタ回路１４１ａのＶｇｌ（オン電圧）をシフトレジスタ回路１４１ｂのＶｇｌ（オン電圧）よりも低くする。

【０２２２】

以上の実施例は、１画素行ごとに１本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で１本のゲート信号線１７ａを配置（形成）してもよい。

【０２２３】

図２２はその実施例である。なお、説明を容易にするため、画素構成は図１の場合を主として例示して説明をする。図２２ではゲート信号線１７ａは３つの画素（１６Ｒ、１６Ｇ、１６Ｂ）を同時に選択する。Ｒの記号とは赤色の画素関連を意味し、Ｇの記号とは緑色の画素関連を意味し、Ｂの記号とは青色の画素関連を意味するものとする。

【０２２４】

ゲート信号線１７ａの選択により、画素１６Ｒ、画素１６Ｇおよび画素１６Ｂが同時に選択されデータ書き込み状態となる。画素１６Ｒはソース信号線１８Ｒから映像データをコンデンサ１９Ｒに書き込み、画素１６Ｇはソース信号線１８Ｇから映像データをコンデンサ１９Ｇに書き込む。画素１６Ｂはソース信号線１８Ｂから映像データをコンデンサ１９Ｂに書き込む。

【０２２５】

画素１６Ｒのトランジスタ１１ｄはゲート信号線１７ｂＲに接続されている。また、画素１６Ｇのトランジスタ１１ｄはゲート信号線１７ｂＧに接続され、画素１６Ｂのトランジスタ１１ｄはゲート信号線１７ｂＢに接続されている。画素１６ＲのＥＬ素子１５Ｒ、画素１６ＧのＥＬ素子１５Ｇ、画素１６ＢのＥＬ素子１５Ｂは、別個にオンオフ制御する

ことができる。つまり、ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂは、それぞれのゲート信号線１７ｂＲ、１７ｂＧ、１７ｂＢを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【０２２６】

この動作を実現するためには、図６の構成において、ゲート信号線１７ａを走査するシフトレジスタ回路１４１と、ゲート信号線１７ｂＲを走査するシフトレジスタ回路１４１Ｒ（図示せず）と、ゲート信号線１７ｂＧを走査するシフトレジスタ回路１４１Ｇ（図示せず）と、ゲート信号線１７ｂＢを走査するシフトレジスタ回路１４１Ｂ（図示せず）の４つを形成（配置）することが適切である。

【０２２７】

ソース信号線１８に所定電流のＮ倍の電流を流し、ＥＬ素子１５に所定電流のＮ倍の電流を１／Ｎの期間流すとしたが、これは理想状態である。実際にはゲート信号線１７に印加した信号パルスがコンデンサ１９に突き抜け、コンデンサ１９に所望の電圧値（電流値）を設定できないからである。一般的に、コンデンサ１９には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、１０倍の電流値を設定するように駆動しても、１０倍以下の電流しかコンデンサ１９には設定されない。たとえば、Ｎ＝１０としても実際にＥＬ素子１５に流れる電流はＮ＝１０未満の場合と同一となる。

【０２２８】

しかし、本明細書では、説明を容易にするため、突き抜け電圧などの影響がなく、理想状態として説明をする。実際には本発明はＮ倍の電流値を設定し、Ｎ倍に比例したあるいは対応する電流をＥＬ素子１５に流れるように駆動する方法である。

【０２２９】

また、本発明は、所望値より大きな電流（そのまま、ＥＬ素子１５に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ１１ａ（図１を例示する場合）に電流（電圧）プログラムを行い、ＥＬ素子１５に流れる電流を間欠にすることにより、所望のＥＬ素子の発光輝度を得るものである。

【０２３０】

図１のスイッチング用トランジスタ１１ｂ、１１ｃをＰチャンネルにすることのより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。また、第１階調表示とする電流値を大きくすることができるから（階調１までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。

【０２３１】

図１におけるトランジスタ１１ｂは駆動用トランジスタ１１ａが流す電流をコンデンサ１９に保持するために動作する。つまり、駆動用トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）もしくはソース端子（Ｓ）間をプログラム時にショートさせる機能を有する。

【０２３２】

トランジスタ１１ｂは、ソース端子またはドレイン端子が保持用のコンデンサ１９に接続されている。トランジスタ１１ｂはゲート信号線１７ａに印加された電圧により、オンオフ制御される。課題は、オフ電圧が印加された時にゲート信号線１７ａの電圧がコンデンサ１９に突き抜けることである。この突き抜け電圧により、コンデンサ１９の電位（＝駆動用トランジスタ１１ａのゲート端子（Ｇ）電位）が変動する。そのため、電流プログラムによるトランジスタ１１ａの特性補償ができなくなる。したがって、突き抜け電圧は小さくする必要がある。

【０２３３】

突き抜け電圧を小さくするためには、トランジスタ１１ｂのサイズを小さくするとよい。今、トランジスタのサイズＳｃｃをチャンネル幅Ｗ（μｍ）、チャンネル長Ｌ（μｍ）

とし、Ｓｃｃ＝Ｗ・Ｌ（平方μｍ）とする。トランジスタが複数直列接続されて構成されている場合は、Ｓｃｃは接続されたトランジスタサイズの総和である。たとえば、１つのトランジスタを、Ｗ＝５（μｍ）、Ｌ＝６（μｍ）とし、個数（ｎ＝４）が接続されて構成されていれば、Ｓｃｃ＝５×６×４＝１２０（平方μｍ）である。

【０２３４】

トランジスタのサイズと突き抜け電圧は相関がある。この関係を図２９に示す。なお、トランジスタはＰチャンネルトランジスタであるとする。ただし、Ｎチャンネルトランジスタであっても適用できる。

【０２３５】

図２９において、横軸はＳｃｃ／ｎとしている。Ｓｃｃは先に説明したように、トランジスタのサイズの総和である。ｎは接続されたトランジスタ数である。図２９ではＳｃｃをｎ個でわったものを横軸にしている。つまり、トランジスタ１個あたりのサイズである。

【０２３６】

先の実施例では、トランジスタのサイズＳｃｃを、チャンネル幅Ｗ（μｍ）、チャンネル長Ｌ（μｍ）とし、トランジスタ数がｎ＝４であれば、Ｓｃｃ／ｎ＝５×６×４／４＝３０（平方μｍ）である。図２９において、縦軸は突き抜け電圧（Ｖ）である。

【０２３７】

突き抜け電圧は０．３（Ｖ）以内にしないと、レーザーショットムラが発生し、視覚的に許容できない。したがって、１つあたりのトランジスタのサイズは２５（平方μｍ）以下にする必要がある。一方で、トランジスタは５（平方μｍ）以上にしないと、トランジスタの加工精度がでず、ばらつきが大きくなる。また、駆動能力にも課題を生じる。以上のことからトランジスタ１１ｂは、５（平方μｍ）以上２５（平方μｍ）以下にする必要がある。さらに好ましくは、トランジスタ１１ｂは、５（平方μｍ）以上２０（平方μｍ）以下にする必要がある。

【０２３８】

トランジスタによる突き抜け電圧は、トランジスタを駆動する電圧（Ｖｇｈ、Ｖｇｌ）の振幅値（Ｖｇｈ－Ｖｇｌ）とも相関がある。振幅値が大きいほど突き抜け電圧は大きくなる。この関係を図３０に図示している。図３０において、横軸を振幅値（Ｖｇｈ－Ｖｈｌ）（Ｖ）としている。縦軸は突き抜け電圧である。図２９でも説明したように、突き抜け電圧は０．３（Ｖ）以下となるようにする必要がある。

【０２３９】

なお、突き抜け電圧の許容値０．３（Ｖ）は、言い換えると、ソース信号線１８の振幅値の１／５以下（２０％以下）である。ソース信号線１８は、プログラム電流が白表示の場合は１．５（Ｖ）であり、プログラム電流が黒表示の場合は３．０（Ｖ）である。したがって、（３．０－１．５）／５＝０．３（Ｖ）となる。

【０２４０】

一方、ゲート信号線の振幅値（Ｖｇｈ－Ｖｈｌ）は、４（Ｖ）以上ないと十分に画素１６に書き込むことができない。以上のことから、ゲート信号線の振幅値（Ｖｇｈ－Ｖｇｌ）は、４（Ｖ）以上１５（Ｖ）以下の条件を満足させる必要がある。さらに好ましくは、ゲート信号線の振幅値（Ｖｇｈ－Ｖｇｌ）は、５（Ｖ）以上１２（Ｖ）以下の条件を満足させる必要がある。

【０２４１】

トランジスタ１１ｂを複数のトランジスタを直列に接続して構成する場合は、駆動用トランジスタ１１ａのゲート端子（Ｇ）に近いトランジスタ（トランジスタ１１ｂｘと呼ぶ）のチャンネル長Ｌを長くすることが好ましい。ゲート信号線１７ａにオン電圧（Ｖｇｌ）からオフ電圧（Ｖｇｈ）に変化させた時、トランジスタ１１ｂｘが他のトランジスタ１１ｂよりも速くオフ状態になる。そのため、突き抜け電圧の影響が軽減される。たとえば、複数のトランジスタ１１ｂとトランジスタ１１ｂｘのチャンネル幅Ｗが３μｍであれば、複数のトランジスタ１１ｂ（トランジスタ１１ｂｘ以外）のチャンネル長Ｌは５μｍと

し、トランジスタ１１ｂｘのチャンネル長Ｌｘは１０μｍとする。トランジスタ１１ｂはトランジスタ１１ｃ側から配置し、トランジスタ１１ｂｘは駆動用トランジスタ１１ａのゲート端子（Ｇ）側に配置する。

【０２４２】

なお、トランジスタ１１ｂｘのチャンネル長Ｌｘは、トランジスタ１１ｂのチャンネル長Ｌの１．４倍以上４倍以下にすることが好ましい。さらに好ましくは、トランジスタ１１ｂｘのチャンネル長Ｌｘは、トランジスタ１１ｂのチャンネル長Ｌの１．５倍以上３倍以下にすることが好ましい。

【０２４３】

図１などで説明した画素構成では、駆動用トランジスタ１１ａは各画素１６に対して１つの構成である。しかし、本発明において、駆動用トランジスタ１１ａは１つに限定されるものでない。たとえば、図３１の画素構成が例示される。

【０２４４】

図３１は、画素１６を構成するトランジスタ数を６個とし、プログラム用トランジスタ１１ａｎを、トランジスタ１１ｂ２とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接続されるように構成し、駆動用トランジスタ１１ａ１を、トランジスタ１１ｂ１とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接続されるように構成した実施例である。

【０２４５】

図３１において、駆動用トランジスタ１１ａ１のゲート端子とプログラム用トランジスタ１１ａｎのゲート端子とを共通にしている。トランジスタ１１ｂ１は、電流プログラム時に駆動用トランジスタ１１ａ１のドレイン端子とゲート端子とを短絡するように動作する。トランジスタ１１ｂ２は、電流プログラム時にプログラム用トランジスタ１１ａｎのドレイン端子とゲート端子とを短絡するように動作する。

【０２４６】

トランジスタ１１ｃは、駆動用トランジスタ１１ａ１のゲート端子に接続されており、トランジスタ１１ｄは、駆動用トランジスタ１１ａ１とＥＬ素子１５間に形成または配置され、ＥＬ素子１５に流れる電流を制御する。また、駆動用トランジスタ１１ａ１のゲート端子とアノード（Ｖｄｄ）端子間には付加コンデンサ１９が形成または配置されており、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎのソース端子はアノード（Ｖｄｄ）端子に接続されている。

【０２４７】

以上のように、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎが、同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。つまり、駆動用トランジスタ１１ａ１を流れる電流は、トランジスタ１１ｂ１、トランジスタ１１ｃを通じてソース信号線１８に流れる。また、プログラム用トランジスタ１１ａｎを流れる電流は、トランジスタ１１ｂ２、トランジスタ１１ｃを通じてソース信号線１８に流れる。したがって、駆動用トランジスタ１１ａ１の電流と、プログラム用トランジスタ１１ａｎの電流は、同数の２つのトランジスタを通過してソース信号線１８に流れるように構成されている。

【０２４８】

図３１では、駆動用トランジスタ１１ａｎを１つのトランジスタとして図示しているが、これに限定するものではない。駆動用トランジスタ１１ａｎは、同一チャンネル幅Ｗ、同一チャンネル長Ｌあるいは同一ＷＬ比の複数のトランジスタから構成してもよい。また、駆動用トランジスタ１１ａ１の駆動用トランジスタ１１ａｎと、同一チャンネル幅Ｗ、同一チャンネル長Ｌあるいは同一ＷＬ比にすることが好ましい。同一ＷＬあるいはＷＬ比のトランジスタを複数形成する方が、各トランジスタ１１ａの出力バラツキが小さくなり、また画素１６間のばらつきも少なくなり好ましい。

【０２４９】

ゲート信号線１７ａに選択電圧（オン電圧）が印加されると、トランジスタ１１ａｎと

トランジスタ１１ａ１からの電流が合成されたものがプログラム電流Ｉｗとなる。このプログラム電流Ｉｗを、駆動用トランジスタ１１ａ１からＥＬ素子１５に流れる電流Ｉｅの所定倍率にする。

【０２５０】

Ｉｗ＝ｎ・Ｉｅ（ｎは１以上の自然数）

上式において、表示パネルの最大白ラスターでの表示輝度Ｂ（ｎｔ）、表示パネルの画素面積Ｓ（平方ミリメートル）（画素面積は、ＲＧＢを１単位として取り扱う。したがって、各Ｒ、Ｇ、Ｂの絵素が、縦０．１ｍｍ、横０．０５ｍｍであれば、Ｓ＝０．１×（０．０５×３）（平方ミリメートル）である）、表示パネルの１画素行選択期間（１水平走査（１Ｈ）期間）をＨ（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Ｂは、パネル仕様に規定する表示できる最大輝度である。

【０２５１】

５ ≦ （Ｂ・Ｓ）／（ｎ・Ｈ） ≦ １５０

さらに好ましくは、以下の条件を満足するようにする。

【０２５２】

１０ ≦ （Ｂ・Ｓ）／（ｎ・Ｈ） ≦ １００

Ｉｗはソースドライバ ＩＣ（回路）１４が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素１６のコンデンサ１９にホールドされる。また、Ｉｅは駆動用トランジスタ１１ａ１がＥＬ素子１５に流す電流である。

【０２５３】

トランジスタ１１ａ１、トランジスタ１１ａｎの出力ばらつきに関しては、トランジスタ１１ａｎと駆動用トランジスタ１１ａ１を近接させて形成または配置することにより改善できる。また、トランジスタ１１ａｎ、トランジスタ１１ａ１の特性は形成方向によっても特性が異なる場合がある。したがって、同一方向に形成することが好ましい。

【０２５４】

ゲート信号線１７ａが選択されると、駆動用トランジスタ１１ａ１およびプログラム用トランジスタ１１ａｎの両方がオンする。駆動用トランジスタ１１ａ１が流す電流Ｉｗ１と、プログラム用トランジスタ１１ａ１が流す電流Ｉｗ２とは、略一致させることが好ましい。最も好ましくは、プログラム用トランジスタ１１ａｎと駆動用トランジスタ１１ａ１のサイズ（Ｗ、Ｌ）を一致させることである。つまり、Ｉｗ１＝Ｉｗ２、Ｉｗ＝２Ｉｅの関係を満足させることが好ましい。もちろん、Ｉｗ１＝Ｉｗ２の関係を満足させるには、トランジスタサイズ（Ｗ、Ｌ）を一致させることに限定されるものではなく、サイズを変化することにより一致させてもよい。これは、トランジスタのＷＬを調整することにより容易に実現できる。略Ｉｗ２／Ｉｗ１＝１であれば、トランジスタ１１ｂ１とトランジスタ１１ｂ１のサイズは略一致して構成あるいは形成することができる。

【０２５５】

なお、Ｉｗ２／Ｉｗ１は、１以上１０以下の関係を満足させておくことが好ましい。Ｉｗ２／Ｉｗ１は、１以上１０以下の関係を満足させておくことが好ましい。さらに好ましくは、１．５以上５以下の関係を満足させておくことが好ましい。

【０２５６】

Ｉｗ２／Ｉｗ１が１以下では、ほとんど、ソース信号線１８の寄生容量の影響を改善する効果は見込めない。一方、Ｉｗ２／Ｉｗが１０以上となると、Ｉｗに対するＩｅの関係に画素ごとにばらつきが発生し、均一な画像表示が実現できない。また、トランジスタ１１ｂのオン抵抗の影響を大きく受けるようになり、画素設計も困難になる。

【０２５７】

プログラム用トランジスタ１１ａｎが流す電流Ｉｗ２が、駆動用トランジスタ１１ａ１が流す電流Ｉｗ１に比較して一定以上大きい場合は（Ｉｗ２ ＞ Ｉｗ１）、スイッチング用トランジスタ１１ｂ２のオン抵抗を、スイッチング用トランジスタ１１ｂ１のオン抵抗よりも小さくする必要がある。スイッチング用トランジスタ１１ｂ２は、トランジスタ１１ｂ１よりも大きな電流を、同一のゲート信号線１７ａの電圧に対して流すように構成

する必要があるからである。

【０２５８】

つまり、駆動用トランジスタ１１ａ１の出力電流の大きさに対するトランジスタ１１ｂ１の大きさと、プログラム用トランジスタ１１ａｎの出力電流の大きさに対するトランジスタ１１ｂ２の大きさをマッチングさせる必要がある。

【０２５９】

言い換えれば、プログラム電流Ｉｗ２、プログラム電流Ｉｗ１に対して、トランジスタ１１ｂのオン抵抗を変化させる必要がある。また、プログラム電流Ｉｗ２、プログラム電流Ｉｗ１に対して、トランジスタ１１ｂ１と１１ｂ２のサイズを変化させる必要がある。

【０２６０】

プログラム電流Ｉｗ２がプログラム電流Ｉｗ１よりも大きければ、トランジスタ１１ｂ２のオン抵抗はトランジスタ１１ｂ１のオン抵抗よりも小さくする必要がある（トランジスタ１１ｂ１とトランジスタ１１ｂ２のゲート端子電圧が同一の場合である）。プログラム電流Ｉｗ２がプログラム電流Ｉｗ１よりも大きければ、トランジスタ１１ｂ２のオン電流（Ｉｗ２）はトランジスタ１１ｂ１のオン電流（Ｉｗ１）よりも大きくする必要がある（トランジスタ１１ｂ１とトランジスタ１１ｂ２のゲート端子電圧が同一の場合である）。

【０２６１】

Ｉｗ２：Ｉｗ１＝ｎ：１とし、ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂ１とトランジスタ１１ｂ２がオンしたときのトランジスタ１１ｂ２のオン抵抗をＲ２、トランジスタ１１ｂ１のオン抵抗をＲ１とする。この時、Ｒ２は、Ｒ１／（ｎ＋５）以上、Ｒ１／（ｎ）以下の関係を満足するように構成する。構成するとは、トランジスタ１１ｂの所定のサイズに形成する、あるいは配置する、もしくは動作させるの意味である。ただし、ｎは１よりも大きな値である。

【０２６２】

なお、上記事項は、トランジスタ１１ｂ１とトランジスタ１１ｂ２のオン抵抗Ｒあるいは、プログラム電流Ｉｗの説明である。したがって、上記条件を満足するように画素構成を実現すればいずれの構成でもよい。たとえば、トランジスタ１１ｂ１のゲート端子に接続されたゲート信号線１７と、トランジスタ１１ｂ２のゲート端子に接続されたゲート信号線１７とが異なる信号線の場合は、各ゲート信号線に印加する電圧を変化させれば、オン抵抗などを変化でき、本発明の条件を満足させることできる。

【０２６３】

図３２は図３１の画素構成の動作の説明図である。図３２（ａ）は電流プログラム状態であり、図３１（ｂ）はＥＬ素子１５に電流を供給している状態である。なお、図３２（ｂ）の状態で、トランジスタ１１ｄをオンオフさせて間欠表示を実施してもよいことは言うまでもない。

【０２６４】

図３２（ａ）では、ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂ１、１１ｂ２、１１ｃがオンする。トランジスタ１１ａ１は電流Ｉｅを供給し、トランジスタ１１ａｎは電流Ｉｗ－Ｉｅを供給し、合成した電流ＩｗがソースドライバＩｃのプログラム電流となる。以上の動作により、プログラム電流Ｉｗに対応する電圧がコンデンサ１９に保持される。電流プログラム時には、トランジスタ１１ｄはオフ状態に保持される（ゲート信号線１７ｂにはオフ電圧が印加されている）。

【０２６５】

ＥＬ素子１５に電流を流す場合が、図３２（ｂ）の動作状態である。ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加される。この状態では、トランジスタ１１ｂ１、１１ｂ２、１１ｃがオフ状態になり、トランジスタ１１ｄがオン状態になる。ＥＬ素子１５には、Ｉｅ電流が供給される。

【０２６６】

図３３は図３１の変形例である。図３３は、トランジスタ１１ｃがソース信号線１８と

トランジスタ１１ａ１のドレイン端子間に配置されている。以上のように、図３１には多数の変形例が例示することができる。

【０２６７】

図３１は、ゲート信号線１７ａにオンオフ電圧を印加することにより、トランジスタ１１ｂ１、１１ｂ２、１１ｃが制御される。しかし、電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ１１ｂ１、１１ｂ２とトランジスタ１１ｃが同時にオフする場合と、トランジスタ１１ｃの方が、トランジスタ１１ｂ１、１１ｂ２よりも先にオフになる場合とでは、コンデンサ１９に保持される電圧が規定の値から変化する場合がある。コンデンサ１９に保持される電圧の変化により、駆動用トランジスタ１１ａからＥＬ素子１５に供給する電流Ｉｅに誤差が発生する。

【０２６８】

この課題に対しては、図３４のように構成することが好ましい。図３４では、ゲート信号線１７ａ１のトランジスタ１１ｂ１と１１ｂ２のゲート端子が接続されている。また、ゲート信号線１７ａ２に、トランジスタ１１ｃのゲート端子が接続されている。したがって、ゲート信号線１７ａ１にオンオフ電圧を印加することにより、トランジスタ１１ｂ１と１１ｂ２がオンオフ制御される。また、ゲート信号線１７ａ２にオンオフ電圧を印加することにより、トランジスタ１１ｃがオンオフ制御される。

【０２６９】

電流プログラム状態から電流プログラム状態以外に変化させる時（ゲート信号線１７ａ１、１７ａ２にオン電圧が印加されている状態から、ゲート信号線１７ａ１、１７ａ２にオフ電圧を印加する状態に変化させる時）、まず、ゲート信号線１７ａ１の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ１１ｂ１と１１ｂ２がオフ状態になる。次に、ゲート信号線１７ａ２をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ１１ｃがオフ状態になる。

【０２７０】

以上のように、トランジスタ１１ｂ１、１１ｂ２をオフ状態にしてから、トランジスタ１１ｃをオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ１９に保持される電圧が規定値どおりとなる。なお、ゲート信号線１７ａ１とゲート信号線１７ａ２にオフ電圧を印加するタイミングのずれは、０．１μｓｅｃ以上５μｓｅｃ以下にすることが好ましい。

【０２７１】

図３４は駆動用トランジスタ１１ａが１個の構成であったが、本発明はこれに限定するものではなく、図１９３に図示するように２個以上であってもよい。図１９３はＥＬ素子１５を駆動するトランジスタ１１ａが２個（駆動用トランジスタ１１ａ１、１１ａ２）で構成され、また、プログラム用トランジスタ１１ａｎが２個（１１ａｎ１、１１ａｎ２）で構成されている。図１９３のように構成することにより、画素の特性バラツキをより低減することができる。なお、駆動用トランジスタ１１ａとプログラム用トランジスタ１１ａｎとは、交互のならびになるようにレイアウト配置を行ってもよい。

【０２７２】

図１９４に図示するように、画素構成することも有効である。図１９４は、２つの駆動用トランジスタ１１ａ（１１ａ１、１１ａ２）を有している。この２つの駆動用トランジスタ１１ａ（１１ａ１、１１ａ２）の両方は、ＥＬ素子１５に電流Ｉｅを供給し、この電流によりＥＬ素子は輝度Ｂで発光する。

【０２７３】

図１９５は、図１９４の画素の動作を説明するためのタイミング図である。以下、図１９４の動作について説明をする。なお、図１９４の画素はマトリックス状に配置され、順次ゲート信号線が選択されることにより該当画素が選択される。ここでは説明を容易にするために、図１と同様に１画素について説明を行う。

【０２７４】

まず、ゲート信号線１７ａが選択され、Ｖｇｌ電圧が印加されると、トランジスタ１１

ｂ２、１１ｂ１、１１ｃがオンし、導通状態となる。この状態で、ソース信号線１８に印加されたプログラム電流がトランジスタ１１ａ２、１１ａ１に流れ、このプログラム電流Ｉｗが流れるように、コンデンサ１９に電圧が保持される（図１９５のゲート信号線１７ａの欄を参照のこと）。以上で電流プログラムが完了する。１Ｈの期間のゲート信号線１７ａには、オン電圧（Ｖｇｌ）が印加され、選択期間経過後、オフ電圧（Ｖｇｈ）が印加される。以上は基本的な動作であって、実際にはゲート信号線のオンオフタイミングなどは、図２６、図２７などが適用されることは言うまでもない。

【０２７５】

次に、駆動用トランジスタ１１ａ１の電流Ｉｅ１をＥＬ素子１５に流す期間は、ゲート信号線１７ｂ１が選択される（Ｖｇｌ電圧が印加される）。また、ＥＬ素子１５に電流を流さない期間には、ゲート信号線１７ｂ１にはオフ電圧（Ｖｇｈ電圧）が印加される。以上の状態を定常的に繰り返すこと、あるいは周期的あるいはランダム的に行うことによりＥＬ素子１５が発光する。図１９５では、ＥＬ素子１５の発光を輝度Ｂで示している。なお、ゲート信号線１７ｂ１のタイミングチャートを図１９５のゲート信号線１７ｂ１で示している。

【０２７６】

駆動用トランジスタ１１ａ２の電流Ｉｅ２をＥＬ素子１５に流す期間は、ゲート信号線１７ｂ２が選択される（Ｖｇｌ電圧が印加される）。また、ＥＬ素子１５に電流を流さない期間には、ゲート信号線１７ｂ２にはオフ電圧（Ｖｇｈ電圧）が印加される。以上の状態を定常的に繰り返すこと、あるいは周期的あるいはランダム的に行うことによりＥＬ素子１５が発光する（図１９５では、ＥＬ素子１５の発光を輝度Ｂで示している。なお、ゲート信号線１７ｂ２のタイミングチャートを図１９５のゲート信号線１７ｂ２で示している。）

なお、図１９４、図１９５の実施例において、駆動用トランジスタ１１ａは２つとし、この２つを切り換えると説明したが、これに限定するものではなく、駆動用トランジスタ１１ａを３個以上形成または配置し、３個以上の駆動用トランジスタ１１ａを切り換えて、ＥＬ素子１５に電流Ｉｅを供給してもよい。また、２つ以上の駆動用トランジスタ１１ａが同時にＥＬ素子に電流Ｉｅを供給してもよい。また、駆動用トランジスタ１１ａ１がＥＬ素子１５に供給する電流Ｉｅ１と、駆動用トランジスタ１１ａ２がＥＬ素子１５に供給する電流Ｉｅ２とはその電流の大きさを異ならせてもよい。

【０２７７】

また、複数の駆動用トランジスタ１１ａはサイズを異ならせてもよい。また、複数の駆動用トランジスタ１１ａがＥＬ素子１５に電流を流す時間は同一である必要はなく、異なっていてもよい。たとえば、駆動用トランジスタ１１ａ１が１０μｓｅｃの時間（１０μ秒）の間、ＥＬ素子１５に電流を供給し、駆動用トランジスタ１１ａ２が２０μｓｅｃの時間（２０μ秒）の間、ＥＬ素子１５に電流を供給するように構成してもよい。図１９４において、また、駆動用トランジスタ１９４において、駆動用トランジスタ１１ａ１のゲート端子と駆動用トランジスタ１１ａ２のゲート端子は共通に接続されているが、これに限定するものではなく、各ゲート端子が別のゲート電位に設定できるものであってもよいことは言うまでもない。以上の実施例は、図３１から図３６の画素構成にも適用できる。この場合は、プログラム用トランジスタと駆動用トランジスタに適用される。

【０２７８】

以上の実施例は、主として図１の変形例の実施例であった。本発明はこれに限定するものではなく、図１３などのカレントミラーの画素構成にも適用することができる。

【０２７９】

図３５は本発明の実施例である。図３５は駆動用トランジスタ１１ｂが１個で、プログラム用トランジスタ１１ａｎが４個で、画素が構成された実施例である。他の構成は、図１２または図１３の実施例と同様である。

【０２８０】

図３５の実施例では、ゲート信号線１７ａ１、１７ａ２が選択されると、トランジスタ

１１ｃ、１１ｄが動作状態となり、プログラム用トランジスタ１１ａｎとソース信号線１８との電流経路が形成される。なお、４つのプログラム用トランジスタ１１ａｎは、同一サイズ（同一チャンネル幅Ｗ、同一チャンネル長Ｌ）で形成することが好ましい。ただし、本発明において、プログラム用トランジスタ１１ａｎは１つで構成してもよい。この場合は、１つのプログラム用トランジスタ１１ａｎの形状あるいはＷＬ比を考慮し、所定のプログラム電流Ｉｗが実現できるようにすることが好ましい。

【０２８１】

図３５の実施例では、プログラム電流Ｉｗは、４つのプログラム用トランジスタ１１ａｎの電流が合成されたものとなる。説明を容易にするため、各プログラム用トランジスタ１１ａに流れる電流が等しいとする。なお、説明を容易にするため、ＥＬ素子１５に電流を供給するトランジスタ１１ａを駆動用トランジスタ１１ｂと呼び、電流プログラム時に動作するトランジスタ１１ａｎなどをプログラム用トランジスタ１１ａｎと呼ぶことにする。

【０２８２】

図３５では、駆動用トランジスタ１１ｂと１つのプログラム用トランジスタ１１ａｎは同一出力電流となるようにしている（駆動用トランジスタおよびプログラム用トランジスタのゲート端子に印加された電圧が同一の場合）。出力電流を等しくするためには、トランジスタ１１ａｎおよび１１ｂのＷＬ（チャンネル幅Ｗとチャンネル長Ｌ）を同一にすればよい。同一ＷＬあるいはＷＬ比のトランジスタ１１ａを複数形成する方が、各トランジスタ１１ａの出力バラツキが小さくなり、また画素１６間のばらつきも少なくなり好ましい。

【０２８３】

ゲート信号線１７ａ１、１７ａ２に選択電圧（オン電圧）が印加されると、複数のプログラム用トランジスタ１１ａｎからの電流が合成されたものがプログラム電流Ｉｗとなる。このプログラム電流Ｉｗを、駆動用トランジスタ１１ｂからＥＬ素子１５に流れる電流Ｉｅの所定倍率にする。

【０２８４】

Ｉｗ＝ｎ・Ｉｅ（ｎは１より大きい自然数）

上式において、表示パネルの最大白ラスターでの表示輝度Ｂ（ｎｔ）、表示パネルの画素面積Ｓ（平方ミリメートル）（画素面積は、ＲＧＢを１単位として取り扱う。したがって、各ＲＧＢの絵素が縦０．１ｍｍ、横０．０５ｍｍであれば、Ｓ＝０．１×（０．０５×３）（平方ミリメートル）である）、表示パネルの１画素行選択期間（１水平走査（１Ｈ）期間）をＨ（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Ｂは、パネル仕様に規定する表示できる最大輝度である。

【０２８５】

５ ≦ （Ｂ・Ｓ）／（ｎ・Ｈ） ≦ １５０

さらに好ましくは、以下の条件と満足するようにする。

【０２８６】

１０ ≦ （Ｂ・Ｓ）／（ｎ・Ｈ） ≦ １００

Ｉｗはソースドライバ ＩＣ（回路）１４が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素１６のコンデンサ１９にホールドされる。また、Ｉｅは駆動用トランジスタ１１ａがＥＬ素子１５に流す電流である。

【０２８７】

したがって、駆動用トランジスタ１１ｂおよびプログラム用トランジスタ１１ａのＷＬまたは大きさ（形状）、出力電流は上記の関係式を満足するように構成または形成する。なお、説明を容易にするため、図３５の構成では、駆動用トランジスタ１１ｂのサイズもしくは供給電流と、プログラム用トランジスタ１１ａｎのサイズ（形状）もしくは１つあたりの供給電流が等しいとすると、ｎ－１個のプログラム用トランジスタ１１ａを形成することにより上式の関係を満足させることができる。特に図３５の画素構成では、駆動用トランジスタ１１ａの電流もプログラム電流にすることができ、画素１６の開口率をカレ

ントミラーの画素構成に比較して高くすることができる。

【０２８８】

以上のように画素１６を構成することにより、プログラム電流Ｉｗは、Ｉｅに対してｎ倍になる。したがって、ソース信号線１８に寄生容量が存在しても、書き込み不足はなくなる。

【０２８９】

各トランジスタ１１ｂ、１１ａｎの出力ばらつきに関しては、プログラム用トランジスタ１１ａｎと駆動用トランジスタ１１ｂとを近接させて形成または配置することにより改善できる。また、トランジスタ１１ａｎ、トランジスタ１１ｂの特性は、形成方向によっても異なる場合がある。したがって、トランジスタのチャンネル形成方向を横方向または縦方向に統一することが好ましい。

【０２９０】

ＥＬ表示パネルでは、ＲＧＢのＥＬ素子は異なる材料で構成される。したがって、各色で発光効率が異なる場合が多い。そのため、各ＲＧＢのプログラム電流Ｉｗも異なる。ソース信号線１８の寄生容量は、一般的にＲＧＢに対する変化はなく、同一である場合が多い。各ＲＧＢのプログラム電流Ｉｗが異なり、ソース信号線１８の寄生容量がＲＧＢで同一であれば、プログラム電流の書き込み時定数が異なることになる。

【０２９１】

図３５の画素構成に関しても、各ＲＧＢのプログラム用トランジスタ１１ａｎの個数を変化させればよい。また、各ＲＧＢのプログラム用トランジスタ１１ａｎのサイズ（ＷＬなど）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、駆動用トランジスタ１１ｂの個数あるいはサイズを変化させてもよい。

【０２９２】

以上の事項は、図３１、図３３、図３４などの画素構成においても同様に適用できることは言うまでもない。各ＲＧＢのプログラム用トランジスタ１１ａｎの個数を変化させればよい。また、各ＲＧＢのプログラム用トランジスタ１１ａｎのサイズ（ＷＬなど）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、駆動用トランジスタ１１ａの個数あるいはサイズを変化させてもよい。

【０２９３】

図３５は、ゲート信号線１７ａ２でトランジスタ１１ｃを制御し、ゲート信号線１７ａ１でトランジスタ１１ｄを制御する。電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ１１ｃとトランジスタ１１ｄが同時にオフすることを抑制することができる。

【０２９４】

電流プログラム状態から電流プログラム状態以外に変化させる時（ゲート信号線１７ａ１、１７ａ２にオン電圧が印加されている状態から、ゲート信号線１７ａ１、１７ａ２にオフ電圧を印加する状態に変化させる時）、まず、ゲート信号線１７ａ２の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ１１ｄがオフ状態になる。次に、ゲート信号線１７ａ１をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ１１ｃがオフ状態になる。

【０２９５】

以上のように、トランジスタ１１ｄをオフ状態にしてから、トランジスタ１１ｃをオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ１９に保持される電圧が規定値どおりとなる。なお、ゲート信号線１７ａ１とゲート信号線１７ａ２にオフ電圧を印加するタイミングのずれは、０．１μｓｅｃ以上５μｓｅｃ以下にすることが好ましい。

【０２９６】

図３６は、トランジスタ１１ｃとトランジスタ１１ｄをゲート信号線１７ａに印加する電圧により制御できるようにした構成である。図３６の構成では、画素１６を駆動するゲート信号線１７は１本ですむため、配線信号線数が少なくてすむ。図３６の画素構成では

、非表示領域１９２を発生させることはできない。しかし、画素の制御は容易であり、画素の開口率も向上できる。

【０２９７】

以上の実施例は、電流プログラムの画素構成であった。本発明はこれに限定するものではなく、電圧駆動と電流駆動の画素構成を組み合わせてもよい。図２１１は電圧駆動と電流駆動の両方を実施できる画素構成である。電流駆動では低階調領域で電流書き込みが発生する。一方で電圧駆動では、低階調でも書き込み不足はない。しかし、電圧駆動では、表示画面に形成された駆動用トランジスタ１１ａの特性バラツキを吸収することができないため、レーザーアニールのムラが表示されてしまう。電流駆動ではこの問題がない。したがって、図２１３に図示するように、低階調領域で電圧駆動を実施し、高階調領域で電流駆動を実施し、その中間の階調領域で電圧駆動の後、電流駆動を実施することにより、電流駆動と電圧駆動の双方の課題を解決することができる。

【０２９８】

図２１１は、電圧駆動と電流駆動の両方が実施することができる画素構成である。ただし、説明を容易にするため、図１と同様に１画素のみを記載している。また、ドライバ回路１２なども概念的に記載している。

【０２９９】

図２１１で、トランジスタ１１ｅを削除すると電圧オフセットキャンセル駆動の画素構成となる。図２１１の画素構成は、基本的には電圧オフセットキャンセル構成において、コンデンサ１９ｂをショートする１１ｅを形成または配置したものである。

【０３００】

図２１２は、図２１１の画素構成を説明する説明図である。図２１２（ａ）は、電流駆動方式でのプログラム時の画素状態である。図２１２（ｂ）は、電圧駆動方式でのプログラム時の状態である。

【０３０１】

まず、図２１２（ａ）の電流プログラム状態について説明をする。図２１２（ａ）ではトランジスタ１１ｅがオン状態にされる。そのため、コンデンサ１９ｂの両端がショートされる。また、ゲートドライバ回路１２ｄと１２ａは同一の動作が実施される（図２１２（ａ）では、ゲートドライバ回路１２ａ＋１２ａとして示している）。つまり、各画素行を選択される時は、ゲートドライバ回路１２ａ＋１２ｄからオン電圧はゲート信号線１７ｂと１７ａに印加される。したがって、トランジスタ１１ｅ、１１ｃ、１１ｂが同時にオン状態になる。つまり、図２１２（ａ）は図１の画素構成と同一である。そのため、ソースドライバ回路１４から出力されたプログラム電流Ｉｗが駆動用トランジスタ１１ａに書き込まれる。以降の動作（ゲート信号線１７ｂの選択状態、動作）は、図１と同様であるので説明を省略する。なお、図２１２（ａ）において、本発明で説明する図１に対応した駆動方式はいずれも適用できることは言うまでもない。

【０３０２】

次に、図２１２（ｂ）はゲート信号線１７ａとゲート信号線１７ｃは別個に動作する。なお、この画素構成は電圧オフセットキャンセラとして知られているので動作については説明を省略する。

【０３０３】

本発明は、図２１３に図示するように、低階調領域では図２１２（ｂ）の画素回路構成で動作させ、高階調領域では図２１２（ａ）の画素回路構成で動作させる。高階調領域と低階調領域の中間階調の領域では、図２１２（ｂ）の回路構成で１Ｈの最初に行い、その後、図２１２（ａ）の回路構成で実施することが好ましい。図２１２（ａ）と図２１２（ｂ）の切り換え範囲は評価によって決定する必要がある。検討の結果によれば、全階調範囲のうち、最も低階調（階調０）から、全階調の１／１０以上１／４の範囲以下のいずれかでは、図２１２（ｂ）の電圧駆動のみを実施し、全階調の１／６以上１／３以下のいずれかの範囲から最高階調までは、図２１２（ａ）の電流プログラムを実施することが好ましい。

【０３０４】
なお、この電流駆動のみあるいは電圧駆動のみを実施する階調範囲以外では図２１２（ｂ）の電圧プログラムを実施した後、図２１２（ａ）の電流プログラムを実施する。高階調の領域においても図２１２（ｂ）の電圧プログラムを実施した後、図２１２（ａ）の電流プログラムを実施してもよい。なお、低階調領域においても、図２１２（ｂ）の電圧プログラムを実施した後、図２１２（ａ）の電流プログラムを実施してもよい。低階調領域では電圧プログラム状態が支配的であり、電圧プログラムの後に電流プログラムを実施しても電流プログラムの状態は画素１６へのプログラム状態に影響を与えないからである。
【０３０５】
以上のように本発明は、低階調領域では、まず、１Ｈの最初には電圧プログラムの画素構成を実現して少なくとも電圧プログラムを実施し、高階調領域では、１Ｈの最後には電流プログラムの画素構成を実施して少なくとも電流プログラムを実施するものである。なお、電流プログラムと電圧プログラムの組合せによる画素１６へのプログラムは、図１２７から図１４３で説明しているので説明を省略する。図２１１および図２１２と、図１２７から図１４３の駆動方式とを組み合わせてもよいことはいうまでもない。
【０３０６】
図１などは、電流プログラムの画素構成であるとして説明した。しかし、図１のほか図６、図７、図８、図９、図１０、図３１などの画素構成においても以下の方法は適用できることは言うまでもない。以上の事項は本発明の他の実施例でも同様に適用できることは言うまでもない。
【０３０７】
図２１４は電流駆動の画素構成で電圧プログラムを行う実施例である。図２１４（ａ）は電圧プログラムを実施している状態であり、図２１４（ｂ）はＥＬ素子１５にプログラム電流Ｉｗを流して発光している状態である。
【０３０８】
図２１４（ａ）では、ゲート信号線１７ａにオン電圧を印加し、トランジスタ１１ｂとトランジスタ１１ｃとをオン状態にする。この状態でソース信号線１８にプログラム電圧Ｖを印加し、この電圧Ｖを画素１６のコンデンサ１９に保持させる。この時、ゲート信号線１７ｂにはオフ電圧を印加してトランジスタ１７ｄをオフ（オープン）状態にする。
【０３０９】
図２１４（ｂ）は、ＥＬ素子１５を発光させている時のトランジスタの状態を示している。ゲート信号線１７ａにはオフ電圧を印加し、トランジスタ１１ｂ、トランジスタ１１ｃはオープン状態にする。ゲート信号線１７ｂにはオン電圧を印加し、トランジスタ１１ｄは短絡（オン状態）にする。
【０３１０】
以上のように駆動することにより電圧プログラムを実施できる。つまり、低階調領域ではソース信号線に少なくも１Ｈの最初にはプログラム電圧Ｖを印加し、高階調領域では、少なくとも１Ｈの最後にはプログラム電流Ｉｗを印加する。
【０３１１】
なお、電圧駆動と電流駆動の切り換えタイミングは、図２１２、図１２７から図１４３などで説明しているので説明を省略する。以上の事項は本発明の他の実施例でも同様である。
【０３１２】
図２１５は図２１１の変形例である。また、図１と図２との組合せとも考えることができる。図１にトランジスタ１１ｅが追加された画素構成であるからである。トランジスタ１１ｅを制御するゲート信号線１７ｃが追加され、このゲート信号線１７ｃに順次オンオフ電圧を走査状態で印加するゲートドライバ回路１２ｃを具備する。
【０３１３】
図２１６は図２１５の動作の説明図である。図２１５（ａ）は電流プログラムの駆動状態である。図２１５（ｂ）は電圧プログラムの駆動状態である。

【０３１４】
図２１５（ａ）では、ゲート信号線１７ｃにオフ電圧が印加され、トランジスタ１１ｅがオフ（オープン状態）になる。この状態は、図１の画素構成と同一である。したがって、ゲート信号線１７ｃに絶えずオフ電圧を印加した状態で駆動することにより、図１で説明した駆動方法などを実現できることになり、電流プログラムを実施できる。
【０３１５】
図２１５（ｂ）では、ゲート信号線１７には常時オフ電圧が印加される。したがって、ゲート信号線１７ａに接続されたトランジスタ１１ｂとトランジスタ１１ｃは常時オフ（オープン状態）にされる。この状態で、ゲート信号線１７ｃにはゲートドライバ回路１２ｃにより順次走査状態でオン電圧が印加されていく。選択された画素行のトランジスタ１１ｅがオン状態となり、ソース信号線１８に印加されたプログラム電圧Ｖがコンデンサ１９に印加される。なお、図２１６（ｂ）での駆動方式では、電圧プログラム時にトランジスタ１１ｄは必ずしもオフ（オープン）状態にすることはなく、図２１６（ｂ）に図示するようにオン状態でもオフ状態のいずれでもよい。ただし、ＥＬ素子１５に電流を流す時はトランジスタ１１ｄをオン状態にする必要があることは言うまでもない。他の動作などに関しては先の実施例の動作と同様であるので説明を省略する。
【０３１６】
図２１７は、図２１２もしくは図２１５の変形例である。図２１７は、駆動用トランジスタ１１ａとトランジスタ１１ｄ間にトランジスタ１１ｅが形成または配置されている。トランジスタ１１ｅは、ゲートドライバ回路１２ｃに接続されたゲート信号線１７ｃによってオンオフ制御される。
【０３１７】
図２１８は図２１７の動作の説明図である。図２１８（ａ）は電流プログラムの状態を示しており、図２１８（ｂ）は電圧プログラムの状態を示している。
【０３１８】
図２１８（ａ）では、ゲート信号線１７ｃには常時オン電圧が印加され（図２１２と同様に、画素行が選択される時にトランジスタ１１ｅをオン状態にしてもよいことは言うまでもない。このことは図２１５についても同様である。）、選択された画素行のゲート信号線１７ａにはオン電圧が印加される。そのため、トランジスタ１１ｂ、トランジスタ１１ｃがオンとなる。この状態でソース信号線１８にプログラム電流Ｉｗが印加され、このプログラム電流Ｉｗが、選択された画素１６のコンデンサ１９に書き込まれる。
【０３１９】
図２１８（ｂ）は、電圧プログラム時の画素書き込み状態を図示している。基本的には図２の電圧プログラム状態となる。ゲート信号線１７ｃにはオフ電圧が印加され、トランジスタ１１ｅがオフ（オープン状態）となる。また、図２８（ａ）と同様にゲート信号線１７ｂにはオフ電圧が印加され、トランジスタ１１ｄがオフ状態となる。この状態でソース信号線１８に印加されたプログラム電圧Ｖが、選択された画素１６のコンデンサ１９に書き込まれる。他の動作などに関しては、先の実施例の動作と同様であるので説明を省略する。
【０３２０】
図２の画素構成において、特に問題となる事項に、電源（パネルに供給するカソード電圧、アノード電圧）をオンオフする際に、過渡電流がＥＬ素子１５に流れるということがある。つまり、トランジスタ１１ｂのオンオフ状態が確定せす、また、コンデンサ１９の電位状態が不定の状態で電源がオンされるからである。この課題は電源オフ時でも発生する。
【０３２１】
この課題に対しては、図２１９に図示するように、アノードとトランジスタ１１ａ間にスイッチ用トランジスタ２１９ａを配置または形成し、駆動用トランジスタ１１ａからＥＬ素子１５あるいはカソード間にトランジスタ２１９ｂを形成または配置することにより解決することができる。

【０３２２】
電源オフする際は、図２２０に図示するように電源をオフする前に、コントローラによりトランジスタ２１９１をオフにする。トランジスタ２１９１のオフは図２２０（ａ）に図示するように、トランジスタ２１９１ａまたはトランジスタ２１９１ｂのいずれか一方をオフにしてもよいし、図２２０（ｂ）に図示するように、トランジスタ２１９１ａとトランジスタ２１９１ｂの両方をオフにした後、電源回路をオフ状態にしてもよい。
【０３２３】
電源オンする際は、コントローラによりトランジスタ２１９１をオフにする。その後、電源回路をオンにしてから、トランジスタ２１９１をオン状態にすることが好ましい。
【０３２４】
以上の、図２１９、図２２０で説明した事項は、本発明の他の画素構成にも適用できることはいうまでもない。図２１９のトランジスタ２１９ａとトランジスタ２１９ｂのいずれか一方を配置または形成すれば効果が得られることは言うまでもない。
【０３２５】
また、図２１９は各画素１６にスイッチ用のトランジスタ２１９１を形成または配置するとしたが、これに限定するものではなく、アノード端子に１個のスイッチ２１９１ａを配置し、カソード端子に１個のスイッチ２１９１ｂを配置してもよい。また、図２１９において２１９１はトランジスタであるとしたが、これに限定するものではなく、サイリスタのような他の素子、ホトダイオード、リレー素子などでもよいことは言うまでもない。
【０３２６】
以上の実施例は、表示領域に形成あるいは配置された画素１６は、電流駆動方式の画素または電圧駆動方式の画素構成か、もしくは、電圧駆動と電流駆動とを切り換えることができるものであった。しかし、本発明はこれに限定するものではない。たとえば、図２２１にように構成してもよい。
【０３２７】
図２２１は、１本のソース信号線１８に電流駆動の画素（図１など）１６ｂと電圧駆動の画素（図２など）１６ａが接続された構成である。電流駆動の画素１６ｂはソース信号線１８の一端に配置または形成され、また、形成位置はソースドライバ回路（ＩＣ）１４から遠い位置に配置または形成される。また、電流駆動の画素１６ｂの駆動用トランジスタ１１ａのＷＬと電圧駆動の画素１６ａの駆動用トランジスタ１１ａのＷＬとは一致させる。
【０３２８】
電流駆動の画素１６ｂは、プログラム電流（電圧）の大きさなどの場合に応じてオン状態にされ、ソース信号線１８に電流を供給し、ソース信号線１８の充放電を実施して、画素１６へのプログラム書き込みを実施する。
【０３２９】
なお、図２２２は、図２２１の電圧画素１６ａと電流画素１６ｂの関係を入れ替えた構成である。以上のように本発明は、表示領域に電圧画素１６ａと電流画素１６ｂの両方を形成または配置するものである。
【０３３０】
本発明の画素構成によれば、トランジスタ１１ｄ（図１の場合）などのスイッチング手段を制御することにより、ＲＧＢ画像を順次表示することができる（図２２の構成も参照のこと）。図３７（ａ）は、１フレーム（１フィールド）期間にＲ表示領域１９３Ｒ、Ｇ表示領域１９３Ｇ、Ｂ表示領域１９３Ｂを画面の上から下方向（下方向から上方向でもよい）に走査する。ＲＧＢの表示領域以外の領域は非表示領域５２とする。つまり、間欠駆動を実施する。Ｒ、Ｇ、Ｂの表示領域１９３は個別に間欠表示が実施される。
【０３３１】
図３７（ｂ）は、１フィールド（１フレーム）期間にＲ、Ｇ、Ｂ表示領域１９３を複数発生するように実施した実施例である。この駆動方法は、図２３の駆動方法と類似である。したがって、説明を必要としないであろう。図３７（ｂ）のように表示領域１９３を複

数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

【０３３２】

図３８（ａ）は、ＲＧＢの表示領域１９３で、表示領域１９３の面積を異ならせたものである。なお、表示領域１９３の面積は点灯期間に比例することは言うまでもない。図３８（ａ）では、Ｒ表示領域１９３ＲとＧ表示領域１９３Ｇの面積を同一にしている。Ｇ表示領域１９３ＧよりＢ表示領域１９３Ｂの面積を大きくしている。

【０３３３】

有機ＥＬ表示パネルでは、Ｂの発光効率が悪い場合が多い。図３８（ａ）のようにＢ表示領域１９３Ｂを他の色の表示領域１９３よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。また、Ｒ、Ｇ、Ｂ表示領域１９３の面積を変化させることにより、ホワイトバランス調整、色温度調整を容易に実現できる。

【０３３４】

図３８（ｂ）は、１フィールド（フレーム）期間で、Ｂ表示期間１９３Ｂが複数（１９３Ｂ１、１９３Ｂ２）となるようにした実施例である。図３８（ａ）は、１つのＢ表示領域１９３Ｂを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図３８（ｂ）は、同一面積のＢ表示領域１９３Ｂを複数表示させることにより、ホワイトバランス調整（補正）を良好にする。また、色温度補正（調整）を良好にする。たとえば、屋外と屋内で色温度を変化させることは有効である。たとえば、屋内では、色温度を低下させ、屋外では色温度を高くする。

【０３３５】

本発明の駆動方式は、図３７、図３８のいずれかに限定するものではない。Ｒ、Ｇ、Ｂの表示領域１９３を発生し、また、間欠表示する。結果として動画ボケを対策し、画素１６への書き込み不足を改善する。なお、図２３の駆動方法では、Ｒ、Ｇ、Ｂが独立の表示領域１９３は発生しない。ＲＧＢが同時に表示される（Ｗ表示領域１９３が表示されると表現すべきである）。なお、図３８（ａ）と図３８（ｂ）とは組み合わせてもよいことはいうまでもない。たとえば、図３８（ａ）のＲＧＢの表示面積１９３を変化し、かつ図３８（ｂ）のＲＧＢの表示領域１９３を複数発生させる駆動方法の実施である。

【０３３６】

なお、図３７から図３８の駆動方式は、図２２のように、ＲＧＢごとにＥＬ素子１５（ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂ）に流れる電流を制御できる構成あれば、図３７、図３８の駆動方式を容易に実施できることは言うまでもないであろう。

【０３３７】

図２２の表示パネルの構成において、ゲート信号線１７ｂＲにオンオフ電圧を印加することにより、Ｒ画素１６Ｒをオンオフ制御することができる。ゲート信号線１７ｂＧにオンオフ電圧を印加することにより、Ｇ画素１６Ｇをオンオフ制御することができる。ゲート信号線１７ｂＢにオンオフ電圧を印加することにより、Ｂ画素１６Ｂをオンオフ制御することができる。

【０３３８】

また、以上の駆動を実現するためには、図３９に図示するように、ゲート信号線１７ｂＲを制御するゲートドライバ回路１２ｂＲ、ゲート信号線１７ｂＧを制御するゲートドライバ回路１２ｂＧ、ゲート信号線１７ｂＢを制御するゲートドライバ回路１２ｂＢを形成または配置すればよい。

【０３３９】

図３９のゲートドライバ回路１２ｂＲ、１２ｂＧ、１２ｂＢを、図１９、図２０などで説明した方法で駆動することにより、図３７、図３８の駆動方法を実現できる。もちろん、図３９の表示パネルの構成で、図２３の駆動方法なども実現できることは言うまでもない。

【０３４０】

図２０、図２４、図２６、図２７などでは、ゲート信号線１７ｂ（ＥＬ側選択信号線）は１水平走査期間（１Ｈ）を単位として、オン電圧（Ｖｇｌ）、オフ電圧（Ｖｇｈ）を印

加するとして説明をした。しかし、ＥＬ素子１５の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は１Ｈ単位に限定する必要はない。なお、以下の事項はゲート信号線１７ａ（１７ａ１、１７ａ２）にも適用される。

【０３４１】

まず、アウトプットイネーブル（ＯＥＶ）の概念を導入するため、以下のように規定する。ＯＥＶ制御を行うことにより、１水平走査期間（１Ｈ）以内のゲート信号線１７ａ、１７ｂにオンオフ電圧（Ｖｇｌ電圧、Ｖｇｈ電圧）を画素１６に印加できるようになる。説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線１７ａ（図１の場合）であるとして説明をする。また、ゲート信号線１７ａを制御するゲートドライバ回路１２ａの出力をＷＲ側選択信号線と呼ぶ。ＥＬ素子１５を選択するゲート信号線１７ｂ（図１の場合）であるとして説明をする。また、ゲート信号線１７ｂを制御するゲートドライバ回路１２ｂの出力をＥＬ側選択信号線と呼ぶ。

【０３４２】

ゲートドライバ回路１２は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路１２ａのシフトレジスタ内の保持データにより、ＷＲ側選択信号線に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ａの出力段には、強制的に出力をオフにするＯＥＶ１回路（図示せず）が形成または配置されている。ＯＥＶ１回路がＬレベルの時には、ゲートドライバ回路１２ａの出力であるＷＲ側選択信号をそのままゲート信号線１７ａに出力する。

【０３４３】

以上の関係をロジック的に図示すれば、ＯＲ回路の関係となる（図４０（ｂ）を参照のこと）。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。ゲートドライバ回路１２ａがオフ電圧を出力している場合は、ゲート信号線１７ａにオフ電圧が印加される。ゲートドライバ回路１２ａがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ１回路の出力とＯＲが取られてゲート信号線１７ａに出力される。ＯＥＶ１回路は、Ｈレベルの時、ゲートドライバ信号線１７ａに出力する電圧をオフ電圧（Ｖｇｈ）にする（図４０（ａ）のタイミングチャートの例を参照のこと）。

【０３４４】

ゲートドライバ回路１２ｂのシフトレジスタ内の保持データにより、ゲート信号線１７ｂ（ＥＬ側選択信号線）に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ｂの出力段には、強制的に出力をオフにするＯＥＶ２回路（図示せず）が形成または配置されている。ＯＥＶ２回路がＬレベルの時には、ゲートドライバ回路１２ｂの出力をそのままゲート信号線１７ｂに出力する。以上の関係をロジック的に図示すれば、図４０（ａ）の関係となる。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。

【０３４５】

ゲートドライバ回路１２ｂがオフ電圧を出力している場合（ＥＬ側選択信号はオフ電圧）は、ゲート信号線１７ｂにオフ電圧が印加される。ゲートドライバ回路１２ｂがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ２回路の出力とＯＲが取られてゲート信号線１７ｂに出力される。つまり、ＯＥＶ２回路は、入力信号がＨレベルの時、ゲートドライバ信号線１７ｂに出力する電圧をオフ電圧（Ｖｇｈ）にする。したがって、ＯＥＶ２回路によりＥＬ側選択信号がオン電圧出力状態であっても、強制的にゲート信号線１７ｂに出力される信号はオフ電圧（Ｖｇｈ）になる。なお、ＯＥＶ２回路の入力がＬであれば、ＥＬ側選択信号がスルーでゲート信号線１７ｂに出力される（図４０（ａ）のタイミングチャートの例を参照のこと）。

【０３４６】

ゲート信号線１７ｂ（ＥＬ側選択信号線）にオン電圧を印加する期間を調整することにより、表示画面１４４の輝度をリニアに調整することができる。これはＯＥＶ２回路を制

御することにより容易に実現できる。たとえば、図４１では、図４１（ａ）よりも図４１（ｂ）の方が表示輝度は低くなる。また、図４１（ｂ）よりも図４１（ｃ）の方が表示輝度は低くなる。

【０３４７】

また、図４２に図示するように、１Ｈ期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもよい。図４２（ａ）は、６回設けた実施例である。図４２（ｂ）は、３回設けた実施例である。図４２（ｃ）は、１回設けた実施例である。図４２では、図４２（ａ）よりも図４２（ｂ）の方が表示輝度は低くなる。また、図４２（ｂ）よりも図４２（ｃ）の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

【０３４８】

以後、本発明の電流駆動方式のソースドライバＩＣ（回路）１４について説明をする。本発明のソースドライバＩＣは、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。なお、説明は、ＩＣチップとして説明をするがこれに限定するものではなく、高温彫りシリコン技術、低温ポリシリコン技術、ＣＧＳ技術、アモルファスシリコン技術などを用いて、表示パネルの基板３０上に作製してもよいことは言うまでもない。また、シリコンウエハなどに形成したソースドライバ回路１４を基板３０に転写してもよい。

【０３４９】

図４３は、ソースドライバＩＣ（回路）１４の１出力段の構造図である。つまり、１つのソース信号線１８に接続される出力部である。複数の同一サイズの単位トランジスタ１５４（１単位）で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。図４３は、６４階調表示の一実施例である。１出力段に相当するトランジスタ群４３１ｃには、単位トランジスタ１５４は６３個で構成されている。

【０３５０】

なお、本発明のソースドライバＩＣ（回路）１４を構成するトランジスタあるいはトランジスタ群は、ＭＯＳタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ砒素半導体でもよい。また、ゲルマニウム半導体でもよい。

【０３５１】

図４３は、本発明の１実施例として、６ビットのデジタル入力の場合を図示している。つまり、２の６乗であるから、６４階調表示である。このソースドライバＩＣ１４をアレイ基板に積載することにより、赤（Ｒ）、緑（Ｇ）、青（Ｂ）が各６４階調であるから、６４×６４×６４＝約２６万色を表示できることになる。

【０３５２】

６４階調の場合は、Ｄ０ビットの単位トランジスタ１５４は１個、Ｄ１ビットの単位トランジスタ１５４は２個、Ｄ２ビットの単位トランジスタ１５４は４個、Ｄ３ビットの単位トランジスタ１５４は８個、Ｄ４ビットの単位トランジスタ１５４は１６個、Ｄ５ビットの単位トランジスタ１５４は３２個であるから、合計で単位トランジスタ１５４は６３個である。つまり、本発明は階調の表現数（この実施例の場合は、６４階調）－１個の単位トランジスタ１５４を１出力と構成（形成）する。

【０３５３】

なお、単位トランジスタ１個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。たとえば、１つの単位トランジスタ１５４が、４つのサブ単位トランジスタで構成される場合が例示される。したがって、本発明が、階調の表現数－１個の単位トランジスタで構成されていることには差異はない（同義である）。

【０３５４】

また、図４３において、Ｄ５ビット目の単位トランジスタ１５４の３２個は、密集させて配置（形成）しているように図示しているが、本発明はこれに限定するものではない。

たとえば、８個の単位トランジスタ１５４の群（つまり、８個のトランジスタの集まりが４組）に分割し、分割されたトランジスタ群を分散させて配置（構成）してもよい。この方が、出力電流のバラツキが低減する。

【０３５５】

図４３において、Ｄ０はＬＳＢ入力を示しており、Ｄ５はＭＳＢ入力を示している。Ｄ０入力端子にＨレベル（正論理時）の時、スイッチ１５１ａ（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、ＰチャンネルトランジスタとＮチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する単位トランジスタ１５４に向かって電流が流れる。この電流はＩＣ１４内の内部配線１５３に流れる。この内部配線１５３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線１５３に流れる電流が画素１６のプログラム電流となる。

【０３５６】

たとえば、Ｄ１入力端子にＨレベル（正論理時）の時、スイッチ１５１がオンする。すると、カレントミラーを構成する２つの単位トランジスタ１５４に向かって電流が流れる。この電流はＩＣ１４内の内部配線１５３に流れる。この内部配線１５３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線１５３に流れる電流が画素１６のプログラム電流となる。

【０３５７】

他のスイッチ１５１でも同様である。Ｄ２入力端子にＨレベル（正論理時）の時は、スイッチ１５１ｃがオンする。すると、カレントミラーを構成する４つの単位トランジスタ１５４に向かって電流が流れる。Ｄ５入力端子にＨレベル（正論理時）の時は、スイッチ１５１ｆがオンする。すると、カレントミラーを構成する３２個の単位トランジスタ１５４に向かって電流が流れる。

【０３５８】

以上のように、外部からのデータ（Ｄ０～Ｄ５）に応じて、それに対応する単位トランジスタに向かって電流が流れる。したがって、データに応じて、０個から６３個の単位トランジスタに電流が流れるように構成されている。

【０３５９】

なお、本発明は説明を容易にするため、電流源は６ビットの６３個としているが、これに限定するものではない。８ビットの場合は、２５５個の単位トランジスタ１５４を形成（配置）すればよい。また、４ビットの時は、１５個の単位トランジスタ１５４を形成（配置）すればよい。もちろん、８ビットの場合は、２５５×２個の単位トランジスタ１５４を形成（配置）してもよい。１つの単位トランジスタ１５４が２個で１単位電流を出力する。単位電流源を構成する単位トランジスタ１５４は、同一のチャンネル幅Ｗ、チャンネル幅Ｌとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

【０３６０】

また、単位トランジスタ１５４はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ１５４を重み付けしてもよい。たとえば、１単位の単位トランジスタ１５４と、２倍の単位トランジスタ１５４と、４倍の単位トランジスタ１５４などを混在させて電流出力回路を構成してもよい。

【０３６１】

しかし、単位トランジスタ１５４を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、１単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【０３６２】

６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５で制御されるスイッチを介して、プログラム電流Ｉｗはソース信号線に出力される（電流を引き込む）。したがって、６

ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５のＯＮ、ＯＦＦに応じて、出力線には、１倍、２倍、４倍、・・・、３２倍の電流が加算されて出力される。すなわち、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５により、出力線１５３よりプログラム電流が出力される（ソース信号線１８から電流を引き込む。）。

【０３６３】

ＥＬ表示パネルで、フルカラー表示を実現するためには、ＲＧＢのそれぞれに基準電流を形成（作成）する必要がある。ＲＧＢの基準電流の比率でホワイトバランスを調整できる。基準電流は、単位トランジスタ１５４が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位トランジスタ１５４が流す電流を決定することができる。そのため、Ｒ、Ｇ、Ｂのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路１４が電流きざみ出力（電流駆動）であることから発揮される効果である。

【０３６４】

トランジスタ群４３１ｃ内の単位トランジスタ１５４のゲート端子（Ｇ）は共通のゲート配線１５３と接続されている。また、単位トランジスタ１５４のソース端子（Ｓ）は共通の内部配線１５０に接続され、内部配線１５０の一端に端子１５５が構成されている。単位トランジスタ１５４のドレイン端子（Ｄ）はグランド電位（ＧＮＤ）に接地されている。

【０３６５】

１つのトランジスタ群４３１ｃは１本のソース信号線１８に対応して構成（形成）されている。また、図４７に図示するように、単位トランジスタ１５４はトランジスタ１５８ｂ１または１５８ｂ２とカレントミラー回路を構成している。トランジスタ１５８ｂには基準電流Ｉｃが流れ、この基準電流Ｉｃより単位トランジスタ１５４の出力電流が決定される。

【０３６６】

図４７に図示するように、トランジスタ１５８ｂのゲート端子（Ｇ）と単位トランジスタのゲート端子（Ｇ）とは共通のゲート配線１５３で接続されている。そのため、トランジスタ１５８ｂと各トランジスタ群４３１ｃとはカレントミラー回路を構成している。図４７に図示するように、トランジスタ群４３１ｃの両側にトランジスタ１５８ｂ１とトランジスタ１５８ｂ２を配置することにより、ゲート配線１５３の電位勾配が小さくなる。したがって、左右のトランジスタ群（４３１ｃ１、４３１ｃｎ）の出力電流の大きさが等しくなる（同一階調の時）。また、基準電流Ｉｃ１とＩｃ２の大きさを調整することにより、ゲート配線１５３の電位勾配を変化させることができる。基準電流Ｉｃ１、Ｉｃ２の大きさを調整することにより、左右のトランジスタ群（４３１ｃ１、４３１ｃｎ）の出力電流の大きさを調整できる。

【０３６７】

図４７ではトランジスタ群４３１ｃとトランジスタ１５８ｂがカレントミラー回路を構成するとしたが、実際には、トランジスタ１５８ｂは複数のトランジスタから構成されている。つまり、複数のトランジスタ１５８ｂによるトランジスタ群４３１ｂと、トランジスタ群４３１ｃがカレントミラー回路を構成している。つまり、複数のトランジスタ１５８ｂのゲート端子と複数の単位トランジスタ１５４のゲート端子が、共通のゲート配線１５３で結線されている。

【０３６８】

図４８は、トランジスタ群４３１ｂのトランジスタ４８３ｂの配置構成である。１つのトランジスタ群４３１ｂには、トランジスタ群４３１ｃの単位トランジスタ１５４と同一数の６３個のトランジスタ１５８ｂが形成されている。

【０３６９】

もちろん、１つのトランジスタ群４３１ｂ内のトランジスタ１５８ｂの個数を６３個に限定するものではない。単位トランジスタ群４３１ｃの単位トランジスタ１５４数が階調数－１で構成される場合は、トランジスタ群４３１ｂ内のトランジスタ１５８ｂの個数も

階調数－１あるいはこれと同様もしくは類似個数で形成される。また、図４８の構成に限定されるものではなく、図４９のようにマトリックス状に形成または配置してもよい。

【０３７０】

以上の構成を、図４４に模式図的にしめす。単位トランジスタ群４３１ｃが出力端子数分、並列に配置される。単位トランジスタ群４３１ｃの両脇にトランジスタ群４３１ｂが複数ブロック形成されている。トランジスタ群４３１ｂのトランジスタ１５８ｂのゲート端子と、単位トランジスタ群４３１ｃの単位トランジスタ１５４のゲート端子とはゲート配線１５３で接続される。

【０３７１】

なお、以上の説明は、説明を容易にするため、単色のソースドライバＩＣ１４のように説明したが、本来は、図４５のように構成される。つまり、トランジスタ群４３１ｂおよび単位トランジスタ群４３１ｃは、赤（Ｒ）、緑（Ｇ）、青（Ｂ）のトランジスタ群が交互に配置される（図４５において、添え字Ｒが付加されたトランジスタ群は赤（Ｒ）用を示しており、添え字Ｇが付加されたトランジスタ群は緑（Ｇ）用を示しており、添え字Ｂが付加されたトランジスタ群は青（Ｂ）用を示している）。以上のように、ＲＧＢ用のトランジスタ群を交互に配置することによりＲＧＢ間の出力バラツキが低減する。この構成もソースドライバＩＣ１４内のレイアウトとして重要な要件である。

【０３７２】

図４７では、各トランジスタ群４３１ｃ１と４３１ｃｎの両側に、トランジスタ１５８ｂ（１５８ｂ１、１５８ｂ２）が形成または配置されている。本発明はこれに限定するものではない。図４６に図示するように、トランジスタ１５８ｂは片側であってもよい。

【０３７３】

基準電流Ｉｃは、図５０に図示するように、電子ボリウム５０１とオペアンプ５０２などで発生させることが好ましい。電子ボリウム５０１とオペアンプ５０２などは、ソースドライバＩＣ１４に内蔵させる。電子ボリウム５０１の内部にはラダー抵抗Ｒが構成（形成）されており、ラダー抵抗Ｒは基準電圧Ｖｓ（もしくはＩＣ電源電圧）を分割している。ラダー抵抗で分圧された電圧は、スイッチＳで選択され、オペアンプ５０２の正極性端子に印加される。印加された電圧とソースドライバＩＣ１４の外付け抵抗Ｒ１により、基準電流Ｉｃが発生する。抵抗Ｒ１を外付けすることにより、Ｒ１の値により容易に基準電流の値を調整でき、また、ＲＧＢ回路の外付け抵抗を調整することにより容易にホワイトバランスを取ることができる。

【０３７４】

図５０の構成では、電子ボリウム５０１ａと電子ボリウム５０１ｂを独立に動作させることができる。したがって、トランジスタ１５８ａ１とトランジスタ１５８ａ２とが流す電流の値を変更することができる。したがって、チップの左右のトランジスタ１５８ｂ（１５８ｂ１、１５８ｂ２）に流す電流を調整でき、ゲート配線１５３の電位傾きを調整可能である。

【０３７５】

単位トランジスタ１５４を構成するトランジスタの大きさは、一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。単位トランジスタ１５４の大きさとは、チャンネル長Ｌとチャンネル幅Ｗをかけたサイズをいう。たとえば、チャンネル幅Ｗ＝３μｍ、チャンネル長Ｌ＝４μｍであれば、１つの単位電流源を構成する単位トランジスタ１５４のサイズは、Ｗ×Ｌ＝１２平方μｍである。

【０３７６】

トランジスタサイズが小さくなるほどバラツキが大きくなるのは、シリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、１つのトランジスタが複数の結晶界面にまたがって形成されていると、トランジスタの出力電流バラツキは小さくなる。

【０３７７】

図４４、図４８において、トランジスタ群４３１ｂのトランジスタ１５８ｂの総面積（

トランジスタ群４３１ｂの個数×トランジスタ群４３１ｂ内のトランジスタ１５８ｂのＷＬサイズ×トランジスタ１５８ｂ数）をＳｂとする。トランジスタ群４３１ｂが１個のトランジスタ１５８ｂで構成される場合は、Ｓｂは、トランジスタ群４３１ｂの個数×トランジスタ１５８ｂのＷＬサイズであることは言うまでもない。以上のように、トランジスタ１５８ｂの総面積をＳｂとする。

【０３７８】

また、トランジスタ群４３１ｃの単位トランジスタ１５４の総面積（トランジスタ群４３１ｃ内の単位トランジスタ１５４のＷＬサイズ×単位トランジスタ１５４数）をＳｃ（平方μｍ）とする。トランジスタ群４３１ｃの個数をｎ（ｎは整数）とする。ｎはＱＣＩＦ＋パネルの場合は１７６である（ＲＧＢごとに基準電流回路が形成されている場合）。したがって、ｎ×Ｓｃ（平方μｍ）は、トランジスタ群４３１ｂのトランジスタ１５８ｂとカレントミラー回路を形成する（トランジスタ１５８ｂとゲート配線１５３を共通にする）単位トランジスタ１５４の総面積である。

【０３７９】

Ｓｃ×ｎ／Ｓｂが大きくなるにしたがって、ゲート配線１５３の揺れが大きくなる。Ｓｃ×ｎ／Ｓｂが大きくなることは、出力端子数ｎを一定とすると、トランジスタ群４３１ｃの単位トランジスタ１５４総面積が、トランジスタ群４３１ｂのトランジスタ１５８ｂ総面積に対して大きくなることを示す。ゲート配線１５３の揺れが大きくなる。大きくなるにつれ、ゲート配線１５３の揺れが大きくなる。

【０３８０】

Ｓｃ×ｎ／Ｓｂが小さくなることは、出力端子数ｎを一定とすると、トランジスタ群４３１ｃの単位トランジスタ１５４総面積が、トランジスタ群４３１ｂのトランジスタ１５８ｂ総面積に対して狭いことを示す。この場合はゲート配線１５３の揺れが小さくなる。

【０３８１】

ゲート配線１５３の揺れの許容範囲は、Ｓｃ×ｎ／Ｓｂが５０以下である。Ｓｃ×ｎ／Ｓｂが５０以下であれば、変動比率は許容範囲内であり、ゲート配線１５３の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。

【０３８２】

図６７は、ＩＣ耐圧と単位トランジスタ１５４の出力バラツキの関係を図示したものである。縦軸のバラツキ比率とは、１．８（Ｖ）耐圧プロセスで作製した単位トランジスタ１５４のバラツキを１としている。

【０３８３】

なお、図６７は単位トランジスタ１５４の形状Ｌ／Ｗを１２（μｍ）／６（μｍ）とし、各耐圧プロセスで製造した単位トランジスタ１５４の出力バラツキを示している。また、各ＩＣ耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、１．８（Ｖ）耐圧、２．５（Ｖ）耐圧、３．３（Ｖ）耐圧、５（Ｖ）耐圧、８（Ｖ）耐圧、１０（Ｖ）耐圧、１５（Ｖ）耐圧などとびとびである。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

【０３８４】

耐圧と出力バラツキに相関があるのは、トランジスタのゲート絶縁膜と関係しているためと推定される。耐圧が高い場合は、ゲート絶縁膜が厚い。ゲート絶縁膜が厚いとモビリティも低くなり、膜厚に対するバラツキも大きくなる。

【０３８５】

図６７から、ＩＣ耐圧が１３（Ｖ）程度までは、ＩＣプロセスに対するバラツキ比率（単位トランジスタ１５４の出力電流バラツキ）の増加割合は小さい。しかし、ＩＣ耐圧が１５（Ｖ）以上になるとＩＣ耐圧に対するバラツキ比率の傾きが大きくなる。

【０３８６】

図６７におけるバラツキ比率は、３以内が６４階調から２５６階調表示でのバラツキ許

容範囲である。ただし、このばらつき比率は、単位トランジスタ１５４の面積、Ｌ／Ｗにより異なる。しかし、単位トランジスタ１５４の形状などを変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。ＩＣ耐圧１３～１５（Ｖ）以上でバラツキ比率が大きくなる傾向がある。

【０３８７】

一方、ソースドライバＩＣ（回路）１４の出力端子１５５の電位は、画素１６の駆動用トランジスタ１１ａのプログラム電流により変化する。画素１６の駆動用トランジスタ１１ａが、白ラスター（最大白表示）の電流を流す時のゲート端子電位Ｖｗとする。画素１６の駆動用トランジスタ１１ａが、黒ラスター（完全黒表示）の電流を流す時のゲート端子電位Ｖｂとする。Ｖｗ－Ｖｂの絶対値は２（Ｖ）以上必要である。また、Ｖｗ電圧が出力端子１５５に印加されている時、単位トランジスタ１５４のチャンネル間電圧は、０．５（Ｖ）必要である。

【０３８８】

したがって、出力端子１５５（端子１５５はソース信号線１８と接続され、電流プログラム時、画素１６の駆動用トランジスタ１１ａのゲート端子電圧が印加される）には、０．５（Ｖ）から（（Ｖｗ－Ｖｂ）＋０．５）（Ｖ）の電圧が印加される。Ｖｗ－Ｖｂは２（Ｖ）であるから、端子１５５は最大２（Ｖ）＋０．５（Ｖ）＝２．５（Ｖ）印加される。したがって、ソースドライバＩＣ１４の出力電圧（電流）がｒａｉｌ－ｔｏ－ｒａｉｌ出力であっても、ＩＣ耐圧としては２．５（Ｖ）必要である。出力端子１５５の振幅必要範囲は、２．５（Ｖ）以上必要である。

【０３８９】

以上のことから、ソースドライバＩＣ１４の耐圧は、２．５（Ｖ）以上１５（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバＩＣ１４の耐圧は、３（Ｖ）以上１２（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、駆動用トランジスタ１１ａの振幅値を比較的大きくし、プログラム電流に対するトランジスタ１１ａのゲート端子電圧変化を大きくし、プログラム精度を向上させるという観点から、最低耐圧は４．５（Ｖ）以上にすることが好ましい。ＩＣ耐圧とは、使用できる電源電圧の最大値と同等である。なお、使用できる電源電圧とは、常時使用できる電圧であり、瞬時耐圧ではない。

【０３９０】

なお、以上の説明は、ソースドライバＩＣ１２の使用耐圧プロセスが、２．５（Ｖ）以上１３（Ｖ）以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板３０に直接にソースドライバ回路１４が形成された実施例（低温ポリシリコンプロセスなど）にも適用される。アレイ基板３０に形成されたソースドライバ回路１４の使用耐圧は１５（Ｖ）以上と高い場合がある。この場合は、ソースドライバ回路１４に使用する電源電圧を図６７に図示するＩＣ耐圧に置き換えてもよい。また、ソースドライバＩＣ１４にあっても、ＩＣ耐圧とせず、使用する電源電圧に置き換えても良い。

【０３９１】

単位トランジスタ１５４に一定のトランジスタサイズが必要な理由は、ウエハにモビリティの特性分布があるからである。

【０３９２】

単位トランジスタ１５４のチャンネル幅Ｗは、出力電流のバラツキと相関がある。図５１は、単位トランジスタ１５４の面積を一定とし、単位トランジスタ１５４のトランジスタ幅Ｗを変化させた時のグラフである。図５１は単位トランジスタ１５４のチャンネル幅Ｗ＝２（μｍ）のバラツキを１としている。

【０３９３】

図５１で示すように、バラツキ比率は、単位トランジスタのＷが２（μｍ）から９～１０（μｍ）まで緩やかに増加し、１０（μｍ）以上でバラツキ比率の増加が大きくなる傾向がある。また、チャンネル幅Ｗ＝２（μｍ）以下でバラツキ比率が増加する傾向がある。

【０３９４】
図５１におけるバラツキ比率は、３以内が６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ１５４の面積により異なる。しかし、単位トランジスタ１５４の面積を変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。
【０３９５】
以上のことから、単位トランジスタ１５４のチャンネル幅Ｗは、２（μｍ）以上１０（μｍ）以下とすることが好ましい。さらに好ましくは、単位トランジスタ１５４のチャンネル幅Ｗは、２（μｍ）以上９（μｍ）以下とすることが好ましい。また、単位トランジスタ１５４のチャンネル幅Ｗは、図５２のゲート配線１５３のリンキング抑制対策からも上記範囲で形成することが好ましい。
【０３９６】
図５３は、単位トランジスタ１５４のＬ／Ｗと目標値からのずれ（ばらつき）のグラフである。単位トランジスタ１５４のＬ／Ｗ比が２以下では、目標値からのずれが大きい（直線の傾きが大きい）。しかし、Ｌ／Ｗが大きくなるにつれて、目標値のずれが小さくなる傾向にある。単位トランジスタ１５４のＬ／Ｗが２以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）はＬ／Ｗ＝２以上で、０．５％以下となる。したがって、トランジスタの精度としてソースドライバ回路１４に採用できる。
【０３９７】
以上のことから、単位トランジスタ１５４のＬ／Ｗは２以上にすることが好ましい。しかし、Ｌ／Ｗが大きいということはＬが長くなることを意味しているからトランジスタサイズが大きくなる。したがって、Ｌ／Ｗは４０以下にすることが好ましい。さらに好ましくは、Ｌ／Ｗは３以上１２以下にすることが好ましい。
【０３９８】
Ｌ／Ｗが比較的大きな値の時に、出力バラツキが小さくなるのは、該当単位トランジスタ１５４のゲート電圧が高くなり、ゲート電圧の変動に対する出力電流変化が小さくなるためと思われる。
【０３９９】
また、Ｌ／Ｗの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キンクの影響により単位トランジスタ１５４の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キンクの影響により単位トランジスタ１５４の出力電流が少しでもばらつくと階調数が低減する。
【０４００】
以上のことを勘案し、本発明のドライバ回路１４は、階調数をＫとし、単位トランジスタ１５４のＬ／Ｗ（Ｌは単位トランジスタ１５４のチャンネル長、Ｗは単位トランジスタのチャンネル幅）とした時、

（√（Ｋ／１６））≦Ｌ／Ｗ　≦かつ　（√（Ｋ／１６））×２０

の関係を満足させるように構成（形成）している。
【０４０１】
６４階調（ＲＧＢ各６ビット）の場合は、６３個の単位トランジスタ１５４を形成するとした。したがって、２５６階調（ＲＧＢ各８ビット）の場合、２５５個の単位トランジスタ１５４が必要になることになる。
【０４０２】
電流駆動方式では、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ１５４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／２にすれば、単位トランジスタ１５４が流す電流がおよそ１／２になるという特徴ある効果がある（特徴ある構成がある）。同様に、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／４にすれば、単位トランジスタ１５４が流す電流がおよそ１／４になるという特徴ある効果がある。

【０４０３】
図５５（ｂ）は、各ビットに対して同一のサイズの単位トランジスタ１５４を配置したトランジスタ群４３１ｃの構成である。説明を容易にするため、図５５（ａ）は６３個の単位トランジスタ１５４で構成され、６ビットのトランジスタ群４３１ｃを構成（形成）しているとする。また、図５５（ｂ）は８ビットであるとする。
【０４０４】
図５５（ｂ）では、下位２ビット（Ａで示す）は、単位トランジスタ１５４よりも小さいサイズのトランジスタで構成している。最小ビット目の第０ビット目は、単位トランジスタ１５４のチャンネル幅Ｗの１／４で形成している（単位トランジスタ１５４ｂで示す）。また、第１ビット目は、単位トランジスタ１５４のチャンネル幅Ｗの１／２で形成している（単位トランジスタ１５４ａで示す）。
【０４０５】
以上のように、下位２ビットは上位の単位トランジスタ１５４よりも小さいサイズの単位トランジスタ（１５４ａ、１５４ｂ）で形成している。また、正規の単位トランジスタ１５４の個数は６３個で変化がない。したがって、６ビットから８ビットに変更しても、トランジスタ群４３１ｃの形成面積は図５５（ａ）と図５５（ｂ）で大差はない。
【０４０６】
図５５（ｂ）に図示するように、６ビットから８ビット仕様に変化させても出力段のトランジスタ群４３１ｃのサイズが大きくならないのは、電流の加算ができるという点、単位トランジスタ１５４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／ｎにすれば、単位トランジスタ１５４が流す電流がおよそ１／ｎになるという点をうまく利用しているからである。
【０４０７】
また、図５５（ｂ）に図示するように、単位トランジスタ１５４ａ、１５４ｂのようにトランジスタサイズが小さくなると、出力電流バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ１５４ａまたは１５４ｂの出力電流は加算される。したがって、図５５（ａ）の６ビット仕様より、図５５（ｂ）の８ビット仕様のほうが高階調出力を実現できる。もちろん、単位トランジスタ１５４ａ、１５４ｂの出力バラツキが大きいから、正確な８ビット表示を実現することはできない可能性はある。でも、かならず、図５５（ａ）よりは高精細表示を実現できる。
【０４０８】
なお、実際にはチャンネル幅Ｗを１／２にしても出力電流は正確には１／２にはならない。多少の補正が必要である。補正は、テストトランジスタを形成し、測定することにより補正係数を容易に把握することができる。
【０４０９】
本発明は、下位のビットを作製（構成）するために、上位のビットの単位トランジスタ１５４に比較して小さい小単位トランジスタを形成または配置するのもである。この小さいという概念は、上位ビットを構成する単位トランジスタ１５４の出力電流よりも小さいという意味である。したがって、単位トランジスタ１５４に比較してチャンネル幅Ｗが小さいだけでなく、同時にチャンネル長Ｌも小さい場合も含まれる。また、他の形状も含まれる。
【０４１０】
図５５は、トランジスタ群４３１ｃを構成する単位トランジスタ１５４のサイズを複数種類とするものであった。図５５では２種類としている。２種類とするのは単位トランジスタ１５４のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ４３１ｃを構成する単位トランジスタ１５４のサイズは、低階調用と高階調用の２種類とすることが好ましい。しかし、本発明はこれに限定するものではない。３種類以上であってもよいことは言うまでもない。
【０４１１】
図４３でも図示しているように、トランジスタ群４３１ｃを構成する単位トランジスタ

１５４のゲート端子は、１つのゲート配線１５３で接続されている。ゲート配線１５３に印加された電圧により単位トランジスタ１５４の出力電流が決定される。したがって、トランジスタ群４３１ｃ内の単位トランジスタ１５４の形状が同一であれば、各単位トランジスタ１５４は同一の単位電流を出力する。

【０４１２】

本発明は、トランジスタ群４３１ｃを構成する単位トランジスタ１５４のゲート配線１５３を共通にすることには限定されない。たとえば、図５６（ａ）のように構成してもよい。図５６（ａ）において、トランジスタ１５８ｂ１とカレントミラーをなす単位トランジスタ１５４と、トランジスタ１５８ｂ２とカレントミラーをなす単位トランジスタ１５４とが配置されている。

【０４１３】

トランジスタ１５８ｂ１はゲート配線１５３ａで接続されている。トランジスタ１５８ｂ２はゲート配線１５３ｂで接続されている。図５６（ａ）の一番上の１個の単位トランジスタ１５４はＬＳＢ（０ビット目）であり、２段目の２個の単位トランジスタ１５４は１ビット目、３段目の４個の単位トランジスタ１５４は２ビット目である。また、４段目の組の８個の単位トランジスタ１５４は３ビット目である。

【０４１４】

図５６（ａ）において、ゲート配線１５３ａとゲート配線１５３ｂの印加電圧を変化させることにより、各単位トランジスタ１５４のサイズ、形状が同一であっても、各単位トランジスタ１５４の出力電流をゲート配線１５３の印加電圧により変化（変更）することができる。

【０４１５】

図５６（ａ）において、単位トランジスタ１５４のサイズなどを同一にして、ゲート配線１５３ａ、１５３ｂの電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ１５４のサイズなどを異ならせ、印加するゲート配線１５３ａ、１５３ｂの電圧を調整することにより、異なる形状の単位トランジスタ１５４の出力電流を同一となるようにしてもよい。

【０４１６】

図５５では、低階調のビットを構成する単位トランジスタ１５４のサイズは、高階調を構成する単位トランジスタ１５４よりも小さくした。単位トランジスタ１５４のサイズが小さくなると、出力バラツキが大きくなる。この課題を解決するため、実際には、低階調の単位トランジスタ１５４のチャンネル長Ｌを高階調よりも大きくし、単位トランジスタ１５４の面積を小さくならないようにしてバラツキを抑制している。

【０４１７】

図５７に図示するように、低階調領域Ａの範囲の単位トランジスタ１５４のサイズと、高階調領域Ｂの範囲の単位トランジスタ１５４のサイズを異ならせると、出力ばらつきは２つの曲線が組み合わさったものとなる。しかし、実用上は問題ない。逆に、低階調部の単位トランジスタ１５４のサイズを高階調部の単位トランジスタ１５４のサイズよりも大きくすることにより、単位トランジスタ１５４あたりの出力バラツキを小さくすることができて好ましい。

【０４１８】

図５６のように構成すれば、低階調と高階調の単位トランジスタ１５４のサイズに関わらず、ゲート配線１５３への印加電圧調整により、単位トランジスタ１５４の出力電流を同一にすることができる。

【０４１９】

なお、本発明において、ゲート配線１５３は１５３ａと１５３ｂの２種類として説明しているが、これに限定するものではない。３種類以上であってもよい。また、単位トランジスタ１５４の形状なども３種類以上であってもよい。

【０４２０】

図５６（ｂ）は、単位トランジスタ１５４サイズを同一にし、２つのゲート配線１５３

で構成した実施例である。図５６（ｂ）の一番上の２個の単位トランジスタ１５４はＬＳＢ（０ビット目）であり、２段目の４個の単位トランジスタ１５４は１ビット目、３段目の８個の単位トランジスタ１５４の組は２ビット目である。また、ゲート配線１５３ｂに接続された４組目の８個の単位トランジスタ１５４は３ビット目である。

【０４２１】

図５６（ｂ）においても、ゲート配線１５３ａとゲート配線１５３ｂの印加電圧を変化させることにより、各単位トランジスタ１５４のサイズ、形状が同一であっても、各単位トランジスタ１５４の出力電流をゲート配線１５３の印加電圧により変化（変更）することができる。

【０４２２】

図５６（ｂ）では、低階調部に該当するゲート配線１５３ａに接続された単位トランジスタ１５４ａの１つの出力電流は、高階調部に該当するゲート配線１５３ｂに接続された単位トランジスタ１５４の出力電流の１／２となるように構成している。単位トランジスタ１５４ａと単位トランジスタ１５４とは同一形状としている。

【０４２３】

単位トランジスタ１５４ａの出力電流を単位トランジスタ１５４の１／２とするために、ゲート配線１５３ａに印加する電圧をゲート配線１５３ｂよりも低くしている。ゲート配線１５３に印加する電圧を調整することにより、単位トランジスタ１５４ａと単位トランジスタ１５４の形状が略同一であっても出力電流を変化あるいは調整することができる。

【０４２４】

なお、図５６の実施例において、ゲート配線１５３の印加電圧を変化するとして説明をした。ゲート配線１５３の印加電圧は、ソースドライバＩＣ（回路）１４の外部から印加することもできることは言うまでもない。しかし、一般的には、単位トランジスタ１５４とカレントミラー対をなすトランジスタ１５８ｂ（トランジスタ群４３１ｂ）の構成あるいはサイズを変化あるいは設計もしくは構成を行うことにより、ゲート配線１５３の電圧を調整もしくは変更することができる。また、単位トランジスタ１５４とカレントミラー対をなすトランジスタ１５８ｂ（トランジスタ群４３１ｂ）に流す電流Ｉｃを変更あるいは調整できることは言うまでもない。

【０４２５】

図５８は、高階調側の単位トランジスタ１５４ａ（Ｄ２、Ｄ３、Ｄ４・・・・・・）は、２の乗数個を配置している。一方、低階調側の単位トランジスタ１５４ｂ（Ｄ１、Ｄ２）も。２の乗数個を配置している。単位トランジスタ１５４ａと単位トランジスタ１５４ｂの単位出力電流は異ならせている（１５４ｂの単位電流のほうが、１５４ａよりも小さい。たとえば、単位トランジスタのＷを低階調側のほうを狭くしている）。低階調側も高階調側の単位トランジスタ１５４も共通のゲート配線１５３で接続されており、カレントミラー回路を構成するトランジスタ１５８ｂに流れる基準電流Ｉｃで制御される。

【０４２６】

図５９では、高階調側の単位トランジスタ１５４ａ（Ｄ２、Ｄ３、Ｄ４・・・・・・）は、２の乗数個を配置している。一方、低階調側の単位トランジスタ１５４ｂ（Ｄ１、Ｄ２）も、２の乗数個を配置している。高階調側の単位トランジスタ１５４ａは、トランジスタ１５８ｂｈとカレントミラー回路を構成している。また、トランジスタ１５８ｂｈに流れる基準電流はＩｃｈである。一方、低階調側の単位トランジスタ１５４ｂは、トランジスタ１５８ｂｌとカレントミラー回路を構成している。また、トランジスタ１５８ｂｌに流れる基準電流はＩｃｌである。

【０４２７】

以上のように構成することにより、単位トランジスタ１５４ａと単位トランジスタ１５４ｂの単位出力電流を異ならせている（１５４ｂの単位電流のほうが、１５４ａよりも小さい）。低階調側と高階調側の単位トランジスタ１５４は、異なるゲート配線１５３で接続されている。

【０４２８】
以上のように、本発明では多数の変形実施例がある。たとえば、図５８と図５９との組合せも例示される。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。また、一部の単位トランジスタ１５４を大きくしてもよく、また小さくしてもよい。

【０４２９】
単位トランジスタ群４３１ｃを構成する単位トランジスタ１５４、トランジスタ群４３１ｂを構成するトランジスタ１５８ｂは、Ｎチャンネルトランジスタで構成（形成）することが好ましい。これは、Ｎチャンネルトランジスタは、Ｐチャンネルトランジスタに比較して単位トランジスタ面積あたりに対する出力バラツキが小さいからである。したがって、単位トランジスタ１５４などをＮチャンネルで構成することにより、ソースドライバＩＣのサイズを小さくすることができる。

【０４３０】
なお、単位トランジスタ１５４をＮチャンネルで形成することは、ソースドライバＩＣ１４をシンクタイプ（吸い込み電流方式）にすることになる。したがって、画素１６の駆動用トランジスタ１１ａはＰチャンネルトランジスタで構成することが好ましい。

【０４３１】
図１５９のグラフは、ＰチャンネルトランジスタとＮチャンネルトランジスタのサイズ（ＷＬ）を同一にし、出力電流を同一にした場合の出力バラツキを示している。横軸は、１出力を構成するトランジスタ群４３１ｃの総面積Ｓｃの面積比である。面積Ｓｃが大きくなるほど、出力バラツキは小さいなる。

【０４３２】
縦軸は、出力バラツキの比を示している。図１５９では、Ｎチャンネルトランジスタの総面積Ｓｃが１の時の出力バラツキを１としている。

【０４３３】
図１５９に図示するように、Ｎチャンネルトランジスタの総面積Ｓｃが４倍になると出力バラツキは０．５になる。Ｎチャンネルトランジスタの総面積Ｓｃが８倍になると出力バラツキは０．２５になる。つまり、本発明の結果から、出力バラツキは１／√Ｓｃに比例する。

【０４３４】
Ｎチャンネルトランジスタの総面積ＳｃとＰチャンネルトランジスタの総面積Ｓｃが同一の時、出力バラツキは１．４倍になる。Ｐチャンネルトランジスタの総面積ＳｃがＮチャンネルトランジスタの総面積Ｓｃの２倍の時、出力バラツキは同一になる。つまり、出力バラツキは、Ｎチャンネルトランジスタの総面積Ｓｃ／２＝Ｐチャンネルトランジスタの総面積Ｓｃ、の関係がある。

【０４３５】
以上の結果から、単位トランジスタ群４３１ｃを構成する単位トランジスタ１５４と、トランジスタ群４３１ｂを構成するトランジスタ１５８ｂは、Ｎチャンネルトランジスタで構成（形成）することが好ましい。

【０４３６】
出力段は単位トランジスタ１５４などで形成し、トンジスタ群４３１ｃと、トランジスタ１５８ｂもしくはトランジスタ１５８ｂから構成されるトランジスタ群とは、カレントミラー回路を構成する。トランジスタ１５４ｃとトランジスタ１５８ｂとを近接させることによりカレントミラー比は、ほぼ一定値になる。しかし、バラツキの範囲で変動する場合がある。この場合は、図１６０に図示するように、トリミング（レーザートリミング、サンドブラストトリミングなど）により、トランジスタ１５８ｂなどを切り離し所定範囲内のカレントミラー比に調整することが有効である。

【０４３７】
トリミングは、図１６０のＡ点に実施し、トランジスタ１５８ｂ２を切り離すことにより実施する。トランジスタ１５８ｂを多く形成し、この複数のトランジスタ１５８ｂのう

ち、１つ以上をきり流すことによりカレントミラー比を高くすることできる。
【０４３８】
なお、好ましくは、図１６１に図示するように、配線１５３の両側にトランジスタ１５８ｂを形成または配置する。トリミング点、Ａ１またはＡ２をカットすることにより、ＩＣチップの出力端子１５５ａと１１５ｎからの出力電流の差を均一化させる。
【０４３９】
また、各出力段のトランジスタ４３１ｃの出力バラツキを調整するためには、図１６２のように構成することも有効である。図１６２では、各出力トランジスタ群４３１ｃ（トランジスタ群に限定するものではない。電流出力回路であればいずれの構成でもよい）とゲート配線１５３との間に、高抵抗１６２３を形成または配置している。高抵抗であるため、出力段からの出力電流が微小であっても、抵抗１６２３で電圧降下する。電圧降下により出力電流を変化させることができる。
【０４４０】
抵抗１６２３のトリミングは、トリミング装置１６２１からのレーザー光１６２２で行う。抵抗１６２３をトリミングして高抵抗値に調整する。
【０４４１】
なお、本発明の実施例ではトランジスタ群４３１ｃは単位トランジスタ１５４で構成するとしたが、これに限定するものはない。単体トランジスタで構成してもよいし、電流保持回路（後に説明する）で構成してもよい。また、電圧－電流変換（Ｖ－Ｉ変換）回路であってもよい。つまり、本明細書では出力段はトランジスタ群４３１ｃで構成するとして説明するが、これに限定するものではなく、電流出力回路であればいずれの構成であってもよい。
【０４４２】
図１６３は、トランジスタ１５７ｂと複数のトランジスタ１５８ａとカレントミラー回路を構成し、トランジスタ１５８ａとトランジスタ１５８ｂとはカレントミラー回路を構成している。また、トランジスタ１５８ｂとトランジスタ４３１ｃともカレントミラー回路を構成している。
【０４４３】
以上の図１６３ような構成も本発明の範疇である。トリミングによる調整は、各出力段のトランジスタ１５８ｂまたはトランジスタ群４３１ｃに実施すればよい。
【０４４４】
他の構成として、図１６４の構成も例示される。図１６４は、本発明のソースドライバＩＣの出力段を概念的に図示したものである。基準電圧（もしくはＩＣ（回路）１４電源電圧）Ｖｓと外づけ抵抗Ｒａ、Ｒｂによりゲート配線１５３ａの電位が決定される（調整される）。
【０４４５】
各出力段は抵抗Ｒｎと、トランジスタ１５８ａ、１５８ｂで電流回路が構成される。この電流回路に流れる電流は抵抗Ｒｎにより決定される。トランジスタ１５８ｂとトランジスタ群４３１ｃはカレントミラー回路を構成する。トランジスタ群４３１ｃの出力端子１５５から出力される電流は抵抗Ｒｎをトリミングすることにより行われる。抵抗Ｒｎをレーザートリミングすることにより、カレントミラー回路（トランジスタ１５８ｂとトランジスタ群４３１ｃ）に流れる電流を調整することができる。なお、もちろん、トランジスタ１５８ａ、１５８ｂ部は、トランジスタ群を構成してもよい。
【０４４６】
ＩＣチップの左右の出力電流の傾きを調整する（出力端子１５５ａ～１５５ｎを同一にする（出力バラツキがないようにする））ためには、図１６５の構成も例示される。トランジスタ１５８ｂの電流Ｉｃ１経路に抵抗Ｒａ、トランジスタ１５８ｂの電流Ｉｃ２経路に抵抗Ｒｂを配置している。抵抗Ｒａ、Ｒｂは内蔵、外づけのいずれでもよい。ＲａまたはＲｂ、もしくはＲａとＲｂの両方をトリミングすることにより、ゲート配線１５３に流れる電流Ｉｄが変化する。したがって、ゲート配線１５３の電圧降下により、出力段４３

１の単位トランジスタ１５４のゲート信号線の電位が変化する。したがって、出力段４３１ａ～４３１ｎの出力電流の傾斜分布を補正することができる。

【０４４７】

なお、トリミングの概念には、ボリウムも含まれる。たとえば、図１６５において、抵抗ＲａとＲｂをボリウムで形成し（配置し）、ボリウムを調整することによって、電流Ｉｄの大きさを調整できる。また、抵抗が拡散抵抗の場合は、加熱により抵抗値を調整あるいは変化させることができる。たとえば、抵抗にレーザー光を照射し、加熱することにより抵抗値を変化させることができる。また、ＩＣチップを全体的にあるいは部分的に加熱することによりＩＣチップ内に形成または構成された抵抗値を全体的にあるいは一部の抵抗の抵抗値を調整あるいは変化させることができる。

【０４４８】

以上の事項は、本発明の他の実施例にも適用できることはいうまでもない。また、トリミングとは、抵抗値を変化させる素子トリミングあるいは機能を変化させる機能トリミング、トランジスタなどの素子を配線から切り離す切断トリミング、１つの抵抗素子を複数に分割する分割トリミング、非接続箇所にレーザー光を照射することにより短絡させ接続するトリミング、ボリウムなどの抵抗値を調整する調整トリミングも含まれる。また、トランジスタであれば、Ｓ値を変化させること、μを変化させること、ＷＬ比を変化させ出力電流の大きさを変化させること、立ち上がり電圧位置を変更することなどが例示される。その他、発振周波数を変化すること、カットオフ位置を変化させることも含まれる。つまり、トリミングとは、加工、調整、変更の概念である。以上の事項は本発明の他の実施例でも同様である。

【０４４９】

他の構成として、図１６６の構成も例示される。図１６６は本発明のソースドライバＩＣの出力段を概念的に図示したものである。電子ボリウム回路５０１とオペアンプ５０２によって、ゲート配線１５２ａの電位が決定（調整）される。オペアンプ５０２、抵抗Ｒ１、トランジスタ１５８ａで定電流回路が構成されている。抵抗Ｒ１には基準電流Ｉｃが流れる。Ｒ１に流れる電流値は、オペアンプ５０２の正極端子印加電圧と、抵抗値Ｒ１の値によって決定される。したがって、抵抗Ｒ１をトリミングすることによって、基準電流Ｉｃの大きさを変化させることができる。変化により出力端子１５５からの出力電流の大きさを変更あるいは調整できる。抵抗Ｒ１は外づけ抵抗にし、ボリウムとしてもよい。また、電子ボリウム回路としてもよい。また、アナログ的に入力してもよい。

【０４５０】

オペアンプ５０２からの出力電圧は複数のトランジスタ１５８ａのゲート端子に印加され、抵抗Ｒ１に電流Ｉｃが流れる。この電流Ｉｃは分割され、トランジスタ１５８ｂに流れる。この電流によりゲート配線１５３ｂを所定の電位にする。ゲート配線１５３ｂは、複数の箇所に配置されたトランジスタ１５８ｂにより電位が固定される。そのため、ゲート配線１５３ｂに電位傾きが発生しにくく、出力端子１５５からの出力バラツキが減少する。

【０４５１】

以上の実施例は、図４３に図示するように、階調ビットに対応して単位トランジスタ１５４が形成され、オン（端子１５５に電流を出力する）する単位トランジスタ１５４の個数を変化させることにより出力電流を変化させるものである。たとえば、図４３では、Ｄ５ビットには３２個の単位トランジスタ１５４が配置されており、Ｄ０ビットには１個の単位トランジスタ１５４が配置（形成）されており、Ｄ１ビットには２個の単位トランジスタ１５４が配置（形成）されている。

【０４５２】

しかし、本発明はこれに限定するものではない。たとえば、図１６７に図示するように、各ビットを大きさの異なるトランジスタで構成してもよい。図１６７において、トランジスタ１５４ｂはトランジスタ１５４ａの略２倍の電流を出力し、トランジスタ１５４ｆはトランジスタ１５４ｅの略２倍の電流を出力する。以上のように、本発明は出力段４３

１ｃが単位トランジスタ１５４で構成されていることに限定するものではない。

【０４５３】

図１６５はゲート配線１５３の両端をトランジスタ１５８ｂで保持する構成であり、図１６６はゲート配線１５３の複数のトランジスタ１５８ｂで電位保持する構成である。本発明はこれに限定するものではない。たとえば、図１６８に図示するように、ゲート配線１５３の一端をトランジスタ１６８１で保持し、トランジスタ１６８１に流れる電流Ｉｄでゲート配線１５３の電位傾きを調整してもよい。トランジスタ１６８１はゲート端子に接続された抵抗ＲａとＲｂの分圧電圧で流れる電流が調整される。抵抗Ｒｂはボリウムに構成するか、トリミングにより抵抗値を調整する。基本的には、トランジスタ１６８１に流れる電流は微小である。しかし、特殊な動作方法として、トランジスタ１６８１を完全にすることにより、ゲート配線１５３の電位をグランド電圧近くに低下させる方法が例示される。ゲート配線１５３をグランド電圧近くに低下させることにより、トランジスタ群４３１ｃの単位トランジスタ１５４をオフ状態にできる。つまり、トランジスタ１６８１の動作により、出力端子１５５の出力電流をオンオフ制御することができる。

【０４５４】

以上の実施例では、トランジスタ（１５８、１５４など）をトリミングあるいは調整することにより出力電流などを変化あるいは変更もしくは調整するとした。調整などするトランジスタは、具体的には図１６９に図示するように構成することが好ましい。図１６９は調整などするトランジスタ１６９４の構成を概念的に図示したものである。トランジスタ１６９４はゲート端子１６９２、ソース端子１６９１、ドレイン端子１６９３で構成される。ドレイン端子１６９３は、トリミングしやすいように複数に分割されている（ドレイン端子１６９３ａ、１６９３ｂ、１６９３ｃ・・・・・）。図１６９（ａ）のＡ線でカットすることにより、ドレイン端子１６９３ｅはカットされ、トランジスタ１６９３の出力電流を減少させることができる。

【０４５５】

図１６９（ｂ）はドレイン端子１６９３のトリミングする間隔を変化させたものである。減少させる電流の大きさに応じて、１箇所以上のドレイン端子１６９３をトリミングし、出力電流を調整する。図１６９（ｂ）ではＢ線の箇所とトリミングしている。

【０４５６】

図１７０は図１６９の変形例である。図１７０（ａ）は、ゲート端子１６９２を１６９２ａと１６９２ｂに分割した例である。また、図１７０（ｂ）は、ドレイン端子１６９３とソース端子１６９１にトリミング箇所（Ｃ線、Ｄ線）を設けた実施例である。

【０４５７】

なお、以上の実施例では、ドレイン端子１６９３あるいはソース端子１６９１を１箇所あるいは複数箇所をトリミングするとしたが、本発明はこれに限定するものではない。たとえば、ゲート端子１６９２をトリミングしてもよい。また、トリミングだけに限定するものではなく、トランジスタ１６９４の半導体膜に、レーザー光あるいは熱的エネルギーを照射し、トランジスタ１６９４を劣化させることにより、出力電流などを調整してもよいことは言うまでもない。また、図１６９、図１７０などの実施例はトランジスタだけに限定されるものではなく、ダイオード、水晶、サイリスタ、コンデンサ、抵抗などに適用してもよいことはいうまでもない。

【０４５８】

また、図１６７に図示するように、各ビットでトランジスタサイズが異なる場合（ビットの大きさに比例する場合など）は、トリミングする長さ（ドレインなどの長さ）もビットの大きさに比例するように構成することが好ましい。この実施例を図１７５に図示している。

【０４５９】

図１７５では、図１７５（ａ）が下位ビットであり、図１７５（ｃ）が上位ビットである。下位ビットのトリミング長さＡは、上位ビットのトリミング長さＣよりも短くなるように構成している。トリミング長さは、トランジスタの電流変化量に比例する。したがっ

て、上位ビットのトランジスタの方がトリミング変化量は大きくなるように構成している。以上のように、本発明はトランジスタの大きさ、ビット位置などに応じて変化させてもよいことはいうまでもない。つまり、各ビットで一様にすることに限定されるものではない。

【０４６０】

図４３は、各ビットに必要数の単位トランジスタ１５４を形成または配置した例である。しかし、単位トランジスタ１５４は形成バラツキがある。そのため、出力端子１５５からの出力はばらつく。このばらつきを低減するためには、各ビットの出力電流を調整する必要がある。出力電流の調整には、あらかじめ余分の単位トランジスタ１５４を形成しておき、この余分の単位トランジスタ１５４を出力端子１５５から切断することにより調整すればよい。なお、余分の単位トランジスタ１５４は、他の単位トランジスタ１５４と同一サイズにする必要はない。余分の単位トランジスタ１５４は小さめに形成（分担する出力電流を小さく）することが好ましい。

【０４６１】

図１７１は上記説明の実施例である。Ｄ０ビットには３つの単位トランジスタ１５４が形成されている。３つのうち、１つが正規の単位トランジスタ１５４であり、他の２つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ１５４（単位トランジスタ１５４と呼ぶよりは調整用トランジスタである）である。

【０４６２】

同様に、Ｄ１ビットには４つの単位トランジスタ１５４が形成されている。４つのうち、２つが正規の単位トランジスタ１５４であり、他の２つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ１５４（単位トランジスタ１５４と呼ぶよりは調整用トランジスタである）である。また、同様に、Ｄ２ビットには８つの単位トランジスタ１５４が形成されている。８つのうち、４つが正規の単位トランジスタ１５４であり、他の４つがトリミングにより調整され、必要があるときは、切り離される単位トランジスタ１５４（単位トランジスタ１５４と呼ぶよりは調整用トランジスタである）である。

【０４６３】

以上のように調整用トランジスタ１５４（図１７１でＢで示す）は、出力電流を調整するためにトリミングなどが施される。Ｂで示すトランジスタは、Ａの矢印が示すライン上に配置されている。したがって、レーザー光などでスキャンする際に、スキャン方向を一方向に移動させるだけで調整用トランジスタをトリミングすることができる。したがって、高速トリミングを実施することができる。

【０４６４】

以上の実施例は、出力段が単位トランジスタ１５４などで構成された実施例である。しかし、トリミングなどにより出力電流を調整する方法などは、本発明はこれに限定されるものではない。図１７２に図示するように、各出力端子１５５に接続される出力段をオペアンプ５０２とトランジスタ１５８ｂおよび抵抗Ｒ１で形成した実施例にも適用できる。

【０４６５】

図１７２で図示する各出力段は、オペアンプ５０２とトランジスタ１５８ｂおよび抵抗Ｒ１で電流回路を構成している。電流の大きさは抵抗Ｒ１で調整され、階調は、回路８６２から出力される階調電圧により表現される。

【０４６６】

図１７２で図示する各出力段は、レーザー装置１６２１などによりレーザー光１６２２などが照射されトリミングされる。各出力段に対応する抵抗Ｒ１を順次トリミングしていくことにより、出力電流のバラツキが発生しないようにすることができる。

【０４６７】

なお、図１７２では、回路８６２から出力されるアナログ電圧で出力電流が決定される。ただし、本発明はこれに限定するものではなく、図１７４に図示するように、デジタル８ビットのデジタルデータをＤＡ回路６６１でアナログ電圧に変換し、オペアンプ５０２

ａに印加してもよいことは言うまでもない。

【０４６８】

また、図２０９に図示するように、出力段は、映像データに対応する電流Ｉｃを流すトランジスタ１５８ｂと１対１で構成されるトランジスタ１５４からなるカレントミラー回路で構成してもよい。各出力段には、ＤＡ回路５０１とオペアンプ５０２、内蔵抵抗Ｒ１、トランジスタ１５８ａなどからなる電流回路が構成されている。抵抗Ｒ１にトリミングなどを施すことにより、出力ばらつきを極めて小さくすることができる。

【０４６９】

図２１０は図２０９の類似の構成である。サンプリング回路８６２から映像データに対応する電流Ｉｃがトランジスタ１５８ｂに供給される。トランジスタ１５８ｂとトランジスタ１５４とはＮ倍のカレントミラー回路を構成している。

【０４７０】

図１７２は抵抗Ｒ１を必要に応じて順次トリミングするとしたが、本発明はこれに限定するものではない。たとえば、図１７３に図示するように出力段４３１ｃを必要に応じてトリミングしてもよいことはいうまでもない。トリミングの必要度の判断は、端子１５５を検査用の端子１７３４などに接触させ、選択スイッチ１７３１、共通線１７３２を介して電流計（電流測定手段）１７３３に接続する。選択スイッチ１７３１は順次オンし、出力段４３１ｃからの電流を電流計１７３３に印加する。トリミング手段１６３２は、電流計１７３３の測定電流値に基づき、単位トランジスタ、抵抗などをトリミングして所定値に調整する。

【０４７１】

以上の実施例は、電流の出力段などをトリミングして出力電流バラツキなどを変更あるいは調整するものであった。しかし、本発明はこれに限定するものではない。たとえば、図１７６に図示するように、基準電流を発生あるいは所定値にする抵抗Ｒａ、Ｒｂなどをトリミングすることにより、基準電流Ｉｃを調整し、出力電流を変化あるいは調整してもよいことは言うまでもない。

【０４７２】

図６０などの回路構成ではホワイトバランス調整が容易である。まず、ＲＧＢの電子ボリウム５０１を同一の設定値に調整する。次に、外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスを調整する。

【０４７３】

電流ドライバＩＣ（回路）１４では、いずれかの電子ボリウムの設定値でホワイトバランスをとれば、電子ボリウム５０１の値を同一にすればホワイトバランスを維持したまま、表示画面１４４の輝度調整を行えるという特徴がある。なお、６０１は基準電流回路である。

【０４７４】

図６０は、トランジスタ群４３１ｃの両側から給電する構成であるが、上記事項はこれに限定するものではない。図６１に図示するように、片側給電構成でも同様である。まず、Ｒ、Ｇ、Ｂの電子ボリウム５０１が同一の設定値で、外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスをとる。一般的に、Ｒ回路のＩｃｒ、Ｇ回路のＩｃｇ、Ｂ回路のＩｃｂを各ＲＧＢのＥＬ素子の発光効率を考慮して所定の比率とすることによりホワイトバランスをとる。

【０４７５】

電流ドライバＩＣ（回路）１４では、どこかの電子ボリウムの設定値でホワイトバランスをとれば、電子ボリウム５０１の値を同一にすればホワイトバランスを維持したまま、表示画面１４４の輝度調整を行えるという特徴がある。なお、ＲＧＢの電子ボリウムは、Ｒ、Ｇ、Ｂ独立に形成または配置することが好ましいが、これに限定するものではない。たとえば、Ｒ、Ｇ、Ｂで１つの電子ボリウム５０１でも、ホワイトバランスを維持したまま画面輝度を調整することが可能である。

【０４７６】

本発明では、ソースドライバＩＣ（回路）１４の内部に電子ボリウムを形成または配置することにより、ソースドライバＩＣ（回路）１４の外部からのデジタルデータ制御により基準電流を可変あるいは変更することができる。この事項は、電流駆動ドライバにおいて重要な事項である。電流駆動では、映像データがＥＬ素子１５に流れる電流に比例する。したがって、映像データをロジック処理することにより全ＥＬ素子に流れる電流を制御できる。基準電流もＥＬ素子１５に流れる電流に比例するから、基準電流をデジタル制御することにより、全ＥＬ素子１５に流れる電流を制御できる。以上のことから、映像データに基づき、基準電流制御を実施することにより、表示輝度のダイナミックレンジの拡大などを容易に実現できる。

【０４７７】

基準電流の変更あるいは変化させることにより、単位トランジスタ１５４の出力電流を変化させることができる。たとえば、基準電流Ｉｃが１００μＡの時に、１つの単位トランジスタ１５４がオン状態での出力電流が１μＡとする。この状態で、基準電流Ｉｃを５０μＡにすれば、１つの単位トランジスタ１５４の出力電流は０．５μＡとなる。同様に、基準電流Ｉｃを２００μＡにすれば、１つの単位トランジスタ１５４の出力電流は２．０μＡとなる。つまり、基準電流Ｉｃと単位トランジスタ１５４の出力電流Ｉｄは比例関係を満足することが好ましい（図６２の実線ａを参照のこと）。

【０４７８】

基準電流Ｉｃを設定する設定データと基準電流Ｉｃとは比例関係となるように構成することが好ましい。たとえば、設定データが１の時、基準電流Ｉｃが１００μＡとし、これと基底とするならば、設定データが１００の時、基準電流Ｉｃが２００μＡとなるようにする。つまり、設定データが１増加すると、基準電流Ｉｃが１μＡ増加するように構成することが好ましい。

【０４７９】

以上のように構成することにより、電子ボリウム５０１の設定データにより、ＲＧＢの基準電流（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスを調整する構成は重要性がある（特徴ある構成である）。

【０４８０】

以上の実施例では、外付け抵抗でホワイトバランスを調整するとしたが、抵抗Ｒ１はＩＣチップに内蔵させてもよいことは言うまでもない。

【０４８１】

また、図６３に図示するように、抵抗値を調整あるいは制御するスイッチＳを付加してもよい。たとえば、図６３（ａ）は、スイッチＳ１の選択により外付け抵抗はＲ１となる。また、スイッチＳ２の選択により、外付け抵抗はＲ２となる。また、スイッチＳ１とＳ２の両方野の選択により、外付け抵抗は、Ｒ１とＲ２とを並列に接続した抵抗値になる。

【０４８２】

図６３（ｂ）は、直列に抵抗Ｒ１とＲ２を接続し、スイッチＳの制御により外付け抵抗をＲ１＋Ｒ２としたり、Ｒ１としたりできるように構成したものである。

【０４８３】

図６３のように構成することにより、基準電流Ｉｃの変化範囲を拡大することができる。つまり、電子ボリウム５０１の設定データだけでなく、スイッチＳの制御により基準電流を調整できるからである。したがって、本発明のＥＬ表示パネルの輝度調整範囲（ダイナミックレンジ）を拡大できる。

【０４８４】

本発明において、電子ボリウム５０１の１ステップ変化による基準電流の変化は３％程度にしている。たとえば、基準電流が１倍から３倍まで変化し、電子ボリウムのステップ数が６ビットの６４ステップであれば、（３－１）／６４＝０．０３となり、約３％であ

る。
【０４８５】
１ステップあたりの基準電流の変化が大きいと、電子ボリウムを変化させた時の表示画面１４４輝度変化が大きく、変化した時にフリッカとして認識されてしまう。逆に、１ステップあたりの基準電流変化が小さいと、表示画面１４４輝度変化が小さく輝度調整のダイナミック変化が乏しくなる。また、ステップ数を大きくすることは、電子ボリウム５０１サイズを大きくすることに直結し、ソースドライバＩＣ１４のサイズが大きくなりコストが高くなる。
【０４８６】
以上のことから、１ステップあたりの基準電流の変化は、１％以上８％以下のきざみにすることが好ましい（ただし、基底を基準としている）。さらには、１％以上５％以下のきざみにすることが好ましい。たとえば、電子ボリウム５０１が８ビット（２５６ステップ）とし、基準電流の変化が１倍から１０倍までとすると、（１０－１）／２５６＝３．５％きざみとなり、条件１％以上５％以下を満足している。
【０４８７】
以上の実施例では１ステップあたりの基準電流の変化として説明したが、基準電流の変化は、画面輝度の変化であるから、電子ボリウム５０１の１ステップあたりの表示画面１４４輝度変化、あるいはアノード（もしくはカソード）電流の変化としても言い換えることができることは言うまでもない。
【０４８８】
以上の実施例において、図６２の実線ａに図示するように、基準電流Ｉｃと単位トランジスタ１５４の出力電流Ｉｄは比例関係を満足することが好ましいとしたが、これに限定するものではない。たとえば、図６２の点線ｂで示すように、非線形（１．８乗から２．８乗の範囲が好ましい）としてもよい。非線形（１．８乗から２．８乗の範囲が好ましい）とすることにより、電子ボリウム５０１の設計データに対する基準電流の変化が人間の視覚特性の２乗カーブに近づくため、階調特性が良好となる。
【０４８９】
なお、以上の実施例では、電子ボリウム５０１の設定データで基準電流を変化させるとしたが、これに限定するものではない。図６４、図６５に図示するように、電圧入出力端子６４３により基準電流を変化あるいは調整もしくは制御してもよいことは言うまでもない。
【０４９０】
図５０、図６０、図６１などのの電子ボリウム５０１の構成は、図６４のように構成してもよい。図６４において、ラダー抵抗６４１（抵抗アレイあるいはトランジスタアレイ）とスイッチ６４２が電子ボリウム５０１に対応する。なお、ラダー抵抗６４１は一定間隔あるいは所定の間隔きざみの電圧を発生する手段であればいずれでもよい。たとえば、トランジスタをダイオード接続してもよいし、トランジスタのオン抵抗で構成あるいは形成してよいことはいうまでもない。
【０４９１】
なお、以上のラダー抵抗６４１とスイッチ回路６４２などからなる構成、方式あるいは電圧入出力端子６４３の構成、方式などは、図７５などのプリチャージ構成に適用できることはいうまでもない。また、図１４６、図１４７などのカラーマネージメント処理構成にも適用できる。また、図１４０、図１４１、図１４３などの電圧プログラム構成にも適用できることはいうまでもない。
【０４９２】
また、図６４、図６５の構成は、図５６、図５７の構成にも適用できる。また、図５０などのように、ソースドライバＩＣ（回路）１４の両側から基準電流を印加する構成にも適用できる。また、図４６、図６１などにも適用できることはいうまでもない。
【０４９３】
図６４において、トランジスタ１５８ａｒがＲ回路の基準電流Ｉｃｒを発生させ、トラ

ンジスタ１５８ａｇがG回路の基準電流Ｉｃｇを発生させる。また、トランジスタ１５８ａｂがB回路の基準電流Ｉｃｂを発生させる。

【０４９４】

図６４では、ラダー抵抗６４１をＲＧＢの３つのスイッチ回路（６４２ｒ、６４２ｇ、６４２ｂ）で共用している。したがって、ソースドライバＩＣ（回路）１４内のラダー抵抗６４１の形成面積を小さくすることができる。

【０４９５】

図６４、図６５においても、スイッチ回路６４２の設定データにより、ＲＧＢの基準電流（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスをとることができる。

【０４９６】

図６４において、電圧入出力端子６４３はドライバＩＣ（回路）１４の外部からのアナログ電圧を入力する端子である。アナログ電圧により基準電流Ｉｃを変化あるいは調整することができる。したがって、スイッチ回路６４２によらず、ホワイトバランス調整、表示画面１４４輝度調整を実施することができる。

【０４９７】

なお、スイッチ回路６４２は、設定データが０の時、すべてのスイッチがオープン状態になるように構成されている。したがって、スイッチ回路６４２の設定データが０で電圧入出力端子６４２の入力電圧が有効になるように制御される。逆に、スイッチ回路６４２の設定データが０以外の場合は、ラダー抵抗６４１からの電圧がオペアンプ５０２の正極端子に入力される。

【０４９８】

電圧入出力端子６４３は、スイッチ回路６４２からの出力電圧のモニター端子としても機能する。つまり、ラダー抵抗６４１の選択電圧がスイッチ回路６４２で選択され、選択されたいずれの電圧がオペアンプ５０２に入力されているかをモニターできる。

【０４９９】

図６４は、ラダー抵抗６４１（きざみ電圧出力手段）とＲＧＢのスイッチ回路６４２間の配線が多いため、チップ面積を必要とする。図６５は、ＲＧＢで１つのスイッチ回路６４２とした実施例である。以上の構成によっても、ホワイトバランス調整などは実用上問題なく実現できる。

【０５００】

以上の実施例は、電子ボリウム５０１、スイッチ回路６４２をデジタルの設定データにより変化させるものであった。しかし、本発明はこれに限定するものではない。たとえば、図６６に図示するように、デジタル－アナログ変換回路（Ｄ／Ａ回路）６６１により、オペアンプ５０２の入力電圧（ｃ点で示す）を変化（変更）して基準電流Ｉｃを制御してもよいことは言うまでもない。

【０５０１】

図４４に図示するようなソースドライバ回路１４では、特に表示パネルに画像を表示するとソース信号線１８に印加された電流によりソース信号線１８電位が変動する。この電位変動によりソースドライバＩＣ１４のゲート配線１５３がゆれる課題がある（図５２を参照のこと）。図５２に図示するように、ソース信号線１８に印加される映像信号が変化するポイントでゲート配線１５３にリンキングが発生する。リンキングによりゲート配線１５３の電位が変化するから、単位トランジスタ１５４のゲート電位が変化し、出力電流が変動する。特に、ゲート配線１５３の電位変動は、ゲート信号線１４に沿ったクロストーク（横クロストーク）となる。

【０５０２】

この揺れ（ゲート配線１５３のリンキング（図５２を参照のこと））は、ソースドライ

バＩＣ１４の電源電圧が影響する。電源電圧が高いほどリンキングする波高値が大きくなるからである。最悪、電源電圧も振幅する。ゲート配線１５３の電圧は、定常値が０．５５～０．６５（Ｖ）である。したがって、わずかなリンキングの発生でも出力電流の大きさの変動値は大きい。

【０５０３】

図６７は、ソースドライバＩＣ１４の電源電圧が１．８（Ｖ）の時を基準にしたゲート配線の電位変動比率である。変動比率は、ソースドライバＩＣ１４の電源電圧が高くなるにつれて大きくなる。変動比率の許容範囲は３程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率は、ＩＣ電源電圧が１３～１５（Ｖ）以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバＩＣ１４の電源電圧は１３（Ｖ）以下にする必要がある。

【０５０４】

一方、駆動用トランジスタ１１ａが白表示から黒表示の電流を流すために、ソース信号線１８の電位は一定の振幅変化をさせる必要がある。この振幅必要範囲は、２．５（Ｖ）以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線１８の出力電圧がＩＣの電源電圧を越えることはできないからである。

【０５０５】

以上のことから、ソースドライバＩＣ１４の電源電圧は、２．５（Ｖ）以上１３（Ｖ）以下にする必要がある。さらに好ましくは、ＩＣ１４の電源電圧（使用する電圧）は、６（Ｖ）以上１０（Ｖ）以下にすることが好ましい。この範囲とすることによりゲート配線１５３の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。

【０５０６】

ゲート配線１５３の配線抵抗も課題となる。ゲート配線１５３の配線抵抗Ｒ（Ω）とは、図４７では、トランジスタ１５８ｂ１からトランジスタ１５８ｂ２までの配線全長の抵抗値である。または、ゲート配線全長の抵抗である。また、図４６では、トランジスタ１５８ｂ（トランジスタ群４３１ｂ）からトランジスタ群４３１ｃｎまでの配線全長の抵抗値である。

【０５０７】

ゲート配線１５３の過渡現象の大きさは、１水平走査期間（１Ｈ）にも依存する。１Ｈ期間が短ければ、過渡現象の影響も大きいからである。配線抵抗Ｒ（Ω）が高いほど過渡現象は発生しやすい。この現象は、特に、図４４から図４７の１段カレントミラー接続の構成のソースドライバ回路（ＩＣ）１４で課題となる。ゲート配線１５３が長く、１つのゲート配線１５３に接続された単位トランジスタ１５４の数が多いためである。

【０５０８】

図６８は、ゲート配線１５３の配線抵抗Ｒ（Ω）と１水平走査期間（１Ｈ期間）Ｔ（ｓｅｃ）との掛算（Ｒ・Ｔ）を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の１は、Ｒ・Ｔ＝１００を基準にしている。図６８でわかるように、Ｒ・Ｔが５以下で変動比率が大きくなる傾向がある。また、Ｒ・Ｔが１０００以上で変動比率が大きくなる傾向がある。したがって、Ｒ・Ｔは５以上１０００以下にすることが好ましい。さらに好ましくは、Ｒ・Ｔは１０以上５００以下の条件を満足することが好ましい。

【０５０９】

ｄｕｔｙ比も課題となる。ｄｕｔｙ比によりソース信号線１８の変動も大きくなるからである。なお、ｄｕｔｙ比に関しては後ほど説明をする。ここでは、ｄｕｔｙ比とは間欠駆動の割合であるとする。トランジスタ群４３１ｃの単位トランジスタ１５４の総面積（トランジスタ群４３１ｃ内の単位トランジスタ１５４のＷＬサイズ×単位トランジスタ１５４数）をＳｃ（平方μｍ）とする。

【０５１０】

図６９は、横軸をＳｃ×ｄｕｔｙ比とし、縦軸を変動比率としている。図６９でわかるように、Ｓｃ×ｄｕｔｙ比が５００以上で変動比率が大きくなる傾向がある。また、変動

比率が３以下の時が変動許容範囲である。したがって、Ｓｃ×ｄｕｔｙ比は５００以下で駆動できるように制御することが好ましい。

【０５１１】

変動許容範囲は、Ｓｃ×ｄｕｔｙ比ｂが５００以下である。Ｓｃ×ｄｕｔｙ比が５００以下であれば、変動比率は許容範囲内であり、ゲート配線１５３の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり、良好な画像表示を実現できる。Ｓｃ×ｄｕｔｙ比が５００以下であれば許容範囲であるが、Ｓｃ×ｄｕｔｙ比を５０以下としてもほとんど効果がない。逆に、ソースドライバＩＣ１４のチップ面積が増加する。したがって、Ｓｃ×ｄｕｔｙ比は５０以上５００以下にすることが好ましい。

【０５１２】

本発明のソースドライバＩＣ（回路）１４において、単位トランジスタ群４３１ｃとカレントミラー回路をなすトランジスタ１５８ｂあるいはトランジスタ１５８ｂを構成するトランジスタ群４３１ｂ（図４８、図４９を参照のこと）には、図７０の関係を満足させることが好ましい。

【０５１３】

トランジスタ１５８ｂあるいはトランジスタ１５８ｂを構成するトランジスタ群４３１ｂ（図４８、図４９を参照のこと）に供給する電流をＩｃとし、１つの単位トランジスタ群４３１ｃから出力される電流をＩｄとする。ＩｄはソースＩ信号線１８に出力されるプログラム電流（吸い込みあるいは吐き出し電流）であり、トランジスタ群４３１ｃを構成する単位トランジスタ１５４のすべてが選択状態の時の電流である。したがって、Ｉｄは画素１６に印加する最大階調での電流である。

【０５１４】

なお、図４６のように、１５８ｂが１つの場合は、そのままＩｃとして用いてよいが、図４７のように、トランジスタ１５８が複数個ある（複数群ある）場合は、加算したものをＩｃとして用いる。つまり、図４７ではＩｃ＝Ｉｃ１＋Ｉｃ２である。以上のように電流ＩｃはトランジスタＩ群４３１ｃとカレントミラー回路を構成するトランジスタ群４３１ｂに流れる電流Ｉｃの総和である。

【０５１５】

この電流ＩｄとＩｃの比（Ｉｃ／Ｉｄ）は５以上にする必要がある。図７０において、縦軸はクロストーク比である。クロストークは、画像表示によるソース信号線１８の電位変化がソースドライバＩＣ（回路）１４のゲート配線１５３を伝播し、表示画面１４４に横お引き（クロストーク）が発生する現象である。クロストークは、画像が白表示から黒表示になるポイント、黒表示から白表示になるポイント（たとえば、白ウインドウ表示の上エッジ部、下エッジ部など）に発生しやすい。Ｉｃ／Ｉｄが５以下では急激にクロストークの発生は強くなる（クロストーク比が大きくなる）が、５以上では曲線の傾きが小さくなる。

【０５１６】

図７０から理解できるように、Ｉｃ／Ｉｄは５以上にする必要がある。しかし、１００以上にすると、トランジスタ１５８ｂを構成するトランジスタ群４３１ｂのサイズが大きく実用的でない。したがって、Ｉｃ／Ｉｄは５以上１００以下にする必要がある。さらに好ましくは、８以上５０以下にすることが好ましい。

【０５１７】

Ｉｃ／Ｉｄは水平走査時間も考慮する必要がある。１水平走査期間Ｈが短いほどゲート配線１５３の時定数を小さくする必要があるからである。なお、１水平走査期間とは、画素行にプログラム電流（プログラム電圧）を書き込む期間と考えても良い。つまり、各画素が選択され、各画素１６に電流（電圧）が書き込まれている期間である。したがって、２画素行を同時に選択する駆動方法では、２水平走査期間が該当する。

【０５１８】

水平走査期間ＨをＨ（ミリ秒）としたとき（１画素行を選択する時間）、以下の関係を

満足させることが好ましい。なお、ＩｃおよびＩｄの単位はμＡである。

【０５１９】

０．３≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　６．０

さらに好ましくは、以下の関係を満足させることが好ましい。

【０５２０】

０．５≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　５．０

また、さらに好ましくは、以下の関係を満足させることが好ましい。

【０５２１】

０．６≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　３．０

以上の関係を満足させるように、Ｉｃ、Ｉｄ電流を設定し、また、トランジスタ群４３１あるいは単位トランジスタ１５４、１５８を設計することにより、クロストークの発生は極めて少なくなる。

【０５２２】

たとえば、ＱＶＧＡパネルの場合は、およそＨ＝１０００（ミリ秒）／（６０（Ｈｚ）・２４０画素行）＝０．０７（ミリ秒）である。Ｉｃ＝１８（μＡ）、最大プログラム電流Ｉｄ＝１（μＡ）とすれば、（Ｉｃ・Ｈ）／Ｉｄ＝（１８・０．０７）／１＝１．３となり、上式を満足する。

【０５２３】

また、ＸＧＡパネルの場合は、およそＨ＝０．０２５（ミリ秒）である。Ｉｃ＝１８（μＡ）、最大プログラム電流Ｉｄ＝１（μＡ）とすれば、（Ｉｃ・Ｈ）／Ｉｄ＝（６０・０．０２５）／１＝１．５となり、上式を満足する。

【０５２４】

Ｈはパネルの画素行数で固定値であり、Ｉｄはプログラム電流の最大値であるので、該当表示パネルのＥＬ素子の効率および表示輝度が決定されれば固定値である。したがって、上式を満足するように、Ｉｃを決定すればよい。たとえば、Ｈ＝０．０７（ミリ秒）、Ｉｄ＝１（μＡ）であれば、０．３≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　６．０を満足するＩｃは、４（μＡ）以上８６（μＡ）以下となる。また、Ｈ＝０．０２５（ミリ秒）、Ｉｄ＝１（μＡ）であれば、０．３≦　（Ｉｃ・Ｈ）／Ｉｄ　≦　８．０を満足するＩｃは、１２（μＡ）以上２４０（μＡ）以下となる。

【０５２５】

なお、以上の実施例は、出力段が単位トランジスタ１５４で構成されるトランジスタ群４３１ｃとして説明をしているが、本発明はこれに限定するものではない。後に説明する図１６０から図１７６などの構成においても適用できることは言うまでもない。以上の事項は以下の本発明においても同様に適用できる。

【０５２６】

トランジスタ群４３１ｃの出力電流の大きさと出力バラツキには相関がある。出力電流が大きいほど、出力バラツキが小さいなる。以上の関係を図１８２に示す。出力電流が１０倍になれば、出力バラツキは約１／２（＝０．５）になり、出力電流が１００倍になれば約１／４（＝０．２５）となる。

【０５２７】

また、出力電流のバラツキは、１つの出力段のトランジスタ面積Ｓｃ（単位トランジスタ１５４で構成される場合は、トランジスタ群４３１ｃ）の面積（ＷＬあるいは１出力電流を発生する全トランジスタの総面積Ｓｃ）と相関がある。この関係を図１８３に図示する。図１８３は出力バラツキを一定とした場合に、この出力バラツキを得るためのトランジスタ面積Ｓｃと出力電流との関係を示したものである。出力電流が大きいほど、ある出力バラツキを得るためのトランジスタ面積Ｓｃは小さくすむ。出力電流が１０倍になれば、トランジスタ面積Ｓｃは約１／２（＝０．５）でよい。出力電流が１００倍になれば、所定の出力バラツキを得るためのトランジスタ面積Ｓｃは約１／４（＝０．２５）でよい。

【０５２８】

本発明の検討の結果によれば、１端子の出力電流の最高出力電流の大きさは、０．２μＡ以上２０μＡ以下にすることが好ましい。０．２μＡ以下では、出力バラツキが大きく実用的でない。２０μＡ以上では出力段のトランジスタのゲート端子電圧が高くなり、またソース端子電圧も低下することになり、ＩＣの耐圧などを高くする必要がある。そのため、出力バラツキが大きくなり好ましくない。なお、最高出力電流とは、最大階調での出力電流である。たとえば、２５６階調であれば、２５５階調目であり、６４階調であれば６３階調目である。

【０５２９】

また、本発明の検討の結果である図１８２および図１８３の関係から、１出力の最高出力電流をＩｄ（μＡ）とし、出力段を構成するトランジスタ（単位トランジスタ１５４で構成される場合は、トランジスタ群４３１ｃ）の面積（ＷＬあるいは１出力電流を発生する全トランジスタの総面積）をＳｃ（平方μｍ）としたとき、以下の条件を満足させることが好ましい。

【０５３０】

５００ ≦ Ｓｃ × Ｉｄ ≦ １００００

さらに好ましくは、以下の条件を満足させることが好ましい。

【０５３１】

８００ ≦ Ｓｃ × Ｉｄ ≦ ８０００

さらに好ましくは、以下の条件を満足させることが好ましい。

【０５３２】

１０００ ≦ Ｓｃ × Ｉｄ ≦ ５０００

以上の条件を満足することにより、出力端子１５５から出力される電流の隣接間バラツキは１％以下にすることができ、実用上十分な性能を得ることができる。

【０５３３】

なお、以上の実施例は、出力段が単位トランジスタ１５４で構成されるトランジスタ群４３１ｃとして説明をしているが、本発明はこれに限定するものではない。図１６０から図１７６などの構成においても適用できることは言うまでもない。以上の事項は以下の本発明においても同様に適用できる。

【０５３４】

以上のように本発明の記載事項は、他の実施例に相互に適用あるいは組み合わせて使用できるものである。複数の組み合わせはすべてを記載することが不可能であるので、記載していないだけである。

【０５３５】

図４７で、トランジスタ１５８ｂ１に流す基準電流Ｉｃ１と、トランジスタ１５８ｂ２に流す基準電流Ｉｃ２とを調整することにより、図２１２に図示するように、ソースドライバＩＣ１４ａと１４ｂとのカスケード接続を良好に行えることを説明した。

【０５３６】

カスケードは、図２０８に図示するように、ソースドライバＩＣ１４間をカスケード配線２０８１で結線する。カスケード配線２０８１はアレイ３０上で行う。

【０５３７】

カスケードで受け渡す基準電流は精度が求められる。そのため、本発明では、カスケード部において基準電流を出力する電流源部は、トリミングを行い、所定の基準電流を出力されるように調整している。トリミングはレーザートリミングにより実施している。

【０５３８】

なお、図４７では、基準電流Ｉｃ１とＩｃ２とを調整するとした。しかし、ゲート配線１５３が所定値以上の抵抗値を有していると、トランジスタ１５８ｂ１に流す基準電流Ｉｃ１と、トランジスタ１５８ｂ２に流す基準電流Ｉｃ２とを同一にしても、図４７のように出力電流の傾斜が補正される。

【０５３９】

理解を容易にするため、具体的な数値で説明する。Ｉｃ１＝Ｉｃ２＝１０（μＡ）とし

、この時、トランジスタ１５８ｂ１のゲート端子電圧Ｖ１＝０．６０（Ｖ）、トランジスタ１５８ｂ２のゲート端子電圧Ｖ２＝０．６１（Ｖ）とする。トランジスタ１５８ｂ２に流れる基準電流とトランジスタ１５８ｂ１に流れる基準電流との差を１％以内にする必要があるから、基準電流＝１０（μＡ）の１％は０．１（μＡ）である。したがって、（Ｖ２－Ｖ１）／０．１（μＡ）＝（０．６１－０．６０）（Ｖ）／０．１（μＡ）＝１００（ＫΩ）となる。したがって、ゲート配線１５３の抵抗値を１００（ＫΩ）とすることにより、出力電流の傾きは調整され、隣接して配置されたＩＣ１４の出力電流の差は１％以内の差におさまる。

【０５４０】

ゲート配線１５３が高抵抗であるほど、補正電流Ｉｄの大きさは小さくてよい。しかし、ゲート配線１５３の抵抗値をあまりに高くすると、図５２のリンキングの波高値も大きくなり、横クロストークの発生が顕著となる。したがって、ゲート配線１５３の抵抗値には適切な範囲が存在する。

【０５４１】

本発明は、ゲート配線１５３のうちすべてを、または、少なくともゲート配線１５３の一部はポリシリコンからなる配線で形成したことを特徴としている。好ましくは、単位トランジスタ１５４のゲート端子とのコンタクト部あるいは近傍以外をポリシリコンで形成する。ゲート配線１５３は配線幅を調整することにより、あるいは、蛇行させることにより目標の抵抗値に形成あるいは構成する。

【０５４２】

ゲート配線のリンキング発生を抑制するには、ゲート配線１５３を所定値以下の抵抗値にすることで達成できる。また、トランジスタ１５８ｂの総面積Ｓｂ（トランジスタ群４３１ｂの総面積Ｓｂ）を大きくすることにより、達成できる。また、基準電流Ｉｃを大きくすることにより達成できる。

【０５４３】

１出力の単位トランジスタ１５４の面積（１つのトランジスタ群４３１ｃ内の単位トランジスタ１５４の総面積）をＳ０とし、トランジスタ群４３１ｂのトランジスタ１５８ｂの総面積をＳｂ（図４４のようにトランジスタ群４３１ｂが複数ある時は、複数のトランジスタ群４３１ｂのトランジスタ１５８ｂの総面積）とする。

【０５４４】

図７１は、Ｓｂ／Ｓ０を横軸とし、許容できるゲート配線抵抗（ＫΩ）を縦軸とした時の関係を示している。図７１の実線の下側の範囲が許容範囲である（リンキングの発生の影響を受けない範囲である）。言い換えれば、横クロストークが実用上、許容できる範囲である。

【０５４５】

図７１の横軸は、総トランジスタ群４３１ｂの大きさＳｂに対する１出力あたりの単位トランジスタ１５４の大きさＳ０である（６４階調の場合は、単位トランジスタ１５４が６３個分）。Ｓ０を固定値であるとすると、Ｓｂが大きいほど、ゲート配線１５３が許容できる抵抗値も大きくなる。これは、Ｓｂが大きくなるほどゲート配線１５３に対するインピーダンスが低くなり、安定度が増加するためである。

【０５４６】

Ｓ０は出力電流（プログラム電流）を発生させるものであり、また、出力バラツキを一定値以下にする必要から、Ｓ０の大きさは設計上の変更範囲は狭い。一方でゲート配線１５３の抵抗値を所定値とするためには設計制約がある。

【０５４７】

ゲート配線１５３を高抵抗にするには、配線が細くなり断線が発生する課題、安定度の課題がある。また、Ｓｂを大きくするとチップ面積が大きくなり、コストが高くなる。したがって、ＩＣ１４のチップサイズの課題から、Ｓｂ／Ｓ０は５０以下にすることが好ましい、また、ゲート配線１５３の安定した設計、リンキングの課題などの制約から、Ｓｂ／Ｓ０は５以上にすることが好ましい。したがって、５≦　Ｓｂ／Ｓ０　≦　５０の条件

を満足させる必要がある。

【０５４８】

図７１のグラフ（実線）から、Ｓｂ／Ｓ０が小さくなるほど実線カーブの傾きは緩やかになる。また、Ｓｂ／Ｓ０が１５以上では傾きが一定になる傾向がある。したがって、Ｓｂ／Ｓ０が５以上１５以下では、ゲート配線１５３の抵抗値は４００（ＫΩ）以下にする必要がある。また、Ｓｂ／Ｓ０が１５以上５０以下では、（Ｓｂ／Ｓ０）×２４（ＫΩ）以下にする必要がある。たとえば、Ｓｂ／Ｓ０＝５０の時は、５０×２４＝１２００（ＫΩ）以下にする必要がある。

【０５４９】

トランジスタ１５８ｂに流れる基準電流Ｉｃと、許容ゲート配線抵抗には相関がある。基準電流Ｉｃが大きいほどトランジスタ１５８ｂからゲート配線１５３をみたときのインピーダンスが低くなるからである。図７２にその関係を示す。図７２の横軸は、トランジスタ１５８ｂ（もしくはトランジスタ群４３１ｂ）に流れる基準電流Ｉｃ（μＡ）である。縦軸が許容できるゲート配線抵抗（ＫΩ）を示している。図７２の実線の下側の範囲が許容範囲である（リンキングの発生の影響を受けない範囲である）。言い換えれば、横クロストークが実用上、許容できる範囲である。

【０５５０】

基準電流Ｉｃを大きくすれば、ゲート配線１５３の安定度は向上する。しかし、ソースドライバＩＣ１４で消費する無効電流が増加し、また、ゲート配線１５３の電位も高くなる。このことから、基準電流Ｉｃは５０（μＡ）以下にする必要がある。

【０５５１】

基準電流Ｉｃを小さくすれば、ゲート配線１５３の安定度は低下するため、ゲート配線１５３の抵抗値を下げる必要がある。しかし、一定値以下に基準電流を下げると単位トランジスタ４３１ｃからの出力電流のバラツキが大きくなる。つまり出力電流の安定度がなくなる。このことから、基準電流Ｉｃは２（μＡ）以上にする必要がある。以上のことから、トランジスタ１５８ｂに流す基準電流Ｉｃは２（μＡ）以上５０（μＡ）以下にする必要がある。

【０５５２】

図７２のグラフ（実線）は、２つの直線に近似できる。Ｉｃが２（μＡ）以上１５（μＡ）以下では、ゲート配線１５３の抵抗値（ＭΩ）は、０．０４×Ｉｃ（ＭΩ）以下にする必要がある。たとえば、Ｉｃ＝１５（μＡ）であれば、ゲート配線１５３の抵抗値は、０．０４×１５＝０．６（ＭΩ）以下の条件を満足させる必要がある。

【０５５３】

Ｉｃが１５（μＡ）以上５０（μＡ）以下では、ゲート配線１５３の抵抗値（ＭΩ）は、０．０２５×Ｉｃ（ＭΩ）以下にする必要がある。たとえば、Ｉｃ＝５０（μＡ）であれば、ゲート配線１５３の抵抗値は、０．０２５×５０＝１．２５（ＭΩ）以下の条件を満足させる必要がある。

【０５５４】

１画素行が選択される期間（１水平走査期間（１Ｈ））と、ゲート配線１５３の抵抗Ｒ（ＫΩ）×ゲート配線１５３の長さＤ（ｍ）にも相関がある。１Ｈ期間が短いほど、ゲート配線１５３の電位が正常値に戻るのに要する期間を短くする必要があるからである。また、図４７のようにゲート配線１５３長Ｄ（＝ドライバＩＣのチップ長さ）が長くなると、トランジスタ１５８ｂから最も遠い単位トランジスタ群４３１ｃの電位変動が許容範囲を越えるからである。この現象は、単位トランジスタ１５４とソース信号線１８間の寄生容量が影響を与えているためと推定される。つまり、ドライバＩＣ１４のチップ長Ｄが長くなると単純なゲート配線１５３の抵抗値だけでなく、寄生容量によるゲート配線１５３の電位変動も考慮する必要があることを示している。

【０５５５】

図７３は横軸を１水平走査期間（μ秒）としている。縦軸がゲート配線抵抗（ＫΩ）とチップ長Ｄ（ｍ）の掛算値である。図７３の実線の下側の範囲が許容範囲である。Ｒ・Ｄ

は、９（ＫΩ・ｍ）がソースドライバＩＣの作製限界である。これ以上は、コストが高くなり実用的でない。一方、Ｒ・Ｄが０．０５以下では、図１９１の電流Ｉｄが大きくなりすぎ、隣接出力電流の偏差が大きくなりすぎる。したがって、Ｒ・Ｄ（ＫΩ・ｍ）は０．０５以上９以下にする必要がある。

【０５５６】

画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ１５４（図１５、図５７などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

【０５５７】

画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ１５４をＮチャンネルトランジスタで構成する。

【０５５８】

ソースドライバ回路１４をアレイ基板３０に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ回路１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【０５５９】

本発明の１実施形態は、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することにより、基板３０を低コスト化できる。

【０５６０】

ソースドライバ回路１４は、単位トランジスタ１５４をＮチャンネルトランジスタで形成することが必要になる。しかし、Ｐチャンネルのみのプロセスでは、ソースドライバ回路１４は基板３０に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路１４を作製し、基板３０に積載する。つまり、本発明は、ソースドライバＩＣ１４（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

【０５６１】

また、単位トランジスタ１５４の面積を同一とした場合、Ｎチャンネルで形成した単位トランジスタ１５４のばらつきは、Ｐチャンネルで形成した単位トランジスタのばらつきに比較して、７０％になる。つまり、Ｎチャンネルで単位トランジスタ１５４を形成する方が、同一トランジスタ形成面積でバラツキを小さくすることができる。検討の結果によれば、Ｐチャンネルの単位トランジスタのバラツキをＮチャンネルの単位トランジスタと同一にするためには、２倍の形成面積が必要であった（図１５９参照のこと）。

【０５６２】

ソースドライバ回路１４はシリコンチップで構成するとしたが、これに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板３０に積載してもよい。

【０５６３】

また、基板３０にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路１４の出力端子４３１を基板３０のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

【０５６４】
また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。
【０５６５】
画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。
【０５６６】
本発明では、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１６とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図１、図２、図６、図７、図８の画素１６の構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ１５４にプログラム電流Ｉｗが流入するように構成することが重要である。
【０５６７】
したがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ１５４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。
【０５６８】
また、Ｎチャンネルで形成した単位トランジスタ１５４はＰチャンネルで形成した単位トランジスタ１５４に比較して出力電流のバラツキが小さい。同一面積（Ｗ・Ｌ）の単位トランジスタ１５４で比較した場合、Ｎチャンネルの単位トランジスタ１５４はＰチャンネルの単位トランジスタ１５４に比較して、出力電流のばらつきは、１／１．５から１／２になる。この理由からもソースドライバＩＣ１４の単位トランジスタ１５４はＮチャンネルで形成することが好ましい。
【０５６９】
なお、図４２（ｂ）においても同様である。図４２（ｂ）は、駆動用トランジスタ１１ｂを介してソースドライバ回路１４の単位トランジスタ１５４に電流が流入するのではない。しかし、アノード電圧Ｖｄｄからプログラム用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ１５４にプログラム電流Ｉｗが流入するような構成である。したがって、図１と同様に、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ１５４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。
【０５７０】
本発明では、画素１６の駆動用トランジスタ１１ａをＰチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＰチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ１５４をＮチャンネルで構成するとした。また、好ましくは、ゲートドライバ回路１２はＰチャンネルトランジスタで構成するとした。
【０５７１】
前述の逆の構成でも効果を発揮することは言うまでもない。画素１６の駆動用トランジスタ１１ａをＮチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＮチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ１５４を

Ｐチャンネルとする構成である。なお、好ましくは、ゲートドライバ回路１２はＮチャンネルトランジスタで構成する。この構成も本発明の構成である。

【０５７２】

次に、プリチャージ回路について説明をする。先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線１８などに寄生容量があると、１水平走査期間（１Ｈ）に画素１６に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数ｎＡ程度と微弱であるため、その信号値で数１０ｐＦ程度あると思われる寄生容量（配線負荷容量）を駆動することは困難である。

【０５７３】

この課題を解決するためには、ソース信号線１８に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線１８の電位レベルを画素のトランジスタ１１ａの黒表示電流（基本的にはトランジスタ１１ａはオフ状態）にすることが有効である。このプリチャージ電圧の形成（作成）には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

【０５７４】

プリチャージとは、ソース信号線１８に１Ｈの始めなどに、強制的に電圧を印加する方法である。電圧は、駆動用トランジスタ１１ａ（図１の場合を例示するが、これに限定されない。電圧駆動の画素構成でもよい）をオフ状態にするものである。駆動用トランジスタ１１ａがＰチャンネルの場合は、アノード電圧に近い電圧を印加する。つまり、オフ状態にする電圧を印加する。Ｎチャンネルの場合は、カソード電圧に近い電圧を印加する。

【０５７５】

プリチャージとは、駆動用トランジスタ１１ａをオフ状態（立ち上がり電流以下の状態）にする、またはその近傍の電圧を印加するものである。もしくは、図１３５～１３９などのように複数のプリチャージ電圧を用いる（低階調プリチャージ駆動）場合は、駆動用トランジスタ１１ａのゲート端子（Ｇ）に電圧を印加し、印加した電圧に応じて駆動用トランジスタ１１ａの出力電流を変化（制御）させるものである。また、プリチャージ駆動は、画素トランジスタ１１ａに黒電圧を書き込むものである。また、画素トランジスタ１１ａをカットオフ状態にする駆動方法である。また、コンデンサ１１ａの端子電圧を、トランジスタ１１ａがオフする電圧を書き込むものである。

【０５７６】

以上のように、プリチャージ電圧を印加するとは、駆動用トランジスタ１１ａを強制的にオフ状態にする電圧を印加する方式である。また、ソース信号線１８に電圧を印加し、強制的に充放電させることをいう。

【０５７７】

また、プリチャージ電圧を印加するとしたが、ソース信号線１８の電位を変化させるには、電圧の印加だけでなく、電流を印加（充電又は放電）してもソース信号線１８の電位を変化させることができる。したがって、プリチャージ電圧を印加する技術的思想は、プリチャージ電流を印加することも含まれる。

【０５７８】

また、プリチャージ電圧（電流）は１水平走査期間に１度印加することに限定するものではなく、１水平走査期間に複数回分割して印加してもよい。また、複数水平走査期間に１度印加するように制御してもよい。また、１フレームまたは１フィールド期間に１度以上印加してもよく、複数フィールドまたは１フレームに複数回あるいは１回印加してもよいことは言うまでもない。また、１水平走査期間または１フレームなどに複数回印加する場合は、複数回内でプリチャージ電圧の大きさを変化してもよく、複数回内で印加期間を変化させてもよいことは言うまでもない。また、印加位置（ソース信号線１８の両端と中央部など）を変化させてもよい。印加位置はフレームまたは水平走査期間で変化させてもよい。

【０５７９】

なお、本発明は、駆動用トランジスタをＰチャンネルにし、プリチャージ電圧をアノード電圧Ｖｄｄ以下（アノード電圧Ｖｄｄ－１．５（Ｖ）とすることを特徴としている。また、Ｒ、Ｇ、Ｂで少なくとも１つは他のプリチャージ電圧を異ならせることができるように構成していることを特徴としている。たとえば、Ｒ、Ｇ、Ｂごとに図７５の構成をソースドライバＩＣ１４内に構成あるいは形成する。

【０５８０】

なお、本発明は、１つのソースドライバＩＣ（回路）１４内にＲ、Ｇ、Ｂの出力回路（プログラム電流（電圧）出力回路など）を具備するとして説明しているが、これに限定するものではない。たとえば、Ｒ、Ｇ、Ｂそれぞれ個別の出力を出す３つのソースドライバＩＣ（回路）１４を設け、１つのアレイ基板３０などに実装してもよい。また、図７５などで説明するプリチャージ回路構成は、各Ｒ、Ｇ、ＢのＩＣチップ（回路）１４内にそれぞれ配置する。また、本発明は、１つのソースドライバＩＣ（回路）１４内にＲ、Ｇ、Ｂの３つのプリチャージ回路などを配置することに限定されない。Ｒ、Ｇ、Ｂのうち、１つ以上のプリチャージ回路を配置または形成すればよい。ＲＧＢすべてにプリチャージしなくとも黒表示が良好に実施できる色のＥＬ素子１５があるからである。

【０５８１】

図１８６はプリチャージ駆動の説明図である。図１８６（ａ）は駆動用トランジスタ１１ａがＰチャンネルの場合である。画素構成は図１を例示して説明しているが、これに限定するものではない。図２、図７、図１１、図１２、図１３、図２８、図３１などの他の画素構成のＥＬ表示パネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【０５８２】

プリチャージ電圧はソースドライバ回路１４が発生する。この点も本発明の特徴である。また、ソースドライバ回路１４はシリコンチップのＩＣである。また、プリチャージ電圧は、駆動用トランジスタ１１ａがＰチャンネルの場合、Ｖｄｄ電圧以下でＶｄｄ－５．０（Ｖ）以上の電圧である。プリチャージ電圧Ｖｐは、画素選択トランジスタ１１ｃがオンし、駆動用トランジスタ１１ａのゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。プリチャージ電圧は駆動用トランジスタ１１ａをオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧を印加された画素のトランジスタ１１ｄはオフ状態にされ、ＥＬ素子１５にはプリチャージ電圧が印加されないように制御されている。そのため、プリチャージ電圧によりＥＬ素子１５が不要な発光を行うことはない。

【０５８３】

図１８６（ｂ）は駆動用トランジスタ１１ａがＮチャンネルの場合である。プリチャージ電圧はソースドライバ回路１４が発生する。プリチャージ電圧は、駆動用トランジスタ１１ａがＮチャンネルの場合、Ｖｓｓ電圧以上Ｖｓｓ＋５．０（Ｖ）以下の電圧である。プリチャージ電圧Ｖｐは、画素選択トランジスタ１１ｃがオンし、駆動用トランジスタ１１ａのゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。プリチャージ電圧は駆動用トランジスタ１１ａをオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧を印加された画素のトランジスタ１１ｄはオフ状態にされ、ＥＬ素子１５にはプリチャージ電圧が印加されないように制御されている。そのため、プリチャージ電圧によりＥＬ素子１５が不要な発光を行うことはない。

【０５８４】

図１８７（ａ）は、図１３のように画素構成がカレントミラー構成の場合である。駆動用トランジスタ１１ｂがＰチャンネルの場合である。プリチャージ電圧はソースドライバ回路１４が発生する。プリチャージ電圧は、駆動用トランジスタ１１ａがＰチャンネルの場合、Ｖｄｄ電圧以下でＶｄｄ－５．０（Ｖ）以上の電圧である。プリチャージ電圧Ｖｐは、画素選択トランジスタ１１ｃがオンし、駆動用トランジスタ１１ａのゲート端子とドレイン端子に印加される。もしくはゲート端子に印加される。プリチャージ電圧は駆動用トランジスタ１１ａをオフ状態（電流が流れないようにする電圧）にする電圧である。プリチャージ電圧を印加された画素のトランジスタ１１ｄはオフ状態にされ、ＥＬ素子１５

にはプリチャージ電圧が印加されないように制御されている。そのため、プリチャージ電圧によりＥＬ素子１５が不要な発光を行うことはない。

【０５８５】

なお、図１８７（ｂ）に図示するように、トランジスタ１１ｄは必ずしも必要ではない。特に、図１３のようにカレントミラー回路構成では不要である。また、図１８６（ｂ）で図示するように、図１８７においても駆動用トランジスタ１１ｂをＮチャンネルで構成できることも言うまでもない。

【０５８６】

図７５に、本発明のプリチャージ機能を有した電流出力方式のソースドライバＩＣ（回路）１４の一例を示す。図７５では、６ビットの定電流出力回路１６４の出力段にプリチャージ機能を搭載した場合を示している。

【０５８７】

図７５では、プリチャージ電圧を印加すると、内部配線１５０のＢ点にプリチャージ電圧が印加される。したがって、プリチャージ電圧は電流出力段１６４にも印加されることになる。しかし、電流出力段１６４は定電流回路であるから、高インピーダンスである。そのため、定電流回路１６４にプリチャージ電圧が印加されても回路の動作上問題は発生しない。

【０５８８】

プリチャージは全階調範囲で実施してもよいが、好ましくは、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージと呼ぶ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示されるという課題が発生する場合がある。

【０５８９】

好ましくは、階調データの階調０から全階調の１／８の領域の階調領域で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）。

【０５９０】

特に黒表示で、コントラストを高くするためには、階調０のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。階調０のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

【０５９１】

プリチャージの電圧、階調範囲は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（Ｇ、Ｂ）は、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Ｒは７（Ｖ）であれば、他の色（Ｇ、Ｂ）は、７．５（Ｖ）の電圧をソース信号線１８に書き込むようにする。

【０５９２】

最適なプリチャージ電圧は、ＥＬ表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

【０５９３】
なお、プリチャージ電圧は、図１のアノード電圧Ｖｄｄ－０．５（Ｖ）以下、アノード電圧Ｖｄｄ－２．５（Ｖ）以上にすることが好ましい。
【０５９４】
階調０のみをプリチャージする方法にあっても、Ｒ、Ｇ、Ｂの一色あるいは２色を選択してプリチャージする方法も有効である。画像表示に与える弊害の発生が少ない。また、画面輝度が所定輝度以下あるいは所定輝度以上の時に、プリチャージすることも有効である。特に表示画面１４４の輝度が低輝度の時は、黒表示が困難である。低輝度の時に、０階調プリチャージなどのプリチャージ駆動を実施することにより画像のコントラスト感が良好になる。
【０５９５】
また、全くプリチャージしない第０モード、階調０のみをプリチャージする第１モード、階調０から階調３の範囲でプリチャージする第２モード、階調０から階調７の範囲でプリチャージする第３モード、全階調の範囲でプリチャージする第４モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバＩＣ（回路）１４内においてロジック回路を構成（設計）することにより容易に実現できる。
【０５９６】
以上の信号の印加状態により、スイッチ１５１ａがオンオフ制御され、スイッチ１５１ａオンの時、プリチャージ電圧ＰＶがソース信号線１８に印加される。なお、プリチャージ電圧ＰＶを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は１水平走査期間（１Ｈ）の１／１００以上１／５以下の時間に設定することが好ましい。たとえば、１Ｈが１００μｓｅｃとすれば、１μｓｅｃ以上２０μｓｅｃ以下（１Ｈの１／１００以上１Ｈの１／５以下）とする。さらに好ましくは、２μｓｅｃ以上１０μｓｅｃ以下（１Ｈの２／１００以上１Ｈの１／１０以下）とする。
【０５９７】
一致回路１６１の出力と、カウンタ回路１６２の出力とが、ＡＮＤ回路１６３でＡＮＤされ、一定期間、黒レベル電圧Ｖｐを出力するように構成されている。
【０５９８】
図７５は、プリチャージ電圧を階調に応じて変化できるように構成した実施例である。図７５では印加する画像データに応じてプリチャージ電圧を変化させることが容易に実現できる。プリチャージ電圧は画像データ（Ｄ３～Ｄ０）によって、電子ボリウム５０１により変化させることができる。図７５では、Ｄ３～Ｄ０ビットは電子ボリウムに接続されていることから、低階調のプリチャージ電圧が変更できるようにしていることがわかる。これは、黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高くする。画素１６の駆動用トランジスタ１１ａをＰチャンネルとしているため、アノード電圧（Ｖｄｄ）が最も黒表示電圧である。高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）する。つまり、低階調表示では、電圧プログラム方式が実施され、高階調表示（白表示）では、電流プログラム方式が実施されていることになる。もちろん、図７５は階調に応じてプリチャージ電圧を変化するだけでなく、温度あるいは点灯率、基準電流比、ｄｕｔｙ比に応じてプリチャージ電圧を変化あるいは制御してもよい。また、温度あるいは点灯率、基準電流比、ｄｕｔｙ比に応じてプリチャージ電圧の印加時間を変化あるいは制御してもよい
図７５のプリチャージ回路では、階調０のみをプリチャージするとか、階調０から階調７の範囲でプリチャージするとかを選択できる。また、各階調に対するプリチャージ電圧も電子ボリウム５０１で変更できる。
【０５９９】
ソース信号線１８に印加する画像データにより、プリチャージ電圧ＰＶ印加時間を可変

することによっても良好な結果が得られる。たとえば、完全黒表示の階調０では印加時間を長くし、階調４ではそれよりも短くするなどである。また、１Ｈ前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。

【０６００】

たとえば、１Ｈ前にソース信号線に画素を白表示にする電流を書き込み、次の１Ｈに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、１Ｈ前にソース信号線に画素を黒表示にする電流を書き込み、次の１Ｈに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

【０６０１】

印加する画像データに応じてプリチャージ電圧を変えることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（Ｖｄｄに対して。なお、画素トランジスタ１１ａがＰチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）するという制御方法も有効である。

【０６０２】

画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

【０６０３】

プリチャージ制御は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、所定輝度の白面積：所定輝度の黒面積の比が１：２０以上でプリチャージを停止または開始し、ＧとＢは、所定輝度の白面積：所定輝度の黒面積の比が１：１６以上でプリチャージを停止または開始するという方法が例示される。なお、実験および検討結果によれば、有機ＥＬ表示パネルの場合、所定輝度の白面積：所定輝度の黒面積の比が１：１００以上（つまり、黒面積が白面積の１００倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が１：２００以上（つまり、黒面積が白面積の２００倍以上）でプリチャージを停止することが好ましい。

【０６０４】

以前にも説明をしたが、図７６に図示するように、ＲＧＢの画像データ（ＲＤＡＴＡ、ＧＤＡＴＡ、ＢＤＡＴＡ）は各８ビットである。ＲＧＢ各８ビットの画像データは、ガンマ回路７６４でガンマ変換されて、１０ビット信号となる。ガンマ変換された信号は、フレームレートコントロール（ＦＲＣ）回路７６５でＦＲＣ処理されて、６ビットの画像データに変換される。プリチャージ制御回路（ＰＣ）７６１は、変換された６ビットの画像データからプリチャージ制御信号（プリチャージする時はＨレベルとし、プリチャージしない時はＬレベルとする）を発生させる。このプリチャージを発生させる方式については後に説明をする。

【０６０５】

なお、ＦＲＣは１０ビット信号を８ビットもしくは６ビット処理することが、画像の破綻もなく好ましい。

【０６０６】

図７７は、ソースドライバＩＣ（回路）１４のプリチャージ回路７７３を中心とするブ

ロック図である。プリチャージ回路７７３とは、プリチャージ制御回路７６１によりプリチャージ制御信号ＰＣ信号（赤（ＲＰＣ）、緑（ＧＰＣ）、青（ＢＰＣ））が出力される。このＰＣ信号は図７６に図示するコントロールＩＣ８１のプリチャージ制御回路７６１により発生し、ＰＣ信号は、図７７に図示するソースドライバＩＣ１４のセレクタ回路７７２に入力される。

【０６０７】

セレクタ回路７７２は、メインクロックに同期して出力段に対応するラッチ回路７７１に順次ラッチしていく。ラッチ回路７７１はラッチ回路７７１ａとラッチ回路７７１ｂの２段構成である。ラッチ回路７７１ｂは水平走査クロック（１Ｈ）に同期してプリチャージ回路７７３にデータを送出する。つまり、セレクタは、１画素行分の画像データおよびＰＣデータを順次ラッチしていき、水平走査クロック（１Ｈ）に同期して、ラッチ回路７７１ｂでデータをストアする。

【０６０８】

なお、図７７では、ラッチ回路７７１のＲ、Ｇ、ＢはＲＧＢの画像データ６ビットのラッチ回路であり、Ｐはプリチャージ信号（ＲＰＣ、ＧＰＣ、ＢＰＣ）の３ビットをラッチするラッチ回路である。

【０６０９】

プリチャージ回路７７３は、ラッチ回路７７１ｂの出力がＨレベルの時、スイッチ１５１ａをオンさせ、ソース信号線１８にプリチャージ電圧を出力する。電流出力回路１６４は、画像データに応じてプログラム電流をソース信号線１８に出力する。

【０６１０】

図７６、図７７の構成を概略的に図示すれば、図７８の構成となる。なお、図７８、図７９は１つの表示パネルに複数のソースドライバＩＣ（回路）１４を積載した構成（ソースドライバＩＣのカソード接続）である。また、図７８、図７９のＣＳＥＬ１、ＣＳＥＬ２はＩＣチップのセレクト信号である。ＣＳＥＬ信号により、どちらのＩＣチップを選択し、画像データおよびＰＣ信号を入力するかを決定する。

【０６１１】

図７７、図７８の構成では、各ＲＧＢ画像データに対応して、プリチャージコントロール（ＰＣ）信号を発生させている。プリチャージの印加は、以上のようにＲＧＢごとに行うことが好ましい。しかし、動画表示、自然画表示では、ＲＧＢごとにプリチャージするかしないかを判断する必要がない場合が多い。つまり、ＲＧＢを輝度信号に変換し（換算し）、輝度によりプリチャージをするかしないかを判断してもよい。このようにしたのが、図７９の構成である。

【０６１２】

図７８の構成では、ＰＣ信号は３ビット必要である（ＲＰＣ、ＧＰＣ、ＢＰＣ）が、図７９の構成では、ＰＣ信号はＲＧＢＰＣの１ビットでよい。したがって、図７７のラッチ回路７７１においても、Ｐは１ビットのラッチでよい。なお、以降の説明では、説明を容易にする点、作図を容易にする観点から、ＲＧＢを考慮せずに説明を行う。

【０６１３】

以上の本発明の構成は、コントローラ７６０が画像データに基づいてＰＣ信号（プリチャージ制御信号）を発生する点、ソースドライバＩＣ１４がＰＣ信号をラッチし１Ｈの同期信号に同期してソース信号線１８に印加する点に特徴がある。また、コントローラ８１は図７６に図示するように、プリチャージモード（ＰＭＯＤＥ）信号により、プリチャージ信号の発生を容易に変更することができる。

【０６１４】

たとえば、ＰＭＯＤＥとは、階調０のみをプリチャージするモード、階調０－７など一定の階調範囲をプリチャージするモード、画像データが明るい画像データから暗い画像データに変化する時にプリチャージするモード、一定のフレームで連続して低階調表示となる時に、プリチャージするモードなどが例示される。

【０６１５】

なお、１画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上の事項は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。

【０６１６】

なお、プリチャージをするかしないかの判定は、１画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。たとえば、あるソース信号線１８に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書き込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線１８の電位が次に書き込む黒表示の電位となっているからである。以上の動作は、コントローラ８１に１画素行分（ＦＩＦＯのため２ラインのメモリが必要）のラインメモリを形成（配置）することにより容易に実現できる。

【０６１７】

また、本発明において、プリチャージ駆動では、プリチャージ電圧を出力するとして説明をするが、これに限定するものではない。１水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線１８に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線１８に書込み、その後にプログラム電流をソース信号線１８に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の範疇である。

【０６１８】

たとえば、図７５では電子ボリウム５０１を切り換えることによりプリチャージ電圧が変化する。この電子ボリウム５０１を電流出力の電子ボリウムに変更すればよい。変更は複数のカレントミラー回路を組み合わせることにより容易に実現できる。本発明では説明を容易にするため、プリチャージ駆動はプリチャージ電圧で行うとして説明をする。

【０６１９】

また、プリチャージ電圧（電流）の印加は、一定のプリチャージ電圧（電流）を印加することに限定するものではない。たとえば、複数のプリチャージ電圧をソース信号線に印加してもよい。たとえば、第１のプリチャージ電圧５（Ｖ）を５（μｓｅｃ）印加した後、第２のプリチャージ電圧４．５（Ｖ）を５（μｓｅｃ）印加する方法である。その後に、プログラム電流Ｉｗをソース信号線１８に印加する。

【０６２０】

また、プリチャージ電圧を鋸波状に変化させたものでもよい。また、矩形波を印加してもよい。また、正規のプログラム電流（電圧）にプリチャージ電圧（電流）を重畳させてもよい。また、プリチャージ電圧（電流）の大きさ、プリチャージ電圧（電流）の印加期間は、画像データに対応させて変化させてもよい。また、画像データの値などに応じて、印加波形の種類、プリチャージ電圧の値などを変化させてもよい。

【０６２１】

本発明は電流駆動方式において、プリチャージ電圧（電流）を印加するとして説明をするが、プリチャージ駆動は、電圧駆動方式でも効果を発揮する。電圧駆動方式では、ＥＬ素子１５を駆動する駆動用トランジスタサイズが大きいため、ゲート容量が大きい。そのため、正規のプログラム電圧が書き込みにくいという課題がある。この課題に対して、プログラム電圧を印加する前に、プリチャージを実施することにより、駆動用トランジスタをリセット状態にすることができ、良好な書き込みを実現できる。

【０６２２】

したがって、本発明のプリチャージ駆動方式は、電流プログラム駆動に限定されるもの

ではない。本発明の実施例では、説明を容易にするために、電流プログラム駆動の画素構成（図１などを参照のこと）を例示して説明をする。

【０６２３】

本発明の実施例において、プリチャージ駆動方式は、駆動用トランジスタ１１ａのみに作用するものではない。たとえば、図１１、図１２、図１３の画素構成において、カレントミラー回路を構成するトランジスタ１１ａにも作用して効果を発揮する。本発明のプリチャージ駆動方式は、ソースドライバＩＣ（回路）１４からみたソース信号線１８の寄生容量を充放電することを１つの目的としているが、当然のことながらソースドライバＩＣ（回路）１４内の寄生容量も充放電されることも目的としている。

【０６２４】

また、プリチャージ電圧（電流）は、黒表示を良好にすることを１つの目的としているが、これに限定されるものではない。白表示を書き込み易くする白書き込みプリチャージ電圧（電流）を印加すれば、良好な白表示も実現できる。つまり、本発明のプリチャージ駆動とは、プログラム電流（プログラム電圧）を書き込む前に、前記プログラム電流（プログラム電圧）を書き込み易くするための、所定の電圧（電流）を印加し、予備充電するものである。

【０６２５】

また、本発明は、黒表示でプリチャージするとして説明をするが、これは、基本的には駆動用トランジスタ１１ａからソースドライバＩＣ（回路）１４に吸い込み電流で実施する場合である。駆動用トランジスタ１１ａなどがＮチャンネルトランジスタの場合は、ソースドライバＩＣ（回路）１４からは吐き出し電流でプログラムすることになる。この場合は、白表示で書き込みにくい画素構成の場合も発生する。したがって、本発明のプリチャージ駆動方法は、ソース信号線１８などを所定電位に変化させるものであって、白表示でプリチャージするとか、黒表示でプリチャージするとかは実施形態にすぎない。したがって、これらに限定されるものではない。

【０６２６】

プリチャージ電圧（電流）の印加タイミングは、プログラム電圧（電流）を書き込む画素行を選択した状態でプリチャージ電圧（電流）を書き込むことが好ましいが、これに限定するものではなく、画素行が非選択の状態で、ソース信号線１８にプリチャージ電圧（電流）を印加して予備充電を行ない、その後、プログラム電流（電圧）を書き込む画素行を選択してもよい。

【０６２７】

プリチャージ電圧は、ソース信号線１８に印加するとしているが、他の方式も例示される。たとえば、アノード端子への印加電圧（Ｖｄｄ）またはカソード端子への印加電圧（Ｖｓｓ）を変化させてもよい（プリチャージ電圧を印加）。アノード電圧またはカソード電圧を変化させることにより、駆動用トランジスタ１１ａの書き込み能力が拡大される。したがって、プリチャージ効果が発揮される。特に、アノード電圧（Ｖｄｄ）をパルス的に変化させる方式を実施する効果が高い。

【０６２８】

また、図２３６に図示するように、点灯率に対してアノード電圧とプリチャージ電圧とを変化させてもよい。また、図２３８に図示するように基準電流比に対してプリチャージ基準電圧（Ｖｂｖ）の大きさを変化させてもよい。プリチャージ基準電圧（Ｖｂｖ）は図２３９に図示するように（図１２７から図１４３およびその説明を参照のこと）、基準電流Ｉｃを用いたＩ－Ｖ変換回路２３９１で発生することができる。

【０６２９】

また、点灯率、基準電流、アノード（カソード）端子のアノード（カソード）電流に対して、ゲートドライバ回路１２のオン電圧（Ｖｇｌ）、オフ電圧（Ｖｇｈ）も変化させてもよい。特にアノード電圧Ｖｄｄを上昇させるときは、連動してＶｇｈ電圧も上昇させることが好ましい。

【０６３０】

また、本発明の実施例では、点灯率あるいはアノード（カソード）端子のアノード（カソード）電流により、ｄｕｔｙ比、基準電流比などを可変あるいは制御するとして説明するが、点灯率あるいはアノード端子などの電流は電流駆動方式ではプログラム電流Ｉｗに比例する。したがって、プログラム電流Ｉｗあるいはプログラム電流の総和あるいは所定期間の和により、基準電流比（プリチャージ制御など以前あるいは以降に説明することも含む。たとえば、図１２７などの電圧プログラムと電流プログラムの切り換えタイミングなども含む）などを制御などすることも本発明の技術的範疇であることは明らかである。また、図７５などにおいて、プリチャージ電圧（もしくはプリチャージ電流）は、1水平走査期間（１Ｈ）ごとに変化させることも有効である。プリチャージ電圧を印加する画素行の画像データを演算（加算など）し、特に低階調の画像（映像）データの割合が多い時に、プリチャージ電圧（電流）を印加する。また、このプリチャージ電圧（電流）は、演算結果により変化する。これは、比較的階調が高い場合は、ＥＬ表示パネル内でハレーションが発生し、一定の低階調の画素は輝度が浮いて高くなるからである。したがって、一定の低階調以下の画素１６にはプリチャージ電圧を印加することにより、より完全な黒表示を実現し、画像のコントラスト感を高くすることができる。

【０６３１】

また、印加するプリチャージ電圧は一定の低階調の画素には一定の電圧を印加（一定の低階調の画素は黒つぶれ表示になる）してもよいし、また、図７５のプリチャージ電圧の変更データＤの値を制御してプリチャージ電圧を画素に印加する画像データに応じて変化させてもよい。

【０６３２】

このように、場合に応じてプリチャージ電圧（電流）を変化できるのは、図７５に図示するように、ソースドライバＩＣ（回路）１４内に電子ボリウム５０１を内蔵していることに起因する効果が大きい。つまり、ソースドライバ回路（ＩＣ）１４の外部からデジタル的にプリチャージ電圧などを変化させることができるからである。この変化を実現するデジタルデータＤはコントローラＩＣ（回路）７６０で発生させる。したがって、ソースドライバ回路（ＩＣ）１４とコントローラＩＣ（回路）７６とは機能分離され、設計あるいは変更が容易となる。

【０６３３】

以上は１Ｈ期間内にプリチャージ電圧などを変化させるとしたが、本発明はこれに限定するものではない。複数画素行（たとえば、１０画素行）内の画像（映像）データを演算し、変更データＤを設定してプリチャージ電圧（電流）を印加してもよい。また、1フレーム（フィールド）あるいは複数フレーム（フィールド）内の画像（映像）データを演算し、プリチャージ電圧（電流）を印加してもよい。

【０６３４】

なお、プリチャージ電圧（電流）は画像（映像）データを演算することにより、変更あるいは所定の電圧として、画素１６あるいは画素行に印加するとしたが、これに限定するものではない。たとえば、あらかじめ、印加するプリチャージ電圧（電流）を固定しておき、このプリチャージ電圧などを印加してもよく、また、複数のプリチャージ電圧などをあらかじめ選択しておき、このプリチャージ電圧などを順次あるいはランダムに画素あるいは画素行あるいは画面全体に印加できるように制御してもよいことは言うまでもない。また、演算結果などにより、プリチャージ電圧などを印加しない場合もあることはいうまでもない。

【０６３５】

また、プリチャージ電圧（電流）などは、フレームレートコントロール（ＦＲＣ）の技術を用いて実施してもよい。つまり、プリチャージ電圧などを印加する画素あるいは画素行に対して、複数のフレーム（フィールド）で、プリチャージ電圧などを印加したり、印加しなかったりすることにより、複数フレーム（フィールド）で階調表示できる（この場合は、プリチャージ電圧などの印加により階調表示されることになる）。以上のようにＦＲＣを実施することにより、少ないプリチャージ電圧（電流）の種類で適切な黒表示ある

いは階調表示を実現することができる。

【０６３６】

以上の実施例では、プリチャージ電圧などを演算などし、画素１６などに印加するとした。印加は演算後すぐに行うのではなく、遅延時間をもたせて実施してもよい。また、プリチャージ電圧などを順次あるいはランダムに変化などさせる時は、徐々にあるいは変化をゆっくりと、もしくは、ヒステリシスをもたせて行うことが好ましい。急激なプリチャージ電圧の変化は画像にスジ状の表示が発現すること、画像表示にフリッカが発生することがあるからである。遅延時間などの技術的思想は図９８あるいは他の実施例で説明しているので、この思想を直接にあるいは類似に適用すればよいので説明を省略する。

また、ＦＲＣの動作も点灯率に応じて変化などしてもよいことは言うまでもない。変化とは、ＦＲＣをするかしないかの制御、ＦＲＣをどの階調に実施するかの制御、ＦＲＣの変換ビット数の制御などである。

【０６３７】

たとえば、点灯率が高いときは、白ラスターに近い表示である。したがって、画面全体が白っぽく、ＦＲＣをする必要がない場合が多い。一方で点灯率が低い場合は、画面全体的に黒表示部が多い。この場合は、ＦＲＣを実施し、階調の再現性を高める必要がある。以上は、点灯率によりＦＲＣを変化させるとして説明したが、本発明はこれに限定するものではない。たとえば、基準電流を上昇させると、面全体が白っぽく、ＦＲＣをする必要がない場合が多い。一方で基準電流が低い場合は、画面全体的に黒表示部が多い。この場合はＦＲＣを実施し、階調の再現性を高める必要がある。以上の事項はｄｕｔｙ比制御にも適用できる。また、アノード（カソード）電流の変化に対応してＦＲＣ変化を実施してもよいことは言うまでもない。

【０６３８】

以上の実施例は、画像（映像）データなどにより、プリチャージ電圧、ＦＲＣなどを変化あるいは制御するとしたが、本発明はこれに限定するものではない。例えば、点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度もしくはこれらの組合せにより、プリチャージ電圧（電流）の大きさを変化させてもよい。また、プリチャージ電圧の印加時間を変化させてもよい。たとえば、基準電流の大きさに応じてプログラム電流の大きさが変化し、駆動用トランジスタ１１ａを流れる電流が変化するからプリチャージ電圧の大きさも変化させることが好ましい。また、点灯率が高い時は、画面は白表示に近く、画面全体にハレーションが発生しているから黒浮きが発生している。そのため、画素１６にプリチャージ電圧などを印加しても効果がない。この場合は、プリチャージ電圧などの印加をやめた方が低消費電力化を実現できる。一方で低点灯率の場合は、画面に黒表示部が多く、ハレーションの発生も少ないため、画素１６に十分なプリチャージを行い、コントラスト感を向上させる必要がある。同様に、アノード（カソード）電流が大きい時は、画面に白表示部分が多いため、ハレーションが発生しやすい。この場合は、プリチャージ電圧などの印加が必要でない場合が多い。逆にアノード（カソード）電流が小さい時は、プリチャージ電圧などの印加が必須となる場合が多い。

【０６３９】

なお、上記実施例では、画像（映像）データ、点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるいはパネル温度もしくはこれらの組合せにより、ＦＲＣあるいはプリチャージ電圧（電流）の大きさを変化させるとしたが、これに限定するものではない。画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、基準電流、ｄｕｔｙ比、パネル温度などの変化の割合あるいは変化を予測して、ＦＲＣ、プリチャージ電圧などの制御を実施してもよいことはいうまでもない。

【０６４０】

以上のように、本発明は、画素（映像）データなどにより、ＦＲＣあるいは点灯率あるいはアノード（カソード）端子に流れる電流あるいは基準電流あるいはｄｕｔｙ比あるい

はパネル温度などもしくはこれらの組合せにより、その結果などに対応してプリチャージ電圧（電流）の大きさ、プリチャージ電圧などの印加の有無、プリチャージ電圧などのＦＲＣ制御、プリチャージ電圧などの変化状態、プリチャージ印加期間などを制御する駆動方法である。なお、変化あるいは変更は、図９８で説明するようにゆっくりと、あるいは遅延させて実施することが好ましい。

【０６４１】

以上の事項は、本発明の他の実施例でも同様に適用することができることは言うまでもない。また、他の実施例と組み合わせることができることは言うまでもない。

【０６４２】

図７８などでは、画素データはＲ、Ｇ、Ｂデータおよびプリチャージデータ（ＰＲＣ、ＰＧＣ、ＰＢＣ）をパラレルにソースドライバ回路１４に印加するとしたが、本発明はこれに限定するものではない。以上のようにパラレルに印加するように構成すると、コントローラ８１とソースドライバＩＣ１４とを結ぶ配線数が多くなる。そのため、コントローラ８１のピン数が増加しコントローラサイズが大きくなるという課題がある。

【０６４３】

この課題に対して、本発明は、図８０に図示するように、画像データ（ＤＡＴ）６ビットと、コントロールデータ（ＤＣＴＬ）４ビットで構成し、１０ビットで画像データおよびプリチャージデータなどをコントローラ８１からソースドライバ回路１４に印加する。具体的には、従来（パラレルでＲＧＢデータを転送する場合）の１クロックの４倍クロックを用いてシリアルで画像転送を行う。つまり、図８０に図示（ＤＡＴを参照のこと）するように、従来の１クロック期間にＲデータ６ビット、Ｇデータ６ビット、Ｂデータ６ビット、制御データ６ビットを転送する。画像データ、制御データは設定データとして取り扱う。

【０６４４】

Ｒ、Ｇ、Ｂ、データ識別データ（Ｄ）の識別は、ＤＣＴＬの４ビットで行う。以上のように画像データ、コントロールデータをシリアル転送（４相）で行うことによりコントローラとソースドライバ回路１４を結線する配線数が減少し、コントロールＩＣを小型化できる。

【０６４５】

図８０は画像データ（ＤＡＴ）６ビットと、コントロールデータ（ＤＣＴＬ）４ビットで構成し、１０ビットで画像データおよびプリチャージデータなどをコントローラ８１からソースドライバ回路１４に印加する方式である。また、４倍クロックを用いてシリアルで画像転送を行っている実施例である。しかし、本発明はこれに限定されるものではない。たとえば、画像データであるＲＧＢデータと、コントロールデータＤとをシリアルで伝送し、画像データとコントロールデータの識別は、ＩＤ信号で行っても良い。ＩＤデータがＨレベルの時、画像データであることを意味し、Ｌレベルの時、コントロールデータであることを意味する。

【０６４６】

また、画像データをＲＧＢのシリアルで転送し、各画像データがプリチャージするか否かをプリチャージ識別信号ＰＲＣで行っても良い。ＰＲＣ信号がＨレベルの時、該当画像データはプリチャージしてからソース信号線１８に印加されるように制御され、Ｌレベルの時は、プリチャージしないように制御される。

【０６４７】

なお、図示するように、画像データと制御データをそれぞれシリアル伝送してもよいことは言うまでもない。もちろん、画像データをシリアル伝送し、制御データをパラレル伝送してもよい。

【０６４８】

以上の実施例は、ソースドライバＩＣ（回路）１４への入力データをシリアル伝送するものであった。本発明は、これに限定するものではない。たとえば、図８１に例示するように、差動信号にして伝送してもよい。差動信号にする手段として、ＬＶＤＳ、ＣＭＡＤ

Ｓ、ＲＳＤＳ、ｍｉｎｉ－ＬＶＤＳ、自己転送方式などが例示される。

【０６４９】

図８２は、シリアル映像データなどがさらに高い周波数の差動信号に変換されて伝送され、また、差動信号がシリアル映像データなどに戻され、ソースドライバ回路（ＩＣ）１４に入力され、あるいは、さらにパラレルデータに変換されてソースドライバ回路（ＩＣ）１４に入力されている実施例である。つまり、映像データはシリアルデータおよび差動信号に変換されて伝送されている。なお、伝送にあたり、一部の区間あるいは、すべての区間、もしくは一部のデータ信号などがパラレル伝送されてもよいことは言うまでもない。

【０６５０】

図８１に図示するように、本体回路（たとえば、図１５６の１５６１など）の映像信号処理回路からのシリアルデータは、差動回路としてのトランシーバ（トランスミッタ）（Ｔ）８１１ａで差動信号に変換される。差動信号に変換することにより、信号の振幅が減少し、ノイズの影響を受けにくくなり、また不要輻射も減少する。したがって、トランシーバ（Ｔ）８１１ａとレシーバ（Ｒ）８１１ｂ間の距離を長くすることができる。また、信号線の本数も削減することができる。

【０６５１】

差動信号は、差動回路としてのレシーバ（Ｒ）８１１ｂによりシリアルデータに変換される。もちろん、一気に図８２のコントローラＩＣ８２１の機能を取り込みパラレルデータに変換してもよいことは言うまでもない。レシーバ（Ｒ）８１１ｂにより、トランシーバ８１１ａで差動信号変換前のシリアルデータに復元される。

【０６５２】

図８２は、レシーバ（Ｒ）８１１ｂの次段にシリアル－パラレル変換回路８２１が配置または形成された構成例である。シリアル－パラレル変換回路８２１（具体的にはＡＳＩＣからなるコントローラＩＣ（回路）（制御手段）が該当する。）により、シリアルデータはパラレルデータに変換され、変換されたパラレルデータがソースドライバＩＣ（回路）１４に入力される。

【０６５３】

また、図１９０に図示するように、ソースドライバＩＣ１６に差動回路およびデコーダ回路を形成（構成）し、パネルモジュール１２６４の外部からコネクタ１８０１を介して、差動信号１９０１を直接にソースドライバＩＣ１６に入力できるように構成してもよいことは言うまでもない。

【０６５４】

なお、制御データとは、たとえば、図１６、図７５などのプリチャージ制御データ、図５０、図６０、図６４、図６５などの電子ボリウムデータなど多種多様な制御データが例示される。

【０６５５】

図８３は、コントロールＩＣ８１とソースドライバ回路１４、ゲートドライバ回路１２との接続構成を示す。画像データ、電子ボリウムデータ、プリチャージデータを、ＤＣＴＬ、ＤＡＴとしてシリアル転送することにより接続配線を省略することができる。なお、ソースドライバ回路１４の入力段でシリアル－パラレル変換を行うことにより、プリチャージデータ、画像データのラッチあるいは保持回路は図７７と同様になる。ＧＣＴＬの４ビットは、クロック、スタートパルス、アップダウン切り換え、イネーブル信号である。

【０６５６】

図１８０は、本発明の表示パネルの外観図である。パネル１２６４にはソースドライバＩＣ１４がＣＯＧ実装され、ゲートドライバ回路１２はポリシリコンで形成されている。パネル１２６４の端子からフレキ基板１８０２が接続されている。フレキ基板１８０２にはコントローラＩＣ７６０が実装されている。コントローラＩＣ７６０の信号は端子１８０１から入力され、同様にゲートドライバ回路１２の信号も端子１８０１から入力される。

【０６５７】
図１８１は、さらに詳細な本発明の表示パネルである。カソード配線１８１１にはカソード電圧が印加され、カソード配線１８１１はカソード接続位置１８１２でカソード電極と接続されている。ゲートドライバ回路１２にはコントローラＩＣ７６０からのゲートドライバ信号１８１３が印加される。また、ソースドライバＩＣ１４にもコントローラ７６０からソースドライバ信号１８１４が印加される。アノード配線１８１５はソースドライバＩＣの裏面（のアレイ面）に形成されている。また、アノード配線１８１５は表示パネルの表示領域近傍に形成されている。
【０６５８】
図１９１はフレキ基板１８０２部の断面図である。フレキ基板１８０２には電源モジュール１９１２が端子１９１４を介して、フレキ基板１８０２と接続されている。電源モジュール１９１２にはコイル（トランス）１９１３が実装されており、このコイル１９１３はフレキ基板１８０２にあけられた穴に挿入されている。以上のように構成することにより、全体として薄いパネルモジュールを得ることができる。
【０６５９】
図１のように画素１６の駆動用トランジスタ１１ａ、選択トランジスタ（１１ｂ、１１ｃ）がＰチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線１７ａの電位変動が、選択トランジスタ（１１ｂ、１１ｃ）のＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の端子に突き抜けるためである。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。
【０６６０】
しかし、第０階調目の完全黒表示は実現できるが、第１階調などは表示しにくいことになる。もしくは、第０階調から第１階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。
【０６６１】
この課題を解決する構成が、図８４の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路８４１の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル０であっても、ある程度（数１０ｎＡ）電流が流れるようにし、黒レベルの調整にも用いることができる。
【０６６２】
基本的には、図８４は、図１５の出力段に嵩上げ回路８４１（図８４の点線で囲まれた部分）を追加したものである。図８４は、電流値嵩上げ制御信号として３ビット（Ｋ０、Ｋ１、Ｋ２）を仮定したものであり、この３ビットの制御信号により、孫電流源の電流値の０～７倍の電流値を出力電流に加算することが可能である。なお、電流嵩上げ制御信号は３ビットとしているが、これに限定するものではなく、４ビット以上であってもよいことはいうまでもない。
【０６６３】
以上が本発明のソースドライバＩＣ（回路）１４の基本的な概要である。以後、本発明のソースドライバＩＣ（回路）１４について、さらに詳しく説明をする。
【０６６４】
ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは線形の関係がある。つまり、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。電流駆動方式では、１ステップ（階調刻み）は、電流（単位トランジスタ１５４（１単位））である。
【０６６５】
人間の輝度に対する視覚は２乗特性をもっている。つまり、２乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図６２の実線ａで示すように直線の関係であると、低輝度領域でも高輝度領域でも、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。

【０６６６】
したがって、１ステップ（１階調）きざみづつ変化させると、低階調部（黒領域）では、１ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ２乗カーブの直線領域と一致するので、１ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（１ステップが電流きざみの場合）において（電流駆動方式のソースドライバＩＣ（回路）１４において）、黒表示領域の表示が特に課題となる。
【０６６７】
この課題に対して、低階調領域（階調０（完全黒表示）から階調（Ｒ１））の電流出力の傾きを小さくし、高階調領域（階調（Ｒ１）から最大階調（Ｒ））の電流出力の傾きを大きくする。つまり、低階調領域では、１階調あたりに（１ステップ）増加する電流量を小さくする。高階調領域では、１階調あたりに（１ステップ）増加する電流量を大きくする。高階調領域と低階調領域で１ステップあたりに変化する電流量を異ならせることにより、階調特性が２乗カーブに近くなり、低階調領域での黒飛びの発生はない。
【０６６８】
なお、以上の実施例では、低階調領域と高階調領域の２段階の電流傾きとしたが、これに限定するものではない。３段階以上であっても良いことは言うまでもない。しかし、２段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、５段階以上の傾きを発生できるようにガンマ回路を構成することが望ましい。
【０６６９】
本発明の技術的思想は、電流駆動方式のソースドライバＩＣ（回路）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、１階調ステップあたりの電流増加量を複数存在させることである。
【０６７０】
ＥＬなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバＩＣ（回路）１４では、１つの電流源（１単位トランジスタ）１５４に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。
【０６７１】
ＥＬ表示パネルでは、Ｒ、Ｇ、Ｂで発光効率が異なり、また、ＮＴＳＣ基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはＲＧＢの比率を適正に調整する必要がある。調整は、ＲＧＢのそれぞれの基準電流を調整することにより行う。たとえば、Ｒの基準電流を２μＡにし、Ｇの基準電流を１．５μＡにし、Ｂの基準電流を３．５μＡにする。以上のように、複数の表示色の基準電流のうち、少なくとも１色の基準電流は変更あるいは調整あるいは制御できるように構成することが好ましい。
【０６７２】
ホワイトバランスは、図１８４に図示するように基準電流Ｉｃ（赤色の基準電流はＩｃｒ、緑色の基準電流はＩｃｇ、青色の基準電流はＩｃｂ）の調整により実現する。しかし、トランジスタ１５８の特性バラツキなどがあり、ホワイトバランスずれが発生する。これはＩＣチップごとに異なることがある。この課題に対しては、図１８４の基準電流回路６０１ｒ（赤用）、基準電流回路６０１ｇ（緑用）、基準電流回路６０１ｂ（青用）の内部を、図１６４などで説明するトリミング技術を用いて調整し、ホワイトバランスを実現すればよい。特に電流駆動方式は、ＥＬに流す電流Ｉと輝度の関係が直線の関係であるため、この調整はいたって容易である。
【０６７３】
電流駆動方式は、ＥＬに流す電流Ｉと輝度は直線の関係がある。したがって、ＲＧＢの混合によるホワイトバランスの調整は、所定の輝度の一点でＲＧＢの基準電流を調整するだけでよい。つまり、所定の輝度の一点でＲＧＢの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。したがって、

本発明はＲＧＢの基準電流を調整できる調整手段を具備する点、１点折れまたは多点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は電流制御のＥＬ表示パネルに特有の回路方式である。

【０６７４】

基準電流の発生は、図６０から図６６などの構成に限定されるものではない。たとえば、図１９８の構成が例示される。図１９８では、８ビットデータをＤＡ（デジタルアナログ）変換回路６６１で電圧に変換する。この電圧が、電子ボリウム５０１の電源電圧（図６０ではＶｓ）となる。電子ボリウム５０１は、電圧データ（ＶＤＡＴＡ）で制御されてＶｔ電圧が出力される。出力されたＶｔデータがオペアンプ５０２に入力され、抵抗Ｒ１とトランジスタ１５８ａからなる電流回路で所定の基準電流Ｉｃが出力される。以上のように構成すれば、８ビットのＤＡＴＡおよび８ビットのＶＤＡＴＡによりＶｔ電圧の可変範囲を広く制御することができる。

【０６７５】

図１９７は、複数の電流回路（オペアンプ５０２、抵抗Ｒ＊、トランジスタ１５８ａで構成）を具備する構成である。各電流回路が出力する基準電流の大きさＩｃは、抵抗の大きさにより異なっている。オペアンプ５０２ａからなる定電流回路はＲ１＝１ＭΩであり、基準電流Ｉｃ１の電流を流す。オペアンプ５０２ｂからなる定電流回路はＲ２＝５００ＫΩであり、基準電流Ｉｃ２の電流を流す。オペアンプ５０２ｃからなる定電流回路はＲ３＝２５０ＫΩであり、基準電流Ｉｃ３の電流を流す。

【０６７６】

どの電流回路の基準電流Ｉｃを採用するかは、選択スイッチＳにより決定する。スイッチＳの選択は外部からの入力信号により実施する。スイッチＳ１がオンし、スイッチＳ２、Ｓ３をオフすることにより、トランジスタ群４３１ｂに基準電流Ｉｃ１が印加される。スイッチＳ２がオンし、スイッチＳ１、Ｓ３をオフすることにより、トランジスタ群４３１ｂに基準電流Ｉｃ２が印加される。同様に、スイッチＳ３がオンし、スイッチＳ２、Ｓ１をオフすることにより、トランジスタ群４３１ｂに基準電流Ｉｃが印加される。

【０６７７】

基準電流Ｉｃ１、Ｉｃ２、Ｉｃ３がそれぞれ異なるように構成されているため、選択するスイッチＳを切り換えることにより出力端子１５５からの出力電流を一斉に変更することができる。また、選択スイッチＳを１フィールドまたは１フレームなどの定周期で変化させることにより、フレームなどごとにパネルに印加するプログラム電流の大きさを変化させることができ、画像輝度などが複数フレームまたはフィールドで平均化され均一性のよい画像表示を得ることができる。

【０６７８】

なお、上記の実施例では、１フィールドまたは１フレームごとに選択するスイッチＳを変化させ、プログラム電流の大きさを変化させるとしたが、これに限定するものではない。たとえば、数フィールドあるいはフレームごとに変化させてもよく、１Ｈ（１水平走査期間）あるいは複数Ｈ（走査期間）ごとにスイッチＳを切り換えてもよい。また、ランダムに変化させ、全体として所定の基準電流Ｉｃがトランジスタ群４３１ｂに印加するように動作させてもよい。

【０６７９】

基準電流の大きさを周期的に変化させるあるいはランダムに変化させ、一定の周期で平均として所定の基準電流にするという駆動方法は、図１９７に限定するものではない。たとえば、図６０から図６６などの基準電流の発生回路などにも適用することができる。各回路の基準電流は電子ボリウム５０１、電源電圧Ｖｓなどを変化あるいは変更することにより変更できる。

【０６８０】

なお、上記実施例では、Ｉｃ１からＩｃ３のいずれかの基準電流Ｉｃを選択し、トランジスタ４３１ｂに印加するとしたが、これに限定するものはなく、複数の電流回路の電流を加算してトランジスタ群４３１ｂに印加してもよい。この場合は、複数のスイッチＳが

オンさせればよい。また、すべてのスイッチＳをオフ状態にすることによりトランジスタ群４３１ｂに印加される基準電流＝０Ａとすることができる。０Ａにすれば、各端子１５５から出力されるプログラム電流は０Ａとなる。したがって、ソースドライバＩＣ１４を出力オープンの状態にすることができる。つまり、ソース信号線１８からソースドライバＩＣ１４を切り離すことができる。

【０６８１】

図１９８は、複数の基準電流発生回路からの基準電流を加算してトランジスタ４３１ｂに印加する構成である。オペアンプ５０２ａからなる電流回路は、ＤＡＴＡ１からなる８ビットデータで出力電流Ｉｃ１が変化する。オペアンプ５０２ｂからなる電流回路は、ＤＡＴＡ２からなる８ビットデータで出力電流Ｉｃ２が変化する。トランジスタ群４３１ｂには基準電流Ｉｃ１あるいはＩｃ２もしくは両方の基準電流が印加される。

【０６８２】

図１９９は基準電流発生回路の他の実施例である。ゲート配線１５３の両側にトランジスタ１５８ｂ１およびトランジスタ１５８ｂ２が配置されている。トランジスタ１５８ｂ１には、Ｄ１データによりＩ、２Ｉ、４Ｉ、８Ｉのいずれかの電流もしくは組み合わせた電流が印加される。つまり、Ｄ１データによりスイッチＳ＊ａが選択される。なお、２ＩとはＩの２倍の電流を意味し、４ＩとはＩの４倍の電流を意味する。以下、同様である。トランジスタ１５８ｂ２には、Ｄ２データによりＩ、２Ｉ、４Ｉ、８Ｉのいずれかの電流もしくは組み合わせた電流が印加される。つまり、Ｄ２データによりスイッチＳ＊ｂが選択される。以上のように構成しても基準電流をダイナミックに可変できる。

【０６８３】

図２００は、トランジスタ群４３１ｃを複数のブロック（４３１ｃ１、４３１ｃ２、４３１ｃ３）に分割した実施例である。出力端子１５５からは複数のブロックのトランジスタ群４３１ｃからの電流が出力される。

【０６８４】

単位トランジスタ１５４の大きさがトランジスタ群４３１ｃで同一であっても、各単位トランジスタ１５４に流れる電流が異なれば、出力端子１５５から出力されるプログラム電流の大きさは異なる。図２０１に図示するように、基準電流が小さい時は、階調に対するプログラム電流の増加割合は小さい（図２０１の０からＫａを参照のこと）。基準電流が大きい時は、階調に対するプログラム電流の増加割合は大きい（図２０１のＫｂ以上の範囲を参照のこと）。つまり、トランジスタ群４３１ｃを複数のブロックに分割し、各ブロック内の単位トランジスタ１５４に供給する基準電流の大きさを変化させる。なお、この構成は、図５６でも説明しているので、図５６の実施例も参照のこと。

【０６８５】

図２００では、１つのトランジスタ群４３１ｃを３つのブロックに分割している。トランジスタ４３１ｃのトランジスタ４３１ｃ１には、トランジスタ１５８ｂ１に印加される基準電流Ｉ１によりゲート配線１５３ａ電位が設定される。このゲート配線１５３ａの電位によりトランジスタ群４３１ｃ１の単位トランジスタ１５４の出力電流が決定される。また、Ｉ１はＩ２よりも小さいとし、図２０１の低階調範囲（０～Ｋａ）が該当するとする。

【０６８６】

トランジスタ４３１ｃのトランジスタ４３１ｃ２には、トランジスタ１５８ｂ２に印加される基準電流Ｉ２によりゲート配線１５３ｂ電位が設定される。このゲート配線１５３ｂの電位によりトランジスタ群４３１ｃ２の単位トランジスタ１５４の出力電流が決定される。また、Ｉ２はＩ３よりも小さいとし、図２０１の中階調範囲（Ｋａ～Ｋｂ）が該当するとする。同様に、トランジスタ４３１ｃのトランジスタ４３１ｃ３には、トランジスタ１５８ｂ３に印加される基準電流Ｉ３によりゲート配線１５３ｃ電位が設定される。このゲート配線１５３ｃの電位によりトランジスタ群４３１ｃ３の単位トランジスタ１５４の出力電流が決定される。また、Ｉ３は最も大きいとし、図２０１の高階調範囲（Ｋｂ以上）が該当するとする。

【０６８７】
以上のように複数のトランジスタ群４３１ｃを複数のブロックに分割し、分割されたブロックごとに基準電流の大きさを異ならせることにより図２０１のように折れ線ガンマカーブを容易に発生させることができる。また、基準電流数を多くすることにより、さらに多線折れのガンマカーブを得ることができる。
【０６８８】
なお、以上の実施例では、トランジスタ群４３１ｃを複数のブロックに分割し、分割されたブロック内の単位トランジスタ１５４は同一であるとして説明したが、これに限定するものではない。図５５などに図示するように、単位トランジスタ１５４のサイズが異なっていてもよい。また、図１６７のように単位トランジスタ１５４でなくてもよい。また、基準電流の発生は、図１６１から図１６８などいずれの構成であってもよい。
【０６８９】
以上の実施例では、図４３で説明したように、基本的には出力段はトランジスタ群４３１ｃで構成される。トランジスタ群４３１ｃにおいて、Ｄ０ビット目は単位トランジスタ１５４が１個、Ｄ１ビット目は単位トランジスタ１５４が２個、Ｄ２ビット目は単位トランジスタ１５４が４個、・・・・・Ｄｎビット目は単位トランジスタ１５４が２のｎ乗個が配置または形成される。この構成を概念的に図２４０で図示している。
【０６９０】
図２４０ではｔｒｂ（トランジスタブロック）３２は、単位トランジスタ１５４を３２個有していることを示している。同様に、ｔｒｂ（トランジスタブロック）１は、単位トランジスタ１５４を１個有していることを示し、ｔｒｂ（トランジスタブロック）２は、単位トランジスタ１５４を２個有していることを示している。また、ｔｒｂ（トランジスタブロック）４は、単位トランジスタ１５４を４個有していることを示している。以下同様である。
【０６９１】
しかし、単位トランジスタ１５４はＩＣウエハ内において形成位置で特性が異なる。特に拡散構成およびその前後において周期的な特性分布が発生する。一例として、３～４ｍｍ周期で単位トランジスタ１５４の特性の強弱が発生する。このため、図２４０のように端子１５５のピッチでトランジスタ群４３１ｃを形成すると、端子１５５から出力される電流の強弱周期（出力階調が全端子１５５で同一とした場合）が発生してしまうことがある。
【０６９２】
この課題に対して、本発明では図２４１に図示するように、多くの単位トランジスタ１５４を保有するｔｒｂ（トランジスタブロック）をさらに細分化する。図２４１では一例として、ｔｒｂ３２を４つのブロック（ｔｒｂ３２ａ、ｔｒｂ３２ｂ、ｔｒｂ３２ｃ、ｔｒｂ３２ｄ）に分割している。基本的には分割される単位トランジスタ１５４数は同一である。もちろん分割する単位トランジスタ１５４数は異ならせてもよいことはいうまでもない。
【０６９３】
図２４１ではｔｒｂ３２ａ、ｔｒｂ３２ｂ、ｔｒｂ３２ｃ、ｔｒｂ３２ｄは、各８個の単位トランジスタ１５４で構成されている。また、ｔｒｂ１６に対しても、ｔｒｂ１６ａ、ｔｒｂ１６ｂの各８個の単位トランジスタ１５４から構成される小ブロックに分割してもよいことは言うまでもない。ここでは説明を容易にするため、ｔｒｂ３２のみが分割されているとして説明をする。
【０６９４】
出力端子１５５からの出力電流の周期をなくすためには、ＩＣ（回路）チップ内からより広い位置に形成された単位トランジスタ１５４で１つの出力段４３１ｃを構成することが有効である。この実施例が、図２４２の構成である。ただし、図２４２は概念的に図示している。実際は、横方向の配線により遠い位置にあるｔｒｂが結線されて１端子１５５の出力段４３１ｃを構成する。

【０６９５】
図２４２では、端子１５５ａのＤ５ビット目は、ｔｒｂ３２ａ１、ｔｒｂ３２ａ２、ｔｒｂ３２ｃ１、ｔｒｂ３２ｃ２１から構成される。つまり本来は隣接した出力端子１５５ｂの単位トランジスタ群を用いて端子１５５ａの出力段が構成されている。同様に、端子１５５ｂのＤ５ビット目は、ｔｒｂ３２ｂ２、ｔｒｂ３２ｂ３、ｔｒｂ３２ｄ２、ｔｒｂ３２ｄ３から構成される。つまり、本来は隣接した出力端子１５５ｃの単位トランジスタ群を用いて端子１５５ｂの出力段が構成されている。さらに、端子１５５ｃのＤ５ビット目は、ｔｒｂ３２ａ３、ｔｒｂ３２ａ４、ｔｒｂ３２ｃ３、ｔｒｂ３２ｃ４から構成される。つまり、本来は隣接した出力端子１５５ｄの単位トランジスタ群を用いて端子１５５ｃの出力段が構成されている。以下同様である。

【０６９６】
より現実には、図２４３のように小トランジスタ群ｔｒｂは結線される。図２４３は端子１５５ａのｔｒｂ３２のみの結線状態を図示している（他のビット、他の端子１５５も同様の結線が施される）。図２４３において、ｔｒｂ３２はｔｒｂ３２ａ１と、６端子隣のｔｒｂ３２ｂ６、１１端子隣のｔｒｂ３２ｃ１１、１６端子隣のｔｒｂ３２ｄ１６で構成されている。つまり、ｔｒｂ３２は、上下位置、左右位置が異なるｔｒｂ３２が接続（結線）されて構成される（形成される）。以上のように、単位トランジスタ群４３１の各ビットを構成する単位トランジスタ１５４を離れた位置の単位トランジスタ１５４で構成することにより出力バラツキの周期性を解消することができる。

【０６９７】
しかし、図２４３のように結線を実施すると、端子１５５ｎ（最も最後の端子）は結線するｔｒｂが存在しない。この課題に対しては、トランジスタ群４３１ｃとカレントミラー対を構成する基準電流を流すトランジスタ群４３１ｂの単位トランジスタ１５８ｂ（図４８、図４９を参照のこと）を使用することにより解決できる。単位トランジスタ１５８ｂと単位トランジスタ１５４とは同一サイズ、同一形状で構成しておく。トランジスタ群４３１ｂはＩＣ（回路）１４の片方端あるいは両側に配置されている。なお、断っておくが、端子１５５ｎにおいても接続できるｔｒｂを形成する場合は、以下に説明する構成を採用する必要がないことは明らかである。

【０６９８】
トランジスタ群４３１ｂを構成する単位トランジスタ１５８ｂから構成されるｔｒｂ（３２）と同様の機能を有するトランジスタ群をｔｂとする（図２４４を参照のこと）。したがって、ｔｂとｔｒｂは同一のゲート配線１５３に接続されている。したがって、端子１５５ｎのｔｒｂ３２は、ｔｒｂ３２ｎ１と、６端子隣のｔｂ３２ｂ６、１１端子隣のｔｂ３２ｃ１１、１６端子隣のｔｂ３２ｄ１６で構成すればよい。

【０６９９】
なお、図２４５に図示するように、ｔｂとｔｒｂを分散してＩＣ（回路）１４内に構成または配置しておけば、図２４４のように複雑な結線は不要となることは言うまでもない。

【０７００】
検討の結果によれば、単位トランジスタ１５４は少なくとも０．０５平方ｍｍ以上の範囲にある単位トランジスタ１５４から構成することが好ましい。さらに好ましくは０．１平方ｍｍ以上の範囲にある単位トランジスタ１５４から構成することが好ましい。さらに好ましくは、０．２平方ｍｍ以上の範囲にある単位トランジスタ１５４から構成することが好ましい。この面積（平方ｍｍ）の算出は、最も遠方の位置にある４個の単位トランジスタ１５４を結ぶ直線から求める。

【０７０１】
以下、本発明のソースドライバ回路（ＩＣ）１４の他の実施例について説明をする。なお、以下に説明する事項以外は、以前に説明した、あるいは本明細書に記載した事項が適用できることはいうまでもない。また、適時組み合わせることができることは言うまでもない。逆に、以下の実施例で説明する事項が本発明の他の実施例適用あるいは適時採用で

きることも言うまでない。また、以下に説明するソースドライバ回路（ＩＣ）１４を用いて表示パネルあるいは情報表示装置（図１２６、図１５４から図１５７など）を構成できることは言うまでもない。

【０７０２】

図１８８は、本発明のソースドライバ回路（ＩＣ）１４の実施例である。ただし、説明に必要な部分のみ図示している。図１８８の構成においても、本発明の他の実施例と同様に、シリコンからなるＣＭＯＳトランジスタで回路構成されている（なお、回路１４をアレイ基板３０に直接形成してもよいことは言うまでもない）。

【０７０３】

図１６８において、電子ボリウム５０１を制御するデータ（ＩＤＲ、ＩＤＧ、ＩＤＢ）は、クロック（ＣＬＫ）信号に同期して値が確定し、この値により電子ボリウム５０１のスイッチが制御され、所定の電圧がオペアンプ５０２の＋端子に印加される。

【０７０４】

また、オペアンプ５０２と抵抗Ｒ１、トランジスタ１５８ａにより定電流回路が構成され、基準電流Ｉｃが発生する。基準電流Ｉｃの大きさに比例して端子１５５から出力されるプログラム電流の大きさが変化する。プログラム電流発生回路１８８４は内部にカレントミラー回路とＤＡＴＡのデコーダ部を有している。より具体的にはプログラム電流発生回路１８８４は、図６０のトランジスタ１５８ｂとトランジスタ群４３１ｃの関係、図２０９、図２１０のトランジスタ１５８ｂとトランジスタ１５４の関係あるいはその類似構成が例示される。

【０７０５】

プログラム電流発生回路は、基準電流Ｉｃの大きさを基準として、映像（画像）データであるＤＡＴＡ（ＤＡＴＡＲ，ＤＡＴＡＧ，ＤＡＴＡＢ）の大きさに対応してプログラム電流Ｉｐを発生させる。

【０７０６】

発生したプログラム電流Ｉｐは電流保持回路１８８１に保持される。電流保持回路１８８１はトランジスタ１１ａ、１１ｂ、１１ｃ、１１ｄとコンデンサ１９から構成される。構成としては、図１の画素構成において、ＰチャンネルトランジスタをＮチャンネルトランジスタに変更した構成である。階調電流配線１８８２に印加されたプログラム電流Ｉｐはコンデンサ１９に電圧として保持される。

【０７０７】

電流Ｉｐの保持動作は、サンプリング回路８６２の点順次動作により行われる。つまり、サンプリング回路８６２は、１０ビット（１０２４端子まで選択が可能）のアドレス信号（ＡＤＲＳ）により、プログラム電流Ｉｐを保持させる階調保持回路１８８１が選択される。選択は選択信号線１８８５に選択電圧（トランジスタ１１ｂ、１１ｃをオン状態にする電圧）を出力することにより実施される。したがって、プログラム電流Ｉｐは階調保持回路１８８１にランダムに格納させることができる。しかし、一般的には、アドレス信号ＡＤＲＳは順次カウントアップされ、電流保持回路１８８１ａから１８８１ｎが順次選択される。

【０７０８】

プログラム電流Ｉｐはコンデンサ１９に保持され、この保持された電圧により、駆動用トランジスタ１１ａはプログラム電流Ｉｐを端子１５５から出力する。電流保持回路１８８１において、駆動用トランジスタ１１ａの機能としては、図１のトランジスタ１１ａの動作と同一である。また、図１８８のトランジスタ１１ｃ、１１ｂも、図１のトランジスタ１１ｂ、１１ｃと機能あるいは動作は同一である。つまり、選択信号線１８８５に選択電圧が順次印加され、電流保持回路１８８１のトランジスタ１１ｂ、１１ｃがオンされて、プログラム電流Ｉｐがトランジスタ１１ａ（トランジスタ１１ａのゲート端子に接続されたコンデンサ１９）に保持される。

【０７０９】

すべての電流保持回路１８８１にプログラム電流Ｉｐの書き込みが完了すると、出力制

御端子１８８３にオン電圧が印加され、端子１５５ａから１５５ｎに各電流保持回路１８８１に保持されたプログラム電流Ｉｐが出力される（ソース信号線１８から端子１５５にプログラム電流Ｉｐが入力される）。出力制御端子１８８３の印加されるオン電圧のタイミングは、１水平走査クロックに同期される。つまり、１画素行選択（あるいは１画素行シフト）クロックに同期される。

【０７１０】

図１８９は図１８８を模式的に図示したものである。階調電流配線１８８２を流れるプログラム電流Ｉｐはサンプリング回路８６２によりスイッチ１１ｂ、１１ｃ（トランジスタ１１ｂ、１１ｃ）が制御され、電流保持回路１８８１にプログラム電流Ｉｐが入力される。また、スイッチ１１ｂ（トランジスタ１１ｂ）が出力制御端子１８８３により制御され、一斉にオンされ、プログラム電流Ｉｐが出力される。

【０７１１】

図１８８、図１８９では、電流保持回路１８８１は１画素行分としているが、実際には、２画素行分が必要である。１画素行分（第１保持回路）は、ソース信号線１８にプログラム電流Ｉｐを出力するのに用い、他の１画素行分（第２保持回路）は、サンプリング回路８６２でサンプリングされた電流を電圧保持回路１８８１に保持するのに用いる。第１保持回路と第２保持回路とは交互に切り換えて動作させる。

【０７１２】

図２２８は第１保持回路２２８０ａと第２保持回路２２８０ｂを具備した出力段構成である。図１８８と図２２８との関係は、電流保持回路１８８１は出力回路２２８０、階調電流配線１８８２は電流信号線２２８３、出力制御端子１８８３はゲート信号線２２８２、選択信号線１８８５はゲート信号線２２８４、トランジスタ１１ａはトランジスタ２２８１ａ、トランジスタ１１ｂはトランジスタ２２８１ｂ、トランジスタ１１ｃはトランジスタ２２８１ｃ、トランジスタ１１ｄはトランジスタ２２８１ｄ、コンデンサ１９はコンデンサ２２８９に該当する。

【０７１３】

出力回路２２８０ａにプログラム電流Ｉｐがサンプリングされ入力されている時は、出力回路２２８０ｂはソース信号線１８に保持されたプログラム電流Ｉｐを出力している。逆に出力回路２２８０ａがソース信号線１８に保持されたプログラム電流Ｉｐを出力している時は、出力回路２２８０ｂはサンプリングされたプログラム電流Ｉｐを順次保持していっている。出力回路２２８０ａと出力回路２２８０ｂとが、ソース信号線１８ｂにプログラム電流Ｉｐを出力（入力）している期間は１Ｈごとに切り換えられる。この出力の切り換えはｃ１、ｃ２端子で行われる。

【０７１４】

なお、電流信号線２２８３には、リセット電圧Ｖｃｐを印加するスイッチＳｃが形成または配置している。スイッチＳｃをオンさせることにより、リセット電圧Ｖｃｐが電流信号線２２８３に印加される。リセット電圧Ｖｃｐは、ＧＮＤ電圧に近い電圧である。リセット電圧を印加する際は、ゲート信号線２２８４にオン電圧を印加し、トランジスタ２２８１ｂ、２２８１ｃをオンさせる。トランジスタ２２８１ｂ、２２８１ｃをオンさせることにより、コンデンサ２２８９の電荷を放電することができ、トランジスタ２２８１ａが電流を出力しない状態にできる。つまり、リセット電圧Ｖｃｐはトランジスタ２２８１ａをオフあるいはオフ状態に近い状態にする電圧である。なお、リセット電圧Ｖｃｐは、トランジスタ２２８１ａが中間レベルの電圧を出力するような構成などにしてもよいことは言うまでもない。

【０７１５】

図２２９は図２２８の回路の動作タイミングチャート図である。図２２９において、Ｓｉｇは、プログラム電流発生回路１８８４からの信号である。映像信号に対応した電流が連続的に印加される。ＳｃはリセットスイッチのＨレベルの時スイッチＳｃはオン状態であり、電流配線２２８３にリセット電圧Ｖｃｐが印加される。図２２９でもわかるように、リセット電圧Ｖｃｐは１Ｈの最初に印加されていることがわかる。

つまり、まず、電流保持回路（出力回路）２２８０ａまたは２２８０ｂにリセット電圧Ｖｃｐが印加された後、プログラム電流Ｉｐが出力回路２２８０にサンプリングされて保持される。なお、リセット電圧Ｖｃｐは１Ｈに１回に限定するものではなく、１出力回路２２８０のサンプリングごとに印加してもよく、また、複数出力回路２２８０のサンプリングごとにリセット電圧Ｖｃｐを印加してもよい。また、１フレームまたは複数フレームごとにリセット電圧を印加してもよい。

【０７１６】

ｃ１およびｃ２は切り換え信号である。ｃ１のロジック電圧がＨレベルの時には、出力回路２２８０ａが選択され、ｃ２のロジック電圧がＨレベルの時には、出力回路２２８０ｂが選択されてソース信号線１８にプログラム電流Ｉｐが出力される。

【０７１７】

以上のように出力回路２２８０ａまたは２２８０ｂを選択し、順次プログラム電流Ｉｐを印加（保持）させるためには、図２３０に図示するようにサンプリング回路８６２を２つ設けるとよい。サンプリング回路８６２ａは出力回路２２８０ａを順次選択して、出力回路２２８０ａにプログラム電流Ｉｐを保持させる。サンプリング回路８６２ｂは出力回路２２８０ｂを順次選択して、出力回路２２８０ｂにプログラム電流Ｉｐを保持させる。

【０７１８】

リセット電圧Ｖｃｐは、図７５に図示するように、プリチャージ電圧を変化させる構成を採用してもよい。なお、プリチャージ電圧に関する事項で説明した事項は、リセット電圧Ｖｃｐにも適用することができる。図７５のようなプリチャージ回路を、図２３０のリセット回路２３０１に置き換えればよい。同様に、基準電流回路１８８４も以前に説明した構成を採用すればよい。

【０７１９】

出力回路２２８０で課題になるのは、ゲート信号線２２８４に印加した信号により、保持用のトランジスタ２２８１ａのゲート端子電位が変化し、保持されたプログラム電流Ｉｐから変化してしまうことがある。これは、ゲート信号線２２８４に印加された電圧波形が、寄生容量により突き抜けてゲート端子電位を変化させることにより発生する。この突き抜け電圧により保持用トランジスタ２２８１ａがＮチャンネルトランジスタの場合は、保持されたプログラム電流Ｉｐが小さくなる。保持用トランジスタ２２８１ａがＰチャンネルの場合は、図２２８の構成では、保持されたプログラム電流が大きくなる。

【０７２０】

この課題を解決する構成を図２３１に図示している。図２３１の出力回路２２８０では、スイッチ用トランジスタ２２８１ｂとコンデンサ２２８９間にトランジスタ２３１１を形成または配置している。トランジスタ２３１１は配線をオープンする機能を有する。

【０７２１】

トランジスタ２３１１は、出力回路２２８０にサンプリングされたプログラム電流Ｉｐが保持され、ゲート信号線２２８４にオフ電圧が印加される（出力回路２２８０が電流信号線２２８３から切り離される）前に動作する（オフする）。つまり、まず、ゲート信号線２２８４にオフ電圧が印加されたのち、遅れてゲート信号線２２８４にオフ電圧が印加される。したがって、トランジスタ２３１１がオフした後、出力回路２２８０が電流信号線２２８３から切り離される。

【０７２２】

図２３２はゲート信号線２２８４と２２８５のなどのタイミングチャート図である。図２３２でわかるように、ゲート信号線２２８５にオフ電圧が印加された後、ゲート信号線２２８４にオフ電圧が印加される。

【０７２３】

以上のように、まず、トランジスタ２３１１をオフさせる。トランジスタ２３１１をオフすることによりゲート信号線２２８４の突き抜け電圧を軽減することができる。なお、図２３２における時間ｔは０．５μｓｅｃ以上にすることが好ましい。また、さらに好ましくは１μｓｅｃ以上にすることが好ましい。

【０７２４】
保持用トランジスタ２２８１ａはキンク（アーリー効果）の影響を防止あるいは抑制するため、一定のＷＬ比とすることが好ましい。図２３３はこのアーリー効果の発生比をグラフ化したものである。図２３３で図示するように、Ｌ／Ｗ比が２以下ではアーリー効果の影響が大きくなる。逆にＬ（トランジスタ２２８１ａチャンネル長（μｍ）／Ｗ（トランジスタ２２８１ａのチャンネル幅（μｍ））は２以上では、急激にアーリー効果の影響は小さくなる。以上のことから、保持用トランジスタ２２８１ａは、Ｌ／Ｗ比が２以上にすることが好ましい。さらに好ましくは４以上にする。
【０７２５】
また、保持用トランジスタ２２８１ａのチャンネル間電圧（ＩＣ内ソースードレイン電圧Ｖｓｄ）とアーリー効果とも関連がある。この関連を図２３４に図示している。なお、Ｖｓｄ電圧とは、保持用トランジスタ２２８１ａに印加される最大電圧であり、図２３１などでは、端子１５５に印加される電圧である。
【０７２６】
図２３４のグラフでも図示するように、Ｖｓｄ電圧が９Ｖ以上でアーリー降下の影響が顕著になる傾向にある。したがって、端子１５５に印加される電圧つまりソース信号線１８に印加される電圧は９Ｖ以下０Ｖ以内（ＧＮＤ）にすることが好ましい。さらに好ましくは、ソース信号線１８に印加される電圧は８Ｖ以下０Ｖ以上にする必要がある。
【０７２７】
以上の実施例は出力回路２２８０を２段設ける構成であった。しかし、本発明はこれに限定するものではなく、図２３７に図示するように複数形成してもよい。図２３７では出力回路２２８０ａを出力回路２２８０ａｈと２２８０ａｌの２つで構成し、同様に出力回路２２８０ｂを出力回路２２８０ｂｈと２２８０ｂｌの２つで構成している。出力回路２２８０ａｈおよび２２８０ｂｈは、比較的大きなプログラム電流Ｉｐｈを出力する回路であり、出力回路２２８０ａｌおよび２２８０ｂｌは、比較的小さなプログラム電流Ｉｐｌを出力するものである。
【０７２８】
以上にように、出力回路２２８０ａ、２２８０ｂを複数に分割することにより各出力回路２２８１が分担する階調を分離あるいは加算して出力することができる。そのため、精度のよいプログラム電流Ｉｐを出力することができる。
【０７２９】
なお、保持用トランジスタ２２８１ａのモビリティは４００以下１００以上にすることが好ましい。さらに好ましくは、モビリティは３００以下１５０以上にすることが好ましい。この条件を満足させるために、トランジスタ２２８１ａを構成するゲート絶縁膜を厚くする。厚くする方法としては、ゲート絶縁膜を２層蒸着などの多層構成にする例が例示される。
【０７３０】
以下、本発明の表示パネルの検査方法について説明をする。図２０２は、本発明の表示パネルの完成前の状態である。ソース信号線１８の一端が、ショート配線２０２１でショート状態にされている。検査後、ショートしている箇所はＡＡ’線で切断して完成する。ショート配線２０２１にプロービィングし検査電圧を印加することより全ソース信号線１８に検査電圧を印加することができる。
【０７３１】
ショート配線２０２１を形成しない場合（分離した状態）は、ソース信号線１８のＣＯＧ端子から電圧もしくは電流を印加する。図２０３は、ＣＯＧ端子（ソース信号線端子）２０３４に検査用のショートチップ２０３２を実装した例である。ショートチップ２０３２は金属あるいは導電体から構成される。もしくは、少なくともソース信号線端子２０３４に電圧などの電気信号を印加できるように構成されている。
【０７３２】
ショートチップ２０３２とアノード端子配線２０３１に、図２０３に図示するように直

流あるいは交流電圧（電流）を印加する。ショートチップ２０３２は端子２０３３を介してソース信号線１８と接続されている。したがって、画素１６のソース信号線１８とアノードに電圧を印加することができる。たとえば、図１のＶｄｄ端子とソース信号線１８に電圧を印加できる。この状態でゲートドライバ１２に電源電圧を印加し、クロックなどを印加して（図１４などを参照のこと）動作させる。画素１６は画素行ごとに順次選択され、ソース信号線１８に印加された電圧が駆動用トランジスタ１１ａのゲート端子に印加される。ゲート端子への電圧印加により駆動用トランジスタ１１ａからソース信号線１８に電流が流れる。もしくは、ＥＬ素子１５に電流が流れ、ＥＬ素子１５が発光する。

【０７３３】

以上の動作は、ゲートドライバ回路１２を走査して動作させることによりＥＬ素子１５が順次発光し、発光の点滅状態あるいは点灯状態を光学的に検出することによりＥＬ表示パネルの検査を行うことができる。

【０７３４】

検査は光学的に実施する。光学的とは、人間の視覚で判断すること、ＣＣＤカメラで撮影し画像認識で検出することなどが例示される。検出は、画素が常時輝点となること、常時黒点となること、線欠陥、点滅欠陥などである。また、表示スジ、濃淡ムラなどを検出する。また、フリッカの発生状態を検出する。

【０７３５】

図２０３はショートチップ２０３を用いるものであるが、導電性の液体などをソース信号線２０３４に滴下してもよい。滴下した液体などとアノード端子配線２０３１間に、直流あるいは交流の電圧（電流）を印加する。電流プログラム方式では、印加する電流がμＡ程度と微小電流である。したがって、導電性の液などが高抵抗であっても検査には十分である。導電性のある液体あるいはゲルとしては、水酸化ナトリウム、塩酸、硝酸、塩化ナトリウム溶液、銀ペースト、銅ペーストなどが例示される。

【０７３６】

以上の実施例では、ゲートドライバ回路１２を動作させ、ゲートドライバ回路１２を走査状態にして、画素行ごとにＥＬ素子１５を点灯状態にして、パネルあるいはアレイの検査を実施するとした。しかし、本発明はこれに限定するものではない。たとえば、表示画面を一括して点灯させて検査をしてもよい。

【０７３７】

図２０５は画面の一括検査の説明図である。なお、説明を容易にするため、画面を一括検査するとして説明するが、これに限定されない。画面をブロックに分割して検査を行ってもよいし、複数画素行ずつ順次点灯して検査をおこなってもよい。つまり、多数画素を同時に点灯する概念である。なお、逆に１画素ずつ点灯させて検査を実施してもよいことは言うまでもない。

【０７３８】

なお、説明を容易にするため、アノード電圧Ｖｄｄを６（Ｖ）とし、駆動用トランジスタ１１ａを５（Ｖ）以下にすることにより、ＥＬ素子１５を十分に点灯させる電流を供給できるものとする。また、全ソース信号線１７には外部から電圧が印加されているものとする。以上のように、本発明の検査方法では、画素１６の駆動用トランジスタ１１ａがＰチャンネルの時、駆動用トランジスタ１１ａの立ち上がり電圧以下の電圧をソース信号線１８に印加できるように構成する。この立ち上がり電圧は説明を容易にするために５（Ｖ）としている。また、ソース信号線に印加する電圧は、アノード電圧Ｖｄｄからアノード電圧Ｖｄｄ－８（Ｖ）であり、好ましくは、アノード電圧Ｖｄｄからアノード－６（Ｖ）の範囲であるとして説明をする。

【０７３９】

図２０５では、ソース信号線１８には、０～５（Ｖ）の検査電圧が印加されているものとする。したがって、この電圧が駆動用トランジスタ１１ａのゲート端子に印加されることにより、駆動用トランジスタ１１ａが電流を流せるようになる。

【０７４０】

検査方法は、まず、すべてのゲート信号線１７ｂにオフ電圧Ｖｇｈ電圧を印加した状態で、ゲート信号線１７ａをオフ電圧（Ｖｇｈ）からオン電圧（Ｖｇｌ）に変化させることによりソース信号線１８の電位が画素１６に書き込まれる。ソース信号線１８の電位が駆動用トランジスタ１１ａの立ち上がり電圧以下（５（Ｖ）以下）であれば、駆動用トランジスタ１１ａに電圧が流れるようにプログラムが行われる。

【０７４１】

次に、すべてのゲート信号線１７ｂにオン電圧Ｖｇｌ電圧を印加し、同時にまたはそれよりも早く、ゲート信号線１７ａをオン電圧（Ｖｇｈ）からオフ電圧（Ｖｇｌ）に変化させる。すると、駆動用トランジスタ１１ａなどが正常であれば、駆動用トランジスタ１１ａからＥＬ素子１５に電流が供給され、ＥＬ素子１５が点灯する。

【０７４２】

また、ＥＬ素子１５が点灯状態で、ゲート信号線１７ｂにオン電圧とオフ電圧を交互に印加すればＥＬ素子１５が点滅する。したがって、スイッチ用トランジスタ１１ｄの良否を判定できる。

【０７４３】

なお、図２０５において、ゲート信号線１７ａとゲート信号線１７ｂの両方にオン電圧を印加した状態で、ソース信号線１８に印加する電圧を駆動用トランジスタ１１ａの立ち上がり電圧以上と以下の間を周期的に変化させてもよい。周期的に変化させることによりこの周期的な変化に対応してＥＬ素子１５が発光する。なお、この場合のＥＬ素子１５の発光電流Ｉｔは、ソース信号線１８から供給される。また、場合によっては駆動用トランジスタ１１ａから供給される。

【０７４４】

以上のように動作させることにより、駆動用トランジスタ１１ａ、スイッチ用トランジスタ１１ｃ、１１ｂ、１１ｄの性能、欠陥を検出できる。また、駆動用トランジスタ１１ａ、ＥＬ素子１５の性能、特性を評価できる。

【０７４５】

以上の実施例は、ソース信号線１８の電位を変化させることにより、ＥＬ素子をソース信号線１８の電位に応じて発光制御するものである。しかし、本発明はこれに限定するものではない。たとえば、図２０６に図示するように、アノード電圧Ｖｄｄを変化させてもよい。

【０７４６】

検査方法は、まず、すべてのゲート信号線１７ｂにオフ電圧Ｖｇｈを印加した状態で、ゲート信号線１７ａをオフ電圧（Ｖｇｈ）からオン電圧（Ｖｇｌ）に変化させることによりソース信号線１８の電位が画素１６に書き込まれる。ソース信号線１８の電位が駆動用トランジスタ１１ａの立ち上がり電圧以下（５（Ｖ）以下）であれば、駆動用トランジスタ１１ａに電圧が流れるようにプログラムが行われる。

【０７４７】

次に、すべてのゲート信号線１７ｂにオン電圧Ｖｇｌを印加し、同時にまたはそれよりも早く、ゲート信号線１７ａをオン電圧（Ｖｇｈ）からオフ電圧（Ｖｇｌ）に変化させる。すると、駆動用トランジスタ１１ａなどが正常であれば、駆動用トランジスタ１１ａからＥＬ素子１５に電流Ｉｔが供給され、ＥＬ素子１５が点灯する。また、ＥＬ素子１５が点灯状態で、ゲート信号線１７ｂにオン電圧とオフ電圧を交互に印加すればＥＬ素子１５が点滅する。したがって、スイッチ用トランジスタ１１ｄの良否を判定できる。

【０７４８】

また、ゲート信号線１７ａにオフ電圧を印加し、ゲート信号線１７ｂのオン電圧を印加した状態で、アノード端子（Ｖｄｄ電圧）にＶｄｄ電圧を、駆動用トランジスタ１１ａの立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることによりこの周期的な変化に対応してＥＬ素子１５が発光する。なお、この場合のＥＬ素子１５の発光電流は、駆動用トランジスタ１１ａから供給される。以上のように動作させることにより、駆動用トランジスタ１１ａ、スイッチ用トランジスタ１１ｃ、１１ｂ、１１ｄの性能、欠

陥を検出できる。また、駆動用トランジスタ１１ａ、ＥＬ素子１５の性能、特性を評価できる。

【０７４９】

以上の実施例は、画素構成が図１として説明したが、これに限定されるものではなく、図２、図７、図１１、図１２、図１３、図２８、図３１などの他の画素構成のＥＬ表示パネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【０７５０】

以上の実施例は、画素構成が電流プログラム方式の場合を例示した。しかし、本発明はこれに限定するものではなく、図２のように電圧プログラム方式であっても検査できることはいうまでもない。

【０７５１】

図２０７は、電圧プログラム方式の画素構成における検査方法の説明図である。検査方法は、まず、すべてのゲート信号線１７ａをオフ電圧（Ｖｇｈ）からオン電圧（Ｖｇｌ）に変化させることによりソース信号線１８の電位が画素１６に書き込まれる。ソース信号線１８の電位が駆動用トランジスタ１１ａの立ち上がり電圧以下（５（Ｖ）以下）であれば、駆動用トランジスタ１１ａに電圧が流れるようにプログラムが行われる。

【０７５２】

次に、ゲート信号線１７ａをオン電圧（Ｖｇｈ）からオフ電圧（Ｖｇｌ）に変化させる。すると、駆動用トランジスタ１１ａなどが正常であれば、駆動用トランジスタ１１ａからＥＬ素子１５に電流Ｉｔが供給され、ＥＬ素子１５が点灯する。

【０７５３】

また、ゲート信号線１７ａにオフ電圧を印加し、アノード端子（Ｖｄｄ電圧）にＶｄｄ電圧を、駆動用トランジスタ１１ａの立ち上がり電圧以下の電圧を周期的に変化させる。周期的に変化させることにより、この周期的な変化に対応してＥＬ素子１５が発光する。なお、この場合のＥＬ素子１５の発光電流は、駆動用トランジスタ１１ａから供給される。以上のように動作させることにより、駆動用トランジスタ１１ａ、スイッチ用トランジスタ１１ｃの性能、欠陥を検出できる。また、駆動用トランジスタ１１ａ、ＥＬ素子１５の性能、特性を評価できる。

【０７５４】

以下、図面を参照しながら本発明の他の実施例における検査方法について説明をする。図２０２はショート配線２０２１を検査後に切断する方式であった。図２２３は、ソース信号線１８の一端に検査スイッチとしてのトランジスタ２２３２を形成または配置した構成である。トランジスタ２２３２のゲート端子に電圧を印加することにより、トランジスタ２２３２はオンし、テスト電圧（Ｖｔｅｓｔ）がソース信号線１８に印加される。トランジスタ２２３２のオンオフ制御はオンオフ制御手段２２３１により行われる。

【０７５５】

オンオフ制御手段２２３１は、トランジスタ２２３２をオンオフ制御するが、その制御はゲートドライバ回路１２と同期をとって実施される。具体的には、図２０３から図２０７で説明した検査方法が実施される。

【０７５６】

たとえば、図２２４に図示するようにして検査は実施される。トランジスタ２２３２がオンすることにより、図２２４（ａ）に図示するように、Ｖｔｅｓｔ電圧はトランジスタ２２３２を介してソース信号線１８に印加される。また、この時、ゲート信号線１７ｂにはオフ電圧が印加されており、トランジスタ１１ｄはオープン状態である。検査する画素１６のゲート信号線１７ａにオン電圧が印加されていれば、図２２４に図示するように、Ｖｔｅｓｔ電圧が駆動用トランジスタ１１ａのゲート端子に印加される。この電圧は駆動用トランジスタ１１ａの立ち上がり電圧以上である。

【０７５７】

次に、図２２４（ｂ）に図示するように、ゲート信号線１７ａにはオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加される。したがって、駆動用トランジスタ１１ａ

からＥＬ素子１５に電流Ｉｔが流れ、ＥＬ素子１５が発光する。

【０７５８】

また、図２２３の構成において、オンオフ制御手段２２３１を制御し、トランジスタ２２３２をオンオフ制御すれば、すべての画素１６のゲート信号線１７ａにオン電圧が印加されていても、ＥＬ素子１５を点滅表示させることができる。つまり、トランジスタ２２３２により、ＥＬ素子１５などの特性などを評価あるいは検査することができる。

【０７５９】

図２２３は、トランジスタ２２３２を制御することによりソース信号線１８に電流あるいは電圧を印加し、ＥＬ表示パネルあるいはＥＬ表示パネル用アレイを検査もしくは評価を実施するものであった。

【０７６０】

図２２５はソース信号線１８に形成された保護ダイオード２２５１を利用してソース信号線１８に検査に必要な電圧または電流を印加するものである。保護ダイオード２２５１は静電気保護のため、各ソース信号線１８にポリシリコン技術を用いて形成される。なお、ダイオード２２５１はトランジスタをダイオード接続して形成する。

【０７６１】

図２２５に図示するように、各ソース信号線１８には保護ダイオード２２５１ａ、２２５１ｂが接続されている。通常の電圧（ＶＬ、ＶＨ）設定状態では、保護ダイオードはオフ状態になるようにされている。つまり、各保護ダイオード２２５１にはＶＬあるいはＶＨにより逆電圧が印加されオフ状態である。

【０７６２】

検査時は、保護ダイオードをオン状態になるように、ＶＬ電圧またはＶＨ電圧もしくは両方の電圧を設定する（操作する）。たとえば、ＶＬ電圧を高電圧にすることにより、電圧配線２２５２ａから保護ダイオード２２５１ｂを介して、検査電圧（前記高電圧：Ｖｄｄ～Ｖｄｄ－６（Ｖ））はソース信号線１８に印加することができる。また、ＶＨ電圧を低電圧にすることにより、電圧配線２２５２ｂから保護ダイオード２２５１ａを介して、検査電圧（前記低電圧）をソース信号線１８に印加することができる。

【０７６３】

図２２６は検査状態の説明図である。保護ダイオード２２５１はリーク状態の時は抵抗としてみなせる。本発明のように、保護ダイオードをリーク状態にすることによりソース信号線に検査電圧（電流）を印加し、ＥＬ表示パネルまたはアレイを検査できるのは、画１６が電流プログラム方式であることに起因することが大きい。電流プログラム方式では、プログラムする電流はμＡ程度と微小である。したがって、保護ダイオード２２５１がリーク状態のように高抵抗の場合であっても、微小電流の印加あるいは吐き出しには影響を与えない。

【０７６４】

検査は表示領域１４４の全画素１６を同時に点灯などさせて検査を実施してもよいが、図２２７に図示するように画素行を順次選択して走査させて検査を実施してもよい。図２２７で１９１が検査電流を書き込んでいる画素行である。また、１９３はＥＬ素子１５を点灯などして光学的に検査を実施している領域である。１９２は非点灯領域である。以上のように、表示領域１４４に点灯領域１９３と非点灯領域とを同時に行うことにより光学的検査が容易になる。黒表示と白表示の欠陥状態が同時にあるいは走査状態（順次）で検査が実現できるからである。以上の制御は図１４などで説明したように、ゲートドライバ回路１２を制御することにより容易に実現できる。走査あるいは選択方法は、以前に説明しているので説明を省略する。

【０７６５】

以上のように、電圧配線２２５２の電位を保護ダイオード２２５１がオンまたはリーク状態になるようにして、電圧配線２２５２からソース信号線１８に電流または電圧を印加することにより検査を実現できる。なお、検査方法は以前に説明したものと同様であるので説明を省略する。

【０７６６】
以上のように本発明は、電流プログラム方式などの画素構成を有するアレイあるいは表示パネルの検査方法である。ソース信号線１８には保護ダイオード２２５１をリークさせ、このリーク電流を画素に書き込み、この書き込んだ電流でＥＬ素子を発光させるものである。この発光状態あるいは点灯状態もしくは点滅状態でＥＬ素子１５の特性、欠陥を検出する。同時にゲートドライバ回路１２に信号を印加し、走査させて、選択するゲート信号線１７を移動あるいは常時選択して検査などを実施する。以上の走査あるいは制御により画素１６のトランジスタ１１の欠陥検出などを実現する。
【０７６７】
電流プログラム駆動方式では、ソース信号線１８に印加するプログラム電流がμＡオーダーである。そのため、ダイオード２２５１を介して印加する電流で画素１６の電流プログラムを十分実現することができる。したがって、検査が実現する。一方で電圧プログラム方式では、ソース信号線１８に電圧データを書き込む必要がある。そのため、検査は実現しにくい。
【０７６８】
なお、図２２５では、保護ダイオード２２５１を形成などするとしたが、これに限定するものではなく、図２２３と同様にスイッチ素子、リレー回路などを形成または配置してもよいことは言うまでもない。
【０７６９】
また、図２２５、図２２３の検査方法では、外部から電圧あるいは電流を印加することにより検査を実現する方法（方式）であった。しかし、本発明はこれに限定するものではない。たとえば、図１などの画素構成では、スイッチ用トランジスタ１１ｂ、１１ｃをオンさせることにより（トランジスタ１１ｄはオフ（オープン）状態）、アノードＶｄｄから駆動用トランジスタ１１ａを流れる電流はソース信号線１８を介して、アレイ（表示パネル）外部に取り出すことができる。この電流の大きさ、流れる方向を測定あるいは評価することにより、アレイなどの検査あるいは評価を実現できる。同様にカソードＶｓｓ、ＥＬ素子１５を介して流れる電流をソース信号線１８から外部に取り出すことができる。したがって、同様にＥＬ素子１５などの検査を実現できる。
【０７７０】
なお、図２２３、図２２５などにおいて、すべてのソース信号線１８に一度に所定の電圧を印加するとしたが、これに限定するものではない。電圧の代りに電流でもよい。たとえば、図２２５において、電圧配線２２５２に低電流あるいは定電流を印加する。この電流をプログラム電流として活用し、ゲートドライバ回路１２を走査することにおり、画素１６に電流プログラムを実施することができる。
【０７７１】
また、オンオフ制御手段を複数設けて、１つのオンオフ制御手段は奇数番目のソース信号線１８に電圧または電流を印加し、他のオンオフ制御手段は偶数番目のソース信号線１８に電圧または電流を印加するように構成してもよい。また、トランジスタ２２３２はリレーなどの外づけ素子であってもよい。また、ホトダイオードなど光照射によりオンオフ制御できるものであってもよい。
【０７７２】
また、以上の実施例では、検査に必要な電圧または電流をパネルの外部からソース信号線１８などに印加するとしたが、本発明はこれに限定するものではなく、検査電圧などの発生手段をアレイ基板３０などにポリシリコン技術などを用いて内蔵させてもよい。また、電流を印加するだけでなく、電流を吸収する（ｓｉｎｋ方式）方式であってよい。また、ＥＬ素子１５あるいは駆動用トランジスタ１１ａが流す電流は、ソース信号線１８を介して検出あるいは測定する方式であってもよい。
【０７７３】
以下、図面を参照しながら、電流駆動方式（電流プログラム方式）による高画質表示方法について説明をする。電流プログラム方式は、画素１６に電流信号を印加して、画素１

６に電流信号を保持させる。そして、ＥＬ素子１５に保持させた電流を印加するものである。

【０７７４】

ＥＬ素子１５は印加した電流の大きさに比例して発光する。つまり、ＥＬ素子１５の発光輝度はプログラムする電流の値とリニアの関係がある。一方、電圧プログラム方式では、印加した電圧を画素１６で電流に変換する。この電圧－電流変換は非線形である。非線形の変換は制御方法が複雑になる。

【０７７５】

電流駆動方式は、映像データの値をそのままプログラム電流に線形に変換する。簡単な例で例示すれば、６４階調表示であれば、映像データの０はプログラム電流Ｉｗ＝０μＡとし、映像データ６３はプログラム電流Ｉｗ＝６．３μＡとする（比例の関係となる）。同様に、映像データ３２はプログラム電流Ｉｗ＝３．２μＡとし、映像データ１０はプログラム電流Ｉｗ＝１．０μＡとする。つまり、映像データはそのまま、比例の関係でプログラム電流Ｉｗに変換される。

【０７７６】

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図１５に図示するように、本発明は、単位トランジスタ１５４の単位電流が映像データの１に該当するからである。さらに、単位電流は、基準電流回路を調整することにより容易に任意の値に調整できるからである。また、基準電流は、Ｒ、Ｇ、Ｂ回路ごとに設けられており、ＲＧＢ回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路１４、表示パネル構成の相乗効果である。

【０７７７】

ＥＬ表示パネルでは、プログラム電流とＥＬ素子１５の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアにＥＬ素子１５の発光輝度を調整できる。

【０７７８】

駆動用トランジスタ１１ａは、ゲート端子に印加した電圧と、駆動用トランジスタ１１ａが流す電流とは非線形である（２乗カーブになることが多い）。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。

【０７７９】

特に、図１の画素構成では、プログラム電流とＥＬ素子１５に流れる電流が理論上は等しい。したがって、発光制御は極めて容易である。本発明のＮ倍パルス駆動の場合も、プログラム電流を１／Ｎにして計算することにより発光輝度を把握できるから、発光制御の容易という点で優れている。

【０７８０】

図１１、図１２、図１３などの画素構成がカレントミラー構成の場合は、駆動用トランジスタ１１ｂとプログラム用トランジスタ１１ａとが異なり、カレントミラー倍率のずれが発生するため、発光輝度の誤差要因がある。しかし、図１の画素構成では、駆動用トランジスタとプログラム用トランジスタが同一であるから、この課題もない。

【０７８１】

ＥＬ素子１５は、投入電流量により発光輝度が比例して変化する。ＥＬ素子１５に印加する電圧（アノード電圧）は固定値である。したがって、ＥＬ表示パネルの発光輝度は消費電力と比例の関係にある。

【０７８２】

以上のことから、映像データとプログラム電流は比例し、プログラム電流とＥＬ素子１５の発光輝度は比例し、ＥＬ素子１５の発光輝度と消費電力は比例する。したがって、映

像データをロジック処理すれば、ＥＬ表示パネルの消費電流（電力）、ＥＬ表示パネルの発光輝度、ＥＬ表示パネルの消費電力を制御できることになる。つまり、映像データをロジック処理（加算など）することにより、ＥＬ表示パネルの輝度、消費電力を把握することができる。したがって、ピーク電流が設定値を越えないようにすることなどの処理が極めて容易である。

【０７８３】

特に本発明のＥＬ表示パネルは電流駆動方式である。かつ、特徴ある構成により画像表示制御が容易である。特徴ある画像表示制御方法は２つある。１つは、基準電流の制御である。もう１つはｄｕｔｙ比制御である。この基準電流制御とｄｕｔｙ比制御を単独であるいは組み合わせることにより、ダイナミックレンジが広く、かつ高画質表示、高コントラストを実現できる。

【０７８４】

基準電流制御は、図６０、図６１、図６４、図６５、図６６に図示するように、ソースドライバＩＣ（回路）１４は、各ＲＧＢの基準電流を調整する回路を具備している。また、ソースドライバ回路１４からのプログラム電流Ｉｗは、単位トランジスタ１５４の個数で決定される。

【０７８５】

１つの単位トランジスタ１５４が出力する電流は、基準電流の大きさに比例する。したがって、基準電流を調整することにより、１つの単位トランジスタ１５４が出力する電流が決定され、プログラム電流の大きさが決定される。基準電流と単位トランジスタ１５４の出力電流がリニアの関係にあり、かつ、プログラム電流と輝度がリニアの関係にあることから、白ラスター表示で各ＲＧＢの基準電流を調整してホワイトバランスを調整すれば、すべての階調でホワイトバランスが維持される。

【０７８６】

図５４はｄｕｔｙ比制御方法である。図５４（ａ）は非表示領域１９２を連続して挿入する方法である。動画表示に適する。また、図５４（ａ１）が最も画像が暗く、図５４（ａ４）が最も明るい。ゲート信号線１７ｂの制御で自由にｄｕｔｙ比を変更できる。図５４（ｃ）は非表示領域１９２を多数に分割して挿入する方法である。特に静止画表示に適する。また、図５４（ｃ１）が最も画像が暗く、図５４（ｃ４）が最も明るい。ゲート信号線１７ｂの制御で自由にｄｕｔｙ比を変更できる。また、図５４（ｂ）は、図５４（ａ）と図５４（ｃ）との中間状態である。図５４（ｂ）も同様にゲート信号線１７ｂの制御で自由にｄｕｔｙ比を変更できる。つまり、ゲート信号線１７ｂなどの制御によりトランジスタ１１ｄをオンオフさせ、ＥＬ素子１５に流れる電流を制御する。

【０７８７】

図１１、図１２の画素構成では、トランジスタ１１ｅをオンオフ制御させ、図７では、切り換えスイッチ７１をオンオフ制御する。また、図２８の画素構成では、トランジスタ１１ｄを制御して、ＥＬ素子１５に流れる電流を制御する。

【０７８８】

以上のように、ｄｕｔｙ比制御とは、ソース信号線１８に印加するプログラム電流Ｉｗは変化させずに、ＥＬ素子１５に流れる電流を制御することにより、画面１４４の明るさ制御を実現する方式である。つまり、基準電流を一定にした状態（変化させずに）で、画面１４４の明るさ制御を実現する方式である。

【０７８９】

また、駆動用トランジスタ１１ａが流す電流を変更することなく、画面１４４の明るさ制御を実現する方式である。また、駆動用トランジスタ１１ａのゲート端子（Ｇ）電圧を変更することなく、画面１４４の明るさ制御を実現する方式である。また、ゲートドライバ１２ｂの走査状態を変化させることにより、ゲート信号線１７ｂなどを制御し、画面１４４の明るさ制御を実現する方式である。

【０７９０】

表示領域１９３の分散は、表示パネルの画素行数が２２０本で、１／４ｄｕｔｙ比であ

れば、２２０／４＝５５となるから、１から５５（１の明るさからその５５倍の明るさまで調整できる）となる。また、表示パネルの画素行が２２０本で、１／２ｄｕｔｙ比であれば、２２０／２＝１１０となるから、１から１１０（１の明るさからその１１０倍の明るさまで調整できる）となる。したがって、画面輝度１４４の明るさの調整レンジは非常に広い（画像表示のダイナミックレンジが広い）。また、いずれの明るさであっても、表現できる階調数を維持できるという特徴がある。たとえば、６４階調表示であれば、白ラスターでの表示画面１４４輝度が３００ｎｔであっても、３ｎｔであっても、６４階調表示を実現できる。

【０７９１】

なお、以前にも説明したが、ｄｕｔｙ比は、ゲートドライバ回路１２ｂへのスタートパルスを制御することにより容易に変更できる。したがって、１／２ｄｕｔｙ比、１／４ｄｕｔｙ比、３／４ｄｕｔｙ比、３／８ｄｕｔｙ比と多種多様なｄｕｔｙ比を容易に変更できる。

【０７９２】

１水平走査期間（１Ｈ）単位のｄｕｔｙ比駆動は、水平同期信号に同期させてゲート信号線１７ｂのオンオフ信号を印加すればよい。さらに、１Ｈ単位以下でもｄｕｔｙ比制御することができる。図４０、図４１、図４２の駆動方法である。１Ｈ期間以内において、ＯＥＶ２制御を行うことにより、微小ステップの明るさ制御（ｄｕｔｙ比制御）が可能である。

【０７９３】

１Ｈ以内のｄｕｔｙ比制御を行うのは、ｄｕｔｙ比が１／４ｄｕｔｙ比以下の場合に実施する。画素行数が２２０画素行であれば、５５／２２０ｄｕｔｙ比以下である。つまり、１／２２０から５５／２２０ｄｕｔｙ比の範囲で行う。１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い、微小なｄｕｔｙ比駆動制御を行うことが望ましい。つまり、ゲート信号線１７ｂによるｄｕｔｙ比制御では、変化前から変化後の明るさ変化が５％以上になる時は、ＯＥＶ２（図４０などを参照のこと）による制御を行うことにより変化量が５％以下になるように少しずつ変化させる。この変化には、図９８で説明するＷａｉｔ機能を導入することが好ましい。

【０７９４】

ｄｕｔｙ比が１／４ｄｕｔｙ比以下で１Ｈ以内のｄｕｔｙ比制御を実施するのは、１ステップあたりの変化量が大きいためもあるが、画像が中間調であるため、微小な変化でも視覚的に認識されやすいためでもある。人間の視覚は、一定以上の暗い画面では、明るさ変化に対する検出能力が低い。また、一定以上の明るい画面でも、明るさ変化に対する検出能力が低い。これは、人間の視覚が２乗特性に依存しているためと思われる。

【０７９５】

パネルの画素行が２００本であれば、５０／２００ｄｕｔｙ比以下（１／２００以上５０／２００以下）でＯＥＶ２制御を行って、１Ｈ以下の期間のｄｕｔｙ比制御を行う。１／２００ｄｕｔｙ比から２／２００ｄｕｔｙ比に変化すると１／２００ｄｕｔｙ比と２／２００ｄｕｔｙ比の差は、１／２００であり、１００％の変化となる。この変化はフリッカとして完全に視覚的に認識されてしまう。したがって、ＯＥＶ２制御（図４０などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御する。なお、１Ｈ期間以下（１Ｈ期間以内）でｄｕｔｙ比制御するとしたが、これに限定するものではない。図１９でもわかるように非表示領域１９２は連続している。つまり、１０．５Ｈ期間というような制御も本発明の範疇である。つまり、本発明は１Ｈ期間に限定されず（小数点以下が発生する）、ｄｕｔｙ比駆動を行うものである。

【０７９６】

４０／２００ｄｕｔｙ比から４１／２００ｄｕｔｙ比に変化すると、４０／２００ｄｕｔｙ比と４１／２００ｄｕｔｙ比の差は、１／２００であり、（１／２００）／（４０／２００）で２．５％の変化となる。この変化はフリッカとして視覚的に認識されるか否か

は、画面輝度１４４に依存する可能性が高い。ただし、４０／２００ｄｕｔｙ比は中間調表示であるので、視覚的に敏感である。したがって、ＯＥＶ２制御（図４０などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御することが望ましい。

【０７９７】

以上のように、本発明の駆動方法および表示装置は、画素１６にＥＬ素子１５に流す電流値を記憶できる構成（図１ではコンデンサ１９が該当する）と、駆動用トランジスタ１１ａと発光素子（ＥＬ素子１５が例示される）との電流経路をオンオフできる構成（図１、図６、図７、図８、図９、図１０、図１１、図１２、図２８、図３１～図３６などの画素構成が該当する）の表示パネルにあって、少なくとも表示画像の表示状態において図１９の表示状態を発生させる（画像の輝度によっては、表示画面１４４が表示領域１９３（ｄｕｔｙ比１／１になってもよい）駆動方法である。かつ、ｄｕｔｙ比駆動（少なくとも表示画面１４４の一部が非表示領域１９３となる駆動方法または駆動状態）が所定のｄｕｔｙ比以下では、１水平走査期間（１Ｈ期間）以内あるいは１Ｈ期間単位に限定されるＥＬ素子１５に流す電流を制御して、表示画面１４４の輝度制御を行うものである。

１Ｈ単位以内のｄｕｔｙ比制御を行う所定ｄｕｔｙ比は、ｄｕｔｙ比が１／４ｄｕｔｙ比以下の場合に実施する。逆に所定ｄｕｔｙ比以上では、１Ｈ単位でｄｕｔｙ比制御を行う。もしくはＯＥＶ２制御は実施しない。また、１Ｈ期間以外のｄｕｔｙ比制御は、１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い微小なｄｕｔｙ比駆動制御を行うことが望ましい。もしくは、白ラスターの最大輝度の１／４以下の輝度で実施する。

【０７９８】

本発明のｄｕｔｙ比制御駆動によれば、図７４に図示するように、ＥＬ表示パネルの階調表現数が６４階調であれば、表示画面１４４の表示輝度（ｎｔ）がいずれの輝度（輝度が低いあるいは高いに関わらず）であっても、６４階調表示が維持される。たとえば、画素行数が２２０本で、１画素行のみが表示領域１９３（表示状態）の時（ｄｕｔｙ比１／２２０）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この１画素行分が順次画像表示されるからである。全画素行が表示領域１９３（表示状態）の時（ｄｕｔｙ比１／１）であっても、６４階調表示を実現できる。

【０７９９】

もちろん、２０画素行が表示領域１９３（表示状態）の時（ｄｕｔｙ比２０／２２０＝ｄｕｔｙ比１／１１）であっても、６４階調表示を実現できる。画素行にソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂによりすべての画素行が同時に画像表示されるからである。また、２０画素行のみが表示領域１９３（表示状態）の時（ｄｕｔｙ比２０／２２０＝ｄｕｔｙ比１／１１）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この２０画素行分が順次走査されて画像表示されるからである。

【０８００】

なお、本発明の基準電流制御（図５０などの回路構成を参照のこと）においても同様であり、基準電流が小さくとも大きくとも、６４階調表示を実現できる。

【０８０１】

本発明のｄｕｔｙ比制御駆動は、ＥＬ素子１５の点灯時間の制御であるから、ｄｕｔｙ比に対する表示画面１４４の明るさは、リニアの関係にある。したがって、画像の明るさ制御がきわめて容易であり、その信号処理回路もシンプルとなり、低コスト化を実現できる。図６０のようにＲＧＢの基準電流を調整し、ホワイトバランスをとる。ｄｕｔｙ比制御では、Ｒ、Ｇ、Ｂを同時に明るさ制御するために、いずれの階調、表示画面１４４の明るさにおいてもホワイトバランスは維持される。

【０８０２】
ｄｕｔｙ比制御は、表示画面１４４に対する表示領域１９３の面積を変化させることにより、表示画面１４４の輝度を変化するものであった。当然、表示面積１９３に比例してＥＬ表示パネルに流れる電流はほぼ比例して変化する。したがって、映像データの総和を求めることにより、表示画面１４４のＥＬ素子１５に流れる全消費電流を算出することができる。ＥＬ素子１５のアノード電圧Ｖｄｄは直流電圧で固定値のため、全消費電流が算出できれば、画像データに応じて全消費電力をリアルタイムで算出することができる。算出された全消費電力が規定された最大電力を越えると予測される場合は、図６０の基準電流Ｉｃを電子ボリウムなどの調整回路で調整し、ＲＧＢの基準電流を抑制制御すればよい。

【０８０３】
また、白ラスター表示での所定輝度を設定し、この時をｄｕｔｙ比最小になるように設定する。たとえば、ｄｕｔｙ比１／８にする。自然画像はｄｕｔｙ比を大きくする。最大のｄｕｔｙ比は１／１である。たとえば、表示画面１４４の１／１００しか画像が表示されない自然画像をｄｕｔｙ比１／１とする。ｄｕｔｙ比１／１からｄｕｔｙ比１／８は表示画面１４４の自然画像の表示状態で滑らかに変化させる。

【０８０４】
以上のように一実施例として、白ラスター表示で（自然画像ではすべての画素が１００％点灯している状態）でｄｕｔｙ比１／８とし、表示画面１４４の１／１００の画素が点灯している状態をｄｕｔｙ比１／１とする。概略の消費電力は、画素数×点灯画素数の割合×ｄｕｔｙ比で算出できる。

【０８０５】
説明を容易にするため、画素数を１００とすると、白ラスター表示での消費電力は、１００×１（１００％）×ｄｕｔｙ比１／８＝８０となる。一方、１／１００が点灯している自然画像の消費電力は、１００×（１／１００）（１％）×ｄｕｔｙ比１／１＝１となる。ｄｕｔｙ比１／１～ｄｕｔｙ比１／８は画像の点灯画素数（実際には、点灯画素の総電流＝１フレームのプログラム電流の総和）に応じてフリッカが発生しないようになめらかにｄｕｔｙ比制御が実施される。

【０８０６】
以上のように白ラスターで消費電力割合は８０であり、１／１００が点灯している自然画像の消費電力割合は１になる。したがって、白ラスター表示での所定輝度を設定し、この時をｄｕｔｙ比最小になるように設定すれば、最大電流を抑制することができる。

【０８０７】
本発明は、１画面のプログラム電流の総和をＳとし、ｄｕｔｙ比をＤとし、Ｓ×Ｄで駆動制御を実施するものである。また、白ラスター表示でのプログラム電流の総和をＳｗとし、最大のｄｕｔｙ比をＤｍａｘ（通常は、ｄｕｔｙ比１／１が最大である）とし、最小のｄｕｔｙ比をＤｍｉｎとし、また、任意の自然画像でのプログラム電流の総和をＳｓとした時、Ｓｗ×Ｄｍｉｎ　≧　Ｓｓ×Ｄｍａｘの関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【０８０８】
なお、ｄｕｔｙ比の最大は１／１とする。最小はｄｕｔｙ比１／１６以上（１／８など）にすることが好ましい。つまり、ｄｕｔｙ比は１／１６以上１／１以下にする。なお、１／１を必ず使用することには制約されないことは言うまでもない。好ましくは、最小のｄｕｔｙ比は１／１０以上にする。ｄｕｔｙ比が小さすぎると、フリッカの発生が目立ちやすく、また、画像内容による画面の輝度変化が大きくなりすぎ、画像が見づらくなるからである。

【０８０９】
先にも説明したがプログラム電流は映像データと比例の関係にある。したがって、プログラム電流の総和とはプログラム電流の総和と同義である。なお、１フレーム（１フィールド）期間のプログラム電流の総和を求めるとしたが、これに限定するものではない、１

フレーム（１フィールド）において、所定間隔あるいは、所定周期などでプログラム電流を加算する画素をサンプリングしてプログラム電流（映像データ）の総和としてもよい。また、制御を行うフレーム（フィールド）の前後の総和データを用いてもよいし、推定あるいは予測による総和データをもちいて、ｄｕｔｙ比制御を行っても良い。

【０８１０】

図８５は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図８５では、外部からＹ／ＵＶ映像信号と、コンポジット（ＣＯＭＰ）映像信号が入力できるように構成されている。どちらの映像信号を入力するかは、スイッチ回路８５１により選択される。

【０８１１】

スイッチ回路８５１で選択された映像信号は、デコーダおよびＡ／Ｄ回路によりデコードおよびＡＤ変換され、デジタルのＲＧＢ画像データに変換される。ＲＧＢ画像データは各８ビットである。また、ＲＧＢ画像データはガンマ回路８５４でガンマ処理される。同時に輝度（Ｙ）信号が求められる。ガンマ処理により、ＲＧＢ画像データは各１０ビットの画像データに変換される。

【０８１２】

ガンマ処理後、画像データはＦＲＣ処理または誤差拡散処理が処理回路８５５で行われる。ＦＲＣ処理または誤差拡散処理によりＲＧＢ画像データは６ビットに変換される。この画像データはＡＩ処理回路８５６でＡＩ処理あるいはピーク電流処理が実施される。また、動画検出回路８５７で動画検出が行われる。同時に、カラーマネージメント回路８５８でカラーマネージメント処理が行われる。

【０８１３】

ＡＩ処理回路８５６、動画検出回路８５７、カラーマネージメント回路８５８の処理結果は演算回路８５９に送られ、演算処理回路８５９で制御演算、ｄｕｔｙ比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路１４およびゲートドライバ回路１２に制御データとして送出される。

【０８１４】

ｄｕｔｙ比制御、基準電流比制御、ピーク電流制御などは、ＯＳＤ（オンスクリーンディスプレイ）には適用しないことが好ましい。ＯＳＤでは、ビデオカメラなどにおいて、メニュー画面表示などを行うものである。ＯＳＤにおいても、ピーク電流制御などを行うと、メニューの表示状態によって画面が暗くなったり明るくなったりし、視覚的に不具合が発生する。

【０８１５】

この課題に対しては、図１８５に図示するように、ＯＳＤのデータ（ＯＳＤＤＡＴＡ）と映像データ（動画データ）とを別のコントロール回路８５６で処理をする。基本的には、ＯＳＤデータは輝度変調を実施しない。

【０８１６】

ｄｕｔｙ比制御データはゲートドライバ回路１２ｂに送られ、ｄｕｔｙ比制御が実施される。一方、基準電流制御データはソースドライバ回路１４に送られ、基準電流制御が実施される。ガンマ補正され、ＦＲＣまたは誤差拡散処理された画像データもソースドライバ回路１４に送られる。

【０８１７】

図６２の画像データ変換は、ガンマ回路８５４のガンマ処理により行う必要がある。ガンマ回路８５４は、多点折れガンマカーブにより階調変換を行う。２５６階調の画像データは、多点折れガンマカーブにより１０２４階調に変換される。ガンマ回路８５４により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。

【０８１８】

なお、以上の説明ではｄｕｔｙ比Ｄで制御するとして説明したが、ｄｕｔｙ比は、所定期間（通常は１フィールドまたは１フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）におけるＥＬ素子１５の点灯期間で

ある。つまり、ｄｕｔｙ比１／８とは、１フレームの１／８の期間（１Ｆ／８）の間、ＥＬ素子１５が点灯していることを意味する。したがって、ｄｕｔｙ比は、画素１６が書き変えられる周期時間をＴｆとし、画素の点灯期間Ｔａとした時、ｄｕｔｙ比＝Ｔａ／Ｔｆと読み替えることができる。

【０８１９】

なお、画素１６が書き変えられる周期時間をＴｆとし、Ｔｆを基準とするとしたが、これに限定されるものではない。本発明のｄｕｔｙ比制御駆動は、１フレームあるいは１フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を１周期としてｄｕｔｙ比制御を実施してもよい。したがって、Ｔｆは画素を書き換える周期だけに限定されるものではなく、１フレームあるいは１フィールド以上であってもよい。たとえば、１フィールドあるいは１フレームごとに点灯期間Ｔａが異なる場合は、繰り返し周期（期間）をＴｆとし、この期間の総点灯期間Ｔａを採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間をＴａとしてもよい。ｄｕｔｙ比についても同様である。ｄｕｔｙ比がフレーム（フィールド）ごとに異なる場合は、複数フレーム（フィールド）の平均ｄｕｔｙ比を算出して用いればよい。

【０８２０】

したがって、白ラスター表示でのプログラム電流の総和をＳｗとし、任意の自然画像でのプログラム電流の総和をＳｓとし、最小の点灯期間をＴａｓ、最大の点灯期間をＴａｍ（通常はＴａｍ＝ＴｆであるからＴａｍ／Ｔｆ＝１）とした時、Ｓｗ×（Ｔａｓ／Ｔｆ）≧　Ｓｓ×（Ｔａｍ／Ｔｆ）の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【０８２１】

図６０、図６１、図６４、図６５に図示あるいは説明したように、基準電流の制御により、プログラム電流をリニアに調整することができる。１つあたりの単位トランジスタ１５４の出力電流が変化するからである。単位トランジスタ１５４の出力電流を変化させるとプログラム電流Ｉｗも変化する。画素のコンデンサ１９にプログラムされる電流（実際はプログラム電流に相当する電圧である）が大きいほど、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子１５に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することによりＥＬ素子１５の発光輝度をリニアに変化させることができる。

【０８２２】

本発明のソースドライバ回路（ＩＣ）１４は、端子１５５に接続される単位トランジスタ１５４の個数を制御することによりプログラム電流Ｉｗを変化させるものであった。また、プログラム電流Ｉｗは図６０、図６２などで説明したように、基準電流Ｉｃを変化させることにより実現した。

【０８２３】

しかし、本発明の基準電流制御などは限定するものではない。一定の基準となるもの（電圧、電流、設定データなど）を変化させ、この変化により端子１５５から出力される電流Ｉｗを変更できるものであればいずれでもよい。ただし、基準となるものの変化により、各出力端子１５５のプログラム電流Ｉｗが同一割合で変化させることが重要である。なお、プログラム電流Ｉｗの変化に限定するものではない。プログラム電圧であってもよい。各端子１５５のプログラム電圧を同一割合で変化させることにより、表示画面１４４の輝度を調整することができるからである。また、ＲＧＢ端子で変化させることによりホワイトバランスを調整することができるからである。

【０８２４】

図８６は基準電流Ｉｃの調整回路を具備しない本発明の実施例である。端子１５５には、オペアンプ５０２をトランジスタ１５６により、プログラム電流Ｉｗが供給される。プログラム電流Ｉｗは、サンプリング回路８６２によりオペアンプ５２２に印加された電圧により決定される。

【０８２５】

８ビットの映像データはＤ／Ａ回路６６１でアナログデータに変換され、アナログデー

タは可変増幅回路８６１で利得調整される。利得調整されたアナログデータはサンプリング回路８６２において、水平走査クロックでサンプリングされ、各コンデンサＣに保持される。なお、可変増幅回路８６１の利得は８ビットのデータにより設定される。

【０８２６】

可変増幅回路８６１の一例としては、図８７の構成が例示される。図８７において、Ｖｉｎ端子にＤＡ回路６６１のアナログデータが印加される。また、利得は、抵抗Ｒｘに直列に接続されたスイッチＳｘにより設定される。スイッチＳｘは８ビットに利得設定データにより制御される。なお、利得設定データは１フレームあるいは１フィールド単位で変化させることが可能である。

【０８２７】

以上の構成から、図８７の利得データの制御により、制御データの大きさに比例（相関）して端子１５５からの出力電流を変化させることができる。

【０８２８】

つまり、いずれかのスイッチＳｘが閉じることにより利得が設定される。このスイッチＳｘの制御が、図６４のスイッチ回路６４２、図５０の電子ボリウム５０１に該当する。つまり、スイッチＳｘの制御によりプログラム電流Ｉｗを変化あるいは調整することができる。

【０８２９】

したがって、図８６において、アナログデータがＣにサンプルホールドされ、サンプルホールドされた電圧により、プログラム電流Ｉｗがソース信号線１８に印加される。このプログラム電流Ｉｗは、可変増幅器８６１の利得データにより変化（制御）される。

【０８３０】

図８６の構成においても、利得設定データにより、表示画面１４４の輝度を一斉に調整（可変）することができる。したがって、本発明のｎ倍パルス駆動、ｄｕｔｙ比駆動などを実現することができる。なお、図８６などの構成では、単位トランジスタ１５４は形成されていない構成である。つまり、本発明は、電子ボリウムなどにより基準電流を調整することができ、この基準電流の調整によりＩＣ１４の全出力端子１５５から出力される電流を比例的に変化させることができる構成に特徴がある。また、後に説明するが、基準電流は映像データから求める。つまり、映像データなどからフィードバックをかけ、出力端子１５５からの電流の大きさを変化させる構成あるいは方法である。なお、実施例では端子から出力される信号は電流としているが、電圧であってもよい。電圧信号によりＥＬ素子１５に流れる電流を制御することができるからである（結局、映像データからカソード（アノード）端子に流れる電流を制御できる）。つまり、映像データにより基準電流の大きさあるいは変化量を求め、この基準電流の調整によりＩＣ１４の全出力端子１５５から出力される電圧を比例的に変化させることができる構成に特徴がある。

【０８３１】

また、可変増幅器８６１を各ＲＧＢで設けることにより、ホワイトバランス調整、カラーマネージメント制御を実現できる（図１４５から図１５３を参照のこと）。つまり、本発明の表示パネルあるいは装置において、図８６の構成のソースドライバ回路（ＩＣ）１４を用いても、本発明の駆動方式、構成を実現することができる。

【０８３２】

なお、本発明は、図６０などで説明した基準電流制御方式と、図５４などで説明したｄｕｔｙ比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、基準電流制御方式とｄｕｔｙ比制御方式を組み合わせて実施することが好ましい。

【０８３３】

さらに本発明の駆動方式について説明をする。本発明の駆動方法は、ＥＬ表示パネルに消費される消費電流の上限にリミットすることが１つの目的である。ＥＬ表示パネルは、ＥＬ素子１５に流れる電流が輝度と比例関係にある。したがって、ＥＬ素子１５に流れる電流を増大させれば、ＥＬ表示パネルの輝度もどんどん明るくすることができる。輝度に

比例して消費される電流（＝消費電力）も増大する。

【０８３４】

携帯装置などのモバイル機器に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること（ピーク電流抑制）が本発明の１つの目的である。

【０８３５】

また、画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像（ダイナックレンジが広い、コントラスト比が高い、階調表現力が大きいなど）変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の２つめの目的である。以上の目的を実現する本発明をＡＩ駆動と呼ぶことにする。

【０８３６】

まず、説明を容易にするために、本発明のＩＣチップ１４は６４階調表示であるとする。ＡＩ駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバＩＣ（回路）１４は６４階調表示とし、画像データは２５６階調とする。この画像データをＥＬ表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力２５６階調を１０２４階調に拡大することによって実施する。ガンマ変換された画像データは、ソースドライバＩＣ１４の６４階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（ＦＲＣ）処理が行われ、ソースドライバＩＣ１４に印加される。

【０８３７】

１画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスターは６４階調表示の場合は画像データとしては６３であるから、表示画面１４４の画素数×６３が画像データの総和である。１／１００の白ウインドウ表示で、白表示部が最大輝度の白表示では、表示画面１４４の画素数×（１／１００）×６３が画像データの総和である。

【０８３８】

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、ｄｕｔｙ比制御あるいは基準電流制御を行う。

【０８３９】

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの１フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルをＡＤ変換して画像データの総和としてもよい。この場合は、画像データはＡＰＬレベルとも言うことができる。

【０８４０】

また、３０フレームから３００フレーム期間の画像データの総和あるいは総和を推定できるデータを求め、このデータの大きさに基づいて、ｄｕｔｙ比制御を行うことが好ましい。総和データは画像変化に応じてゆっくりと変化する。総和データを求めるフレーム期間が長いほど画像の明るさ変化はゆっくりとなる。

【０８４１】

また、表示画面１４４を構成する画像のすべてのデータを加算する必要はなく、表示画面１４４の１／Ｗ（Ｗは１より大きい値）をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。たとえば、１画素とばしで映像データをサンプリングし、サンプリングされた映像データから総和を求めるなどの方法が例示される。また、１画素行ごとに１または複数の画素の映像データをサンプリングし、サンプリングされた映像データから総和を求める方法が例示される。

【０８４２】

説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のＡＰＬレベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするためＡＰＬレベルと呼ぶ。

【０８４３】

白ラスターの時にＡＰＬレベルは画像がＲＧＢ各６ビットであるから６３（６３階調目であるからデータの表現としては６３で示されている）×画素数（ＱＣＩＦパネルの場合は１７６×ＲＧＢ×２２０）となる。したがって、ＡＰＬレベルは最大となる。ただし、ＲＧＢのＥＬ素子１５で消費する電流は異なるから、ＲＧＢで分離して画像データを算出することが好ましい。

【０８４４】

この課題に対して、図８８に図示する演算回路を使用する。図８８において、８８１、８８２乗算器である。８８１は発光輝度を重み付けする乗算器である。Ｒ、Ｇ、Ｂでは視感度が異なる。ＮＴＳＣでの視感度は、Ｒ：Ｇ：Ｂ＝３：６：１である。したがって、Ｒの乗算器８８１Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対して３倍の乗算を行う。また、Ｇの乗算器８８１Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対して６倍の乗算を行う。また、Ｂの乗算器８８１Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対して１倍の乗算を行う。ただし、この記述は概念的である。ＥＬ素子はＲＧＢで効率が異なっているからである。ＥＬ素子１５はＲＧＢで発光効率が異なる。通常、Ｂの発光効率が最も悪い。次にＧが悪い。Ｒが最も発光効率が良好である。そこで、乗算器８８２で発光効率の重み付けを行う。Ｒの乗算器８８２Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対してＲの発光効率の乗算を行う。また、Ｇの乗算器８８２Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対してＧの発光効率の乗算を行う。また、Ｂの乗算器８８２Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対してＢの発光効率の乗算を行う。

【０８４５】

乗算器８８１および８８２の結果は、加算器８８３で加算され、総和回路８８４に蓄積される。この総和回路８８４の結果にもとづき、ｄｕｔｙ比制御、基準電流制御を実施する。

【０８４６】

以上の実施例では、映像データに、ＥＬ素子１５などの効率を考慮し、所定値を乗算することによりデータを求める。本発明は、映像データから表示パネルのアノードまたはカソード端子に流れる電流を求めるものである。

【０８４７】

通常、ＲＧＢのＥＬ素子１５は、ＥＬ材料ごとに発光効率が既知であり、電流と輝度の関係がわかっている。また、ＥＬ表示パネルは生産する時の目標色温度が決定されている。したがって、ＥＬ表示パネルの表示サイズと目標輝度が決定されれば、目標色温度にするための、ＥＬ表示パネルに流すＲＧＢ電流の比率と大きさがわかる。このことから、ＥＬ表示パネルのアノード端子あるいはカソード端子に流す電流を所定値にすることにより、目標とする輝度と色温度を得ることができる。

【０８４８】

アノード端子あるいはカソード端子に流れる電流は映像データの総和に比例する。以上のことから、映像データの総和からアノード電流（カソード電流）を求めることができる。アノード電流とは表示領域に接続されたアノード端子に流れ込む電流である。カソード電流とは表示領域に接続されたカソード端子から流れ出す電流である。アノード電圧またはカソード電圧は固定値であるから、映像データからＥＬ表示パネルの消費電力を制御することができる。

【０８４９】

つまり、映像データ（の総和）の大きさあるいは大きさの変化をリアルタイムでモニタ（演算）することにより、ＥＬ表示パネルが必要とするカソード（アノード）電流を得る

ことができ、この電流の大きさをどの大きさに抑制すべきであるかがわかっておれば、基準電流制御、ｄｕｔｙ比制御により電流の大きさを制御することができる。もちろん、アノード電流あるいはカソード電流の大きさをＡＤ（アナログデジタル）変換することにより、変換されたデジタルデータから基準電流制御、ｄｕｔｙ比制御により電流の大きさを制御することができる。また、アナログデータを直接用いてオペアンプなどにより増幅率のフィードバック制御を実施することにより、基準電流制御、ｄｕｔｙ比制御により電流の大きさを制御することができる。つまり、制御としてはデジタル、アナログ方式を問わない。

【０８５０】

以上のように、本発明は、映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、ＥＬ表示パネルで消費する電力（電流）を算出あるいは制御し、ｄｕｔｙ比制御、基準電流制御を実施するものである。

【０８５１】

なお、映像データ（もしくはこれに比例するデータ）の大きさ（もしくは推定できるデータ）から、ＥＬ表示パネルで消費する電力（電流）の算出は、１フレーム（１フィールド）ごとに実施することに限定されるものではなく、複数フレーム（フィールド）ごとに行ってもよく、また、１フレーム（１フィールド）で複数回行っても良いことは言うまでもない。また、基準電流制御、ｄｕｔｙ比制御はリアルタイムで実施することに限定されるものではなく、遅延させたり、ヒステリシスで実施したり、飛ばし飛ばしで実施してもよいことは言うまでもない。

【０８５２】

なお、基準電流制御、ｄｕｔｙ比制御によりＥＬ表示パネルのアノード電流またはカソード電流の大きさを制御するとしたが、これに限定するものではなく、アノード電圧またはカソード電圧を制御することによっても、ＥＬ表示パネルの消費電力を制御することとができることは言うまでもない。

【０８５３】

図８８のように制御すると、輝度信号（Ｙ信号）に対するｄｕｔｙ比制御、基準電流制御を実施することができる。しかし、輝度信号（Ｙ信号）を求めて、ｄｕｔｙ比制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではＥＬ表示パネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー（Ｂ）の視感度が低いためである。そのため、輝度信号（Ｙ信号）の総和（ＡＰＬレベル）は小さく算出されるため、ｄｕｔｙ比制御が高ｄｕｔｙ比になる。したがって、フリッカの発生などが生じる。

【０８５４】

この課題に対しては、乗算器８８１をスルーにして用いるとよい。消費電流に対する総和（ＡＰＬレベル）が求められるからである。輝度信号（Ｙ信号）による総和（ＡＰＬレベル）と消費電流による総和（ＡＰＬレベル）は、両方を求めて加味して総合ＡＰＬレベルを求めることが望ましい。総合ＡＰＬレベルによりｄｕｔｙ比制御、基準電流制御またプリチャージ制御などを実施する。

【０８５５】

黒ラスターは６４階調表示の場合は０階調目であるから、ＡＰＬレベルは０で最小値となる。電流駆動方式では、消費電力（消費電流）は画像データに比例する。なお、画像データは、表示画面１４４を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が６ビットで表現される場合、上位ビット（ＭＳＢ）のみをカウントしてもよい。この場合は、階調数が３２以上で、１カウントされる。したがって、表示画面１４４を構成する画像データによりＡＰＬレベルは変化する。つまり、映像データの総和とは、完全な総和ではなく、総和を推定できる方式であればいずれでもよい。

【０８５６】

なお、最初はアナログ的な概念から映像データの総和あるいは総和に類似する指標としてＡＰＬレベルという語を用いる。しかし、後には、点灯率として説明を行う。なお、点

灯率は後に説明をする。

【０８５７】

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。

【０８５８】

ＥＬ表示パネルで最大に流せる電流を１００（ｍＡ）とする。白ラスター表示のとき、総和（ＡＰＬレベル）は２００（単位なし）になるとする。このＡＰＬレベルが２００の時、そのままパネルに印加するとＥＬ表示パネルに２００（ｍＡ）が流れるとする。なお、ＡＰＬレベルが０の時、ＥＬ表示パネルに流れる電流は０（ｍＡ）である。また、ＡＰＬレベルが１００の時、ｄｕｔｙ比は１／２で駆動するものとする。

【０８５９】

したがって、ＡＰＬが１００以上の場合は、制限である１００（ｍＡ）以下となるようにする必要がある。最も簡単には、ＡＰＬレベルが２００の時、ｄｕｔｙ比を（１／２）×（１／２）＝１／４にし、ＡＰＬレベルが１００の時、ｄｕｔｙ比を１／２とする。ＡＰＬレベルが１００以上２００以下の時は、ｄｕｔｙ比が１／４～１／２の間をとるように制御する。ｄｕｔｙ比１／４～１／２は、ＥＬ選択側のゲートドライバ回路１２ｂが、同時に選択するゲート信号線１７ｂの本数を制御することにより実現できる。

【０８６０】

ただし、ＡＰＬレベルのみを考慮し、ｄｕｔｙ比制御を実施すれば、画像に応じて表示画面１４４の平均輝度（ＡＰＬ）に応じで表示画面１４４の輝度が変化し、フリッカが発生する。この課題に対して、もとめるＡＰＬレベルは、少なくとも２フレーム、好ましくは、１０フレームさらに好ましくは６０フレーム以上の期間保持し、この期間で演算して、ＡＰＬレベルによりｄｕｔｙ比制御によるｄｕｔｙ比を算出する。また、表示画面１４４の最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）などの画像の特徴抽出を行ってｄｕｔｙ比制御を行うことが好ましい。以上の事項は、基準電流制御にも適用されることは言うまでもない。

【０８６１】

また、画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）、シーンの変化状態を考慮して行うとよい。つまり、総和（ＡＰＬレベルあるいは点灯率）は、映像データの加算だけでなく、画像表示の分布状態などを考慮して補正などを行うことが好ましい。回路構成としては、図８８の加算器８８３ｃの補正回路（図示せず）の補正量を加算する構成などが例示される。

【０８６２】

ガンマ回路８５４により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。図８９に図示するように、一点折れガンマカーブでガンマ変換してもよい。一点折れガンマカーブを構成するハード規模が小さいため、コントロールＩＣを低コスト化できる。

【０８６３】

図８９において、ａは３２階調目での折れ線ガンマ変換である。ｂは６４階調目での折れ線ガンマ変換である。ｃは９６階調目での折れ線ガンマ変換である。ｄは１２８階調目での折れ線ガンマ変換である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８９のｄのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図８９のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８９のｂ、ｃなどのガンマカーブを選択する。なお、以上の実施例では、ガンマカーブを選択するとしたが、実際には、ガンマカーブは演算により発生させるので選択するのではない。

【０８６４】

ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行う。また、ｄｕｔｙ比制御、基準電流制御も加味し

て行う。

【０８６５】

図９０は多点折れガンマカーブの実施例である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８９のｎのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図８９のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８９のｂからｎ－１のガンマカーブを選択する。ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）、シーン変化割合、シーン変化量、シーン内容を加味して行う。また、ｄｕｔｙ比制御、基準電流制御も加味して行う。

表示パネル（表示装置）が使用する環境に合わせて選択するガンマカーブを変化することも有効である。特にＥＬ表示パネルでは、屋内では良好な画像表示を実現できるが、屋外では低階調部は見えない。ＥＬ表示パネルは自発光のためである。そこで、図９１に図示するように、ガンマカーブを変化させてもよい。ガンマカーブａは屋内用のガンマカーブである。ガンマカーブｂは屋外用のガンマカーブである。ガンマカーブａとｂとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。屋外の場合は、外光が明るいため、低階調表示部は見えない。したがって、低階調部をつぶすガンマカーブｂを選択することが有効である。

【０８６６】

屋外では、図９２のようにガンマカーブを発生させることも有効である。ガンマカーブａは１２８階調目までは出力階調は０にする。１２８階調からガンマ変換を行う。以上のように、低階調部は全く表示しないようにガンマ変換することにより消費電力を削減できる。また、図９２のガンマカーブｂのようにガンマ変換を行っても良い。図９２のガンマカーブは１２８階調目までは出力階調を０にする。１２８以上は出力階調を５１２以上とする。図９２のガンマカーブｂでは高階調部を表示し、出力階調数も少なくすることにより屋外でも画像表示を見えやすくする効果がある。

【０８６７】

本発明の駆動方式では、ｄｕｔｙ比制御と基準電流制御により画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【０８６８】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明のｄｕｔｙ比駆動のように表示画面１４４に非表示領域１９２を発生させても、黒表示における透過率は一定である。逆に非表示領域１９２を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【０８６９】

ＥＬ表示パネルは、黒表示においてＥＬ素子１５に流れる電流が０の状態（電流が流れないあるいは微小）である。したがって、本発明のｄｕｔｙ比駆動のように表示画面１４４に非表示領域１９２を発生させても、黒表示の輝度は０である。非表示領域１９２の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、ｄｕｔｙ比駆動は、ＥＬ表示パネルに最適な駆動方法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は０である。基準電流を大きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。

【０８７０】

ｄｕｔｙ比制御は、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、ｄｕｔｙ比制御により表示画面１４４の輝度変化は１０倍近く変化させることができる。また、変化はｄｕｔｙ比と線形の関係になるから制御も容易である。しかし、ｄｕｔｙ比制御は、Ｎ倍パルス駆動であるから、ＥＬ素子１５に流れる電流の大きさが大きく、また、表示画面１４４の輝度にかかわらず、常時ＥＬ素子に流れる

電流の大きさが大きくなり、ＥＬ素子１５が劣化しやすいという課題がある。

【０８７１】

基準電流制御は、画面輝度１４４を高くするときに、基準電流量を大きくするものである。したがって、表示画面１４４が高いときにしか、ＥＬ素子１５に流れる電流は大きくならない。そのため、ＥＬ素子１５が劣化しにくい。課題は、基準電流を変化させた時のホワイトバランス維持が困難である傾向が強い。

【０８７２】

本発明では、基準電流制御とｄｕｔｙ比制御の両方を用いる。ただし、一方を固定し、他方を可変する制御もあることは言うまでもない。表示画面１４４が白ラスター表示に近い時には、基準電流は一定値に固定し、ｄｕｔｙ比のみを制御して表示輝度などを変化させる。表示画面１４４が黒ラスター表示に近い時は、ｄｕｔｙ比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。もちろん、ｄｕｔｙ比を小さくするとともに、基準電流を増大させ、表示輝度を一定に維持したまま、プログラム電流Ｉｗを増加させてもよい。

【０８７３】

一例として、ｄｕｔｙ比制御は、点灯率が１／１０以上１／１の範囲で実施する。ｄｕｔｙ比１／１で、白ラスター表示であれば、点灯率１００％である（最大の白ラスター表示時）。黒ラスターであれば、点灯率０％である（完全黒ラスター表示時）。

【０８７４】

なお、点灯率とは、パネルのアノードまたはカソードに流れる最大電流に対する割合でもある（ただし、ｄｕｔｙ比は１／１とする）。たとえば、カソードに流れる最大電流を１００ｍＡとすれば、ｄｕｔｙ比１／１において、３０ｍＡの電流が流れていれば点灯率は３０／１００＝３０％（０．３）である。図１などの画素構成の場合は、アノードにはプログラム電流が加算されているので、点灯率の計算には考慮する必要がある。カソードはＥＬ素子で消費される電流のみである。したがって、ＥＬ表示パネルの全ＥＬ素子１５で消費される電流は、カソード端子を流れる電流を測定する方が好ましい。

【０８７５】

また、カソードに流れる最大電流を１００ｍＡとし、この時、映像データの総和の最大値とすれば、点灯率とはＳＵＭ制御もしくはＡＰＬ制御とは同義である。点灯率５０％と表現すれば、カソード（アノード）に流れる電流が最大の５０％と意味し、点灯率２０％と表現すれば、カソードに流れる電流が最大の２０％と意味するというように大きさが理解しやすいので、今後は主として点灯率の用語を用いる。ただし、カソード（アノード）端子に流れる電流の最大値は、設計上、端子に流れる最大電流であり、相対的な大きさである。たとえば、設計値が小さければ最大値は小さい。

【０８７６】

点灯率は、パネルのアノードまたはカソードに流れる最大電流に対する割合であるとしたが、パネルの全ＥＬ素子に流れる最大電流の割合とも言い換えることができることは言うまでもない。

【０８７７】

本明細書では、点灯率と断り無く記載する時は、ｄｕｔｙ比１／１としている。もし、ｄｕｔｙ比１／３で、２０ｍＡの電流が流れていれば、点灯率は（２０ｍＡ×３）／１００ｍＡ＝６０％（０．６）である。つまり、点灯率が１００％でも、ｄｕｔｙ比が１／２であれば、アノード（カソード）端子に流れる電流は最大値の１／２である。点灯率５０％、アノード電流が２０ｍＡ、ｄｕｔｙ比１／１であれば、ｄｕｔｙ比１／２になれば、アノード電流は１０ｍＡとなる。アノード電流が１００ｍＡ、点灯率４０％、ｄｕｔｙ比１／１であれば、アノード電流が２００ｍＡに変化したとすると、点灯率は８０％に変化したことを意味する。以上のように、点灯率は、１画面を構成する映像データの大きさに対する割合、ＥＬ表示パネルの消費電流（電力）あるいはその割合を示している。

なお、以上の事項は、図１の画素構成のＥＬ表示パネルあるいはＥＬ表示装置だけではなく、図２、図７、図１１、図１２、図１３、図２８、図３１などの他の画素構成のＥＬ表

示パネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【０８７８】

また、点灯率による基準電流制御、ｄｕｔｙ比制御はＥＬ表示パネルだけに適用されるものではなく、自己発光表示パネルであれば適用できることは言うまでもない。たとえば、ＦＥＤ表示パネルが例示される。

【０８７９】

一例として、点灯率（点灯率）は、映像データの和から求める。つまり、映像データから算出する。入力映像信号がＹ、Ｕ、Ｖの場合は、Ｙ（輝度）信号から求めても良い。しかし、ＥＬ表示パネルの場合は、Ｒ、Ｇ、Ｂで発光効率が異なるため、Ｙ信号から求めた値が消費電力にならない。したがって、Ｙ、Ｕ、Ｖ信号の場合も、一度Ｒ、Ｇ、Ｂ信号に変換し、Ｒ、Ｇ、Ｂに応じて電流に換算する係数をかけて、消費電流（消費電力）を求めることが好ましい。しかし、簡易的にＹ信号から消費電流を求めることは回路処理が容易になることも考慮してもよい。

【０８８０】

点灯率は、パネルに流れる電流で換算されているものであるとする。なぜなら、ＥＬ表示パネルではＢの発光効率が悪いため、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データ和とは単純な映像データの加算値ではなく、映像データを消費電流に換算したものとしている。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【０８８１】

ここでは説明を容易にするため、ｄｕｔｙ比の最大はｄｕｔｙ比１／１とする。基準電流は、１倍から３倍に変化させるとする。また、データ和は表示画面１４４のデータの総和を意味し、（データ和の）最大値は、最大輝度での白ラスター表示での画像データの総和であるとする。なお、ｄｕｔｙ比１／１まで使用する必要がないことは言うまでもない。ｄｕｔｙ比１／１は最大値として記載している。本発明の駆動方法では、最大のｄｕｔｙ比を２１０／２２０などと設定してもよいことは言うまでもない。

【０８８２】

ｄｕｔｙ比＝１／１の場合、点灯率０％にする意味は、Ｎ倍パルス駆動を実施していないことになる。なぜなら、１／１が最大輝度表示であり、Ｎ倍パルス駆動により、プログラム電流の書き込み改善を実施していないからである。点灯率１００％になるつれ、ｄｕｔｙ比を１／ｎとし、ｎを大きくすることは、プログラム電流の書き込み改善に何ら寄与しない。ただ、パネルの消費電力を低減するために実施しているだけである。このことは、Ｎ倍パルス駆動にはｄｕｔｙ比１／１を実施することが含まれないから容易に理解できる。本発明は、点灯率が低い（ｄｕｔｙ比が１／１に近づく）時に、基準電流を１以上にし、画面を高輝度化する。この動作からもＮ倍パルス駆動の実施には該当しない。

【０８８３】

なお、ｄｕｔｙ比の最大はｄｕｔｙ比１／１とし、最小はｄｕｔｙ比１／１６以内にすることが好ましい。さらに好ましくは、ｄｕｔｙ比１／１０以内にするとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、４倍以内にすることが好ましい。さらに好ましくは２．５倍以内にする。基準電流の倍数を大きくしすぎると、基準電流発生回路の線形性がなくなり、ホワイトバランスずれが発生するからである。

【０８８４】

点灯率１％とは、一例として１／１００の白ウインドウ表示である（ｄｕｔｙ１／１）。自然画像では、画像表示する画素のデータ和が、白ラスター表示の１／１００に換算できる状態を意味する。したがって、１００画素あたりの１点の白輝点表示も点灯率が１％である。

【０８８５】

以下の説明では最大値とは白ラスターの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはＡＰＬ処理などで発生する

最大値である。したがって、点灯率とは、処理を行う画面の画像データの最大値に対する割合である。

【０８８６】

なお、データ和は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易であり、コントローラＩＣのハード規模も小さくできる。また、ｄｕｔｙ比制御によるフリッカの発生もなく、ダイナミックレンジを広く取れることから好ましい。

【０８８７】

図９３は本発明の基準電流制御とｄｕｔｙ比制御を実施した例である。図９３では点灯率が１／１００以下では基準電流の倍率を３倍まで変化させている。点灯率１％以上でｄｕｔｙ比を１／１から１／８まで変化させている。また、点灯率１％以下で基準電流を１から３倍まで変化させている。したがって、点灯率の値により、ｄｕｔｙ比制御で８倍、基準電流制御で３倍であるから、８×３＝２４倍の変化が実施されている。基準電流制御およびｄｕｔｙ比制御はともに画面輝度を変化させるから、２４倍のダイナミックレンジが実現されていることになる。

【０８８８】

図９３において、点灯率が１００％ではｄｕｔｙ比が１／８である。したがって、表示輝度は最大値の１／８になっている。点灯率が１００％であるから、白ラスター表示である。つまり、白ラスター表示では表示輝度が最大の１／８に低下している。表示画面１４４の１／８が表示（点灯）領域１９３であり、非表示領域１９２が７／８を占めている。点灯率が１００％に近い画像は、ほとんどの画素１６が高階調表示である。ヒストグラムで表現すれば、ヒストグラムの高階調領域に大多数のデータが分布している。この画像表示では、画像が白つぶれ状態でありメリハリ感がない。そのため、図９０などのガンマカーブのｎまたはｎに近いものが選択される。つまり、点灯率の値によりガンマカーブをダイナミックに変化させる。

【０８８９】

点灯率が１％では、ｄｕｔｙ比は１／１である。表示画面１４４の全体が表示領域１９３である。したがって、ｄｕｔｙ比制御による画面輝度制御は実施されていない。ＥＬ素子１５の発光輝度がそのまま表示画面１４４の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。イメージで表現すれば、点灯率が１％画像表示とは、真っ暗な夜空に星がでている画像である。この画像でｄｕｔｙ比を１／１にするということは、星の部分は、点灯率１００％の白ラスターの輝度の８倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１００の領域であるから、１／１００の領域の輝度を８倍にしたとしても消費電力の増加はわずかである。点灯率が１％以下では基準電流を増加させる。たとえば、点灯率０．１％では基準電流比は２である。したがって、点灯率１％の時に比較して２倍の輝度で表示される。つまり、星の部分は、点灯率１００％の白ラスターの輝度の８×２倍の輝度で表示されることになる。

【０８９０】

以上のように、低点灯率で基準電流を増加させることにより、表示画素の輝度を増大できる。この処理により画像につや感がでて、奥行きの深い画像表示を実現できる。

【０８９１】

点灯率が１％に近い画像で、ほとんどの画素１６が低階調表示の場合は、ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図９０などのガンマカーブのｂまたはｂに近いものが選択される。

【０８９２】

以上のように本発明の駆動方法は、ｄｕｔｙ比が大きくなるにしたがって、ガンマのｘ乗数を大きくする駆動方法である。ｄｕｔｙ比が小さくなるにしたがって、ガンマのｘ乗

数を小さくする駆動方法である。

【０８９３】

図９３では点灯率が１％以下では基準電流の倍率を３倍まで変化させている。点灯率が１％以下ではｄｕｔｙ比が１／１として、ｄｕｔｙ比により画面輝度を高くしている。点灯率が１％よりも小さくなるにしたがって、基準電流の倍率を大きくしている。したがって、発光している画素１６はより高輝度で発光する。たとえば、点灯率が０．１％とは、イメージで表現すれば、真っ暗な夜空に星がでている画像である。この画像でｄｕｔｙ比を１／１にするということは、星の部分は、白ラスターの輝度の８×２＝１６倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは０．１％の領域であるから、０．１％の領域の輝度を１６倍にしたとしても消費電力の増加はわずかである。

【０８９４】

基準電流の制御はホワイトバランスを維持することが難しいという点である。しかし、真っ暗な夜空に星がでている画像ではホワイトバランスがずれていても視覚的にはホワイトバランスずれは認識されない。以上のことから、点灯率が非常に小さい範囲で、基準電流制御を行う本発明は適切な駆動方法である。

【０８９５】

図９３では、基準電流の変化およびｄｕｔｙ比制御の変化は直線的に図示している。しかし、本発明はこれに限定されるものではない。基準電流の倍率制御、ｄｕｔｙ比制御を曲線的にしてもよい。図９４では、横軸の点灯率が対数であるから、基準電流制御およびｄｕｔｙ比制御の線が曲線になるのは自然である。点灯率と基準電流倍率の関係、点灯率とｄｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

【０８９６】

図９３、図９４は、ＲＧＢのｄｕｔｙ比制御、基準電流制御を同一にした実施例である。本発明は、これに限定するものではない。図９５に図示するように、ＲＧＢで基準電流倍率の傾きを変化させてもよい。図９５では、青（Ｂ）の基準電流倍率の変化の傾きを最も大きくし、緑（Ｇ）の基準電流倍率の変化の傾きを次に大きくし、赤（Ｒ）の基準電流倍率の変化の傾きを最も小さくしている。基準電流を大きくすると、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子はＲＧＢで発光効率が異なる。また、ＥＬ素子１５に流れる電流が大きくなると印加電流に対する発光効率が悪くなる。特に、Ｂではその傾向が顕著である。そのため、ＲＧＢで基準電流量を調整しないとホワイトバランスが取れなくなる。したがって、図９５のように、基準電流倍率を大きくした時（各ＲＧＢのＥＬ素子１５に流す電流が大きい領域）では、ホワイトバランスを維持できるようにＲＧＢの基準電流倍率を異ならせることが有効である。点灯率と基準電流倍率の関係、点灯率とｄｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

【０８９７】

図９５は基準電流倍率をＲＧＢで異ならせた実施例であった。図９６はｄｕｔｙ比制御も異ならせている。点灯率を１％以上でＢとＧの傾きを同一にし、Ｒの傾きを小さくしている。また、ＧとＲは１％以下でｄｕｔｙ比１／１であるが、Ｂは１％以下でｄｕｔｙ比１／２としている。また、図９６は基準電流も異ならせている。点灯率を１％以下でＢの傾きを最も大きくし、Ｒの傾きを最も小さくしている。以上のように駆動（制御）すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。点灯率と基準電流倍率の関係、点灯率とｄｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【０８９８】

図９３から図９６は、一例として点灯率１％を境に基準電流倍率とｄｕｔｙ比を変化させる方法であった。点灯率を一定の値を境として、基準電流倍率とｄｕｔｙ比を変化させ

、基準電流倍率が変化させる領域とｄｕｔｙ比を変化させる領域を重ならないようにしている。このように構成することによりホワイトバランスの維持が容易である。つまり、点灯率が１％以上でｄｕｔｙ比を変化させ、点灯率が１％以下で基準電流を変化させている。基準電流倍率が、変化させる領域とｄｕｔｙ比を変化させる領域を重ならないようにしている。この方法は、本発明の特徴ある方法である。

【０８９９】

なお、点灯率が１％以上でｄｕｔｙ比を変化させ、点灯率が１％以下で基準電流を変化させたとしたが、逆の関係でもよい。たとえば、点灯率が１％以下でｄｕｔｙ比を変化させ、点灯率が１％以上で基準電流を変化させてもよい。また、点灯率が１％以上でｄｕｔｙ比を変化させ、点灯率が１％以下で基準電流を変化させ、点灯率が１％以上１０％以下では、基準電流倍率およびｄｕｔｙ比を一定値としてもよい。

【０９００】

場合によっては、本発明は以上の方法に限定されない。図９７に図示するように点灯率が１％以上でｄｕｔｙ比を変化させ、点灯率が１０％以下でＢの基準電流を変化させてもよい。Ｂの基準電流変化とＲＧＢのｄｕｔｙ比とを変化をオーバーラップさせている。早いスピードで明るい画面と暗い画面とが交互に繰り返す時、変化に応じてｄｕｔｙ比を変化させるとフリッカが発生する。したがって、あるｄｕｔｙ比から他のｄｕｔｙ比に変化する時は、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のｄｕｔｙ比が維持される。つまり、ｄｕｔｙ比は変化しない。このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のｄｕｔｙ比を変化前ｄｕｔｙ比と呼び、変化後のｄｕｔｙ比を変化後ｄｕｔｙ比と呼ぶ。

【０９０１】

変化前ｄｕｔｙ比が小さい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前ｄｕｔｙ比が小さい状態は、表示画面１４４のデータ和が小さい状態あるいは表示画面１４４に黒表示部が多い状態である。したがって、表示画面１４４が中間調の表示で視感度が高いためと思われる。また、ｄｕｔｙ比が小さい領域では、変化ｄｕｔｙ比との差が大きくなる傾向があるからである。もちろん、ｄｕｔｙ比の差が大きくなる時は、ＯＥＶ２端子を用いて制御する。しかし、ＯＥＶ２制御にも限界がある。以上のことから、変化前ｄｕｔｙ比が小さい時は、Ｗａｉｔ時間を長くする必要がある。

【０９０２】

変化前ｄｕｔｙ比が大きい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前ｄｕｔｙ比が大きい状態は、表示画面１４４のデータ和が大きい状態あるいは表示画面１４４に白表示部が多い状態である。したがって、表示画面１４４全体が白表示で視感度が低いためと思われる。以上のことから、変化前ｄｕｔｙ比が大きい時は、Ｗａｉｔ時間は短くてよい。

【０９０３】

以上の関係を図９４に図示する。横軸は変化前ｄｕｔｙ比である。縦軸はＷａｉｔ時間（秒）である。ｄｕｔｙ比が１／１６以下では、Ｗａｉｔ時間を３秒（ｓｅｃ）と長くしている。ｄｕｔｙ比が１／１６以上ｄｕｔｙ比８／１６（＝１／２）では、ｄｕｔｙ比に応じてＷａｉｔ時間を３秒から２秒に変化させる。ｄｕｔｙ比８／１６以上ｄｕｔｙ比１６／１６＝１／１では、ｄｕｔｙ比に応じて２秒から０秒に変化させる。

【０９０４】

以上のように、本発明のｄｕｔｙ比制御は、ｄｕｔｙ比に応じてＷａｉｔ時間を変化させる。ｄｕｔｙ比が小さい時はＷａｉｔ時間を長くし、ｄｕｔｙ比が大きい時はＷａｉｔ時間を短くする。つまり、少なくともｄｕｔｙ比を可変する駆動方法にあって、第１の変化前のｄｕｔｙ比が第２の変化前のｄｕｔｙ比よりも小さく、第１の変化前ｄｕｔｙ比のＷａｉｔ時間が、第２の変化前ｄｕｔｙ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。

【０９０５】
なお、以上の実施例では、変化前ｄｕｔｙ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差はわずかである。したがって、前述の実施例において変化前ｄｕｔｙ比を変化後ｄｕｔｙ比と読み替えても良い。
【０９０６】
また、以上の実施例において、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比を基準にして説明した。変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることが良好であることは言うまでもない。
【０９０７】
本発明のｄｕｔｙ比制御方法は、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、ｄｕｔｙ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、ｄｕｔｙ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。
【０９０８】
また、本発明のｄｕｔｙ比の方法は、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることを特徴とする駆動方法である。
【０９０９】
図９３、図９４などの実施例では、ｄｕｔｙ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で同一にするとして説明した。しかし、本発明は、図９８に図示するようにＲＧＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。
【０９１０】
以下の説明では最大値とは白ラスターの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはＡＰＬ処理などで発生する最大値である。したがって、点灯率とは、処理を行う画面の画像データの最大値に対する割合である。
【０９１１】
ただし、データ和とは、１画面のデータを正確に加算することを必要としない。１画面をサンプリングした画素のデータの加算値から１画面の加算値を推定（予測）したものでもよい。また、最大値も同様である。また、複数フィールドあるいは複数フレームからの予測値あるいは推定値でもよい。また、画像データの加算だけでなく、映像データをローパスフィルタ回路によりＡＰＬレベルを求めて、このＡＰＬレベルをデータ和としてもよい。この時の最大値は、最大振幅の映像データが入力された時のＡＰＬレベルの最大値である。
【０９１２】
なお、データ和は表示パネルの消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易である。
【０９１３】
図９９は横軸を点灯率としている。最大値は１００％である。縦軸はｄｕｔｙ比である。点灯率＝１００％は、全画素行が最大の白表示状態である。点灯率が小さい時は、暗い画面あるいは表示（点灯）領域が少ない画面である。この時は、ｄｕｔｙ比を大きくしている。したがって、画像を表示している画素の輝度は高い。そのため、画像のダイナミックレンジが拡大されて高画質表示される。点灯率が大きい時（最大値は１００％）は、明るい画面あるいは表示（点灯）領域が広い画面である。この時は、ｄｕｔｙ比を小さくしている。したがって、画像を表示している画素の輝度は低い。そのため、低消費電力化が

可能である。画面から放射される光量は大きいため、画像が暗く感じることはない。

【０９１４】

図９９では、点灯率が１００％の時に、到達するｄｕｔｙ比値を変化させている。たとえば、ｄｕｔｙ比＝１／２は画面の１／２が画像表示状態になる。したがって、画像は明るい。ｄｕｔｙ比＝１／８は画面の１／８が画像表示状態になる。したがって、ｄｕｔｙ比＝１／２に比較して１／４の明るさである。

【０９１５】

本発明の駆動方式では、点灯率、ｄｕｔｙ比、基準電流、データ和などにより画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【０９１６】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の駆動方法のように画面に非表示領域を発生させても、黒表示における透過率は一定である。逆に非表示領域を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【０９１７】

ＥＬ表示パネルは、黒表示は、ＥＬ素子に流れる電流が０の状態である。したがって、本発明の駆動方法のように画面に非表示領域を発生させても、黒表示の輝度は０である。非表示領域の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、良好な画像表示を実現できる。

【０９１８】

また、本発明の駆動方法では、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、ｄｕｔｙ比制御により画面の輝度変化は１０倍近く変化させることができる。また、変化はｄｕｔｙ比と線形の関係になるから制御も容易である。また、Ｒ、Ｇ、Ｂを同一比率で変化させることもできる。したがって、どのｄｕｔｙ比においてもホワイトバランスは維持される。

【０９１９】

点灯率とｄｕｔｙ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【０９２０】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。表示輝度を低下させるため、ｄｕｔｙ比を小さくし、または基準電流を小さくする。もしくは、ｄｕｔｙ比または基準電流のいずれか一方を小さくする。基準電流またはｄｕｔｙ比を小さくすることによりＥＬ表示パネルの消費電力を低下させることができる。また、以上の制御はユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。つまり、屋外では、図９９のａのカーブを選択する。しかし、高い輝度で表示し続けるとＥＬ素子は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。たとえば、通常では、ｃのカーブを選択する。また、さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

【０９２１】

したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。また、外部のマイコンなどにより、ｄｕｔｙ比カーブ、傾きなどを書き換えるように構成することが好ましい。また、メモリされた複数のｄｕｔｙ比カーブから１つを選択できるように構成することが好ましい。

【０９２２】
なお、ｄｕｔｙ比カーブなどの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）の１つあるいは複数を加味して行うことが好ましいことは言うまでもない。
【０９２３】
以上のように、たとえば、ａは屋外用のカーブである。ｃは屋内用のカーブである。ｂは屋内と屋外との中間状態用のカーブである。カーブａ、ｂ、ｃとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。
【０９２４】
図９９のｄｕｔｙ比は直線であったが、これに限定するものではない。図１００に図示するように、一点折れカーブとしてもよい。つまり、点灯率に応じてｄｕｔｙ比の傾きを変化させる。もちろん、ｄｕｔｙ比カーブは曲線としてもよいし、多点折れカーブとしてもよい。また、外光あるいは画像の種類によりリアルタイムでｄｕｔｙ比カーブを変化させてもよい。以上の事項は、基準電流の変化制御においても同様である。
【０９２５】
表示パネルの消費電力低減が必要な場合は、図１００のｃカーブを選択する。消費電力が低減する効果が発揮される。表示輝度は低下するが、階調数などの画像表示の低下はない。高い表示輝度が必要な場合は、図１００のａカーブを選択する。画像の表示が明るくなり、また、フリッカの発生が少なくなる。消費電力は増大するが、階調数などの画像表示の低下はない。
【０９２６】
本発明の他の実施例において、ｄｕｔｙ比の変化は、点灯率が１／１０以上の範囲で実施する（図１０１を参照のこと）。点灯率が１に近い画像の発生は少なく、図９９のように点灯率が１００まで、ｄｕｔｙ比が変化するように駆動すると、画像表示が暗く感じられるからである。さらに好ましくは、ｄｕｔｙ比の変化は点灯率が８／１０以上の範囲で実施する。
【０９２７】
また、自然画では、点灯率が２０％から４０％の画像が多い。したがって、この範囲ではｄｕｔｙ比が大きい方が好ましい。一方で点灯率が高い画像（６０％以上）では消費電力が大きく、ＥＬ表示パネルが発熱し劣化する傾向になる。したがって、点灯率が２０％から４０％の範囲あるいは近傍ではｄｕｔｙ比１／１あるいはその近傍とし、点灯率が６０％あるいはその近傍以上では、ｄｕｔｙ比を１／１よりも小さくするように制御することが好ましい。
【０９２８】
図１０１では点灯率が０．９以下ではｄｕｔｙ比を１／１から１／５まで変化させている。したがって、５倍のダイナミックレンジが実現されていることになる。図１０１において、点灯率が０．９以上ではｄｕｔｙ比が１／５である。したがって、表示輝度は最大値輝度の１／５になっている。点灯率１００％は白ラスター表示である。つまり、白ラスター表示では表示輝度が最大輝度の１／５に低下している。
【０９２９】
点灯率が１０％以下では、ｄｕｔｙ比は１／１である。画面の１／１０が表示領域（白ウインドウなどの場合）である。もちろん、自然画では、暗い部分が多い画像である。ｄｕｔｙ比が１／１では、非点灯領域１９２がないため、ＥＬ素子の発光輝度がそのまま画素の表示輝度となる。点灯率１０％とはイメージ的には画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。たとえば、点灯率が１０％以下の画像表示とは、真っ暗な夜空に月がでている画像である（説明のための参考イメージ画像例である。白ウインドウでは、１／１０白ウインドウ表示である）。この画像でｄｕｔｙ比を１／

１にするということは、月の部分は、白ラスターの輝度（図１０１で点灯率１００％での輝度）の５倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１０の領域であるから、１／１０の領域の輝度を５倍にしたとしても消費電力の増加はわずかである。

【０９３０】

以上のように、本発明では点灯率が低い画像では、ｄｕｔｙ比を１／１あるいは比較的大きくしている。ｄｕｔｙ比１／１では発光している画素は常時電流が流れている。したがって、１つの画素からみれば消費電流が大きい。しかし、ＥＬ表示パネルにおいて、発光している画素が少ないため、ＥＬ表示パネル全体からみれば、消費電力の増加はほとんどない。ＥＬ表示パネルでは黒部分は完全黒（非発光）である。したがって、ｄｕｔｙ比１／１で最高輝度が表示できればダイナミックレンジを拡大でき、メリハリのある良好な画像表示を実現できる。

【０９３１】

一方、本発明では点灯率が高い画像では、ｄｕｔｙ比を１／５など比較的小さくしている。また、点灯率に応じて、ｄｕｔｙ比が小さくなるように制御を行う。ｄｕｔｙ比が小さい時は発光している画素は間欠電流が流れている。したがって、１つの画素の消費電流は小さい。ＥＬ表示パネルにおいて、発光している画素は多いが、１画素あたりの消費電流が少ないため、ＥＬ表示パネル全体からみれば、消費電力の増加は少ない。以上のように点灯率に対してｄｕｔｙ比を制御する本発明の駆動方法はＥＬ表示パネルなどの自己発光表示パネルに最適な駆動方法である。ｄｕｔｙ比が小さくなれば画像輝度は小さくなるが、画面全体として発生光束が多いため、暗くなったという印象は感じられない。

【０９３２】

以上のように、ｄｕｔｙ比制御と、基準電流制御の一方または両方を実施することにより、画像のコントラスト比を拡大でき、ダイナミックレンジが拡大され、低消費電力化を実現できる。

【０９３３】

以上の制御は点灯率を用いて行う。点灯率は先にも説明したが、通常の駆動（ｄｕｔｙ比１／１）では、アノードまたはカソードに流れ込む（流れ出す）電流の大きさである。点灯率が増加すると比例してアノードまたはカソード端子の電流は増加する。前記電流は基準電流の大きさに比例して増減し、また、ｄｕｔｙ比に比例して増減する。なお、本発明はｄｕｔｙ比、基準電流は点灯率により、変化させることに特徴がある。つまり、ｄｕｔｙ比、基準電流は固定ではない。画像の表示状態に応じて少なくとも複数の状態に変化させる。

【０９３４】

点灯率が０に近い画像は、ほとんどの画素が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、ガンマカーブを制御して黒表示部のダイナミックレンジを広くする。

【０９３５】

以上の実施例では、点灯率が０では、ｄｕｔｙ比を１／１にするとしたが、本発明はこれに限定するものではない。図１０２に図示するように、ｄｕｔｙ比を１より小さい値となるようにしてもよいことは言うまでもない。図１０２では、実線は点灯率０で、ｄｕｔｙ比＝０．８、点線は点灯率０で、ｄｕｔｙ比＝０．６である。

【０９３６】

また、ｄｕｔｙ比のカーブは図１０３に図示するように曲線となるようにしてもよい。なお、曲線とは、サインカーブ状、円弧状、三角形状が例示される。

【０９３７】

なお、ｄｕｔｙ比に最大値を設ける場合は、少なくとも点灯率２０％以上５０％以下の範囲でいずれかの位置で最大値となるようにすることが好ましい。この範囲は、画像表示でよく出現する。したがって、ｄｕｔｙ比を１／１など、他の点灯率の範囲よりも大きく

することにより、画像が高輝度表示しているように認識されるからである。たとえば、点灯率３５％でｄｕｔｙ比を１／１とし、点灯率２０％、６０％ではｄｕｔｙ比を１／２とする制御方式が例示される。

【０９３８】

また、点灯率に応じて階段状に制御してもよい。階段状とは、たとえば、点灯率０％以上２０％以下の場合は、ｄｕｔｙ比を１／１とし、点灯率２０％より大きく６０％以下の場合は、ｄｕｔｙ比を１／２とし、点灯率６０％より大きく１００％以下の場合は、ｄｕｔｙ比を１／４とする制御方法を言う。

【０９３９】

図１０４に図示するように、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の画素で、ｄｕｔｙ比カーブを変化させてもよい。図１０４では、青（Ｂ）のｄｕｔｙ比の変化の傾きを最も大きくし、緑（Ｇ）のｄｕｔｙ比の変化の傾きを次に大きくし、赤（Ｒ）のｄｕｔｙ比の変化の傾きを最も小さくしている。以上のように駆動すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。もちろん、１色を一定（点灯率が変化しても変化させない）とし、他の２色を点灯率に応じて変化するように制御してもよい。

【０９４０】

点灯率とｄｕｔｙ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。また、ホトセンサあるいは温度センサから出力により自動で、ｄｕｔｙ比、基準電流比などを調整できるように構成することが好ましい。たとえば、周囲温度（パネル温度）が高い場合は、ｄｕｔｙ比を低下（１／４など）させることにより、パネルに流れ込む消費電流を抑制することができ、パネルの自己発熱が低下し、結果としてパネル温度を低下させることができる。したがって、パネルが熱劣化することを防止できる。

【０９４１】

早いスピードで明るい画面と暗い画面とが交互に繰り返す時、変化に応じてｄｕｔｙ比、基準電流などを変化させるとフリッカが発生する。したがって、あるｄｕｔｙ比から他のｄｕｔｙ比などに変化する時は、図９８に図示するように、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のｄｕｔｙ比が維持される。つまり、ｄｕｔｙ比は変化しない。以上の事項は、基準電流制御などにも適用できることは言うまでもない。なお、図９８に図示するように変化は、Ｒ、Ｇ、Ｂで異ならせても良い。

【０９４２】

このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のｄｕｔｙ比を変化前ｄｕｔｙ比と呼び、変化後のｄｕｔｙ比を変化後ｄｕｔｙ比と呼ぶ。なお、ヒステリシス（時間遅延）と呼ぶが、ヒステリシスには、変化をゆっくりと行う意味も含まれる。たとえば、ｄｕｔｙ比１／１から１／２に変化させる時、２秒の時間をかけてゆっくりと変化させる例が例示される（ほとんど、制御はこの方式である）。

【０９４３】

変化前ｄｕｔｙ比が小さい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前ｄｕｔｙ比が小さい状態は、画面のデータ和が小さい状態あるいは画面に黒表示部が多い状態である。

【０９４４】

特に中間調あるいは点灯率が中央値付近では変化はゆっくりと行う。画面が中間調の表示で視感度が高いためと思われる。また、ｄｕｔｙ比が小さい領域では、変化ｄｕｔｙ比との差が大きくなる傾向がある。もちろん、ｄｕｔｙ比の差が大きくなる時は、ＯＥＶを用いて制御する。しかし、ＯＥＶ制御にも限界がある。以上のことから、変化前ｄｕｔｙ比が小さい時は、Ｗａｉｔ時間を長くする必要がある。

【０９４５】

変化前ｄｕｔｙ比が大きい状態から、他のｄｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前ｄｕｔｙ比が大きい状態は、画面のデータ和が大きい状態あるいは画面に白表示部が多い状態である。したがって、画面全体が白表示で視感度が低いためと思われる。以上のことから、変化前ｄｕｔｙ比が大きい時は、Ｗａｉｔ時間は短くてよい。

【０９４６】

以上の関係を図９８に図示する。横軸は変化前ｄｕｔｙ比である。縦軸はＷａｉｔ時間（秒）である。ｄｕｔｙ比が１／１６以下では、Ｗａｉｔ時間を３秒（ｓｅｃ）と長くしている。たとえば、Ｂ（青）ではｄｕｔｙ比が１／１６以上ｄｕｔｙ比８／１６（＝１／２）以下では、ｄｕｔｙ比に応じてＷａｉｔ時間を３秒から２秒に変化させる。ｄｕｔｙ比８／１６以上ｄｕｔｙ比１６／１６（＝１／１）以下では、ｄｕｔｙ比に応じて２秒から０秒近傍に変化させる。

【０９４７】

以上のように、本発明のｄｕｔｙ比制御はｄｕｔｙ比に応じてＷａｉｔ時間を変化させる。ｄｕｔｙ比が小さい時はＷａｉｔ時間を長くし、ｄｕｔｙ比が大きい時はＷａｉｔ時間を短くする。つまり、少なくともｄｕｔｙ比を可変する駆動方法にあって、第１の変化前のｄｕｔｙ比が第２の変化前のｄｕｔｙ比よりも小さく、第１の変化前ｄｕｔｙ比のＷａｉｔ時間が、第２の変化前ｄｕｔｙ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。

【０９４８】

なお、以上の実施例では、変化前ｄｕｔｙ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差はわずかである。したがって、前述の実施例において変化前ｄｕｔｙ比を変化後ｄｕｔｙ比と読み替えても良い。

【０９４９】

また、以上の実施例において、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比を基準にして説明した。変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることが良好であることは言うまでもない。

【０９５０】

本発明のｄｕｔｙ比制御方法は、変化前ｄｕｔｙ比と変化後ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、ｄｕｔｙ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、ｄｕｔｙ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。なお、先にも説明したようにＷａｉｔ時間あるいはヒステリシスとは、ゆっくりと変化させる意味である。もちろん、広義には、変化を開始するのを遅延させるという意味もあることは言うまでもない。

【０９５１】

また、本発明のｄｕｔｙ比の方法は、ｄｕｔｙ比の差が大きい時は、中間状態のｄｕｔｙ比を経由して変化後ｄｕｔｙ比に変化させることを特徴とする駆動方法である。

【０９５２】

以上の実施例では、ｄｕｔｙ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で異ならせるとして説明した。しかし、本発明は、Ｒ、Ｇ、ＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。

【０９５３】

以上の実施例は、ｄｕｔｙ比制御に関する実施例であった。基準電流制御についてもＷａｉｔ時間を設定することが好ましい。

【０９５４】

以上のように本発明の駆動方法では、ｄｕｔｙ比、基準電流は急激に変化させない。急

激に変化させると変化状態がフリッカとして認識されてしまうからである。通常、０．２秒以上１０秒以下の遅延時間で変化させる。以上の事項は、後に説明するアノード電圧の変化制御、プリチャージ電圧の変化制御、周囲温度による変化制御（パネル温度により、ｄｕｔｙ比、基準電流を変化させる）などにも適用できることは言うまでもない。

【０９５５】

基準電流が小さい時は表示画面１４４が暗く、基準電流が大きい時は表示画面１４４が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いため、Ｗａｉｔ時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いため、Ｗａｉｔ時間が短くても良い。

【０９５６】

以上のような、ｄｕｔｙ比制御は、１フレームあるいは１フィールドで完結する必要はない。数フィールド（数フレーム）の期間でｄｕｔｙ比制御を行っても良い。この場合のｄｕｔｙ比は数フィールド（数フレーム）の平均値をｄｕｔｙ比とする。なお、数フィールド（数フレーム）でｄｕｔｙ比制御を行う場合であっても、数フィールド（数フレーム）期間は、６フィールド（６フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、２．５フレーム（２．５フィールド）などでもよい。つまり、フィールド（フレーム）単位には限定されない。

【０９５７】

なお、以上の事項は、図１の画素構成のＥＬ表示パネルあるいはＥＬ表示装置だけではなく、図２、図７、図８、図９、図１１、図１２、図１３、図２８、図３１、図３６などの他の画素構成のＥＬ表示パネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【０９５８】

動画と静止画とでは、ｄｕｔｙ比パターンを変化させる。ｄｕｔｙ比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画のｄｕｔｙ比と静止画のｄｕｔｙ比との差異によって発生する。動画では非表示領域１９２を一括して挿入するｄｕｔｙ比パターンを用いる。静止画では非表示領域１９２を分散して挿入するｄｕｔｙ比パターンを用いる。非表示領域１９２の面積／画面面積１４４の比率がｄｕｔｙ比となる。しかし、同一ｄｕｔｙ比であっても、非表示領域１９２の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。

【０９５９】

中間動画は、非表示領域１９２の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域１９２が３分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。

【０９６０】

静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、表示画面１４４が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態を移行させてもよい。たとえば、動画表示のｄｕｔｙ比状態から、中間動画表示１のｄｕｔｙ比状態に移行し、さらに中間動画表示２のｄｕｔｙ比状態に移行してから静止画表示のｄｕｔｙ比状態に移行させてもよい。

【０９６１】
動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間はＷａｉｔ時間をおくことが好ましい。また、静止画から動画あるいは中間動画に移行する時は、非表示領域１９２の変化がゆっくりとなるようにする。
【０９６２】
図１６、図７５などでプリチャージ駆動について説明をした。プリチャージ電圧の印加は点灯率あるいはｄｕｔｙ比と連動させることが好ましい。プリチャージ電圧の印加は必要がない箇所には印加しないことが好ましい。白表示の輝度低下などが発生する場合があるからである。したがって、プリチャージ電圧の印加は限定されることが好ましい。
【０９６３】
プリチャージ駆動は、特に電流駆動方式において、白表示部の下のクロストークする現象を解消するために実施する。したがって、このクロストークが目立つのは、画面に黒表示部が多く、一部に白表示がある画像である。点灯率で示せば、点灯率が小さい領域でプリチャージが必要である。表示画面１４４全体が白表示であればクロストークが発生しても視覚的に認識されることはないからである。したがって、プリチャージ駆動は実施する必要がない。
【０９６４】
本発明は点灯率が高い（表示画面１４４において全体的に白表示部分が多い）時に、ｄｕｔｙ比を小さくする。つまり、ｄｕｔｙ比１／ｎのｎを大きくする。点灯率が低い（表示画面１４４の全体的に黒表示部分が多い）時に、ｄｕｔｙ比を大きくする。つまり、ｄｕｔｙ比１／１に近づく。したがって、ｄｕｔｙ比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率からｄｕｔｙ比制御を行うのであるから当然である。また、点灯率はプリチャージ制御とも関係がある。
【０９６５】
図１０５（ａ）に図示するように、ｄｕｔｙ比と点灯率（％）の関係があるとする。図１０５（ｂ）はプリチャージのオンオフ状態を示している。図１０５（ｂ）では、ｄｕｔｙ比が２０％以下でプリチャージ駆動するように設定している。ただし、プリチャージ駆動するとしても、本発明のプリチャージ駆動には、ａｌｌプリチャージモード、適応型プリチャージモード、０階調プリチャージモード、選択階調プリチャージモードがある。したがって、図１０５（ｂ）ではプリチャージ駆動が実施されるように設定するというポイントであり、どのプリチャージが行われるかにより駆動状態は異なる。重要なのは、ｄｕｔｙ比あるいは点灯率により、プリチャージ駆動をするかしないかを変化させることである。
【０９６６】
ｄｕｔｙ比あるいは点灯率（％）とガンマ制御も相関がある。図１０６はその説明図である。点灯率が高い画像では、全体的に輝度が高い画像が多い。そのため、画像が白っぽくなる。そのため、ガンマ定数の係数（通常、係数は２．２とされている）を大きくして、黒階調領域の面積を多くすることが好ましい。黒階調領域の面積を多くすることにより画像のメリハリ感がつく。
【０９６７】
点灯率に対するｄｕｔｙ比を図１０７であるとする。図１０７の制御では、表示画像の点灯率が１００％に近いとｄｕｔｙ比をほぼ１／４にする。階調は輝度と比例する。点灯率が高い画像では、画像の階調表示がつぶれて解像度のない画像になってしまうので、ガンマカーブを変化させる必要がある。つまり、ガンマカーブの乗数である係数を大きくし、ガンマカーブを急峻にする必要がある。
【０９６８】
以上のことから、本発明では、点灯率あるいはｄｕｔｙ比に応じて、ガンマカーブの係数を変化させている。図１０６はその説明図である。
【０９６９】

本発明は点灯率が高い（表示画面１４４の全体的に白表示部分が多い）時に、ｄｕｔｙ比を小さくする。つまり、ｄｕｔｙ比１／ｎのｎを大きくする。点灯率が低い（表示画面１４４の全体的に黒表示部分が多い）時に、ｄｕｔｙ比を大きくする。つまり、ｄｕｔｙ比１／１に近づく。したがって、ｄｕｔｙ比と点灯率とは相関関係がある。映像データから点灯率（点灯率）を求め、点灯率からｄｕｔｙ比制御を行うのであるから当然である。図１０６（ａ）に図示するように、ｄｕｔｙ比と点灯率（％）の関係があるとする。図１０６（ｂ）のグラフは縦軸をガンマカーブの係数を示している。図１０６（ｂ）では、ｄｕｔｙ比が７０％以上でガンマカーブの係数が大きくなるように設定している。つまり、ガンマカーブが急峻になるように、高階調領域で階調表現が大きくなるようにしている。したがって、白つぶれ画像が改善される。

【０９７０】

なお、図１０８に図示するように、ｄｕｔｙ比が一定以上の小さい領域でガンマ係数を大きくすることも画像表示を改善できる場合がある。以上のように、点灯率（画像のデータ和）に対応して、ガンマカーブを変化させることにより、メリハリのある画像表示を実現できる。

【０９７１】

ｄｕｔｙ比制御と電源容量には密接な関係がある。電源サイズは最大の電源容量が大きくなるにつれ、大きくなる。特に、表示装置がモバイルの場合、電源サイズが大きいと重大課題となる。また、ＥＬは電流と輝度が比例の関係である。黒表示では電流が流れない。白ラスター表示では最大電流が流れる。したがって、画像による電流の変化が大きい。電流の変化が大きいと電源サイズも大きくなり、消費電力も増加する。

【０９７２】

本発明では、点灯率が高いときに、ｄｕｔｙ比制御の１／ｎのｎを大きくし、消費電流（消費電力）を低減させている。逆に点灯率が低い時は、ｄｕｔｙ比を１／１＝１または１／１に近くし、最大輝度が表示されるようにしている。以下にこの制御方法について説明をする。

【０９７３】

まず、点灯率（点灯率）とｄｕｔｙ比の関係を図１０７に図示する。なお、点灯率は、以前にも説明したようにパネルに流れる電流で換算されているものであるとする。なぜなら、ＥＬ表示パネルではＢの発光効率が悪いため、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データ和とは単純な映像データの加算値ではなく、映像データを消費電流に換算したものとしている。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【０９７４】

図１０７は点灯率０％の時に、ｄｕｔｙ比を１／１とし、点灯率１００％の時に最低ｄｕｔｙ比を１／４とした例である。図１０９は、電力と点灯率との掛算をした結果である。図１０７で点灯率が０から１００％まで、絶えずｄｕｔｙ比１／１であれば、図１０９のａで示すカーブとなる。図１０９の縦軸は、電源容量に対する使用電力の比（電力比）である。つまり、カーブａでは、点灯率と消費電力は比例関係にある。したがって、点灯率０％で消費電力は０（電力比０）であり、点灯率１００％では、消費電力１００（電力比１００％）となる。

【０９７５】

図１０９のカーブｂは、図１０７のｄｕｔｙ比カーブで電力制限を実施した実施例である。点灯率１００％の時のｄｕｔｙ比は１／４であるから、カーブａに比較して、電力比は１／４の２５％になる。カーブｂは電力１／３よりも小さい範囲で動作している。したがって、図１０７のようにｄｕｔｙ比制御を実施すると、電源容量は、従来（カーブａ）に比較して１／３で十分であることになる。つまり、本発明では、電源サイズを従来に比較して小さくすることができる。

【０９７６】

また、従来（カーブａ）で点灯率が高い状態がつづくとパネルに流れる電流が大きく、発熱によるパネルの劣化が発生する。しかし、ｄｕｔｙ比制御を実施した本発明ではカーブｂでわかるように、点灯率に関わらず、平均した電流がパネルに流れる。したがって、発熱の発生が少なくパネルの劣化も発生しない。

【０９７７】

なお、図１０７のｄｕｔｙ比カーブにおいて、最低ｄｕｔｙ比を１／２にした実施例がカーブｃである。また、最低ｄｕｔｙ比を１／３にした実施例がカーブｄである。同様に最低ｄｕｔｙ比を１／８にした実施例がカーブｅである。

【０９７８】

図１０７はｄｕｔｙ比カーブを直線にしたものあった。しかし、ｄｕｔｙ比カーブは、多種多様な直線あるいは曲線で発生させることができる。たとえば、図１１０（ａ１）は、電力比が３０％以下となるようにする（図１１０（ａ２）を参照のこと）ｄｕｔｙ比制御カーブである。図１１０（ｂ１）は電力比が２０％以下となるようにする（図１１０（ｂ２）を参照のこと）ｄｕｔｙ比制御カーブである。以上のようにｄｕｔｙ比カーブあるいは基準電流比カーブは、マイコンなどのプログラミングあるいは外部制御により、可変できるように構成することが好ましい。

【０９７９】

ｄｕｔｙ比制御カーブは、ユーザーが外部環境に応じてボタンで自由に、図１１０（ａ）、（ｂ）を切り換えるようにする。明るい外部環境では、図１１０（ａ１）のｄｕｔｙ比カーブを選択し、外部環境が暗いときは、図１１０（ｂ１）のｄｕｔｙ比カーブを選択するようにする。また、ｄｕｔｙ比制御カーブは自由に変更できるように構成しておくことが好ましい。

【０９８０】

以上の実施例では、基準電流が１の時を基準にして説明し、また、ｄｕｔｙ比の最大は１／１であるとして説明をした。しかし、本発明はこれに限定するものではない。たとえば、図１１１に図示するように、基準電流は、１／２を中心として１あるいは１／３などに変化させてもよい。また、最大を０．５としてもよい。ｄｕｔｙ比も０．２５を中心として０．５やそれ以下に変化させてもよい。また、最大を０．５としてもよい。

【０９８１】

また、図１１２に図示するように、基準電流の最小値を１とし、最大値を３として、複数の値に変化させて用いても良い。また、ｄｕｔｙ比も図１１３に図示するように、点灯率の８０％で最低とし、１００％あるいは６０％で大きくするように制御してもよいことはいうまでもない。

【０９８２】

図１１４に図示するように、基準電流は、２を中心として３あるいは１などに変化させてもよい。また、最大を３としてもよい。ｄｕｔｙ比も０．５を最大として、０．２５などに変化させてもよいことは言うまでもない。図１１５においても同様である。

【０９８３】

また、図１１６に図示するように、低点灯率領域（図１１６では点灯率２０％以下）でｄｕｔｙ比を低下させ（図１１６（ａ））、ｄｕｔｙ比の低下にあわせて、基準電流比を上昇させ（図１１６（ｂ））てもよい。以上のようにｄｕｔｙ比制御と基準電流比制御を同時に行うことにより、図１１６（ｃ）で図示するように輝度の変化はなくなる。

【０９８４】

図１１６において、点灯率が高い領域（図１１６では４０％以上）では、ｄｕｔｙ比は低下させるが、基準電流比は１のまま一定とする。したがって、輝度はｄｕｔｙ比の低下にともなって低下するから、パネルの消費電力を制御（基本的には少なく）することができる。なお、ｄｕｔｙ比の最大を１／１とする駆動方法では、非表示領域１９２は一括して挿入することが好ましい。

【０９８５】

本発明において、プリチャージ駆動方法について説明した。また、点灯率の概念に関し

ても説明を行った。プリチャージ電圧は、点灯率によって変化させることも有効である。なお、点灯率とは、ｄｕｔｙ比制御を行っていない場合は、消費電流と同義である。つまり、点灯率は、画像データの加算により導出される。電流駆動の場合は、画像データと消費電力は比例し、画像データから点灯率が導出されるからである。

【０９８６】

プリチャージ駆動は、電圧駆動と類似する。ソース信号線１８に電圧を印加し、駆動用トランジスタオ１１ａのゲート電圧にプリチャージ電圧を印加することにより、駆動用トランジスタ１１ａがＥＬ素子１５に電流を流さないようにするものだからである。したがって、プリチャージ電圧の基準原点は、アノード電位（Ｖｄｄ）である。もちろん、駆動用トランジスタがＮチャンネルの場合は、プリチャージ電圧の原点はカソードである。本明細書では、説明を容易にするため、図１に図示するように駆動用トランジスタ１１ａはＰチャンネルとして説明する。

【０９８７】

アノード電位が変化するとプリチャージ電圧を変化させる必要がある。アノード電位（Ｖｄｄ）は変化しないように、アノード配線２１５５を低抵抗値化する。しかし、点灯率が高い場合は、アノード配線（端子）に流れる電流量が多いため、電圧降下が発生する。電圧降下は消費電流に比例する。したがって、アノード電圧の電圧降下は点灯率に比例する。

【０９８８】

以上のことから、プリチャージ電圧は点灯率に相関して変化させることが好ましい。または、アノード端子に流れる電流（もしくは、ＥＬ表示パネルに流れる電流）に対応して、プリチャージ電圧を変化させることが好ましい。

【０９８９】

本発明のソースドライバ回路は、図７５に図示するように、電子ボリウム５０１を具備している。したがって、電子ボリウム５０１を制御することにより、容易にプリチャージ電圧を変化させることができる。なお、電子ボリウム５０１による制御だけでなく、ソースドライバＩＣ（回路）１４の外部のＤＡ回路などでプリチャージ電圧を発生させて印加してもよいことはいうまでもない。

【０９９０】

アノード端子で発生する降下電圧は、以下の処理により把握できる。まず、アノード電圧の発生源から各画素までの抵抗値は設計した段階でわかっている。抵抗値はアノード配線（アノード端子から画素１６の駆動用トランジスタ１１ａまでの抵抗）の金属薄膜のシート抵抗値から決定されるからである。アノード端子に流れる消費電流は映像データの処理によりわかる。電流駆動方式では映像データの総和を求めればよい。以上のことは、図８５、図８８、図９８、図１０３、図２０５、図１０７、図１０９などでｄｕｔｙ比の導出、データ和、点灯率（＝点灯率）などとして説明した。アノードに流れる電流が容易に導出できるのは電流プログラム方式の大きな特徴である。

【０９９１】

したがって、アノード配線の抵抗値と、アノード配線に流れる電流（パネルの消費電流）がわかれば、アノード端子に発生する電圧降下がわかることになる。消費電流は１フレームの画像データ処理によりリアルタイムで導出される。したがって、画素１６でのアノード端子の電圧降下もリアルタイムで決定される。

【０９９２】

以上のことから、リアルタイムで画素１６でのアノード電圧（電圧降下を考慮して）を導出し、この電圧降下分を考慮してプリチャージ電圧を決定する。なお、プリチャージ電圧の決定はリアルタイムで行うことに限定されるものではない。間欠的に行っても良いことはいうまでもない。なお、ｄｕｔｙ比制御を行う場合は、ｄｕｔｙ比によりアノードに流れる電流が変化する。したがって、ｄｕｔｙ比制御による消費電流を加味する必要がある。ｄｕｔｙ比が１／１の場合は、点灯率は消費電流（電力）と同一である。

【０９９３】

また、本発明では、基準電流比（あるいは基準電流の大きさ）を小さくする（たとえば、基準電流比４から１に変化させること）ように制御することは、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素１６のＥＬ素子１５に流れる電流を少なくなるように制御することと同義あるいは類似である。同様に、ｄｕｔｙ比（あるいはｄｕｔｙの大きさ）を小さくする（たとえば、ｄｕｔｙ比１／１から１／４に変化させること）ように制御することは、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素１６のＥＬ素子１５に流れる電流を少なくなるように制御することと同義あるいは類似である。

【０９９４】

したがって、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素１６のＥＬ素子１５に流れる電流が減少するように制御するあるいは増加するように制御することは、ゲートドライバ回路（ＩＣ）１２を制御すること（たとえば、図１４のスタート信号（ＳＴ）を制御すること）により実現できる。あるいはゲートドライバ回路１２がゲート信号線１７ｂ（ＥＬ素子１５に流れる電流を制御する信号線あるいは制御手段）の制御状態（選択するゲート信号線１７の本数）を変更あるいは調整あるいは動作させることにより容易に実現できる。また、カソード端子に流れる電流もしくはアノード端子に流れる電流あるいは画素１６のＥＬ素子１５に流れる電流が減少するように制御するあるいは増加するように制御することは、ソースドライバ回路（ＩＣ）１４を制御すること（たとえば、図４６、図５０、図６０などの基準電流Ｉｃを制御すること）により実現できる。あるいはアノード電圧Ｖｄｄを変化あるいは制御しても実現できる。

【０９９５】

本明細書では説明を容易にするため、基本的には図１１７などにおいてはｄｕｔｙ比を１／１であるとして説明をする。つまり、点灯率とアノードに流れる電流は比例しているとする。

【０９９６】

なお、説明でアノード電流と点灯率は比例するとして説明をしている。しかし、図１などの画素構成ではアノード端子（駆動用トランジスタ１１ａのソース端子）には、ソースドライバＩＣに流れ込むプログラム電流も加算されている。したがって、現実には多少異なる。また、アノード配線に流れる電流を中心に説明しているが、カソード配線に流れる電流と置き換えてもよいことは言うまでもない。

【０９９７】

図１１７（ａ）は、点灯率に応じて画素１６のアノード電圧がＶｄｄ（点灯率０％）からＶｒ（点灯率１００％）の電圧降下が発生することを図示している。図１１７（ｂ）は点灯率に対する端子１５５に出力するプリチャージ電圧を示している。ＶｄｄからＤ（Ｖ）降下した位置に駆動用トランジスタ１１ａの立ち上がり位置がある。したがって、ＶｄｄからＤ（Ｖ）降下した電圧が点灯率０％でのプリチャージ電圧となる。図１１７（ｂ）の実線は、図１１７（ａ）のアノード端子の電圧降下Ｖｒ（Ｖ）をそのまま用いたものである。したがって、点灯率１００％のプリチャージ電圧はＶｄｄ－Ｄ－Ｖｒである。

【０９９８】

図１１７（ｂ）の点線は、点灯率４０％以上と以下でプリチャージ電圧を変化させたものである。点灯率４０％まではプリチャージ電圧はＶｄｄ－Ｄ（Ｖ）とし、４０％以上ではプリチャージ電圧はＶｄｄ－Ｄ－Ｖｒ（Ｖ）としている。点線のように制御することにより、プリチャージ電圧の導出回路が簡単になる。

【０９９９】

アノード電圧Ｖｄｄは、プログラム電流Ｉｗの大きさで左右される。図１の画素構成を例示して説明する。図１１８（ａ）に図示するように、電流プログラム時は、プログラム電流Ｉｗは駆動用トランジスタ１１ａからソース信号線１８に流れ込む。プログラム電流Ｉｗが大きい時は、駆動用トランジスタ１１ａのチャンネル間電圧が大きくなる。図１１８（ｂ）は図１１８（ａ）をグラフ化したものである。チャンネル間電圧Ｖ１（実際には横軸の０がＶｄｄ電圧である）の時には、プログラム電流Ｉ１が流れる。チャンネル間電

圧Ｖ２（実際には横軸の０がＶｄｄ電圧である）の時には、プログラム電流Ｉ２が流れる。大きなプログラム電流Ｉｗを流すためには、アノード電圧Ｖｄｄを高くする必要がある。

【１０００】

以上の実施例は、プログラム電流Ｉｗが大きくなるとアノード電圧Ｖｄｄを大きくする必要があるとしたが、逆には、プログラム電流Ｉｗが小さい時は、アノード電圧Ｖｄｄは低くてよいということを意味する。アノード電圧Ｖｄｄが低くなればパネルの消費電力を減少させることができ、駆動用トランジスタ１１ａで消費される電力も減少させることができるので発熱を減少でき、ＥＬ素子１５の寿命も長くすることができる。

【１００１】

プログラム電流Ｉｗは、基準電流の変化によっても変化する。基準電流Ｉｃが増加すれば、相対的にプログラム電流Ｉｗも大きくなる（画面の階調データが一定の場合、つまりラスター画面で論じている）。基準電流Ｉｃが減少すれば、相対的にプログラム電流Ｉｗも小さくなる。ここでは説明を容易にするため、プログラム電流Ｉｗの増大または減少は、基準電流Ｉｃの増大または減少と同義であるとして説明をする。

【１００２】

図１１９は、本発明の電源回路の構成図である。Ｖｉｎは本体の電池（図示せず）からのアンレギュレータ電圧である。ＤＣＤＣコンバータ１１９１ａはＧＮＤ電圧を基準とし、Ｖｉｎ電圧から昇圧してアノード電圧Ｖｄｄを発生する。なお、説明を容易にするため、ソースドライバＩＣの電源電圧Ｖｓとアノード電圧Ｖｄｄとは同一であるとし説明をする。Ｖｄｄ＝Ｖｓとすることにより、電源数が減少し、回路構成が容易となる。また、ソースドライバＩＣに過電圧が印加されることがなくなる。ＤＣＤＣコンバータ１１９１ｂはＧＮＤ電圧を基準とし、Ｖｉｎ電圧から昇圧して基底電圧Ｖｄｗを発生する。

【１００３】

レギュレータ１１９３は、Ｖｄｄ電圧を接地電圧として、Ｖｄｗ電圧とＶｄｄ電圧からカソード電圧Ｖｓｓを発生させる。以上の構成により、もし、Ｖｄｄ電圧が上昇すれば、Ｖｓｓ電圧も比例して上昇する。

【１００４】

図１でも理解できるが、駆動用トランジスタ１１ａで定電流Ｉｗが発生させられ、ＥＬ素子１５にプログラム電流Ｉｗが流れる。したがって、消費電力は、ＶｄｄとＶｓｓの電位差である。図１１９の構成では、Ｖｄｄ電圧のシフトにより、Ｖｓｓ電圧も同一方向にシフトする。したがって、アノード電圧が変化しても、ＥＬ素子１５＋駆動用トランジスタ１１ａ間に印加される電圧は一定である。

【１００５】

図１１８で説明したようにアノード電圧は、プログラム電流Ｉｗ（基準電流Ｉｃ）が大きくなると高くする必要がある。ＧＮＤ電位が固定のためである。なお、アノード電圧の変化と同時にＩＣ電圧のＶｓも変化させる（Ｖｄｄ＝Ｖｓ）。Ｖｄｄ－Ｖｓｓが一定電圧で、Ｖｄｄが高くなれば、ＥＬ素子１５に印加される電圧が小さくなる。したがって、ＥＬ素子１５は飽和領域で動作しなくなる。しかし、Ｉｗ（Ｉｃ）が大きくしなければならない領域は、低点灯率の領域で、画素は高輝度制御が行われている。したがって、低点灯率で、かつ、高輝度表示の画素１６の輝度が低下しても画像表示に影響はほとんどない。利点とする消費電力の方が大きい。

【１００６】

なお、Ｖｄｄ＝Ｖｓでない場合は、図１２０に図示するように、アノード電圧ＶｄｄとＧＮＤ間に抵抗（Ｒ１、Ｒ２）分割により発生させればよい。Ｖｓ電圧は、ＩＣ内部でプリチャージ電圧の発生用として使用するためである。プリチャージ電圧はＶｄｄを基準とするため、ＶｓとＶｄｄは連動している必要がある。なお、図１２０に図示するように、電解コンデンサＣを挿入する。

【１００７】

図１２１はゲートオフ電圧（Ｖｇｈ）、ゲートオン電圧（Ｖｇｌ）との関係を図示した

ものである（図１８０とその説明も参照のこと）。図１２１（ａ）は、アノード電圧Ｖｄｄよりも Ｖｇｈ電圧を大きくしている。Ｖｇｌ電圧は、Ｖｓｓ電圧よりも高くしている。図１２１（ｂ）は、アノード電圧Ｖｄｄをシフトさせ、基準の電圧Ｖｄｄよりも高くした状態である（電圧Ｖｄｄ１で示している）。図１２１（ｂ）では、Ｖｇｈ電圧はＶｄｄの変化と連動して高くしている。Ｖｇｌ電圧は、図１２１（ａ）から変化させていない。

【１００８】

図１２１（ｂ）は、アノード電圧Ｖｄｄをシフトさせ、基準の電圧Ｖｄｄよりも高くした状態である（電圧Ｖｄｄ１で示している）。図１２１（ｂ）では、Ｖｇｈ電圧は、Ｖｄｄの変化と連動させていない。Ｖｇｌ電圧は、図１２１（ａ）から変化させていない。以上のように、ゲート信号線電圧Ｖｇｈ、Ｖｇｌ電圧はいずれでも良い。

【１００９】

なお、アノード電圧ＶｄｄとＩＣ（回路）１４の電源電圧Ｖｓ（もしくは基準電圧）は同一にすることが好ましい。また、図７５に図示するようにプリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓもアノード電圧Ｖｄｄにすることが好ましい。つまり、プリチャージを発生する回路電源電圧とＩＣ（回路）１４の電源電圧（基準電圧）Ｖｓとアノード電圧Ｖｄｄは略一致させる。なお、略一致とは、±０．２（Ｖ）以内の範囲を意味する。もちろん、完全に一致させることが好ましいことは言うまでもない。

【１０１０】

プリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓ、アノード電圧Ｖｄｄ、回路（ＩＣ）１４の電源電圧Ｖｓは連動させる。たとえば、アノード電圧Ｖｄｄが上昇すれば、プリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓも上昇させる。また、回路（ＩＣ）１４の電源電圧も上昇させる。逆に、アノード電圧Ｖｄｄが降下すれば、プリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓも降下させる。また、回路（ＩＣ）１４の電源電圧も降下させる。

【１０１１】

以上のように連動させるのは、プリチャージ電圧は、駆動用トランジスタ１１ａのＶｄｄ（つまり、駆動用トランジスタ１１ａのソース端子電位）を基準にして発生させることが好ましいからである。つまり、アノード電圧Ｖｄｄが上昇すれば、プリチャージ電圧も連動して上昇させることが好ましい。したがって、電子ボリウム５０１の基準電圧（ＩＣ（回路）１４の電源電圧）Ｖｓも上昇させる。一方で、電子ボリウム５０１はソースドライバ回路（ＩＣ）１４内に内蔵させているため、当然のことながら電子ボリウム５０１はＩＣの電源電圧（耐圧）を超えることができない。実際には、ソースドライバ回路（ＩＣ）１４から出力できるプリチャージ電圧は、ＩＣ（回路）１４の電源電圧－０．２（Ｖ）程度となる。したがって、プリチャージ電圧が上昇すれば、ＩＣ（回路）１４の電源電圧も上昇させなければＩＣ（回路）１４から目標のプリチャージ電圧を出力することができない。

【１０１２】

プリチャージ電圧は図７５に図示するように電子ボリウム５０１などのデジタル可変（ＩＣ外部からの可変）構成にしているため、アノード電圧Ｖｄｄの変化（たとえば、図１２３、図１２５、図１２４などを参照のこと）を検出し、電子ボリウム５０１のスイッチＳを変更することにより、プリチャージ電圧を変更することができる。したがって、図７５の構成は本発明のＩＣ（回路）１４として特長ある構成である。なお、プリチャージ電圧は、ＩＣ（回路）１４の外部で発生させて、ＩＣ（回路）１４を介してソース信号線１８などに印加してもよい。なお、この場合も、プリチャージ電圧の最大値よりもＩＣ（回路）１４の電源電圧Ｖｓは０．２（Ｖ）高くしておく必要がある。

【１０１３】

以上の実施例では、プリチャージ電圧について説明したが、プリチャージ電圧に限定するものではなく、図２２８などで説明するリセット電圧についても適用できることは言うまでもない。

【１０１４】

また、アノード電圧Ｖｄｄとドライバ ＩＣ（回路）１４の電源電圧などを連動させるとしたが、図１０、図９などに図示するように駆動用トランジスタ１１ａがＮチャンネルの場合は、カソード電圧Ｖｓｓが基準となる。したがって、プリチャージ電圧を発生させる電子ボリウム５０１の基準電圧Ｖｓ、カソード電圧Ｖｓｓ、回路（ＩＣ）１４の電源電圧Ｖｓ（もしくはＧＮＤレベル）は連動させる必要があることは言うまでもない。したがって、以上に説明した内容を置き換えればよい。

【１０１５】

以上の事項は本発明の他の実施例である表示パネル、表示装置、駆動方式などにも適用できることは言うまでもない。

【１０１６】

図１２２は、一例としての点灯率とアノード電圧の関係を示したものである。なお、Ｖｄｄ＋２、Ｖｄｄ＋４は、絶対的な電圧を示しているものではなく、説明を容易にするため相対的に図示したものである。

【１０１７】

図１２２において、点灯率が２５％以下で基準電流（プログラム電流）を増大させている。この状態ではアノード電圧を高くする必要があるので、基準電流の増大に伴って、アノード電圧も高くしている。なお、点灯率７５％以上で基準電流を大きくしている。また、基準電流の増大に伴い、アノード電圧も高くしている。

【１０１８】

図１２３において、点灯率に応じて基準電流（プログラム電流）を段階的に変化させている。基準電流の変化に伴って、アノード電圧も変化させている。

【１０１９】

なお、図１１９から図１２３では、基準電流（プログラム電流）の変化によりアノード電圧を変化させるとした。しかし、これは、駆動用トランジスタ１１ａがＰチャンネルの場合であって、Ｎチャンネルの場合は、カソード電圧を変化させることは言うまでもない。

【１０２０】

なお、プログラム電流の大きさ（基準電流の大きさ）に対するアノード電圧は、図１２４に図示するように変化させてもよい。図１２４の実線ａは、プログラム電流（基準電流）に比例させてアノード電圧を変化させた例である。図１２４の点線ｂは、所定のプログラム電流（基準電流）以上の時に、アノード電圧を変化させた実施例である。点線ｂでは、基準電流に対するアノード電圧の変化点は１点であるので回路構成が容易となる。
図１１９、図１２０において、ＤＣＤＣコンバータあるいはレギュレータの代りに、トランス（単巻きトランス、複巻きトランス）あるいはコイルを用いて昇圧回路などを形成あるいは構成してもよいことは言うまでもない。

【１０２１】

以上の実施例では、基準電流あるいはプログラム電流の大きさによってアノード電圧を変化させる実施例であった。しかし、基準電流あるいはプログラム電流の大きさの変化は、ソース信号線１８の電位を変化させることと同義である。図１などの駆動用トランジスタ１１ａがＰチャンネルの場合は、プログラム電流Ｉｗあるいは基準電流を増加させることは、ソース信号線１８の電位を低くすることである（ＧＮＤ電位に近くなる）。逆に、プログラム電流Ｉｗあるいは基準電流を小さくすることは、ソース信号線１８の電位を高くすることである（アノードＶｄｄに近くなる）。

【１０２２】

以上のことから、図１２５に図示するように、制御を行っても良い。つまり、ソース信号線１８の電位が０（ＧＮＤ）電位の時に、アノード電圧を最も高くする（基準電流およびプログラム電流が最大値）。ソース信号線１８の電位がＶｄｄ電位の時に、アノード電圧を最も低くする（基準電流およびプログラム電流が最小値）。以上のように構成あるいは制御することにより、ＥＬ素子１５に高電圧が印加される期間を短くすることができ、ＥＬ素子１５を長寿命化できる。

【１０２３】
本発明のプリチャージ駆動では所定電圧をソース信号線１８に印加する。また、ソースドライバＩＣはプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線１８に出力するプリチャージ電圧はプログラム電圧となる。ソースドライバＩＣ内にこのプリチャージ電圧のプログラム電圧回路１２７１を導入した回路構成が図１２７である。
【１０２４】
なお、図１２７は１つのソース信号線１８に対応する１出力回路ブロック図である。電流階調回路１６４と、プリチャージで階調出力をだす電圧階調回路１２７１が構成される。電流階調回路１６４と電圧階調回路１２７１には映像データが印加される。電圧階調回路１２７１の出力はスイッチ１５１のオンオフによりソース信号線１８へ出力する端子１５５に印加される。スイッチ１５１はプリチャージイネーブル（プリチャージＥＮＢＬ）信号と、プリチャージ信号（プリチャージＳＩＧ）で制御される。スイッチ１５１はプリチャージイネーブル（プリチャージＥＮＢＬ）信号がＨレベルで、かつ、プリチャージ信号（プリチャージＳＩＧ）がＨレベルの時閉じるように制御される。
【１０２５】
電圧階調回路１２７１は、サンプルホールド回路、ＤＡ回路などで構成される。デジタルの映像データに基づいて、ＤＡ回路により電圧変換される。この変換された電圧は、サンプルホールド回路によりサンプルホールドされ、オペアンプを介してスイッチ１５１の一端子に印加される。なお、ＤＡ回路は電圧階調回路１２７１ごとに構成または形成する必要がなく、外部にＤＡ回路を構成し、このＤＡ回路の出力を電圧階調回路１２７１内でサンプルホールドしてもよい。
【１０２６】
電圧階調回路１２７１の出力は、図１２８に図示するように、１Ｈの最初に印加される（記号Ａで示す）。その後、電流出力回路１６４によりソース信号線にプログラム電流が供給される（記号Ｂで示す）。つまり、電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタは目的電流に近い値まで、高速に設定される。その後、電流のより駆動用トランジスタのバラツキを補償する目的電流まで設定される。電圧信号が印加されるＡ期間は、１Ｈの１／１００以上１／５以下の期間が好ましい。または、０．２μｓｅｃ以上１０μｓｅｃ以下の期間に設定することが好ましい。したがって、Ａ期間以外がＢ期間の電流印加期間である。Ａ期間が短いとソース信号線１８の電荷の充放電が十分に行われないため、書き込み不足が発生する。一方、長すぎると電流印加期間（Ｂ）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ１１ａの電流補正不足となる。
【１０２７】
電圧印加期間（Ａ期間）は、１Ｈの最初から実施することが好ましいが、これに限定されない。たとえば、１Ｈの終わりのブランキング期間から開始してもよい。また、１Ｈの途中にＡ期間を実施してもよい。つまり、１Ｈのいずれかの期間に電圧印加期間を実施すればよい。しかし、好ましくは、電圧印加期間は、１Ｈの最初から１／４Ｈ（０．２５Ｈ）の期間内に実施することが好ましい。
【１０２８】
図１２８の実施例では、電圧プリチャージ（Ａ）の期間後、電流を印加（Ｂ期間）するとしたが、これに限定するものではない。たとえば、図１２９（ａ）に図示するように、１Ｈの期間のすべてを（あるいは大半を、あるいは過半数を）電圧プリチャージ（＊Ａ）期間としてもよい。
【１０２９】
図１２９（ａ）の＊Ａの期間は、１Ｈの期間が電圧プログラムを実施している。＊Ａの期間は、低階調の領域である。低階調の領域で電流プログラムを実施してもプログラムされる電流が微小のため、ソース信号線１８の寄生容量の影響により、ソース信号線１８の電位変更を実施することができない。つまり、ＴＦＴ１１ａ（駆動用トランジスタ）の特

性補償を行うことができない。また、電流プログラム方式では、プログラム電流Ｉと輝度Ｂとが線形の関係にある。そのため、低階調領域で１階調に対する輝度変化が大きすぎる。したがって、低階調領域で階調飛びが発生しやすい。

【１０３０】

この課題に対して本発明では、図１２９（ａ）に図示するように、低階調領域で１Ｈの期間にわたり電圧プログラムを実施している（＊Ａで図示している）。低階調領域における領域で電圧プログラムの電圧ステップきざみを小さくしている。画素１６のＴＦＴ１１ａに印加する電圧を一定ステップにすると、ＴＦＴ１１ａのＥＬ素子１５への出力電流は概略２乗特性となる。したがって、印加電圧に対する輝度Ｂ（輝度ＢはＥＬ素子１５への出力電流に比例する）は、人間の視感度は直線的となる（人間の視感度は、２乗特性の時に低ステップで変化していると認識するためである）。

【１０３１】

電圧プログラム方式では、ＴＦＴ１１ａの特性補償を良好に実施することができない。しかし、低階調領域では、表示画面１４４の表示輝度が低いため、特性補償不足による表示ムラが発生しても視覚的に認識されることはない。一方で、電圧プログラム方式では、ソース信号線１８の充放電を良好に実施することができる。そのため、低階調領域でも十分にソース信号線１８の充放電を実施でき、適正な階調表示を実現できる。

【１０３２】

図１２９（ａ）でも理解できるように、ソース信号線１８の電位がアノード電位（Ｖｄｄ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位が０（Ｖ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間内に実施される。なお、ソース信号線１８の電位が０（Ｖ）に近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【１０３３】

図１２９（ａ）の＊Ａ以外の期間は、１Ｈの一定期間（Ａで示す）に電圧プログラムによる電圧をソース信号線１８に印加し、その後、Ｂの期間に電流プログラムによる電流を印加している。以上のようにＡ期間の電圧の印加により画素１６のＴＦＴ１１ａのゲート電位に所定電圧を印加し、おおよそＥＬ素子１５に流す電流が所望値になるようにしている。その後、Ｂ期間のプログラム電流により、ＥＬ素子１５に流れる電流が所定値となるようにしている。＊Ａ期間は、１Ｈ期間の全般にわたり電圧プログラムが実施されている（電圧が印加されている）。

【１０３４】

図１２９（ａ）は、画素１６のＴＦＴ１１ａ（駆動用トランジスタ）がＰチャンネルの場合のソース信号線１８への印加信号波形である。しかし、本発明はこれに限定するものではない。画素１６のＴＦＴ１１ａがＮチャンネルであってもよい（たとえば、図１を参照のこと）。この場合は、図１２９（ｂ）に図示するように、ソース信号線１８の電位が０（Ｖ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位がアノード電圧（Ｖｄｄ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間に実施される。

【１０３５】

なお、ソース信号線１８の電位がＶｄｄに近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【１０３６】

本発明では、駆動用トランジスタ１１ａはＰチャンネルとして説明するがこれに限定するものではなく、駆動用トランジスタ１１ａはＮチャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ１１ａがＰチャンネルトランジスタであるとして説明を行うだけである。

【１０３７】

図１２８、図１２９などの本発明の実施例では、主として低階調領域は電圧プログラム

が主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行われる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、１Ｈ最初に印加した電圧（電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧に種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである）が支配的となるからである。

【１０３８】

中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する。つまり、プログラム電流が支配的となる（電流駆動が支配的である）。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である（図１３０（ｂ）、図１３１などを参照のこと）。もちろん、電圧を印加してもよいことは言うまでもない。

【１０３９】

図１２７で電圧階調回路の出力と電流階調回路（プリチャージ回路も含む）の出力とを端子１５５でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路からの電圧が電流階調回路に印加されても、回路に問題点（短絡で過電流が流れるなど）が発生することがない。したがって、本発明で電圧出力と電流出力状態とを切り換えるとしたが、これに限定するものではない。電流階調回路１６４からプログラム電流の出力した状態で、スイッチ１５１（図１２７を参照）をオンして、電圧階調回路１２７１の電圧を端子１５５に印加してもよいことは言うまでもない。

【１０４０】

また、スイッチ１５１を閉じて端子１５５に電圧を印加した状態で、電流階調回路１６４からプログラム電流を出力してもよい。電流階調回路１６４は高インピーダンスであるので回路的には問題がない。以上の状態も本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

【１０４１】

また、図１３０に図示するように、１Ｈ期間に印加するプログラムを電圧または電流の一方にしてもよいことは言うまでもない。図１３０において、＊Ａの期間は電圧プログラムが実施された１Ｈ期間であり、Ｂの期間は電流プログラムが実施されている１Ｈ期間である。主として低階調領域では電圧プログラムが実施され（＊Ａで示す）、中間調以上の領域では電流プログラムが実施される（Ｂで示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

【１０４２】

図１２７の本発明の実施例では、電圧階調回路１２７１と電流階調回路１６４には、同一の映像Ｄａｔａが入力されている。したがって、映像Ｄａｔａのラッチ回路は電圧階調回路１２７１と電流階調回路１６４と共通でよい。つまり、映像Ｄａｔａのラッチ回路は電圧階調回路１２７１と電流階調回路１６４とに独立に設ける必要はない。共通の映像Ｄａｔａラッチ回路からのデータに基づき、電流階調回路１６４または／および電圧階調回路１２７１がデータを端子１５５に出力する。

【１０４３】

図１３２は本発明の駆動方法のタイミングチャートである。図１３２において、（ａ）のＤＡＴＡは画像データである。（ｂ）のＣＬＫは回路クロックである。（ｃ）のＰｃｎｔｌは、プリチャージのコントロール信号である。Ｐｃｎｔｌ信号がＨレベルの時は、電圧駆動のみモード状態になり、Ｌレベルの時、電流＋電圧駆動モードになる。（ｄ）のＰｔｃはプリチャージ電圧あるいは電圧階調回路１２７１からの出力の切り換え信号である

。Ｐｔｃ信号がＨレベルの時は、プリチャージ電圧などの電圧出力がソース信号線１８に印加される。Ｐｔｃ信号がＬレベルの時は、電流階調回路１６４からのプログラム電流がソース信号線に出力される。

【１０４４】

たとえば、データＤ（２）、Ｄ（３）、Ｄ（８）の時は、Ｐｃｎｔｌ信号がＨレベルであるから、ソース信号線１８に電圧階調回路１２７１から電圧が出力される（Ａ期間）。Ｐｃｎｔｌがレベルの時は、ソース信号線１８には、まず電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間をＡで示し、電流が出力される期間をＢで示す。電圧を出力する期間Ａは、Ｐｔｃ信号で制御される。Ｐｔｃ信号は、図１２７のスイッチ１５１のオンオフを制御する信号である。

【１０４５】

なお、図１３２において、電圧出力期間Ａと電流出力期間Ｂとを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ１５１（図１２７を参照）をオンして、電圧階調回路１２７１の電圧を端子１５５に印加してもよいことは言うまでもない。また、スイッチ１５１を閉じて端子１５５に電圧を印加した状態で、電流階調回路１６４からプログラム電流を出力してもよい。Ａ期間後にスイッチ１５１をオープンにする。以上のように、電流階調回路１６４は高インピーダンスであるので電圧回路と短絡状態にしても回路的には問題がない。

【１０４６】

図１３３はＰｔｃ信号のＨ期間を変化させることにより、ソース信号線１８に電圧を出力する期間を可変するものである。Ｈ期間は、階調番号などにより変化させる。たとえば、Ｄ（７）では、Ｐｔｃ信号は１Ｈの期間Ｌレベルである。したがって、図１２７のスイッチ１５１は１Ｈの期間オープン状態である。したがって、１Ｈ期間には電圧は印加されず、常時電流プログラム状態である。また、Ｄ（５）ではＰｔｃ期間は他の１Ｈ期間よりも長くなっている。したがって、電圧を印加するＡ期間は長く設定されている。

【１０４７】

以上の実施例では、電流駆動状態と電圧駆動状態とを切り換えるものである。しかし、本発明はこれに限定されない。図１３４の実施例では、Ｐｔｃ信号はない。したがって、Ｐｃｎｔｌ信号で制御される。そのため、Ｈ期間は電圧駆動が実施され、Ｌ期間は電流駆動が実施される。

【１０４８】

電圧プログラムは、ＲＧＢのＥＬ素子１５の発光効率により、ソース信号線１８に出力する電圧値を変更する必要がある。図１の画素構成を例示すれば、駆動用トランジスタ１１ａのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ１１ａが出力する電流により異なるからである。駆動用トランジスタ１１ａの出力電流はＥＬ素子１５の発光効率で異ならせる必要がある。本発明のソースドライバＩＣ１４を汎用性があるものとするためには、ＥＬ表示パネルの画素サイズが異なっていても、あるいはＥＬ素子１５の発光効率が異なっていても、設定あるいは調整により対応する必要がある。

【１０４９】

電圧階調回路１２７１は、アノード電圧（Ｖｄｄ）を原点として電圧を出力する。この状態を図１３５に示す。アノード電圧（Ｖｄｄ）は駆動用トランジスタ１１ａの動作原点である。なお、説明を容易にするため、図１に図示するような駆動用トランジスタ１１ａがＰチャンネルの構成であるとして説明をする。駆動用トランジスタ１１ａがＮチャンネルの場合も、原点位置が変化するだけであるので説明を省略する。したがって、説明を容易にするため、駆動用トランジスタ１１ａはＰチャンネルの場合を例にあげて説明をする。

【１０５０】

図１３５において、横軸は階調である。本発明では電圧階調回路１２７１の出力階調は２５６（８ビット）階調であるとして説明をする。縦軸はソース信号線１８への出力電圧である。図１３５では、階調番号に比例してソース信号線１８の電位は低くなる。

【１０５１】
ソース信号線１８の電圧は、駆動用トランジスタ１１ａのゲート端子電圧である。駆動用トランジスタ１１ａの出力電流は、ゲート端子電圧に非線形で変化する。一般的に図１３５のようにソース信号線１８に電圧を印加すると、駆動用トランジスタ１１ａの出力電流は、印加電圧に対して２乗特性で変化する。つまり、図１３５では階調に対するソース信号線１８の電位は比例しているが、駆動用トランジスタ１１ａの出力電流（ＥＬ素子１５に流れる電流）は、ほぼ２乗特性となる。
【１０５２】
図１３５の回路構成は、回路構成などが容易である。しかし、ＥＬ素子１５に流れる電流は階調番号に比例しない。駆動用トランジスタ１１ａに線形に変化する電圧を印加（図１３５の実施例の場合など）すると、トランジスタ１１ａの２乗特性により、出力電流は印加電圧の２乗に比例して出力されるからである。したがって、階調番号が小さい時はトランジスタ１１ａの出力電流の変化が小さく、階調番号が大きくなるにつれて、急激に大きくなる。したがって、階調番号に対する出力電流の精度が変化する。
【１０５３】
この課題を解決する構成が図１３６である。図１３６では、階調番号が小さい時には、ソース信号線１８への出力電圧の変化が大きい。また、階調番号が小さくなるほどソース信号線１８への電圧変化割合は大きくなる。一方、階調番号が大きく（２５６番目に近づく）なると、ソース信号線１８への出力電圧の変化が小さくなるように構成している。したがって、階調番号に対するソース信号線出力電流の関係は非線形となる。この非線形特性は、駆動用トランジスタ１１ａのゲート端子電圧に対するＥＬ素子１５への出力電流特性と組合せることにより、線形になるようにしている。つまり、階調番号の変化に対する駆動用トランジスタ１１ａのＥＬ素子１５への出力電流は線形となるように調整している。
【１０５４】
電流プログラム方式は、階調番号に対するＥＬ素子１５に流れる電流は線形の関係にある。図１３６の構成（方式）は電圧プログラム方式である。図１３６では電圧プログラム方式であるが、階調番号に対するＥＬ素子１５に流れる電流は線形の関係である。したがって、図１２７、図１２８のように電流プログラム方式と電圧プログラム方式とを組み合わせた構成（方式）において、マッチングがよい。
【１０５５】
図１３６は階調番号に対する駆動用トランジスタ１１ａの出力電流Ｉｅがほぼリニアに変化するようにしている。したがって、階調番号に対するソース信号線出力電圧の関係は、階調番号が小さい時は粗く、大きくなるにつれて細かく変化するようにしている。階調番号をＫとし、ソース信号線Ｖｓとした時、変化カーブ式は、図１３６に図示するようにソース信号線電圧Ｖｓ＝Ａ／（Ｋ・Ｋ）となるようにする。なお、Ａは比例定数である。もしくは、ソース信号線電圧Ｖｓ＝Ａ／（Ｂ・Ｋ・Ｋ＋Ｃ・Ｋ＋Ｄ）もしくはＶｓ＝Ａ／（Ｂ・Ｋ・Ｋ＋Ｃ）となるようにする。なお、Ｄ、Ｂ、Ｃ、Ａは定数である。
【１０５６】
以上のように、変化カーブ式を構成することにより、変化カーブ式とソース信号線電圧Ｖｓに対する駆動用トランジスタの出力電流Ｉｅを掛け合わせた時に、Ｖｓに対するＩｅが線形の関係とすることができる。
【１０５７】
図１３６では、変化カーブ式が曲線となる。そのため、変化カーブを作成することが比較的困難である。この課題に対しては、図１３７に図示するように複数の直線で変化カーブ式を構成することが適切である。つまり、２つ以上の傾きの直線で変化カーブを構成する。
【１０５８】
図１３６では、階調番号が小さい範囲では、ソース信号線１８の出力電圧のきざみは大きくし（Ａで示す）、階調番号が大きい範囲では、ソース信号線１８の出力電圧のきざみ

は小さくする（Ｂで示す）。図１３６の変化カーブでは、階調番号Ｋに対する駆動用トランジスタ１１ａの出力電流Ｉｅは非線形の関係となり、また、複数の非線形の出力を組み合わせたものとなる。しかし、階調番号Ｋに対する出力電流Ｉｅの関係は線形に近い範囲が多くなる。したがって、電流プログラム駆動との組み合わせも容易である。

【１０５９】

図１３５の実施例では、階調番号が０の時は、ソース信号線１８の電位がアノード電位（Ｖｄｄ）となっていない。駆動用トランジスタ１１ａは立ち上がり電圧までは出力電流が０またはほぼ０である。この立ち上がり電圧までの範囲がＣの領域である。したがって、Ｃの領域はブランクとなるので、階調番号数が一定の場合、図１３５などに比較して相対的にソース信号線の出力電圧きざみを細かくすることができる。

【１０６０】

図１３８の関係（階調番号０の時、ソース信号線１８の電位は原点（アノード電位）でない関係）と、図１３６の非直線の関係、図１３７の複数の関係式を組合せる関係、図１３５の直線の関係などは、相互に組合せても良いことは言うまでもない。

【１０６１】

電圧プログラムは、Ｒ、Ｇ、ＢのＥＬ素子１５の発光効率により、ソース信号線１８に出力する電圧値を変更する必要がある。図１の画素構成を例示すれば駆動用トランジスタ１１ａのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ１１ａが出力する電流により異なるからである。駆動用トランジスタ１１ａの出力電流はＥＬ素子１５の発光効率で異ならせる必要がある。本発明のソースドライバＩＣ１４を汎用性があるものとするためには、ＥＬ表示パネルの画素サイズが異なっていても、あるいはＥＬ素子１５の発光効率が異なっていても、設定あるいは調整により対応する必要がある。

【１０６２】

図１３１は、電圧駆動において、電圧の基準はＶｄｄであるという点を利用した回路構成である。図１３５から図１３８の縦軸である電圧の大きさＶｄｄを固定して変化させる。したがって、階調番号の範囲（２５６階調＝２５６きざみ）を一定とした場合でも、縦軸の電圧の大きさを調整することができ、ソースドライバ回路（ＩＣ）１４を汎用的にすることができる。

【１０６３】

図１３１は電子ボリウム５０１の電圧範囲は、ＶｄｄからＶｂｖである。したがって、オペアンプ５０２ａの出力電圧ＶａｄはＶｄｄからＶｂｖの値が出力される。ＶｂｖはソースドライバＩＣ（回路）１４の外部より入力される。また、ＩＣ（回路）１４内部で発生させてもよい。電子ボリウム５０１のスイッチＳは８ビットの制御データ（階調番号）をデコーダ回路５３２でデコードされ該当のスイッチＳが閉じ、電圧ＶｄｄからＶｂｖ間の電圧がＶａｄから出力される。電圧Ｖａｄが図１３５から図１３８の縦軸である電圧となる。したがって、Ｖｂｖを変化させることにより容易にＶａｄを変化あるいは調整できる。つまり、図１３９に図示するように、縦軸は、Ｖｄｄ電圧をＶｂｖ電圧の範囲となる。以上の図１３１の回路構成は、図１４０に図示するようにＲＧＢごとに設けられる。なお、ＲＧＢのＥＬ素子１５の発光効率のバランスがとれ、ＲＧＢ電流ＩｃがＩｃｒ：Ｉｃｇ：Ｉｃｂ＝１：１：１の時、ホワイトバランスが取れる場合は、ＲＧＢで共通で１つの回路構成（図１３１）でもよいことは言うまでもない。また、ＲとＧ、ＧとＢ、ＢとＲというように複数のＩｃ電流発生回路を共通にしてよい。なお、Ｖｂｖなどは、点灯率、基準電流比、ｄｕｔｙ比に応じて変化させてもよいことは言うまでもない。

【１０６４】

図７７、図７８などは電流プログラム回路用に２段のラッチ回路７７１を有している。本発明のソースドライバＩＣ（回路）１４は、電流プログラム回路と電圧プログラム回路の両方を具備している。

【１０６５】

図１３１などはアノード電圧ｖｄｄを原点とするものであった。図１４１はアノード電位に該当する電圧も調整できるようにするものである。電子ボリウム５０１の端子Ｖｄｄ

にオペアンプ５０２ｃからの電圧を印加している。印加する電圧はＶｂｖｈである。電子ボリウム５０１の下限電圧は、Ｖｂｖｌである。したがって、ソース信号線１８に印加される電圧範囲は、図１４２に図示するようにＶｂｖｈ以下Ｖｂｖｌ以上となる。他の事項は他の実施例と同一あるいは類似であるので説明を省略する。

【１０６６】

図１３８でも説明したが、駆動用トランジスタ１１ａなどにはＣで示す立ち上がり電圧がある。立ち上がり電圧以下は黒表示（駆動用トランジスタ１１ａがＥＬ素子１５に電流を供給しない）である。図１４３は、図１３８のＣブランクを発生させる回路である。Ｃブランクの電圧範囲は、Ｐｋデータで調整する。Ｐｋデータは８ビットである。このＰｋデータと階調番号データＤａｔａとが加算回路３７３１で加算される。加算されたデータは９ビットとなり、デコーダ回路５３２に入力され、出コードされて電子ボリウム５０１の該当スイッチＳを閉じさせる。

【１０６７】

以上の実施例は、ソースドライバＩＣ１４を介して、プリチャージ電圧を印加するものであったが、本発明はこれに限定するものではない。たとえば、アレイ３０基板に形成したプリチャージ電圧用トランジスタ素子を形成し、このトランジスタ素子をオンオフ制御することにより、プリチャージ電圧線に印加されたプリチャージ電圧をソース信号線１８に印加するように構成してもよいことは言うまでもない。

【１０６８】

図７７、図７８は電流ドライバＩＣ１４（プログラム電流を出力する回路あるいはＩＣ）などにプリチャージビットをラッチするラッチ回路７７１を構成あるいは形成したものであったが、本発明はこれに限定するものではない。たとえば、プログラム電圧を出力するソースドライバ回路あるいはＩＣにも適用できる。前記ソースドライバ回路１４にプリチャージ機能あるいはプリチャージ信号をラッチするラッチ回路あるいはプリチャージの選択信号線を配置または構成することにより、プログラム電圧をソース信号線１８に書き込む前に、ソース信号線の電位を所定値にすることができ、書き込み安定度を向上できる。

【１０６９】

図７７、図７８などでは、プリチャージ信号線（ＲＰＣ、ＧＰＣ，ＢＰＣ）は１本とし、また、それに対応するラッチ回路は２段で各１ビットとして説明したが、本発明はこれに限定するものではない。たとえば、図７５に図示するように、プリチャージ信号が４ビットから構成される場合は、プリチャージ信号線は４本が必要である。したがって、プリチャージ信号のラッチ回路も２段で４ビット分が必要となることは言うまでもない。また、ラッチ回路７７１は、図７７に図示するように２段に限定するものではない。３段以上で構成してもよいことは言うまでもない。たとえば、４段に構成すれば、ソース信号線１８に書き込む電流信号は２倍の時間確保できるようになり好ましい。また、プリチャージ信号線はＲ、Ｇ、Ｂで個別に設ける必要はないことは言うまでもない。ＲＧＢで共通の信号線としてもよい。

【１０７０】

以上のように、本発明のソースドライバ回路１４などは、ソースドライバ回路に、ソース信号線１８にプログラム電流あるいはプログラム電圧を書き込む時に、プリチャージ信号を印加するかしないかを選択する判定ビットを保持する回路を有すること、また、判定ビットに保持する信号あるいは想定される信号を伝達する信号入力端子を有するものである。

【１０７１】

なお、点灯率に応じて、ソース信号線に印加するプリチャージ電圧を変化あるいは変更してもよい。たとえば、点灯率に対して図７５における選択信号Ｄの値を変化し、電子ボリウム５０１を制御して端子１５５から出力されるプリチャージ信号を変化させる。点灯率に応じて駆動用トランジスタ１１ａに流れる電流が変化するため、最適なプリチャージ電圧の大きさ（とくに電圧駆動で階調表示をする場合）が変化する。点灯率により、最適

な階調表示になるように電子ボリウム５０１を制御することにより階調表示などが実現できる。

【１０７２】

以上の実施例では、点灯率に応じて、プリチャージ電圧を変化させるとしたが、本発明はこれに限定するものではない。基準電流比に応じてプリチャージ電圧を変化させてもよい。基準電流の大きさによっても、駆動用トランジスタ１１ａに流れる電流が変化し、最適なプリチャージ電圧（駆動用トランジスタ１１ａのゲート端子に印加する電圧）が変化するからである。また、アノード（カソード）端子の電流の大きさによってもプリチャージ電圧を変化させてもよい。

【１０７３】

以下、本発明のＥＬ表示パネルあるいはＥＬ表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。ＥＬ表示パネルは特にＢの色度が悪いという課題があり、一方でＲの色度が非常によいという事実がある。そのため、画像を表示した場合、表示色が本来の画像と異なってしまう場合がある。図１４４の色度のＸＹ座標において、実線がＮＴＳＣの色範囲である。点線が有機ＥＬの色範囲である。ＮＴＳＣの色再現範囲と有機ＥＬの色再現範囲とがずれているために、特に樹木の緑が多い画像表示において葉が枯葉色になるという課題が発生する。

【１０７４】

この課題を解決する方策が、カラーマネージメント処理である。これは、信号処理により画像の色補正を行うものである。また、色フィルタにより画像の色度を改善する方策も例示される。

【１０７５】

色フィルタによりＥＬ表示パネルの色純度を改善するためには、表示パネル３０の光出射側に色フィルタを配置または構成あるいは形成すればよい。色フィルタは偏光フィルム３９とパネル３０間に配置または形成してもよい。色フィルタは、シアン色をカットするものを用いることによりＢの色度を改善することができる。色フィルタは、樹脂からなるフィルタの他、光学的干渉多層膜からなる干渉フィルタを用いても良い。なお、色フィルタは、偏光フィルム上に形成または配置してもよい。

【１０７６】

回路的にカラーマネージメント（色補正処理）を実現するためには、各トランジスタ群４３１から出力されるＲＧＢの単位トランジスタ１５４出力割合を変化させるとよい。有機ＥＬでＢの色度が悪く（一方でＲの色度がよい）、樹木の葉が枯葉になる現象を抑制するためには、Ｂの電流を大きくするか、Ｒの電流を小さくすればよい。

【１０７７】

トランジスタ群４３１ｃの出力電流を調整するためには、図４６などにおける電流Ｉｃを調整すればよい（ＲＧＢで調整する）。なお、本発明の実施例において、本明細書で説明した事項、構成、方法、装置が適用できることは言うまでもない。

【１０７８】

電流Ｉｃを調整する構成は、図１４５に例示している。図１４５（ａ）は８ビットのデータをＤＡ回路６６１でアナログ信号に変換し、オペアンプ５０２ａに入力し、電流Ｉｃを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗Ｒ１で行う。

【１０７９】

図１４５（ｂ）は、８ビットのデータをＤＡ回路６６１でアナログ信号に変換し、電流Ｉｃを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗Ｒ１で行う。ただし、図１４５（ｂ）の構成はＤＡ回路６６１の出力電圧に対する電流Ｉｃ変化は非線形となる。

【１０８０】

図１４５（ｃ）は８ビットのデータをＤＡ回路６６１でアナログ信号に変換し、トランジスタ１５７ｂを介して、電流Ｉｃを変化（調整）する構成である。基本的な電流の大き

さは外付けあるいは内蔵抵抗Ｒ１で行う。ただし、図１４５（ｂ）の構成は、ＤＡ回路６６１の出力電圧に対する電流Ｉｃ変化は非線形となる。

【１０８１】

図１４６は電子ボリウム回路５０１を用いた回路構成である。図６０の電子ボリウム回路５０１の端子電圧ＶｓにＤＡ回路６６１の出力を接続した構成である。他の構成は図６０、図５０、図４６などと同様あるいは類似であるので説明を省略する。つまり、電流Ｉｃは電子ボリウム５０１により切り換えられるとともに、カラーマネージメント処理のＤＡ回路６６１の出力によっても調整することができる。なお、図１４５と図１４６の構成を組み合わせても良いことは言うまでも無い。また、図１４６において電子ボリウム５０１を制御することによりカラーマネージメント処理を実施してもよいことは言うまでのない。

【１０８２】

図１４７は図１４６の変形例である。オペアンプ５０２ａの入力端子ｃに直接電圧Ｖｃを入力できるように構成している。なお、Ｖｃを入力する時は、電子ボリウム５０１はいずれのスイッチＳも選択されずオープンになるように制御される。ＩＣ１４外部からのＶｃ電圧の印加により、容易に電流Ｉｃを制御あるいは調整することができる。

【１０８３】

図１４８は、ＤＡ回路６６１ａの電源電圧ＶｄａをＤＡ回路６６１ｂで変化させることにより、オペアンプ５０２ａの入力端子電圧を変化させるものである。入力端子電圧により出力電流Ｉｃはリニアに変化する。

【１０８４】

図１４８において、ＤＡ回路６６１ａの出力電圧は８ビットのデジタルデータによりリニアに変化し、さらにＤＡ回路６６１ａの出力電圧は、ＤＡ回路６６１ｂの出力電圧によりリニアに変化する。図１４８の回路構成では、電流Ｉｃの変化の幅が大きく、かつ変化はリニアであるので構成として好ましい。

【１０８５】

カラーマネージメント処理は、各ＲＧＢの電流により制御する。なお、ＲＧＢの電流とは点灯率で表現することができる（ｄｕｔｙ比は１／１とする）。ｄｕｔｙ比が１／１のとき、点灯率は画像データの総和と最大値から算出することができる。カラーマネージメント処理を実施するときは、点灯率はＲＧＢ個別で求める。つまり、Ｒの点灯率、Ｇの点灯率、Ｂの点灯率を求め（Ｒの消費電流、Ｇの消費電流、Ｂの消費電流を求めていることになる）、一定の割合の範囲、大きさでカラーマネージメント処理を実施する。画面に白表示が多い状態では、ホワイトバランスがとれているため、カラーマネージメント処理は不要だからである。

【１０８６】

図１４９はカラーマネージメント処理方法の説明図である。ｄｕｔｙ比制御は以前にも説明したようにＥＬ表示パネルの消費電流を平均化するために実施している。カラーマネージメント処理は、基準電流Ｉｃの調整により実施している。図１４９では点灯率が高い範囲で、Ｒの基準電流Ｉｃｒを低下させるとともに、Ｂの基準電流Ｉｃｂを増加させている。また、Ｂの基準電流Ｉｃｂは、点灯率が中間レベル（３０％～６０％）の範囲でも増加させて調整を行っている。以上の処理によりＥＬ表示装置のカラーマネージメント処理を良好に実現できる。

【１０８７】

図１５０は、点灯率が低い領域でＲＧＢの基準電流Ｉｃを増加させている。これは、低点灯率で画像のダイナミックレンジを増大させるためである。Ｂの点灯率が高い領域でＢの基準電流Ｉｃｂを増大させている点がカラーマネージメント処理である。以上のように、本発明は画像のダイナミック処理とカラーマネージメント処理の両方を基準電流制御により実現できる。

【１０８８】

図１５１はＲの基準電流Ｉｃｒを複数のレベルに制御する方式である。以上のように、

本発明は、基準電流を自由に調整することによりカラーマネージメント処理を実施することができる。

【１０８９】

また、図１５２はＲＧＢの点灯率から基準電流を制御する方式であった。しかし、ＥＬ表示パネルのカラーマネージメント処理は、ＲとＢの電流（Ｉｃｒ、Ｉｃｂ）の割合により制御してもよい。図１５２はその実施例の説明図である。図１４９の横軸の点灯率の替わりにＢ点灯率／Ｒ点灯率（Ｂ消費電流／Ｒ消費電流）としている。Ｂ点灯率／Ｒ点灯率（Ｂ消費電流／Ｒ消費電流）が一定以上になった時に、Ｂ基準電流Ｉｃｒを変化させている。

【１０９０】

同様に、図１５２は図１４９横軸の点灯率の替わりにＢ点灯率／Ｒ点灯率（Ｂ消費電流／Ｒ消費電流）としている。また、図１５３では、Ｂ点灯率／（Ｒ点灯率＋Ｇ点灯率）（Ｂ消費電流／（Ｒ消費電流＋Ｇ点灯率））が一定以上になった時に、Ｂ基準電流Ｉｃｒを変化させている。

【１０９１】

なお、以上の図１４５から図１４８の構成は、電流Ｉｃの調整あるいは制御する構成である。電流Ｉｃを変化させることによりトランジスタ群４３１ｃの出力電流を変化させることができる。したがって、この構成はカラーマネージメント処理だけでなく、階調制御あるいは、トランジスタ４３１ｃなどの出力電流制御、ホワイトバランス調整回路として用いることができることは言うまでもない。

【１０９２】

また、以上の実施例では、基準電流Ｉｃの調整により、カラーマネージメント処理を実施するとしたが、これに限定するものではない。ｄｕｔｙ比の調整あるいは、各ＲＧＢの非表示領域５１の割合を変化あるいは制御もしくは調整することにより、ＲＧＢの輝度を個別に調整することができる。したがって、これらの構成あるいは方法を用いてカラーマネージメント処理を実施してもよいことは言うまでもない。

【１０９３】

有機ＥＬ表示パネルのように、自己発光デバイスは固定パターン表示時での画像焼付けが課題となる。焼付けとは、有機ＥＬの材料などが発光などで劣化し、発光強度が低下する現象などをいう。この焼付けを防止するためには、固定パターンの表示時に表示画像の表示位置を時間的に移動させるのが得策である。たとえば、１分間隔で画面位置を移動させる。移動は１画素あるいは２画素程度にすることが好ましい。３画素以上では、表示画像が移動したことが視覚的に認識されてしまう。

【１０９４】

表示画像１２６４の移動とは、図１７７に図示するように、位置１９３ａに移動させたり、位置１９３ｂの位置に移動させたりすることである。移動が上下、左右に１画素あるいは２画素の移動を行う。

【１０９５】

移動タイミングは、点灯率で判断する。点灯率が急変するときに画面移動制御を行う。点灯率が急変の状態とは、画面が暗い状態から明るい状態（たとえば、夜のシーンから、昼の海のシーンへの変化など）、画面が明るい状態から暗い状態の変化、ドラマのシーンからＣＭのシーンの変更などである。

【１０９６】

点灯率が急変する状態では、シーン（画面）が急変する状態である。画面の状態が急変するため、画像の表示位置が変化しても視覚的に認識されることはない。画像の内容（画像の表示状態）が全く変化する場合がほとんどだからである。この点灯率の急変を利用して画像の表示位置を変化させ固定パターンの焼付けを抑制することができる。

【１０９７】

点灯率が急変とは、変化が２倍あるいは１／２以上変化した場合である。たとえば、ある時刻での点灯率が１０％であれば、点灯率が２０％以上に変化すか、あるいは点灯率が

５％以下に変化する状態が該当する。以上のように、点灯率が変化した場合に、画面の表示位置を変化させる。画面の表示位置の変化は、水平あるいは垂直方向のスタートパルスを１クロックあるいは２クロック分遅延させることにより行う。この動作はカウンタの比較値を変化させることにより実現できる。

【１０９８】

なお、点灯率が急変する時とは、アノード電流あるいはカソード電流が急変する時と同義である。したがって、点灯率の急変とは、アノード電流あるいはカソード電流が２倍あるいは１／２以上変化する場合である。この場合に画面位置を変化させる。たとえば、アノード電流またはカソード電流が５０ｍＡであれば、アノード電流またはカソード電流が１００ｍＡ以上あるいは２５ｍＡ以下に変化した場合に、画面位置を変化させる。

【１０９９】

また、本発明では、点灯率、アノード電流あるいはカソード電流は、ｄｕｔｙ比と連動させる。したがって、点灯率が急変とは、ｄｕｔｙ比が２倍あるいは１／２以上変化した状態と同義である。つまり、ｄｕｔｙ比が変化したあるいは変化させた場合に、ｄｕｔｙ比と連動させて画面位置を変化させる。たとえば、図１７８に図示するように、点灯率１～２５％の時（ｄｕｔｙ比１．０）に、矢印のようにｄｕｔｙ比が０．５に変化した場合に、画面の表示位置を変化させる。

【１１００】

なお、以上の実施例では、点灯率などが変化するときに、画面の表示位置を変化させるとしたが、本発明はこれに限定するものではない。たとえば、表示パネルが点灯状態になるとき（たとえば、電源がオンされたとき）に、画面表示位置が前回の表示位置と変化させるものであってもよい。つまり、電源をオンオフするたびに画面の表示位置を変化させる。

【１１０１】

また、焼きつきを防止するには、画像のエッジをぼかすことも有効である。つまり、画像データを積分（ローパスフィルタ）することにより、画像のエッジがぼける（微分の反対の処理である）。特に点灯率が低いときは、黒表示に画像が表示され、また、点灯率が低い時はｄｕｔｙ比を低くするので画素の輝度が高い。したがって、焼付けがし易くなる。つまり、低点灯率の時に、画像のエッジをぼやかす（積分処理をする）。つまり、本発明は、点灯率に応じて、画像の積分処理を変化させる。点灯率が低いときは積分処理を大きくし、点灯率が高い時は積分処理を小さくする（通常の表示にする）。

【１１０２】

以上の実施例を図１７９に図示する。積分処理比が１とは、積分処理をしない状態である。この比率が大きくなるにつれ、積分処理が強くなり、画素エッジがぼける。図１７９では、点灯率５０％以上で通常表示であり、点灯率２５～５０％で積分処理比４～１に変化させる。点灯率２５％以下では積分処理比４に固定する。以上のように制御することにより画素エッジの焼きつきを緩和することができる。

【１１０３】

なお、点灯率は、基本的にはアノード電流あるいはカソード電流の大きさと同義である。したがって、アノード電流あるいはカソード電流の大きさに対応して積分処理比を変化させてもよい。また、アノード電流あるいはカソード電流は、ｄｕｔｙ比と連動させる。したがって、ｄｕｔｙ比に連動させて、積分処理比を変化させてもよい。

【１１０４】

なお、以上の実施例では、点灯率などが変化するときに、画面の表示位置を変化させるとしたが、本発明はこれに限定するものではない。たとえば、表示パネルが点灯状態になるとき（たとえば、電源がオンされたとき）に、画面表示位置が前回の表示位置と変化させるものであってもよい。つまり、電源をオンオフするたびに画面の表示位置を変化させる。

【１１０５】

また、図１９２に図示するように、４：３の画面に１６：９などのワイド表示を行う場

合は、図１９２（ａ）と図１９２（ｂ）で図示するように１画素行あるいは２画素行をずらせてもよい。この制御は、以上に説明したように、点灯率制御、基準電流制御、ｄｕｔｙ比制御、アノード（カソード）電流制御、オンオフ制御に同期して実施するとよい。

【１１０６】

本明細書において、基準電流を変化させるとして説明をした。基準電流を変化させることは、ソース信号線に流れるプログラム電流Iwを変化させることである。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線１８に流れるプログラム電流Iwを可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。

【１１０７】

なお、本発明は、基準電流を変化することによりソースドライバ回路１４の端子１５５から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できることを特徴としている。

【１１０８】

本発明の駆動方法において、プログラム電流IwとＥＬ素子１５に流れる電流Ｉｅは略一致する。したがって、基準電流を可変あるいは制御もしくは調整するとは、駆動用トランジスタあるいはＥＬ素子１５に流れる電流Ｉｅ（Ｉｗ）を可変あるいは制御もしくは調整する、と置き換えることができることは言うまでもない。ただし、図３１、図３６などの画素構成では、ＥＬ素子１５に流れる電流ＩｅとＩｗとは一致しない。しかし、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線１８に流れるプログラム電流Iwを可変あるいは制御もしくは調整する、と言うことはでき、略比例的にＥＬ素子１５に流れる電流を可変あるいは制御もしくは調整する、と置き換えることができることは言うまでもない。

【１１０９】

また、図１２８、図１２９、図１３０などで説明したように、基準電流を変化させることは、ソース信号線１８の電位を変化させることである。たとえば、基準電流を増大させるとプログラム電流Ｉｗは比例して（相関して）大きくなり、ソース信号線１８の電位を低下させる（駆動用トランジスタがＰチャンネルの時）。逆に、基準電流を小さくするとプログラム電流Ｉｗは比例して（相関して）小さくなり、ソース信号線１８の電位を上昇させる（駆動用トランジスタがＰチャンネルの時）。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線１８の電位を、比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できると置き換えることができる。

【１１１０】

以上のように、点灯率に基づいて、基準電流を変化させると説明しているが、点灯率に基づいて、ソース信号線に流れるプログラム電流Iwを変化させることであり、また、ソース信号線１８に流れるプログラム電流Iwを可変あるいは制御もしくは調整することである。また、ソースドライバ回路１４の端子１５５から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御することである。また、点灯率もしくはデータ和に基づいて、ソース信号線１８の電位あるいは駆動用トランジスタのゲート端子電位を、比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御することである。

【１１１１】

なお、点灯率に基づいてとは、映像信号のデータ和に基づいてとも置き換えることができることは言うまでもない。とくに電流駆動の場合は、映像信号の大きさが画素１６に流れる電流に比例するからである。

【１１１２】

以下、本発明のＥＬ表示パネルまたはＥＬ表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を

実施する。図１２６は、情報端末装置の一例としての携帯電話の平面図である。筐体１２６３にアンテナ１２６１、テンキー１２６２などが取り付けられている。１２６２などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【１１１３】

キー１２６２を１度押さえると表示色は８色モードに、つづいて同一キー１２６２を押さえると表示色は４０９６色モード、さらにキー１２６２を押さえると表示色は２６万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー１２６２は３つ（以上）となる。

【１１１４】

キー１２６２はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、４０９６色を受話器に音声入力すること、たとえば、「高品位表示」、「４０９６色モード」あるいは「低表示色モード」と受話器に音声入力することにより、表示パネルの表示画面１４４に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【１１１５】

また、表示色の切り替えは電気的に切換るスイッチでもよく、表示パネルの表示部１４４に表示させたメニューに触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【１１１６】

１２６２は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサＣ、抵抗Ｒのうち、抵抗Ｒを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、１つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【１１１７】

表示パネルに重要な機能は、複数のフォーマットの画像を表示できることである。たとえば、デジタルビデオカメラ（ＤＶＣ）では、ＮＴＳＣとＰＡＬ画像を表示できるようにする必要がある。以下、１つのパネルに複数フォーマットの画像を表示する方法について説明をする。なお、説明を容易にするため、表示パネルは横３２０ＲＧＢ×縦２４０ドットのＱＶＧＡパネルであるとし、ＮＴＳＣ画像とＰＡＬ画像をこのＱＶＧＡの画素数のパネルで表示するとして説明をする。

【１１１８】

図１５４は、本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図１５４において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【１１１９】

ボデー１２６３の裏面は、暗色あるいは黒色にされている。これは、ＥＬ表示パネル（表示装置）１２６４から出射した迷光がボデー１２６３の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（λ／４板など）３８、偏光板３９などが配置されている。このことは図３、図４でも説明している。

【１１２０】

接眼リング１５４１には拡大レンズ１５４２が取り付けられている。観察者は接眼リング１５４１をボデー１２６３内での挿入位置を可変して、表示パネル１２６４の表示画面

１４４にピントがあうように調整する。

【１１２１】

また、必要に応じて表示パネル１２６４の光出射側に正レンズ１５４３を配置すれば、拡大レンズ１５４２に入射する主光線を収束させることができる。そのため、拡大レンズ１５４２のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【１１２２】

図１５５はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部１５５２とビデオかメラ本体１２６３とを具備し、撮影レンズ部１５５２とビューファインダ部１２６３とは背中合わせとなっている。また、ビューファインダ（図１５４も参照）１２６３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル１２６４の表示画面１４４を観察する。

【１１２３】

一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示部１４４は支点１５５１で角度を自由に調整できる。表示部１４４を使用しない時は、格納部１５５３に格納される。

【１１２４】

スイッチ１５５４は、以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ１５５４は表示モード切り替えスイッチである。スイッチ１５５４は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ１５５４について説明をする。

【１１２５】

本発明の駆動方法の１つにＮ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法がある。この点灯させる期間を変化させることのより、明るさをデジタル的に変更することができる。たとえば、Ｎ＝４として、ＥＬ素子１５には４倍の電流を流す。点灯期間を１／Ｍとし、Ｍ＝１、２、３、４と切り替えれば、１倍から４倍までの明るさ切り替えが可能となる。なお、Ｍ＝１、１．５、２、３、４、５、６などと変更できるように構成してもよい。

【１１２６】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面１４４を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとＥＬ素子１５は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

【１１２７】

したがって、ユーザーがボタン１５５４で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。

【１１２８】

なお、表示画面１４４はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して７０％の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、５０％輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したＮ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【１１２９】
具体的には、画面の上部と下部ではＭの値を大きくし、中央部でＭの値を小さくする。これは、ゲートドライバ回路１２のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角０．９）を５０％にした時、１００％輝度の場合に比較して約２０％の低消費電力化が可能である。周辺輝度（画角０．９）を７０％にした時、１００％輝度の場合に比較して約１５％の低消費電力化が可能である。
【１１３０】
なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。
【１１３１】
液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。
【１１３２】
また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が６０Ｈｚの交流で点灯しているとき、ＥＬ表示素子１５がフレームレート６０Ｈｚで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、Ｎ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）において、ＮまたはＭの値を変更できるように構成している。
【１１３３】
以上の機能をスイッチ１５５４で実現できるようにする。スイッチ１５５４は表示画面１４４のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。
【１１３４】
なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。
【１１３５】
本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図１５６に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体１５６１に付属されたモニター１４４として用いる。カメラ本体１５６１にはシャッタ１５６３の他、スイッチ１５５４が取り付けられている。
【１１３６】
以上は表示パネルの表示領域が比較的小型の場合であるが、３０インチ以上と大型となると表示画面１４４がたわみやすい。その対策のため、本発明では図１５７に示すように表示パネルに外枠１５７１をつけ、外枠１５７１をつりさげられるように固定部材１５７４で取り付けている。この固定部材１５７４を用いて、壁などに取り付ける。
【１１３７】
しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部１５７３を配置し、複数の脚１５７２で表示パネルの重量を保持できるようにしている。

【１１３８】
脚１５７２はＡに示すように左右に移動でき、また、脚１５７２はＢに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。
【１１３９】
図１５７のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが１つの目的である。保護フィルムの表面にはＡＩＲコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。
【１１４０】
保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。
【１１４１】
また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。
【１１４２】
保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、ＰＶＡフィルム（板）などが例示される。その他、エンジニアリング樹脂フィルム（ＡＢＳなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で０．５ｍｍ以上２．０ｍｍ以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。
【１１４３】
また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。
【１１４４】
本発明の実施例における表示パネルは、３辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に３辺フリーの構成は、画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のＮ倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタ１１などは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。つまり、本発明の表示パネルにおいて画素１６を構成するトランジスタ１１はアモルファスシリコン技術で用いて形成したトランジスタであってもよい。また、ゲートドライバ回路１２、ソースドライバ回路１４もアモルファスシリコン技術を用いて形成あるいは構成してもよいことは言うまでもない。また、トランジスタなどは有機トランジスタであってもよいことは言うまでもない。
【１１４５】
なお、本発明のＮ倍パルス駆動（図１３、図１６、図１９、図２０、図２２、図２４、図３０など）などは、低温ポリシリコン技術でトランジスタ１１を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ１１を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ１１では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆

動電流はほぼ目標値となっている（特に、図２２、図２４、図３０のＮ倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。他の本発明も、低温ポリシリコンの表示パネルだけでなく、アモルファスシリコンの表示パネル、ＣＯＳの表示パネルにも適用できることは言うまでもない。

【１１４６】

ｄｕｔｙ比制御駆動、基準電流制御、Ｎ倍パルス駆動、ソースドライバＩＣ（回路）、ゲートドライバ構成など本明細書で記載した本発明の駆動方法および駆動回路などは、有機ＥＬ表示パネルの駆動方法および駆動回路などに限定されるものではない。図１５９に図示するように、フィールドエミッションディスプレイ（ＦＥＤ）などの他のディスプレイにも適用できることは言うまでもない。

【１１４７】

図１５８のＦＥＤでは、基板３０上にマトリックス状に電子を放出する電子放出突起１５８３（図３では画素電極３５が該当する）が形成されている。画素には映像信号回路１５８２（図１ではソースドライバ回路１４が該当する）からの画像データを保持する保持回路１５８４が形成されている（図１ではコンデンサが該当する）。また、電子放出突起１５８３の前面には制御電極１５８１が配置されている。制御電極１５８１にはオンオフ制御回路１５８５（図１ではゲートドライバ回路１２が該当する）により電圧信号が印加される。

【１１４８】

図１５８の画素構成で、図１７４に図示するように周辺回路を構成すれば、ｄｕｔｙ比制御駆動あるいはＮ倍パルス駆動などを実施できる。映像信号回路１５８２からソース信号線１８に画像データ信号が印加される。オンオフ制御回路１５８５ａから選択信号線２１７３に画素１６選択信号が印加され順次画素１６が選択され、画像データが書き込まれる。また、オンオフ制御回路１５８５ｂからオンオフ信号線１７４２にオンオフ信号が印加され、画素のＦＥＤがオンオフ制御（ｄｕｔｙ比制御）される。

【１１４９】

図１５８の構成にも、本発明のｄｕｔｙ比制御、基準電流制御、プリチャージ制御、点灯率制御、ＡＩ制御、ピーク電流抑制制御、パネルの配線引き回し、ゲートドライバ回路構成、トリミング方法など、本発明の明細書で記載した各種の構成あるいは方法、構成が適用できることは言うまでもない。

【１１５０】

なお、本発明のドライバ回路（ＩＣ）１４の出力段（たとえば、トランジスタ群４３１ｃなど）は電流出力（プログラム電流を出力）するものを主として説明しているが、これに限定するものではない。出力段がプログラム電圧を出力するものであってもよい（画素構成としては図２などが該当する）。電圧出力段は、基準電流Ｉｃに対応するようにオペアンプなどで電圧に変換して出力するものが例示される。また、出力電流Ｉｄをオペアンプなどで電圧に変換して出力するものが例示される。その他、映像データを電圧データに変換し、この電圧データにガンマ処理などを実施し、出力端子１５５から出力するものが例示される。以上のように、本発明のソースドライバ回路（ＩＣ）１４の出力はプログラム電流に限定するものではなく、プログラム電圧でもよい。また、図７７、図７８、図７５などではソース信号線１８に印加するプリチャージ信号は電圧であるとして説明したが、これに限定するものではなく、電流であってもよい。

【１１５１】

本発明は、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度などにより、基準電流、ｄｕｔｙ比、プリチャージ電圧、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変するとしたが、これに限定するものではない。たとえば、画像（映像）データ、点灯率、アノード（カソード）端子に流れる電流、パネル温度の変化割合あるいは変化を予想または予測して、基準電流、ｄｕｔｙ比、プリチャージ電圧、ガンマカーブなどを変更あるいは調整もしくは変化あるいは可変もしくは制御してもよいことは言うまでもない。また、フレームレートなどを変更あるいは変化させて

もよいことは言うまでもない。

【１１５２】

図１～１４、図２２、図３１、図３２、図３３、図３４、図３５、図３６、図３９、図８３、図８５、図１１９、図１２０、図１２１、図１２６、図１５４～１５８、図１８０、図１８１、図１８７、図１９０、図１９１、図１９２、図１９３、図１９４、図１９５、図２０８で説明したあるいは記載した本発明の画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想は、相互に組合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。

【１１５３】

図１８、図１９、図２０、図２１、図２３、図２４、図２５、図２６、図２７、図２８、図３７、図３８、図４０、図４１、図４２、図５４、図８９～１１８、図１２２～１２５、図１２８、図１２９、図１３０、図１３２、図１３３、図１３４、図１４９～１５３、図１７７、図１７８、図１７９、図２１１～２２２、図２２７で説明あるいは記載した本発明の表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくは技術的思想は、相互に組合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。

【１１５４】

図１５、図１６、図１７、図２９、図３０、図４３～５３、図５５、図５６、図５７、図５８、図５９、図６０、図６１、図６２、図６３～８２、図８４、図８６、図８７、図８８、図１２７、図１３１、図１３５～１４８、図１５９～１７６、図１８２～１８５、図１８６、図１８８、図１９６、図１９７、図１９８、図１９９、図２００、図２０１、図２０９、図２１０、図２２８～２４５に記載あるいは説明した本発明のソースドライバＩＣ（回路）もしくはドライバ回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想は相互に組合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。

【１１５５】

図２０２、図２０３、図２０４、図２０５、図２０６、図２０７、図２２３～２２６に記載あるいは説明した本発明の検査装置と検査方法もしくは技術的思想は、相互に組合わせることができる。また、相互に適用あるいは構成もしくは形成することができる。

【１１５６】

さらに、以上に記載した、画素構成あるいは表示パネル（表示装置）あるいはその制御方法もしくは技術的思想、表示パネルあるいは表示装置の駆動方法もしくは制御方法もしくは技術的思想、ソースドライバＩＣ（回路）もしくはドライバ回路とその調整あるいは制御方法（ゲートドライバ回路なども含む）もしくは技術的思想は、相互に組合わせることができる。また、相互に適用あるいは構成もしくは形成することができることはいうまでもない。また、本発明の検査装置と検査方法もしくは技術的思想は、本発明の表示パネルもしくは表示装置などに適用できることは言うまでもない。

【１１５７】

本発明の実施例で説明した表示装置あるいは駆動方法などの技術的思想は、ビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のメインモニターおよびサブモニター、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラ、衛星テレビ、衛星モバイルテレビおよびそのモニターにも適用できる。また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【１１５８】

さらに、本発明は、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構

成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。

【１１５９】

また、スキャナの光源としても本発明の自己発光素子もしくは表示装置あるいは有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【１１６０】

また、本発明は、液晶表示装置のバックライトにも有機ＥＬ表示装置は有効である。ＥＬ表示装置（バックライト）のＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、Ｒ、Ｇ、Ｂ光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

【産業上の利用可能性】

【１１６１】

本発明にかかるＥＬ表示装置は、しきい値のずれによる出力電流のばらつきが小さく、ＥＬ表示パネルの表示むらの発生を抑制することが可能となる。また、ダイナミックレンジが広い画像表示を実現できる。また、本発明にかかるＥＬ表示装置を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。

【１１６２】

本発明にかかるＥＬ表示装置は、以上のような効果を有するので、有機または無機エレクトロルミネッセンス（ＥＬ）素子を用いたＥＬ表示パネルなどの自発光表示パネル、これらの表示パネルなどの駆動回路（ＩＣ）、ＥＬ表示パネルなどの駆動方法と駆動回路およびそれらを用いた情報表示装置などに有用である。

【図面の簡単な説明】

【１１６３】

【図１】本発明の表示パネルの構成図
【図２】本発明の表示パネルの構成図
【図３】本発明の表示パネルの説明図
【図４】本発明の表示パネルの説明図
【図５】本発明の表示装置の駆動方法の説明図
【図６】本発明の表示パネルの説明図
【図７】本発明の表示パネルの説明図
【図８】本発明の表示パネルの説明図
【図９】本発明の表示パネルの説明図
【図１０】本発明の表示パネルの説明図
【図１１】本発明の表示パネルの説明図
【図１２】本発明の表示パネルの説明図
【図１３】本発明の表示パネルの説明図
【図１４】本発明の表示パネルの説明図
【図１５】本発明の表示パネルの説明図
【図１６】本発明の表示パネルの説明図
【図１７】本発明の表示パネルの説明図
【図１８】本発明の表示パネルの説明図

【図１９】本発明の表示パネルの駆動方法の説明図
【図２０】本発明の表示パネルの駆動方法の説明図
【図２１】本発明の表示パネルの駆動方法の説明図
【図２２】本発明の表示パネルの説明図
【図２３】本発明の表示パネルの駆動方法の説明図
【図２４】本発明の表示パネルの駆動方法の説明図
【図２５】本発明の表示パネルの駆動方法の説明図
【図２６】本発明の表示パネルの駆動方法の説明図
【図２７】本発明の表示パネルの駆動方法の説明図
【図２８】本発明の表示パネルの説明図
【図２９】本発明のソースドライバ回路（ＩＣ）の説明図
【図３０】本発明のソースドライバ回路（ＩＣ）の説明図
【図３１】本発明の表示パネルの説明図
【図３２】本発明の表示パネルの説明図
【図３３】本発明の表示パネルの説明図
【図３４】本発明の表示パネルの説明図
【図３５】本発明の表示パネルの説明図
【図３６】本発明の表示パネルの説明図
【図３７】本発明の表示パネルの駆動方法の説明図
【図３８】本発明の表示パネルの駆動方法の説明図
【図３９】本発明の表示パネルの駆動方法の説明図
【図４０】本発明の表示パネルの駆動方法の説明図
【図４１】本発明の表示パネルの駆動方法の説明図
【図４２】本発明の表示パネルの駆動方法の説明図
【図４３】本発明のソースドライバ回路（ＩＣ）の説明図
【図４４】本発明のソースドライバ回路（ＩＣ）の説明図
【図４５】本発明のソースドライバ回路（ＩＣ）の説明図
【図４６】本発明のソースドライバ回路（ＩＣ）の説明図
【図４７】本発明のソースドライバ回路（ＩＣ）の説明図
【図４８】本発明のソースドライバ回路（ＩＣ）の説明図
【図４９】本発明のソースドライバ回路（ＩＣ）の説明図
【図５０】本発明のソースドライバ回路（ＩＣ）の説明図
【図５１】本発明のソースドライバ回路（ＩＣ）の説明図
【図５２】本発明のソースドライバ回路（ＩＣ）の説明図
【図５３】本発明のソースドライバ回路（ＩＣ）の説明図
【図５４】本発明のソースドライバ回路（ＩＣ）の説明図
【図５５】本発明のソースドライバ回路（ＩＣ）の説明図
【図５６】本発明のソースドライバ回路（ＩＣ）の説明図
【図５７】本発明のソースドライバ回路（ＩＣ）の説明図
【図５８】本発明のソースドライバ回路（ＩＣ）の説明図
【図５９】本発明のソースドライバ回路（ＩＣ）の説明図
【図６０】本発明のソースドライバ回路（ＩＣ）の説明図
【図６１】本発明のソースドライバ回路（ＩＣ）の説明図
【図６２】本発明のソースドライバ回路（ＩＣ）の説明図
【図６３】本発明のソースドライバ回路（ＩＣ）の説明図
【図６４】本発明のソースドライバ回路（ＩＣ）の説明図
【図６５】本発明のソースドライバ回路（ＩＣ）の説明図
【図６６】本発明のソースドライバ回路（ＩＣ）の説明図
【図６７】本発明のソースドライバ回路（ＩＣ）の説明図
【図６８】本発明のソースドライバ回路（ＩＣ）の説明図

【図６９】本発明のソースドライバ回路（ＩＣ）の説明図
【図７０】本発明のソースドライバ回路（ＩＣ）の説明図
【図７１】本発明のソースドライバ回路（ＩＣ）の説明図
【図７２】本発明のソースドライバ回路（ＩＣ）の説明図
【図７３】本発明のソースドライバ回路（ＩＣ）の説明図
【図７４】本発明のソースドライバ回路（ＩＣ）の説明図
【図７５】本発明のソースドライバ回路（ＩＣ）の説明図
【図７６】本発明のソースドライバ回路（ＩＣ）の説明図
【図７７】本発明のソースドライバ回路（ＩＣ）の説明図
【図７８】本発明のソースドライバ回路（ＩＣ）の説明図
【図７９】本発明のソースドライバ回路（ＩＣ）の説明図
【図８０】本発明のソースドライバ回路（ＩＣ）の説明図
【図８１】本発明のソースドライバ回路（ＩＣ）の説明図
【図８２】本発明のソースドライバ回路（ＩＣ）の説明図
【図８３】本発明のソースドライバ回路（ＩＣ）の説明図
【図８４】本発明のソースドライバ回路（ＩＣ）の説明図
【図８５】本発明のソースドライバ回路（ＩＣ）の説明図
【図８６】本発明のソースドライバ回路（ＩＣ）の説明図
【図８７】本発明のソースドライバ回路（ＩＣ）の説明図
【図８８】本発明のソースドライバ回路（ＩＣ）の説明図
【図８９】本発明の表示パネルの駆動方法の説明図
【図９０】本発明の表示パネルの駆動方法の説明図
【図９１】本発明の表示パネルの駆動方法の説明図
【図９２】本発明の表示パネルの駆動方法の説明図
【図９３】本発明の表示パネルの駆動方法の説明図
【図９４】本発明の表示パネルの駆動方法の説明図
【図９５】本発明の表示パネルの駆動方法の説明図
【図９６】本発明の表示パネルの駆動方法の説明図
【図９７】本発明の表示パネルの駆動方法の説明図
【図９８】本発明の表示パネルの駆動方法の説明図
【図９９】本発明の表示パネルの駆動方法の説明図
【図１００】本発明の表示パネルの駆動方法の説明図
【図１０１】本発明の表示パネルの駆動方法の説明図
【図１０２】本発明の表示パネルの駆動方法の説明図
【図１０３】本発明の表示パネルの駆動方法の説明図
【図１０４】本発明の表示パネルの駆動方法の説明図
【図１０５】本発明の表示パネルの駆動方法の説明図
【図１０６】本発明の表示パネルの駆動方法の説明図
【図１０７】本発明の表示パネルの駆動方法の説明図
【図１０８】本発明の表示パネルの駆動方法の説明図
【図１０９】本発明の表示パネルの駆動方法の説明図
【図１１０】本発明の表示パネルの駆動方法の説明図
【図１１１】本発明の表示パネルの駆動方法の説明図
【図１１２】本発明の表示パネルの駆動方法の説明図
【図１１３】本発明の表示パネルの駆動方法の説明図
【図１１４】本発明の表示パネルの駆動方法の説明図
【図１１５】本発明の表示パネルの駆動方法の説明図
【図１１６】本発明の表示パネルの駆動方法の説明図
【図１１７】本発明の表示パネルの駆動方法の説明図
【図１１８】本発明の表示パネルの駆動方法の説明図

【図１１９】本発明の表示パネルの駆動方法の説明図
【図１２０】本発明の表示パネルの駆動方法の説明図
【図１２１】本発明の表示パネルの駆動方法の説明図
【図１２２】本発明の表示パネルの駆動方法の説明図
【図１２３】本発明の表示パネルの駆動方法の説明図
【図１２４】本発明の表示パネルの駆動方法の説明図
【図１２５】本発明の表示パネルの駆動方法の説明図
【図１２６】本発明の表示装置の説明図
【図１２７】本発明のソースドライバＩＣ（回路）の説明図
【図１２８】本発明のソースドライバＩＣ（回路）の説明図
【図１２９】本発明のソースドライバＩＣ（回路）の説明図
【図１３０】本発明のソースドライバＩＣ（回路）の説明図
【図１３１】本発明のソースドライバＩＣ（回路）の説明図
【図１３２】本発明のソースドライバＩＣ（回路）の説明図
【図１３３】本発明のソースドライバＩＣ（回路）の説明図
【図１３４】本発明のソースドライバＩＣ（回路）の説明図
【図１３５】本発明のソースドライバＩＣ（回路）の説明図
【図１３６】本発明のソースドライバＩＣ（回路）の説明図
【図１３７】本発明のソースドライバＩＣ（回路）の説明図
【図１３８】本発明のソースドライバＩＣ（回路）の説明図
【図１３９】本発明のソースドライバＩＣ（回路）の説明図
【図１４０】本発明のソースドライバＩＣ（回路）の説明図
【図１４１】本発明のソースドライバＩＣ（回路）の説明図
【図１４２】本発明のソースドライバＩＣ（回路）の説明図
【図１４３】本発明のソースドライバＩＣ（回路）の説明図
【図１４４】本発明のソースドライバＩＣ（回路）の説明図
【図１４５】本発明のソースドライバＩＣ（回路）の説明図
【図１４６】本発明のソースドライバＩＣ（回路）の説明図
【図１４７】本発明のソースドライバＩＣ（回路）の説明図
【図１４８】本発明のソースドライバＩＣ（回路）の説明図
【図１４９】本発明のソースドライバＩＣ（回路）の説明図
【図１５０】本発明のソースドライバＩＣ（回路）の説明図
【図１５１】本発明のソースドライバＩＣ（回路）の説明図
【図１５２】本発明のソースドライバＩＣ（回路）の説明図
【図１５３】本発明のソースドライバＩＣ（回路）の説明図
【図１５４】本発明の情報表示装置の説明図
【図１５５】本発明の情報表示装置の説明図
【図１５６】本発明の情報表示装置の説明図
【図１５７】本発明の情報表示装置の説明図
【図１５８】本発明の情報表示装置の説明図
【図１５９】本発明のソースドライバＩＣ（回路）の説明図
【図１６０】本発明のソースドライバＩＣ（回路）の説明図
【図１６１】本発明のソースドライバＩＣ（回路）の説明図
【図１６２】本発明のソースドライバＩＣ（回路）の説明図
【図１６３】本発明のソースドライバＩＣ（回路）の説明図
【図１６４】本発明のソースドライバＩＣ（回路）の説明図
【図１６５】本発明のソースドライバＩＣ（回路）の説明図
【図１６６】本発明のソースドライバＩＣ（回路）の説明図
【図１６７】本発明のソースドライバＩＣ（回路）の説明図
【図１６８】本発明のソースドライバＩＣ（回路）の説明図

【図１６９】本発明のソースドライバＩＣ（回路）の説明図
【図１７０】本発明のソースドライバＩＣ（回路）の説明図
【図１７１】本発明のソースドライバＩＣ（回路）の説明図
【図１７２】本発明のソースドライバＩＣ（回路）の説明図
【図１７３】本発明のソースドライバＩＣ（回路）の説明図
【図１７４】本発明のソースドライバＩＣ（回路）の説明図
【図１７５】本発明のソースドライバＩＣ（回路）の説明図
【図１７６】本発明のソースドライバＩＣ（回路）の説明図
【図１７７】本発明の表示パネルの駆動方法の説明図
【図１７８】本発明の表示パネルの駆動方法の説明図
【図１７９】本発明の表示パネルの駆動方法の説明図
【図１８０】本発明の表示パネルの説明図
【図１８１】本発明の表示パネルの説明図
【図１８２】本発明のソースドライバＩＣ（回路）の説明図
【図１８３】本発明のソースドライバＩＣ（回路）の説明図
【図１８４】本発明のソースドライバＩＣ（回路）の説明図
【図１８５】本発明のソースドライバＩＣ（回路）の説明図
【図１８６】本発明の表示パネルの駆動方法の説明図
【図１８７】本発明の表示パネルの駆動方法の説明図
【図１８８】本発明のソースドライバＩＣ（回路）の説明図
【図１８９】本発明のソースドライバＩＣ（回路）の説明図
【図１９０】本発明のソースドライバＩＣ（回路）の説明図
【図１９１】本発明の表示パネルの説明図
【図１９２】本発明の表示パネルの駆動方法の説明図
【図１９３】本発明の表示パネルの説明図
【図１９４】本発明の表示パネルの説明図
【図１９５】本発明の表示パネルの説明図
【図１９６】本発明のソースドライバＩＣ（回路）の説明図
【図１９７】本発明のソースドライバＩＣ（回路）の説明図
【図１９８】本発明のソースドライバＩＣ（回路）の説明図
【図１９９】本発明のソースドライバＩＣ（回路）の説明図
【図２００】本発明のソースドライバＩＣ（回路）の説明図
【図２０１】本発明のソースドライバＩＣ（回路）の説明図
【図２０２】本発明の表示パネル（アレイ）の検査方法の説明図
【図２０３】本発明の表示パネル（アレイ）の検査方法の説明図
【図２０４】本発明の表示パネル（アレイ）の検査方法の説明図
【図２０５】本発明の表示パネル（アレイ）の検査方法の説明図
【図２０６】本発明の表示パネル（アレイ）の検査方法の説明図
【図２０７】本発明の表示パネル（アレイ）の検査方法の説明図
【図２０８】本発明の表示パネルの説明図
【図２０９】本発明の表示パネルの説明図
【図２１０】本発明のソースドライバ回路（ＩＣ）の説明図
【図２１１】本発明の表示パネルの駆動方法の説明図
【図２１２】本発明の表示パネルの駆動方法の説明図
【図２１３】本発明の表示パネルの駆動方法の説明図
【図２１４】本発明の表示パネルの駆動方法の説明図
【図２１５】本発明の表示パネルの駆動方法の説明図
【図２１６】本発明の表示パネルの駆動方法の説明図
【図２１７】本発明の表示パネルの駆動方法の説明図
【図２１８】本発明の表示パネルの駆動方法の説明図

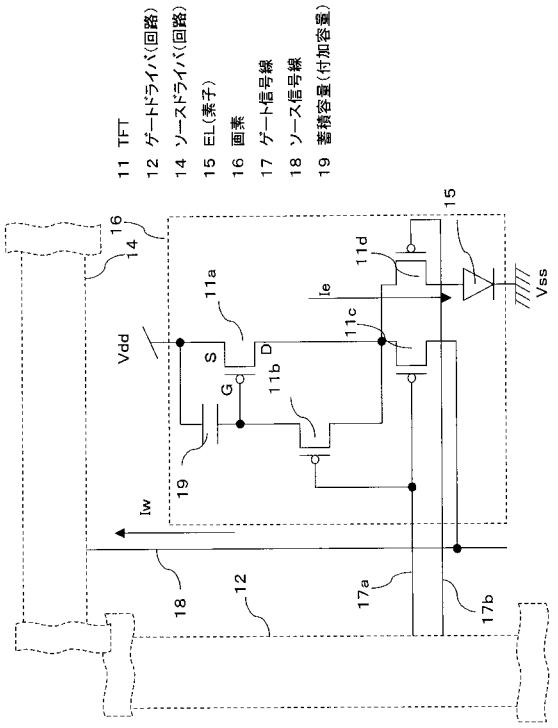
【図２１９】本発明の表示パネルの駆動方法の説明図
【図２２０】本発明の表示パネルの駆動方法の説明図
【図２２１】本発明の表示パネルの駆動方法の説明図
【図２２２】本発明の表示パネルの駆動方法の説明図
【図２２３】本発明の表示パネル（アレイ）の検査方法の説明図
【図２２４】本発明の表示パネル（アレイ）の検査方法の説明図
【図２２５】本発明の表示パネル（アレイ）の検査方法の説明図
【図２２６】本発明の表示パネル（アレイ）の検査方法の説明図
【図２２７】本発明の表示パネル（アレイ）の検査方法の説明図
【図２２８】本発明のソースドライバ回路（ＩＣ）の説明図
【図２２９】本発明のソースドライバ回路（ＩＣ）の説明図
【図２３０】本発明のソースドライバ回路（ＩＣ）の説明図
【図２３１】本発明のソースドライバ回路（ＩＣ）の説明図
【図２３２】本発明のソースドライバ回路（ＩＣ）の説明図
【図２３３】本発明のソースドライバ回路（ＩＣ）の説明図
【図２３４】本発明のソースドライバ回路（ＩＣ）の説明図
【図２３５】本発明の表示パネルの説明図
【図２３６】本発明の表示パネルの駆動方法の説明図
【図２３７】本発明のソースドライバ回路（ＩＣ）の説明図
【図２３８】本発明の表示パネルの駆動方法の説明図
【図２３９】本発明の表示パネルの駆動方法の説明図
【図２４０】本発明のソースドライバ回路（ＩＣ）の説明図
【図２４１】本発明のソースドライバ回路（ＩＣ）の説明図
【図２４２】本発明のソースドライバ回路（ＩＣ）の説明図
【図２４３】本発明のソースドライバ回路（ＩＣ）の説明図
【図２４４】本発明のソースドライバ回路（ＩＣ）の説明図
【図２４５】本発明のソースドライバ回路（ＩＣ）の説明図
【符号の説明】
【１１６４】
１１　トランジスタ（ＴＦＴ、薄膜トランジスタ）
１２　ゲートドライバＩＣ（回路）
１４　ソースドライバＩＣ（回路）
１５　ＥＬ（素子）（発光素子）
１６　画素
１７　ゲート信号線
１８　ソース信号線
１９　蓄積容量（付加コンデンサ、付加容量）
２９　ＥＬ膜
３０　アレイ基板
３１　土手（リブ）
３２　層間絶縁膜
３４　コンタクト
３５　画素電極
３６　カソード電極
３７　乾燥剤
３８　λ／４板（λ／４フィルム、位相板、位相フィルム）
３９　偏光板
４０　封止フタ
４１　薄膜封止膜
７１　切り換え回路（アナログスイッチ）

１４１　シフトレジスタ
１４２　インバータ
１４３　出力バッファ
１４４　表示領域（表示画面）
１５０　内部配線（出力配線）
１５１　スイッチ（オンオフ手段）
１５３　ゲート配線
１５４　電流源（単位トランジスタ）
１５７、１５８　トランジスタ
１６１　一致回路
１６２　カウンタ
１６３　ＡＮＤ回路
１６４　電流出力回路
１７１　保護ダイオード
１７２　サージ低減抵抗
１９１　書き込み画素行
１９２　非表示（非点灯）領域
１９３　表示（点灯）領域
４３１　トランジスタ群
５０１　電子ボリウム（電圧可変手段）
５０２　オペアンプ
６０１　基準電流回路
６４１　ラダー抵抗
６４２　スイッチ回路
６４３　電圧入出力回路
６６１　ＤＡ変換回路
７６０　コントロール回路（ＩＣ）（制御手段）
７６１　プリチャージ制御回路
７６４　ガンマ変換回路
７６５　フレームレートコントロール（ＦＲＣ）回路
７７１　ラッチ回路（保持回路、保持手段、データ格納回路）
７７２　セレクタ回路（選択手段、切り換え手段）
７７３　プリチャージ回路
８１１　差動回路
８２１　シリアルーパラレル変換回路（コントロールＩＣ）
８３１　コントロールＩＣ（回路）（制御手段）
８４２　嵩上げ回路
８５１　スイッチ回路（切り換え手段）
８５２　デコーダ回路
８５３　ＡＩ処理回路（ピーク電流抑制、ダイナミックレンジ拡大処理など）
８５４　動画検出処理（ＩＤ処理）
８５６　カラーマネージメント処理回路（色補償／補正、色温度補正回路）
８５９　演算回路（ＭＰＵ，ＣＰＵ）
８６１　可変増幅器
８６７　サンプリング回路（データ保持回路、信号ラッチ回路）
８８１、８８２　乗算器
８８３　加算器
８８４　総和回路（ＳＵＭ回路、データ処理回路、総電流演算回路）
１１９１　ＤＣＤＣコンバータ（電圧値変換回路、ＤＣ電源回路）
１１９３　レギュレータ

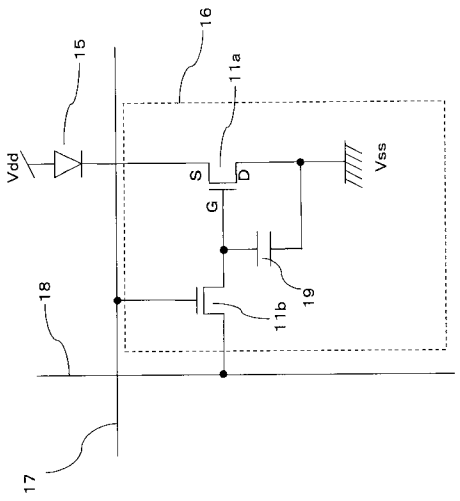
１２６１　アンテナ
１２６２　キー
１２６３　筐体
１２６４　表示パネル
１２７１　電圧階調回路（プログラム電圧発生回路）
１３１１　デコーダ
１４３１　加算回路
１５４１　接眼リング
１５４２　拡大レンズ（正レンズ）
１５４３　凸レンズ（正レンズ）
１５５１　支点（回転部）
１５５２　撮影レンズ（撮影手段）
１５５３　格納部
１５５４　スイッチ
１５６１　本体
１５６２　撮影部
１５６３　シャッタスイッチ
１５７１　取り付け枠
１５７２　脚
１５７３　取り付け台
１５７４　固定部
１５８１　制御電極
１５８２　映像信号回路
１５８３　電子放出突起
１５８４　保持回路
１５８５　オンオフ制御回路
１６２１　トリミング装置（トリミング手段、調整手段）
１６２２　レーザー光
１６２３　抵抗（調整部）
１６８１　補正（調整）トランジスタ
１６９１　ソース端子
１６９２　ゲート端子
１６９３　ドレイン端子
１６９４　トランジスタ
１７３１　選択スイッチ（選択手段）
１７３２　共通線
１７３３　電流計（電流測定手段）
１７３４　端子電極
１８０１　コネクタ端子（接続端子）
１８０２　フレキ基板
１８１１　カソード配線
１８１２　カソード接続位置
１８１３　ゲートドライバ信号
１８１４　ソースドライバ信号
１８１５　アノード配線
１８８１　電流保持回路
１８８２　階調電流配線
１８８３　出力制御端子
１９０１　差動信号
１９０２　信号配線

１９１２　電源モジュール
１９１３　コイル（トランス回路、昇圧回路）
１９１４　接続端子
２０３１　アノード端子配線
２０３２　ショートチップ（ショート手段）
２０３３　チップ端子
２０３４　ソース信号線端子
２０４１　ショート液（ショートゲル、ショート樹脂）
２０８１　カスケード配線
２１９１　スイッチ（オンオフ手段）
２２３１　オンオフ制御手段
２２３２　検査スイッチ
２２５１　保護ダイオード
２２５２　電圧配線
２２６１　電圧源（検査信号発生手段、検査信号発生部）
２２８０　出力回路（出力段、電流出力回路、電流保持回路）
２２８１　トランジスタ
２２８２　ゲート信号線
２２８３　電流信号線
２２８４　ゲート信号線
２２８９　コンデンサ
２３０１　リセット回路
２３１１　スイッチトランジスタ
２２８５　ゲート信号線
２３０１　Ｉ－Ｖ変換回路

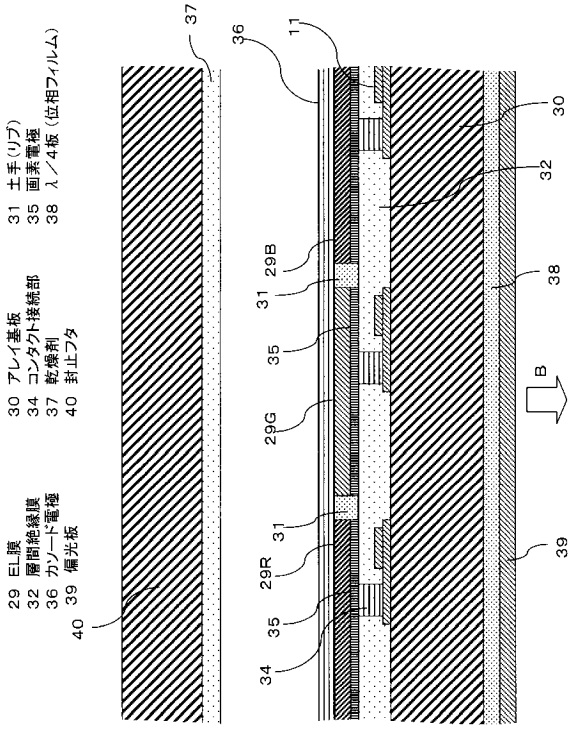
【図１】



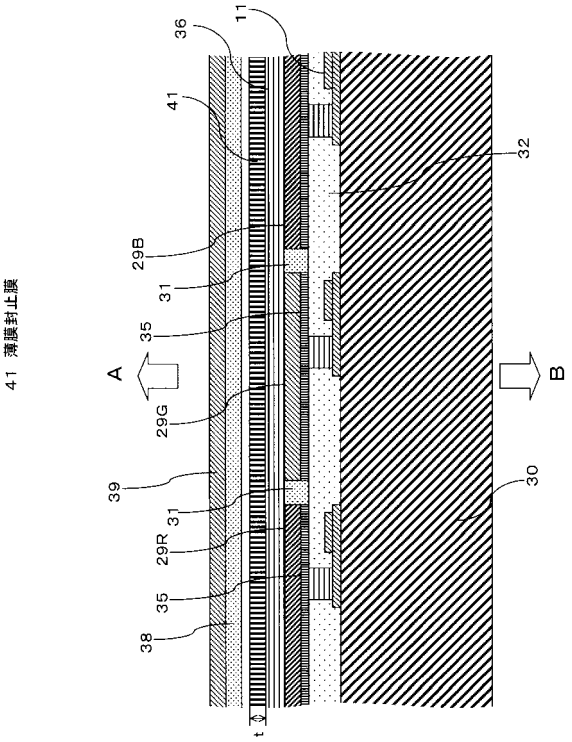
【図２】



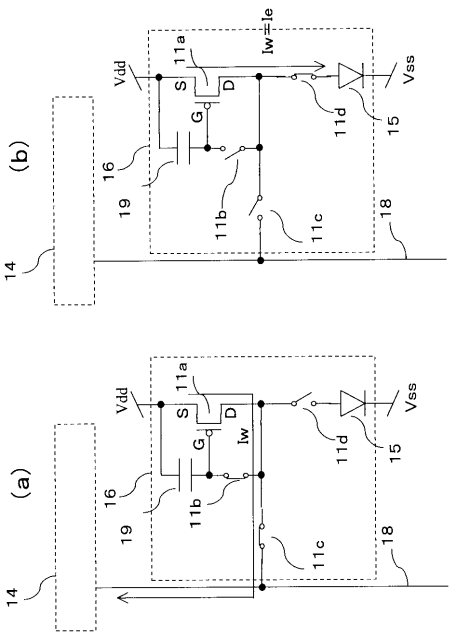
【図３】


29 EL膜
32 層間絶縁膜
36 カソード電極
39 偏光板
40
30 アレイ基板
34 コンタクト接続部
37 乾燥剤
40 封止フタ
31 土手(リブ)
35 画素電極
38 λ／4板（位相フィルム）
37
36
11
30
32
29B
31
35
29G
31
29R
35
34
38
B
39

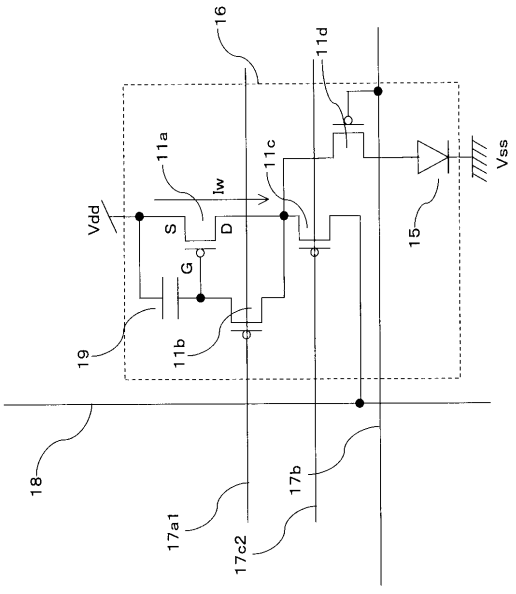
【図４】


41 薄膜封止膜
11
36
41
32
29B
31
35
A
29G
39
31
29R
35
38
B
30
t

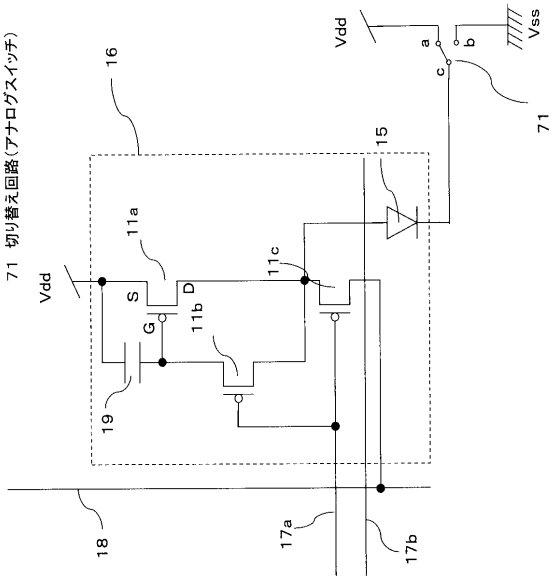
【図５】


(b)
(a)
Vdd
Vss
Iw=Ie
Iw
11a
11b
11c
11d
S
D
G
14
15
16
18
19

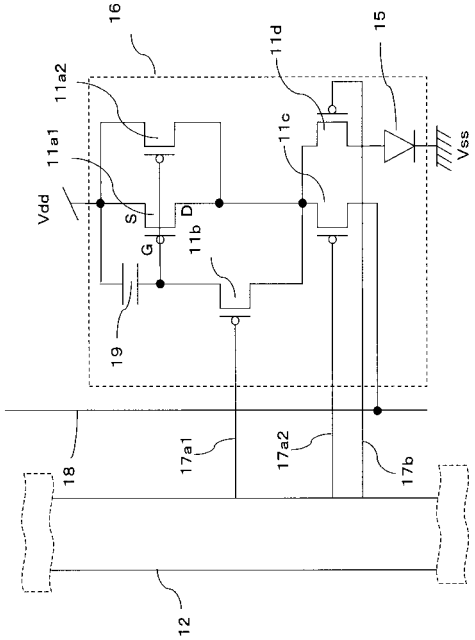
【図６】


16
11d
11a
11c
Iw
Vdd
Vss
S
D
G
15
19
11b
18
17a1
17c2
17b

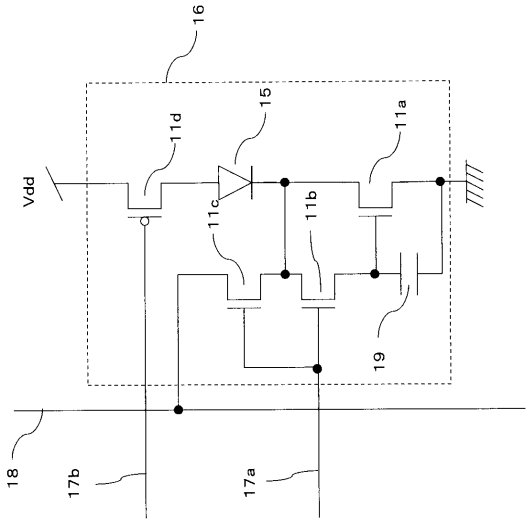
【図７】


71 切り替え回路（アナログスイッチ）
Vdd
Vss
a
b
c
71
16
15
11a
11b
11c
S
G
D
19
18
17a
17b

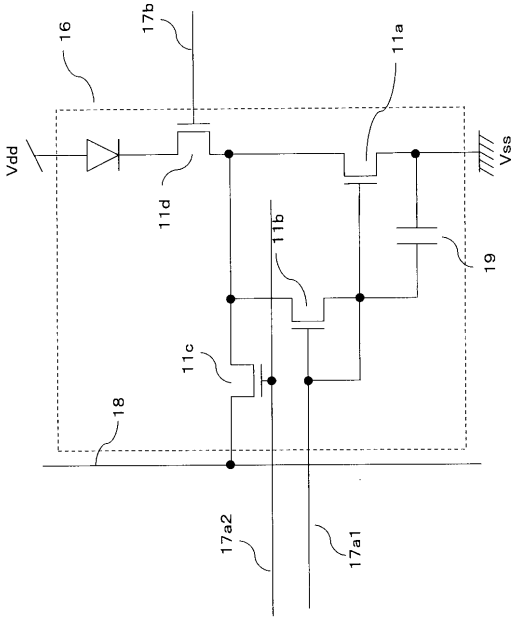
【図８】


16
11d
15
11a2
11a1
11c
Vss
Vdd
S
G
D
11b
19
18
17a1
17a2
17b
12

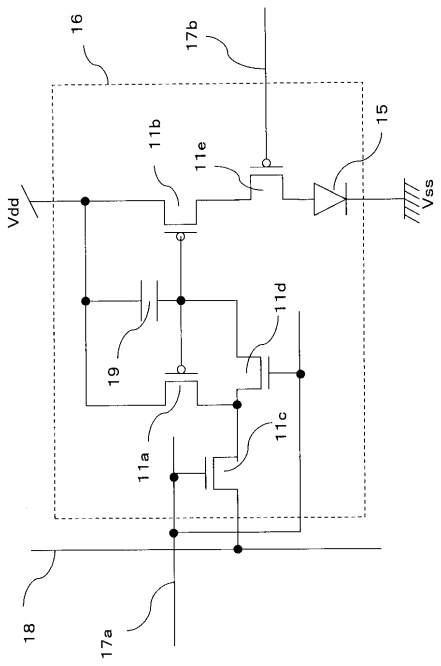
【図９】


16
15
11d
11a
Vdd
11c
11b
19
18
17b
17a

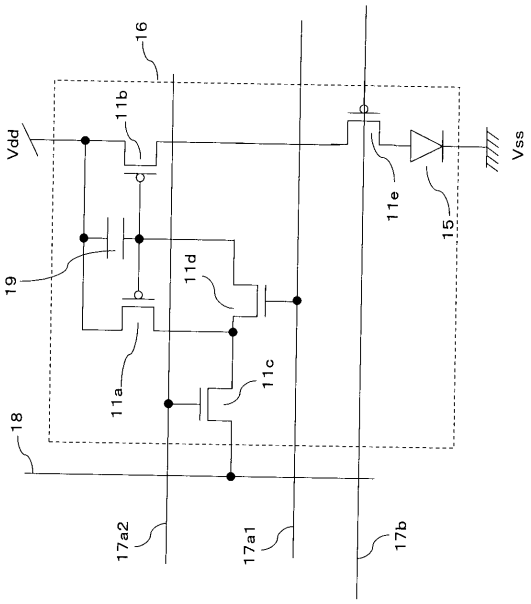
【図１０】


16
17b
11a
Vdd
Vss
11d
11b
19
11c
18
17a2
17a1

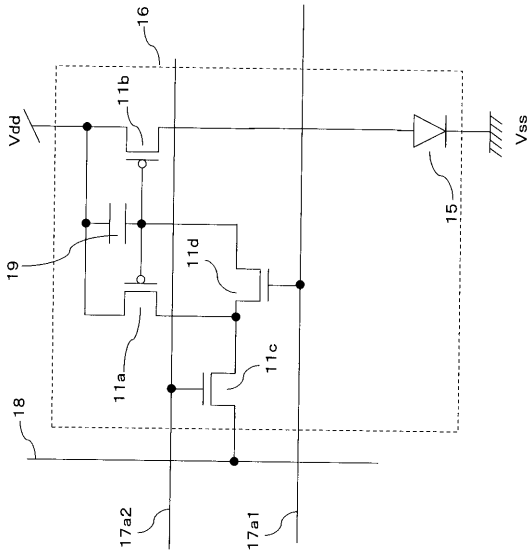
【図１１】



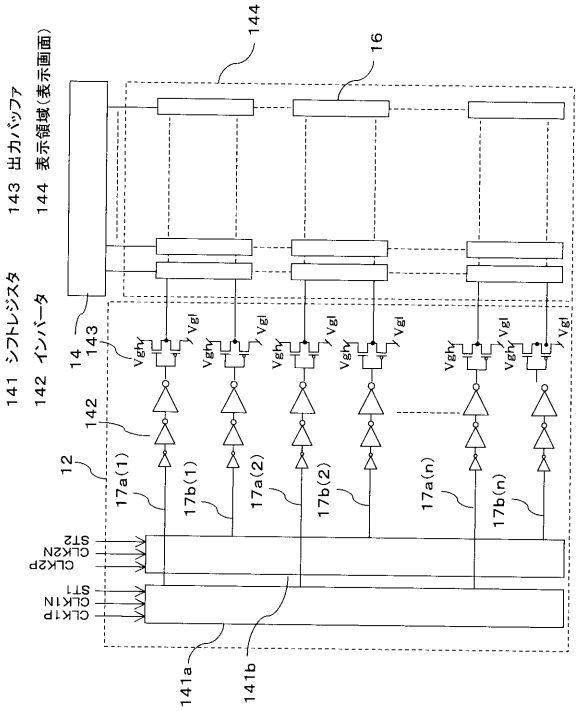
【図１２】



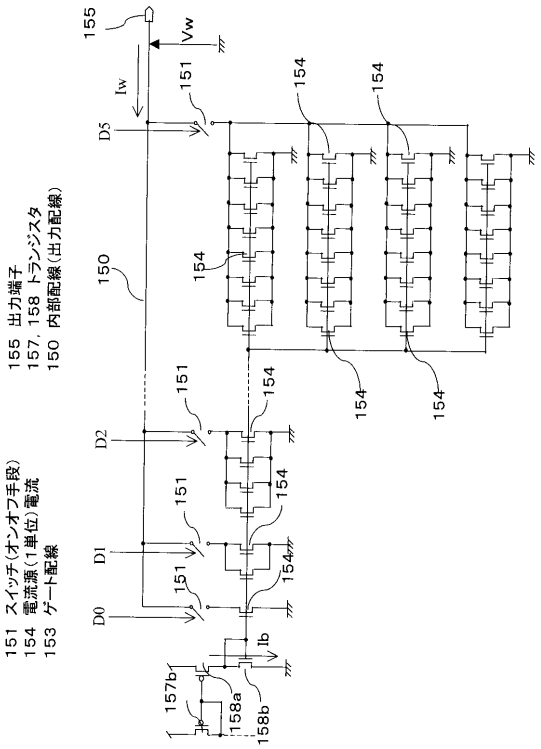
【図１３】



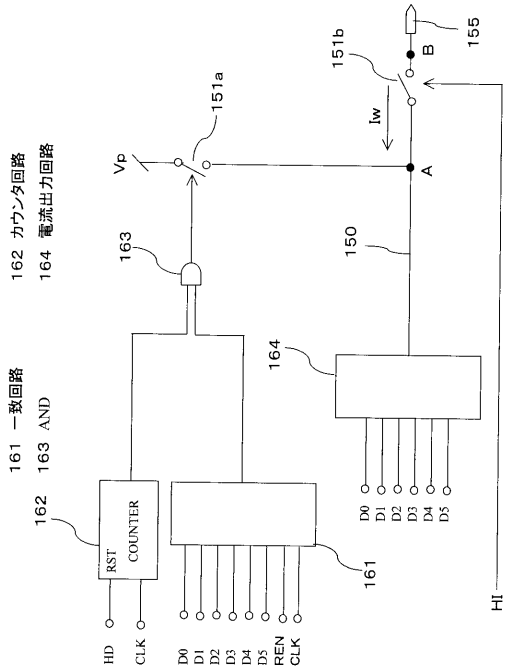
【図１４】



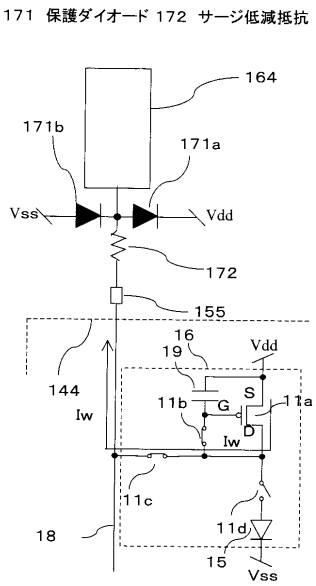
【図１５】



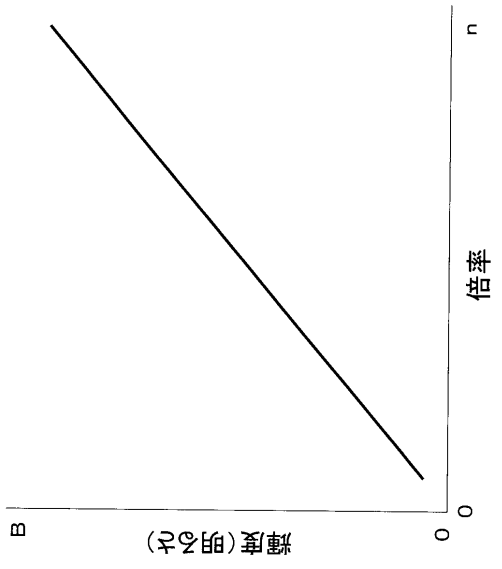
【図１６】



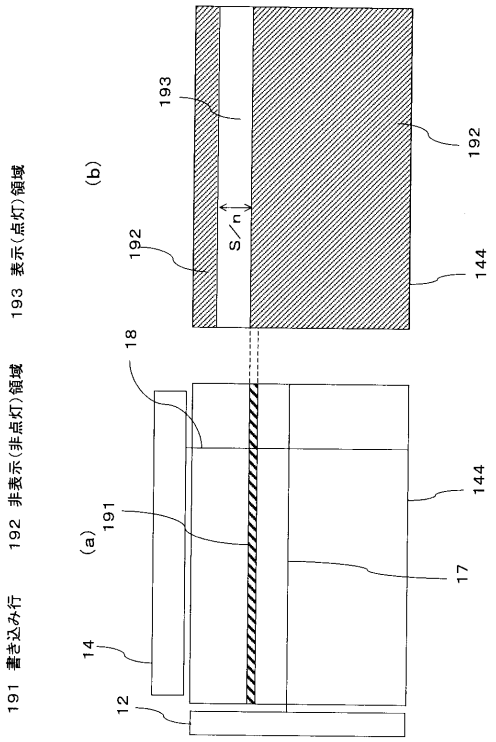
【図１７】



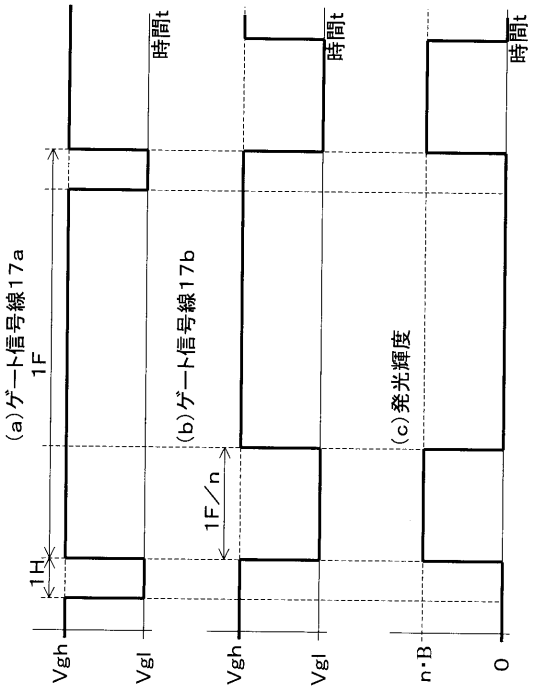
【図１８】



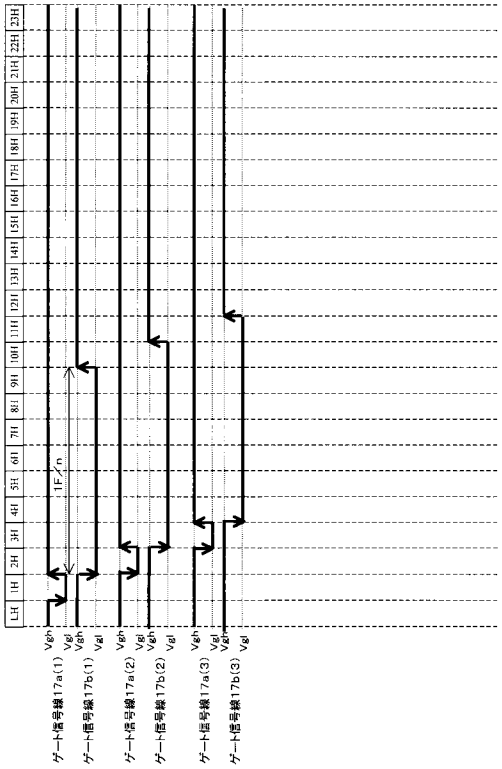
【図１９】



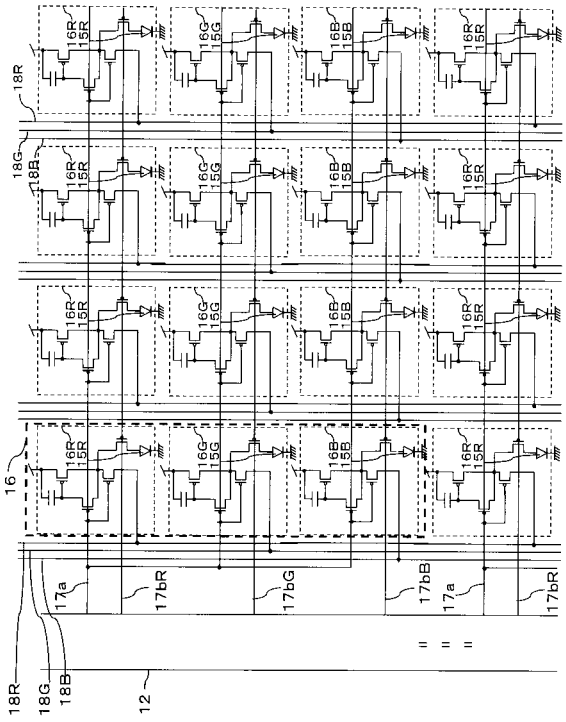
【図２０】



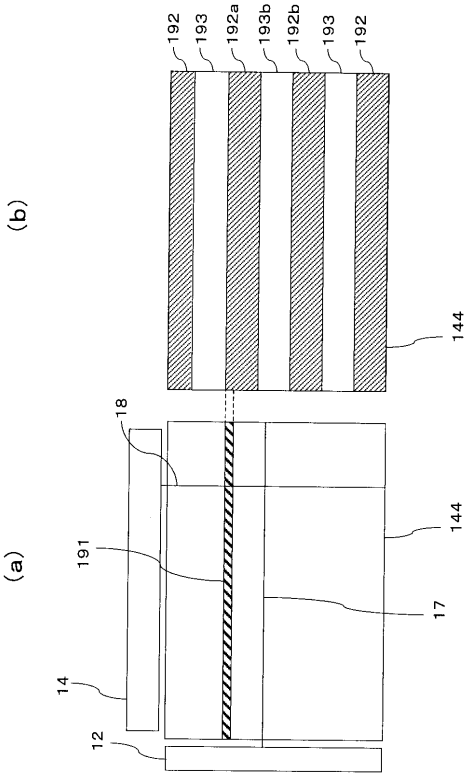
【図２１】



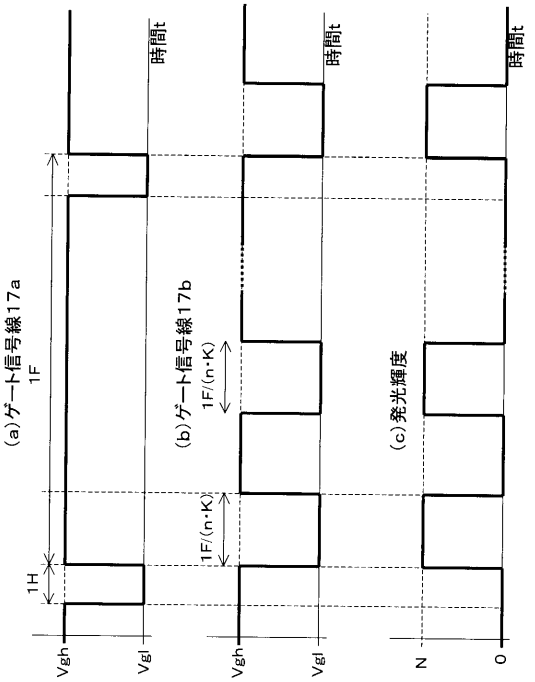
【図２２】



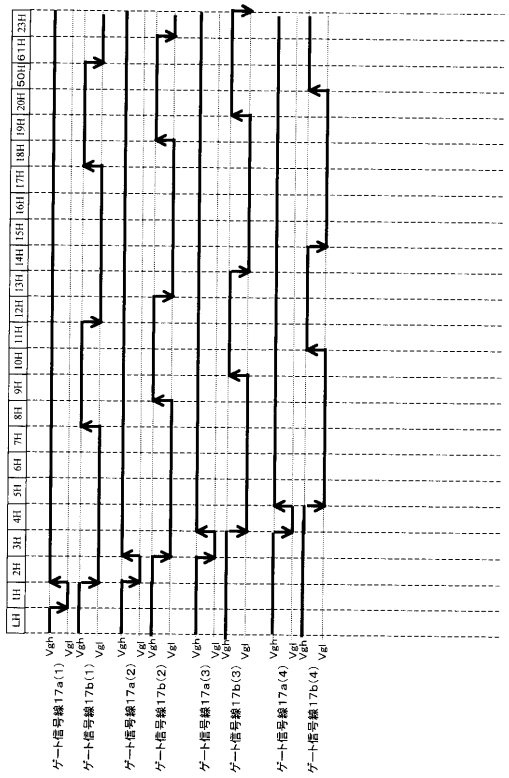
【図２３】



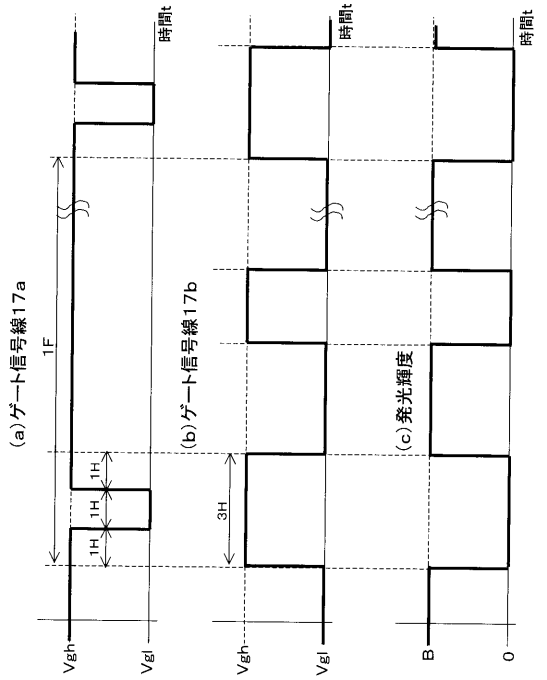
【図２４】



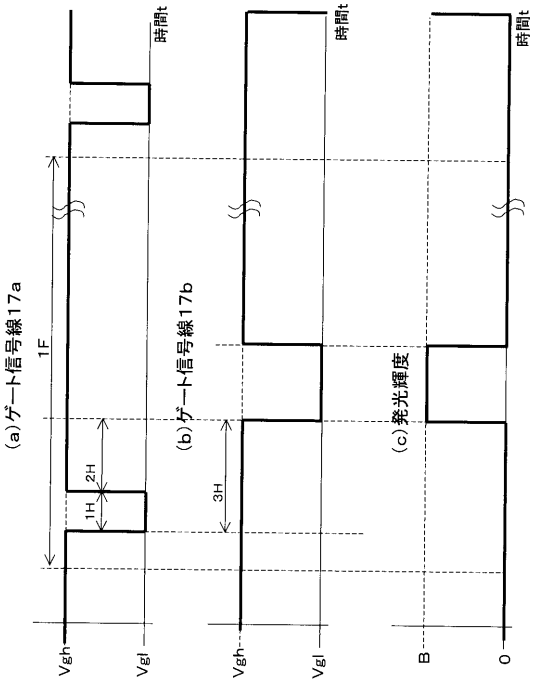
【図２５】



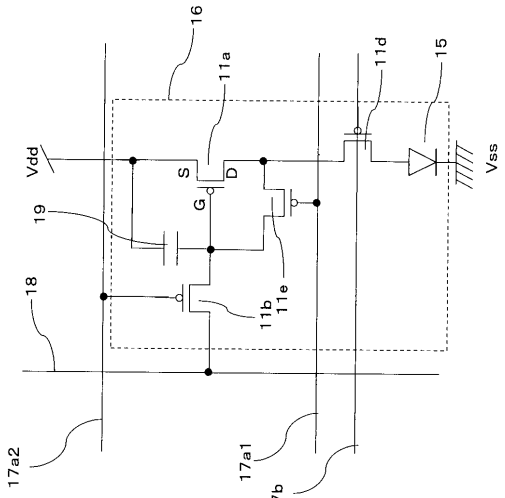
【図２６】



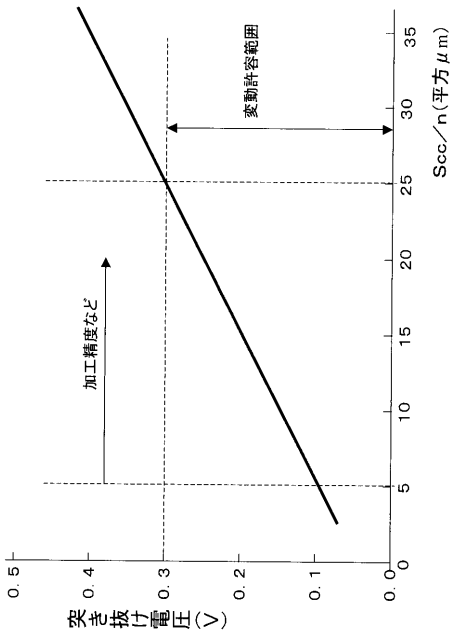
【図２７】



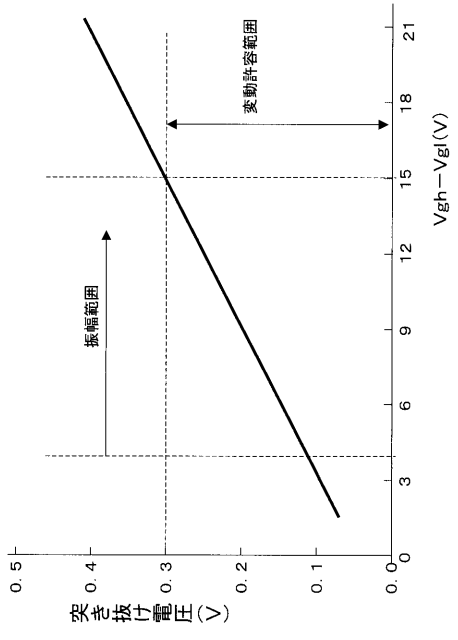
【図２８】



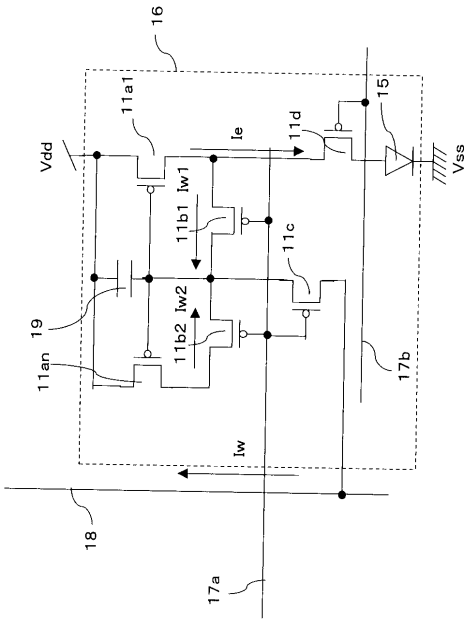
【図２９】



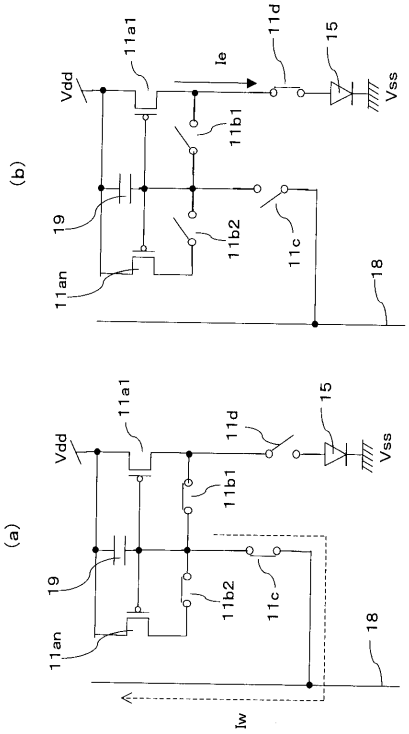
【図３０】



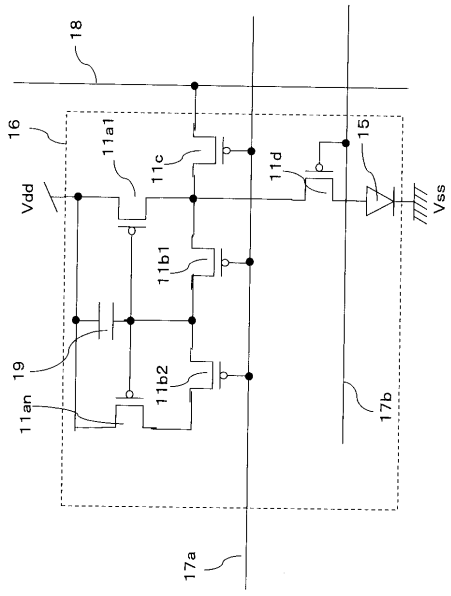
【図３１】



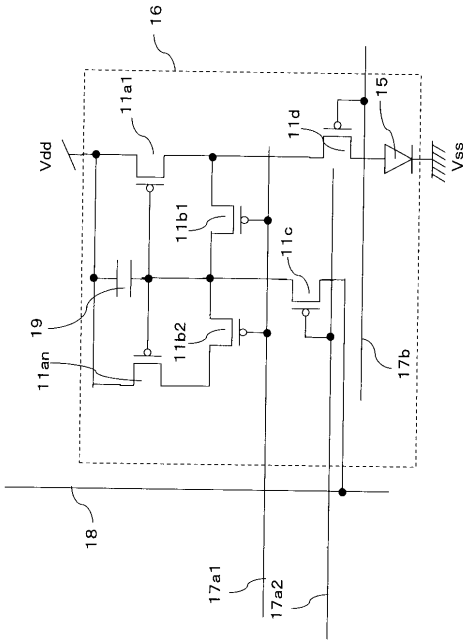
【図３２】



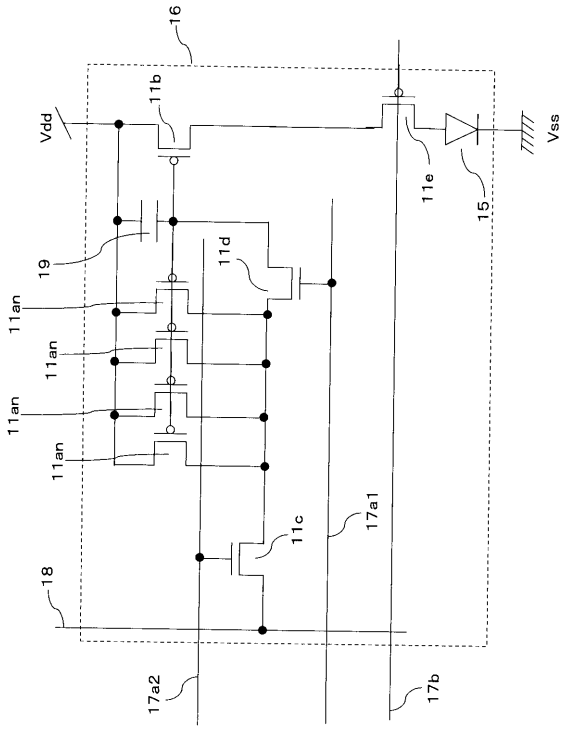
【図３３】



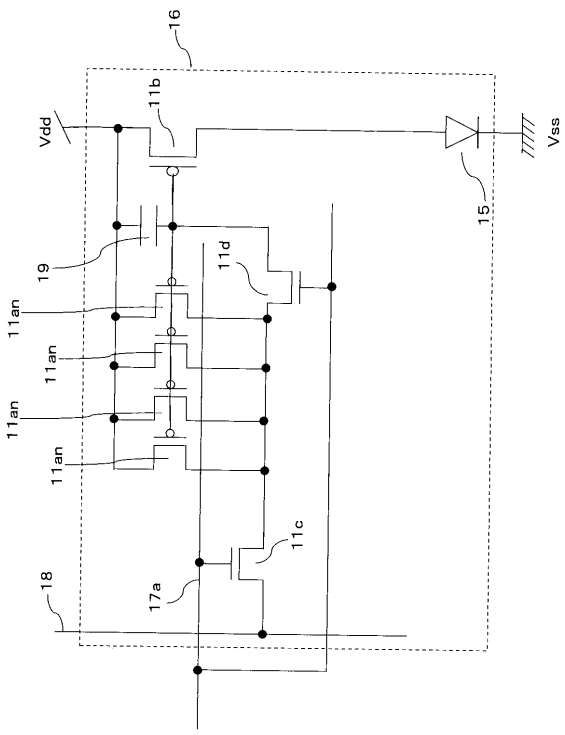
【図３４】



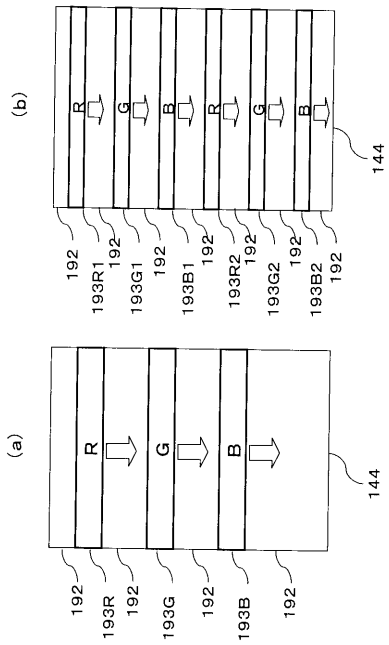
【図３５】



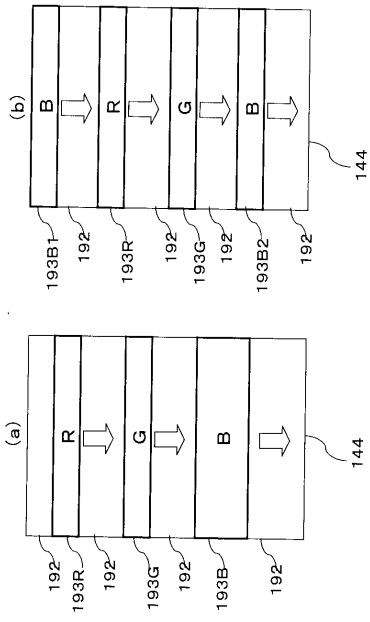
【図３６】



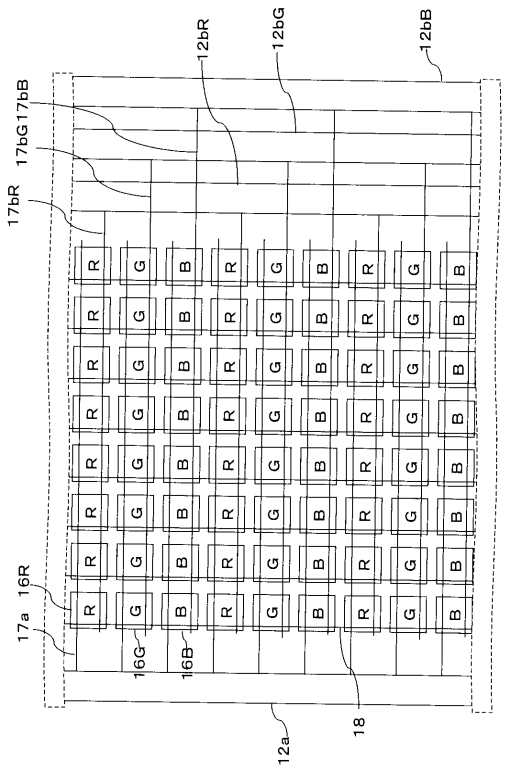
【図３７】



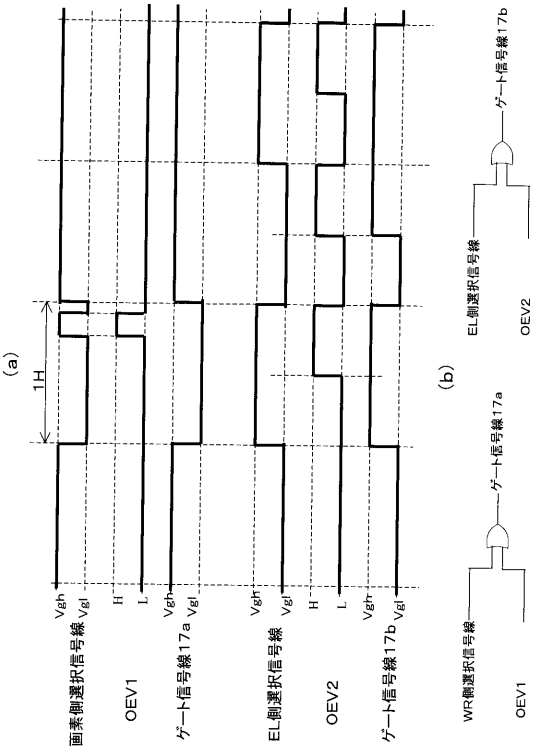
【図３８】



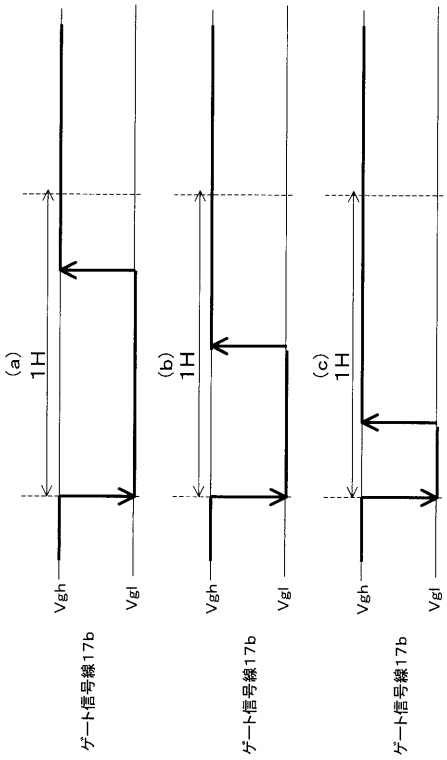
【図３９】



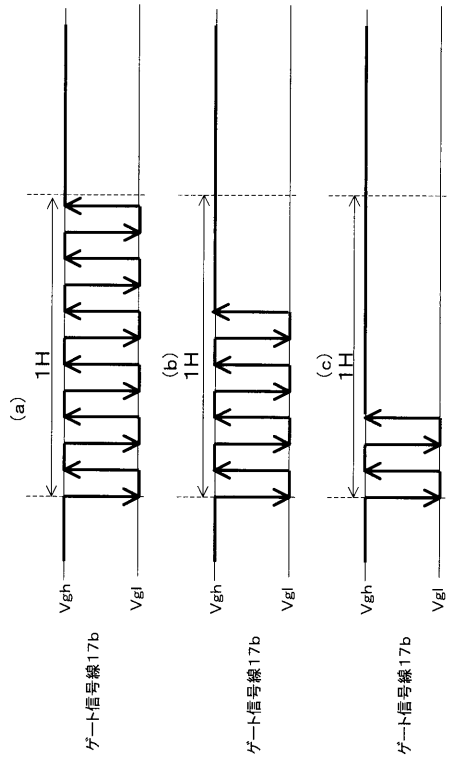
【図４０】



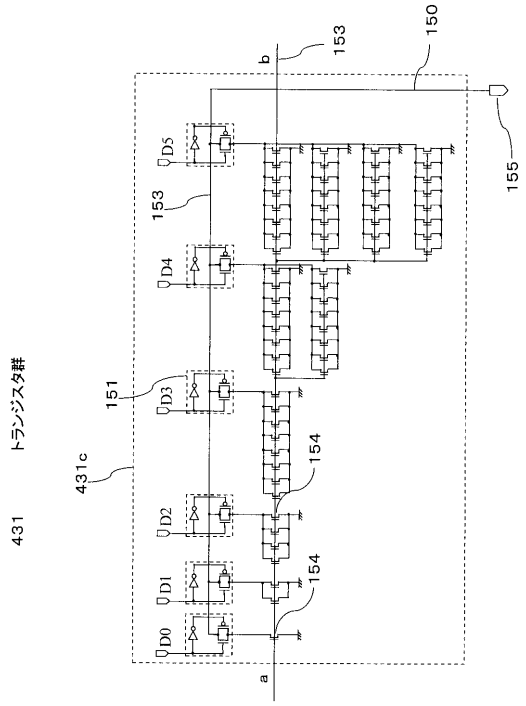
【図４１】



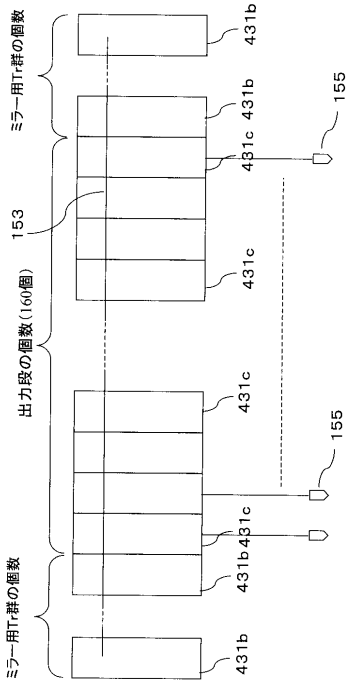
【図４２】



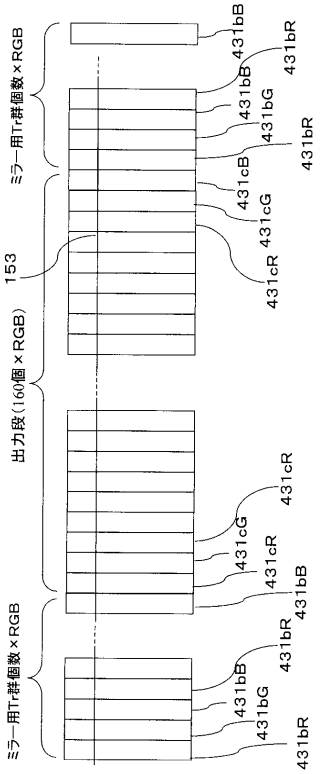
【図４３】



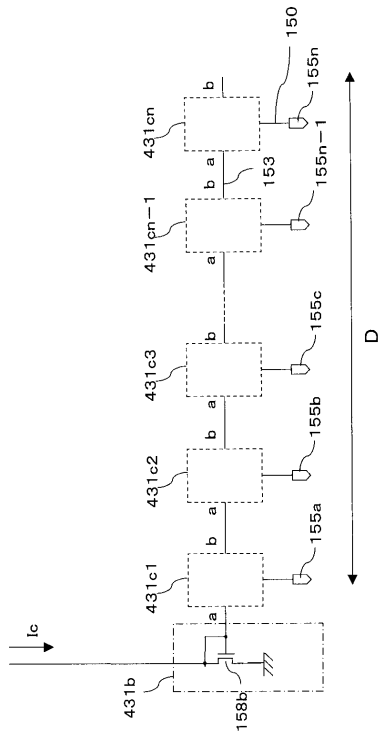
【図４４】



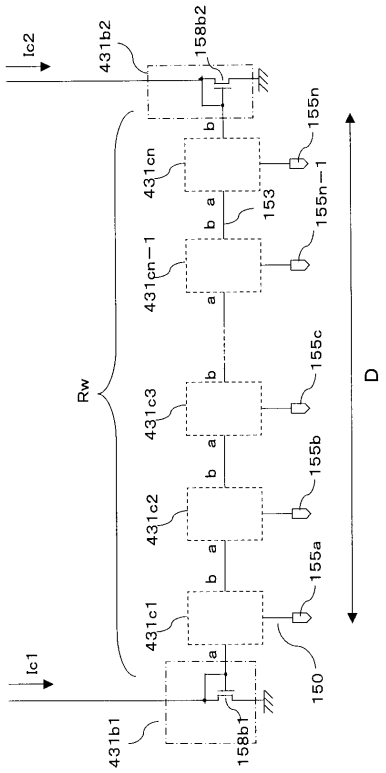
【図４５】



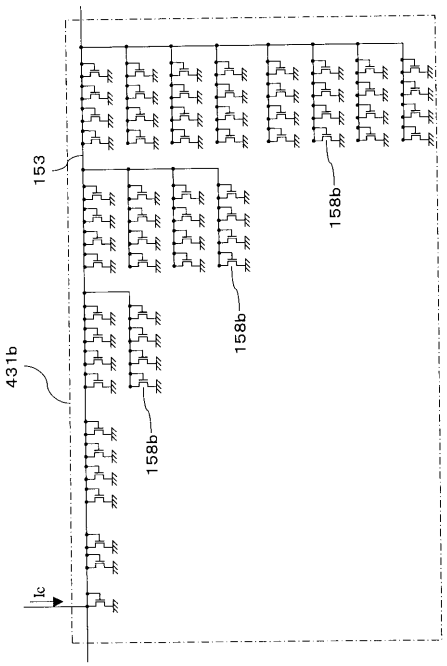
【図４６】



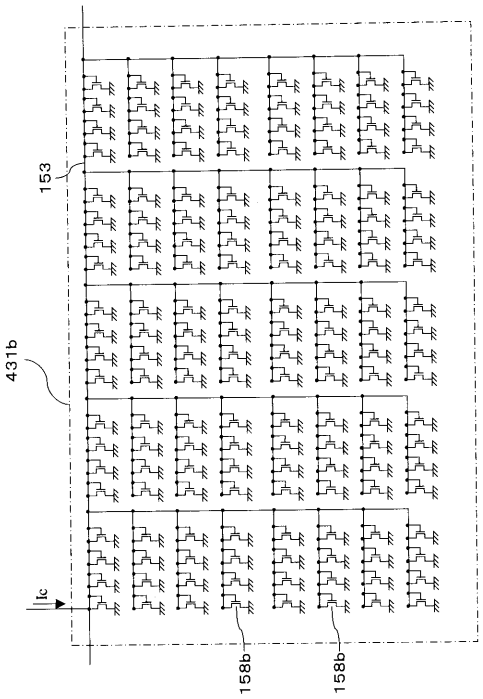
【図４７】



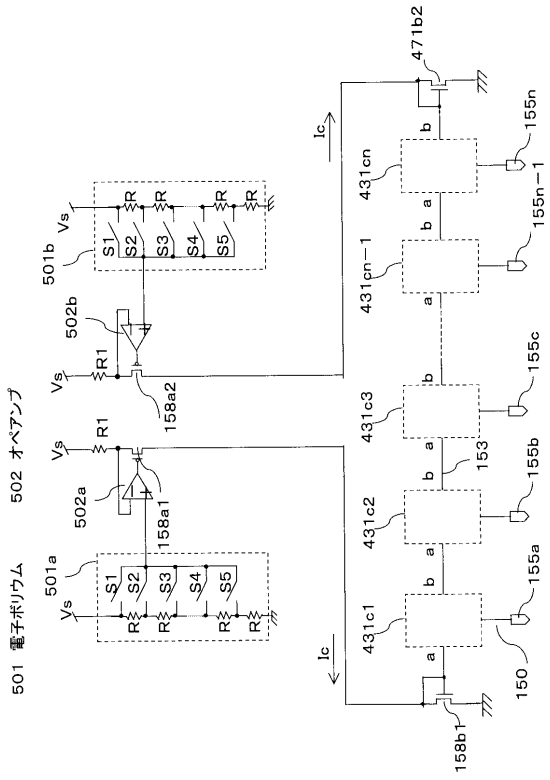
【図４８】



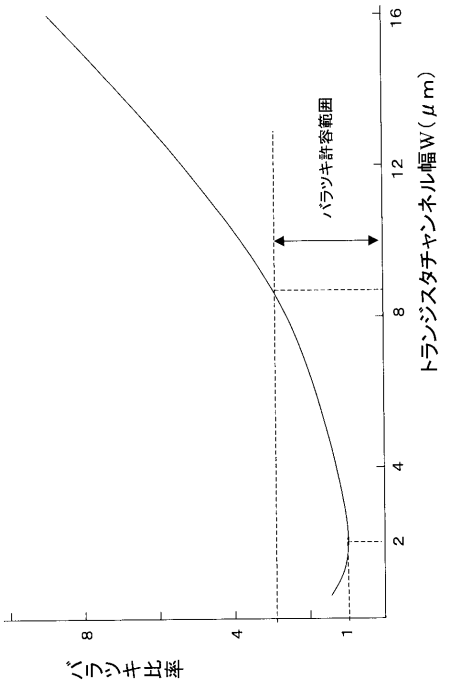
【図４９】



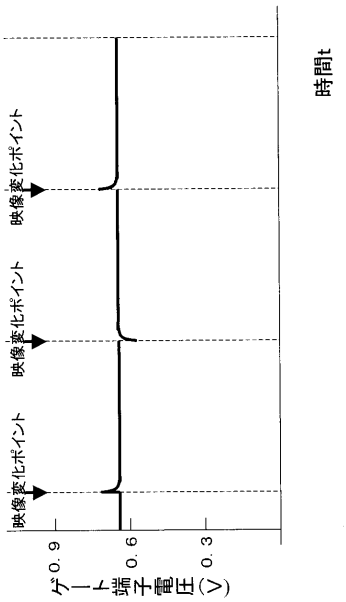
【図５０】



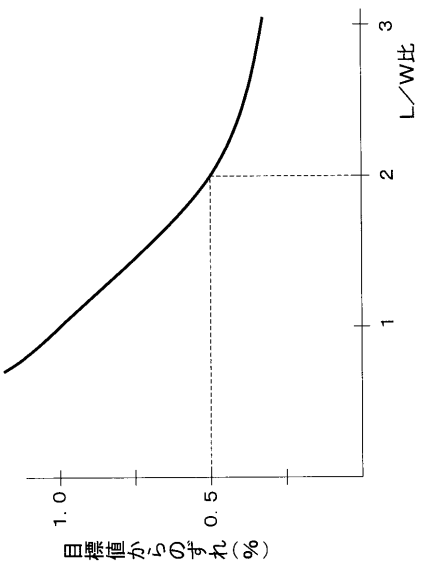
【図５１】



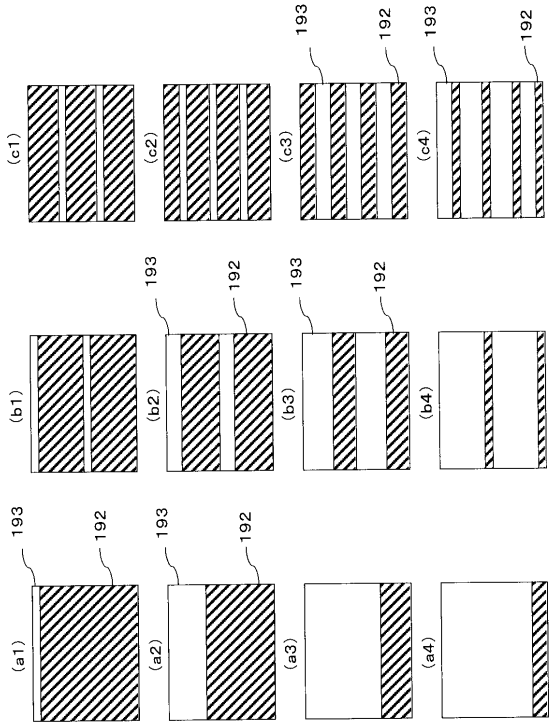
【図５２】



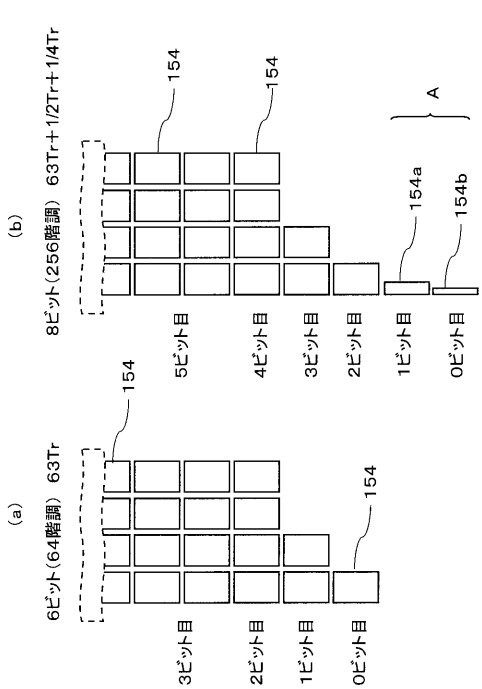
【図５３】



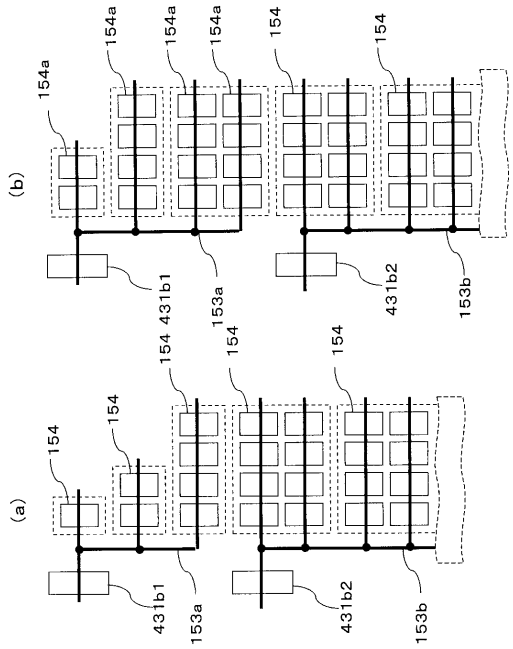
【図５４】



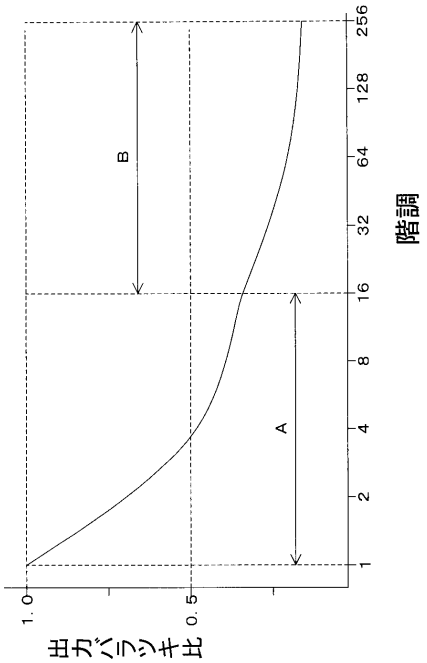
【図５５】



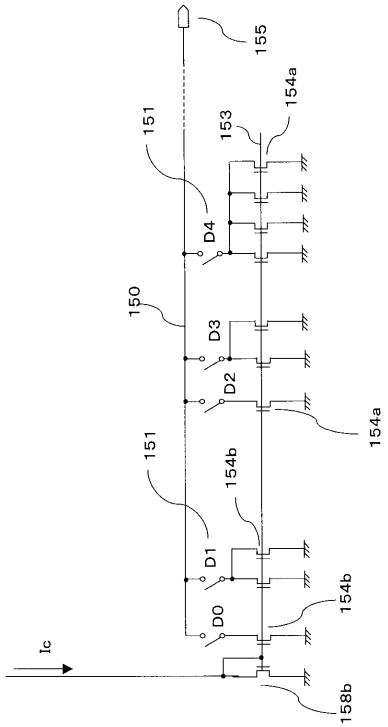
【図５６】



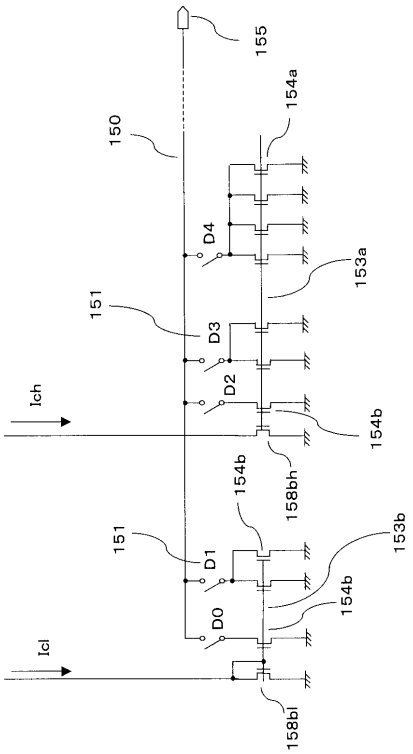
【図５７】



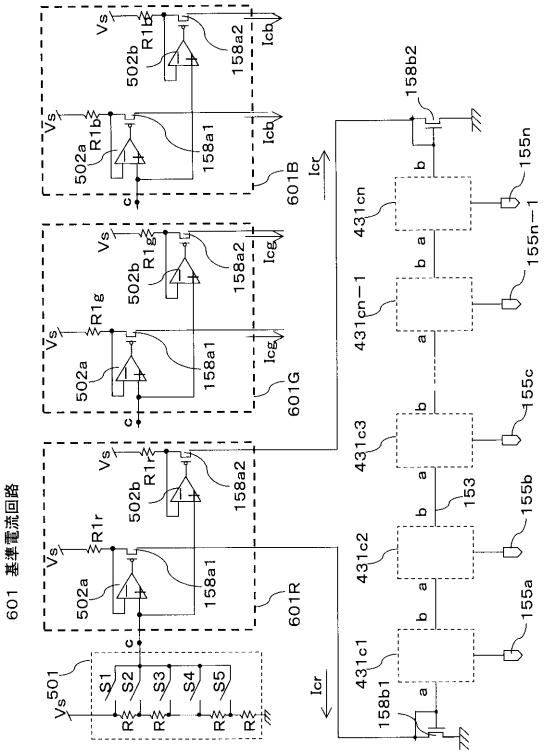
【図５８】



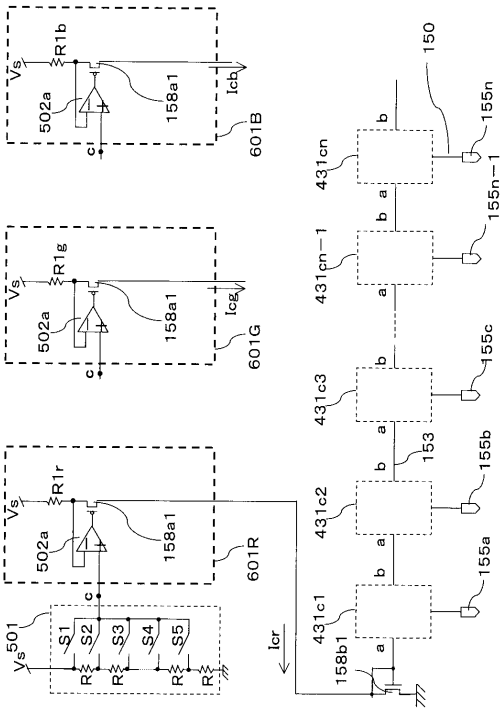
【図５９】



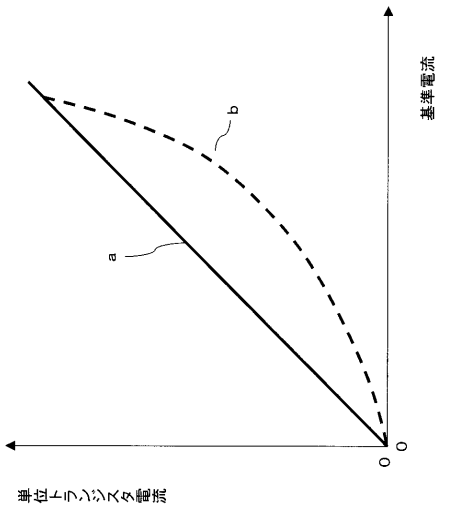
【図６０】



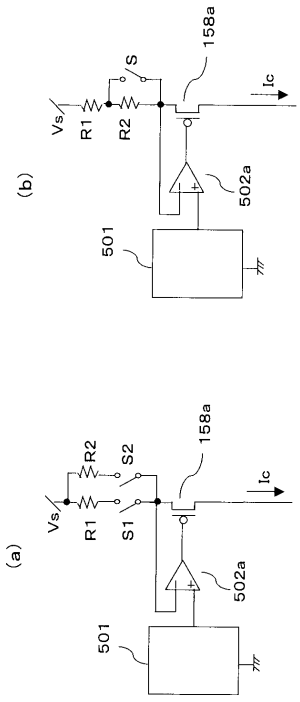
【図６１】



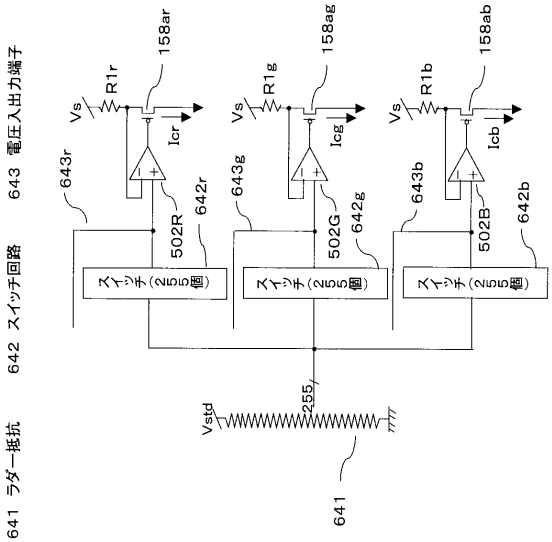
【図６２】



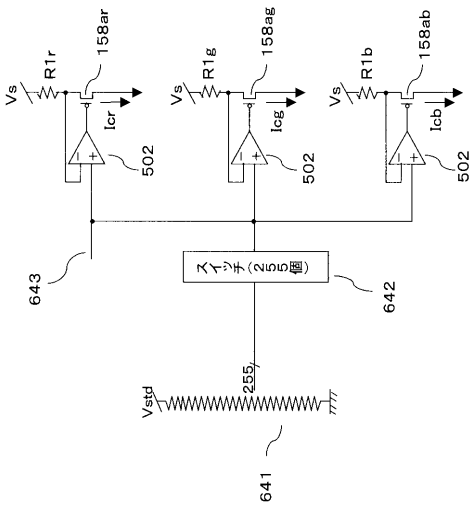
【図６３】



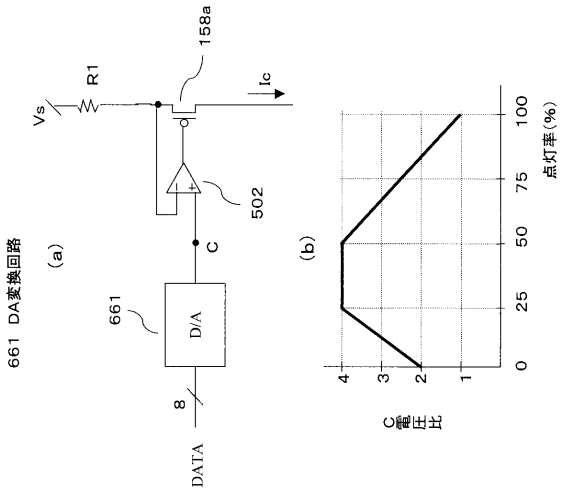
【図６４】



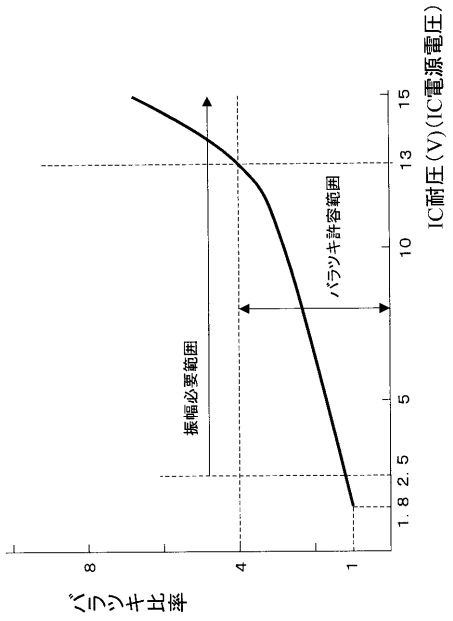
【図６５】



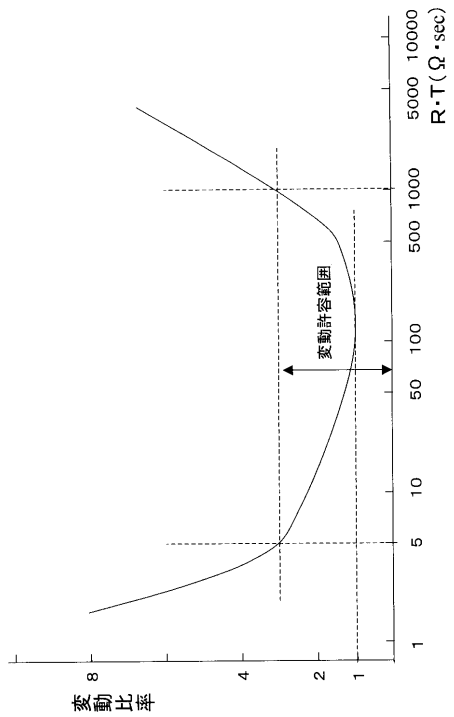
【図６６】



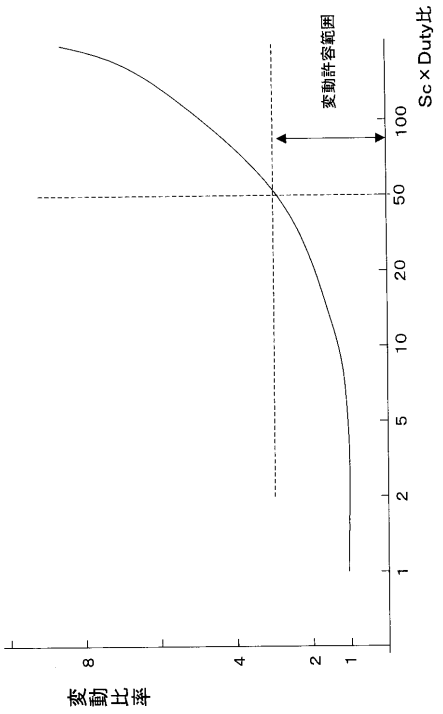
【図６７】



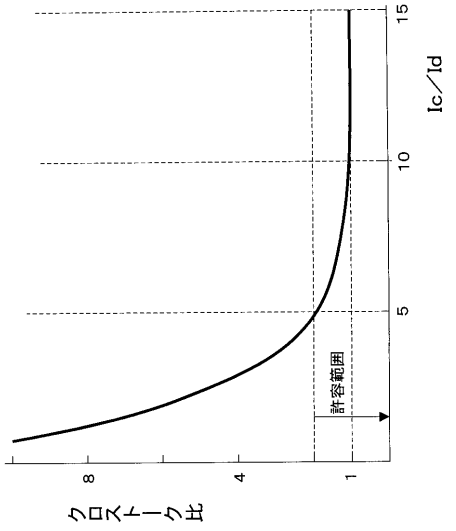
【図６８】



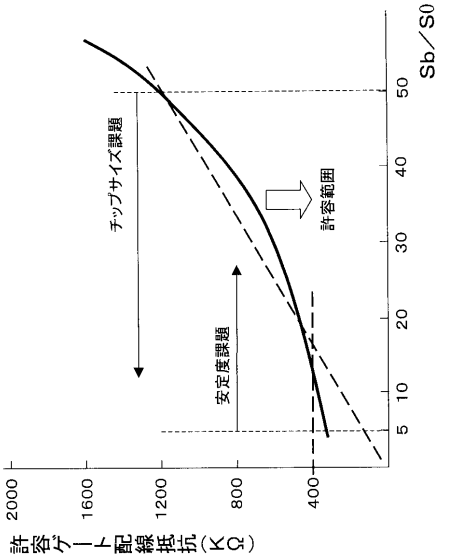
【図６９】



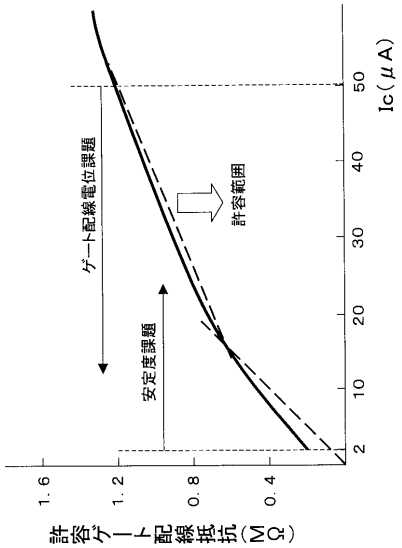
【図７０】



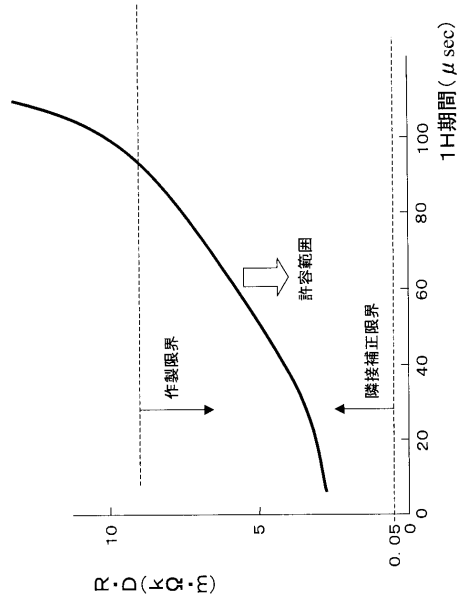
【図７１】



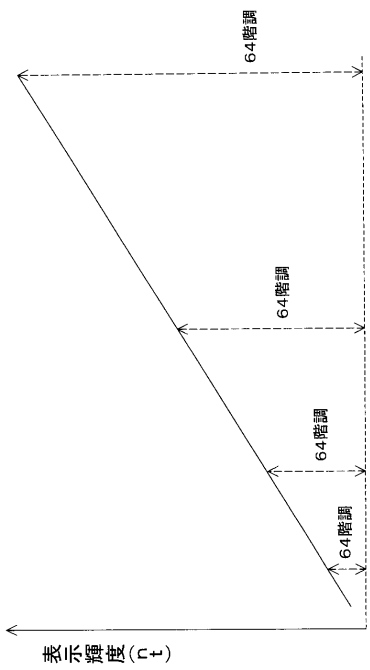
【図７２】



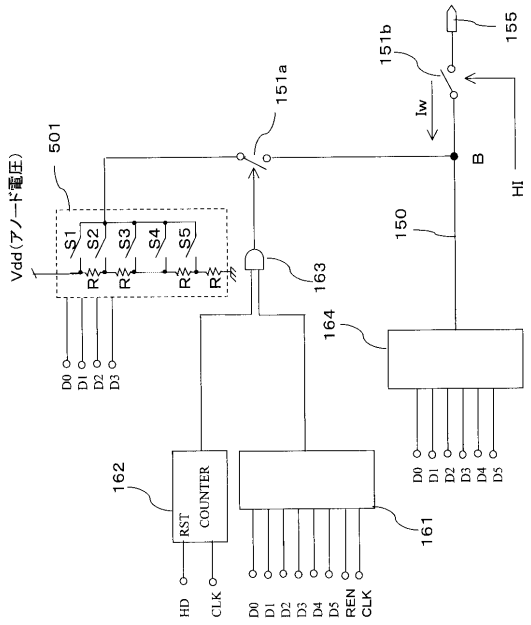
【図７３】



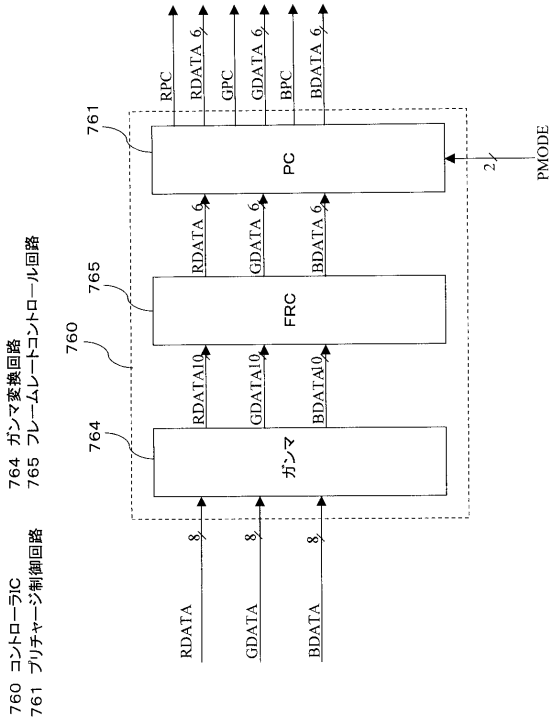
【図７４】



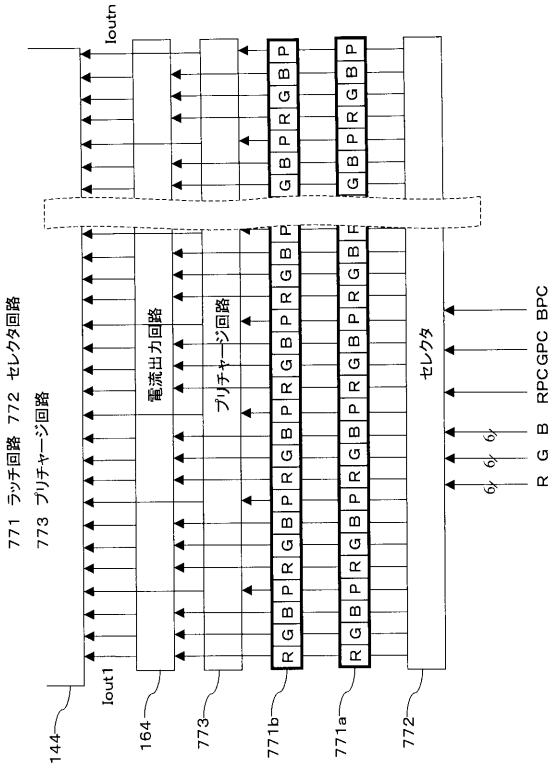
【図７５】



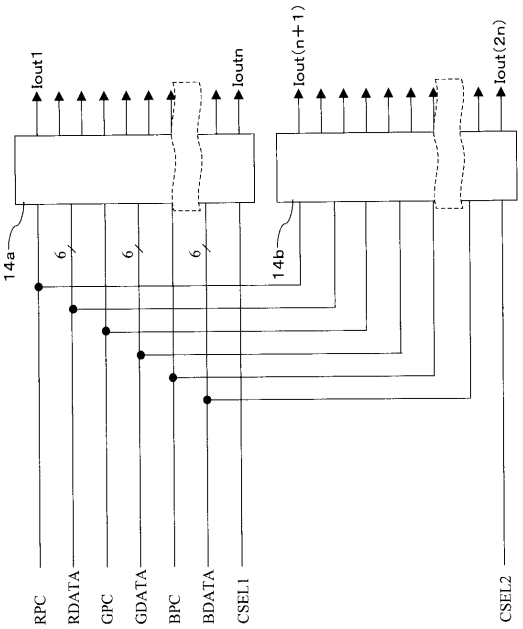
【図７６】



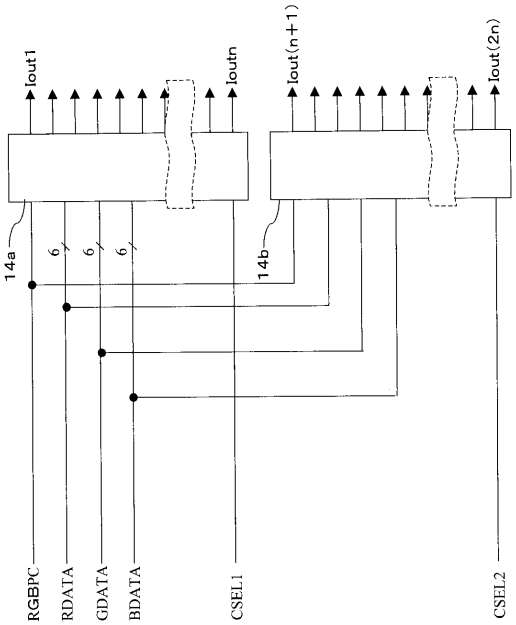
【図７７】



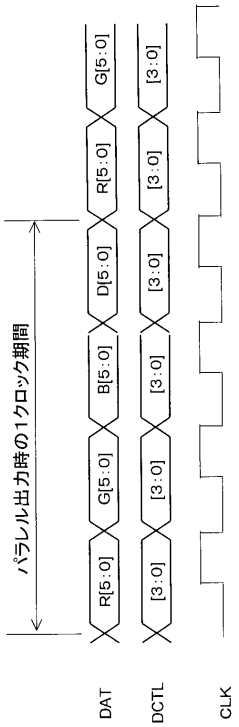
【図７８】



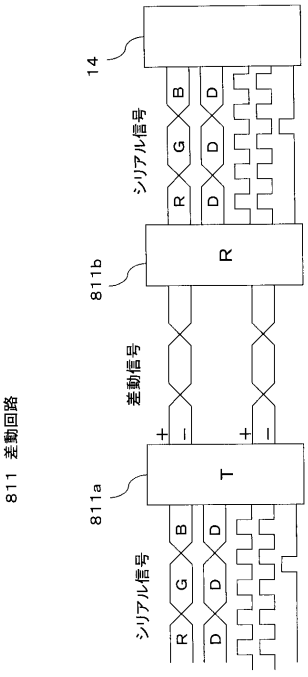
【図７９】



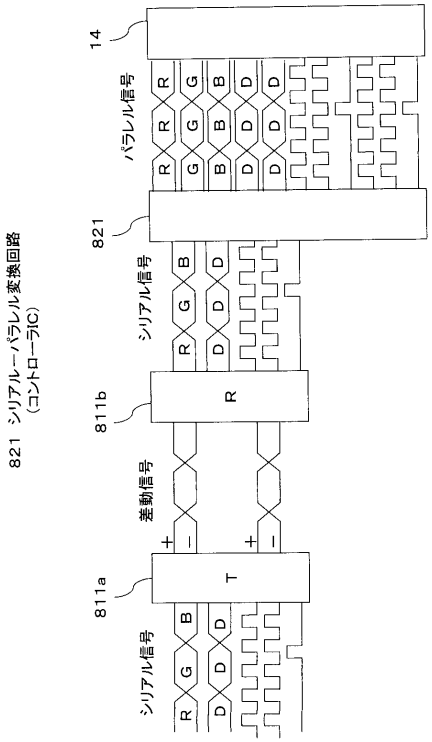
【図８０】



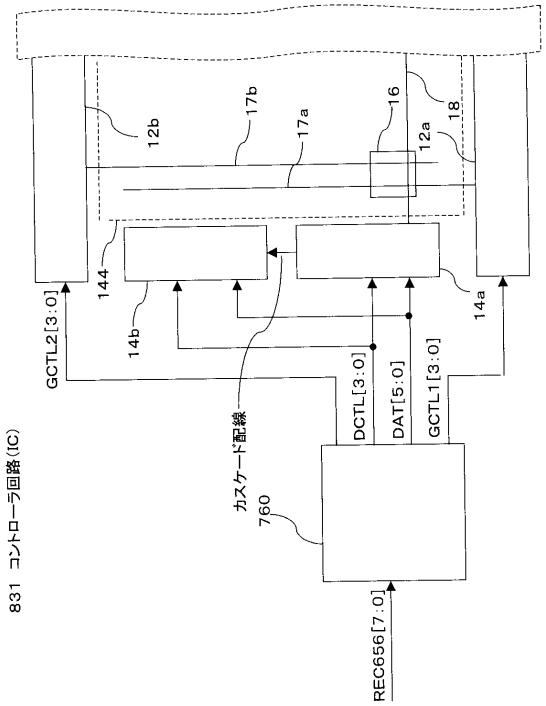
【図８１】



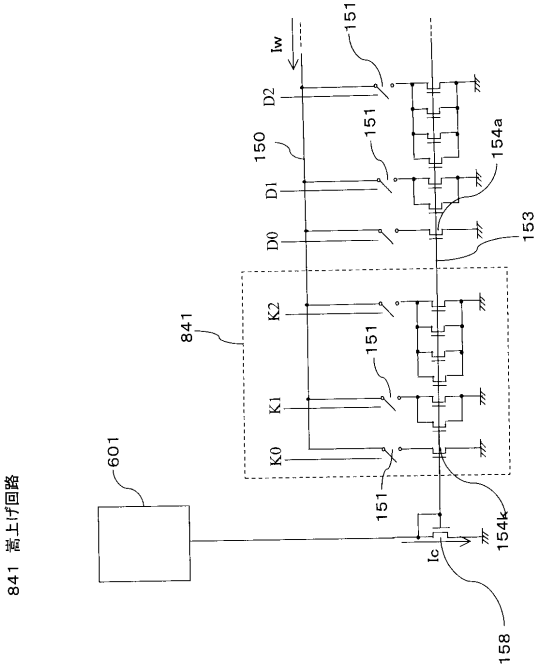
【図８２】



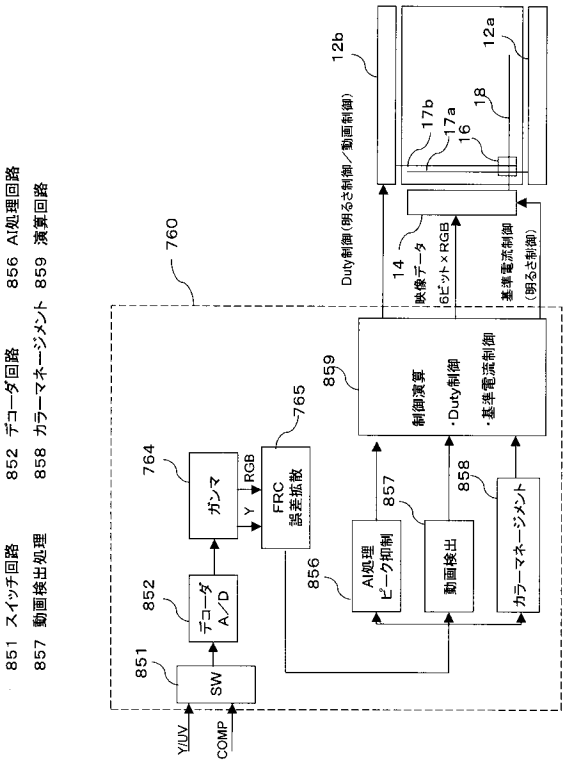
【図８３】



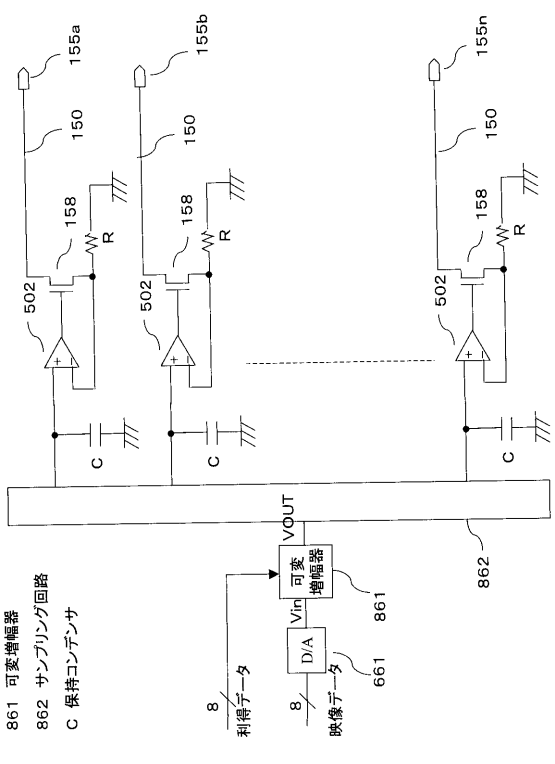
【図８４】



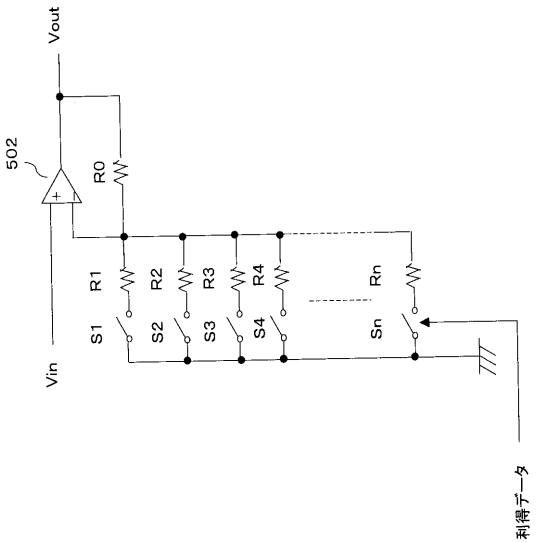
【図８５】



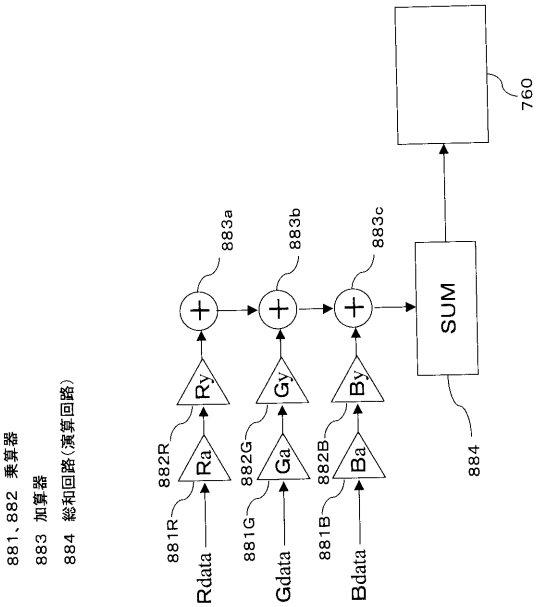
【図８６】



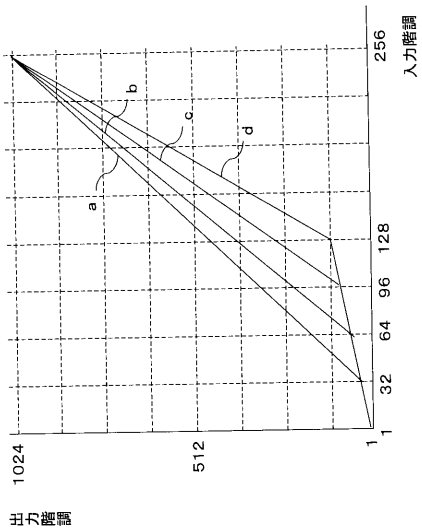
【図８７】



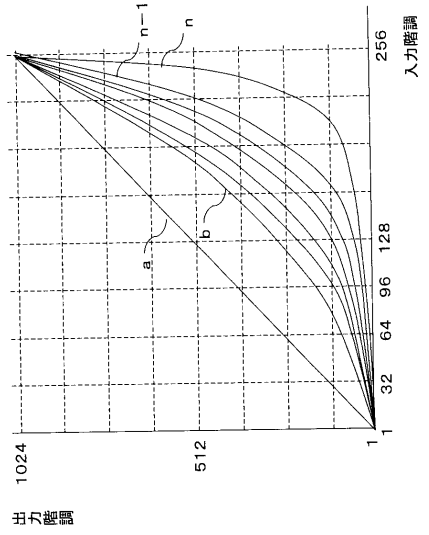
【図８８】



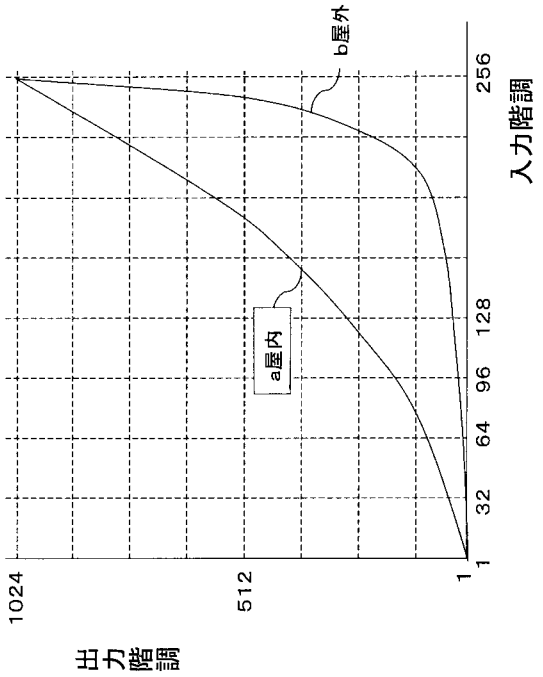
【図８９】



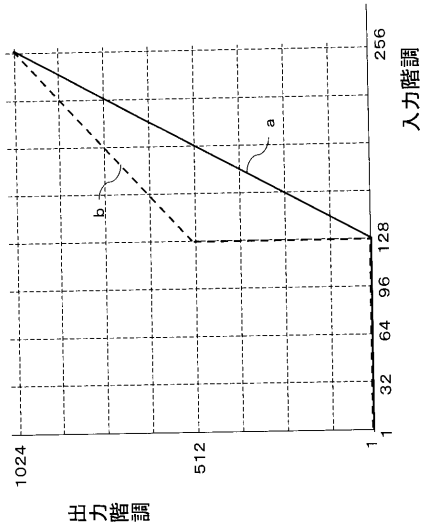
【図９０】



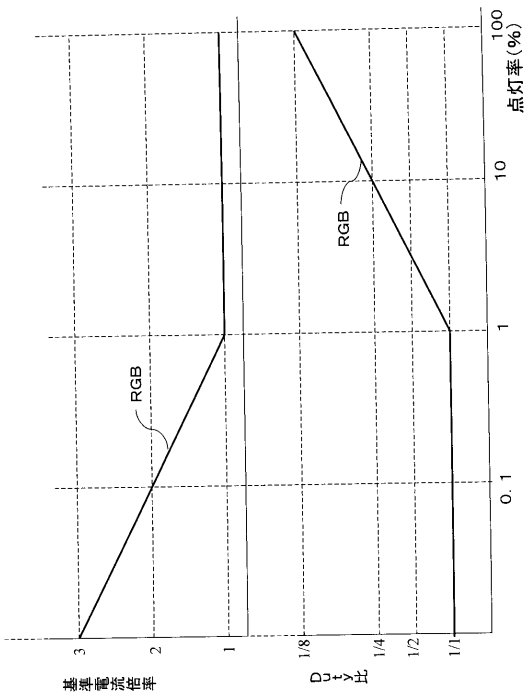
【図９１】



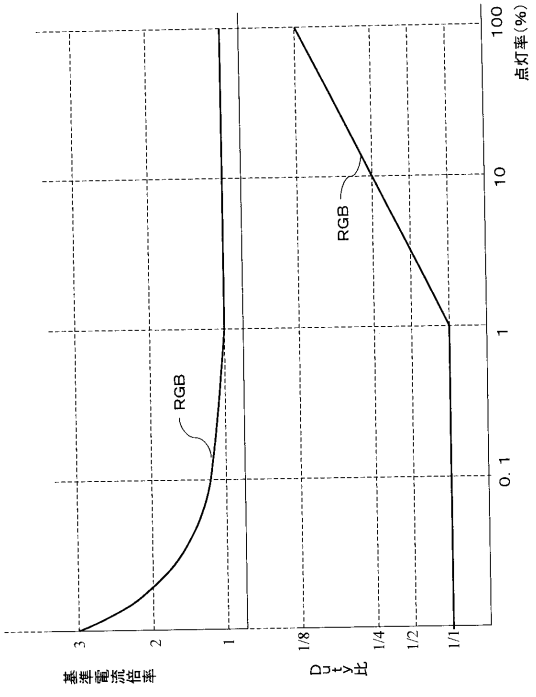
【図９２】



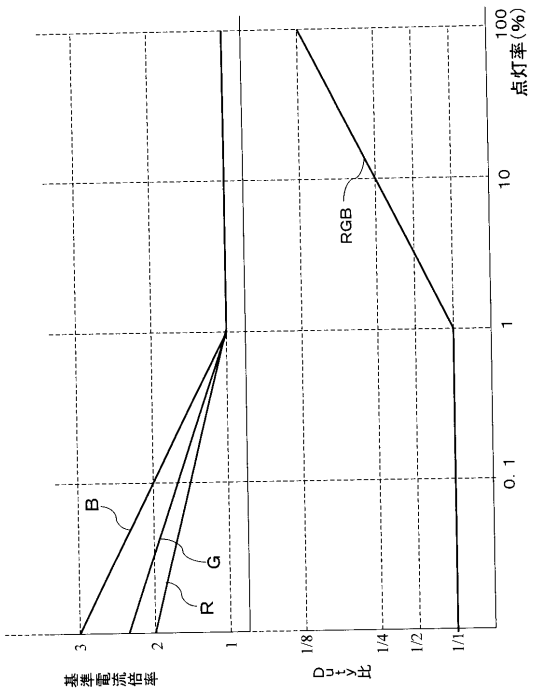
【図９３】



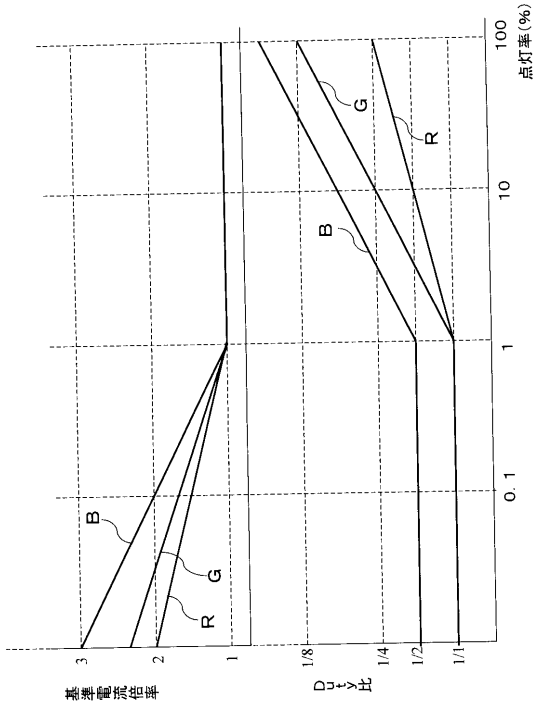
【図９４】



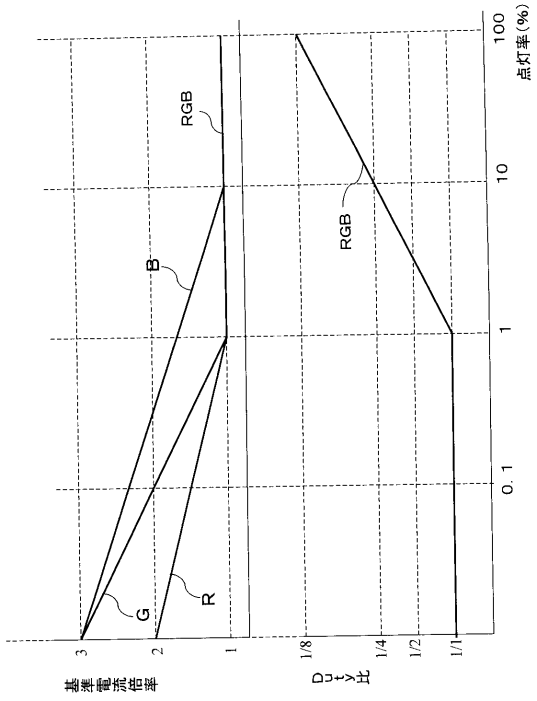
【図９５】



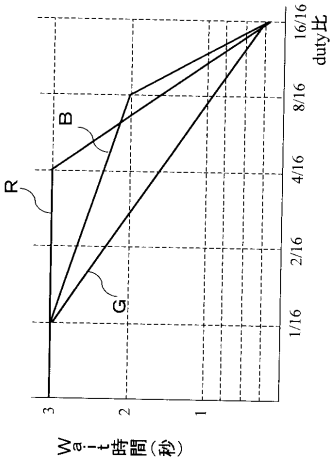
【図９６】



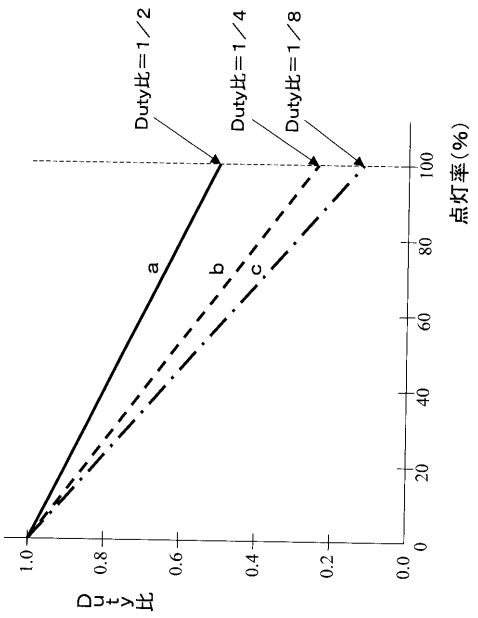
【図９７】



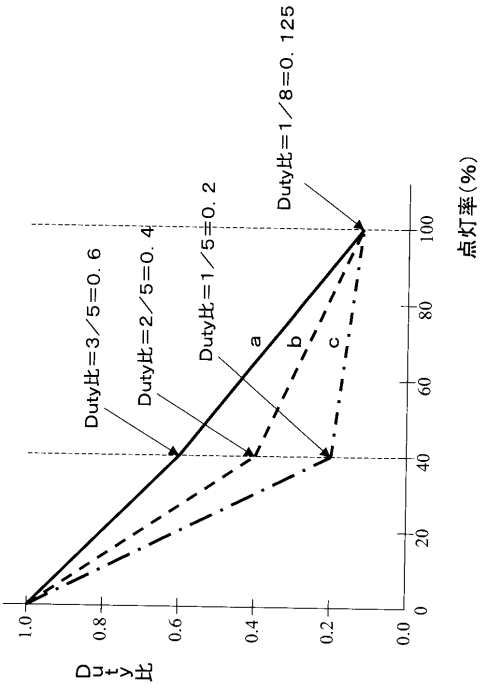
【図９８】



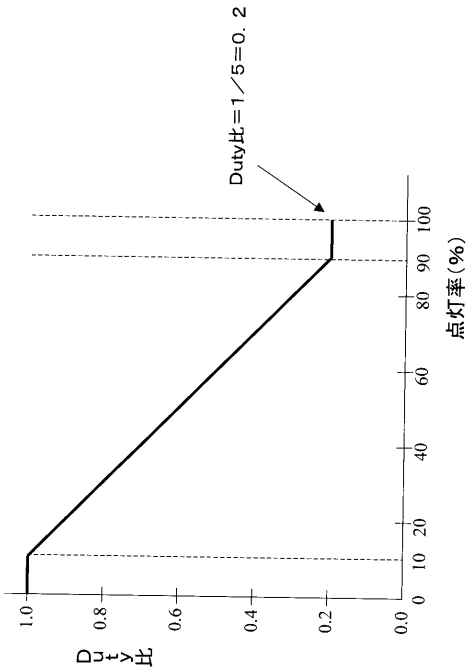
【図９９】



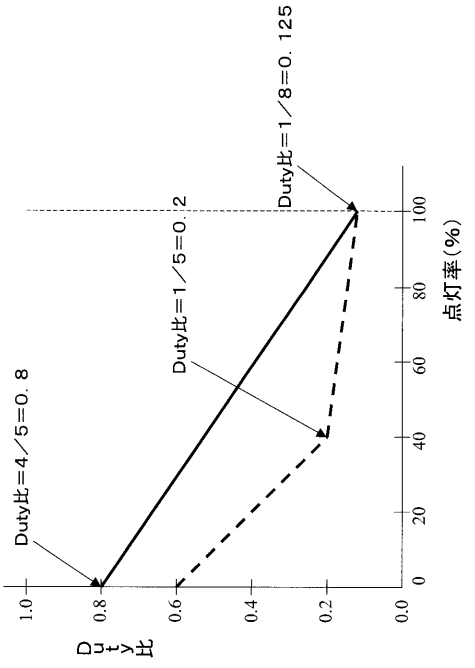
【図１００】



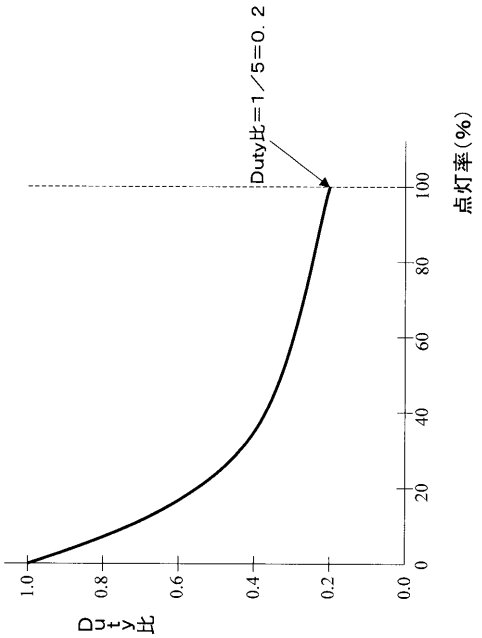
【図１０１】



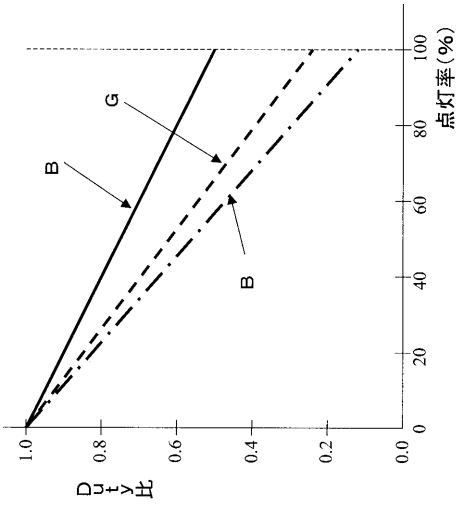
【図１０２】



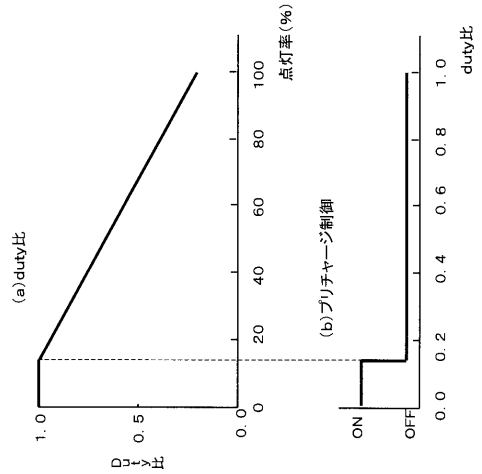
【図１０３】



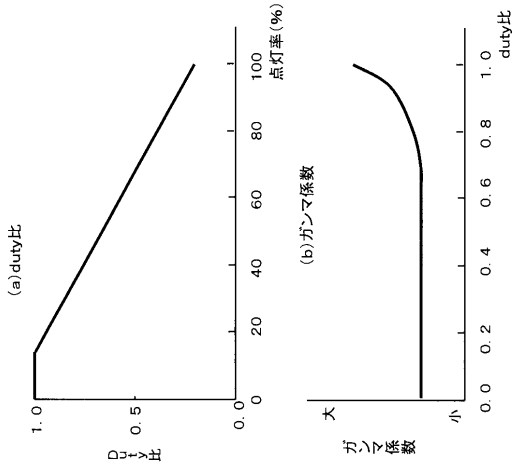
【図１０４】



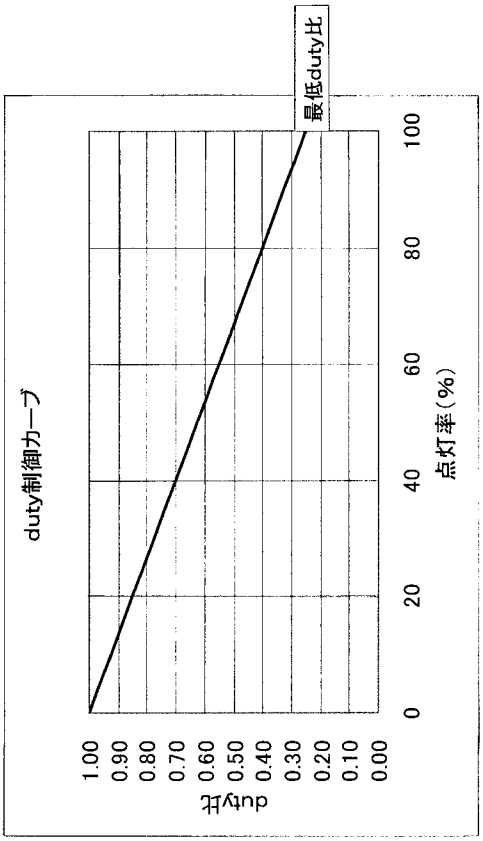
【図１０５】



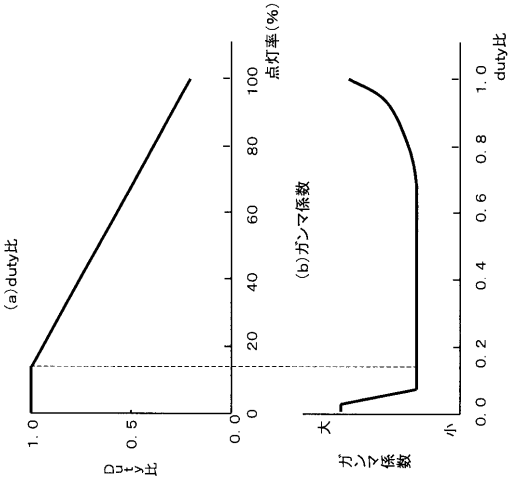
【図１０６】



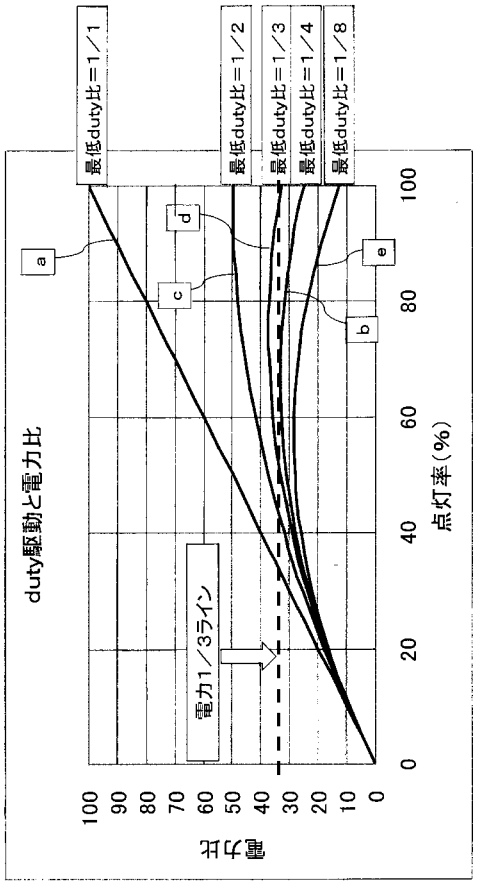
【図１０７】



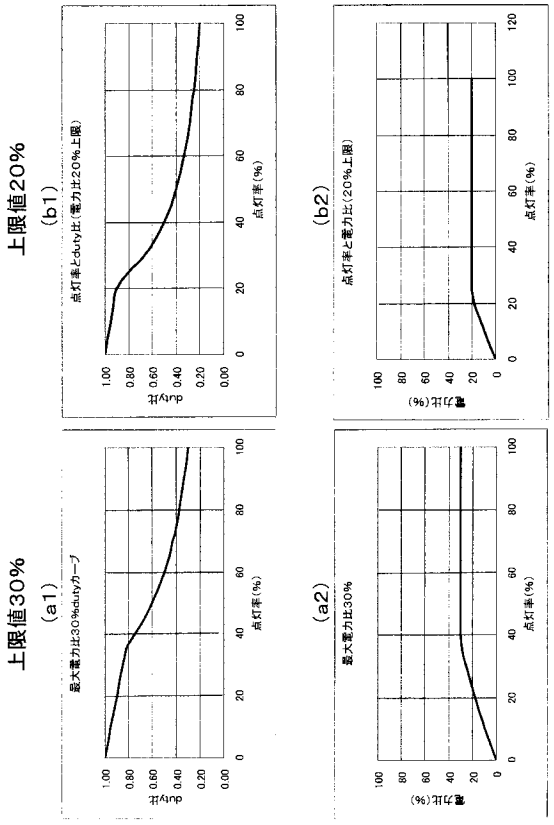
【図１０８】



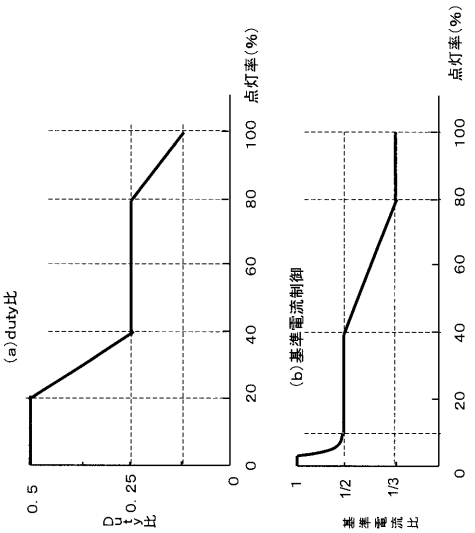
【図１０９】



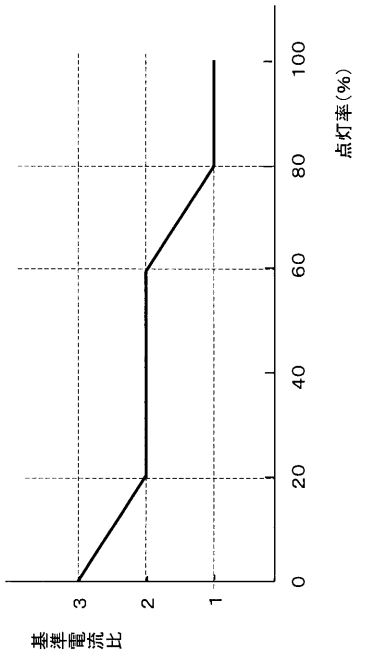
【図１１０】



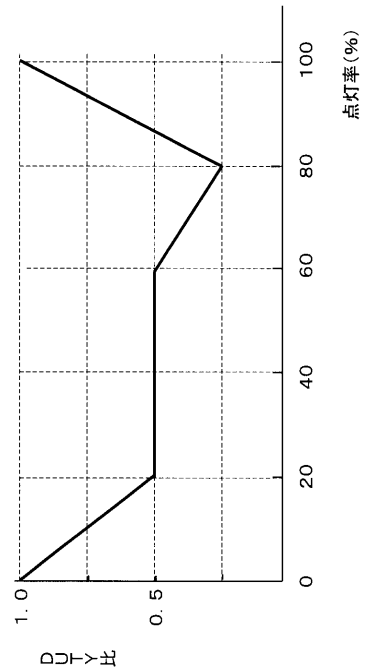
【図１１１】



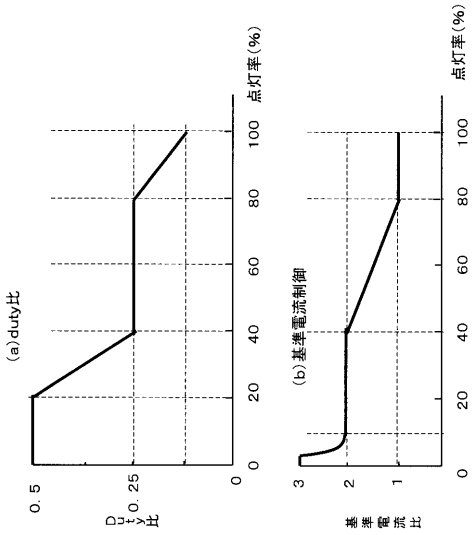
【図１１２】



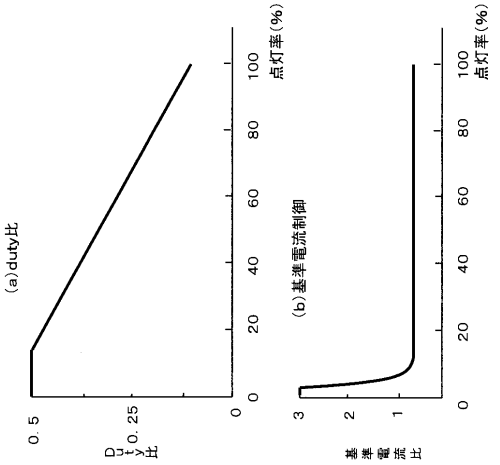
【図１１３】



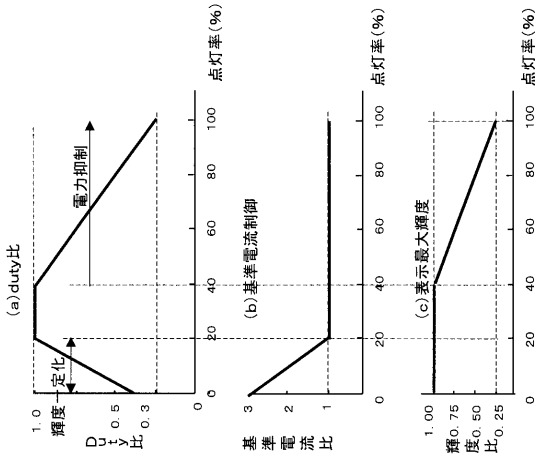
【図１１４】



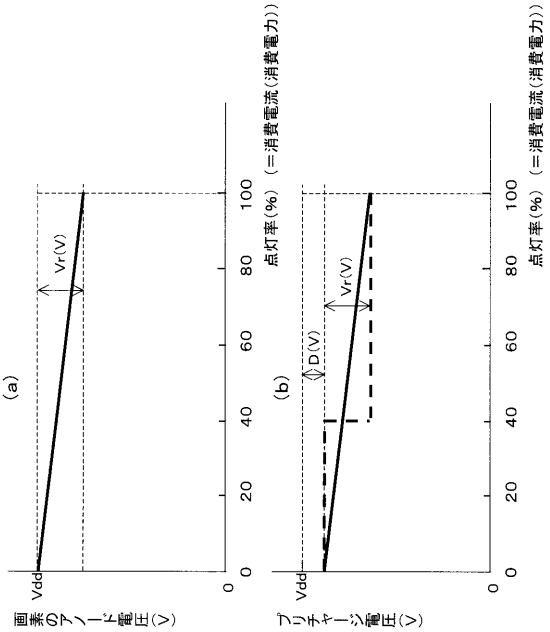
【図１１５】



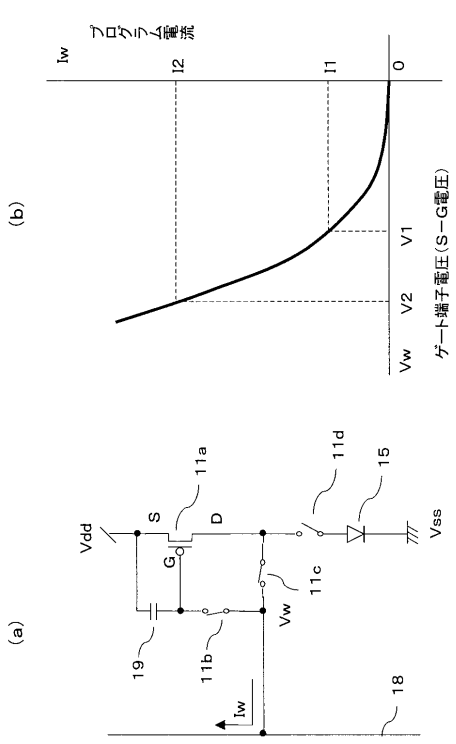
【図１１６】



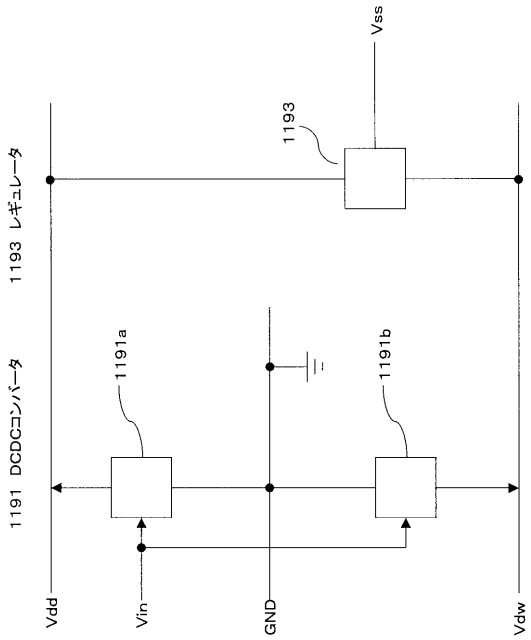
【図１１７】



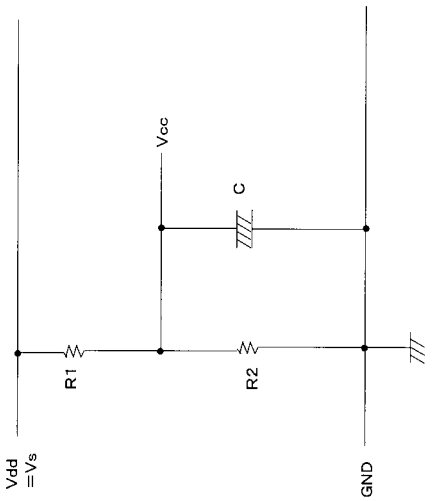
【図１１８】



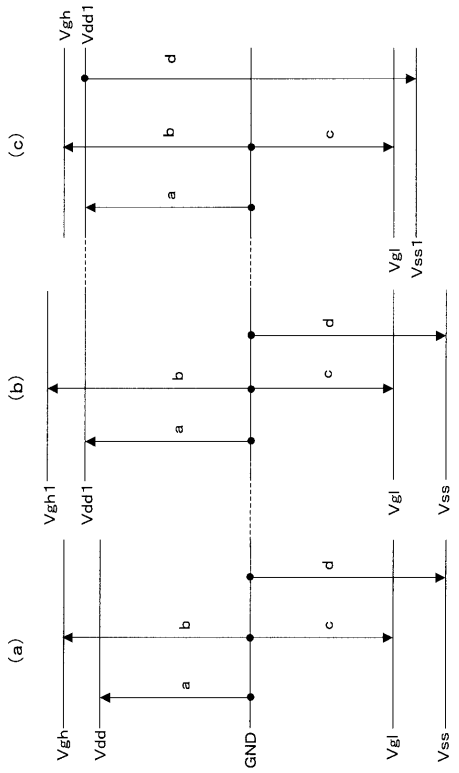
【図１１９】



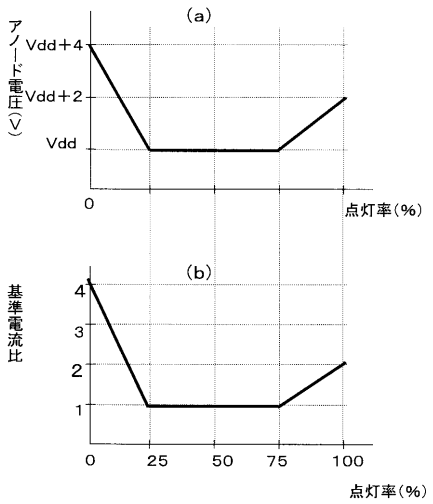
【図１２０】



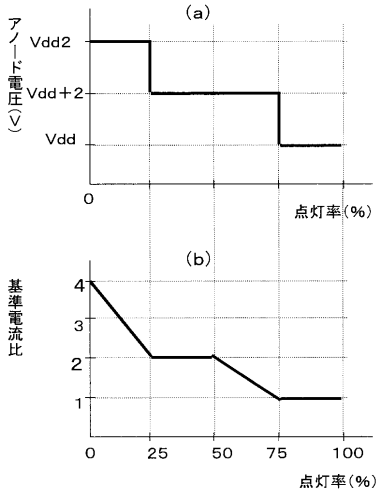
【図１２１】



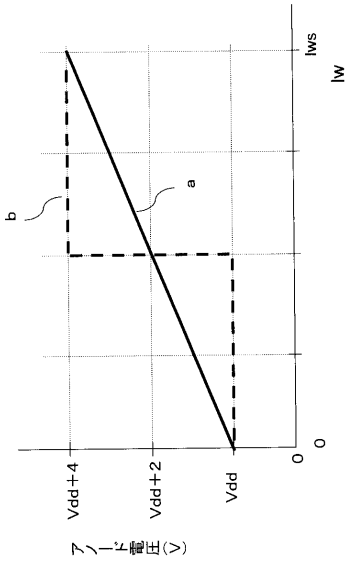
【図１２２】



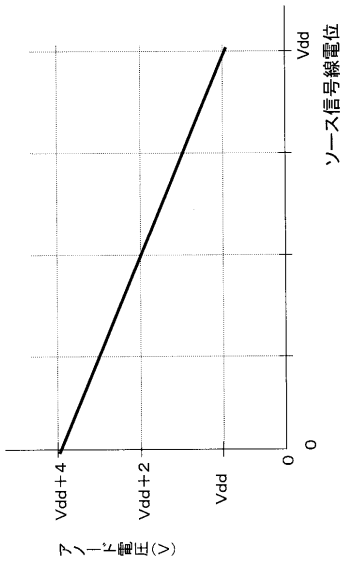
【図１２３】



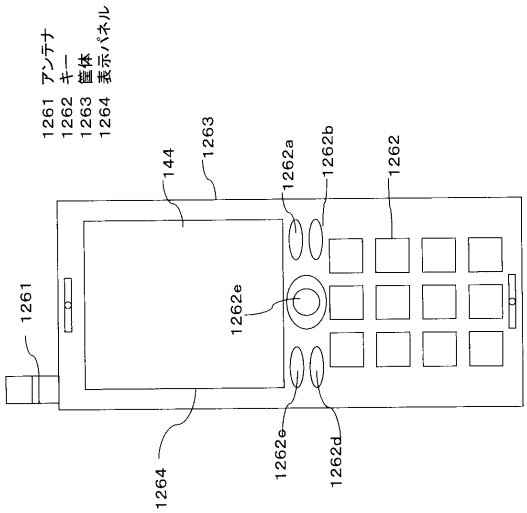
【図１２４】



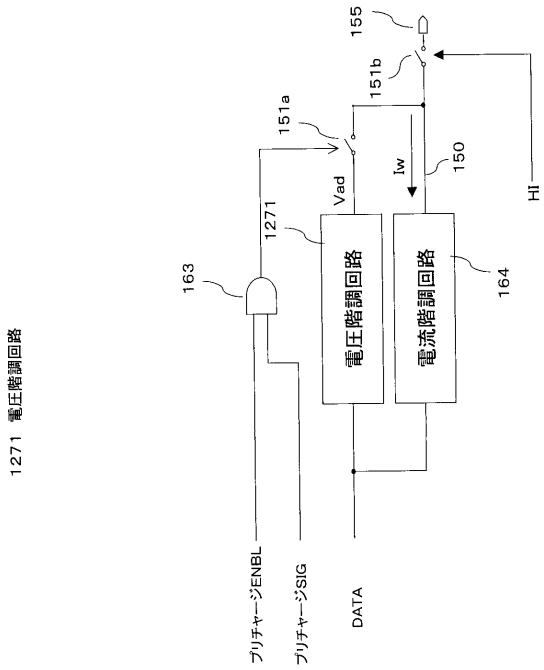
【図１２５】



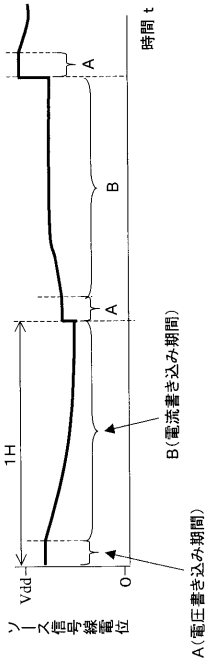
【図１２６】



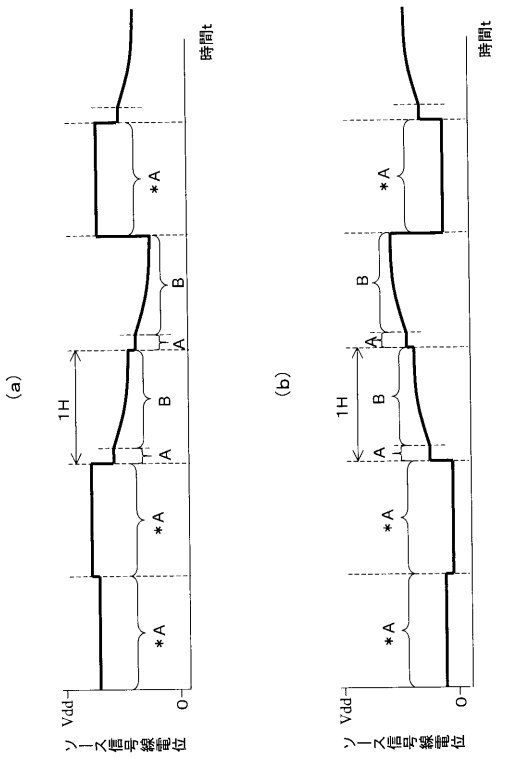
【図１２７】



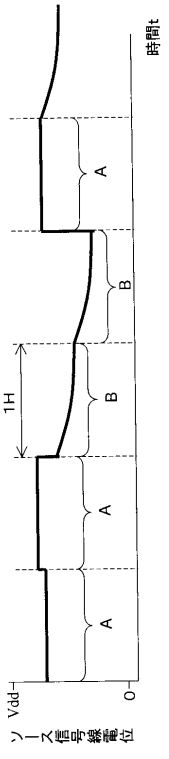
【図１２８】



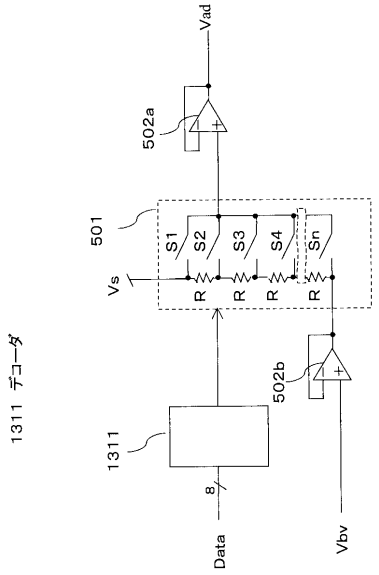
【図１２９】



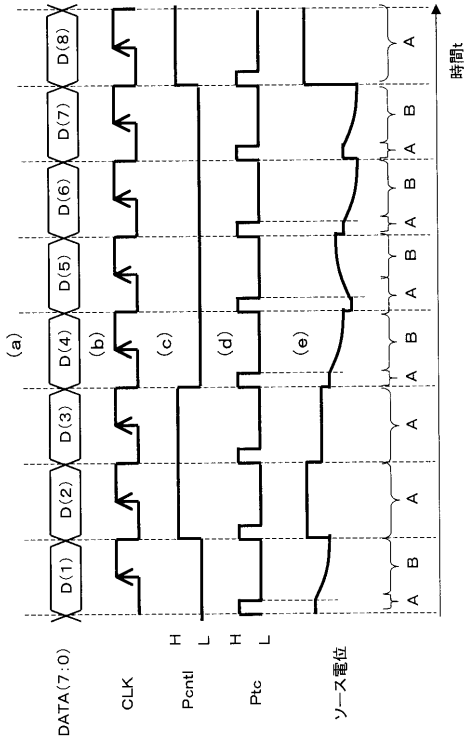
【図１３０】



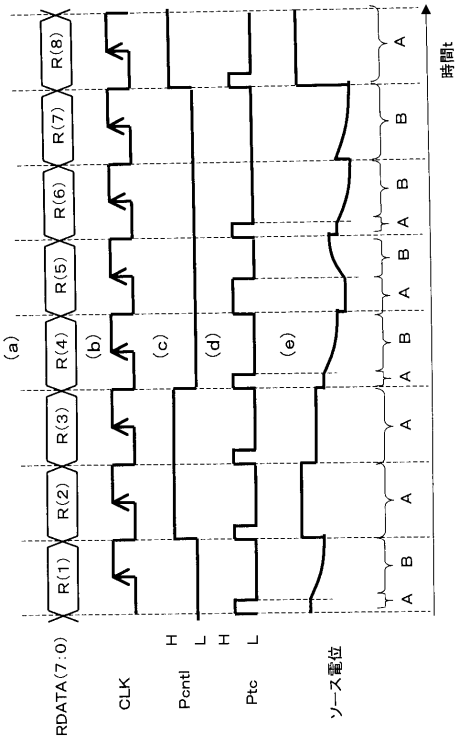
【図１３１】



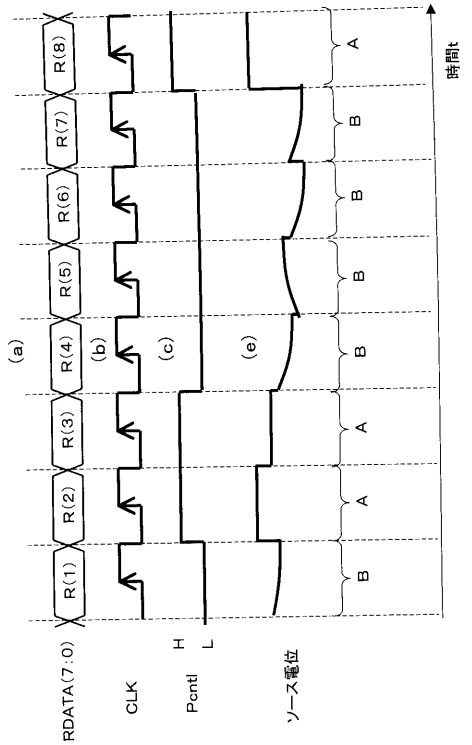
【図１３２】



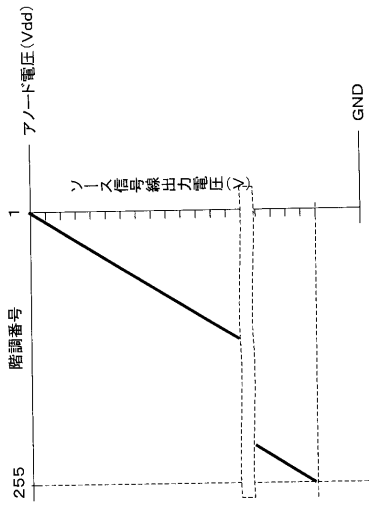
【図１３３】



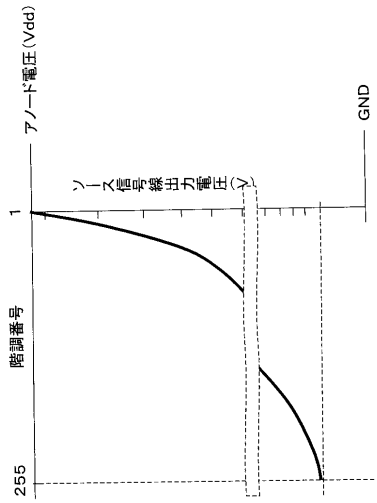
【図１３４】



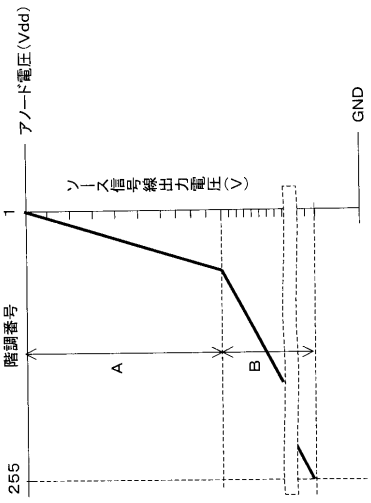
【図１３５】



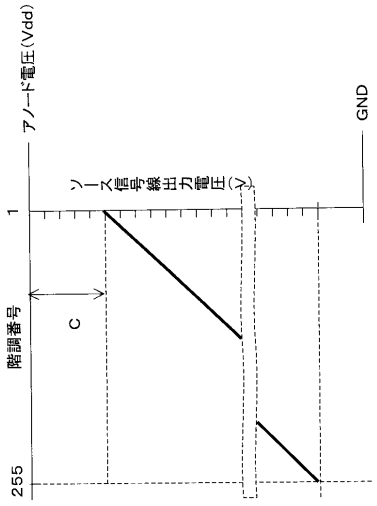
【図１３６】



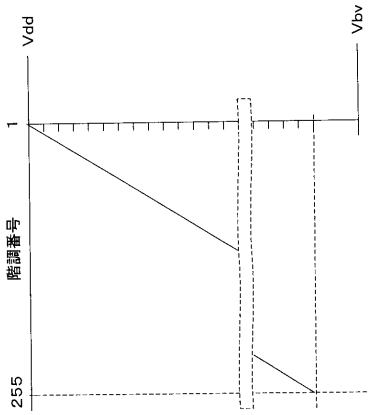
【図１３７】



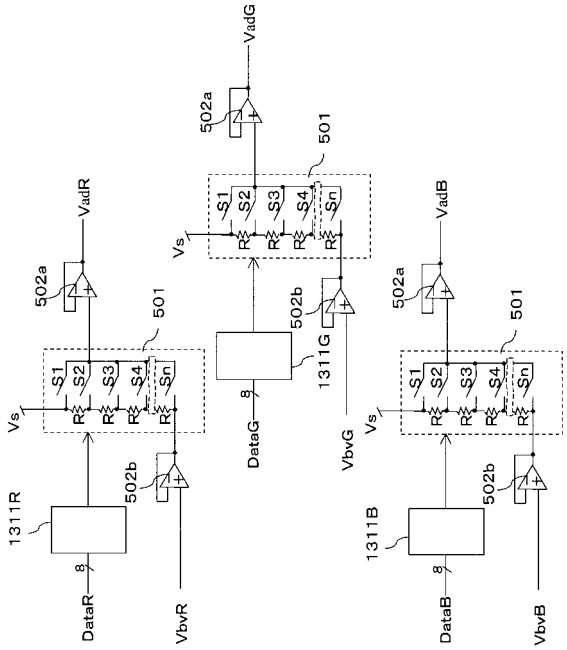
【図１３８】



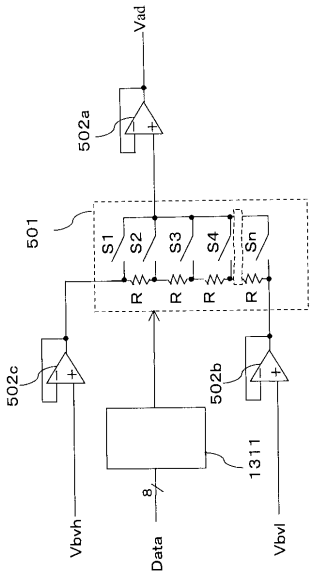
【図１３９】



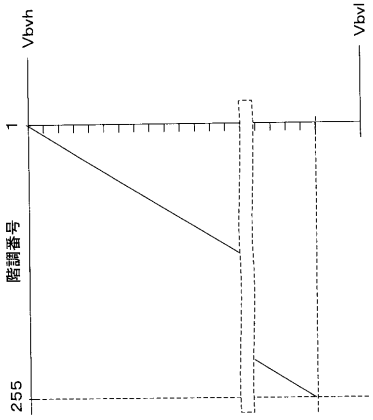
【図１４０】



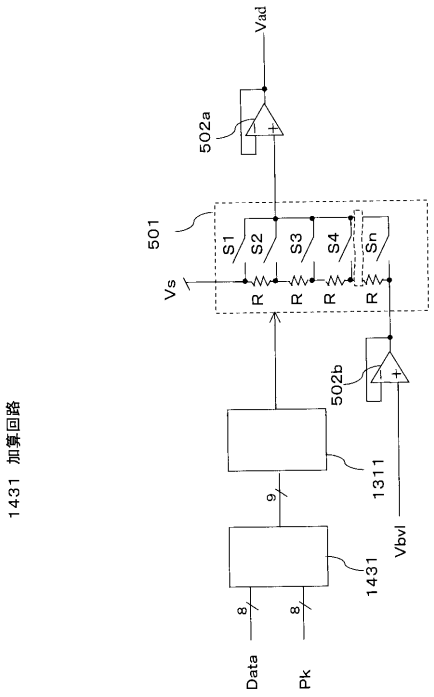
【図１４１】



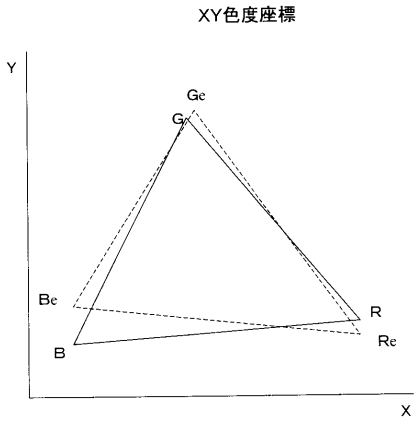
【図１４２】



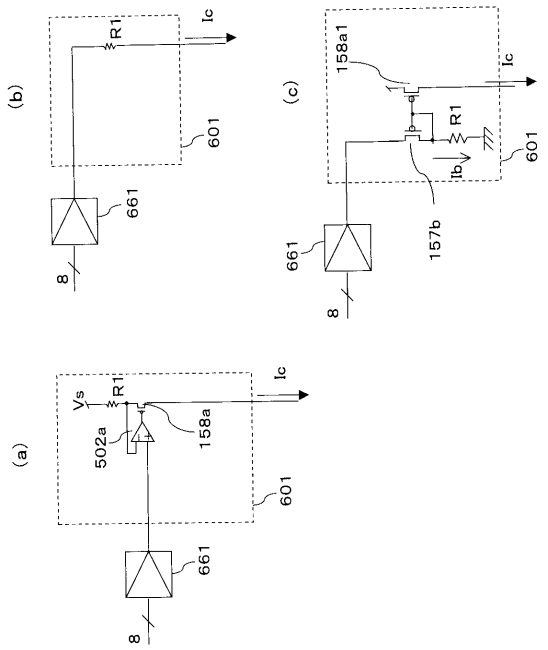
【図１４３】



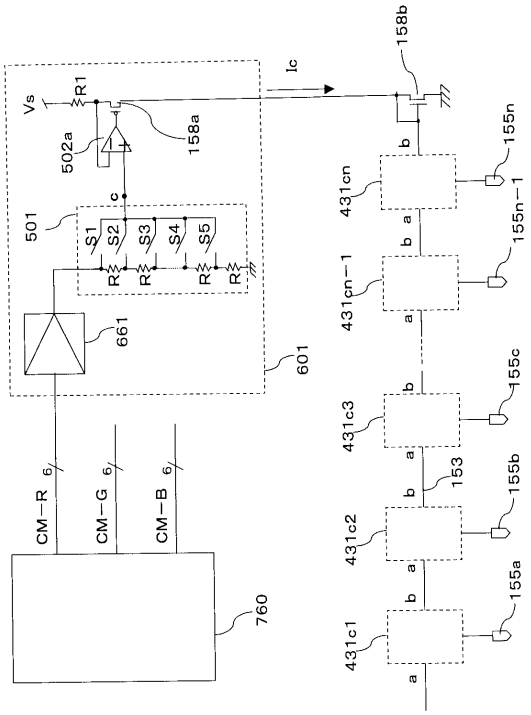
【図１４４】



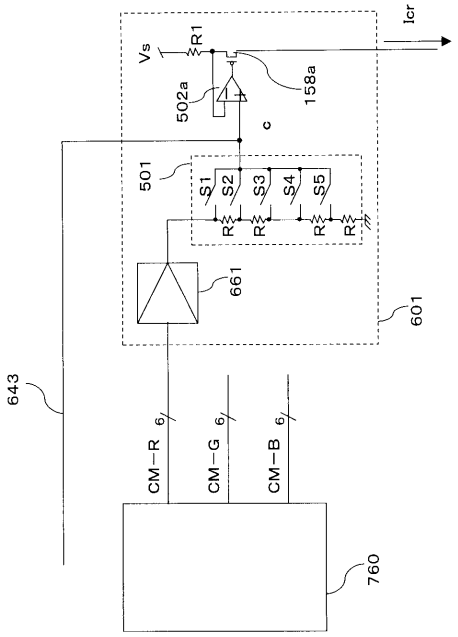
【図１４５】



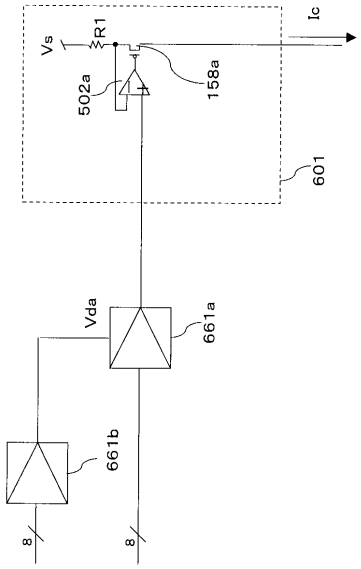
【図１４６】



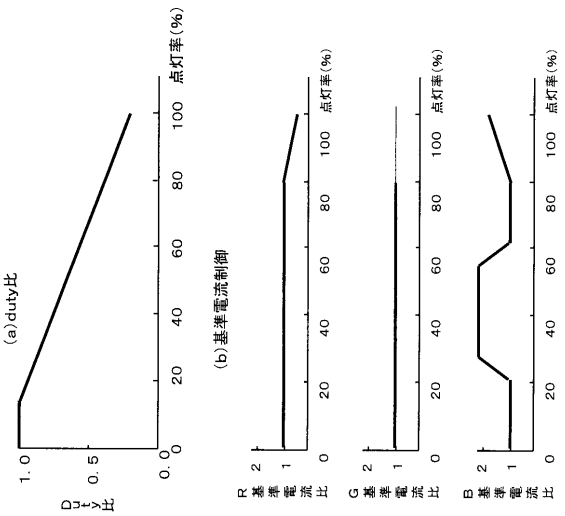
【図１４７】



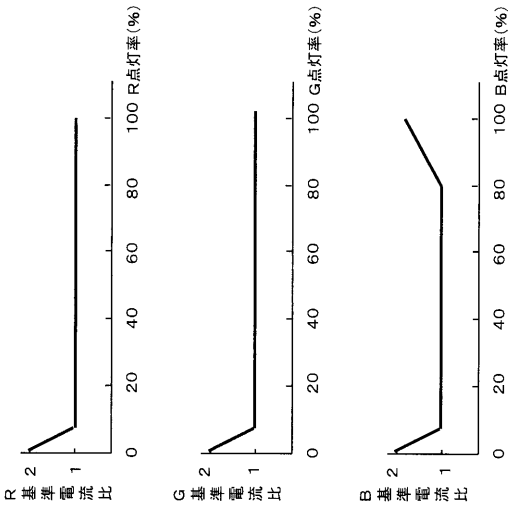
【図１４８】



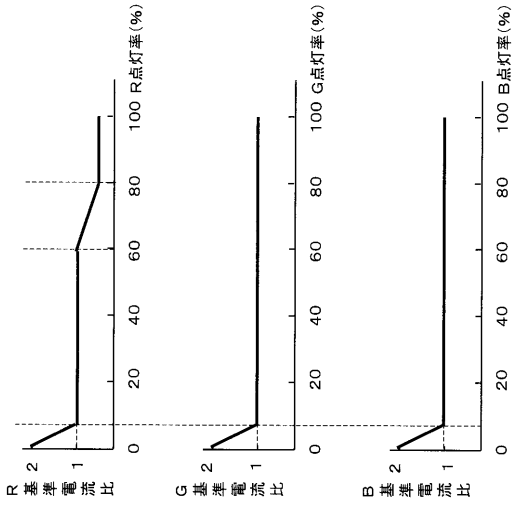
【図１４９】



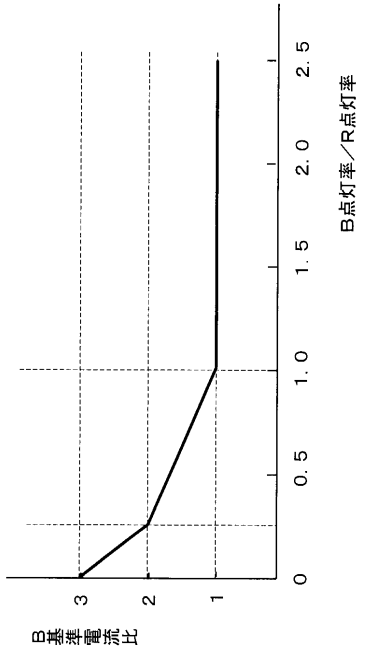
【図１５０】



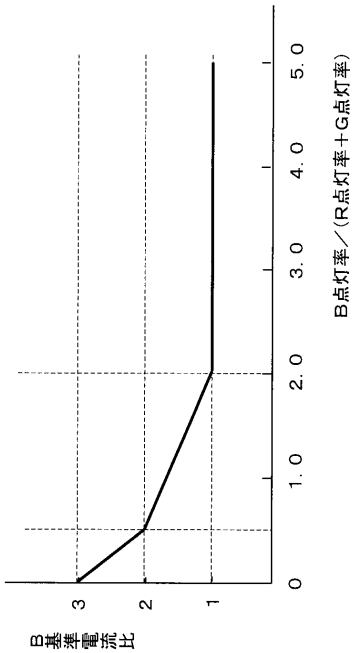
【図１５１】



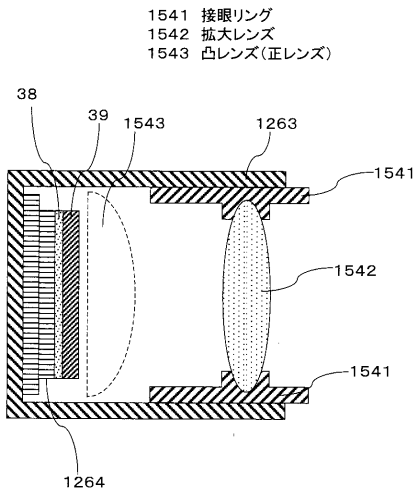
【図１５２】



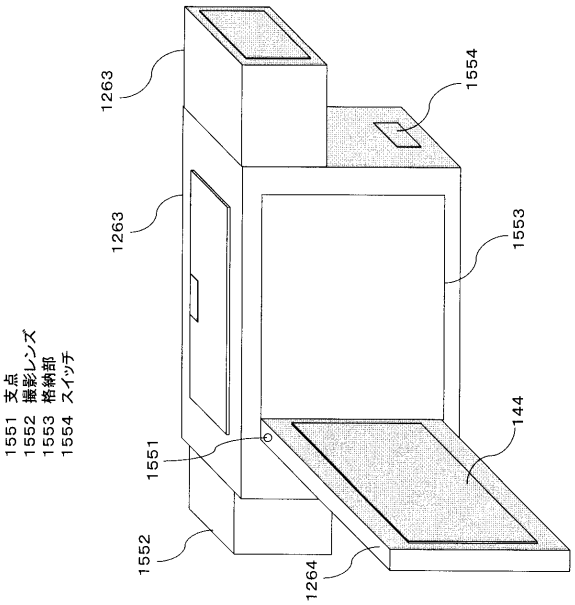
【図１５３】



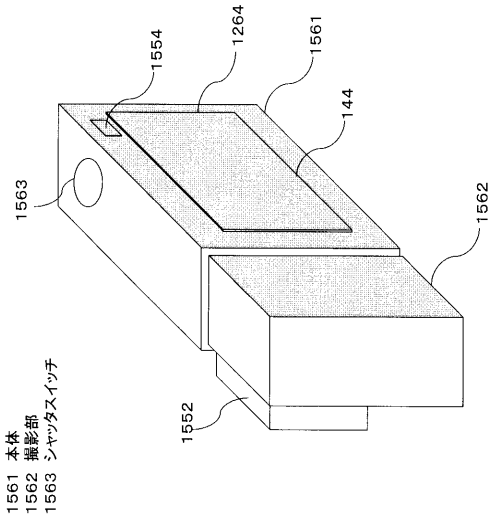
【図１５４】



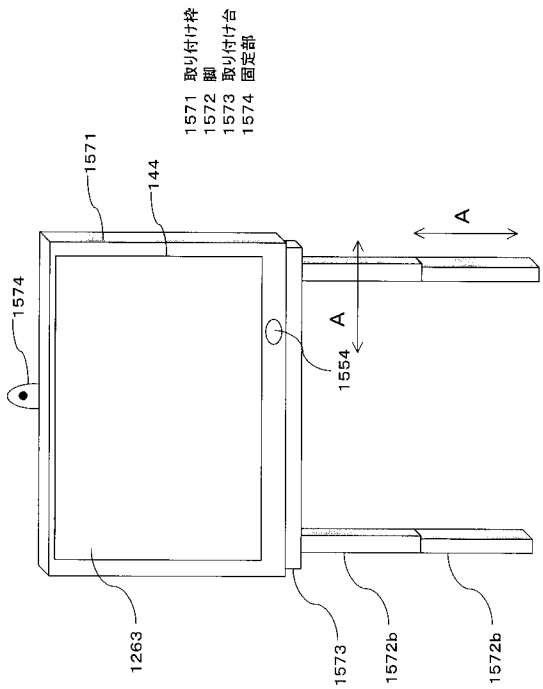
【図１５５】



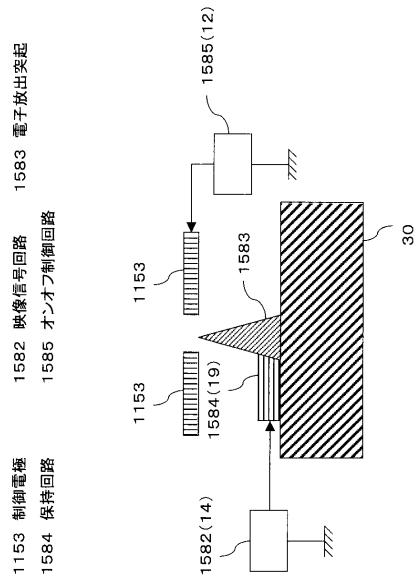
【図１５６】



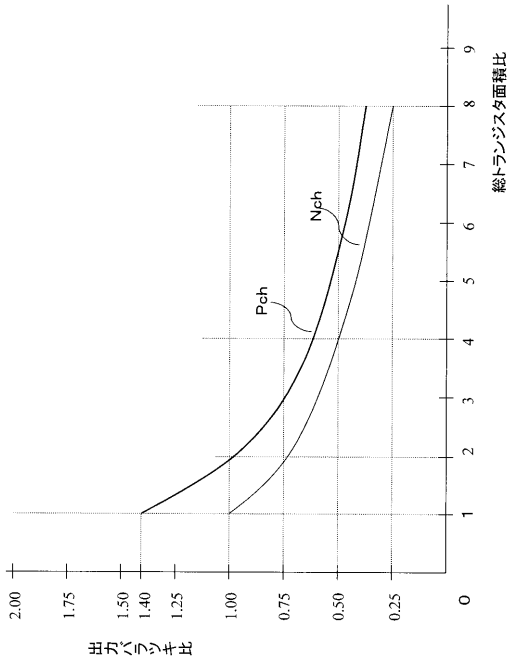
【図１５７】



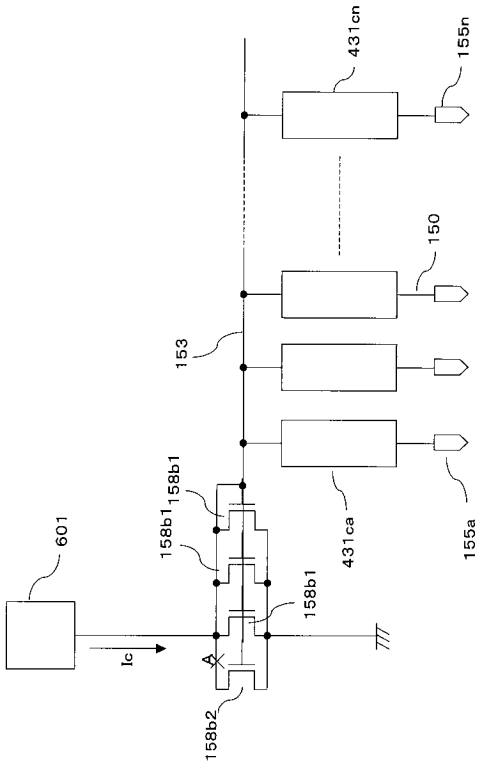
【図１５８】



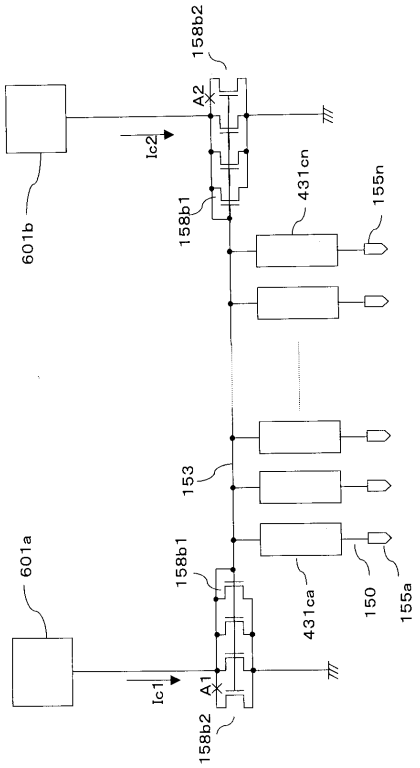
【図１５９】



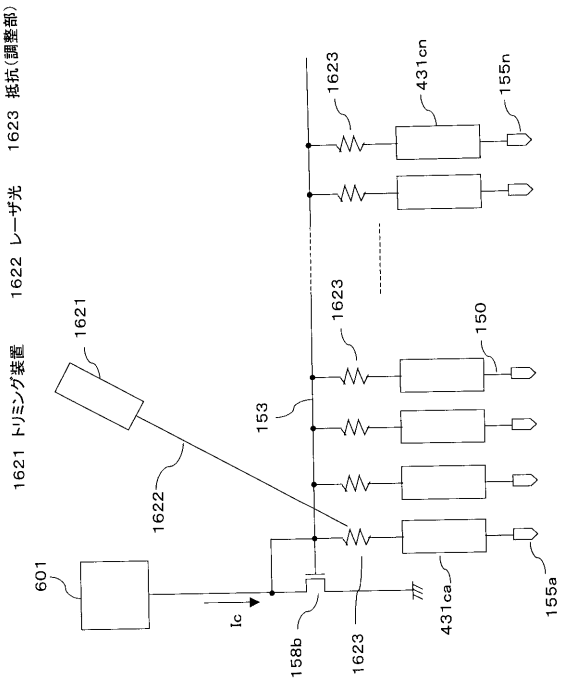
【図１６０】



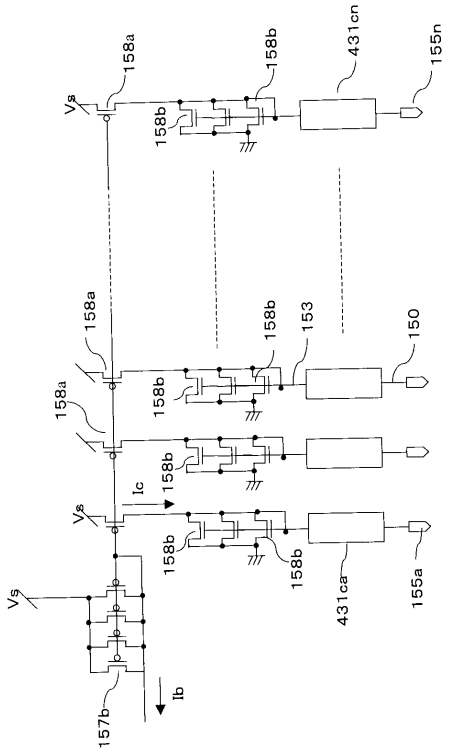
【図１６１】



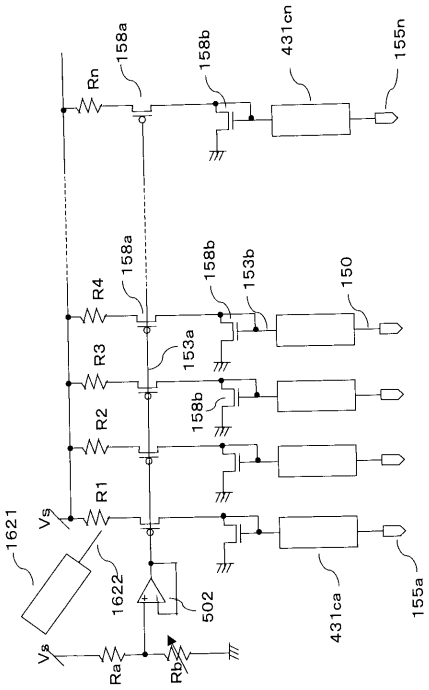
【図１６２】



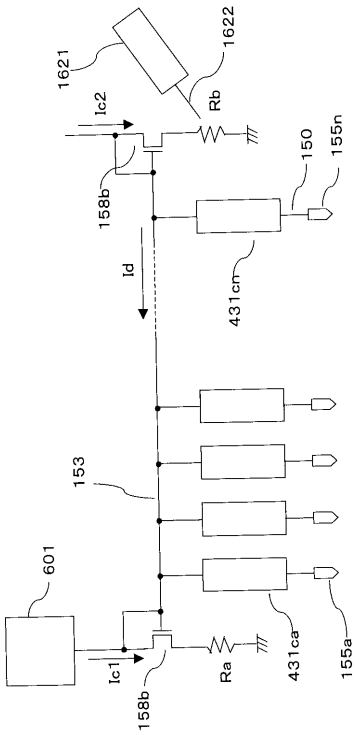
【図１６３】



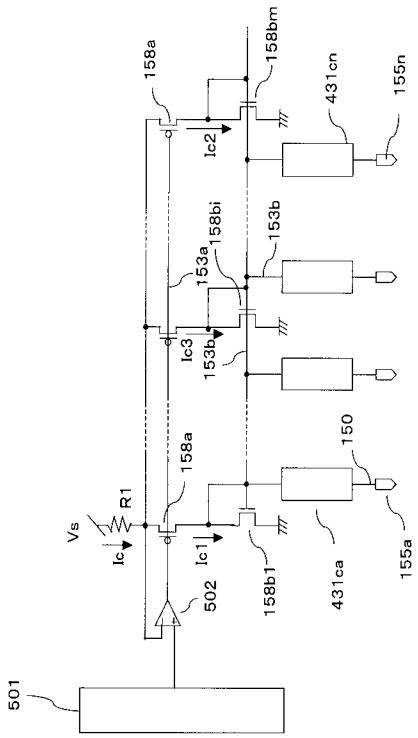
【図１６４】



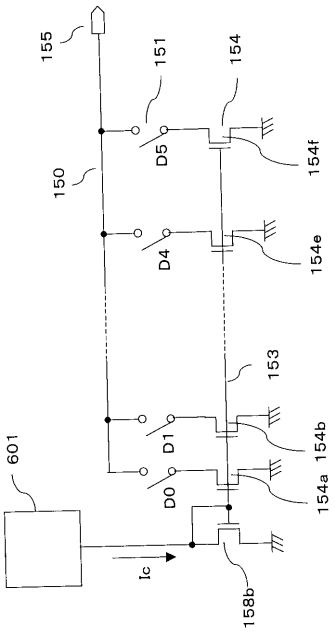
【図１６５】



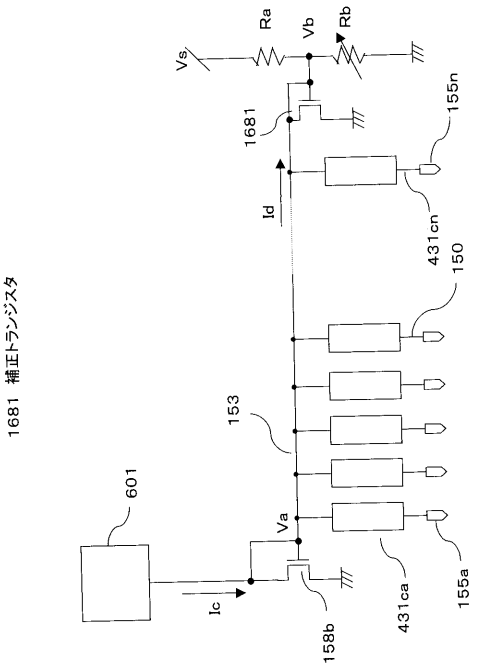
【図１６６】



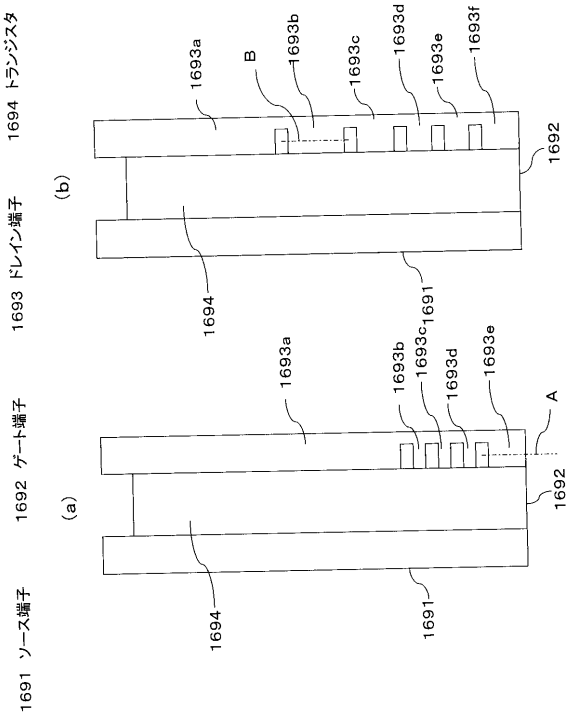
【図１６７】



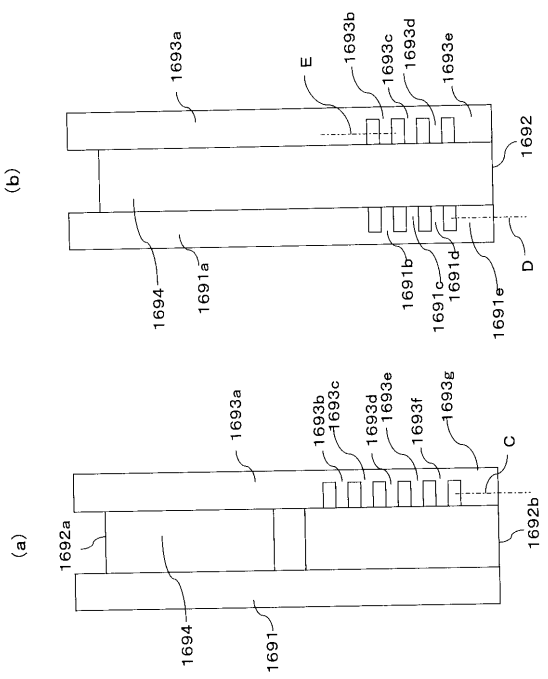
【図１６８】



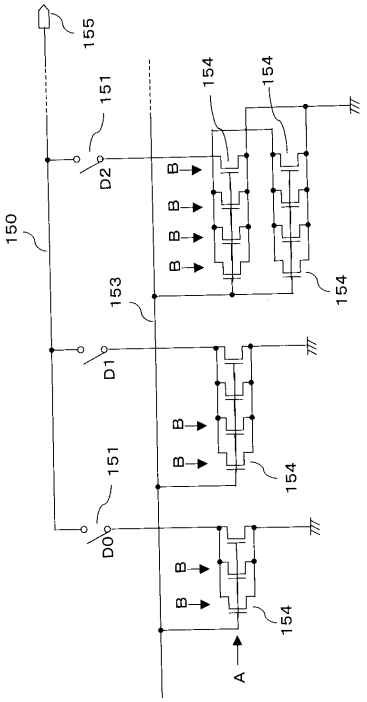
【図１６９】



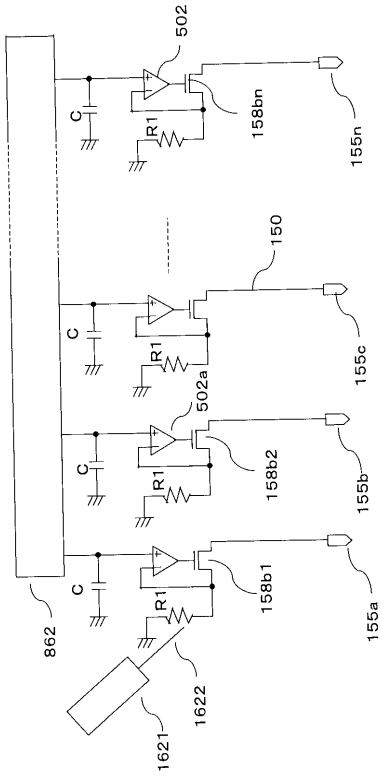
【図１７０】



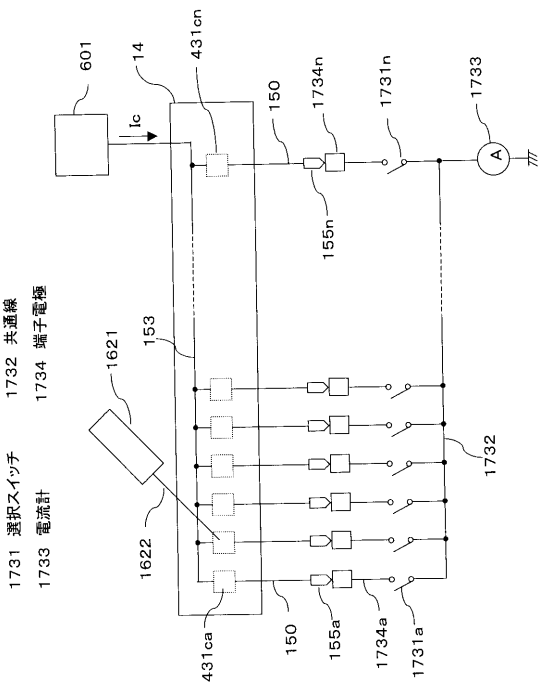
【図１７１】



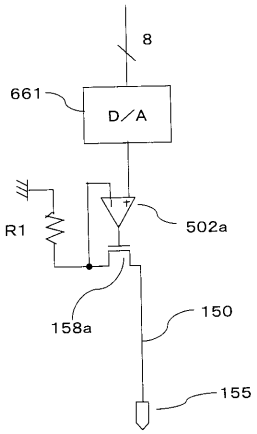
【図１７２】



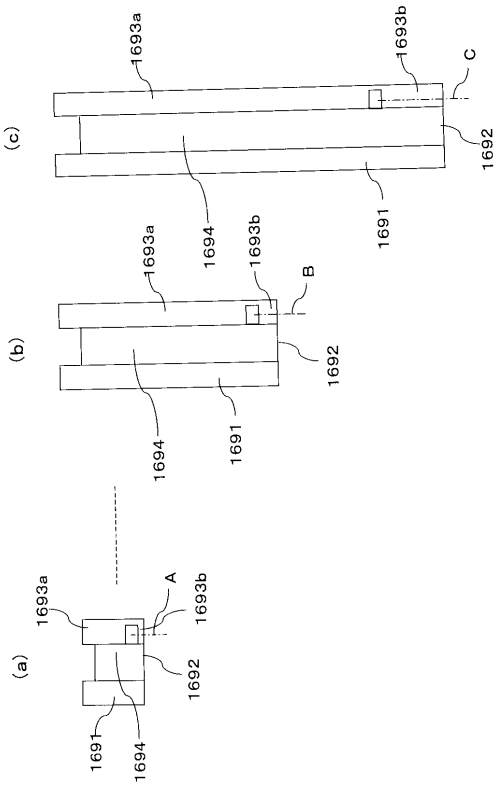
【図１７３】



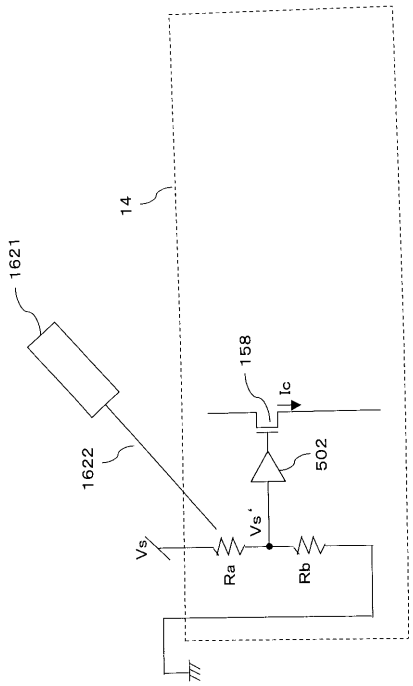
【図１７４】



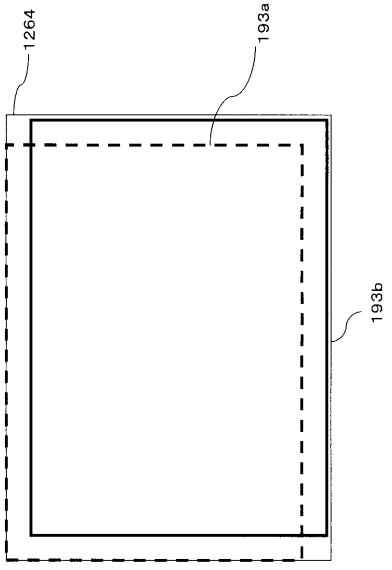
【図１７５】



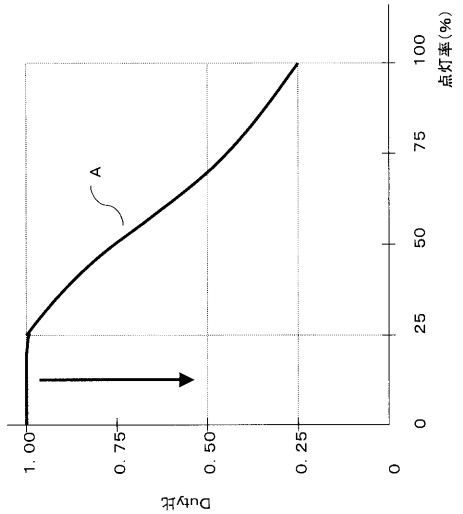
【図１７６】



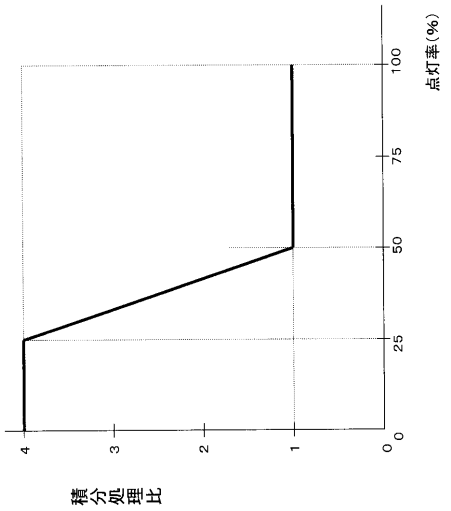
【図１７７】



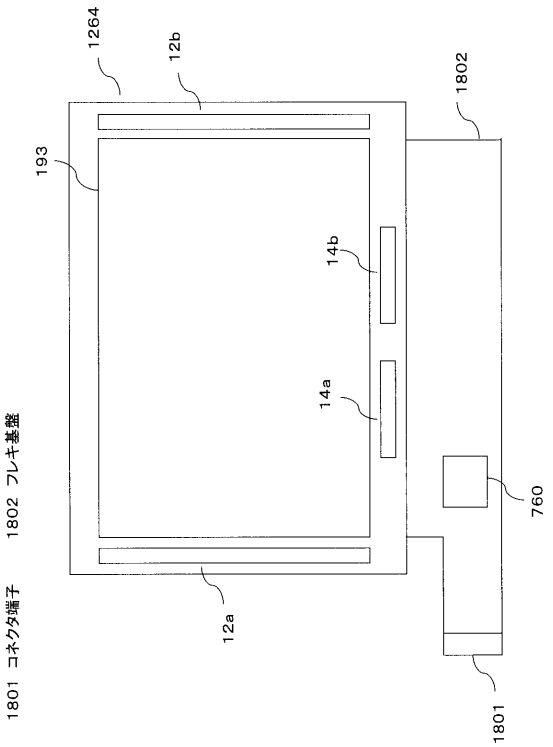
【図１７８】



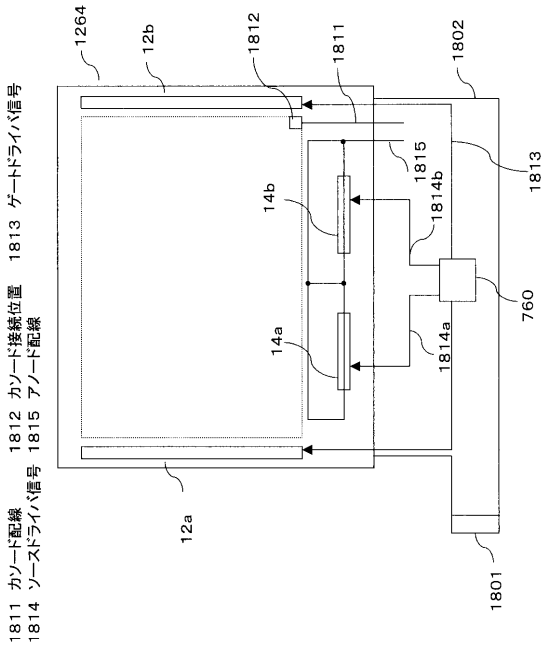
【図１７９】



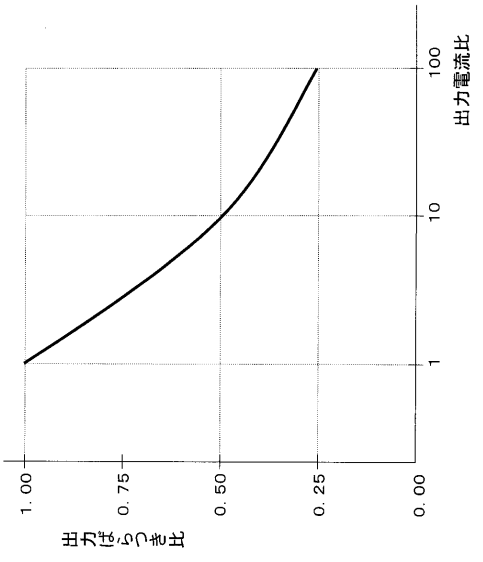
【図１８０】



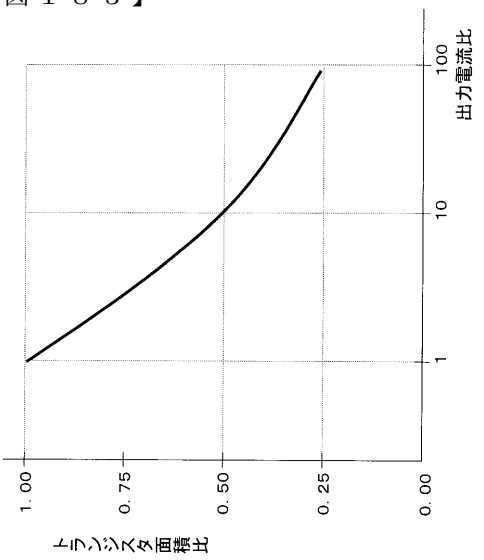
【図１８１】



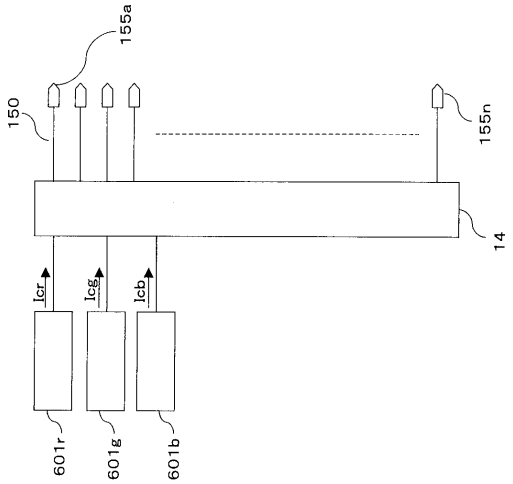
【図１８２】



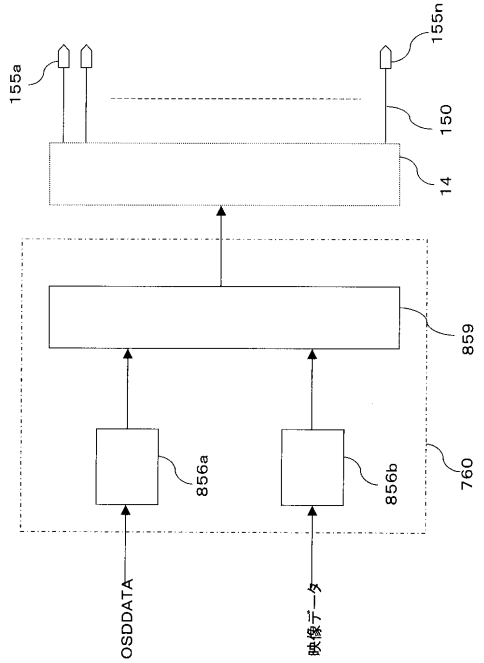
【図１８３】



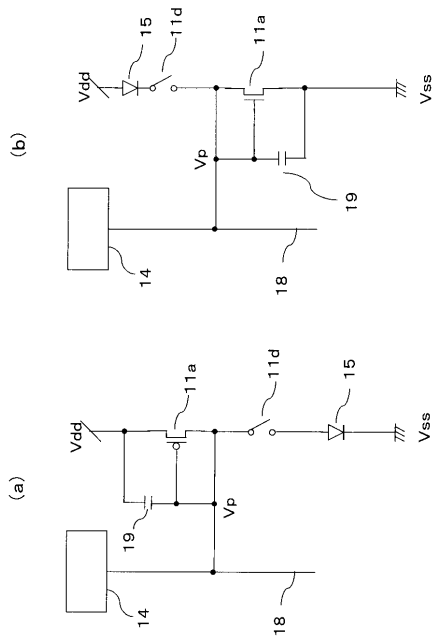
【図１８４】



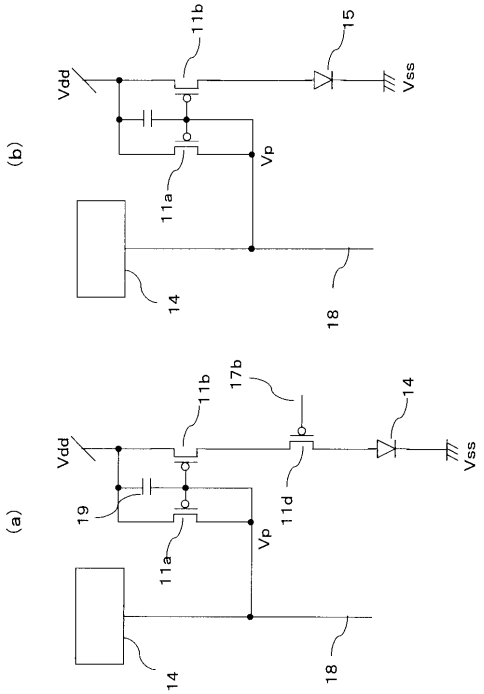
【図１８５】



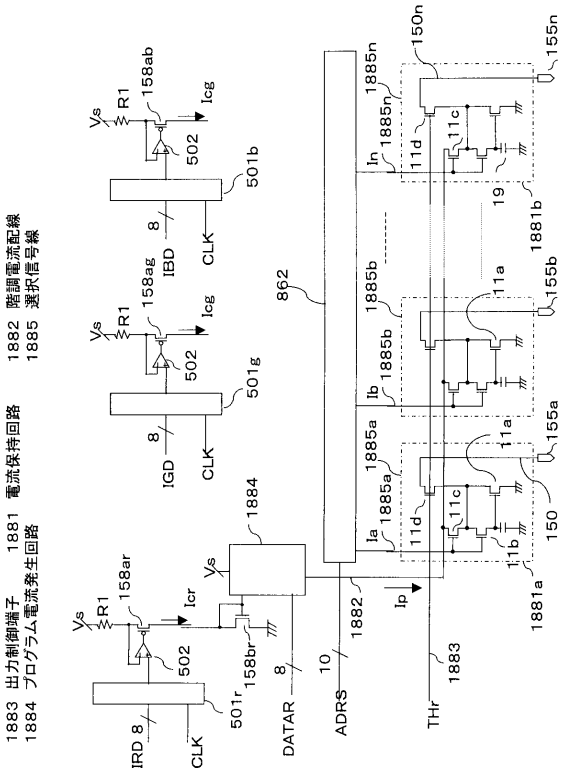
【図１８６】



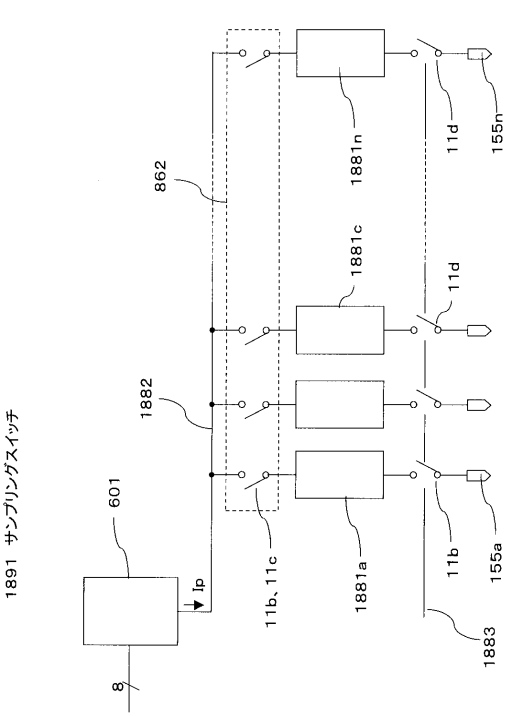
【図１８７】



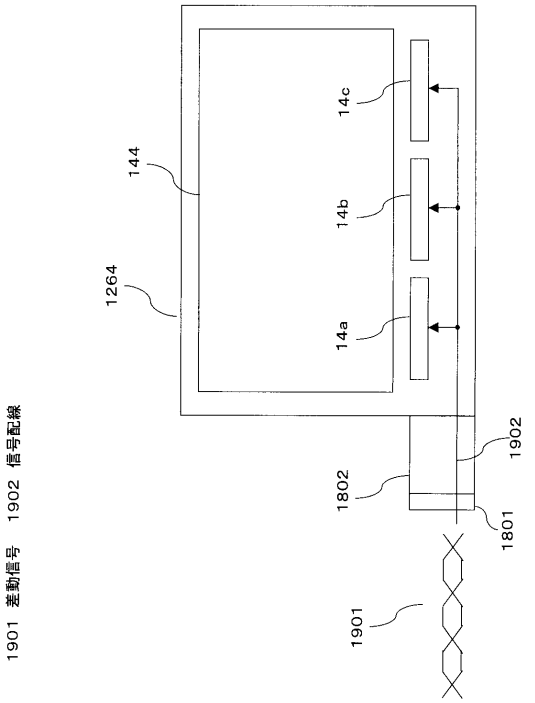
【図１８８】



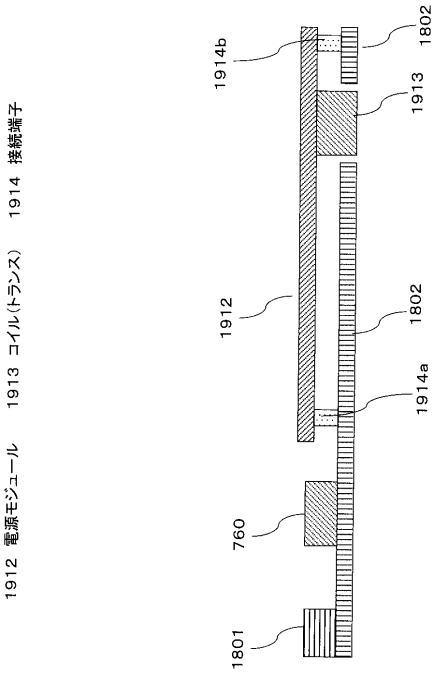
【図１８９】



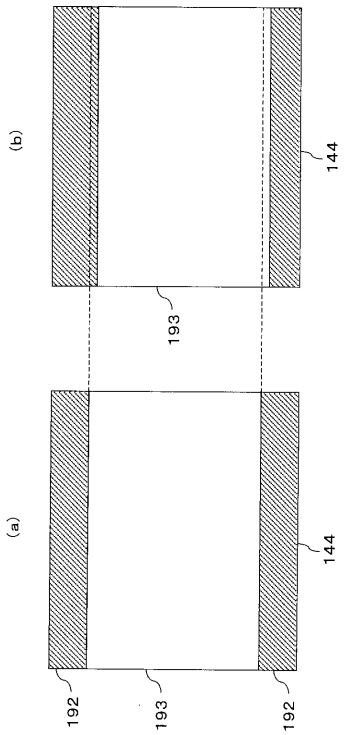
【図１９０】



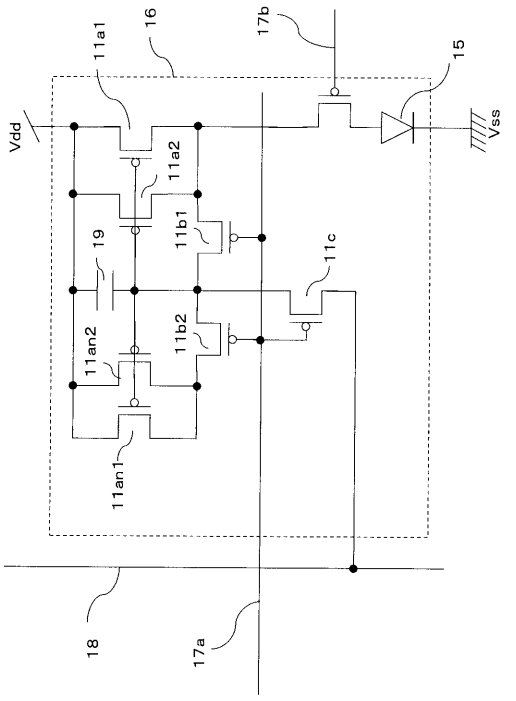
【図１９１】



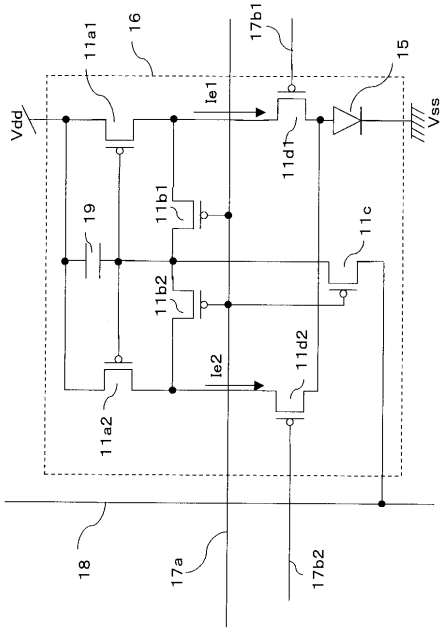
【図１９２】



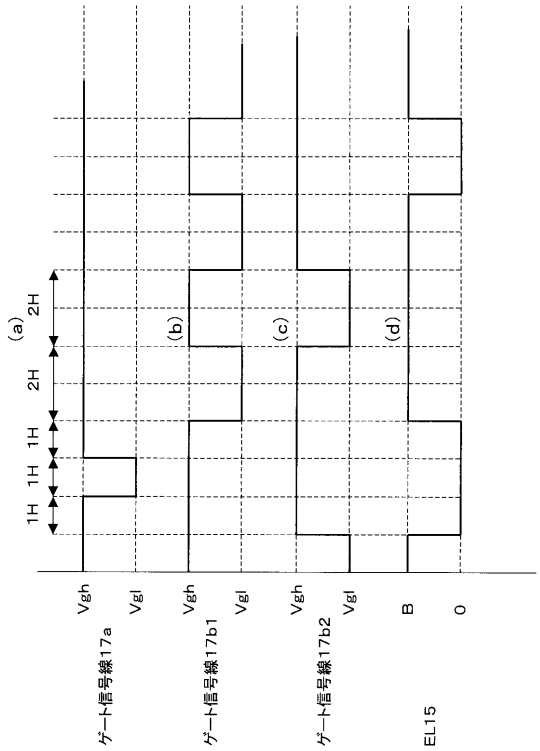
【図１９３】



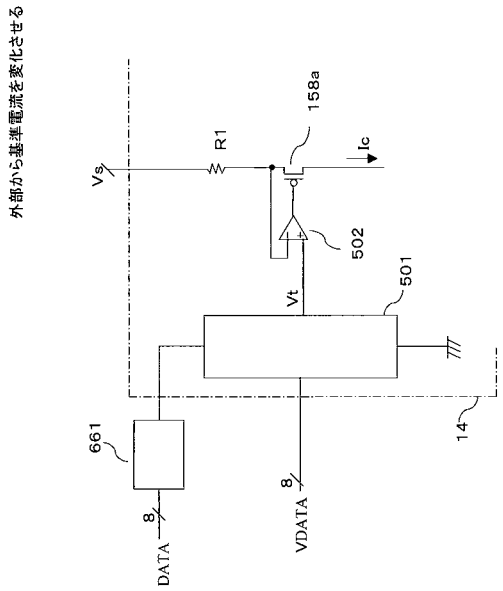
【図１９４】



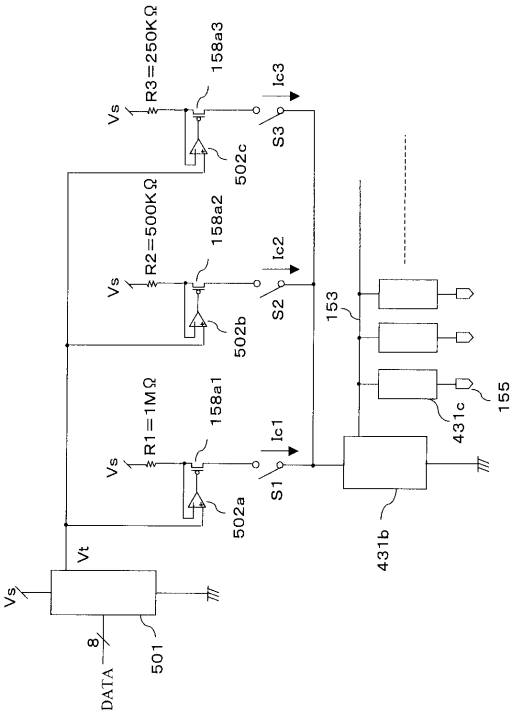
【図１９５】



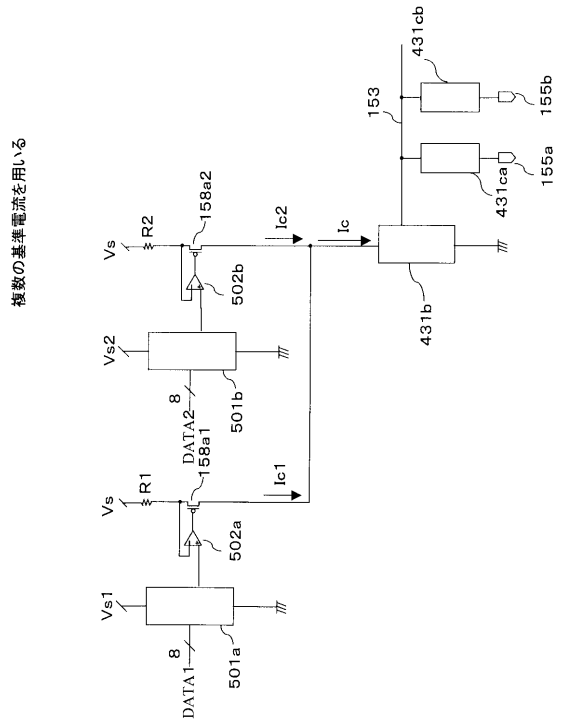
【図１９６】



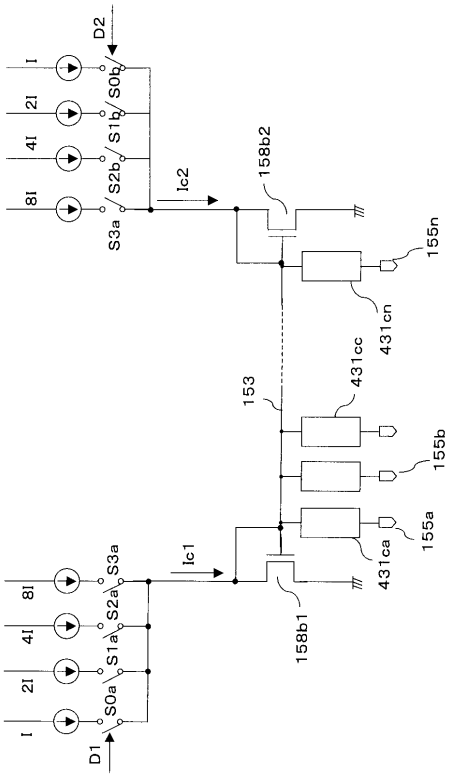
【図１９７】



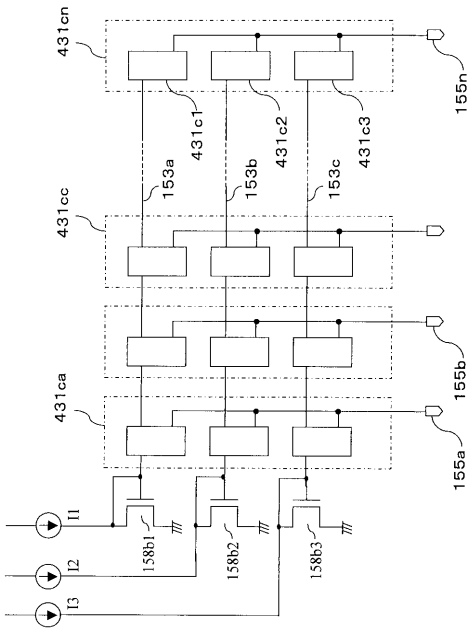
【図１９８】



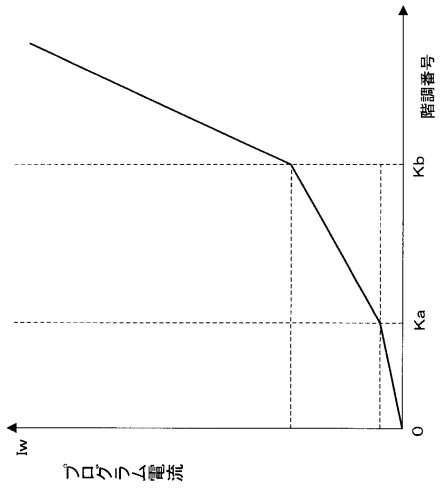
【図１９９】



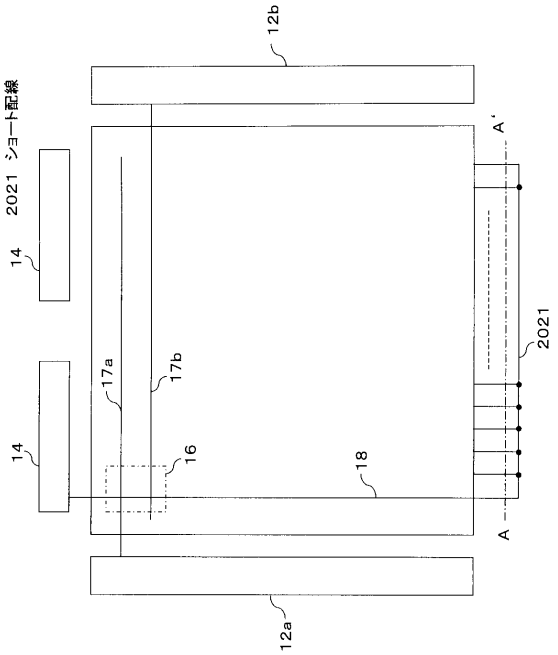
【図２００】



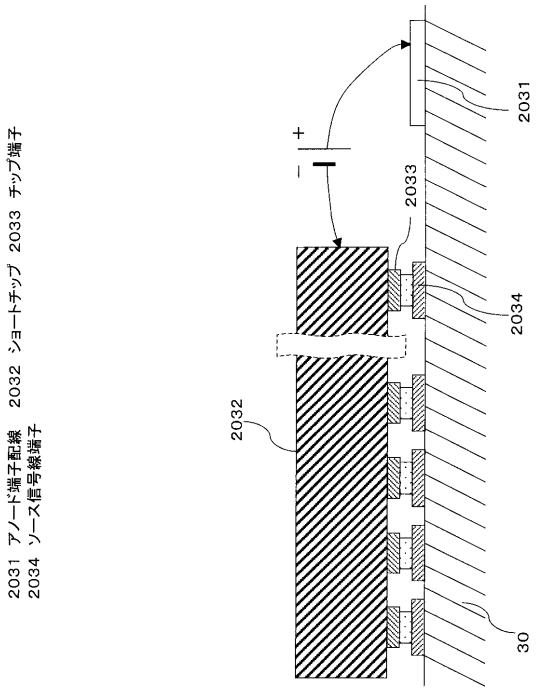
【図２０１】



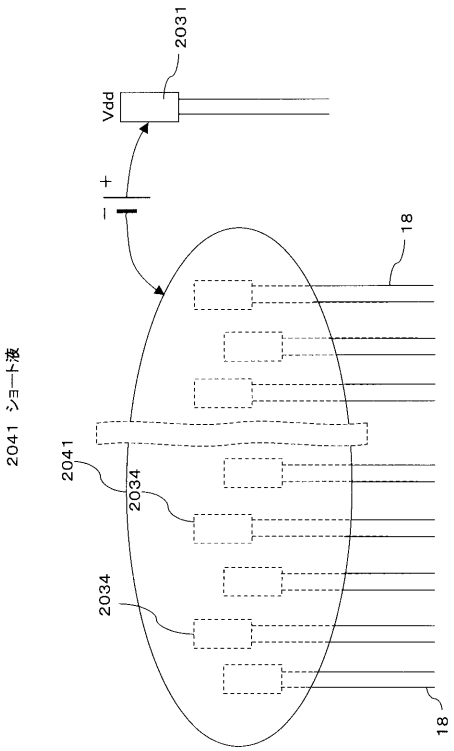
【図２０２】



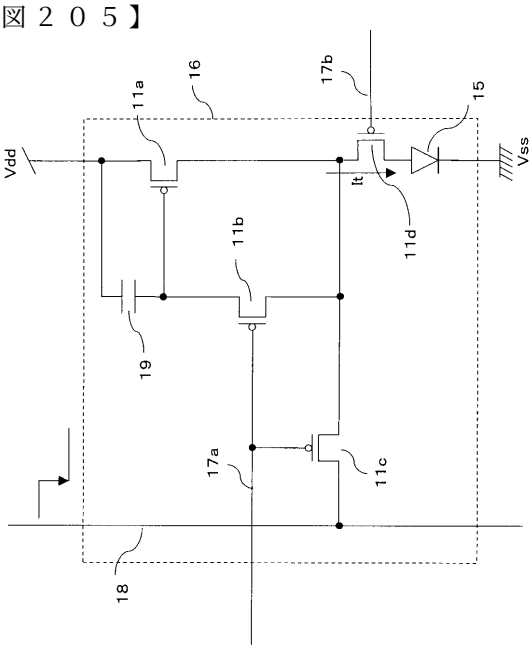
【図２０３】



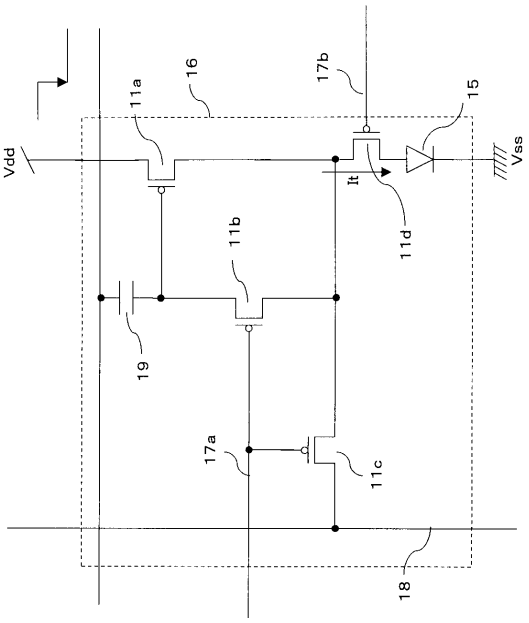
【図２０４】



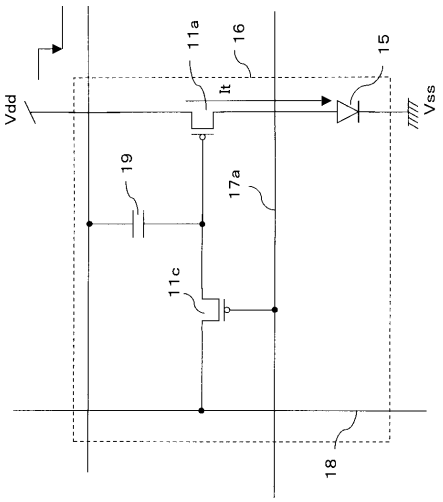
【図２０５】



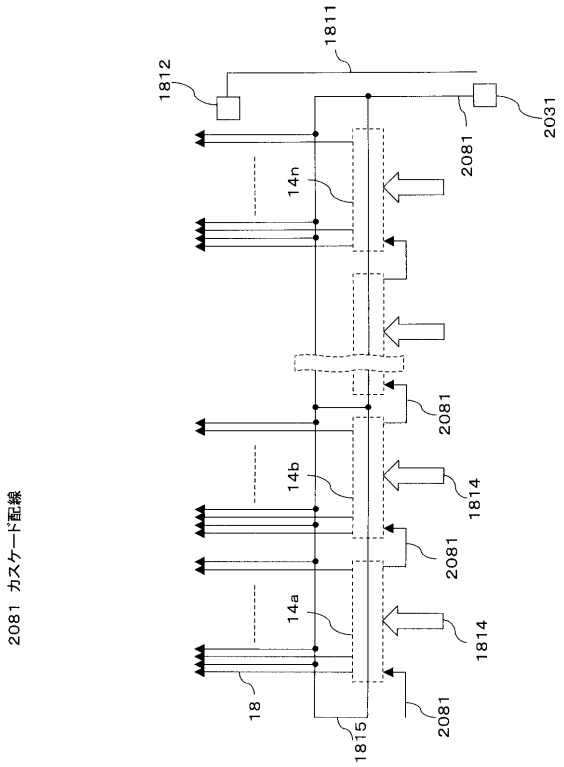
【図２０６】



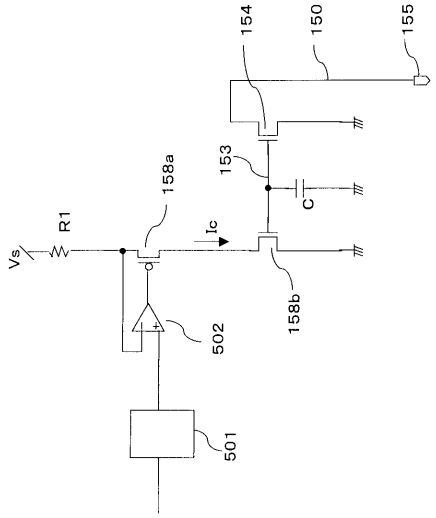
【図２０７】



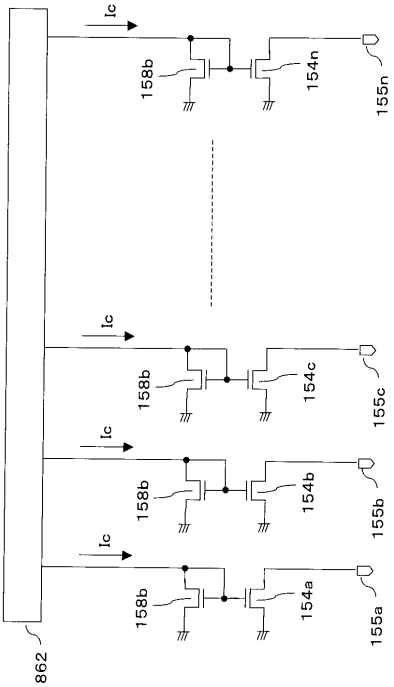
【図２０８】



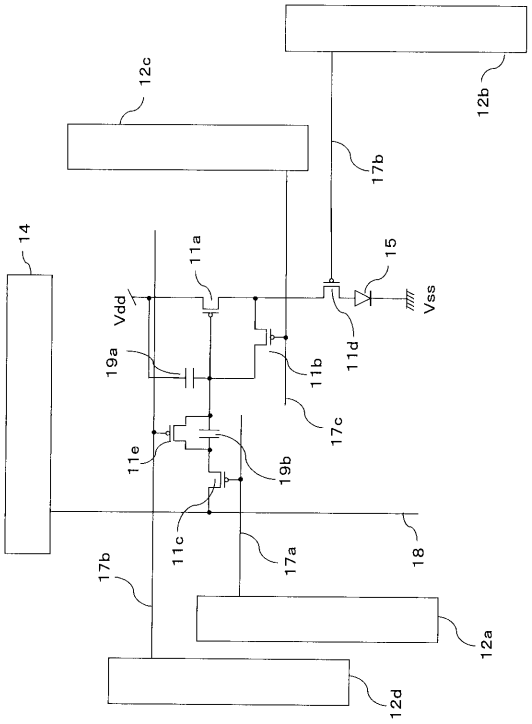
【図２０９】



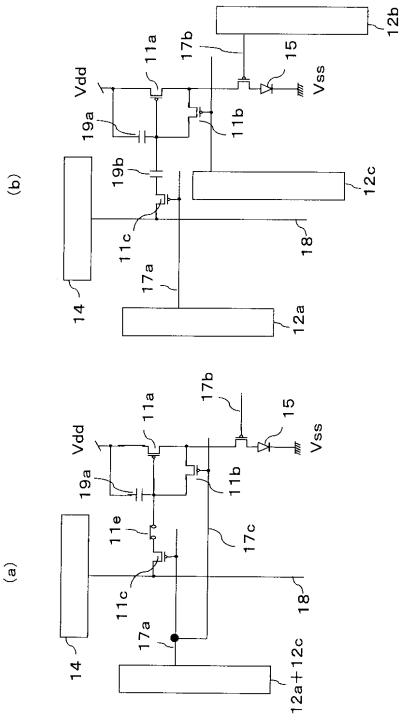
【図２１０】



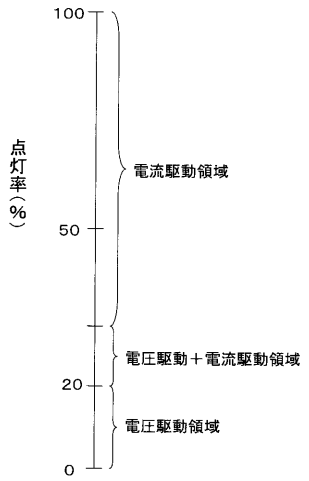
【図２１１】



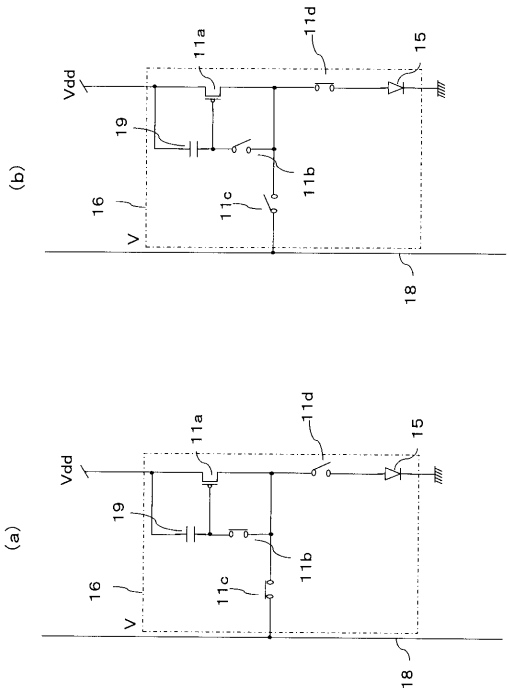
【図２１２】



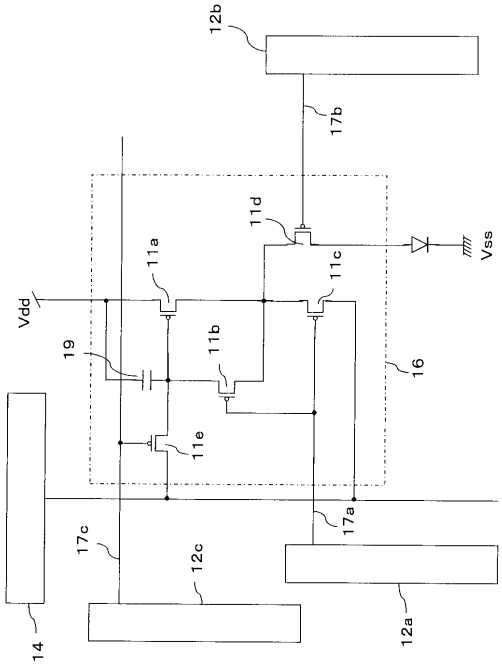
【図２１３】



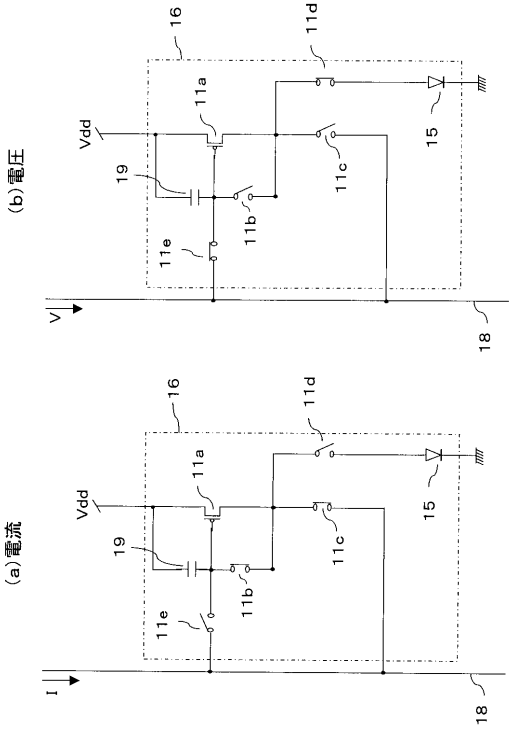
【図２１４】



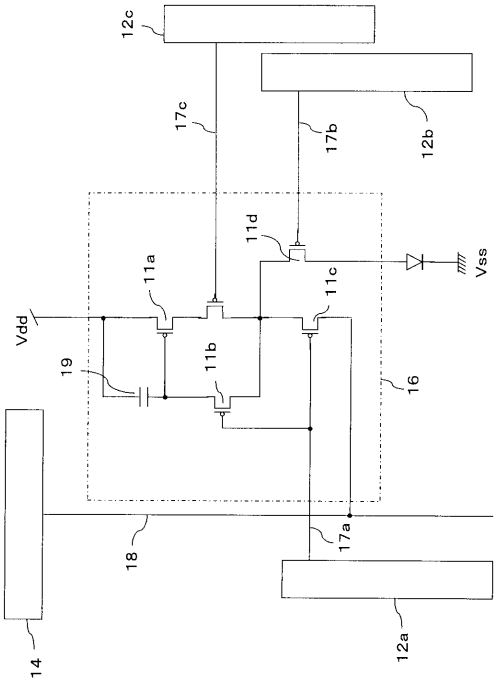
【図２１５】



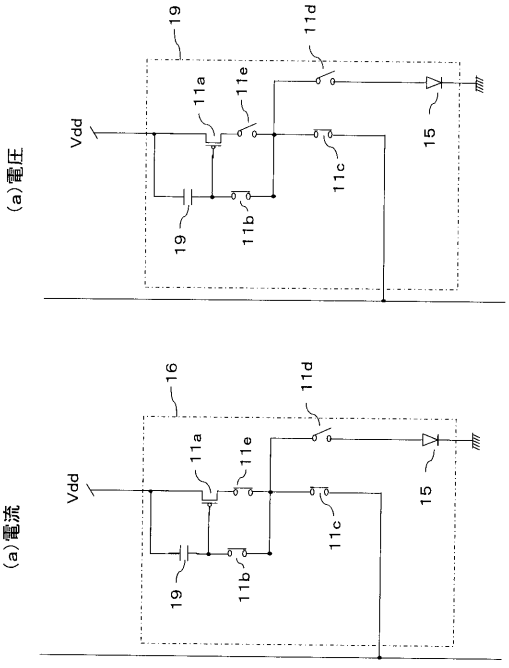
【図２１６】



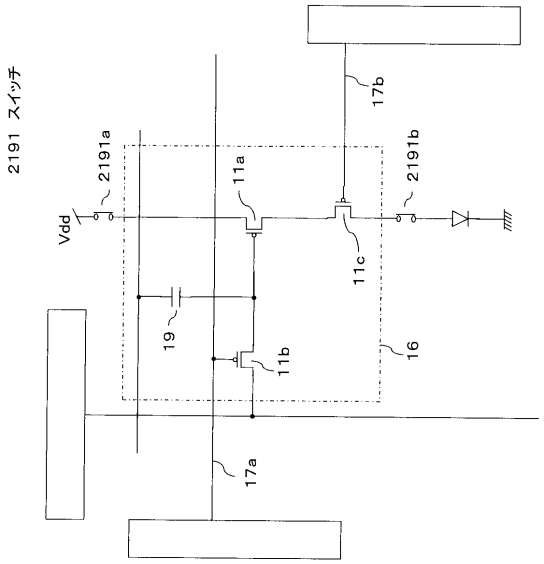
【図２１７】



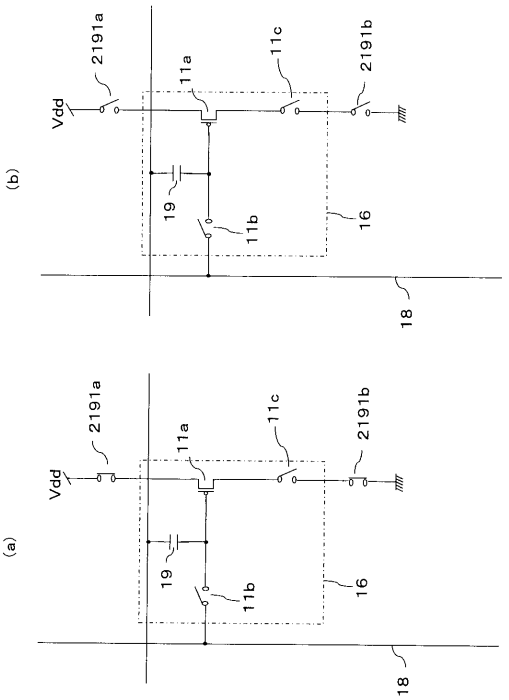
【図２１８】



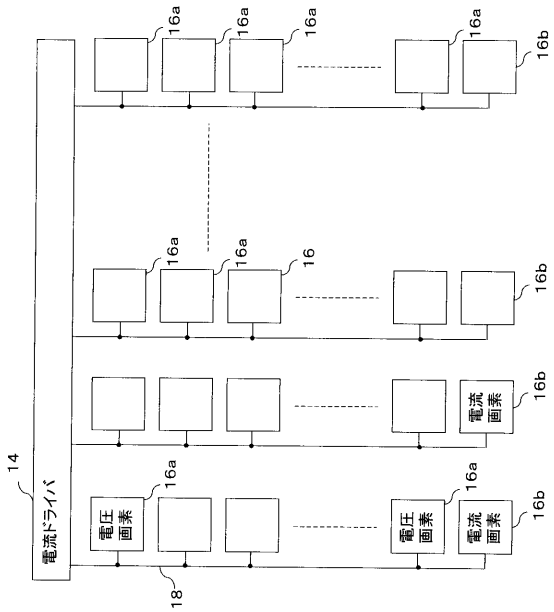
【図２１９】



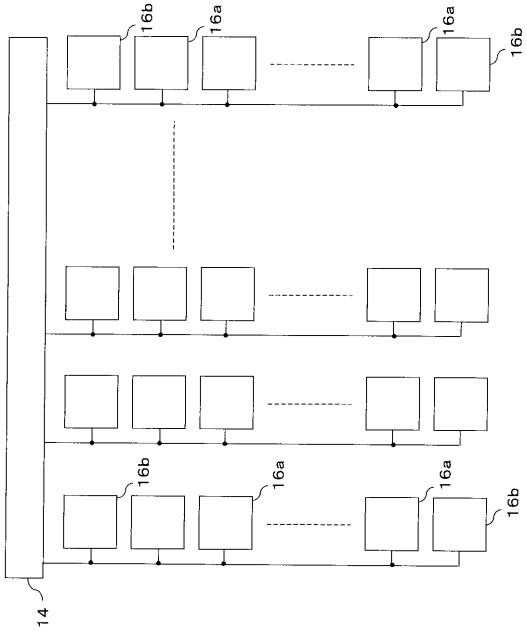
【図２２０】



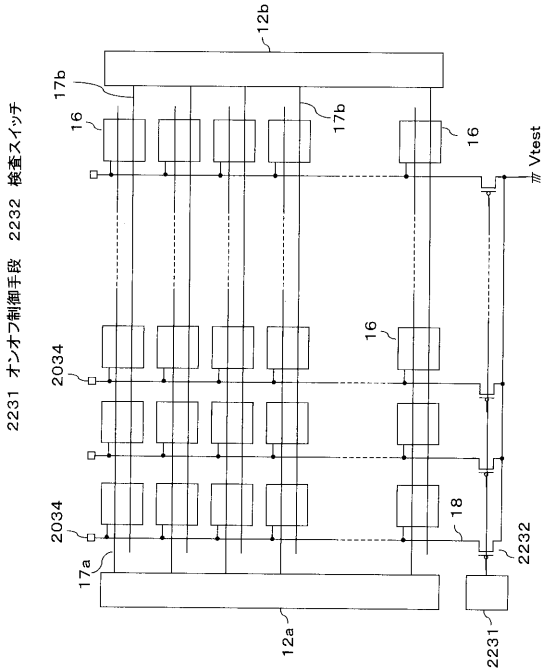
【図２２１】



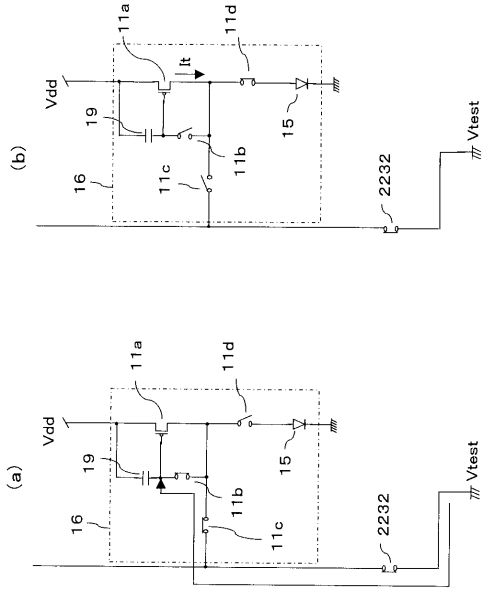
【図２２２】



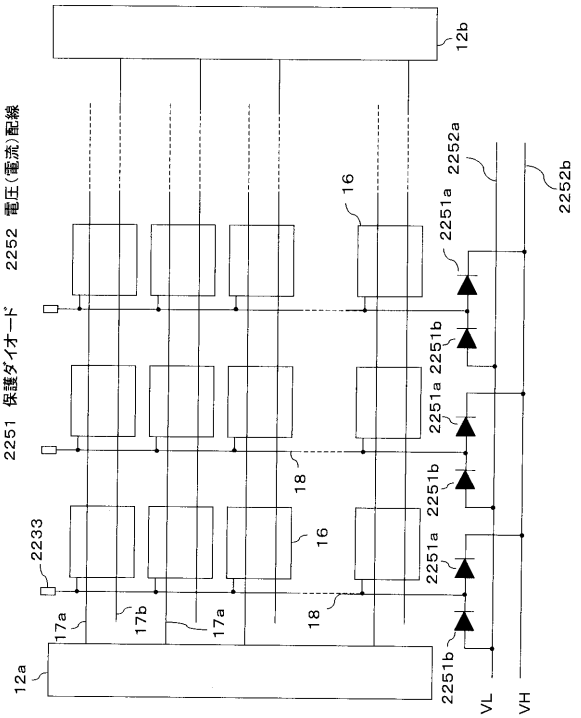
【図２２３】



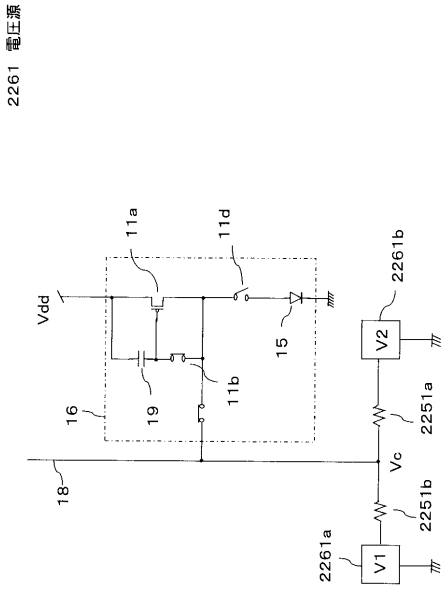
【図２２４】



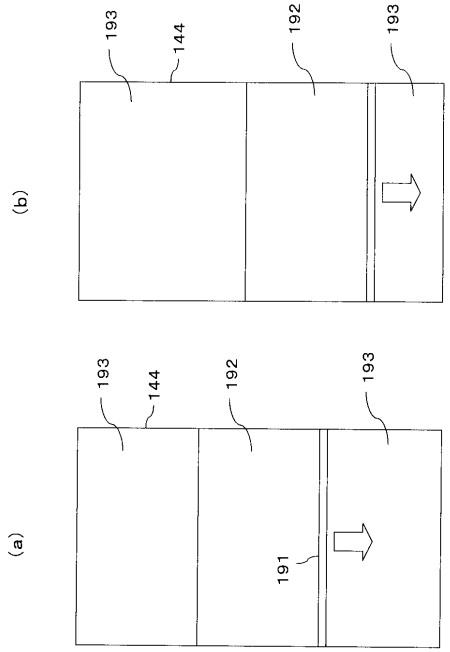
【図２２５】



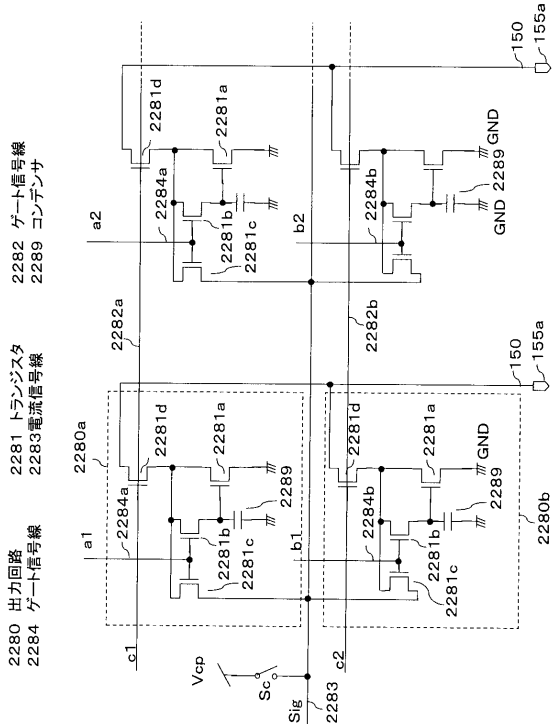
【図２２６】



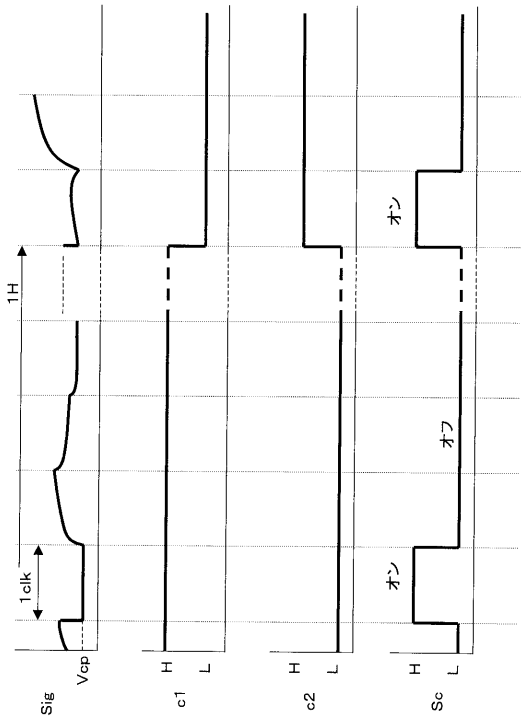
【図２２７】



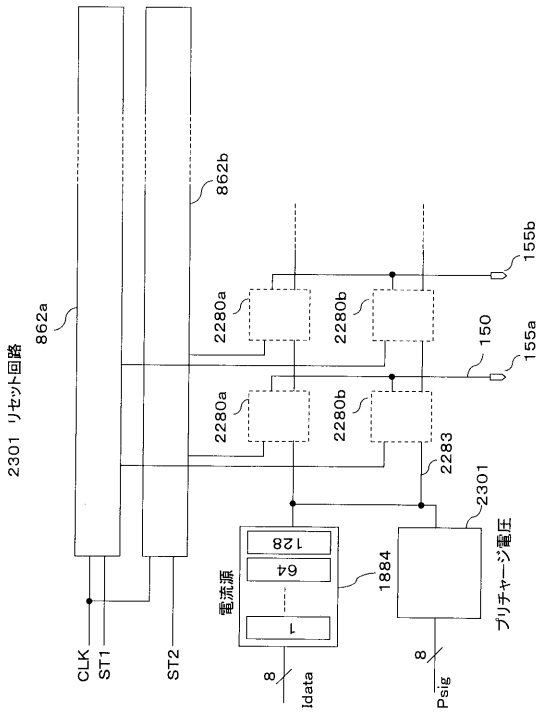
【図２２８】



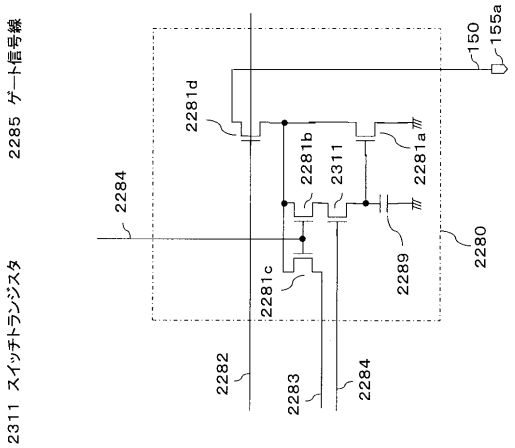
【図２２９】



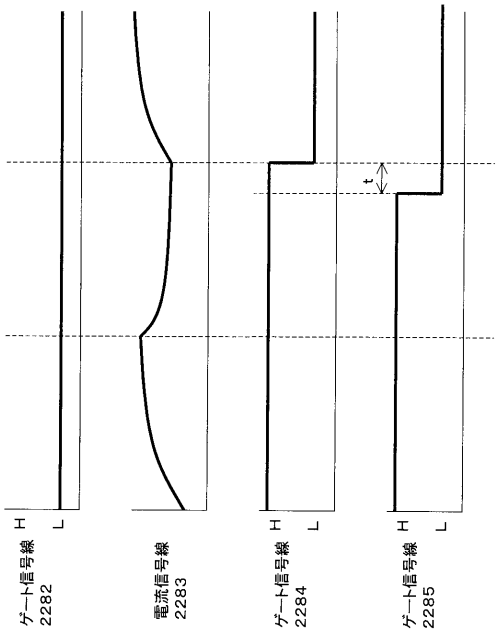
【図２３０】



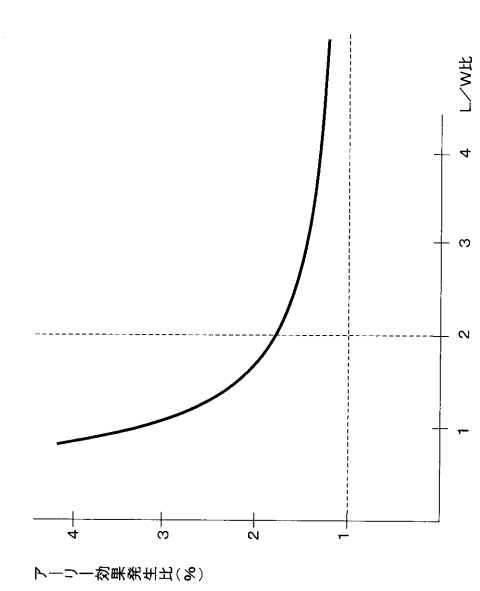
【図２３１】



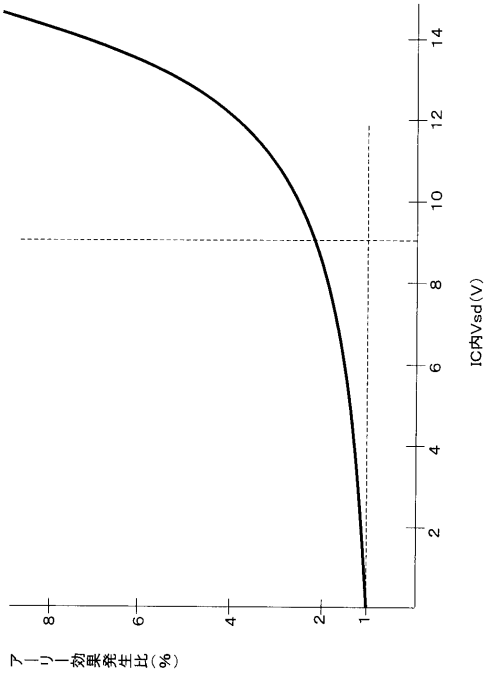
【図２３２】



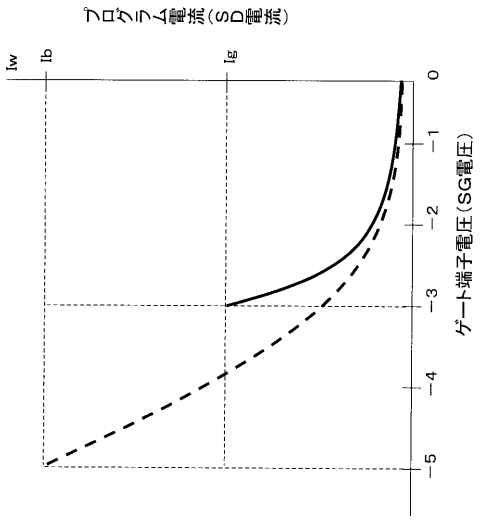
【図２３３】



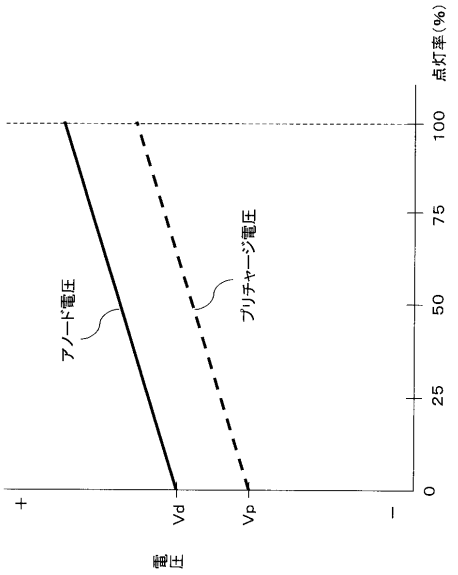
【図２３４】



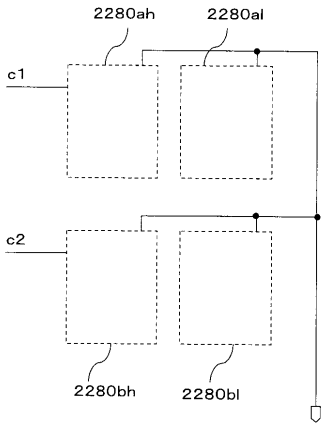
【図２３５】



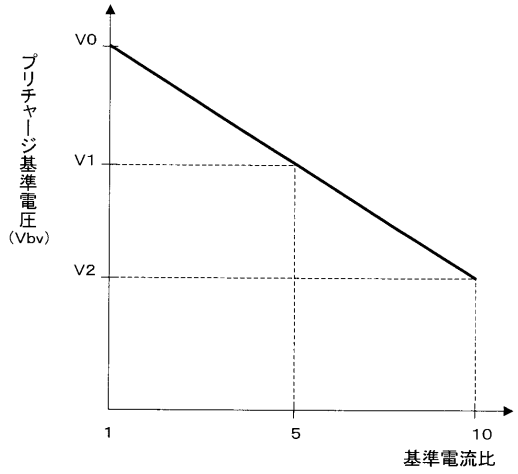
【図２３６】



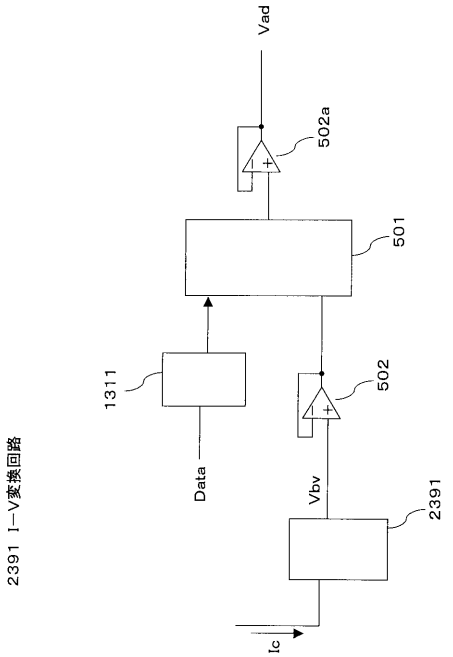
【図２３７】



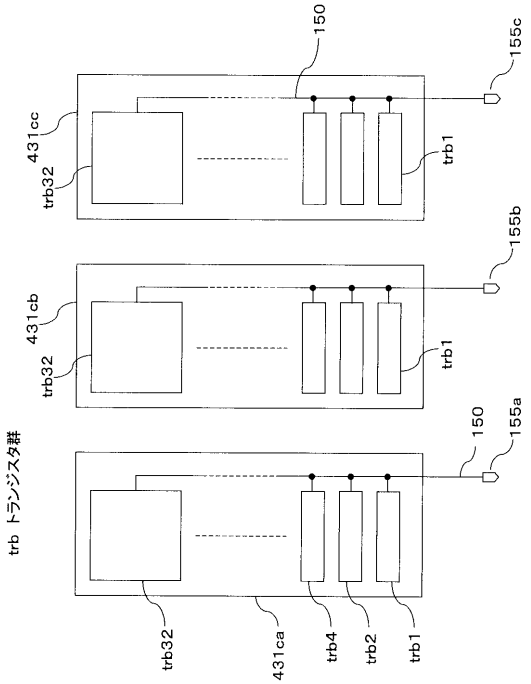
【図２３８】



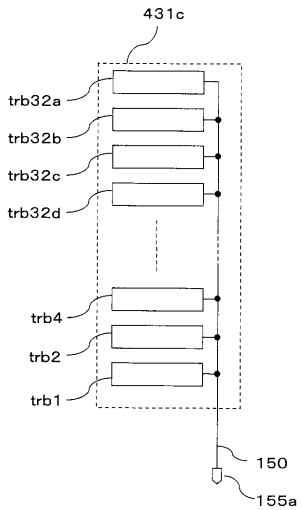
【図２３９】



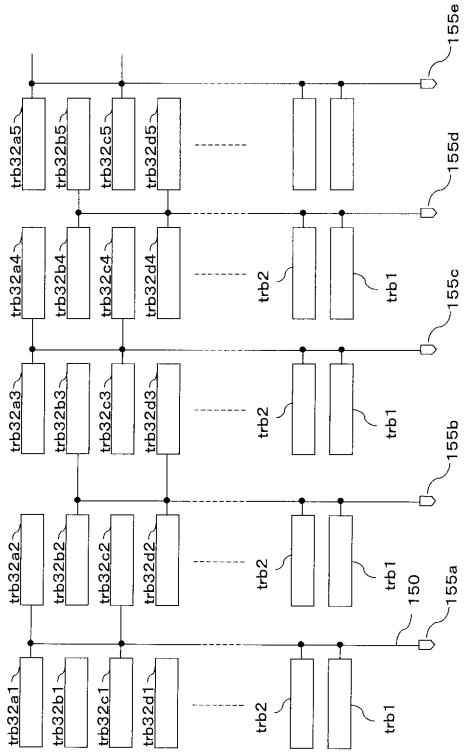
【図２４０】



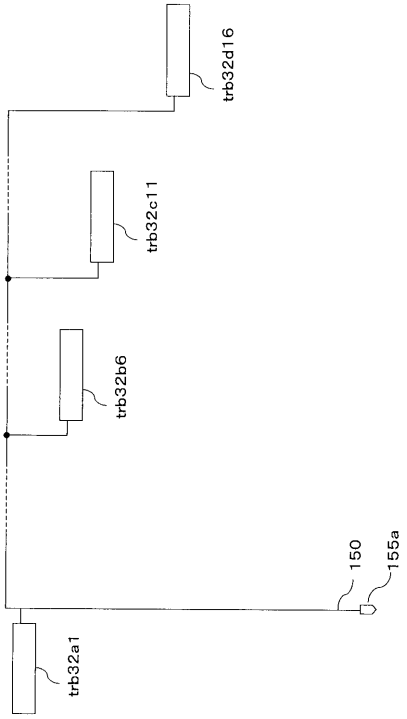
【図２４１】



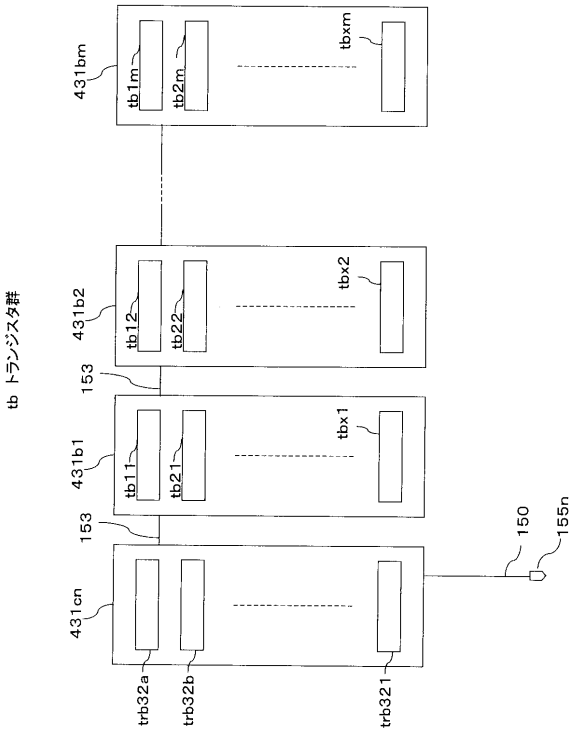
【図２４２】



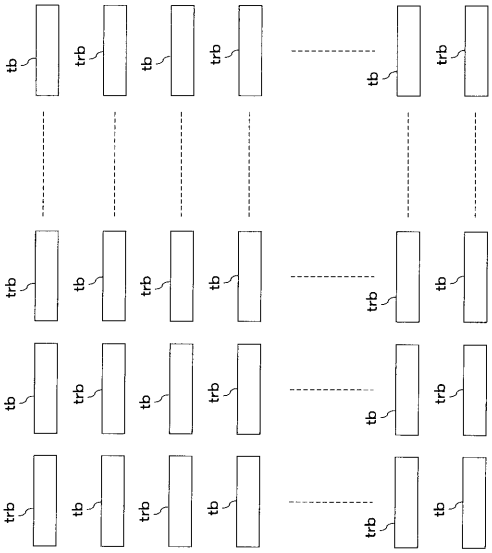
【図２４３】



【図２４４】



【図２４５】



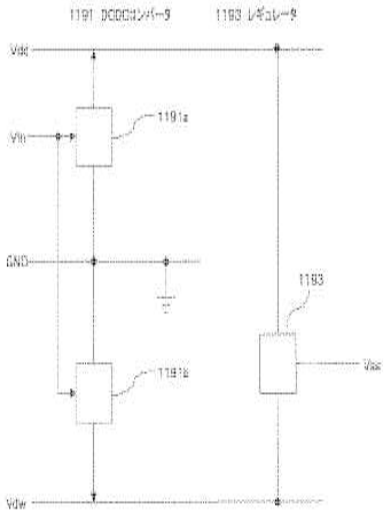
フロントページの続き

(51)Int.Cl.[7]	FI		テーマコード（参考）
	Ｇ０９Ｇ 3/20	６４２Ａ	
	Ｇ０９Ｇ 3/20	６４２Ｐ	
	Ｈ０５Ｂ 33/14	Ａ	

专利名称(译)	EL表示装置		
公开(公告)号	JP2005122076A	公开(公告)日	2005-05-12
申请号	JP2003360035	申请日	2003-10-20
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.642.P H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/DD27 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB35 5C380/AB37 5C380/AB43 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC10 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA10 5C380/BA12 5C380/BA17 5C380/BA19 5C380/BA24 5C380/BA25 5C380/BA28 5C380/BA29 5C380/BA37 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BA42 5C380/BA43 5C380/BA46 5C380/BA47 5C380/BA48 5C380/BB02 5C380/BB08 5C380/BB09 5C380/BB14 5C380/BB16 5C380/BB17 5C380/BB23 5C380/BB25 5C380/BC02 5C380/BC03 5C380/BC06 5C380/BC07 5C380/BC13 5C380/BC14 5C380/BC15 5C380/BD14 5C380/BE05 5C380/BE12 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA26 5C380/CA29 5C380/CA30 5C380/CA35 5C380/CA57 5C380/CB01 5C380/CB02 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB18 5C380/CB30 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC07 5C380/CC12 5C380/CC14 5C380/CC15 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC27 5C380/CC28 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD017 5C380/CD018 5C380/CE03 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CE08 5C380/CE22 5C380/CF07 5C380/CF08 5C380/CF12 5C380/CF18 5C380/CF19 5C380/CF26 5C380/CF27 5C380/CF32 5C380/CF41 5C380/CF42 5C380/CF46 5C380/CF48 5C380/CF49 5C380/CF51 5C380/CF56 5C380/CF67 5C380/CF68 5C380/DA06 5C380/DA09 5C380/DA12 5C380/DA16 5C380/DA39 5C380/DA47 5C380/DA58 5C380/FA03 5C380/FA06 5C380/FA11 5C380/FA12 5C380/FA13 5C380/FA16 5C380/FA24 5C380/FA25 5C380/GA02 5C380/GA05 5C380/GA08 5C380/GA18 5C380/HA11 5C380/HA13		
代理人(译)	松田 正道		
外部链接	Espacenet		

摘要(译)

种类代码：A1有机EL元件通过电流发光，因此存在当晶体管特性存在变化时发生显示不均匀的问题。 由DCDC转换器1191a从电池单元的电压Vin产生阳极电压Vdd。而且，参考电压Vdw由DCDC转换器1191b使用电压Vin产生。由调节器1193从阳极电压Vdd和参考电压Vdw产生阴极电压Vss。以EL显示板的矩阵形式形成的像素的P沟道晶体管基于阳极电压Vdd操作。当流过EL显示板的电流大时，阳极电压Vdd增加。当改变阳极电压Vdd时，阴极电压Vss也同时移位。 .The 119


1191 DCDCコンバータ
1193 レギュレータ
Vdd
Vin
1191a
GND
1193
1191b
Vss
Vdw