(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-55726
(P2005-55726A)
(43)公開日　平成17年3月3日(2005.3.3)

(51)Int.Cl.[7]	F I		テーマコード（参考）
G09G 3/30	G09G 3/30	H	3K007
G09G 3/20	G09G 3/20	611A	5C080
H05B 33/14	G09G 3/20	611H	
	G09G 3/20	612E	
	G09G 3/20	622C	

審査請求 未請求　請求項の数 1　ＯＬ　（全 344 頁）　最終頁に続く

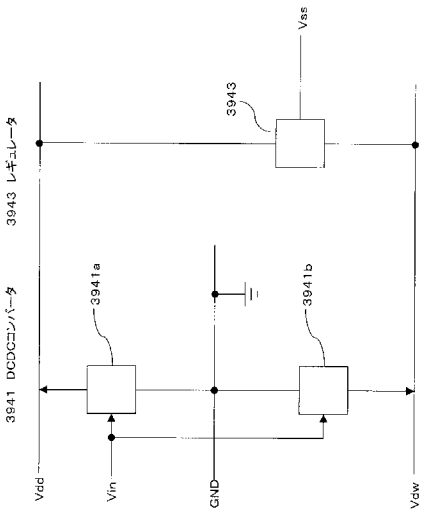
(21)出願番号　特願2003-287297(P2003-287297)
(22)出願日　平成15年8月6日(2003.8.6)

(71)出願人　302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南４－１－８
(74)代理人　100092794
弁理士　松田　正道
(72)発明者　高原　博司
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

Ｆターム(参考)　3K007 AB02 AB17 BA06 DB03 GA04
5C080 AA06 BB05 CC03 DD04 DD05
DD20 DD26 DD29 EE29 FF11
HH09 JJ01 JJ02 JJ03 JJ04
JJ05 JJ06 KK07 KK43

(54)【発明の名称】ＥＬ表示装置

(57)【要約】　（修正有）
【課題】　色むら発生を抑制し、低消費電力で小型軽量化が可能なＥＬ表示装置を提供する。
【解決手段】　アノード電圧Ｖｄｄは、バッテリー電池の電圧ＶｉｎからＤＣＤＣコンバータ３９４１ａにより発生する。また、基準電圧Ｖｄｗも電圧Ｖｉｎを用いてＤＣＤＣコンバータ３９４１ｂにより発生する。カソード電圧Ｖｓｓはアノード電圧Ｖｄｄと基準電圧Ｖｄｗからレギュレータ３９４３のより発生する。ＥＬ表示パネルのマトリックス状に形成された画素のＰチャンネルトランジスタは、アノード電圧Ｖｄｄを基準に動作する。ＥＬ表示パネルに流れる電流が大きい時は、アノード電圧Ｖｄｄを高くする。アノード電圧Ｖｄｄを変化させる時は、カソード電圧Ｖｓｓも連動させてシフトさせる。
【選択図】　図３９４



【特許請求の範囲】
【請求項１】
マトリックス状に配置されたＥＬ素子と、
前記ＥＬ素子を駆動する駆動用トランジスタと、
表示パネルのアノード電圧とカソード電圧を発生する電源回路と、
前記表示パネルの全ＥＬ素子に流れる電流に対応する値を演算または測定する電流モニター回路と、
電圧制御回路とを具備し、
前記電圧制御回路は、前記電流モニター回路の出力により、前記アノード電圧を変化させ、同時にアノード電圧の変化方向に、前記カソード電圧も変化させるＥＬ表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、有機または無機エレクトロルミネッセンス（ＥＬ）素子を用いたＥＬ表示パネルなどの自発光表示パネルに関するものである。また、これらの表示パネルなどの駆動回路（ＩＣ）に関するものである。ＥＬ表示パネルなどの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。
【背景技術】
【０００２】
一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置は画素に書き込まれる電流に応じて発光輝度が変化する。
【０００３】
液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機ＥＬ表示パネルは各画素に発光素子を有する自発光型である。そのため、有機ＥＬ表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。
【０００４】
有機ＥＬ表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。
【０００５】
有機ＥＬ表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（トランジスタ）によって制御する。
【０００６】
このアクティブマトリクス方式の有機ＥＬ表示パネルの一画素分の等価回路を図４６に示す（たとえば、特許文献１参照）。画素１６は発光素子であるＥＬ素子１５、第１のトランジスタ１１ａ、第２のトランジスタ１１ｂおよび蓄積容量１９からなる。発光素子１５は有機エレクトロルミネッセンス（ＥＬ）素子である。本発明では、ＥＬ素子１５に電流を供給（制御）するトランジスタ１１ａを駆動用トランジスタ１１と呼ぶ。また、図４６のトランジスタ１１ｂのように、スイッチとして動作するトランジスタをスイッチ用トランジスタ１１と呼ぶ。

【０００７】
有機ＥＬ素子１５は多くの場合、整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがある。図４６などでは発光素子１５としてダイオードの記号を用いている。
【０００８】
ただし、本発明における発光素子１５はＯＬＥＤに限るものではなく、素子１５に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機ＥＬ素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、発光素子１５は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。本発明のＥＬ素子１５はこのいずれでもよい。
【０００９】
図４６の例では、Ｐチャンネル型のトランジスタ１１ａのソース端子（Ｓ）をＶｄｄ（電源電位）とし、ＥＬ素子１５のカソード（陰極）は接地電位（Ｖｓｓ）に接続される。一方、アノード（陽極）はトランジスタ１１ｂのドレイン端子（Ｄ）に接続されている。一方、Ｐチャンネル型のトランジスタ１１ａのゲート端子はゲート信号線１７ａに接続され、ソース端子はソース信号線１８に接続され、ドレイン端子は蓄積容量１９およびトランジスタ１１ａのゲート端子（Ｇ）に接続されている。
【００１０】
画素１６を動作させるために、まず、ゲート信号線１７ａを選択状態とし、ソース信号線１８に輝度情報を表す映像信号を印加する。すると、トランジスタ１１ａが導通し、蓄積容量１９が充電又は放電され、トランジスタ１１ｂのゲート電位は映像信号の電位に一致する。ゲート信号線１７ａを非選択状態とすると、トランジスタ１１ａがオフになり、トランジスタ１１ｂは電気的にソース信号線１８から切り離される。しかし、トランジスタ１１ａのゲート電位は蓄積容量（コンデンサ）１９によって安定に保持される。トランジスタ１１ａを介して発光素子１５に流れる電流は、トランジスタ１１ａのゲート／ソース端子間電圧Ｖｇｓに応じた値となり、発光素子１５はトランジスタ１１ａを通って供給される電流量に応じた輝度で発光し続ける。
【特許文献１】特開平８－２３４６８３号公報
【発明の開示】
【発明が解決しようとする課題】
【００１１】
液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示パネルの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルターを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。
【００１２】
有機ＥＬ表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機ＥＬ素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。
【００１３】
表示ムラは、画素を電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。
【課題を解決するための手段】
【００１４】
この目的を達成するために本発明のＥＬ表示パネル（ＥＬ表示装置）のドライバ回路は、

単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、多段のカレントミラー回路で構成されたことを特徴としている。信号の受け渡しが電圧受け渡しとなるトランジスタ群は密に形成し、カレントミラー回路の群との信号の受け渡しは、電流受け渡しの構成を採用する。また、基準電流は、複数のトランジスタで行う。

【発明の効果】

【００１５】

本発明のソースドライバ回路は、カントミラー回路を構成するトランジスタが隣接するように形成しているので、しきい値のずれによる出力電流のばらつきが小さく。したがって、ＥＬ表示パネルの輝度むらの発生を抑制することが可能となり、その実用的効果は大きい。

【００１６】

また、本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【００１７】

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【発明を実施するための最良の形態】

【００１８】

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図１１に図示する表示パネルの断面図では薄膜封止膜１１１などを十分厚く図示している。一方、図１０において、封止フタ８５は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【００１９】

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図８の表示パネルにタッチパネルなどを付加し、図１５７、図１５９から図１６１に図示する情報表示装置とすることができる。また、拡大レンズ１５８２を取り付け、ビデオカメラ（図１５９など参照のこと）などに用いるビューファインダ（図５８を参照のこと）を構成することもできる。

【００２０】

また、図４、図１５、図１８、図２１、図２３、図２９、図３０、図３５、図３６、図４０、図４１、図４４、図１００～図１１０、図１２５～図１３１、図１３３～図１４６、図１９７～図２０５、図２３４～図２４４、図２５５～図２６４、図２７６～図３０２、図３２７～図３３６、図３５５～図３５８、図３６２～図３７３、図３８１¯図３８４、図３８６、図３９６～図３９８、図４０４～図４０６などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。

【００２１】

なお、本明細書では、駆動用トランジスタ１１、スイッチング用トランジスタ１１は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもものでもよい。基板７１をシリコンウエハで形成すればよい。もちろん、ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。つまり、本発明のトランジスタ素子１１、ゲー

トドライバ回路１２、ソースドライバ回路１４などは、これらのいずれでも使用することができる。

【００２２】

以下、本発明のＥＬパネルについて図面を参照しながら説明をする。有機ＥＬ表示パネルは、図１０に示すように、画素電極としての透明電極１０５が形成されたガラス板７１（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも１層の有機機能層（ＥＬ層）１５、及び金属電極（反射膜）（カソード）１０６が積層されたものである。透明電極（画素電極）１０５である陽極（アノード）にプラス、金属電極（反射電極）１０６の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極１０５及び金属電極１０６間に直流を印加することにより、有機機能層（ＥＬ層）１５が発光する。

【００２３】

金属電極１０６には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばＡｌ－Ｌｉ合金を用いることが好ましい。また、透明電極１０５には、ＩＴＯ等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ＩＴＯはＩＺＯなどの他の材料でもよい。この事項は他の画素電極１０５に対しても同様である。

【００２４】

なお、封止フタ８５とアレイ基板７１との空間には乾燥剤１０７を配置する。これは、有機ＥＬ膜１５は湿度に弱いためである。乾燥剤１０７によりシール剤を浸透する水分を吸収し有機ＥＬ膜１５の劣化を防止する。

【００２５】

ＥＬ表示パネル（ＥＬ表示装置）の課題として、パネル内部で発生するハレーションを原因とするコントラスト低下がある。ＥＬ素子１５（画素１６）から発生した光がパネル内部に閉じ込められ乱反射するために発生する。

【００２６】

この課題を解決するために、本発明では、図３８８に図示するように、画像表示に非有効な表示領域（無効領域）に光吸収膜３８８１を形成または配置している。光吸収膜３８８１を形成することにより、画素１６から発生した光（光の軌跡３８８２で示す）が基板７１などで乱反射し、発生するハレーションによる表示コントラスト低下を抑制することができる。

【００２７】

なお、無効領域とは、基板７１あるいはフタ８５の側面、基板７１かつ表示領域以外（たとえば、ゲートドライバ１２が形成された領域など）、フタ８５の全面（下取り出しの場合）などである。

【００２８】

図３８８に図示するように、基板７１内で乱反射する光３８８３が光吸収膜３８８１で吸収される。封止フタ８５を黒色材料などで形成することも有効である。

【００２９】

図３８８（ａ）はパネル端部を斜め形状に形成あるいは構成している。斜め形状に形成あるいは構成することにより光吸収膜３８８１の形成面積を広くすることができる。したがって、パネルの基板７１内でハレーションする光（光の軌跡３８８２）を効率より吸収することができ、表示コントラストを向上できる。

【００３０】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成されたＰｒＭ

ｎＯ3膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【００３１】

以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な１種、もしくはそれらのうち２種類以上の組み合わせでも良い。

【００３２】

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

【００３３】

以上の事項は、図１１などの構成にも適用することができることは言うまでもない。

【００３４】

図１０はガラスのフタ８５を用いて封止する構成であるが、図１１のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）１１１を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）１１１としては電解コンデンサのフィルムにＤＬＣ（ダイヤモンド　ライク　カーボン）を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜１１１として用いる。また、ＤＬＣ（ダイヤモンド　ライク　カーボン）膜などを電極１０６の表面に直接蒸着する構成ものよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【００３５】

薄膜の膜厚はｎ・ｄ（ｎは薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜のｎ・ｄを計算）にして計算する。ｄは薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、ＥＬ素子１５の発光主波長λ以下となるようにするとよい。この条件を満足させることにより、ＥＬ素子１５からの光取り出し効率が、ガラス基板で封止した場合に比較して２倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【００３６】

以上のようにフタ８５を用いず、封止膜１１１で封止する構成を薄膜封止と呼ぶ。基板７１側から光を取り出す「下取り出し（図１０を参照、光取り出し方向は図１０の矢印方向である）」の場合の薄膜封止は、ＥＬ膜を形成後、ＥＬ膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は１μｍ以上１０μｍ以下の厚みが適する。さらに好ましくは、膜厚は２μｍ以上６μｍ以下の厚みが適する。この緩衝膜上の封止膜７４を形成する。緩衝膜がないと、応力によりＥＬ膜の構造が崩れ、筋状に欠陥が発生する。封止膜１１１は前述したように、ＤＬＣ（ダイヤモンド　ライクカーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【００３７】

ＥＬ層１５側から光を取り出す「上取り出し図１１を参照、光取り出し方向は図１１の矢印方向である」の場合の薄膜封止は、ＥＬ膜１５を形成後、ＥＬ膜１５上にカソード（アノード）となるＡｇ－Ｍｇ膜を２０オングストローム以上３００オングストロームの膜厚で形成する。その上に、ＩＴＯなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜１１１を形成する。

【００３８】

有機ＥＬ層１５から発生した光の半分は、反射膜１０６で反射され、アレイ基板７１と透過して出射される。しかし、反射膜１０６には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板７１にλ／４板１０８および偏光板（偏光フィルム）１０９を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

【００３９】

なお、画素が反射電極の場合はＥＬ層１５から発生した光は上方向に出射される。したがって、位相板１０８および偏光板１０９は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極１０５を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極１０５の表面に、凸部（もしくは凹凸部）を設けることで有機ＥＬ層１５との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード１０６（アノード１０５）となる反射膜を透明電極に形成する、あるいは反射率を３０％以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【００４０】

トランジスタ１１はＬＤＤ（ｌｉｇｈｔｌｙ　ｄｏｐｅｄ　ｄｒａｉｎ）構造を採用することが好ましい。また、本明細書ではＥＬ素子として有機ＥＬ素子（ＯＥＬ、ＰＥＬ、ＰＬＥＤ、ＯＬＥＤなど多種多様な略称で記述される）１５を例にあげて説明するがこれに限定するものではなく、無機ＥＬ素子にも適用されることは言うまでもない。

【００４１】

まず、有機ＥＬ表示パネルに用いられるアクティブマトリックス方式は、
特定の画素を選択し、必要な表示情報を与えられること。
１フレーム期間を通じてＥＬ素子に電流を流すことができることという２つの条件を満足させなければならない。

【００４２】

この２つの条件を満足させるため、図４６に図示する従来の有機ＥＬの画素構成では、第１のトランジスタ１１ｂは画素を選択するためのスイッチング用トランジスタ、第２のトランジスタ１１ａはＥＬ素子（ＥＬ膜）１５に電流を供給するための駆動用トランジスタとする。

【００４３】

この構成を用いて階調を表示させる場合、駆動用トランジスタ１１ａのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ１１ａのオン電流のばらつきがそのまま表示に現れる。

【００４４】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が４５０度以下の低温ポリシリ技術で形成した低温多結晶トタンジスタでは、そのしきい値のばらつきが±０．２Ｖ～０．５Ｖの範囲でばらつきがある。そのため、駆動用トランジスタ１１ａを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ１１の劣化によっても特性は変化する。

【００４５】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が４５０度（摂氏）以上の高温ポリシリコン技術でも、固相（ＣＧＳ）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。

【００４６】

以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

【００４７】
したがって、図４６のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。
【００４８】
本発明のＥＬ表示装置の画素構造は、具体的には図１に示すように単位画素が最低４つからなる複数のトランジスタ１１ならびにＥＬ素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線１８上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極１０５を形成する。このようにソース信号線１８上の少なくとも１部に画素電極を重ねる構成をハイアパーチャ（ＨＡ）構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。
【００４９】
ゲート信号線（第１の走査線）１７ａをアクティブ（ＯＮ電圧を印加）とすることによりＥＬ素子１５の駆動用のトランジスタ１１ａおよびスイッチ用トランジスタ１１ｃを通して、前記ＥＬ素子１５に流すべき電流値をソースドライバ回路１４から流す。また、トランジスタ１１ａのゲートとドレイン間を短絡するようにトランジスタ１１ｂがゲート信号線１７ａアクティブ（ＯＮ電圧を印加）となることにより開くと共に、トランジスタ１１ａのゲートとソース間に接続されたコンデンサ（キャパシタ、蓄積容量、付加容量）１９にトランジスタ１１ａのゲート電圧（あるいはドレイン電圧）を記憶する（図３（ａ）を参照のこと）。
【００５０】
なお、コンデンサ（蓄積容量）１９の大きさは、０．２ｐＦ以上２ｐＦ以下とすることがよく、中でもコンデンサ（蓄積容量）１９の大きさは、０．４ｐＦ以上１．２ｐＦ以下とすることがよい。画素サイズを考慮してコンデンサ１９の容量を決定する。１画素に必要な容量をＣｓ（ｐＦ）とし、１画素が占める面積（開口率ではない）をＳｐ（平方μｍ）とすれば、５００／Ｓ ≦ Ｃｓ ≦ ２００００／Ｓとし、さらに好ましくは、１０００／Ｓｐ ≦ Ｃｓ ≦ １００００／Ｓｐとなるようにする。なお、トランジスタのゲート容量は小さいので、ここでいうＱとは、蓄積容量（コンデンサ）１９単独の容量である。
【００５１】
ゲート信号線１７ａを非アクティブ（ＯＦＦ電圧を印加）、ゲート信号線１７ｂをアクティブとして、電流の流れる経路を前記第１のトランジスタ１１ａ並びにＥＬ素子１５に接続されたトランジスタ１１ｄならびに前記ＥＬ素子１５を含む経路に切り替えて、記憶した電流を前記ＥＬ素子１５に流すように動作する（図３（ｂ）を参照のこと）。
【００５２】
この回路は１画素内に４つのトランジスタ１１を有しており、トランジスタ１１ａのゲートはトランジスタ１１ｂのソースに接続されている。また、トランジスタ１１ｂおよびトランジスタ１１ｃのゲートはゲート信号線１７ａに接続されている。トランジスタ１１ｂのドレインはトランジスタ１１ｃのソースならびにトランジスタ１１ｄのソースに接続され、トランジスタ１１ｃのドレインはソース信号線１８に接続されている。トランジスタ１１ｄのゲートはゲート信号線１７ｂに接続され、トランジスタ１１ｄのドレインはＥＬ素子１５のアノード電極に接続されている。
【００５３】
なお、図１ではすべてのトランジスタはＰチャンネルで構成している。Ｐチャンネルは多少Ｎチャンネルのトランジスタに比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はＥＬ素子構成をＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。
【００５４】

最適には画素を構成するトランジスタ１１をすべてＰチャンネルで形成し、内蔵ゲートドライバ１２もＰチャンネルで形成することが好ましい。このようにアレイをＰチャンネルのみのトランジスタで形成することにより、マスク枚数が５枚となり、低コスト化、高歩留まり化を実現できる。

【００５５】

以下、さらに本発明の理解を容易にするために、本発明のＥＬ素子構成について図３を用いて説明する。本発明のＥＬ素子構成は２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ１１ｂならびにトランジスタ１１ｃがＯＮすることにより、等価回路として図３（ａ）となる。ここで、信号線より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ１１ｃを通じて電流Ｉｗが流れる。したがって、トランジスタ１１ａのゲートーソースの電圧はＩ１が流れるような電圧となる。

【００５６】

第２のタイミングはトランジスタ１１ａとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開くタイミングであり、そのときの等価回路は図３（ｂ）となる。トランジスタ１１ａのソースーゲート間の電圧は保持されたままとなる。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。

【００５７】

このように動作させると、図５に図示するようになる。つまり、図５（ａ）の５１ａは表示画面５０における、ある時刻での電流プログラムされている画素（行）（書き込み画素行）を示している。この画素（行）５１ａは、図５（ｂ）に図示するように非点灯（非表示画素（行））とする。他の画素（行）は表示画素（行）５３とする（表示領域５３の画素１６のＥＬ素子１５には電流が流れ、ＥＬ素子１５が発光している）。

【００５８】

図１の画素構成の場合、図３（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【００５９】

次に、ＥＬ素子１５に電流を流す期間は図３（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【００６０】

このタイミングチャートを図４に図示する。なお、図４などにおいて、括弧内の添え字（たとえば、（１）など）は画素行の番号を示している。つまり、ゲート信号線１７ａ（１）とは、画素行（１）のゲート信号線１７ａを示している。また、図４の上段の＊Ｈ（「＊」には任意の記号、数値が当てはまり、水平走査線の番号を示す）とは、水平走査期間を示している。つまり、１Ｈとは第１番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定（１Ｈの番号、１Ｈ周期、画素行番号の順番など）するものではない。

【００６１】

図４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧が印加されている時には、ゲート信号線１７ｂにはオフ電圧が印加されている。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにはオン電圧が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。

【００６２】

なお、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートは同一のゲート信号線１１ａに接続している。しかし、トランジスタ１１ａのゲートとトランジスタ１１ｃのゲートとを異なるゲート信号線１１に接続してもよい（図３２を参照のこと）。１画素のゲート信号線は３本となる（図１の構成は２本である）。トランジスタ１１ｂのゲートのＯＮ／ＯＦＦタイミングとトランジスタ１１ｃのゲートのＯＮ／ＯＦＦタイミングを個別に制御することにより、トランジスタ１１ａのばらつきによるＥＬ素子１５の電流値バラツキをさらに低減することができる。

【００６３】

ゲート信号線１７ａとゲート信号線１７ｂとを共通にし、トランジスタ１１ｃと１１ｄが異なった導電型（ＮチャンネルとＰチャンネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

【００６４】

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ１１ａのソース（Ｓ）－ゲート（Ｇ）間容量（コンデンサ）に記憶されない。トランジスタ１１ｃとトランジスタ１１ｄを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ１１ｃがオフしたのちに、トランジスタ１１ｄがオンすることが可能になる。

【００６５】

ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低４つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ１１ｅを図２に示すように、カスケード接続してトランジスタの総数が４以上になっても動作原理は同じである。このようにトランジスタ１１ｅを加えた構成とすることにより、トランジスタ１１ｃを介してプログラムした電流がより精度よくＥＬ素子１５に流すことができるようになる。

【００６６】

なお、本発明の画素構成は図１、図２の構成に限定されるものではない。たとえば、図１１３のように構成してもよい。図１１３は、図１の構成に比較してスイッチ素子１１ｄがない。替わりに切り替えスイッチ１１３１が形成または配置されている。図１のスイッチ１１ｄは駆動用トランジスタ１１ａからＥＬ素子１５に流れる電流をオンオフ（流す、流さない）制御する機能を有する。以降の実施例でも説明をするが、本発明はこのトランジスタ１１ｄのオンオフ制御機能が重要な構成要素である。トランジスタ１１ｄを形成せず、オンオフ機能を実現するのが、図１１３の構成である。

【００６７】

図１１３において、切り替えスイッチ１１３１のａ端子は、アノード電圧Ｖｄｄに接続されている。なお、ａ端子に印加する電圧はアノード電圧Ｖｄｄに限定されるものではなく、ＥＬ素子１５に流れる電流をオフできる電圧であればいずれでもよい。

【００６８】

切り替えスイッチ１１３１のｂ端子は、カソード電圧（図１１３ではグランドと図示している）に接続されている。なお、ｂ端子に印加する電圧はカソード電圧に限定されるものではなく、ＥＬ素子１５に流れる電流をオンできる電圧であればいずれでもよい。

【００６９】

切り替えスイッチ１１３１のｃ端子にはＥＬ素子１５のカソード端子が接続されている。なお、切り替えスイッチ１１３１はＥＬ素子１５に流れる電流をオンオフさせる機能を持つものであればいずれでもよい。したがって、図１１３の形成位置に限定されるものではなく、ＥＬ素子１５の電流が流れる経路であればいずれでもよい。また、スイッチの機能の限定されるものでもなく、ＥＬ素子１５に流れる電流をオンオフできればいずれでもよい。つまり、本発明では、ＥＬ素子１５の電流経路にＥＬ素子１５に流す電流をオンオフできるスイッチング手段を具備しればいずれの画素構成でもよい。

【００７０】
　また、オフとは完全に電流が流れない状態を意味するものではない。ＥＬ素子１５に流れる電流を通常よりも低減できるものであればよい。以上の事項は本発明の他の構成においても同様である。
【００７１】
　切り替えスイッチ１１３１は、ＰチャンネルとＮチャンネルのトランジスタを組み合わせることにより容易に実現できるので説明を要さないであろう。たとえば、アナログスイッチを２回路形成すればよい。もちろん、スイッチ１１３１はＥＬ素子１５に流れる電流をオンオフするだけであるから、ＰチャンネルトランジスタあるいはＮチャンネルトランジスタでも形成することができることは言うまでもない。
【００７２】
　スイッチ１１３１がａ端子に接続されている時は、ＥＬ素子１５のカソード端子にＶｄｄ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇがいずれの電圧保持状態であってもＥＬ素子１５には電流が流れない。したがって、ＥＬ素子１５は非点灯状態となる。
【００７３】
　スイッチ１１３１がｂ端子に接続されている時は、ＥＬ素子１５のカソード端子にＧＮＤ電圧が印加される。したがって、駆動用トランジスタ１１ａのゲート端子Ｇに保持された電圧状態に応じてＥＬ素子１５に電流が流れる。したがって、ＥＬ素子１５は点灯状態となる。
【００７４】
　以上のことより図１１３の画素構成では、駆動用トランジスタ１１ａとＥＬ素子１５間にはスイッチング用トランジスタ１１ｄが形成されていない。しかし、スイッチ１１３１を制御することによりＥＬ素子１５の点灯制御を行うことができる。
【００７５】
　図１、図２などの画素構成では、駆動用トランジスタ１１ａは１画素につき１個である。本発明はこれに限定するものではなく、駆動用トランジスタ１１ａは１画素に複数個を形成または配置してもよい。図１１６はその実施例である。図１１６では１画素に２個の駆動用トランジスタ素子１１ａ１、１１ａ２が形成され、２個の駆動用トランジスタ１１ａ１、１１ａ２のゲート端子は共通のコンデンサ１９に接続されている。駆動用トランジスタ１１ａを複数個形成することにより、プログラムされる電流バラツキが低減するという効果がある。他の構成は、図１などと同様であるので説明を省略する。
【００７６】
　図１、図２は駆動用トランジスタ１１ａが出力する電流をＥＬ素子１５に流し、前記電流を駆動用トランジスタ１１ａとＥＬ素子１５間に配置されたスイッチング素子１１ｄでオンオフ制御するものであった。しかし、本発明はこれに限定されるものではない。たとえば、図１１７の構成が例示される。
【００７７】
　図１１７の実施例では、ＥＬ素子１５に流す電流が駆動用トランジスタ１１ａで制御される。ＥＬ素子１５に流れる電流をオンオフさせるのはＶｄｄ端子とＥＬ素子１５間に配置されたスイッチング素子１１ｄで制御される。したがって、本発明はスイッチング素子１１ｄの配置はどこでもよく、ＥＬ素子１５に流れる電流を制御できるものであればいずれでもよい。動作などは図１などと類似であるので説明を省略する。
【００７８】
　また、図３８７の画素構成において、すべてのトランジスタはＮチャンネルで構成している。しかし、本発明はＥＬ素子構成をＮチャンネルで構成することのみに限定するものではない。ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。
【００７９】
　以下、図３８７の画素構成は、２つのタイミングにより制御される。第１のタイミングは必要な電流値を記憶させるタイミングである。

【００８０】
このタイミングではゲート信号線１７ａにオン電圧（Ｖｇｈ）が印加されることにより、トランジスタ１１ｂならびにトランジスタ１１ｃがＯＮする。また、ゲート信号線１７ｂにオフ電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがＯＦＦする。したがって、ソース信号線１８より所定の電流Ｉｗが書き込まれる。これによりトランジスタ１１ａはゲートとドレインが接続された状態となり、このトランジスタ１１ａとトランジスタ１１ｃを通じてプルグラム電流が流れる。
【００８１】
第２のタイミングはゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加される。したがって、トランジスタ１１ａとトランジスタ１１ｃが閉じ、トランジスタ１１ｄが開く。この場合、トランジスタ１１ａは常に飽和領域で動作するため、Ｉｗの電流は一定となる。
【００８２】
トランジスタ１１ａの特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第１のトランジスタ１１ａのチャンネル長が５μｍ以上１００μｍ以下とすることが好ましい。さらに好ましくは、第１のトランジスタ１１ａのチャンネル長が１０μｍ以上５０μｍ以下とすることが好ましい。これは、チャンネル長Ｌを長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。
【００８３】
以上のように、本発明は、ＥＬ素子１５に電流が流れこむ経路、またはＥＬ素子１５から電流が流れ出す経路（つまり、ＥＬ素子１５の電流経路である）にＥＬ素子１５に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。
【００８４】
電流プログラム方式の１つであるカレントミラー方式であっても、図１１４に図示すうように、駆動用トランジスタ１１ｂとＥＬ素子１５間にスイッチング素子としてのトランジスタ１１ｇを形成または配置することによりＥＬ素子１５に流れる電流をオンオフすることができる（制御することができる）。もちろん、トランジスタ１１ｇは図１１３のスイッチ１１３１に置き換えても良い。
【００８５】
なお、図１１４のスイッチング用トランジスタ１１ｄ、１１ｃは１本のゲート信号線１７ａに接続されているが、図１１５に図示するように、トランジスタ１１ｃはゲート信号線１７ａ１で制御し、トランジスタ１１ｄはゲート信号線１７ａ２で制御するように構成してもよい。図１１５の構成の方が、画素１６の制御の汎用性が高くなる。
【００８６】
また、図４２（ａ）に図示するように、トランジスタ１１ｂ、１１ｃなどはＮチャンネルトランジスタで形成してもよい。また、図４２（ｂ）に図示するようにトランジスタ１１ｃ、１１ｄなどはＰチャンネルトランジスタで形成してもよい。
【００８７】
以上の画素１６の構成は、画素１６を構成するトランジスタ数が４または５個以上であった。しかし、本発明はこれに限定するものではない。図２６１に図示するように５個以上のトランジスタで構成してもよい。図２６１では、駆動用トランジスタ１１ａ１と１１ａ２を用いることにより、低階調領域でも、書込み不足のない電流プログラムを行うことができる。
【００８８】
以下、図２６１に図示した画素構成の駆動方法について説明をする。図２６１の画素構成は、図２６５に示すように３つの駆動状態から構成される。第１の状態を図２６２に示す。また、第２の状態を図２６３に示す。また、第３の状態を図２６４に示す。第１の状態と第２の状態が電流プログラムを行っている状態であり、第３の状態がＥＬ素子１５に電流を流し、ＥＬ素子１５が発光している状態である。なお、スイッチ用トランジスタ１

１ｄ１をオーブンあるいはクローズさせてｄｕｔｙ制御を行うことは、本発明の他の実施例と同様であるので説明を省略する。

【００８９】

図２６１の画素構成はソース信号線１８ａとソース信号線１８ｂを有している。基本的には、ソース信号線１８ａに印加するプログラム電流とソース信号線１８ｂに印加するプログラム電流の差が、駆動用トランジスタ１１ａ１に流れるように電流プログラムされ、この電流がＥＬ素子１５に流れる。なお、説明を容易にするため、ソース信号線１８ａにプログラム電流Ｉ１＝１０μＡ流すとし、ソース信号線１８ｂにプログラム電流Ｉ３＝１０．１μＡ流し、駆動用トランジスタ１１ａ１にＩ１とＩ３の差であるＩ２＝０．１μＡを書き込むものとする。

【００９０】

第１の状態では、図２６５に示すように、トランジスタ１１ｃ２、トランジスタ１１ｂ２がクローズ状態にされ、トランジスタｄ２、トランジスタ１１ｂ１、トランジスタ１１ｄ１、トランジスタ１１ｃ１がオープン状態にされる。

【００９１】

図２６２に図示するようにプログラム電流Ｉ１はアノード端子から駆動用トランジスタ１１ａ２を介して、ソース信号線１８ａに流れる。プログラム電流Ｉ１はソースドライバＩＣ１４により発生させられる。プログラム電流Ｉ１はコンデンサ１９ｂにより保持される（駆動用トランジスタ１１ａ２がプログラム電流Ｉ１を流せるように駆動用トランジスタ１１ａ２のゲート端子に電圧が保持される）。他のスイッチ用トランジスタ１１はオフ状態である。以上の第１の状態により、駆動用トランジスタ１１ａ２は、プログラム電流Ｉ１が流れるようにプログラムされる。

【００９２】

第２の状態では、図２６５に示すように、トランジスタ１１ｄ２、トランジスタ１１ｂ１、トランジスタ１１ｃ１がクローズ状態にされ、トランジスタ１１ｃ２、トランジスタ１１ｂ２、トランジスタ１１ｄ１がオープン状態にされる。

【００９３】

図２６３に図示するように、プログラム電流Ｉ３はアノード端子から駆動用トランジスタ１１ａ１を介して、ソース信号線１８ｂに流れる。プログラム電流Ｉ３はソースドライバＩＣ１４により発生させられる。

【００９４】

プログラム電流Ｉ３＝１０．１μＡのうち、プログラム電流Ｉ１＝１０μＡは駆動用トランジスタ１１ａ２により供給される。したがって、駆動用トランジスタ１１ａ１はプログラム電流Ｉ１とＩ３の差であるＩ２＝０．１μＡの電流を供給する。プログラム電流Ｉ２はアノード端子から駆動用トランジスタ１１ａ１を介して、ソース信号線１８ｂに流れる。

【００９５】

プログラム電流Ｉ２はコンデンサ１９ａにより保持される（駆動用トランジスタ１１ａ１がプログラム電流Ｉ２を流せるように駆動用トランジスタ１１ａ１のゲート端子に電圧が保持される）。したがって、駆動用トランジスタ１１ａ１にＥＬ素子１５に流す電流がプログラムされる。ＥＬ素子１５に流す電流は０．１μＡと小さい。しかし、ソース信号線１８ａ、１８ｂに流す電流は１０μＡと大きい。したがって、ソース信号線１８の寄生容量の影響を受けることなく、ＥＬ素子１５に流す微小電流を電流プログラムすることができる。

【００９６】

第３の状態は、ＥＬ素子の電流を供給し、ＥＬ素子１５が発光している状態である。第３の状態では、図２６５に示すように、トランジスタ１１ｄ１がクローズ状態にされ、他のスイッチ用トランジスタ１１はオープン状態にされる。図２６４に図示するように、駆動用トランジスタ１１ａ１のゲート端子に保持された電圧により、駆動用トランジスタ１１ａ１に電流Ｉ２が流れ、ＥＬ素子１５が発光する。スイッチ用トランジスタ１１ｄ１を

オンオフ制御することにより、図１などと同様にｄｕｔｙ制御を実施することができる。
【００９７】
本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために４トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、４つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたいの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。
【００９８】
また、蓄積容量１９の容量値をＣｓ、第２のトランジスタ１１ｂのオフ電流値をＩｏｆｆとした場合、次式を満足させることが好ましい。
【００９９】
３　＜　Ｃｓ／Ｉｏｆｆ　＜　２４
さらに好ましくは、次式を満足させることが好ましい。
【０１００】
６　＜　Ｃｓ／Ｉｏｆｆ　＜　１８
トランジスタ１１ｂのオフ電流を５ｐＡ以下とすることにより、ＥＬを流れる電流値の変化を２％以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートーソース間（コンデンサの両端）に貯えられた電荷を１フィールド間保持できないためである。したがって、コンデンサ１９の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を２％以下に抑えることができる。
【０１０１】
また、アクティブマトリックスを構成するトランジスタがｐーチャンネルポリシリコン薄膜トランジスタに構成され、トランジスタ１１ｂがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ１１ｂは、トランジスタ１１ａのソースードレイン間のスイッチとして作用するため、できるだけＯＮ／ＯＦＦ比の高い特性が要求される。トランジスタ１１ｂのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりＯＮ／ＯＦＦ比の高い特性を実現できる。
【０１０２】
画素１６のトランジスタ１１を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ１１特性のバラツキとなる。しかし、１画素１６内のトランジスタ１１の特性が一致していれば、図１などの電流プログラムを行う方式では、所定の電流がＥＬ素子１５に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。
【０１０３】
なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（ＣＧＳ）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。また、アモルファスシリコン技術を用いて形成した半導体膜であってもよい。
【０１０４】
この課題に対して、本発明では図７に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）７２をソース信号線１８に平行に照射する。また、１画素列に一致するようにレーザー照射スポット７２を移動させる。もちろん、１画素列に限定するものではなく、たとえば、図５５のＲＧＢを1画素１６という単位でレーザーを照射してもよい（この場合は、３画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもな

い（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

【０１０５】

画素はＲＧＢの３画素で正方形の形状となるように作製されている。したがって、Ｒ、Ｇ、Ｂの各画素は縦長の画素形状となる。したがって、レーザー照射スポット７２を縦長にしてアニールすることにより、１画素内ではトランジスタ１１の特性バラツキが発生しないようにすることができる。また、１つのソース信号線１８に接続されたトランジスタ１１の特性（モビリティ、Ｖｔ、Ｓ値など）を均一にすることができる（つまり、隣接したソース信号線１８のトランジスタ１１とは特性が異なる場合があるが、１つのソース信号線に接続されたトランジスタ１１の特性はほぼ等しくすることができる）。

【０１０６】

図７の構成では、レーザー照射スポット７２の長さの範囲内に３つのパネルが縦に配置されるように形成されている。レーザー照射スポット７２を照射するアニール装置はガラス基板７４の位置決めマーカー７３ａ、７３ｂを認識（パターン認識による自動位置決め）してレーザー照射スポット７２を移動させる。位置決めマーカー７３の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー７３を認識し、画素列の位置をわりだす（レーザー照射範囲７２がソース信号線１８と平行になるようにする）。画素列位置に重なるようにレーザー照射スポット７２を照射してアニールを順次行う。

【０１０７】

図７で説明したレーザーアニール方法（ソース信号線１８に平行にライン状のレーザースポットを照射する方式）は、有機ＥＬ表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ１１の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

【０１０８】

たとえば、白ラスター表示であれば、隣接した各画素のトランジスタ１１ａに流す電流はほぼ同一のため、ソースドライバＩＣ１４から出力する電流振幅の変化が少ない。もし、図１のトランジスタ１１ａの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線１８の電位は一定である。したがって、ソース信号線１８の電位変動は発生しない。１つのソース信号線１８に接続されたトランジスタ１１ａの特性がほぼ同一であれば、ソース信号線１８の電位変動は小さいことになる。このことは、図３８などの他の電流プログラム方式の画素構成でも同一である（つまり、図７の製造方法を適用することが好ましい）。

【０１０９】

また、図２７、図３０などで説明する複数の画素行を同時書き込みする方式で均一が画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図２７などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路１４で吸収できる。

【０１１０】

なお、図７では、ソースドライバ回路１４は、ＩＣチップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路１４を画素１６と同一プロセスで形成してもよいことは言うまでもない。

【０１１１】

アレイ７１の駆動用トランジスタ１１ａの特性分布は、ドーピング工程でも発生する。図３４６（ａ）に図示するように、ドーピングヘッド３４６１には、ドーピングのための穴が等間隔にあいている。したがって、図３４６（ａ）に図示するように、ドーピングによる特性分布が筋状に発生する。本発明の製造方法では、図３４６に図示するように、ドーピングによる特性の分布方向（図３４６（ａ））と、レーザーアニール方向による特性分布方向（図３４６（ｂ））とソース信号線１８の形成方向（図３４６（ｃ））とを一致

させている。以上のように構成（形成）することにより、電流駆動方式において駆動用トランジスタ１１ａの特性補償を良好に実現できる。

【０１１２】

本発明では特に、駆動用トランジスタ１１ｂの閾電圧Ｖｔｈ２が画素内で対応する駆動用トランジスタ１１ａの閾電圧Ｖｔｈ１より低くならない様に設定している。例えば、トランジスタ１１ｂのゲート長Ｌ２をトランジスタ１１ａのゲート長Ｌ１よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、Ｖｔｈ２がＶｔｈ１よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

【０１１３】

なお、以上の事項は、図３８に図示するカレントミラーの画素構成にも適用できる。図３８では、信号電流が流れる駆動用トランジスタ１１ａ、ＥＬ素子１５等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ１１ｂの他、ゲート信号線１７ａ１の制御によって画素回路とデータ線ｄａｔａとを接続もしくは遮断する取込用トランジスタ１１ｃ、ゲート信号線１７ａ２の制御によって書き込み期間中にトランジスタ１１ａのゲート・ドレインを短絡するスイッチ用トランジスタ１１ｄ、トランジスタ１１ａのゲートーソース間電圧を書き込み終了後も保持するための容量Ｃ１９および発光素子としてのＥＬ素子１５などから構成される。

【０１１４】

図３８でトランジスタ１１ｃ、１１ｄはＮチャンネルトランジスタ、その他のトランジスタはＰチャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Ｃｓは、その一方の端子をトランジスタ１１ａのゲートに接続され、他方の端子はＶｄｄ（電源電位）に接続されているが、Ｖｄｄに限らず任意の一定電位でも良い。ＥＬ素子１５のカソード（陰極）は接地電位に接続されている。

【０１１５】

次に、本発明のＥＬ表示パネルあるいはＥＬ表示装置について説明をする。図６はＥＬ表示装置の回路を中心とした説明図である。画素１６がマトリックス状に配置または形成されている。各画素１６には各画素の電流プログラムを行う電流を出力するソースドライバ回路１４が接続されている。ソースドライバ回路１４の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、６４階調であれば、６３個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線１８に印加できるように構成されている（図４８を参照のこと）。

【０１１６】

なお、１つのカレントミラー回路の最小出力電流は１０ｎＡ以上５０ｎＡにしている。特にカレントミラー回路の最小出力電流は１５ｎＡ以上３５ｎＡにすることがよい。ドライバＩＣ１４内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【０１１７】

また、ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線１８の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、Ｒ、Ｇ、Ｂで独立に設定できるように構成することが好ましい。ＥＬ素子１５の閾値がＲＧＢで異なるからである（プリチャージ回路については図６５、図６７およびその説明を参照のこと）。

【０１１８】

有機ＥＬ素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を調整する（変化させる）。

【０１１９】

本発明において、ソースドライバ１４は半導体シリコンチップで形成し、ガラスオンチ

ップ（ＣＯＧ）技術で基板７１のソース信号線１８の端子と接続されている。ソースドライバ１４の実装は、ＣＯＧ技術に限定するものではなく、チップオンフィルム（ＣＯＦ）技術に前述のソースドライバＩＣ１４などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライブＩＣは電源ＩＣ８２を別途作製し、３チップ構成としてもよい。

【０１２０】

一方、ゲートドライバ回路１２は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路１４に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリ技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ１２をシリコンチップで形成し、ＣＯＧ技術などを用いて基板７１上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【０１２１】

ゲートドライバ１２はゲート信号線１７ａ用のシフトレジスタ回路６１ａと、ゲート信号線１７ｂ用のシフトレジスタ回路６１ｂとを内蔵する。各シフトレジスタ回路６１は正相と負相のクロック信号（ＣＬＫｘＰ、ＣＬＫｘＮ）、スタートパルス（ＳＴｘ）で制御される（図６を参照のこと）。その他、ゲート信号線の出力、非出力を制御するイネーブル（ＥＮＡＢＬ）信号、シフト方向を上下逆転するアップダウン（ＵＰＤＷＭ）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールＩＣ８１からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。

【０１２２】

シフトレジスタ回路６１のバッファ容量は小さいため、直接にはゲート信号線１７を駆動することができない。そのため、シフトレジスタ回路６１の出力とゲート信号線１７を駆動する出力ゲート６３間には少なくとも２つ以上のインバータ回路６２が形成されている。

【０１２３】

ソースドライバ１４を低温ポリシリなどのポリシリ技術で基板７１上に直接形成する場合も同様であり、ソース信号線１８を駆動するトランスファーゲートなどのアナログスイッチのゲートとソースドライバ回路１４のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファーゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。

【０１２４】

たとえば、図６ではソースドライバ１４の出力が直接ソース信号線１８に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファーゲートなどのアナログスイッチのゲートに接続されている。

【０１２５】

インバータ回路６２はＰチャンネルのＭＯＳトランジスタとＮチャンネルのＭＯＳトランジスタから構成される。先にも説明したようにゲートドライバ回路１２のシフトレジスタ回路６１の出力端にはインバータ回路６２が多段に接続されており、その最終出力が出力ゲート回路６３に接続されている。なお、インバータ回路６２はＰチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【０１２６】

図８は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である

。コントロールＩＣ８１からソースドライバ回路１４ａに供給する信号（電源配線、データ配線など）はフレキシブル基板８４を介して供給する。

【０１２７】

図８ではゲートドライバ１２の制御信号はコントロールＩＣで発生させ、ソースドライバ１４で、レベルシフトを行った後、ゲートドライバ１２に印加している。ソースドライバ１４の駆動電圧は４～８（Ｖ）であるから、コントロールＩＣ８１から出力された３．３（Ｖ）振幅の制御信号を、ゲートドライバ１２が受け取れる５（Ｖ）振幅に変換することができる。

【０１２８】

なお、図８などにおいて１４をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図８などで説明する構成にあっても、図９などで説明する３辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

【０１２９】

コントロールＩＣ８１、電源ＩＣ８２を積載した基板８３は、図３６１に図示するように、封止基板８５（封止フタ８５）に形成した凹部に、部品などが挿入されるように配置する。図３６１のように構成することにより、パネルモジュールをコンパクトにできる。

【０１３０】

表示パネルを携帯電話などの情報表示装置に使用する場合、図９に示すように、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２は、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバＩＣ（回路）を実装（形成）する形態を３辺フリー構成（構造）と呼ぶ。従来は、表示領域のＸ辺にゲートドライバＩＣ１２が実装され、Ｙ辺にソースドライバＩＣ１４が実装されていた）。画面５０の中心線が表示装置の中心になるように設計し易く、また、ドライバＩＣの実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで３辺フリーの構成で作製してもよい（つまり、図９のソースドライバ回路１４とゲートドライバ回路１２のうち、少なくとも一方をポリシリコン技術で基板７１に直接形成する）。

【０１３１】

なお、３辺フリー構成とは、基板７１に直接ＩＣを積載あるいは形成した構成だけでなく、ソースドライバＩＣ（回路）１４、ゲートドライバＩＣ（回路）１２などを取り付けたフィルム（ＴＣＰ、ＴＡＢ技術など）を基板７１の一辺（もしくはほぼ一辺）にはりつけた構成も含む。つまり、２辺にＩＣが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【０１３２】

図９のようにゲートドライバ回路１２をソースドライバ回路１４の横に配置すると、ゲート信号線１７は辺Ｃにそって形成する必要がある。

【０１３３】

なお、図９などにおいて太い実線で図示した箇所はゲート信号線１７が並列して形成した箇所を示している。したがって、ｂの部分（画面下部）は走査信号線の本数分のゲート信号線１７が並列して形成され、ａの部分（画面上部）はゲート信号線１７が１本形成されている。

【０１３４】

Ｃ辺に形成するゲート信号線１７のピッチは５μｍ以上１２μｍ以下にする。５μｍ未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば７μ以下で寄生容量の影響が顕著に発生する。さらに５μｍ未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減１２μｍを越えると表示パネルの額縁幅Ｄが大きくなりすぎ実用的でない。

【０１３５】
前述の画像ノイズを低減するためには、ゲート信号線１７を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線１７上に配置すればよい。
【０１３６】
図９のＣ辺のゲート信号線１７はＩＴＯ電極で形成してもよいが、低抵抗化するため、ＩＴＯと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ＩＴＯと積層する場合は、ＩＴＯ上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはＩＴＯ上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。
【０１３７】
なお、図９などにおいて、ゲート信号線１７などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線１７ａを表示領域５０の右側に配置（形成）し、ゲート信号線１７ｂを表示領域５０の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。
【０１３８】
また、ソースドライバＩＣ１４とゲートドライバＩＣ１２とを１チップ化してもよい。１チップ化すれば、表示パネルへのＩＣチップの実装が１個で済む。したがって、実装コストも低減できる。また、１チップドライバＩＣ内で使用する各種電圧も同時に発生することができる。
【０１３９】
なお、ソースドライバＩＣ１４、ゲートドライバＩＣ１２はシリコンなどの半導体ウエハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル８２に直接形成してもよいことは言うまでもない。
【０１４０】
なお、画素は、Ｒ、Ｇ、Ｂの３原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの３色でもよい。また、Ｂとイエローの２色でもよい。もちろん、単色でもよい。また、Ｒ、Ｇ、Ｂ、シアン、イエロー、マゼンダの６色でもよい。Ｒ、Ｇ、Ｂ、シアン、マゼンダの５色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。以上のように本発明のＥＬ表示装置は、ＲＧＢの３原色でカラー表示を行うものに限定されるものではない。
【０１４１】
有機ＥＬ表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、ＲＧＢの各層を塗り分ける必要がない、ＲＧＢの各色の有機ＥＬ材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のＥＬ表示パネルなどはこのいずれの方式でも適用される。
【０１４２】
また、３原色の他に、白色発光の画素を形成してもよい。白色発光の画素はＲ、Ｇ、Ｂ発光の構造を積層することのより作製（形成または構成）することにより実現できる。１組の画素は、ＲＧＢの３原色と、白色発光の画素１６Ｗからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。
【０１４３】
ＲＧＢなどの３原色を１組の画素をする場合であっても、各色の画素電極の面積は異な

らせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、１つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が７０００Ｋ（ケルビン）以上１２０００Ｋ以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±３０％以内となるようにする。さらに好ましくは±１５％以内となるようにする。たとえば、電流密度が１００Ａ／平方メーターをすれば、３原色がいずれも７０Ａ／平方メーター以上１３０Ａ／平方メーター以下となるようにする。さらに好ましくは、３原色がいずれも８５Ａ／平方メーター以上１１５Ａ／平方メーター以下となるようにする。

【０１４４】

有機ＥＬ素子１５は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【０１４５】

この課題に対処するため、本発明ではゲートドライバ１２（場合によってはソースドライバ１４）の下層、画素トランジスタ１１の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は５０ｎｍ以上１５０ｎｍ以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ１１Ａ１のパターニングが困難になる。

【０１４６】

ドライバ回路１２などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ１２などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【０１４７】

しかし、ドライバ１２の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電気的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路１２などの上に少なくとも１層、好ましくは複数層の有機ＥＬ膜を画素電極上の有機ＥＬ膜形成と同時に形成する。

【０１４８】

画素の１つ以上のトランジスタ１１の端子間あるいはトランジスタ１１と信号線とが短絡すると、ＥＬ素子１５が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素１６を検出し、コンデンサ１９にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ１９には電荷を保持できなくなるので、トランジスタ１１ａは電流を流さなくすることができる。レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ１９の端子電極とカソード膜とがショートすることを防止するためである。

【０１４９】

画素１６のトランジスタ１１の欠陥は、ドライバＩＣ１４などにも影響を与える。例えば、図４５では駆動用トランジスタ１１ａにソースードレイン（ＳＤ）ショート４５２が発生していると、パネルのＶｄｄ電圧がソースドライバＩＣ１４に印加される。したがって、ソースドライバＩＣ１４の電源電圧は、パネルの電源電圧Ｖｄｄと同一かもしくは高くしておくことが好ましい。なお、ソースドライバＩＣで使用する基準電流は電子ボリウム４５１で調整できるように構成しておくことが好ましい。

【０１５０】

トランジスタ１１ａにＳＤショート４５２が発生していると、ＥＬ素子１５に過大な電流が流れる。つまり、ＥＬ素子１５が常時点灯状態（輝点）となる。輝点は欠陥として目

立ちやすい。たとえば、図４５において、トランジスタ１１ａのソース－ドレイン（ＳＤ）ショートが発生していると、トランジスタ１１ａのゲート（Ｇ）端子電位の大小に関わらず、Ｖｄｄ電圧からＥＬ素子１５に電流が常時流れる（トランジスタ１１ｄがオンの時）。したがって、輝点となる。

【０１５１】

一方、トランジスタ１１ａにＳＤショートが発生していると、トランジスタ１１ｃがオン状態の時、Ｖｄｄ電圧がソース信号線１８に印加されソースドライバ１４にＶｄｄ電圧が印加される。もし、ソースドライバ１４の電源電圧がＶｄｄ以下であれば、耐圧を越えて、ソースドライバ１４が破壊される恐れがある。そのため、ソースドライバ１４の電源電圧はＶｄｄ電圧（パネルの高い方の電圧）以上にすることが好ましい。

【０１５２】

トランジスタ１１ａのＳＤショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ１１ａとＥＬ素子１５間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。

【０１５３】

以下、本発明の駆動方法について説明をする。図１に示すように、ゲート信号線１７ａは行選択期間に導通状態（ここでは図１のトランジスタ１１がｐチャネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線１７ｂは非選択期間時に導通状態とする。

【０１５４】

ソース信号線１８には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線１８とゲート信号線１７とのクロス部の容量、トランジスタ１１ｂ、１１ｃのチャンネル容量などにより発生する。

【０１５５】

なお、寄生容量は、ソース信号線１８だけでなく、ソースドライバＩＣ１４でも発生する。図２７３に図示するように、保護ダイオード２７３１が主原因である。保護ダイオード２７３１は、ＩＣ１４を静電気保護する目的を有するが、コンデンサともなってしまう。一般的な保護ダイオードの容量は３～５ｐＦである。

【０１５６】

本発明のソースドライバＩＣ（後に詳細に説明をする）では、図２７３に図示するように、端子６８１と出力段６５４間にサージ低減抵抗２７３２を形成または配置している。抵抗２７３２はポリシリコンまたは拡散抵抗で形成する。抵抗値は、１ＫΩ以上１ＭΩ以下とする。この抵抗により、外部からの静電気が抑制される。したがって、保護ダイオード２７３１のサイズが小さくともよい。保護ダイオード２７３１が小さければ保護ダイオードのよる寄生容量の大きさも小さくなる。なお、図２７３ではソースドライバＩＣ１４内に抵抗２７３２を形成または配置しているように図示しているがこれに限定するものではなく、抵抗２７３２は、アレイ７１に形成または配置してもよいことはいうまでもない。また、ダイオード（トランジスタをダイオード構成にしたものを含む）２７３１についても同様である。

【０１５７】

ソース信号線１８の電流値変化に要する時間ｔは浮遊容量の大きさをＣ、ソース信号線の電圧をＶ、ソース信号線に流れる電流をＩとするとｔ＝Ｃ・Ｖ／Ｉであるため電流値を１０倍大きくできることは電流値変化に要する時間が１０分の１近くまで短くできる。または、ソース信号線１８の寄生容量が１０倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【０１５８】

入力電流を１０倍にすると出力電流も１０倍となり、ＥＬの輝度が１０倍となるため所

定の輝度を得るために、図１のトランジスタ１７ｄの導通期間を従来の１０分の１とし、発光期間を１０分の１とすることで、所定輝度を表示するようにした。なお、１０倍を例示して説明しているのは理解を容易にするためである。１０倍に限定するものでないことは言うまでもない。

【０１５９】

つまり、ソース信号線１８の寄生容量の充放電を十分に行い、所定の電流値を画素１６のトランジスタ１１ａにプログラムを行うためには、ソースドライバ１４から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線１８に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がＥＬ素子１５に流れる。たとえば、１０倍の電流でプログラムすれば、当然、１０倍の電流がＥＬ素子１５に流れ、ＥＬ素子１５は１０倍の輝度で発光する。所定の発光輝度にするためには、ＥＬ素子１５に流れる時間を１／１０にすればよい。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【０１６０】

なお、１０倍の電流値を画素のトランジスタ１１ａ（正確にはコンデンサ１９の端子電圧を設定している）に書き込み、ＥＬ素子１５のオン時間を１／１０にするとしたがこれは一例である。場合によっては、１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／５にしてもよい。逆に１０倍の電流値を画素のトランジスタ１１ａに書き込み、ＥＬ素子１５のオン時間を１／２倍にする場合もあるであろう。

【０１６１】

本発明は、画素への書き込み電流を所定値以外の値にし、ＥＬ素子１５に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、Ｎ倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／Ｎ倍にするとして説明する。しかし、これに限定するものではなく、Ｎ１倍の電流値を画素のトランジスタ１１に書き込み、ＥＬ素子１５のオン時間を１／（Ｎ２）倍（Ｎ１とＮ２とは異なる）でもよいことは言うまでもない。

【０１６２】

白ラスター表示において、表示画面５０の１フィールド（フレーム）期間の平均輝度をＢ０と仮定する。この時、各画素１６の輝度Ｂ１が平均輝度Ｂ０よりも高くなるように電流（電圧）プログラムを行う駆動方法である。かつ、少なくとも１フィールド（フレーム）期間において、非表示領域５３が発生するようにする駆動方法である。したがって、本発明の駆動方法では、１フィールド（フレーム）期間の平均輝度はＢ１よりも低くなる。

【０１６３】

なお、間欠する間隔（非表示領域５２／表示領域５３）は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。また、ＲＧＢで異なっていてもよい。つまり、白（ホワイト）バランスが最適になるように、Ｒ、Ｇ、Ｂ表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。

【０１６４】

本発明の駆動方法の説明を容易にするため、１／Ｎとは、１Ｆ（１フィールドまたは１フレーム）を基準にしてこの１Ｆを１／Ｎにするとして説明する。しかし、１画素行が選択され、電流値がプログラムされる時間（通常、１水平走査期間（１Ｈ））があるし、また、走査状態によっては誤差も生じることは言うまでもない。

【０１６５】

たとえば、Ｎ＝１０倍の電流で画素１６に電流プログラムし、１／５の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、１０／５＝２倍の輝度で点灯する。Ｎ＝２倍の電流で画素１６に電流プログラムし、１／４の期間の間、ＥＬ素子１５を点灯させてもよい。ＥＬ素子１５は、２／４＝０．５倍の輝度で点灯する。つまり、本発明は、Ｎ＝１倍でない電流でプログラムし、かつ、常時点灯（１／１、つまり、間欠表示でない）

状態以外の表示を実施するものである。また、ＥＬ素子１５に供給する電流を１フレーム（あるいは１フィールド）の期間において、少なくとも１回、オフする駆動方式である。また、所定値よりも大きな電流で画素１６にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

【０１６６】

有機（無機）ＥＬ表示装置は、ＣＲＴのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、ＥＬ表示装置では、１Ｆ（１フィールドあるいは１フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【０１６７】

本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）／Ｎ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に間欠表示状態となる。動画データ表示を、間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

【０１６８】

本発明の駆動方法では、間欠表示を実現する。しかし、間欠表示は、トランジスタ１１ｄを１Ｈ周期でオンオフ制御するだけでよい。したがって、回路のメインクロックは従来と変わらないため、回路の消費電力が増加することもない。液晶表示パネルでは、間欠表示を実現するために画像メモリが必要である。本発明は、画像データは各画素１６に保持されている。したがって、間欠表示を実施するための画像メモリは不要である。

【０１６９】

本発明はスイッチングのトランジスタ１１ｄ、あるいはトランジスタ１１ｅなどをオンオフさせるだけでＥＬ素子１５に流す電流を制御する。つまり、ＥＬ素子１５に流れる電流Ｉｗをオフしても、画像データはそのままコンデンサ１９の保持されている。したがって、次のタイミングでスイッチング素子１１ｄなどをオンさせ、ＥＬ素子１５に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機ＥＬ素子１５は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することのより従来のデータ保持型の表示パネル（液晶表示パネル、ＥＬ表示パネルなど）の問題である動画表示の問題を解決できる。

【０１７０】

さらに、大型の表示装置でソース信号線１８の配線長が長くなり、ソース信号線１８の寄生容量が大きくなる場合は、Ｎ値を大きくすることのより対応できる。ソース信号線１８に印加するプログラム電流値をＮ倍にした場合、ゲート信号線１７ｂ（トランジスタ１１ｄ）の導通期間を１Ｆ／Ｎとすればよい。これによりテレビ、モニターなどの大型表示装置などにも適用が可能である。

【０１７１】

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線１８の寄生容量は、隣接したソース信号線１８間の結合容量、ソースドライブＩＣ（回路）１４のバッファ出力容量、ゲート信号線１７とソース信号線１８とのクロス容量などにより発生する。この寄生容量は通常１０ｐＦ以上となる。電圧駆動の場合は、ドライバＩＣ１４からは低インピーダンスで電圧がソース信号線１８に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

【０１７２】

しかし、電流駆動では特に黒レベルの画像表示では２０ｎＡ以下の微小電流で画素のコンデンサ１９をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさ

で発生すると、１画素行にプログラムする時間（通常、１Ｈ以内、ただし、２画素行を同時に書き込む場合もあるので１Ｈ以内に限定されるものではない。）内に寄生容量を充放電することができない。１Ｈ期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

【０１７３】

図１の画素構成の場合、図３（ａ）に示すように、電流プログラム時は、プログラム電流Ｉｗがソース信号線１８に流れる。この電流Ｉｗがトランジスタ１１ａを流れ、Ｉｗを流す電流が保持されるように、コンデンサ１９に電圧設定（プログラム）される。このとき、トランジスタ１１ｄはオープン状態（オフ状態）である。

【０１７４】

次に、ＥＬ素子１５に電流を流す期間は図３（ｂ）のように、トランジスタ１１ｃ、１１ｂがオフし、トランジスタ１１ｄが動作する。つまり、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、トランジスタ１１ｂ、１１ｃがオフする。一方、ゲート信号線１７ｂにオン電圧（Ｖｇｌ）が印加され、トランジスタ１１ｄがオンする。

【０１７５】

今、電流Ｉ１が本来流す電流（所定値）のＮ倍であるとすると、図３（ｂ）のＥＬ素子１５に流れる電流もＩｗとなる。したがって、所定値の１０倍の輝度でＥＬ素子１５は発光する。つまり、図１２に図示するように、倍率Ｎを高くするほど、画素１６の表示輝度Ｂも高くなる。したがって、倍率と画素１６の輝度とは比例関係となる。

【０１７６】

そこで、トランジスタ１１ｄを本来オンする時間（約１Ｆ）の１／Ｎの期間だけオンさせ、他の期間（Ｎ－１）／Ｎ期間はオフさせれば、１Ｆ全体の平均輝度は所定の輝度となる。この表示状態は、ＣＲＴが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の１／Ｎ（全画面を１とする）が点灯している点である（ＣＲＴでは、点灯している範囲は１画素行（厳密には１画素である）。

【０１７７】

本発明では、この１Ｆ／Ｎの画像表示領域５３が図１３（ｂ）に示すように画面５０の上から下に移動する。本発明では、１Ｆ／Ｎの期間の間だけ、ＥＬ素子１５に電流が流れ、他の期間（１Ｆ・（Ｎ－１）／Ｎ）は電流が流れない。したがって、各画素１６は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【０１７８】

なお、図１３に図示するように、書き込み画素行５１ａは非点灯表示５２ａとする。しかし、これは、図１、図２などの画素構成の場合である。図３８などで図示するカレントミラーの画素構成では、書き込み画素行５１ａは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図１の画素構成を例示して説明をする。また、図１３、図１６などの所定駆動電流Ｉｗよりも大きい電流でプログラムし、間欠駆動する駆動方法をＮ倍パルス駆動と呼ぶ。

【０１７９】

この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のＥＬ表示パネル）では、１Ｆの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、ＣＲＴに近い動画表示を実現することができる。

【０１８０】

なお、図１３に図示するように、駆動するためには、画素１６の電流プログラム期間（図１の画素構成においては、ゲート信号線１７ａのオン電圧Ｖｇｌが印加されている期間）と、ＥＬ素子１５をオフまたはオン制御している期間（図１の画素構成においては、ゲ

ート信号線１７ｂのオン電圧Ｖｇｌまたはオフ電圧Ｖｇｈが印加されている期間）とを独立に制御できる必要がある。したがって、ゲート信号線１７ａとゲート信号線１７ｂは分離されている必要がある。

【０１８１】

たとえば、ゲートドライバ回路１２から画素１６に配線されたゲート信号線１７が１本である場合、ゲート信号線１７に印加されたロジック（ＶｇｈまたはＶｇｌ）をトランジスタ１１ｂに印加し、ゲート信号線１７に印加されたロジックをインバータで変換して（ＶｇｌまたはＶｇｈ）して、トランジスタ１１ｄに印加するという構成では、本発明の駆動方法は実施できない。したがって、本発明では、ゲート信号線１７ａを操作するゲートドライバ回路１２ａと、ゲート信号線１７ｂを操作するゲートドライバ回路１２ｂが必要となる。

【０１８２】

また、本発明の駆動方法は、図１の画素構成においても、電流プログラム期間（１Ｈ）以外の期間においても、非点灯表示にする駆動方法である。

【０１８３】

図１３の駆動方法のタイミングチャートを図１４に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図１であるとする。図１４でわかるように、各選択された画素行（選択期間は、１Ｈとしている）において、ゲート信号線１７ａにオン電圧（Ｖｇｌ）が印加されている時（図１４（ａ）を参照）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている（図１４（ｂ）を参照）。また、この期間は、ＥＬ素子１５には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線１７ａにオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加されている。また、この期間は、ＥＬ素子１５に電流が流れている（点灯状態）。また、点灯状態では、ＥＬ素子１５は所定のＮ倍の輝度（Ｎ・Ｂ）で点灯し、その点灯期間は１Ｆ／Ｎである。したがって、１Ｆを平均した表示パネルの表示輝度は、（Ｎ・Ｂ）×（１／Ｎ）＝Ｂ（所定輝度）となる。

【０１８４】

図１５は、図１４の動作を各画素行に適用した実施例である。ゲート信号線１７に印加する電圧波形を示している。電圧波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。（１）（２）などの添え字は選択している画素行番号を示している。

【０１８５】

図１５において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（１）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（１）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。

【０１８６】

１Ｈ後には、ゲート信号線１７ａ（２）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する）である。したがって、コンデンサ１９には１０倍に電流がトランジスタ１１ａに流れるようにプログラムされる。画素行（２）が選択されている時は、図１の画素構成ではゲート信号線１７ｂ（２）はオフ電圧（Ｖｇｈ）が印加され、ＥＬ素子１５には電流が流れない。しかし、先の画素行（１）のゲート信号線１７ａ（１）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。

【０１８７】
次の１Ｈ後には、ゲート信号線１７ａ（３）が選択され、ゲート信号線１７ｂ（３）はオフ電圧（Ｖｇｈ）が印加され、画素行（３）のＥＬ素子１５には電流が流れない。しかし、先の画素行（１）（２）のゲート信号線１７ａ（１）（２）にはオフ電圧（Ｖｇｈ）が印加され、ゲート信号線１７ｂ（１）（２）にはオン電圧（Ｖｇｌ）が印加されるため、点灯状態となっている。
【０１８８】
以上の動作を１Ｈの同期信号に同期して画像を表示していく。しかし、図１５の駆動方式では、ＥＬ素子１５には１０倍の電流が流れる。したがって、表示画面５０は約１０倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を１／１０にしておけばよいことは言うまでもない。しかし、１／１０の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面５２の挿入により所定の輝度を得るのは本発明の基本的な主旨である。
【０１８９】
なお、本発明の駆動方法において、所定電流よりも高い電流がＥＬ素子１５に流れるようにし、ソース信号線１８の寄生容量を十分に充放電するという概念である。つまり、ＥＬ素子１５にＮ倍の電流を流さなくともよい。たとえば、ＥＬ素子１５に並列に電流経路を形成し（ダミーのＥＬ素子を形成し、このＥＬ素子は遮光膜を形成して発光させないなど）、ダミーＥＬ素子とＥＬ素子１５に分流して電流を流しても良い。たとえば、信号電流が０．２μＡのとき、プログラム電流を２．２μＡとして、トランジスタ１１ａには２．２μＡを流す。この電流のうち、信号電流０．２μＡをＥＬ素子１５に流して、２μＡをダミーのＥＬ素子に流すなどの方式が例示される。つまり、図２７のダミー画素行２７１を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。
【０１９０】
以上のように構成することにより、ソース信号線１８に流す電流をＮ倍に増加させることにより、駆動用トランジスタ１１ａにＮ倍の電流が流れるようにプログラムすることができ、かつ、電流ＥＬ素子１５には、Ｎ倍よりは十分小さい電流をながすことができることになる。以上の方法では、図５に図示するように、非点灯領域５２を設けることなく、全表示領域５０を画像表示領域５３とすることができる。
【０１９１】
図１３（ａ）は表示画像５０への書き込み状態を図示している。図１３（ａ）において、５１ａは書き込み画素行である。ソースドライバＩＣ１４から各ソース信号線１８にプログラム電流が供給される。なお、図１３などでは１Ｈ期間に書き込む画素行は１行である。しかし、何ら１Ｈに限定するものではなく、０．５Ｈ期間でも、２Ｈ期間でもよい。また、ソース信号線１８にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線１８に書き込まれるのは電圧である電圧プログラム方式（図４６など）でもよい。
【０１９２】
図１３（ａ）において、ゲート信号線１７ａが選択されるとソース信号線１８に流れる電流がトランジスタ１１ａにプログラムされる。この時、ゲート信号線１７ｂはオフ電圧が印加されＥＬ素子１５には電流が流れない。これは、ＥＬ素子１５側にトランジスタ１１ｄがオン状態であると、ソース信号線１８からＥＬ素子１５の容量成分が見え、この容量に影響されてコンデンサ１９に十分に正確な電流プログラムができなくなるためである。したがって、図１の構成を例にすれば、図１３（ｂ）で示すように電流を書き込まれている画素行は非点灯領域５２となる。
【０１９３】
今、Ｎ（ここでは、先に述べたようにＮ＝１０とする）倍の電流でプログラムしたとすれば、画面の輝度は１０倍になる。したがって、表示領域５０の９０％の範囲を非点灯領域５２とすればよい。したがって、画像表示領域の水平走査線がＱＣＩＦの２２０本（Ｓ

＝２２０）とすれば、２２本と表示領域５３とし、２２０－２２＝１９８本を非表示領域５２とすればよい。一般的に述べれば、水平走査線（画素行数）をＳとすれば、Ｓ／Ｎの領域を表示領域５３とし、この表示領域５３をＮ倍の輝度で発光させる。そして、この表示領域５３を画面の上下方向に走査する。したがって、Ｓ（Ｎ－１）／Ｎの領域は非点灯領域５２とする。この非点灯領域は黒表示（非発光）である。また、この非発光部５２はトランジスタ１１ｄをオフさせることにより実現する。なお、Ｎ倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりＮ倍の値と調整することは言うまでもない。

【０１９４】

また、先の実施例で、１０倍の電流でプログラムしたとすれば、画面の輝度は１０倍になり、表示領域５０の９０％の範囲を非点灯領域５２とすればよいとした。しかし、これは、ＲＧＢの画素を共通に非点灯領域５２とすることに限定するものではない。例えば、Ｒの画素は、１／８を非点灯領域５２とし、Ｇの画素は、１／６を非点灯領域５２とし、Ｂの画素は、１／１０を非点灯領域５２と、それぞれの色により変化させてもよい。また、ＲＧＢの色で個別に非点灯領域５２（あるいは点灯領域５３）を調整できるようにしてもよい。これらを実現するためには、Ｒ、Ｇ、Ｂで個別のゲート信号線１７ｂが必要になる。しかし、以上のＲＧＢの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図４１を参照のこと）。

【０１９５】

図１３（ｂ）に図示するように、書き込み画素行５１ａを含む画素行が非点灯領域５２とし、書き込み画素行５１ａよりも上画面のＳ／Ｎ（時間的には１Ｆ／Ｎ）の範囲を表示領域５３とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域５３が帯状になって、画面の上から下に移動する。

【０１９６】

図１３の表示では、１つの表示領域５３が画面の上から下方向に移動する。フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【０１９７】

この課題に対しては、図１６に図示するように、表示領域５３を複数に分割するとよい。この分割された総和がＳ（Ｎ－１）／Ｎの面積となれば、図１３の明るさと同等になる。なお、分割された表示領域５３は等しく（等分に）する必要はない。また、分割された非表示領域５２も等しくする必要はない。

【０１９８】

以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

【０１９９】

図１７はゲート信号線１７の電圧波形およびＥＬの発光輝度を図示している。図１７で明らかなように、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｋ）している。つまり、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【０２００】

なお、図１７などにおいて、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複

数に分割（分割数Ｋ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより画像５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、画像５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化となる。また、画像の表示領域５３を分割する時、ゲート信号線１７ｂをＶｇｌにする期間は同一期間に限定するものではない。

【０２０１】

以上の実施例は、ＥＬ素子１５に流れる電流を遮断し、また、ＥＬ素子に流れる電流を接続することにより、表示画面５０をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ１９に保持された電荷によりトランジスタ１１ａに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ１９に保持された電荷を充放電させることにより、表示画面５０をオンオフ（点灯、非点灯）する方式でもよい。

【０２０２】

図１８は図１６の画像表示状態を実現するための、ゲート信号線１７に印加する電圧波形である。図１８と図１５の差異は、ゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図１５と同一であるので説明を省略する。

【０２０３】

ＥＬ表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図１、図２、図３２、図４３、図１１７の構成においては、トランジスタ１１ｄをオンオフ操作するだけで間欠表示を実現できる。また、図３８、図５１、図１１５の構成においては、トランジスタ素子１１ｅをオンオフ操作するだけで、間欠表示を実現することができる。また、図１１３においては切り替え回路１１３１を制御することにより間欠表示を実現できる。また、図１１４においては、トランジスタ１１ｇをオンオフ制御することにより間欠表示を実現できる。これは、コンデンサ１９に画像データがメモリ（アナログ値であるから階調数は無限大）されているからである。つまり、各画素１６に、画像データは１Ｆの期間中は保持されている。この保持されている画像データに相当する電流をＥＬ素子１５に流すか否かをトランジスタ１１ｄ、１１ｅの制御により実現しているのである。

【０２０４】

したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるものである。つまり、ＥＬ素子１５に流す電流が各画素内で保存している構成において、駆動用トランジスタ１１をＥＬ素子１５間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

【０２０５】

コンデンサ１９の端子電圧を維持することはフリッカ低減と低消費電力化に重要である。１フィールド（フレーム）期間でコンデンサ１９の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ１１ａが１フレーム（１フィールド）期間でＥＬ素子１５に流す電流は、少なくとも６５％以下に低下しないようにする必要がある。この６５％とは、画素１６に書き込み、ＥＬ素子１５に流す電流の最初が１００％とした時、次のフレーム（フィールド）で前記画素１６に書き込む直前のＥＬ素子１５に流す電流が６５％以上とすることである。

【０２０６】

図１の画素構成では、間欠表示を実現する場合としない場合では、１画素を構成するトランジスタ１１の個数に変化はない。つまり、画素構成はそのままで、ソース信号線１８の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、ＣＲＴに近

い動画表示を実現しているのである。

【０２０７】

また、ゲートドライバ回路１２の動作クロックはソースドライバ回路１４の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Ｎの値の変更も容易である。

【０２０８】

なお、画像表示方向（画像書き込み方向）は、１フィールド（１フレーム）目では画面の上から下方向とし、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【０２０９】

さらに、１フィールド（１フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第２フィールド（フレーム）目では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

【０２１０】

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域５２の動作方向を１フィールド目では画面の上から下方向とし、つぎの第２フィールド目では画面の下から上方向としてもよい。また、１フレームを３フィールドに分割し、第１のフィールドではＲ、第２のフィールドではＧ、第３のフィールドではＢとして、３フィールドで１フレームを形成するとしてもよい。また、１水平走査期間（１Ｈ）ごとに、Ｒ、Ｇ、Ｂを切り替えて表示してもよい（図１２５から図１３２とその説明などを参照のこと）。以上の事項は他の本発明の実施例でも同様である。

【０２１１】

非表示領域５２は完全に非点灯状態である必要はない。微弱な発光あるいは低輝度の画像表示があっても実用上は問題ない。つまり、画像表示領域５３よりも表示輝度が低い領域と解釈するべきである。また、非表示領域５２とは、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが非表示状態という場合も含まれる。また、Ｒ、Ｇ、Ｂ画像表示のうち、１色または２色のみが低輝度の画像表示状態という場合も含まれる。

【０２１２】

基本的には表示領域５３の輝度（明るさ）が所定値に維持される場合、表示領域５３の面積が広くなるほど、画面５０の輝度は高くなる。たとえば、表示領域５３の輝度が１００（ｎｔ）の場合、表示領域５３が全画面５０に占める割合が１０％から２０％にすれば、画面の輝度は２倍となる。したがって、全画面５０に占める表示領域５３の面積を変化させることにより、画面の表示輝度を変化することができる。画面５０の表示輝度は画面５０に占める表示領域５３の割合に比例する。

【０２１３】

表示領域５３の面積はシフトレジスタ６１へのデータパルス（ＳＴ２）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図１６の表示状態と図１３の表示状態とを切り替えることができる。１Ｆ周期でのデータパルス数を多くすれば、画面５０は明るくなり、少なくすれば、画面５０は暗くなる。また、連続してデータパルスを印加すれば図１３の表示状態となり、間欠にデータパルスを入力すれば図１６の表示状態となる。

【０２１４】

図１９（ａ）は図１３のように表示領域５３が連続している場合の明るさ調整方式である。図１９（ａ１）の画面５０の表示輝度が最も明るい。図１９（ａ２）の画面５０の表示輝度が次に明るく、図１９（ａ３）の画面５０の表示輝度が最も暗い。図１９（ａ）は最も動画表示に適する。

【０２１５】

図１９（ａ１）から図１９（ａ３）への変化（あるいはその逆）は、先にも記載したよ

うにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。この際、図１のＶｄｄ電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面５０の輝度変化を実施できる。また、図１９（ａ１）から図１９（ａ３）への変化の際、画面のガンマ特性は全く変化しない。したがって、画面５０の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。

【０２１６】

従来の画面の輝度調整では、画面５０の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は６４階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の６４階調表示を実現できる。

【０２１７】

図１９（ｂ）は図１６のように表示領域５３が分散している場合の明るさ調整方式である。図１９（ｂ１）の画面５０の表示輝度が最も明るい。図１９（ｂ２）の画面５０の表示輝度が次に明るく、図１９（ｂ３）の画面５０の表示輝度が最も暗い。図１９（ｂ１）から図１９（ｂ３）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路１２のシフトレジスタ回路６１などの制御により、容易に実現できる。図１９（ｂ）のように表示領域５３を分散させれば、低フレームレートでもフリッカが発生しない。

【０２１８】

さらに低フレームレートでも、フリッカが発生しないようにするには、図１９（ｃ）のように表示領域５３を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図１９（ａ）の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図１９（ｃ）の駆動方法が適している。図１９（ａ）から図１９（ｃ）の駆動方法の切り替えも、シフトレジスタ６１の制御により容易に実現できる。

【０２１９】

以上の実施例は、主として、Ｎ＝２倍、４倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、Ｎ＝２以上に限定されるものでもない。たとえば、ある時刻で表示領域５０の半分以下の領域を非点灯領域５２とすることもある。所定値の５／４倍の電流Ｉｗで電流プログラムし、１Ｆの４／５期間点灯させれば、所定の輝度を実現できる。

【０２２０】

本発明はこれに限定されるものではない。一例として、１０／４倍の電流Ｉｗで電流プログラミングし、１Ｆの４／５期間の間点灯させるという方法もある。この場合は、所定輝度の２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの２／５期間の間点灯させるという方法もある。この場合は、所定輝度の１／２倍で点灯する。また、５／４倍の電流Ｉｗで電流プログラミングし、１Ｆの１／１期間の間点灯させるという方法もある。この場合は、所定輝度の５／４倍で点灯する。

【０２２１】

つまり、本発明は、プログラム電流の大きさと、１Ｆの点灯期間を制御することにより、表示画面の輝度を制御する方式である。かつ、１Ｆ期間よりも短い期間点灯させることにより、黒画面５２を挿入でき、動画表示性能を向上できる。１Ｆの期間、常時点灯させることにより明るい画面を表示できる。

【０２２２】

画素に書き込む電流（ソースドライバ回路１４から出力するプログラム電流）は、画素サイズがＡ平方ｍｍとし、白ラスター表示所定輝度をＢ（ｎｔ）とした時、プログラム電流Ｉ（μＡ）は、

（Ａ×Ｂ）／２０　＜＝　Ｉ　＜＝　（Ａ×Ｂ）

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書込み不足が解消する。

【０２２３】
さらに、好ましくは、プログラム電流Ｉ（μＡ）は、
（Ａ×Ｂ）／１０　＜＝　Ｉ　＜＝　（Ａ×Ｂ）
の範囲とすることが好ましい。
【０２２４】
図１４、図１７では、ゲート信号線１７ａの動作タイミングとゲート信号線１７ｂの書込みタイミングには言及していない。しかし、ある画素が選択されているとした時（前記画素が接続されているゲート信号線１７ａにオン電圧が印加されている時）、その前後の１Ｈ期間（１水平走査期間）はゲート信号線１７ｂ（ＥＬ側のトランジスタ１１ｄを制御するゲート信号線）には、オフ電圧を印加する。前後１Ｈ期間にゲート信号線１７ｂにオフ電圧を印加した状態にすることにより、パネルにクロストークが発生せず、安定した画像表示を実現できる。
【０２２５】
この駆動方法のタイミングチャートを図３８１に示す。ゲート信号線１７ａには、１Ｈ（選択期間）にオン電圧（Ｖｇｌ）が印加されている。この１Ｈ期間の前後１Ｈ期間（計３Ｈ期間）には、ゲート信号線１７ｂにはオフ電圧（Ｖｇｈ）が印加されている。
【０２２６】
なお、以上の実施例は選択期間の前後１Ｈ期間の間は、ゲート信号線１７ｂにはオフ電圧を印加するとした。しかし、本発明はこれに限定するものではない。たとえば、図３８２に図示するように、選択期間の前の１Ｈ期間と選択期間後の２Ｈ期間に、ゲート信号線１７ｂにオフ電圧を印加するように構成してもよい。以上の実施例は、本発明の他の実施例にも適用できることは言うまでもない。
【０２２７】
図２０はソース信号線１８に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線１８の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、１画素あたりの駆動する電流を減少させることができる。したがって、ＥＬ素子１５に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、Ｎ＝１０として説明する（ソース信号線１８に流す電流を１０倍にする）。
【０２２８】
図２０で説明する本発明は、画素行は同時にＭ画素行を選択する。ソースドライバＩＣ１４からは所定電流のＮ倍電流をソース信号線１８に印加する。各画素にはＥＬ素子１５に流す電流のＮ／Ｍ倍の電流がプログラムされる。一例として、ＥＬ素子１５を所定発光輝度とするために、ＥＬ素子１５に流れる時間を１フレーム（１フィールド）のＭ／Ｎ時間にする（ただし、Ｍ／Ｎに限定するものでない。Ｍ／Ｎとするのは理解を容易にするためである。先にも説明したように、表示する画面５０輝度により自由に設定できることはいうまでもない。）。このように駆動することにより、ソース信号線１８の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。
【０２２９】
１フレーム（１フィールド）のＭ／Ｎの期間の間だけ、ＥＬ素子１５に電流を流し、他の期間（１Ｆ（Ｎ－１）Ｍ／Ｎ）は電流を流さないように表示する。この表示状態では１Ｆごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線１８にはＮ倍の電流で駆動するため、寄生容量の影響をうけず、高精細表示パネルにも対応できる。
【０２３０】
図２１は、図２０の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧をＶｇｈ（Ｈレベル）とし、オン電圧をＶｇｌ（Ｌレベル）としている。各信号線の添え字は画素行の番号（（１）（２）（３）など）を記載している。なお、行数はＱＣ

ＩＦ表示パネルの場合は２２０本であり、ＶＧＡパネルでは４８０本である。

【０２３１】

図２１において、ゲート信号線１７ａ（１）が選択され（Ｖｇｌ電圧）、選択された画素行のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行５１ａが画素行（１）番目であるとして説明する。

【０２３２】

また、ソース信号線１８に流れるプログラム電流は所定値のＮ倍（説明を容易にするため、Ｎ＝１０として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスター表示などでない限り固定値ではない。）である。また、５画素行が同時に選択（Ｍ＝５）として説明をする。したがって、理想的には１つの画素のコンデンサ１９には２倍（Ｎ／Ｍ＝１０／５＝２）に電流がトランジスタ１１ａに流れるようにプログラムされる。

【０２３３】

書き込み画素行が（１）画素行目である時、図２１で図示したように、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている。つまり、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ゲート信号線１７ｂはゲート信号線１７ａの逆位相となっている。したがって、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０２３４】

理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す（つまり、ソース信号線１８にはＩｗ×２×Ｎ＝Ｉｗ×２×５＝Ｉｗ×１０。したがって、本発明のＮ倍パルス駆動を実施しない場合が所定電流Ｉｗとすると、Ｉｗの１０倍の電流がソース信号線１８に流れる）。

【０２３５】

以上の動作（駆動方法）により、各画素１６のコンデンサ１９には、２倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。

【０２３６】

同時に選択する画素行が５画素行（Ｍ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／５＝２倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｗとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。

【０２３７】

したがって、４画素行５１ｂにおいて、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。ただし、図３８のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

【０２３８】

１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（６）が選択され（Ｖｇｌ電圧）、選択された画素行（６）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（１）には正規の画像データが保持される。

【０２３９】
次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（７）が選択され（Ｖｇｌ電圧）、選択された画素行（７）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフトしながら走査することにより１画面が書き換えられる。
【０２４０】
図２０の駆動方法では、各画素には２倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には２倍となる。したがって、表示画面の輝度は所定値よりも２倍となる。これを所定の輝度とするためには、図１６に図示するように、書き込み画素行５１を含み、かつ表示領域５０の１／２の範囲を非表示領域５２とすればよい。
【０２４１】
図１３と同様に、図２０のように１つの表示領域５３が画面の上から下方向に移動すると、フレームレートが低いと、表示領域５３が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。
【０２４２】
この課題に対しては、図２２に図示するように、表示領域５３を複数に分割するとよい。分割された非表示領域５２を加えた部分がＳ（Ｎ－１）／Ｎの面積となれば、分割しない場合と同一となる。
【０２４３】
図２３はゲート信号線１７に印加する電圧波形である。図２１と図２３との差異は、基本的にはゲート信号線１７ｂの動作である。ゲート信号線１７ｂは画面を分割する個数に対応して、その個数分だけオンオフ（ＶｇｌとＶｇｈ）動作する。他の点は図２１とほぼ同一あるいは類推できるので説明を省略する。
【０２４４】
以上のように、表示領域５３を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にＥＬ素子１５の応答性は速いため、５μsecよりも小さい時間でオンオフしても、表示輝度の低下はない。
【０２４５】
本発明の駆動方法において、ＥＬ素子１５のオンオフは、ゲート信号線１７ｂに印加する信号のオンオフで制御できる。そのため、本発明の駆動方法では、ＫＨｚオーダーの低周波数で制御が可能である。また、黒画面挿入（非表示領域５２挿入）を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。
【０２４６】
図２４は同時に選択する画素行が２画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、２画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ１１ａの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線１８と平行に照射することで良好な結果が得られた。
【０２４７】
これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタのＶｔ、モビリティがほぼ等しくなるためである。したがって、ソース信号線１８の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線１８に沿った画素（画素列、画面の上下方向

の画素）の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図２４などで説明する駆動方式とは相乗効果がある。

【０２４８】

以上のように、レーザーショットの方向をソース信号線１８の形成方向と略一致させる（図７を参照のこと）ことにより、画素の上下方向のトランジスタ１１ａの特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ１１ａの特性が一致していなくとも）。以上の動作は、１Ｈ（１水平走査期間）に同期して、１画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。

【０２４９】

なお、図８で説明したように、レーザーショットの方向をソース信号線１８と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線１８に対して斜め方向にレーザーショットを照射しても１つのソース信号線１８に沿った画素の上下方向のトランジスタ１１ａの特性はほぼ一致して形成されるからある。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線１８の沿った任意の画素の上または下に隣接した画素を、１つのレーザー照射範囲に入るように形成するということである。また、ソース信号線１８とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

【０２５０】

なお、本発明の実施例では１Ｈごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、２Ｈごとにシフト（２画素行ごと）してもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、１画素行とばしでシフトしてもよい。

【０２５１】

画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。たとえば、画面５０の中央部は２００μｓｅｃごとに１画素行をシフトし、画面５０の上下部は、１００μｓｅｃごとに１画素行をシフトする。このようにシフトすることにより、画面５０の中央部の発光輝度が高くなり、周辺（画面５０の上部と下部）を低くできる）。なお、画面５０の中央部と画面上部のシフト時間、画面５０の中央部と画面下部のシフト時間は滑らかに時間変化するようにし、輝度輪郭がでないように制御することは言うまでもない。

【０２５２】

なお、ソースドライバ回路１４の基準電流を画面５０の走査位置に対応して変化（図１４６などを参照のこと）させてもよい。たとえば、画面５０の中央部の基準電流を１０μＡとし、画面５０の上下部の基準電流は５μＡとする。このように画面５０位置に対応して基準電流を変化させることにより、画面５０の中央部の発光輝度が高くなり、周辺（画面５０の上部と下部）を低くできる）。なお、画面５０の中央部と画面上部との間の基準電流、画面５０の中央部と画面下部との間の基準電流の値は滑らかに時間変化するようにし、輝度輪郭がでないように基準電流を制御することは言うまでもない。

【０２５３】

また、画面位置に応じて、画素行をシフトする時間を制御する駆動方法と、画面５０位置に対応して基準電流を変化させる駆動方法を組み合わせて画像表示を行っても良いことは言うまでもない。

【０２５４】

フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、１画素行へだてた画素行を選択してもよい。

【０２５５】

つまり、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行を選択し、第

２番目の水平走査期間に第２番目の画素行と第４番目の画素行を選択し、第３番目の水平走査期間に第３番目の画素行と第５番目の画素行を選択し、第４番目の水平走査期間に第４番目の画素行と第６番目の画素行を選択する駆動方法である。もちろん、第１番目の水平走査期間に第１番目の画素行と第３番目の画素行と第５番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもより。

【０２５６】

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図１、図２、図３２の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図３８、図４２、図５０などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図４３、図５１、図５４、図４６などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線１８に印加した電圧値により良好に電圧プログラムを実施できるからである。

【０２５７】

図２４において、書き込み画素行が（１）画素行目である時、ゲート信号線１７ａは（１）（２）が選択されている（図２５を参照のこと）。つまり、画素行（１）（２）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。したがって、少なくとも画素行（１）（２）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。なお、図２４では、フリッカの発生を低減するため、表示領域５３を５分割している。

【０２５８】

理想的には、２画素（行）のトランジスタ１１ａが、それぞれＩｗ×５（Ｎ＝１０の場合。つまり、Ｋ＝２であるから、ソース信号線１８に流れる電流はＩｗ×Ｋ×５＝Ｉｗ×１０となる）の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。

【０２５９】

同時に選択する画素行が２画素行（Ｋ＝２）であるから、２つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、１０／２＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、２つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

【０２６０】

たとえば、書き込み画素行５１ａに、本来、書き込む電流Ｉｄとし、ソース信号線１８には、Ｉｗ×１０の電流を流す。書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。

【０２６１】

次の、１Ｈ後には、ゲート信号線１７ａ（１）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（３）が選択され（Ｖｇｌ電圧）、選択された画素行（３）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（１）には正規の画像データが保持される。

【０２６２】

次の、１Ｈ後には、ゲート信号線１７ａ（２）は非選択となり、ゲート信号線１７ｂにはオン電圧（Ｖｇｌ）が印加される。また、同時に、ゲート信号線１７ａ（４）が選択され（Ｖｇｌ電圧）、選択された画素行（４）のトランジスタ１１ａからソースドライバ１４に向かってソース信号線１８にプログラム電流が流れる。このように動作することのより、画素行（２）には正規の画像データが保持される。以上の動作と１画素行ずつシフト（もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であ

れば、２行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより１画面が書き換えられる。

【０２６３】

図１６と同様であるが、図２４の駆動方法では、各画素には５倍の電流（電圧）でプログラムを行うため、各画素のＥＬ素子１５の発光輝度は理想的には５倍となる。したがって、表示領域５３の輝度は所定値よりも５倍となる。これを所定の輝度とするためには、図１６などに図示するように、書き込み画素行５１を含み、かつ表示画面１の１／５の範囲を非表示領域５２とすればよい。

【０２６４】

図２７に図示するように、２本の書き込み画素行５１（５１ａ、５１ｂ）が選択され、画面５０の上辺から下辺に順次選択されていく（図２６も参照のこと。図２６では画素行１６ａと１６ｂが選択されている）。しかし、図２７（ｂ）のように、画面の下辺までくると書き込み画素行５１ａは存在するが、５１ｂはなくなる。つまり、選択する画素行が１本しかなくなる。そのため、ソース信号線１８に印加された電流は、すべて画素行５１ａに書き込まれる。したがって、画素行５１ａに比較して、２倍の電流が画素にプログラムされてしまう。

【０２６５】

この課題に対して、本発明は、図２７（ｂ）に図示するように画面５０の下辺にダミー画素行２７１を形成（配置）している。したがって、選択画素行が画面５０の下辺まで選択された場合は、画面５０の最終画素行とダミー画素行２７１が選択される。そのため、図２７（ｂ）の書き込み画素行には、規定どおりの電流が書き込まれる。

【０２６６】

なお、ダミー画素行２７１は表示領域５０の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域５０から離れた位置に形成されていてもよい。また、ダミー画素行２７１は、図１のスイッチング用トランジスタ１１ｄ、ＥＬ素子１５などは形成する必要はない。形成しないことにより、ダミー画素行２７１のサイズは小さくなる。

【０２６７】

図２８は図２７（ｂ）の状態を示している。図２８で明らかのように、選択画素行が画面５０の下辺の画素１６ｃ行まで選択された場合は、画面５０の最終画素行（ダミー画素行）２７１が選択される。ダミー画素行２７１は表示領域５０外に配置する。つまり、ダミー画素行（ダミー画素）２７１は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極１０５とトランジスタ１１とのコンタクトホールをなくすとか、ダミー画素行２７１にはＥＬ膜１５を形成しないとかである。また、ダミー画素行の画素電極１０５上に絶縁膜を形成する構成などが例示される。

【０２６８】

図２７では、画面５０の下辺にダミー画素（行）２７１を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図２９（ａ）に図示するように、画面の下辺から上辺に走査する（上下逆転走査）する場合は、図２９（ｂ）に図示するように画面５０の上辺にもダミー画素行２７１を形成すべきである。つまり、画面５０の上辺を下辺のそれぞれにダミー画素行２７１を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、２画素行を同時選択する場合であった。

【０２６９】

本発明はこれに限定するものではなく、たとえば、５画素行を同時選択する方式（図２３を参照のこと）でもよい。つまり、５画素行同時駆動の場合は、ダミー画素行２７１は４行分形成すればよい。したがって、ダミー画素行２７１は同時に選択する画素行－１の画素数分を形成すればよい。ただし、これは、１画素行ずつ選択する画素行をシフトする

場合である。複数画素行ずつシフトする場合は、選択する画素数をＭとし、シフトする画素行数をＬとしたとき、（Ｍ－１）×Ｌ画素行分を形成すればよい。

【０２７０】

本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも１つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とＮ倍パルス駆動とを組み合わせて用いることが好ましい。

【０２７１】

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ１１ａの特性バラツキを吸収することが困難になる。しかし、同時選択画素行数Ｍが少なくなると、１画素にプログラムする電流が大きくなり、ＥＬ素子１５に大きな電流を流すことになる。ＥＬ素子１５に流す電流が大きいとＥＬ素子１５が劣化しやすくなる。

【０２７２】

図３０はこの課題を解決するものである。図３０の基本概念は、１／２Ｈ（水平走査期間の１／２）は、図２２、図２９で説明したように、複数の画素行を同時に選択する方法である。その後の（１／２）Ｈ（水平走査期間の１／２）は図５、図１３などで説明したように、１画素行を選択する方法を組み合わせたものである。このように組み合わせることにより、トランジスタ１１ａの特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。なお、理解を容易にするため、（１／２）Ｈで操作するとして説明するがこれに限定するものではない。最初の期間を（１／４）Ｈとし、後半の期間を（３／４）Ｈとしてもよい。

【０２７３】

図３０において、説明を容易にするため、第１の期間では５画素行を同時に選択し、第２の期間では１画素行を選択するとして説明をする。まず、第１の期間（前半の１／２Ｈ）では、図３０（ａ１）に図示するように、５画素行を同時に選択する。この動作は図２２を用いて説明したので省略する。一例としてソース信号線１８に流す電流は所定値の２５倍とする。したがって、各画素１６のトランジスタ１１ａ（図１の画素構成の場合）には５倍の電流（２５／５画素行＝５）がプログラムされる。２５倍の電流であるから、ソース信号線１８などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線１８の電位は、短時間で目標の電位となり、各画素１６のコンデンサ１９の端子電圧も５倍電流を流すようにプログラムされる。この２５倍電流の印加時間は前半の１／２Ｈ（１水平走査期間の１／２）とする。

【０２７４】

当然のことながら、書き込み画素行の５画素行は同一画像データが書き込まれるから、表示しないように５画素行のトランジスタ１１ｄはオフ状態とされる。したがって、表示状態は図３０（ａ２）となる。

【０２７５】

次の後半の１／２Ｈ期間は、１画素行を選択し、電流（電圧）プログラムを行う。この状態を図３０（ｂ１）に図示している。書き込み画素行５１ａは先と同様に５倍の電流を流すように電流（電圧）プログラムされる。図３０（ａ１）と図３０（ｂ１）とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ１９の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【０２７６】

つまり、図３０（ａ１）で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第１の段階では、複数のトランジスタ１１ａでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第２の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【０２７７】

なお、非点灯領域５２を画面の上から下方向に走査し、また、書き込み画素行５１ａも

画面の上から下方向に走査することは図１３などの実施例と同様であるので説明を省略する。

【０２７８】

図３１は図３０の駆動方法を実現するための駆動波形である。図３１でわかるように、１Ｈ（１水平走査期間）は２つのフェーズで構成されている。この２つのフェーズはＩＳＥＬ信号で切り替える。ＩＳＥＬ信号は図３１に図示している。

【０２７９】

まず、ＩＳＥＬ信号について説明をしておく。図３０を実施するドライバ回路１４は、電流出力回路Ａと電流出力回路Ｂとを具備している。それぞれの電流出力回路は、８ビットの階調データをＤＡ変換するＤＡ回路とオペアンプなどから構成される。図３０の実施例では、電流出力回路Ａは２５倍の電流を出力するように構成されている。一方、電流出力回路Ｂは５倍の電流を出力するように構成されている。電流出力回路Ａと電流出力回路Ｂの出力はＩＳＥＬ信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線１８に印加される。この電流出力回路は各ソース信号線に配置されている。

【０２８０】

ＩＳＥＬ信号は、Ｌレベルの時、２５倍電流を出力する電流出力回路Ａが選択されてソース信号線１８からの電流をソースドライバＩＣ１４が吸収する（より適切には、ソースドライバ回路１４内に形成された電流出力回路Ａが吸収する）。２５倍、５倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

【０２８１】

図３０に示すように書き込み画素行が（１）画素行目である時（図３０の１Ｈの欄を参照）、ゲート信号線１７ａは（１）（２）（３）（４）（５）が選択されている（図１の画素構成の場合）。つまり、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０２８２】

理想的には、５画素のトランジスタ１１ａが、それぞれＩｗ×２の電流をソース信号線１８に流す。そして、各画素１６のコンデンサ１９には、５倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ１１ａは特性（Ｖｔ、Ｓ値）が一致しているとして説明をする。

【０２８３】

同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行５１ａに、従来の駆動方法で画素に書き込む電流Ｉｗとする時、ソース信号線１８には、Ｉｗ×２５の電流を流す。書き込み画素行（１）より以降に画像データを書き込む書き込み画素行５１ｂソース信号線１８への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行５１ｂは後に正規の画像データが書き込まれるので問題がない。

【０２８４】

したがって、画素行５１ｂは、１Ｈ期間の間は５１ａと同一表示である。そのため、書き込み画素行５１ａと電流を増加させるために選択した画素行５１ｂとを少なくとも非表示状態５２とするのである。

【０２８５】

次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（１）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（１）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（２）（３）（４）（５）はオフ（Ｖｇｈ）が印加されている。したがって、画素行（１）のトランジスタ１１ａは動作状態（ソース信号線１８に電流を供給している状態）であるが、画素行（２）（３）（４）（５）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。

【０２８６】

また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路Ｂとソース信号線１８とが接続されている。また、ゲート信号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（１）（２）（３）（４）（５）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０２８７】

以上のことから、画素行（１）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（１）のコンデンサ１９には、５倍の電流がプログラムされる。

【０２８８】

次の水平走査期間では１画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が（２）である。最初の１／２Ｈの期間では、図３１に示すように書き込み画素行が（２）画素行目である時、ゲート信号線１７ａは（２）（３）（４）（５）（６）が選択されている。つまり、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオン状態である。また、ＩＳＥＬがＬレベルであるから、２５倍電流を出力する電流出力回路Ａが選択され、ソース信号線１８と接続されている。また、ゲート信号線１７ｂには、オフ電圧（Ｖｇｈ）が印加されている。

【０２８９】

したがって、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。一方、画素行（１）のゲート信号線１７ｂ（１）はＶｇｌ電圧が印加されているから、トランジスタ１１ｄはオン状態であり、画素行（１）のＥＬ素子１５は点灯する。

【０２９０】

同時に選択する画素行が５画素行（Ｋ＝５）であるから、５つの駆動用トランジスタ１１ａが動作する。つまり、１画素あたり、２５／５＝５倍の電流がトランジスタ１１ａに流れる。ソース信号線１８には、５つのトランジスタ１１ａのプログラム電流を加えた電流が流れる。

【０２９１】

次の１／２Ｈ（水平走査期間の１／２）では、書き込み画素行５１ａのみを選択する。つまり、（２）画素行目のみを選択する。図３１で明らかなように、ゲート信号線１７ａ（２）のみが、オン電圧（Ｖｇｌ）が印加され、ゲート信号線１７ａ（３）（４）（５）（６）はオフ（Ｖｇｈ）が印加されている。

【０２９２】

したがって、画素行（１）（２）のトランジスタ１１ａは動作状態（画素行（１）はＥＬ素子１５に電流を流し、画素行（２）はソース信号線１８に電流を供給している状態）であるが、画素行（３）（４）（５）（６）のスイッチング用トランジスタ１１ｂ、トランジスタ１１ｃがオフ状態である。つまり、非選択状態である。

【０２９３】

また、ＩＳＥＬがＨレベルであるから、５倍電流を出力する電流出力回路Ｂが選択され、この電流出力回路１２２２ｂとソース信号線１８とが接続されている。また、ゲート信

号線１７ｂの状態は先の１／２Ｈの状態と変化がなく、オフ電圧（Ｖｇｈ）が印加されている。したがって、画素行（２）（３）（４）（５）（６）のスイッチング用トランジスタ１１ｄがオフ状態であり、対応する画素行のＥＬ素子１５には電流が流れていない。つまり、非点灯状態５２である。

【０２９４】

以上のことから、画素行（２）のトランジスタ１１ａが、それぞれＩｗ×５の電流をソース信号線１８に流す。そして、各画素行（２）のコンデンサ１９には、５倍の電流がプログラムされる。以上の動作を順次、実施することにより１画面を表示することができる。

【０２９５】

図３０で説明した駆動方法は、第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行にはＮ倍の電流を流すようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、画素にはＮ倍の電流を流すようにプログラムする方式である。

【０２９６】

しかし、他の方策もある。第１の期間でＧ画素行（Ｇは２以上）を選択し、各画素行の総和電流がＮ倍の電流となるようにプログラムする。第１の期間後の第２の期間ではＢ画素行（ＢはＧよりも小さく、１以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が１の時は、１画素行の電流）がＮ倍となるようにプログラムする方式である。たとえば、図３０（ａ１）において、５画素行を同時に選択し、各画素のトランジスタ１１ａには２倍の電流を流す。したがって、ソース信号線１８には５×２倍＝１０倍の電流が流れる。次の第２の期間では図３０（ｂ１）において、１画素行を選択する。この１画素のトランジスタ１１ａには１０倍の電流を流す。

【０２９７】

なお、図３１において、複数の画素行を同時に選択する期間を１／２Ｈとし、１画素行を選択する期間を１／２Ｈとしたがこれに限定するものではない。複数の画素行を同時に選択する期間を１／４Ｈとし、１画素行を選択する期間を３／４Ｈとしてもよい。また、複数の画素行を同時に選択する期間と、１画素行を選択する期間とを加えた期間は１Ｈとしたがこれに限定するものではない。たとえば、２Ｈ期間でも、１．５Ｈ期間であっても良い。

【０２９８】

また、図３０において、５画素行を同時に選択する期間を１／２Ｈとし、次の第２の期間では２画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【０２９９】

また、図３０において、５画素行を同時に選択する第１の期間を１／２Ｈとし、１画素行を選択する第２の期間を１／２Ｈとする２段階としたがこれに限定するものではない。たとえば、第１の段階は、５画素行を同時に選択し、第２の期間は前記５画素行のうち、２画素行を選択し、最後に、１画素行を選択する３つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【０３００】

以上の実施例は、１画素行を順次選択し画素に電流プログラムを行う方式、あるいは、複数の画素行を順次選択し画素に電流プログラムを行う方式である。しかし、本発明はこれに限定するものではない。画像データに応じて１画素行を順次選択し画素に電流プログラムを行う方式と、複数の画素行を順次選択し画素に電流プログラムを行う方式を組み合わせてもよい。

【０３０１】

以下、本発明のインターレース駆動について説明をする。図１３３はインターレース駆動を行う本発明の表示パネルの構成である。図１３３において、奇数画素行のゲート信号線１７ａはゲートドライバ回路１２ａ１に接続されている。偶数画素行のゲート信号線１

７ａはゲートドライバ回路１２ａ２に接続されている。一方、奇数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ１に接続されている。偶数画素行のゲート信号線１７ｂはゲートドライバ回路１２ｂ２に接続されている。

【０３０２】

したがって、ゲートドライバ回路１２ａ１の動作（制御）により奇数画素行の画像データが順次書き換えられる。奇数画素行は、ゲートドライバ回路１２ｂ１の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。また、ゲートドライバ回路１２ａ２の動作（制御）により偶数画素行の画像データが順次書き換えられる。また、偶数画素行は、ゲートドライバ回路１２ｂ２の動作（制御）によりＥＬ素子の点灯、非点灯制御が行われる。

【０３０３】

図１３４（ａ）は、第１フィールドでの表示パネルの動作状態である。図１３４（ｂ）は、第２フィールドでの表示パネルの動作状態である。なお、説明を容易にするため、１フレームは２フィールドで構成されているとする。図１３４において、斜線を記入したゲートドライバ１２はデータの走査動作がしていないことを示している。つまり、図１３４（ａ）の第１フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ１が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ２が動作する。図１３４（ｂ）の第２フィールドでは、プログラム電流の書込み制御としてゲートドライバ回路１２ａ２が動作し、ＥＬ素子１５の点灯制御としてゲートドライバ回路１２ｂ１が動作する。以上の動作が、フレーム内で繰り返される。

【０３０４】

図１３５が第１フィールドでの画像表示状態である。図１３５（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図１３５（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第１フィールドでは、奇数画素行が順次書き換えられる（偶数画素行の画像データは保持されている）。図１３５（ｂ）が奇数画素行の表示状態を図示している。なお、図１３５（ｂ）は奇数画素行のみを図示している。偶数画素行は図１３５（ｃ）に図示している。図１３５（ｂ）でも明らかなように、奇数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、偶数画素行は、図１３５（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。

【０３０５】

図１３６が第２フィールドでの画像表示状態である。図１３６（ａ）が書込み画素行（電流（電圧）プログラムを行っている奇数画素行位置を図示している。図１３６（ａ１）→（ａ２）→（ａ３）と書込み画素行位置が順次シフトされる。第２フィールドでは、偶数画素行が順次書き換えられる（奇数画素行の画像データは保持されている）。図１３６（ｂ）が奇数画素行の表示状態を図示している。なお、図１３６（ｂ）は奇数画素行のみを図示している。偶数画素行は図１３６（ｃ）に図示している。図１３６（ｂ）でも明らかなように、偶数画素行に対応する画素のＥＬ素子１５は非点灯状態である。一方、奇数画素行は、図１３６（ｃ）に図示しているように表示領域５３と非表示領域５２を走査する（Ｎ倍パルス駆動）。

【０３０６】

以上のように駆動することにより、インターレース駆動をＥＬ表示パネルで容易に実現することができる。また、Ｎ倍パルス駆動を実施することにより書込み不足も発生せず、動画ボケも発生することがない。また、電流（電圧）プログラムの制御と、ＥＬ素子１５の点灯制御も容易であり、回路も容易に実現できる。

【０３０７】

なお、本発明の駆動方式は、図１３５、図１３６の駆動方式に限定されるものではない。たとえば、図１３７の駆動方式も例示される。図１３５、図１３６は、電流（電圧）プログラムを行っている奇数画素行または偶数画素行は非表示領域５２（非点灯、黒表示）とするものであった。図１３７の実施例は、ＥＬ素子１５の点灯制御を行うゲートドライ

バ回路１２ｂ１、１２ｂ２の両方を同期させて動作させるものである。ただし、電流（電圧）プログラムを行っている画素行５１は非表示領域となるように制御することはいうまでもない（図３８のカレントミラー画素構成ではその必要はない）。図１３７では、奇数画素行と偶数画素行の点灯制御が同一であるので、ゲートドライバ回路１２ｂ１と１２ｂ２の２つと設ける必要はない。ゲートドライバ回路１２ｂを１つで点灯制御することができる。

【０３０８】

図１３７は、奇数画素行と偶数画素行の点灯制御を同一にする駆動方法であった。しかし、本発明はこれに限定するものではない。図１３８は、奇数画素行と偶数画素行の点灯制御を異ならせた実施例である。とくに、図１３８は奇数画素行の点灯状態（表示領域５３、非表示領域５２）の逆パターンを偶数画素行の点灯状態にした例である。したがって、表示領域５３の面積と非表示領域５２の面積とは同一になるようにしている。もちろん、表示領域５３の面積と非表示領域５２の面積とは同一になることに限定されるものではない。

【０３０９】

また、図１３６、図１３５において、奇数画素行あるいは偶数画素行ですべての画素行が非点灯状態にすることに限定されるものではない。

【０３１０】

以上の実施例は、１画素行ずつ電流（電圧）プログラムを実施する駆動方法であった。しかし、本発明の駆動方法はこれに限定されるものではなく、図１３９に図示するように２画素行（複数画素行）を同時に電流（電圧）プログラム行っても良いことは言うまでもない（図２７とその説明も参照のこと）。図１３９（ａ）は奇数フィールドの実施例であり、図１３９（ｂ）は偶数フィールドの実施例である。奇数フィールドでは、（１、２）画素行、（３、４）画素行、（５、６）画素行、（７、８）画素行、（９、１０）画素行、（１１、１２）画素行、・・・・・・・・（ｎ、ｎ＋１）画素行（ｎは１以上の整数）の組で２画素行を順次選択し、電流プログラムを行っていく。偶数フィールドでは、（２、３）画素行、（４、５）画素行、（６、７）画素行、（８、９）画素行、（１０、１１）画素行、（１２、１３）画素行、・・・・・・・・（ｎ＋１、ｎ＋２）画素行（ｎは１以上の整数）の組で２画素行を順次選択し、電流プログラムを行っていく。

【０３１１】

以上のように各フィールドで複数画素行を選択し電流プログラムを行うことによりソース信号線１８に流す電流を増加することができ、黒書き込みを良好にすることができる。また、奇数フィールドと偶数フィールドで選択する複数画素行の組を少なくとも１画素行ずらせることにより、画像の解像度を向上させることができる。

【０３１２】

図１３９の実施例は、各フィールドで選択する画素行を２画素行としたが、これに限定するものではなく３画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する３画素行の組は１画素行ずらせる方法と、２画素行ずらせる方法の２方式を選択可能である。また、各フィールドで選択する画素行は４画素行以上としてもよい。また、図１２５～図１３２に図示するように、１フレームを３フィールド以上で構成するようにしてもよい。

【０３１３】

また、図１３９の実施例では、２画素行を同時に選択するとしたが、これに限定するものではなく、１Ｈを前半１／２Ｈと後半の１／２Ｈとし、奇数フィールドでは、第１Ｈ期間の前半の１／２Ｈ期間に第１画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第２画素行を選択して電流プログラムを行う。次の第２Ｈ期間の前半の１／２Ｈ期間に第３画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第４画素行を選択して電流プログラムを行う。また、次の第３Ｈ期間の第１Ｈ期間の前半の１／２Ｈ期間に第５画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第６画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。

【０３１４】
また、偶数フィールドでは、第１Ｈ期間の前半の１／２Ｈ期間に第２画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第３画素行を選択して電流プログラムを行う。次の第２Ｈ期間の前半の１／２Ｈ期間に第４画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第５画素行を選択して電流プログラムを行う。また、次の第３Ｈ期間の第１Ｈ期間の前半の１／２Ｈ期間に第６画素行を選択して電流プログラムを行い、後半の１／２Ｈ期間に第７画素行を選択して電流プログラムを行う。・・・・・・と駆動してもよい。
【０３１５】
以上の実施例においても各フィールドで選択する画素行を２画素行としたが、これに限定するものではなく３画素行としてもよい。この場合は、奇数フィールドと偶数フィールドで選択する３画素行の組は１画素行ずらせる方法と、２画素行ずらせる方法の２方式を選択可能である。また、各フィールドで選択する画素行は４画素行以上としてもよい。
【０３１６】
本発明のＮ倍パルス駆動方法では、各画素行で、ゲート信号線１７ｂの波形を同一にし、１Ｈの間隔でシフトさせて印加していく。このように走査することにより、ＥＬ素子１５が点灯している時間を１Ｆ／Ｎに規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線１７ｂの波形を同一にし、シフトさせていることを実現することは容易である。図６のシフトレジスタ回路６１ａ、６１ｂに印加するデータであるＳＴ１、ＳＴ２を制御すればよいからである。たとえば、入力ＳＴ２がＬレベルの時、ゲート信号線１７ｂにＶｇｌが出力され、入力ＳＴ２がＨレベルの時、ゲート信号線１７ｂにＶｇｈが出力されるとすれば、シフトレジスタ１７ｂに印加するＳＴ２を１Ｆ／Ｎの期間だけＬレベルで入力し、他の期間はＨレベルにする。この入力されたＳＴ２を１Ｈに同期したクロックＣＬＫ２でシフトしていくだけである。
【０３１７】
なお、ＥＬ素子１５をオンオフする周期は０．５ｍｓｅｃ以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を１００ｍｓｅｃ以上になると、点滅状態に見える。したがって、ＥＬ素子のオンオフ周期は０．５μｓｅｃ以上１００ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を２ｍｓｅｃ以上３０ｍｓｅｃ以下にすべきである。さらに好ましくは、オンオフ周期を３ｍｓｅｃ以上２０ｍｓｅｃ以下にすべきである。
【０３１８】
先にも記載したが、黒画面５２の分割数は、１つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は１以上８以下とすべきである。さらに好ましくは１以上５以下とすることが好ましい。
【０３１９】
なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、Ｎ＝４では、７５％が黒画面であり、２５％が画像表示である。このとき、７５％の黒表示部を７５％の黒帯状態で画面の上下方向に走査するのが分割数１である。２５％の黒画面と２５／３％の表示画面の３ブロックで走査するのが分割数３である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。
【０３２０】
たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を１０以上とする（極端には１Ｈごとにオンオフしてもよい）。ＮＴＳＣの動画を表示するときは、分割数を１以上５以下とする。なお、分割数は３以上の多段階に切り替えできるように構成する

ことが好ましい。たとえば、分割数なし、２、４、８などである。

【０３２１】

また、全表示画面に対する黒画面の割合は、全画面の面積を１とした時、０．２以上０．９以下（Ｎで表示すれば１．２以上９以下）とすることが好ましい。また、特に０．２５以上０．６以下（Ｎで表示すれば１．２５以上６以下）とすることが好ましい。０．２０以下であると動画表示での改善効果が低い。０．９以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【０３２２】

また、１秒あたりのフレーム数は、１０以上１００以下（１０Ｈｚ以上１００Ｈｚ以下）が好ましい。さらには１２以上６５以下（１２Ｈｚ以上６５Ｈｚ以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ソースドライバ回路１４などからの書き込みが苦しくなり解像度が劣化する。

【０３２３】

なお、以上の事項は、図３８などの電流プログラムの画素構成、図４３、図５１、図５４などの電圧プログラムの画素構成でも適用できることは言うまでもない。図３８では、トランジスタ１１ｄを、図４３ではトランジスタ１１ｄを、図５１ではトランジスタ１１ｅをオンオフ制御すればよい。このように、ＥＬ素子１５に電流を流す配線をオンオフすることにより、本発明のＮ倍パルス駆動を容易に実現できる。

【０３２４】

また、ゲート信号線１７ｂの１Ｆ／Ｎの期間だけ、Ｖｇｌにする時刻は１Ｆ（１Ｆに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけＥＬ素子１５をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（１Ｈ）後、すぐにゲート信号線１７ｂをＶｇｌにしてＥＬ素子１５を発光させる方がよい。図１のコンデンサ１９の保持率特性の影響を受けにくくなるからである。

【０３２５】

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリウムを回すことにより、この変化を検出してＫの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【０３２６】

このようにＫの値（画像表示部５３の分割数）を変化させることも容易に実現できる。図６においてＳＴに印加するデータのタイミング（１Ｆのいつにレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

【０３２７】

なお、図１６などでは、ゲート信号線１７ｂをＶｇｌにする期間（１Ｆ／Ｎ）を複数に分割（分割数Ｍ）し、Ｖｇｌにする期間は１Ｆ／（Ｋ・Ｎ）の期間をＫ回実施するとしたがこれ限定するものではない。１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施してもよい。つまり、本発明は、ＥＬ素子１５に流す期間（時間）を制御することにより画像５０を表示するものである。したがって、１Ｆ／（Ｋ・Ｎ）の期間をＬ（Ｌ≠Ｋ）回実施することは本発明の技術的思想に含まれる。また、Ｌの値を変化させることにより、画像５０の輝度をデジタル的に変更することができる。たとえば、Ｌ＝２とＬ＝３では５０％の輝度（コントラスト）変化をなる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のＮ倍パルス駆動である。

【０３２８】

以上の実施例は、ＥＬ素子１５と駆動用トランジスタ１１ａとの間にスイッチング素子としてのトランジスタ１１ｄを配置（形成）し、このトランジスタ１１ｄを制御することにより、画面５０をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現

するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ１１ａをリセットし、良好な黒表示を実現するものである。以下、図３２を用いて、その実施例について説明をする。

【０３２９】

図３２は基本的には図１の画素構成である。図３２の画素構成では、プログラムされたＩｗ電流がＥＬ素子１５に流れ、ＥＬ素子１５が発光する。つまり、駆動用トランジスタ１１ａはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ１１ａをリセット（オフ状態）にする方式が図３２の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

【０３３０】

図１の画素構成でリセット駆動を実現するためには、トランジスタ１１ｂとトランジスタ１１ｃを独立してオンオフ制御できるように構成する必要がある。つまり、図３２で図示するようにトランジスタ１１ｂをオンオフ制御するゲート信号線１７ａ（ゲート信号線ＷＲ）、トランジスタ１１ｃをオンオフ制御するゲート信号線１７ｃ（ゲート信号線ＥＬ）を独立して制御できるようにする。ゲート信号線１７ａとゲート信号線１７ｃの制御は、図６に図示するように独立した２つのシフトレジスタ６１で行えばよい。

【０３３１】

トランジスタ１１ｂを駆動するゲート信号線１７ａとトランジスタ１１ｄを駆動するゲート信号線１７ｂの駆動電圧は変化させるとよい（図１の画素構成の場合）。ゲート信号線１７ａの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線１７ｂの振幅値よりも小さくする。

【０３３２】

ゲート信号線１７の振幅値が大きいと、ゲート信号線１７と画素１６との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線１７ａの振幅は、ソース信号線１８の電位が画素１６に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線１８の電位変動は小さいから、ゲート信号線１７ａの振幅値は小さくすることができる。

【０３３３】

一方、ゲート信号線１７ｂはＥＬのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ６１ａと６１ｂとの出力電圧を変化させる。画素がＰチャンネルトランジスタで形成されている場合は、シフトレジスタ６１ａと６１ｂのＶｇｈ（オフ電圧）を略同一にし、シフトレジスタ６１ａのＶｇｌ（オン電圧）をシフトレジスタ６１ｂのＶｇｌ（オン電圧）よりも低くする。

【０３３４】

以下、図３３を参照しながら、リセット駆動方式について説明をする。図３３はリセット駆動の原理説明図である。まず、図３３（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｂをオン状態にする。すると、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、Ｉｂ電流が流れる。一般的に、トランジスタ１１ａは１つ前のフィールド（フレーム）で電流プログラムされている。この状態でトランジスタ１１ｄがオフ状態となり、トランジスタ１１ｂがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子に流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。

【０３３５】

なお、図３３（ａ）の動作の前に、トランジスタ１１ｂ、トランジスタ１１ｃをオフ状態にし、トランジスタ１１ｄをオン状態にし、駆動用トランジスタ１１ａに電流を流すという動作を実施することが好ましい。この動作は、極力短時間に完了させることが好ましい。ＥＬ素子１５に電流が流れてＥＬ素子１５が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、１Ｈ（１水平走査期間）の０．１％以上１０％以下とすることが好ましい。さらに好ましくは０．２％以上２％以下となるようにするこ

とが好ましい。もしくは０．２μｓｅｃ以上５μｓｅｃ以下となるようにすることが好ましい。また、全画面の画素１６に一括して前述の動作（図３３（ａ）の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ１１ａのドレイン（Ｄ）端子電圧が低下し、図３３（ａ）の状態でスムーズなＩｂ電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

【０３３６】

図３３（ａ）の実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３３（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３３（ａ）の実施時間は、１Ｈ以上５Ｈ以下にすることが好ましい。

【０３３７】

なお、この期間は、Ｒ、Ｇ、Ｂの画素で異ならせることが好ましい。各色の画素でＥＬ材料が異なり、このＥＬ材料の立ち上がり電圧などに差異があるためである。ＲＧＢの各画素で、ＥＬ材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は１Ｈ以上５Ｈ以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、５Ｈ以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

【０３３８】

図３３（ａ）を実施後、１Ｈ以上５Ｈ以下の期間おいて、図３３（ｂ）の状態にする。図３３（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｂをオンさせ、トランジスタ１１ｄをオフさせた状態である。図３３（ｂ）の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを駆動用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位を設定するのである（設定電位はコンデンサ１９に保持される）。

【０３３９】

もし、プログラム電流Ｉｗが０（Ａ）であれば、トランジスタ１１ａは電流を図３３（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３３（ｂ）で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【０３４０】

図３３（ｂ）の電流プログラミング後、図３３（ｃ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｃとオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３３（ｃ）に関しても、図１などで以前に説明をしたので詳細は省略する。

【０３４１】

つまり、図３３で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａとＥＬ素子１５間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。かつ、少なくとも第２の動作は第１の動作後に行うものである。なお、リセット駆動を実施するためには、図３２の構成のように、トランジスタ１１ｂとトランジスタ１１ｃとを独立に制御できるように、構成しておかねばならない。

【０３４２】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、１Ｈ後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ１１ｄがオフだからである。）。次に、ＥＬ素子１５に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【０３４３】

なお、リセット後、１Ｈ後に電流プログラムを行うとしたがこの期間は、５Ｈ程度以内としてもよい。図３３（ａ）のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を５Ｈとすれば、５画素行が黒表示（電流プログラムの画素行もいれると６画素行）となるはずである。

【０３４４】

また、リセット状態は１画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、４画素行を同時にリセットするのであれば、第１の水平走査期間（１単位）に、画素行（１）（２）（３）（４）をリセット状態にし、次の第２の水平走査期間に、画素行（３）（４）（５）（６）をリセット状態にし、さらに次の第３の水平走査期間に、画素行（５）（６）（７）（８）をリセット状態にする。また、次の第４の水平走査期間に、画素行（７）（８）（９）（１０）をリセット状態にするという駆動状態が例示される。なお、当然、図３３（ｂ）、図３３（ｃ）の駆動状態も図３３（ａ）の駆動状態と同期して実施される。

【０３４５】

また、１画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図３３（ｂ）（ｃ）の駆動を実施してもよいことはいうまでもない。また、インターレース駆動状態（１画素行あるいは複数画素行の飛び越し走査）で、リセット状態（１画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでのない。

【０３４６】

なお、図３３のリセット駆動は、本発明のＮ倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図２２の構成は、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線１７ｂを制御し、トランジスタ１１ｄをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。）を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。

【０３４７】

また、他の駆動方法、たとえば、以降の説明するプリチャージ駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

【０３４８】

図３４はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路１２ａは、図３２におけるゲート信号線１７ａおよびゲート信号線１７ｂを制御する。ゲート信号線１７ａにオンオフ電圧を印加することによりトランジスタ１１ｂがオンオフ制御される。また、ゲート信号線１７ｂにオンオフ電圧を印加することによりトランジスタ１１ｄがオンオフ制御される。ゲートドライバ回路１２ｂは、図３２におけるゲート信号線１７ｃを制御する。ゲート信号線１７ｃにオンオフ電圧を印加することによりトランジスタ１１ｃがオンオフ制御される。

【０３４９】
したがって、ゲート信号線１７ａはゲートドライバ回路１２ａで操作し、ゲート信号線１７ｃはゲートドライバ回路１２ｂで操作する。そのため、トランジスタ１１ｂをオンさせて駆動用トランジスタ１１ａをリセットするタイミングと、トランジスタ１１１ｃをオンさせて駆動用トランジスタ１１ａに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。
【０３５０】
図３５はリセット駆動のタイミングチャートである。ゲート信号線１７ａにオン電圧を印加し、トランジスタ１１ｂをオンさせ、駆動用トランジスタ１１ａをリセットしている時には、ゲート信号線１７ｂにはオフ電圧を印加し、トランジスタ１１ｄをオフ状態にしている。したがって、図３２（ａ）の状態となっている。この期間にＩｂ電流が流れる。
【０３５１】
図３５のタイミングチャートでは、リセット時間は２Ｈ（ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂがオンする）としているが、これに限定するものではない。２Ｈ以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は１Ｈ未満であってもよい。
【０３５２】
リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。たとえば、ＳＴ端子に入力するＤＡＴＡを２Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は２Ｈ期間となる。同様に、ＳＴ端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルとすれば、各ゲート信号線１７ａから出力されるリセット期間は５Ｈ期間となる。
【０３５３】
１Ｈ期間のリセット後、画素行（１）のゲート信号線１７ｃ（１）に、オン電圧が印加される。トランジスタ１１ｃがオンすることにより、ソース信号線１８に印加されたプログラム電流Ｉｗがトランジスタ１１ｃを介して駆動用トランジスタ１１ａに書き込まれる。
【０３５４】
電流プログラム後、画素（１）のゲート信号線１７ｃにオフ電圧が印加され、トランジスタ１１ｃがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線１７ａにもオフ電圧が印加され、駆動用トランジスタ１１ａのリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線１７ｂにはオン電圧が印加され、トランジスタ１１ｄがオンして、駆動用トランジスタ１１ａにプログラムされた電流がＥＬ素子１５に流れる。なお、画素行（２）以降についても、画素行（１）と同様であり、また、図３５からその動作は明らかであるから説明を省略する。
【０３５５】
図３５において、リセット期間は１Ｈ期間であった。図３６はリセット期間を５Ｈとした実施例である。リセット期間を何Ｈ期間にするかはゲートドライバ回路１２に入力するＤＡＴＡ（ＳＴ）パルス期間で容易に変更できる。図３６ではゲートドライバ回路１２ａのＳＴ１端子に入力するＤＡＴＡを５Ｈ期間の間Ｈレベルし、各ゲート信号線１７ａから出力されるリセット期間を５Ｈ期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。
【０３５６】
図３６はリセット期間を５Ｈとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線１７ａから出力される信号を１Ｈごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路１

２に入力するＤＡＴＡ（ＳＴ）パルスを制御することで容易に実現できる。

【０３５７】

図３４の回路構成では、ゲートドライバ回路１２ａは少なくとも２つのシフトレジスタ回路（１つはゲート信号線１７ａ制御用、他の１つはゲート信号線１７ｂ制御用）が必要であった。そのため、ゲートドライバ回路１２ａの回路規模が大きくなるという課題があった。図３７はゲートドライバ回路１２ａのシフトレジスタを１つにした実施例である。図３７の回路を動作させた出力信号のタイミングチャートは図３５のごとくなる。なお、図３５と図３７とはゲートドライバ回路１２ａ、１２ｂから出力されているゲート信号線１７の記号が異なっているので注意が必要である。

【０３５８】

図３７のＯＲ回路３７１が付加されていることから明らかであるが、各ゲート信号線１７ａの出力は、シフトレジスタ回路６１ａの前段出力とのＯＲをとって出力される。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力される。一方、ゲート信号線１７ｃはシフトレジスタ回路６１ａの出力がそのまま出力される。したがって、１Ｈ期間の間、オン電圧が印加される。

【０３５９】

たとえば、シフトレジスタ回路６１ａの２番目にＨレベル信号が出力されている時、画素１６（１）のゲート信号線１７ｃにオン電圧が出力され、画素１６（１）が電流（電圧）プログラムの状態である。同時に、画素１６（２）のゲート信号線１７ａにもオン電圧が出力され、画素１６（２）のトランジスタ１１ｂがオン状態となり、画素１６（２）の駆動用トランジスタ１１ａがリセットされる。

【０３６０】

同様に、シフトレジスタ回路６１ａの３番目にＨレベル信号が出力されている時、画素１６（２）のゲート信号線１７ｃにオン電圧が出力され、画素１６（２）が電流（電圧）プログラムの状態である。同時に、画素１６（３のゲート信号線１７ａにもオン電圧が出力され、画素１６（３）トランジスタ１１ｂがオン状態となり、画素１６（３）駆動用トランジスタ１１ａがリセットされる。つまり、２Ｈ期間、ゲート信号線１７ａからはオン電圧が出力され、ゲート信号線１７ｃに１Ｈ期間、オン電圧が出力される。

【０３６１】

プログラム状態の時は、トランジスタ１１ｂとトランジスタ１１ｃが同時にオン状態となる（図３３（ｂ））ら、非プログラム状態（図３３（ｃ））に移行する際、トランジスタ１１ｃがトランジスタ１１ｂよりも先にオフ状態となると、図３３（ｂ）のリセット状態となってしまう。これと防止するためには、トランジスタ１１ｃがトランジスタ１１ｂよりもあとからオフ状態にする必要がある。そのためには、ゲート信号線１７ａがゲート信号線１７ｃよりも先にオン電圧が印加されるように制御する必要がある。

【０３６２】

以上の実施例は、図３２（基本的には図１）の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図３８に示すようなカレントミラーの画素構成であっても実施することができる。なお、図３８ではトランジスタ１１ｅをオンオフ制御することにより、図１３、図１５などで図示するＮ倍パルス駆動を実現できる。図３９は図３８のカレントミラーの画素構成での実施例の説明図である。以下、図３９を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

【０３６３】

図３９（ａ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｅをオフ状態にし、トランジスタ１１ｄをオン状態にする。すると、電流プログラム用トランジスタ１１ｂのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。一般的に、トランジスタ１１ｂは１つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある（ゲート電位はコンデンサ１９に１Ｆ期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場

合、電流は流れない）。この状態でトランジスタ１１ｅがオフ状態とし、トランジスタ１１ｄがオン状態にすれば、駆動電流Ｉｂがトランジスタ１１ａのゲート（Ｇ）端子の方向に流れる（ゲート（Ｇ）端子とドレイン（Ｄ）端子がショートされる）。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、トランジスタ１１ａはリセット（電流を流さない状態）になる。また、駆動用トランジスタ１１ｂのゲート（Ｇ）端子は電流プログラム用トランジスタ１１ａのゲート（Ｇ）端子と共通であるから、駆動用トランジスタ１１ｂもリセット状態となる。

【０３６４】

このトランジスタ１１ａ、トランジスタ１１ｂのリセット状態（電流を流さない状態）は、図５１などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図３９（ａ）の状態では、コンデンサ１９の端子間には、オフセット電圧（電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ１１に電流が流れる）が保持されていることになる。このオフセット電圧はトランジスタ１１ａ、トランジスタ１１ｂの特性に応じて異なる電圧値である。したがって、図３９（ａ）の動作を実施することにより、各画素のコンデンサ１９にはトランジスタ１１ａ、トランジスタ１１ｂが電流を流さない（つまり、黒表示電流（ほとんど０に等しい））状態が保持されることになるのである（電流が流れ始める開始電圧にリセットされた）。

【０３６５】

なお、図３９（ａ）においても図３３（ａ）と同様に、リセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図３９（ａ）の実施時間は固定値にする必要がある。実験および検討によれば、図３９（ａ）の実施時間は、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましい。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましい。このことは図３３の駆動方式でも同様である。

【０３６６】

図３３（ａ）も同様であるが、図３９（ａ）のリセット状態と、図３９（ｂ）の電流プログラム状態とを同期をとって行う場合は、図３９（ａ）のリセット状態から、図３９（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図３３（ａ）あるいは図３９（ａ）のリセット状態から、図３３（ｂ）あるいは図３９（ｂ）の電流プログラム状態までの期間が、１Ｈ以上１０Ｈ（１０水平走査期間）以下とすることが好ましい。さらには１Ｈ以上５Ｈ以下にすることが好ましいのである。あるいは、２０μｓｅｃ以上２ｍｓｅｃ以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面５０の輝度も低下する。

【０３６７】

図３９（ａ）を実施後、図３９（ｂ）の状態にする。図３９（ｂ）はトランジスタ１１ｃ、トランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせた状態である。図３９（ｂ）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電流Ｉｗを出力（あるいは吸収）し、このプログラム電流Ｉｗを電流プログラム用トランジスタ１１ａに流す。このプログラム電流Ｉｗが流れるように、駆動用トランジスタ１１ｂのゲート（Ｇ）端子の電位をコンデンサ１９に設定するのである。

【０３６８】

もし、プログラム電流Ｉｗが０（Ａ）（黒表示）であれば、トランジスタ１１ｂは電流を図３３（ａ）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図３９（ｂ）で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラム

を行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａあるいはトランジスタ１１ｂの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【０３６９】

図３９（ｂ）の電流プログラミング後、図３９（ｃ）に図示するように、トランジスタ１１ｃ、トランジスタ１１ｄとオフし、トランジスタ１１ｅをオンさせて、駆動用トランジスタ１１ｂからのプログラム電流Ｉｗ（＝Ｉｅ）をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。図３９（ｃ）に関しても、以前に説明をしたので詳細は省略する。

【０３７０】

図３３、図３９で説明した駆動方式（リセット駆動）は、駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断（電流が流れない状態。トランジスタ１１ｅあるいはトランジスタ１１ｄで行う）し、かつ、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。

【０３７１】

少なくとも第２の動作は第１の動作後に行うものである。なお、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断するという動作は、必ずしも必須の条件ではない。もし、第１の動作における駆動用トランジスタ１１ａあるいはトランジスタ１１ｂとＥＬ素子１５間を切断せずに、駆動用トランジスタのドレイン（Ｄ）端子とゲート（Ｇ）端子間をショートする第１の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

【０３７２】

図３９のカレントミラーの画素構成は、電流プログラムトランジスタ１１ａをリセットすることにより、結果として駆動用トランジスタ１１ｂをリセットする駆動方法であった。

【０３７３】

図３９のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ１１ｂとＥＬ素子１５間を切断する必要はない。したがって、電流プログラム用トランジスタａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（Ｇ）端子を含む２端子、あるいは駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第１の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第２の動作とを実施するものである。そして、少なくとも第２の動作は第１の動作後に行うものである。

【０３７４】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定Ｈ後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【０３７５】

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図４３は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

【０３７６】

図４３の画素構成では、駆動用トランジスタ１１ａをリセット動作させるためのトランジスタ１１ｅが形成されている。ゲート信号線１７ｅにオン電圧が印加されることにより

、トランジスタ１１ｅがオンし、駆動用トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子間をショートさせる。また、ＥＬ素子１５と駆動用トランジスタ１１ａとの電流経路を切断するトランジスタ１１ｄが形成されている。以下、図４４を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

【０３７７】

図４４（ａ）に図示するように、トランジスタ１１ｂ、トランジスタ１１ｄをオフ状態にし、トランジスタ１１ｅをオン状態にする。駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子はショート状態となり、図に示すようにＩｂ電流が流れる。そのため、トランジスタ１１ａのゲート（Ｇ）端子とドレイン（Ｄ）端子とが同一電位となり、駆動用トランジスタ１１ａはリセット（電流を流さない状態）になる。なお、トランジスタ１１ａをリセットする前に、図３３あるいは図３９で説明したように、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流しておく。その後、図４４（ａ）の動作を実施する。

【０３７８】

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図４４（ａ）のリセットの実施時間を長くするほど、Ｉｂ電流が流れ、コンデンサ１９の端子電圧が小さくなる傾向がある。したがって、図４４（ａ）の実施時間は固定値にする必要がある。実施時間は、０．２Ｈ以上５Ｈ（５水平走査期間）以下とすることが好ましい。さらには０．５Ｈ以上４Ｈ以下にすることが好ましい。あるいは、２μｓｅｃ以上４００μｓｅｃ以下とすることが好ましい。

【０３７９】

また、ゲート信号線１７ｅは前段の画素行のゲート信号線１７ａと共通にしておくことが好ましい。つまり、ゲート信号線１７ｅと前段の画素行のゲート信号線１７ａとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも１Ｈ前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、１画素行前に限定されるものではない。たとえば、２画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ１１ａのリセットを実施してもよい。

【０３８０】

前段ゲート制御方式をさらに具体的に記載すれば以下のようになる。着目する画素行が（Ｎ）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ）、ゲート信号線１７ａ（Ｎ）とする。１Ｈ前に選択される前段の画素行は、画素行が（Ｎ－１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ－１）、ゲート信号線１７ａ（Ｎ－１）とする。また、着目画素行の次の１Ｈ後に選択される画素行が（Ｎ＋１）画素行とし、そのゲート信号線がゲート信号線１７ｅ（Ｎ＋１）、ゲート信号線１７ａ（Ｎ＋１）とする。

【０３８１】

第（Ｎ－１）Ｈ期間では、第（Ｎ－１）画素行のゲート信号線１７ａ（Ｎ－１）にオン電圧が印加されると、第（Ｎ）画素行のゲート信号線１７ｅ（Ｎ）にもオン電圧が印加される。ゲート信号線１７ｅ（Ｎ）と前段の画素行のゲート信号線１７ａ（Ｎ－１）とがショート状態で形成されているからである。したがって、第（Ｎ－１）画素行の画素のトランジスタ１１ｂ（Ｎ－１）がオンし、ソース信号線１８の電圧が駆動用トランジスタ１１ａ（Ｎ－１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ）画素行の画素のトランジスタ１１ｅ（Ｎ）がオンし、駆動用トランジスタ１１ａ（Ｎ）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ）がリセットされる。

【０３８２】

第（Ｎ－１）Ｈ期間の次の第（Ｎ）期間では、第（Ｎ）画素行のゲート信号線１７ａ（Ｎ）にオン電圧が印加されると、第（Ｎ＋１）画素行のゲート信号線１７ｅ（Ｎ＋１）にもオン電圧が印加される。したがって、第（Ｎ）画素行の画素のトランジスタ１１ｂ（Ｎ）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ）

のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋１）画素行の画素のトランジスタ１１ｅ（Ｎ＋１）がオンし、駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋１）がリセットされる。

【０３８３】

以下同様に、第（Ｎ）Ｈ期間の次の第（Ｎ＋１）期間では、第（Ｎ＋１）画素行のゲート信号線１７ａ（Ｎ＋１）にオン電圧が印加されると、第（Ｎ＋２）画素行のゲート信号線１７ｅ（Ｎ＋２）にもオン電圧が印加される。したがって、第（Ｎ＋１）画素行の画素のトランジスタ１１ｂ（Ｎ＋１）がオンし、ソース信号線１８に印加されている電圧が駆動用トランジスタ１１ａ（Ｎ＋１）のゲート（Ｇ）端子に書き込まれる。同時に、第（Ｎ＋２）画素行の画素のトランジスタ１１ｅ（Ｎ＋２）がオンし、駆動用トランジスタ１１ａ（Ｎ＋２）のゲート（Ｇ）端子とドレイン（Ｄ）端子間がショートされ、駆動用トランジスタ１１ａ（Ｎ＋２）がリセットされる。

【０３８４】

以上の本発明の前段ゲート制御方式では、１Ｈ期間、駆動用トランジスタ１１ａはリセットされ、その後、電圧（電流）プログラムが実施される。

【０３８５】

図３３（ａ）も同様であるが、図４４（ａ）のリセット状態と、図４４（ｂ）の電圧プログラム状態とを同期をとって行う場合は、図４４（ａ）のリセット状態から、図４４（ｂ）の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。この期間が短いと駆動用トランジスタ１１が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ１１ａが完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面１２の輝度も低下する。

【０３８６】

図４４（ａ）を実施後、図４４（ｂ）の状態にする。図４４（ｂ）はトランジスタ１１ｂをオンさせ、トランジスタ１１ｅ、トランジスタ１１ｄをオフさせた状態である。図４４（ｂ）の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路１４からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ１１ａのゲート（Ｇ）端子に書き込む（駆動用トランジスタ１１ａのゲート（Ｇ）端子の電位をコンデンサ１９に設定する）。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ１１ｄを必ずしもオフさせる必要はない。また、図１３、図１５などのＮ倍パルス駆動などと組み合わせること、あるいは以上のような、間欠Ｎ／Ｋ倍パルス駆動（１画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ１１ｅをオンオフ動作させることにより容易に実現できる）を実施する必要がなければ、トランジスタ１１ｅが必要でない。このことは以前に説明をしたので、説明を省略する。

【０３８７】

図４３の構成あるいは図４４の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ１１ａの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【０３８８】

図４４（ｂ）の電流プログラミング後、図４４（ｃ）に図示するように、トランジスタ１１ｂをオフし、トランジスタ１１ｄをオンさせて、駆動用トランジスタ１１ａからのプログラム電流をＥＬ素子１５に流し、ＥＬ素子１５を発光させる。

【０３８９】

以上のように、図４３の電圧プログラムにおける本発明のリセット駆動は、まず、ＨＤ同期信号に同期して、最初にトランジスタ１１ｄをオンさせ、トランジスタ１１ｅをオフさせて、トランジスタ１１ａに電流を流す第１の動作と、トランジスタ１１ａとＥＬ素子

１５間を切断し、かつ、駆動用トランジスタ１１ａのドレイン（Ｄ）端子とゲート（Ｇ）端子（もしくはソース（Ｓ）端子とゲート（Ｇ）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（Ｇ）端子を含む２端子）間をショートする第２の動作と、前記動作の後、駆動用トランジスタ１１ａに電圧プログラムを行う第３の動作を実施するものである。

【０３９０】

以上の実施例では、駆動用トランジスタ素子１１ａ（図１の画素構成の場合）からＥＬ素子１５に流す電流を制御するのに、トランジスタ１１ｄをオンオフさせて行う。トランジスタ１１ｄをオンオフさせるためには、ゲート信号線１７ｂを走査する必要があり、走査のためには、シフトレジスタ６１（ゲート回路１２）が必要となる。しかし、シフトレジスタ６１は規模が大きく、ゲート信号線１７ｂの制御にシフトレジスタ６１を用いたのでは狭額縁化できない。図４０で説明する方式は、この課題を解決するものである。

【０３９１】

なお、本発明は、主として図１などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図３８などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図４１などの電圧プログラムの画素構成であっても適用できることは言うまでもない。

【０３９２】

図４０はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路１２は基板７１に直接形成したか、もしくはシリコンチップのゲートドライバＩＣ１２を基板７１に積載したとして説明をする。また、ソースドライバ１４およびソース信号線１８は図面が煩雑になるため省略する。

【０３９３】

図４０において、ゲート信号線１７ａはゲートドライバ回路１２と接続されている。一方、各画素のゲート信号線１７ｂは点灯制御線４０１と接続されている。図４０では４本のゲート信号線１７ｂが１つの点灯制御線４０１と接続されている。

【０３９４】

なお、４本のゲート信号線１７ｂでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域５０は少なくとも５以上に分割することが好ましい。さらに好ましくは、１０以上に分割することが好ましい。さらには、２０以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線４０１の本数が多くなり、制御線４０１のレイアウトが困難になる。

【０３９５】

したがって、ＱＣＩＦ表示パネルの場合は、垂直走査線の本数が２２０本であるから、少なくとも、２２０／５＝４４本以上でブロック化する必要があり、好ましくは、２２０／１０＝１１以上でブロック化する必要がある。ただし、奇数行と偶数行で２つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、２つのブロック化で十分の場合がある。

【０３９６】

図４０の実施例では、点灯制御線４０１ａ、４０１ｂ、４０１ｃ、４０１ｄ……４０１ｎと順次、オン電圧（Ｖｇｌ）を印加するか、もしくはオフ電圧（Ｖｇｈ）を印加し、ブロックごとにＥＬ素子１５に流れる電流をオンオフさせる。

【０３９７】

なお、図４０の実施例では、ゲート信号線１７ｂと点灯制御線４０１とがクロスすることがない。したがって、ゲート信号線１７ｂと点灯制御線４０１とのショート欠陥は発生しない。また、ゲート信号線１７ｂと点灯制御線４０１とが容量結合することがないため、点灯制御線４０１からゲート信号線１７ｂ側を見た時の容量付加が極めて小さい。したがって、点灯制御線４０１を駆動しやすい。

【０３９８】
ゲートドライバ１２にはゲート信号線１７ａが接続されている。ゲート信号線１７ａにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ１１ｂ、１１ｃはオンして、ソース信号線１８に印加された電流（電圧）を各画素のコンデンサ１９にプログラムする。一方、ゲート信号線１７ｂは各画素のトランジスタ１１ｄのゲート（Ｇ）端子と接続されている。したがって、点灯制御線４０１にオン電圧（Ｖｇｌ）が印加されたとき、駆動用トランジスタ１１ａとＥＬ素子１５との電流経路を形成し、逆にオフ電圧（Ｖｇｈ）が印加された時は、ＥＬ素子１５のアノード端子をオープンにする。

【０３９９】
なお、点灯制御線４０１に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路１２がゲート信号線１７ａに出力する画素行選択電圧（Ｖｇｌ）のタイミングは１水平走査クロック（１Ｈ）に同期していることが好ましい。しかし、これに限定するものではない。

【０４００】
点灯制御線４０１に印加する信号は単に、ＥＬ素子１５への電流をオンオフさせるだけである。また、ソースドライバ１４が出力する画像データと同期がとれている必要もない。点灯制御線４０１に印加する信号は、各画素１６のコンデンサ１９にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは１Ｈ信号に限定されるものではなく、１／２Ｈでも、１／４Ｈであってもよい。

【０４０１】
図３８に図示したカレントミラーの画素構成の場合であっても、ゲート信号線１７ｂを点灯制御線４０１に接続することにより、トランジスタ１１ｅをオンオフ制御できる。したがって、ブロック駆動を実現できる。

【０４０２】
なお、図３２において、ゲート信号線１７ａを点灯制御線４０１に接続し、リセットを実施すれば、プロック駆動を実現できる。つまり、本発明のブロック駆動とは、１つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

【０４０３】
以上の実施例は、１画素行ごとに１本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で１本の選択ゲート信号線を配置（形成）してもよい。

【０４０４】
図４１はその実施例である。なお、説明を容易にするため、画素構成は図１の場合を主として例示して説明をする。図４１では画素行の選択ゲート信号線１７ａは３つの画素（１６Ｒ、１６Ｇ、１６Ｂ）を同時に選択する。Ｒの記号とは赤色の画素関連を意味し、Ｇの記号とは緑色の画素関連を意味し、Ｂの記号とは青色の画素関連を意味するものとする。

【０４０５】
したがって、ゲート信号線１７ａの選択により、画素１６Ｒ、画素１６Ｇおよび画素１６Ｂが同時に選択されデータ書き込み状態となる。画素１６Ｒはソース信号線１８Ｒからデータをコンデンサ１９Ｒに書き込み、画素１６Ｇはソース信号線１８Ｇからデータをコンデンサ１９Ｇに書き込む。画素１６Ｂはソース信号線１８Ｂからデータをコンデンサ１９Ｂに書き込む。

【０４０６】
画素１６Ｒのトランジスタ１１ｄはゲート信号線１７ｂＲに接続されている。また、画素１６Ｇのトランジスタ１１ｄはゲート信号線１７ｂＧに接続され、画素１６Ｂのトランジスタ１１ｄはゲート信号線１７ｂＢに接続されている。したがって、画素１６ＲのＥＬ素子１５Ｒ、画素１６ＧのＥＬ素子１５Ｇ、画素１６ＢのＥＬ素子１５Ｂは別個にオンオ

フ制御することができる。つまり、ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂはそれぞれのゲート信号線１７ｂＲ、１７ｂＧ、１７ｂＢを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【０４０７】

この動作を実現するためには、図６の構成において、ゲート信号線１７ａを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＲを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＧを走査するシフトレジスタ回路６１と、ゲート信号線１７ｂＢを走査するシフトレジスタ回路６１の４つを形成（配置）することが適切である。

【０４０８】

なお、ソース信号線１８に所定電流のＮ倍の電流を流し、ＥＬ素子１５に所定電流のＮ倍の電流を１／Ｎの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線１７に印加した信号パルスがコンデンサ１９に突き抜け、コンデンサ１９に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ１９には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、１０倍の電流値を設定するように駆動しても、５倍程度の電流しかコンデンサ１９には設定されない。たとえば、Ｎ＝１０としても実際にＥＬ素子１５に流れる電流はＮ＝５の場合と同一となる。したがって、本発明はＮ倍の電流値を設定し、Ｎ倍に比例したあるいは対応する電流をＥＬ素子１５に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をＥＬ素子１５にパルス状に印加する駆動方法である。

【０４０９】

また、所望値より電流（そのまま、ＥＬ素子１５に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ１１ａ（図１を例示する場合）に電流（電圧）プログラムを行い、ＥＬ素子１５に流れる電流を間欠にすることにより、所望のＥＬ素子の発光輝度を得るものである。

【０４１０】

また、図１などのスイッチング用トランジスタ１１ｂ、１１ｃなどはＮチャンネルで形成することが好ましい。コンデンサ１９への突き抜け電圧が低減するからである。また、コンデンサ１９のオフリークも減少するから、１０Ｈｚ以下の低いフレームレートにも適用できるようになる。

【０４１１】

また、画素構成によっては、突き抜け電圧がＥＬ素子１５に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

【０４１２】

逆に、図１のスイッチング用トランジスタ１１ｂ、１１ｃをＰチャンネルにすることのより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。また、第１階調表示とする電流値を大きくすることができるから（階調１までに一定のベース電流を流すことができる）、電流プログラム方式で書き込み電流不足を軽減できる。

【０４１３】

図１におけるトランジスタ１１ｂは駆動用トランジスタ１１ａが流す電流をコンデンサ１９に保持するために動作する。つまり、駆動用トランジスタ１１ａのゲート端子（Ｇ）とドレイン端子（Ｄ）もしくはソース端子（Ｓ）間をプログラム時にショートさせる機能を有する。このトランジスタ１１ｂのような機能を有するスイッチング用トランジスタを短絡トランジスタと呼ぶことにする。短絡トランジスタはソース端子またはドレイン端子が保持用のコンデンサ１９に接続されている。短絡トランジスタはゲート信号線１７ａに印加された電圧により、オンオフ制御される。課題は、オフ電圧が印加された時にゲート信号線１７ａの電圧がコンデンサ１９に突き抜けることである。この突き抜け電圧により

、コンデンサ１９の電位（＝駆動用トランジスタ１１ａのゲート端子（Ｇ）電位）が変動し、良好な電流プログラムができなくなり、レーザーショットムラなどが発生する。したがって、突き抜け電圧は小さくする必要がある。

【０４１４】

突き抜け電圧を小さくするためには、短絡トランジスタ１１ｂのサイズを小さくするとよい。今、短絡トランジスタのサイズＳｃｃをチャンネル幅Ｗ（μｍ）、チャンネル長Ｌ（μｍ）とし、Ｓｃｃ＝Ｗ・Ｌ（平方μｍ）とする。短絡トランジスタが複数直列接続されて構成されている場合は、Ｓｃｃは接続されたトランジスタサイズの総和である。たとえば、１つの短絡トランジスタのＷ＝５（μｍ）、Ｌ＝６（μｍ）とし、個数（ｎ＝４）が接続されて構成されていれば、Ｓｃｃ＝５×６×４＝１２０（平方μｍ）である。

【０４１５】

短絡トランジスタのサイズと突き抜け電圧は相関がある。この関係を図１９４に示す。なお、短絡トランジスタはＰチャンネルトランジスタであるとする。ただし、Ｎチャンネルトランジスタであっても適用できる。

【０４１６】

図１９４において、横軸はＳｃｃ／ｎとしている。Ｓｃｃは先に説明したように短絡トランジスタのサイズの総和せある。ｎは接続された短絡トランジスタ数である。図１９４ではＳｃｃをｎ個でわったものを横軸にしている。つまり、短絡トランジスタが１個あたりのサイズである。

【０４１７】

先に実施例では、短絡トランジスタのサイズＳｃｃをチャンネル幅Ｗ（μｍ）、チャンネル長Ｌ（μｍ）とし、短絡トランジスタ数がｎ＝４であれば、Ｓｃｃ／ｎ＝５×６×４／４＝３０（平方μｍ）である。図１９４において、縦軸は突き抜け電圧（Ｖ）である。

【０４１８】

突き抜け電圧は０．３（Ｖ）以内にしないと、レーザーショットムラが発生し、視覚的に許容できない。したがって、１つあたりの短絡トランジスタのサイズは２５（平方μｍ）以下にする必要がある。一方で、短絡トランジスタは５（平方μｍ）以上にしないと、トランジスタの加工精度がでず、ばらつきが大きくなる。また、駆動能力にも課題を生じる。以上のことから短絡トランジスタ１１ｂは５（平方μｍ）以上２５（平方μｍ）以下にする必要がある。さらに好ましくは、短絡トランジスタ１１ｂは５（平方μｍ）以上２０（平方μｍ）以下にする必要がある。

【０４１９】

短絡トランジスタによる突き抜け電圧は、短絡トランジスタを駆動する電圧（Ｖｇｈ、Ｖｇｌ）の振幅値（Ｖｇｈ－Ｖｇｌ）とも相関がある。振幅値が大きいほど突き抜け電圧は大きくなる。この関係を図１９６に図示している。図１９６において、横軸を振幅値（Ｖｇｈ－Ｖｈｌ）（Ｖ）としている。縦軸は突き抜け電圧である。図１９４でも説明したように、突き抜け電圧は０．３（Ｖ）以下となるようにする必要がある。

【０４２０】

なお、突き抜け電圧の許容値０．３（Ｖ）は言い換えると、ソース信号線１８の振幅値の１／５以下（２０％以下）である。ソース信号線１８はプログラム電流が白表示の場合は、１．５（Ｖ）であり、プログラム電流が黒表示の場合は３．０（Ｖ）である。したがって、（３．０－１．５）／５＝０．３（Ｖ）となる。

【０４２１】

一方、ゲート信号線の振幅値（Ｖｇｈ－Ｖｈｌ）は４（Ｖ）以上ないと十分に画素１６に書き込むことができない。以上のことから、ゲート信号線の振幅値（Ｖｇｈ－Ｖｇｌ）は、４（Ｖ）以上１５（Ｖ）以下の条件と満足させる必要がある。さらに好ましくは、ゲート信号線の振幅値（Ｖｇｈ－Ｖｇｌ）は、５（Ｖ）以上１２（Ｖ）以下の条件と満足させる必要がある。

【０４２２】

図１などの画素１６構成では、駆動用トランジスタ１１ａは各画素１６に１つの構成で

ある。しかし、本発明において、駆動用トランジスタ１１ａは１つに限定されるものでない。たとえば、図３１５の画素構成が例示される。

【０４２３】

図３１５は駆動用トランジスタ１１ａが５個構成された実施例である。他の構成は図１の実施例と同様である。なお、図３１５などおいても、図２のようにトランジスタ１１ｅを付加してもよいことはいうまでもない。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

【０４２４】

図１の実施例では、プログラム電流Ｉｗ＝ＥＬ素子１５に流れる電流の関係があった。したがって、ＥＬ素子１５を低輝度で発光させる場合は、プログラム電流Ｉｗも小さくなり、ソース信号線１８に寄生容量の影響を受けやすくなる（寄生容量の充放電に長時間を必要とし、１Ｈ期間の間に駆動用トランジスタ１１ａのゲート端子電位を所定電位に変化することが困難になる）。

【０４２５】

図３１５の実施例では、ゲート信号線１７ａが選択されると、トランジスタ１１ｅ、１１ｂ、１１ｃが動作状態となり、駆動用トランジスタ１１ａとソース信号線１８との電流経路が形成される。プログラム電流Ｉｗは、駆動用トランジスタ１１ａ、１１ａ２、１１ａ３、１１ａ４、１１ａ５の電流が合成されたものとなる。説明を容易にするため、各駆動用トランジスタ１１ａに流れる電流が等しいとする。なお、説明を容易にするため、ＥＬ素子１５に電流を供給するトランジスタ１１ａを駆動用トランジスタと呼び、電流プログラム時に動作するトランジスタ１１ａ２などをプログラム用トランジスタ１１ａと呼ぶことにする。

【０４２６】

図３１５では、駆動用トランジスタ１１ａと各プログラム用トランジスタ１１ａとは同一出力電流となるようにしている（ゲート端子に印加された電圧が同一の場合）。出力電流を等しくするためには各トランジスタ１１ａのＷＬ（チャンネル幅Ｗとチャンネル長Ｌ）同一にすればよい。同一ＷＬのトランジスタ１１ａを複数形成する方が、各トランジスタ１１ａの出力バラツキが小さくなり、また画素１６間のばらつきも少なくなり好ましい。後に説明する図５７のソースドライバＩＣ１４を単位トランジスタ４８４で構成するのと同一の理由である。しかし、本発明はこれに限定するものではなく、複数のプログラム用トランジスタ１１ａは１つのプログラム用トランジスタ１１ａとして形成または構成してもよい。この場合も構成は容易である。プログラム用トランジスタ１１ａのＷを大きく形成すればよいからである。

【０４２７】

ゲート信号線１７ａに選択電圧（オン電圧）が印加されると、駆動用トランジスタ１１ａとプログラム用トランジスタ１１ａからの電流が合成されたものがプログラム電流Ｉｗとなる。このプログラム電流ＩｗをＥＬ素子１５に流れる電流Ｉｅの所定倍率にする。

【０４２８】

Ｉｗ＝ｎ・Ｉｅ（ｎは１より大きい自然数）

上式において、表示パネルの最大白ラスターでの表示輝度Ｂ（ｎｔ）、表示パネルの画素面積Ｓ（平方ミリメートル）（画素面積は、ＲＧＢを１単位として取り扱う。したがって、各ＲＧＢの絵素が縦０．１ｍｍ、横０．０５ｍｍであれば、Ｓ＝０．１×（０．０５×３）（平方ミリメートル）である）、表示パネルの１画素行選択期間（１水平走査（１Ｈ）期間）をＨ（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Ｂは、パネル仕様に規定する表示できる最大輝度である。

【０４２９】

５　＜＝　（Ｂ・Ｓ）／（ｎ・Ｈ）　＜＝　１５０

さらに好ましくは、以下の条件と満足するようにする。

【０４３０】

１０　＜＝　（Ｂ・Ｓ）／（ｎ・Ｈ）　＜＝　１００

なお、Ａ　＜＝　Ｂ　とは、ＢはＡ以上の意味である。

【０４３１】

また、以上の事項は図１３、図１４、図１５、図１６、図１７で説明した、ｎ、Ｂ、Ｈおよび想定される画素サイズＳにも適用される。この場合もｎはＩｗ＝ｎ・Ｉｅを満足するように駆動される。また、以上の関係式は、図３２３、図３２５などの本発明の他の実施例にも適用される。

【０４３２】

ＩｗはソースドライバＩＣ（回路）１４が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素１６のコンデンサ１９にホールドされる。また、Ｉｅは駆動用トランジスタ１１ａがＥＬ素子１５に流す電流である。ただし、突き抜け電圧などによる誤差は考慮していない。

【０４３３】

したがって、プログラム用トランジスタ１１ａのＷＬ、大きさ、出力電流は上記の関係式を満足するように構成または形成する。図３１５の構成では、駆動用トランジスタ１１ａのサイズもしくは供給電流と、プログラム用トランジスタ１１ａのサイズもしくは１つあたりの供給電流が等しいとすると、ｎ－１個のプログラム用トランジスタ１１ａを形成することにより上式の関係を満足させることができる。特に図３１５の画素構成では、駆動用トランジスタ１１ａの電流もプログラム電流にすることができ、画素１６の開口率をカレントミラーの画素構成に比較して高くすることができる。

【０４３４】

以上のように画素１６を構成することにより、プログラム電流Ｉｗは、Ｉｅに対してｎ倍になる。したがって、ソース信号線１８に寄生容量が存在しても、書き込み不足はなくなる。

【０４３５】

図１では、プログラム電流ＩｗとＥＬ素子１５に流れる電流Ｉｅが同一であり、ばらつきが発生しない。しかし、図３１５の構成では、プログラム電流Ｉｗの一部がＥＬ素子１５に流す電流Ｉｅとなる。したがって、ばらつきが発生する可能性がある。

【０４３６】

この課題を防止するためには、プログラム用トランジスタ１１ａと駆動用トランジスタ１１ａとを近接させて形成または配置する（図３１６を参照のこと）。図３１６では、駆動用トランジスタ１１ａとプログラム用トランジスタ１１ａとを同一のＷＬに形成している。また、駆動用トランジスタ１１ａの左右をプログラム用トランジスタ１１ａで囲うように形成または配置している。以上のように構成することにより、トランジスタ１１ａのバラツキを少なくすることができ、精度のよいＩｗ＝ｎ・Ｉｅの関係を維持できる。

【０４３７】

図３１５の実施例では、駆動用トランジスタ１１ａは１個であるとしたが、本発明はこれに限定するものではない。図３１７に図示するように、駆動用トランジスタは複数個形成してもよい（１１ａａ、１１ａｂ）。

【０４３８】

トランジスタ１１ａの特性は形成方向によっても特性が異なる場合がある。したがって、図３１６に図示するように１つの駆動用トランジスタ１１ａａは横方向に形成し、他の駆動用トランジスタ１１ａｂは縦方向に形成することにより、出力バラツキを低減することができる（以上の事項は、図１１６でも同様である）。また、図３１６に図示するようにプログラム用トランジスタ１１ａも縦方向と横方向に配置することが好ましい。

【０４３９】

ＥＬ表示パネルでは、ＲＧＢのＥＬ素子は異なる材料で構成する。したがって、各色で発光効率が異なる場合が多い。そのため、各ＲＧＢのプログラム電流Ｉｗも異なる。ソース信号線１８の寄生容量は、一般的にＲＧＢに対する変化はなく、同一である場合が多い。各ＲＧＢのプログラム電流Ｉｗが異なり、ソース信号線１８の寄生容量がＲＧＢで同一であれば、プログラム電流の書き込み時定数が異なることになる。

【０４４０】
この課題に対して、本発明では、図３１９に図示するように、各ＲＧＢのプログラム用トランジスタ１１ａの個数を変化させている。一例として、Ｒ画素１６のプログラム用トランジスタ１１ａは２個であり、Ｇ画素１６のプログラム用トランジスタ１１ａは４個であり、Ｂ画素１６のプログラム用トランジスタ１１ａは１個である。
【０４４１】
なお、図３１９の実施例において、各ＲＧＢのプログラム用トランジスタ１１ａの個数を変化させるとしたが、これに限定するものではない。たとえば、各ＲＧＢのプログラム用トランジスタ１１ａｎのサイズ（ＷＬなど）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。また、各ＲＧＢのプログラム電流Ｉｗなどが同一あるいは近似の場合は、プログラム用トランジスタ１１ａｎの個数はＲＧＢで同一であってもよいことは言うまでもない。
【０４４２】
図３１９の実施例は、プログラム用トランジスタ１１ａｎの個数などをＲＧＢで変化させた実施例であったが、本発明はこれに限定されるものではない。たとえば、図３２０に図示するように、駆動用トランジスタ１１ａの個数あるいはサイズを変化させてもよい。図３２０では、Ｂ画素の駆動用トランジスタ１１ａサイズ　＞　Ｇ画素の駆動用トランジスタ１１ａサイズ　＞　Ｒ画素の駆動用トランジスタ１１ａサイズ　となるように形成または構成している。
【０４４３】
図３１５の実施例などでは、電流プログラム時に、駆動用トランジスタ１１ａの電流Ｉｅはトランジスタ１１ｅとトランジスタ１１ｃを経由してソース信号線１８に出力される。一方、プログラム用トランジスタ１１ａの出力電流Ｉｗ－Ｉｅは１つのトランジスタ１１ｃのみを経由してソース信号線１８に出力される。トランジスタ１１ｅ、１１ｃではオン状態でもソース－ドレイン間の電位差が発生する。このため、プログラム用トランジスタ１１ａの１つあたりの出力電流に比較して、駆動用トランジスタ１１ａの出力電流が小さくなる場合がある。
【０４４４】
この課題に対しては、図３２１のように構成あるいは形成することが好ましい。図３２１の構成では、電流プログラム時に、駆動用トランジスタ１１ａ１の電流Ｉｅはトランジスタ１１ｃ１を経由してソース信号線１８に出力される。一方、プログラム用トランジスタ１１ａｎの出力電流Ｉｗ－Ｉｅはトランジスタ１１ｃ２を経由してソース信号線１８に出力される。したがって、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎではソース信号線１８までに経由するトランジスタ数が等しくなる。したがって、トランジスタのソース－ドレイン間の電位差の影響は発生しないため、プログラム用トランジスタ１１ａｎの１つあたりの出力電流と、駆動用トランジスタ１１ａ１の出力電流が等しくなる。なお、図３２１では駆動用トランジスタ１１ａには、ゲート－ドレイン間ショート用のトランジスタ１１ｂ１を形成または配置している。同様に、プログラム用トランジスタ１１ａｎには、ゲート－ドレイン間ショート用のトランジスタ１１ｂ２を形成または配置している。
【０４４５】
図３２２はプログラム用トランジスタ１１ａ１のドレイン端子と、プログラム用トランジスタ１１ａｎのドレイン端子とを接続するトランジスタ１１ｅを形成した画素構成図である。しかし、図３２２の画素構成では、画素１６を構成するトランジスタ数が７個と多いため、画素開口率が低下する。
【０４４６】
図３２３は画素１６を構成するトランジスタ数を６個とし、プログラム用トランジスタ１１ａｎはトランジスタ１１ｂ２とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接続されるように構成し、駆動用トランジスタ１１ａ１はトランジスタ１１ｂ１とトランジスタ１１ｃの２個のトランジスタを経由してソース信号線１８に接

続されるように構成した実施例である。

【０４４７】

図３２３において、駆動用トランジスタ１１ａ１のゲート端子とプログラム用トランジスタ１１ａｎのゲート端子とを共通にしている。トランジスタ１１ｂ１は電流プログラム時に駆動用トランジスタ１１ａ１のドレイン端子とゲート端子とを短絡するように動作する。トランジスタ１１ｂ２は電流プログラム時にプログラム用トランジスタ１１ａｎのドレイン端子とゲート端子とを短絡するように動作する。トランジスタ１１ｃは駆動用トランジスタ１１ａ１のゲート端子に接続されており、トランジスタ１１ｄは駆動用トランジスタ１１ａ１とＥＬ素子１５間に形成または配置され、ＥＬ素子１５に流れる電流を制御する。また、駆動用トランジスタ１１ａ１のゲート端子とアノード（Ｖｄｄ）端子間には付加コンデンサ１９が形成または配置されており、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎのソース端子はアノード（Ｖｄｄ）端子に接続されている。

【０４４８】

以上のように、駆動用トランジスタ１１ａ１とプログラム用トランジスタ１１ａｎが同一数のトランジスタを通過するように構成することにより、精度を向上させることができる。つまり、駆動用トランジスタ１１ａ１を流れる電流は、トランジスタ１１ｂ１、トランジスタ１１ｃを通じてソース信号線１８に流れる。また、プログラム用トランジスタ１１ａｎを流れる電流は、トランジスタ１１ｂ２、トランジスタ１１ｃを通じてソース信号線１８に流れる。したがって、駆動用トランジスタ１１ａ１の電流と、プログラム用トランジスタ１１ａｎの電流は、同数の２つのトランジスタを通過してソース信号線１８に流れるように構成されている。

【０４４９】

ゲート信号線１７ａが選択されると、駆動用トランジスタ１１ａ１およびプログラム用トランジスタ１１ａｎの両方がオンする。駆動用トランジスタ１１ａ１が流す電流Ｉｗ１と、プログラム用トランジスタ１１ａ１が流す電流Ｉｗ２とは、略一致させることが好ましい。最もこのましくは、プログラム用トランジスタ１１ａｎと駆動用トランジスタ１１ａ１のサイズ（Ｗ、Ｌ）を一致させることである。つまり、Ｉｗ１＝Ｉｗ２、Ｉｗ＝２Ｉｅの関係を満足させることが好ましい。もちろん、Ｉｗ１＝Ｉｗ２の関係を満足させるには、トランジスタサイズ（Ｗ、Ｌ）を一致させることに限定されるものではなく、サイズを変化することにより一致させてもよい。これは、トランジスタのＷＬを調整することにより容易に実現できる。略Ｉｗ２／Ｉｗ１＝１であれば、トランジスタ１１ｂ１とトランジスタ１１ｂ１のサイズは略一致して構成あるいは形成することができる。

【０４５０】

なお、Ｉｗ２／Ｉｗ１は、１以上１０以下の関係を満足させておくことが好ましい。Ｉｗ２／Ｉｗ１は、１以上１０以下の関係を満足させておくことが好ましい。さらに好ましくは、１．５以上５以下の関係を満足させておくことが好ましい。

【０４５１】

Ｉｗ２／Ｉｗ１が１以下では、ほとんど、ソース信号線１８の寄生容量の影響を改善する効果は見込めない。一方Ｉｗ２／Ｉｗが１０以上となると、Ｉｗに対するＩｅの関係に画素ごとにばらつきが発生し、均一な画像表示が実現できない。また、トランジスタ１１ｂのオン抵抗の影響を大きく受けるようになり、画素設計も困難になる。

【０４５２】

プログラム用トランジスタ１１ａｎが流す電流Ｉｗ２が、駆動用トランジスタ１１ａ１が流す電流Ｉｗ１に比較して一定以上大きい場合は（Ｉｗ２　＞　Ｉｗ１）、スイッチング用トランジスタ１１ｂ２のオン抵抗を、スイッチング用トランジスタ１１ｂ１のオン抵抗よりも小さくする必要がある。スイッチング用トランジスタ１１ｂ２は、トランジスタ１１ｂ１よりも大きな電流を、同一のゲート信号線１７ａの電圧にたいして流すように構成する必要があるからである。

【０４５３】

つまり、駆動用トランジスタ１１ａ１の出力電流の大きさに対するトランジスタ１１ｂ

１の大きさと、プログラム用トランジスタ１１ａｎの出力電流の大きさに対するトランジスタ１１ｂ２の大きさをマッチングさせる必要がある。

【０４５４】

言い換えれば、プログラム電流Ｉｗ２、プログラム電流Ｉｗ１に対して、トランジスタ１１ｂのオン抵抗を変化させる必要がある。また、プログラム電流Ｉｗ２、プログラム電流Ｉｗ１に対して、トランジスタ１１ｂ１と１１ｂ２のサイズを変化させる必要がある。

【０４５５】

プログラム電流Ｉｗ２がプログラム電流Ｉｗ１よりも大きければ、トランジスタ１１ｂ２のオン抵抗はトランジスタ１１ｂ１のオン抵抗よりも小さくする必要がある（トランジスタ１１ｂ１とトランジスタ１１ｂ２のゲート端子電圧が同一の場合である）。プログラム電流Ｉｗ２がプログラム電流Ｉｗ１よりも大きければ、トランジスタ１１ｂ２のオン電流（Ｉｗ２）はトランジスタ１１ｂ１のオン電流（Ｉｗ１）よりも大きくする必要がある（トランジスタ１１ｂ１とトランジスタ１１ｂ２のゲート端子電圧が同一の場合である）。

【０４５６】

Ｉｗ２：Ｉｗ１＝ｎ：１とし、ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂ１とトランジスタ１１ｂ２がオンしたときのトランジスタ１１ｂ２のオン抵抗をＲ２、トランジスタ１１ｂ１のオン抵抗をＲ１とする。この時、Ｒ２は、Ｒ１／（ｎ＋５）以上、Ｒ１／（ｎ）以下の関係を満足するように構成する。構成するとは、トランジスタ１１ｂの所定のサイズに形成するあるいは配置するもしくは動作させるの意味である。ただし、ｎは１よりも大きな値である。

【０４５７】

なお、上記事項は、トランジスタ１１ｂ１とトランジスタ１１ｂ２のオン抵抗Ｒあるいは、プログラム電流Ｉｗの説明である。したがって、上記条件を満足するように画素構成を実現すればいずれの構成でもよい。たとえば、トランジスタ１１ｂ１のゲート端子に接続されたゲート信号線１７と、トランジスタ１１ｂ２のゲート端子に接続されたゲート信号線１７とが異なる信号線の場合は、各ゲート信号線に印加する電圧を変化させれば、オン抵抗などを変化でき、本発明の条件を満足させることできる。

【０４５８】

図３２４は図３２３の画素構成の動作の説明図である．図３２３（ａ）は電流プログラム状態であり、図３２３（ｂ）はＥＬ素子１５に電流を供給している状態である。なお、図３２４（ｂ）の状態で、トランジスタ１１ｄをオンオフさせて間欠表示を実施してもよいことは言うまでもない。

【０４５９】

図３２４（ａ）では、ゲート信号線１７ａにオン電圧が印加され、トランジスタ１１ｂ１、１１ｂ２、１１ｃがオンする。トランジスタ１１ａ１は電流Ｉｅを供給し、トランジスタ１１ａｎは電流Ｉｗ－Ｉｅを供給し、合成した電流ＩｗがソースドライバＩｃにプログラム電流となる。以上の動作により、プログラム電流Ｉｗに対応する電圧がコンデンサ１９に保持される。電流プログラム時にはトランジスタ１１ｄはオフ状態に保持される（ゲート信号線１７ｂにはオフ電圧が印加されている）。

【０４６０】

ＥＬ素子１５に電流を流す場合が、図３２４（ｂ）の動作状態にされる。ゲート信号線１７ａにオフ電圧が印加され、ゲート信号線１７ｂにオン電圧が印加される。この状態では、トランジスタ１１ｂ１、１１ｂ２、１１ｃがオフ状態になり、トランジスタ１１ｄがオン状態になる。ＥＬ素子１５にＩｅ電流が供給される。

【０４６１】

図３２５は図３２３の変形例である。図３２５は、トランジスタ１１ｃがソース信号線１８とトランジスタ１１ａ１のドレイン端子間に配置されている。以上のように図３２３には多数の変形例が例示することができる。

【０４６２】
図３２３はゲート信号線１７ａにオンオフ電圧を印加することにより、トランジスタ１１ｂ１、１１ｂ２、１１ｃが制御される。しかし、電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ１１ｂ１、１１ｂ２とトランジスタ１１ｃが同時にオフする場合、トランジスタ１１ｃの方が、トランジスタ１１ｂ１、１１ｂ２よりも先にオフになると、コンデンサ１９に保持される電圧が規定の値から変化する場合がある。変化により駆動用トランジスタ１１ａからＥＬ素子１５に供給する電流Ｉｅに誤差が発生する。
【０４６３】
この課題に対しては、図３７６のように構成することが好ましい。図３７６では、ゲート信号線１７ａ１のトランジスタ１１ｂ１と１１ｂ２のゲート端子が接続されている。また、ゲート信号線１７ａ２にトランジスタ１１ｃのゲート端子が接続されている。したがって、ゲート信号線１７ａ１にオンオフ電圧を印加することにより、トランジスタ１１ｂ１と１１ｂ２がオンオフ制御される。また、ゲート信号線１７ａ２にオンオフ電圧を印加することによりトランジスタ１１ｃがオンオフ制御される。
【０４６４】
電流プログラム状態から電流プログラム状態以外に変化させる時（ゲート信号線１７ａ１、１７ａ２にオン電圧が印加されている状態から、ゲート信号線１７ａ１、１７ａ２にオフ電圧を印加する状態に変化させる時）、まず、ゲート信号線１７ａ１の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ１１ｂ１と１１ｂ２がオフ状態になる。次に、ゲート信号線１７ａ２をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ１１ｃがオフ状態になる。
【０４６５】
以上のように、トランジスタ１１ｂ１、１１ｂ２をオフ状態にしてから、トランジスタ１１ｃをオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ１９に保持される電圧が規定値どおりとなる。なお、ゲート信号線１７ａ１とゲート信号線１７ａ２にオフ電圧を印加するタイミングのずれは、０．１μｓｅｃ以上５μｓｅｃ以下にすることが好ましい。
【０４６６】
以上の実施例は、図１の変形例であった。本発明はこれに限定するものではなく、図３８のカレントミラーの画素構成にも適用することができる。
【０４６７】
図３７７は本発明の実施例である。図３７７は駆動用トランジスタ１１ｂが１個で、プログラム用トランジスタ１１ａｎが４個で画素が構成された実施例である。他の構成は図３８の実施例と同様である。
【０４６８】
図３７７の実施例では、ゲート信号線１７ａ１および１７ａ２が選択されると、トランジスタ１１ｃ、１１ｄが動作状態となり、プログラム用トランジスタ１１ａｎとソース信号線１８との電流経路が形成される。なお、４つのプログラム用トランジスタ１１ａｎは、同一サイズ（同一ＷＬ）で形成することが好ましい。ただし、本発明において、プログラム用トランジスタ１１ａｎは１つで構成してもよい。この場合は、１つのプログラム用トランジスタ１１ａｎの形状あるいはＷＬ比を考慮し、所定のプログラム電流Ｉｗが実現できるようにすることが好ましい。
【０４６９】
図３７７の実施例では、プログラム電流Ｉｗは、４つのプログラム用トランジスタ１１ａｎの電流が合成されたものとなる。説明を容易にするため、各プログラム用トランジスタ１１ａに流れる電流が等しいとする。なお、説明を容易にするため、ＥＬ素子１５に電流を供給するトランジスタ１１ａを駆動用トランジスタ１１ｂと呼び、電流プログラム時に動作するトランジスタ１１ａｎなどをプログラム用トランジスタ１１ａｎと呼ぶことにする。

【０４７０】
図３７７では、駆動用トランジスタ１１ｂと１つのプログラム用トランジスタ１１ａｎは同一出力電流となるようにしている（駆動用トランジスタおよびプログラム用トランジスタのゲート端子に印加された電圧が同一の場合）。出力電流を等しくするためにはトランジスタ１１ａｎおよび１１ｂのＷＬ（チャンネル幅Ｗとチャンネル長Ｌ）同一にすればよい。同一ＷＬのトランジスタ１１ａを複数形成する方が、各トランジスタ１１ａの出力バラツキが小さくなり、また画素１６間のばらつきも少なくなり好ましい。
【０４７１】
ゲート信号線１７ａ１、１７ａ２に選択電圧（オン電圧）が印加されると、複数のプログラム用トランジスタ１１ａｎからの電流が合成されたものがプログラム電流Ｉｗとなる。このプログラム電流Ｉｗを、駆動用トランジスタ１１ｂからＥＬ素子１５に流れる電流Ｉｅの所定倍率にする。
【０４７２】
Ｉｗ＝ｎ・Ｉｅ（ｎは１より大きい自然数）
上式において、表示パネルの最大白ラスターでの表示輝度Ｂ（ｎｔ）、表示パネルの画素面積Ｓ（平方ミリメートル）（画素面積は、ＲＧＢを１単位として取り扱う。したがって、各ＲＧＢの絵素が縦０．１ｍｍ、横０．０５ｍｍであれば、Ｓ＝０．１×（０．０５×３）（平方ミリメートル）である）、表示パネルの１画素行選択期間（１水平走査（１Ｈ）期間）をＨ（ミリ秒）としたとき、以下の条件を満足するようにする。なお、表示輝度Ｂは、パネル仕様に規定する表示できる最大輝度である。
【０４７３】
５　＜＝　（Ｂ・Ｓ）／（ｎ・Ｈ）　＜＝　１５０
さらに好ましくは、以下の条件と満足するようにする。
【０４７４】
１０　＜＝　（Ｂ・Ｓ）／（ｎ・Ｈ）　＜＝　１００
Ｉｗはソースドライバ ＩＣ（回路）１４が出力するプログラム電流であり、このプログラム電流に対応する電圧が、画素１６のコンデンサ１９にホールドされる。また、Ｉｅは駆動用トランジスタ１１ａがＥＬ素子１５に流す電流である。
【０４７５】
したがって、駆動用トランジスタ１１ｂおよびプログラム用トランジスタ１１ａのＷＬ、大きさ（形状）、出力電流は上記の関係式を満足するように構成または形成する。なお、説明を容易にするため、図３７７の構成では、駆動用トランジスタ１１ｂのサイズもしくは供給電流と、プログラム用トランジスタ１１ａｎのサイズ（形状）もしくは１つあたりの供給電流が等しいとすると、ｎ－１個のプログラム用トランジスタ１１ａを形成することにより上式の関係を満足させることができる。特に図３１５の画素構成では、駆動用トランジスタ１１ａの電流もプログラム電流にすることができ、画素１６の開口率をカレントミラーの画素構成に比較して高くすることができる。
【０４７６】
以上のように画素１６を構成することにより、プログラム電流Ｉｗは、Ｉｅに対してｎ倍になる。したがって、ソース信号線１８に寄生容量が存在しても、書き込み不足はなくなる。
【０４７７】
各トランジスタ１１ｂ、１１ａｎの出力ばらつきに関しては、図３１５と同様にプログラム用トランジスタ１１ａｎと駆動用トランジスタ１１ｂとを近接させて形成または配置する（図３１６と類似であるので説明を省略する）。また、トランジスタ１１ａｎ、トランジスタ１１ｂの特性は形成方向によっても特性が異なる場合がある。したがって、図３１６に図示するように横方向または縦方向に形成することが好ましい。
【０４７８】
ＥＬ表示パネルでは、ＲＧＢのＥＬ素子は異なる材料で構成する。したがって、各色で発光効率が異なる場合が多い。そのため、各ＲＧＢのプログラム電流Ｉｗも異なる。ソー

ス信号線１８の寄生容量は、一般的にＲＧＢに対する変化はなく、同一である場合が多い。各ＲＧＢのプログラム電流Ｉｗが異なり、ソース信号線１８の寄生容量がＲＧＢで同一であれば、プログラム電流の書き込み時定数が異なることになる。

【０４７９】

図３７７の画素構成に関しても図３１９と同様に、各ＲＧＢのプログラム用トランジスタ１１ａｎの個数を変化させればよい。また、各ＲＧＢのプログラム用トランジスタ１１ａｎのサイズ（ＷＬなど）あるいは供給電流の大きさを変化させてもよいことはいうまでもない。さらに、図３２０で説明したように、駆動用トランジスタ１１ａの個数あるいはサイズを変化させてもよい。

【０４８０】

図３７８は、トランジスタ１１ｃとトランジスタ１１ｄをゲート信号線１７ａに印加する電圧により制御できるようにした構成である。図３７８の構成では、画素１６を駆動するゲート信号線１７は２本ですむため、配線信号線数が少なくてすむ。しかし、図３７８はゲート信号線１７ａにオンオフ電圧を印加することにより、トランジスタ１１ｃ、１１ｄが制御される。

【０４８１】

しかし、電流プログラム状態から電流プログラム状態以外に変化する時、トランジスタ１１ｃとトランジスタ１１ｄが同時にオフしたり、トランジスタ１１ｄの方が、トランジスタ１１ｃよりも先にオフになると、コンデンサ１９に保持される電圧が規定の値から変化する場合がある。変化により駆動用トランジスタ１１ｂからＥＬ素子１５に供給する電流Ｉｅに誤差が発生する。

【０４８２】

この課題に対しては、図３７７のように構成することが好ましい。図３７７では、ゲート信号線１７ａ１でトランジスタ１１ｃが制御される。また、ゲート信号線１７ａ２でトランジスタ１１ｄが制御される。したがって、ゲート信号線１７ａ１にオンオフ電圧を印加することにより、トランジスタ１１ｃがオンオフ制御される。また、ゲート信号線１７ａ２にオンオフ電圧を印加することによりトランジスタ１１ｄがオンオフ制御される。

【０４８３】

電流プログラム状態から電流プログラム状態以外に変化させる時（ゲート信号線１７ａ１、１７ａ２にオン電圧が印加されている状態から、ゲート信号線１７ａ１、１７ａ２にオフ電圧を印加する状態に変化させる時）、まず、ゲート信号線１７ａ２の印加電圧をオン電圧からオフ電圧にする。したがって、トランジスタ１１ｄがオフ状態になる。次に、ゲート信号線１７ａ１をオン電圧印加状態からオフ電圧印加状態に変化させる。したがって、トランジスタ１１ｃがオフ状態になる。

【０４８４】

以上のように、トランジスタ１１ｄをオフ状態にしてから、トランジスタ１１ｃをオフ状態にすることにより、突き抜け電圧の影響が小さくなり、また、リーク電流量なども低減するため、コンデンサ１９に保持される電圧が規定値どおりとなる。なお、ゲート信号線１７ａ１とゲート信号線１７ａ２にオフ電圧を印加するタイミングのずれは、０．１μｓｅｃ以上５μｓｅｃ以下にすることが好ましい。

【０４８５】

図３７７、図３７８の実施例では、駆動用トランジスタ１１ｂとプログラム用トランジスタ１１ａｎを同一サイズにするとして説明したが、本発明はこれに限定するものではなく、図３７９に図示するように駆動用トランジスタ１１ｂのサイズあるいは形状と、プログラム用トランジスタ１１ａｎのサイズあるいは形状とを変化させてもよい。

【０４８６】

図３１５から図３２５、図３７６から図３７９では、主としてＩｗとＩｅとが異なる画素構成あるいはプログラム用トランジスタおよび駆動用トランジスタを有する画素構成の実施例であった。この画素構成（パネル構成）と、本発明の他の実施例と組みあせることは有効である。たとえば、図１３、図１６、図１７、図１９、図２４、図２９、図３０、

図１００、図１０１、図１０２、図２８８から図３０２など駆動方法との組合せが例示される。また、図３４、図４０、図４１などの駆動方法との組合せが例示される。また、図４８、図６５、図１６９から図１７２、図１８５から図２２３、図２５５から図２６０、図２７４、図３０５から図３１４、図３２７から図３３７、図３５０から図３５７、図３８６から図３９２などのソースドライバ回路１４との組合せが例示される。また、図８５から図９６、図１０８の駆動方法の組合せが例示される。また、図１２７から図１３２の駆動方法または構成とも組合せも有効である。また、図１４７から図１５６の装置との組合せも有効である。また、図２６１から図２６５の画素構成との組合せもも有効である。また、図２６８から図２７２、図３６０、図３６１、図３８８などパネル構成との組合せも有効である。図１１２、図１７７から図１８３、図３９４から図３９８などの電源回路構成との組合せも有効である。以上の一例のように、本発明は明細書に記載した事項を相互に採用あるいは、組合せて実施することができることは言うまでもない。

【０４８７】

以下、図面を参照しながら本発明の他の駆動方式について説明をする。図１２５は本発明のシーケンス駆動を実施するための表示パネルの説明図である。ソースドライバ回路１４は接続端子６８１にＲ、Ｇ、Ｂデータを切り替えて出力する。したがって、ソースドライバ回路１４の出力端子数は図４８などの場合に比較して１／３の出力端子数ですむ。

【０４８８】

ソースドライバ回路１４から接続端子６８１に出力する信号は、出力切り替え回路１２５１のよりソース信号線１８Ｒ、１８Ｇ、１８Ｂに振り分けられる。出力切り替え回路１２５１はポリシリコン技術あるいはアモルファスシリコン技術で基板７１に直接形成する。また、出力切り替え回路１２５１はシリコンチップで形成し、ＣＯＧ技術、ＴＡＢ技術、ＣＯＦ技術で基板７１に実装してもよい。また、出力切り替え回路１２５１は切り替えスイッチ１２５１をソースドライバ回路１４の回路として、ソースドライバ回路１４に内蔵させてもよい。

【０４８９】

切り替えスイッチ１２５２がＲ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｒに印加される。切り替えスイッチ１２５２がＧ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｇに印加される。切り替えスイッチ１２５２がＢ端子に接続されている時は、ソースドライバ回路１４からの出力信号は、ソース信号線１８Ｂに印加される。

【０４９０】

なお、図１２６の構成では、切り替えスイッチ１２５２がＲ端子に接続されている時は、切り替えスイッチのＧ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｇおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｇおよび１８Ｂに接続された画素１６は黒表示となる。

【０４９１】

切り替えスイッチ１２５２がＧ端子に接続されている時は、切り替えスイッチのＲ端子およびＢ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｂに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｂに接続された画素１６は黒表示となる。

【０４９２】

なお、図１２６の構成では、切り替えスイッチ１２５２がＢ端子に接続されている時は、切り替えスイッチのＲ端子およびＧ端子はオープンである。したがって、ソース信号線１８Ｒおよび１８Ｇに入力される電流は０Ａである。したがって、ソース信号線１８Ｒおよび１８Ｇに接続された画素１６は黒表示となる。

【０４９３】

基本的には、１フレームが３フィールドで構成される場合、第１フィールドで、表示領域５０の画素１６に順次Ｒ画像データが書き込まれる。第２フィールドでは、表示領域５０の画素１６に順次Ｇ画像データが書き込まれる。また、第３フィールドでは、表示領域

５０の画素１６に順次Ｂ画像が書き込まれる。

【０４９４】

以上のように、フィールドごとにＲデータ→Ｇデータ→Ｂデータ→Ｒデータ→Ｇデータ→Ｂデータ→Ｒデータ→・・・・・　が順次書き換えられシーケンス駆動が実現される。図１のようにスイッチング用トランジスタ１１ｄをオンオフさせて、Ｎ倍パルス駆動を実現することなどは、図５、図１３、図１６などで説明をした。これらの駆動方法をシーケンス駆動と組み合わせることができることは言うまでもない。もちろん、その他の本発明の駆動方法とシーケンス駆動とを組み合わせることができることは言うまでもない。

【０４９５】

また、先に説明した実施例では、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素には黒データを書き込むとした。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素には黒データを書き込むとした。Ｂ画素１６に画像データを書き込む時は、Ｒ画素およびＧ画素には黒データを書き込むとした。本発明はこれに限定するものではない。

【０４９６】

たとえば、Ｒ画素１６に画像データを書き込む時は、Ｇ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにしてもよい。このように駆動すれば画面５０輝度を明るくすることができる。Ｇ画素１６に画像データを書き込む時は、Ｒ画素およびＢ画素の画像データは前フィールドで書き換えられた画像データを保持するようにしする。Ｂ画素１６に画像データを書き込む時は、Ｇ画素およびＲ画素の画像データは前フィールドで書き換えられた画像データを保持する。

【０４９７】

以上のように、書き換えている色画素以外の画素の画像データを保持するには、ＲＧＢ画素でゲート信号線１７ａを独立に制御できるようにすればよい。たとえば、図１２５に図示するように、ゲート信号線１７ａＲは、Ｒ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。また、ゲート信号線１７ａＧは、Ｇ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。ゲート信号線１７ａＢは、Ｂ画素のトランジスタ１１ｂ、トランジスタ１１ｃのオンオフを制御する信号線とする。一方、ゲート信号線１７ｂはＲ画素、Ｇ画素、Ｂ画素のトランジスタ１１ｄを共通でオンオフさせる信号線とする。

【０４９８】

以上のように構成すれば、ソースドライバ回路１４がＲの画像データを出力し、スイッチ１２５２がＲ接点に切り替わっているときは、ゲート信号線１７ａＲにオン電圧を印加し、ゲート信号線ａＧとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｒの画像データをＲ画素１６に書き込み、Ｇ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。

【０４９９】

第２フィールドでソースドライバ回路１４がＧの画像データを出力し、スイッチ１２５２がＧ接点に切り替わっているときは、ゲート信号線１７ａＧにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＢとにオフ電圧を印加することができる。したがって、Ｇの画像データをＧ画素１６に書き込み、Ｒ画素１６およびＢ画素１６は前にフィールドの画像データを保持したままにできる。

【０５００】

第３フィールドでソースドライバ回路１４がＢの画像データを出力し、スイッチ１２５２がＢ接点に切り替わっているときは、ゲート信号線１７ａＢにオン電圧を印加し、ゲート信号線ａＲとゲート信号線ａＧとにオフ電圧を印加することができる。したがって、Ｂの画像データをＢ画素１６に書き込み、Ｒ画素１６およびＧ画素１６は前にフィールドの画像データを保持したままにできる。

【０５０１】

図１２５の実施例では、ＲＧＢごとに画素１６のトランジスタ１１ｂをオンオフさせる

ゲート信号線１７ａを形成あるは配置するとした。しかし、本発明はこれに限定されるものではない。たとえば、図１２６に図示するように、ＲＧＢの画素１６に共通のゲート信号線１７ａを形成または配置する構成であってもよい。

【０５０２】

図１２５などの構成において、切り替えスイッチ１２５２がＲのソース信号線を選択しているときは、Ｇのソース信号線とＢのソース信号線はオープンになるとして説明をした。しかし、オープン状態は電気的にはフローティング状態であり、好ましいことではない。

【０５０３】

図１２６は、このフローティング状態をなくすために対策を行った構成である。出力切り替え回路１２５１のスイッチ１２５２のａ端子はＶａａ電圧（黒表示となる電圧）に接続されている。ｂ端子はソースドライバ回路１４の出力端子と接続されている。スイッチ１２５２はＲＧＢそれぞれに設けられている。

【０５０４】

図１２６の状態では、スイッチ１２５２ＲはＶａａ端子に接続されている。したがって、ソース信号線１８Ｒには、Ｖａａ電圧（黒電圧）が印加されている。スイッチ１２５２ＧはＶａａ端子に接続されている。したがって、ソース信号線１８Ｇには、Ｖａａ電圧（黒電圧）が印加されている。スイッチ１２５２ＢはソースドライバＩＣ回路１４の出力端子に接続されている。したがって、ソース信号線１８Ｂには、Ｂの映像信号が印加されている。

【０５０５】

以上の状態では、Ｂ画素の書き換え状態であり、Ｒ画素とＧ画素には黒表示電圧が印加される。以上のようにスイッチ１２５２を制御することにより、画素１６の画像は書き換えられる。なお、ゲート信号線１７ｂの制御などに関しては以前説明した実施例と同様であるので説明を省略する。

【０５０６】

以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。本発明はこれに限定されるものではない。１水平走査期間（１Ｈ）ごとに書き換える画素の色を変化させてもよい。たとえば、１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよい。

【０５０７】

図１２７は１Ｈごとに書き換える画素の色を変化させた実施例である。なお、図１２７から図１２９において、斜線でしめした画素１６は、画素を書き換えずに前フィールドの画像データを保持していること、もしくは、黒表示にされていることを示している。もちろん、画素を黒表示したり、前フィールドのデータを保持したりと繰り返し実施してもよい。

【０５０８】

なお、図１２５から図１２９の駆動方式において、図１３などのＮ倍パルス駆動やＭ行同時駆動を実施してもよいことは言うまでもない。図１２５から図１２９などは画素１６の書き込み状態を説明している。ＥＬ素子１５の点灯制御は説明しないが、以前あるいは以降に説明する実施例を組み合わせることができることは言うまでもない。もちろん、図２７で説明したダミー画素行２７１を形成した構成、ダミー画素行を使用する駆動方法と組み合わせてもよい。

【０５０９】

また、１フレームは３フィールドで構成されることに限定されるものではない。２フィールドでもよいし、４フィールド以上でもよい。１フレームが２フィールドで、ＲＧＢの

３原色の場合は、第１フィールドで、ＲとＧ画素を書き換え、第２フィールドでＢ画素を書き換えるという実施例が例示される。また、１フレームが４フィールドで、ＲＧＢの３原色の場合は、第１フィールドで、Ｒ画素を書き換え、第２フィールドでＧ画素を書き換え、第３フィールドと第４フィールドでＢ画素を書き換えるという実施例が例示される。これらのシーケンスは、ＲＧＢのＥＬ素子１５の発光効率を考慮して検討することのより効率よくホワイトバランスをとることができる。

【０５１０】

以上の実施例では、第１フィールドでＲ画素１６を書き換え、第２フィールドでＧ画素１６を書き換え、第３フィールドでＢ画素１６を書き換えるとした。つまり、１フィールドごとに書き換えられる画素の色が変化する。

【０５１１】

図１２７の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換え、・・・・・と駆動する方法である。もちろん、２Ｈ以上の複数水平走査期間ごとに書き換える画素の色を変化させてもよいし、１／３フィールドごとに書き換える画素の色を変化させてもよい。

【０５１２】

図１２７の実施例では、第１フィールドの１Ｈ目にＲ画素を書き換え、２Ｈ番目にＧ画素を書き換え、３Ｈ番目にＢ画素を書き換え、４Ｈ番目にＲ画素を書き換える。第２フィールドの１Ｈ目にＧ画素を書き換え、２Ｈ番目にＢ画素を書き換え、３Ｈ番目にＲ画素を書き換え、４Ｈ番目にＧ画素を書き換える。第３フィールドの１Ｈ目にＢ画素を書き換え、２Ｈ番目にＲ画素を書き換え、３Ｈ番目にＧ画素を書き換え、４Ｈ番目にＢ画素を書き換える。

【０５１３】

以上のように、各フィールドでＲ、Ｇ、Ｂ画素を任意にあるいは所定の規則性を持って書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

【０５１４】

図１２８では、１Ｈごとに書き換えられる画素１６の色数は複数となっている。図１２７では、第１フィールドにおいて、１Ｈ番目は書き換えられる画素１６はＲ画素であり、２Ｈ番目は書き換えられる画素１６はＧ画素である。また、３Ｈ番目は書き換えられる画素１６はＢ画素であり、４Ｈ番目は書き換えられる画素１６はＲ画素である。

【０５１５】

図１２８では、１Ｈごとに、書き換える画素の色位置を異ならせている。各フィールドでＲ、Ｇ、Ｂ画素を異ならせ（所定の規則性を持っていてもよいことは言うまでもない）、順次書き換えることにより、Ｒ、Ｇ、Ｂのカラーセパレーションを防止することができる。また、フリッカの発生も抑制できる。

【０５１６】

なお、図１２８の実施例においても、各絵素（ＲＧＢ画素の組）では、ＲＧＢの点灯時間あるいは発光強度を一致させる。このことは、図１２６、図１２７などの実施例においても同然、実施することは言うまでもない。色ムラになるからである。

【０５１７】

図１２８のように、１Ｈごとに書き換える画素の色数（図１２８の第１フィールドの１Ｈ番目は、Ｒ、Ｇ、Ｂの３色が書き換えられている）を複数にするのは、図１２５において、ソースドライバ回路１４が各出力端子に任意（一定の規則性があってもよい）の色の映像信号を出力できるように構成し、スイッチ１２５２が接点Ｒ、Ｇ、Ｂを任意（一定の規則性があってもよい）に接続できるように構成すればよい。

【０５１８】

図１２９の実施例の表示パネルでは、ＲＧＢの３原色に加えて、Ｗ（白）の画素１６Ｗを有している。画素１６Ｗを形成または配置することのより、色ピーク輝度を良好に実現

できる。また、高輝度表示を実現できる。図１２９（ａ）は１画素行に、Ｒ、Ｇ、Ｂ、Ｗ画素１６を形成した実施例である。図１２９（ｂ）は、１画素行ごとに、ＲＧＢＷの画素１６を配置した構成である。

【０５１９】

図１２９の駆動方法においても、図１２７、図１２８などの駆動方式を実施できることは言うまでもない。また、Ｎ倍パルス駆動や、Ｍ画素行同時駆動などを実施できることは言うまでもない。これらの事項は、当業者であれば本明細書により容易に具現化できるので説明を省略する。

【０５２０】

なお、本発明は説明を容易にするため、本発明の表示パネルはＲＧＢの３原色を有するとして説明しているが、これに限定するものではない。ＲＧＢに加えて、シアン、イエロー、マゼンダを加えても良いし、Ｒ、Ｇ、Ｂのいずれかの単色、Ｒ、Ｇ、Ｂのいずれかの２色を用いた表示パネルであってもよい。

【０５２１】

また、以上のシーケンス駆動方式では、フィールドごとにＲＧＢを操作するとしてが、本発明はこれに限定されるものではないことは言うまでもない。また、図１２５から図１２９の実施例は、画素１６に画像データを書き込む方法について説明したものである。図１などのトランジスタ１１ｄを操作し、ＥＬ素子１５に電流を流して画像を表示する方式を説明したものではない（もちろん、関連している）。ＥＬ素子１５に流れる電流は、図１の画素構成では、トランジスタ１１ｄを制御することにより行う。

【０５２２】

また、図１２７、図１２８などの駆動方法では、トランジスタ１１ｄ（図１の場合）を制御することにより、ＲＧＢ画像を順次表示することができる。たとえば、図１３０（ａ）は１フレーム（１フィールド）期間にＲ表示領域５３Ｒ、Ｇ表示領域５３Ｇ、Ｂ表示領域５３Ｂを画面の上から下方向（下方向から上方向でもよい）に走査する。ＲＧＢの表示領域以外の領域は非表示領域５２とする。つまり、間欠駆動を実施する。

【０５２３】

図１３０（ｂ）は１フィールド（１フレーム）期間にＲＧＢ表示領域５３を複数発生するように実施した実施例である。この駆動方法は、図１６の駆動方法と類似である。したがって、説明を必要としないであろう。図１３０（ｂ）に表示領域５３を複数に分割することにより、フリッカの発生はより低フレームレートでもなくなる。

【０５２４】

図１３１（ａ）は、ＲＧＢの表示領域５３で表示領域５３の面積を異ならせたものである（表示領域５３の面積は点灯期間に比例することは言うまでもない）。図１３１（ａ）では、Ｒ表示領域５３ＲとＧ表示領域５３Ｇと面積を同一にしている。Ｇ表示領域５３ＧよりＢ表示領域５３Ｂの面積を大きくしている。有機ＥＬ表示パネルでは、Ｂの発光効率が悪い場合が多い、図１３１（ａ）のようにＢ表示領域５３Ｂを他の色の表示領域５３よりも大きくすることにより、効率よくホワイトバランスをとることができるようになる。

【０５２５】

図１３１（ｂ）は、１フィールド（フレーム）期間で、Ｂ表示期間５３Ｂが複数（５３Ｂ１、５３Ｂ２）となるようにした実施例である。図１３１（ａ）は１つのＢ表示領域５３Ｂを変化させる方法であった。変化させることによりホワイトバランスを良好に調整できるようにする。図１３１（ｂ）は、同一面積のＢ表示領域５３Ｂを複数表示させることにより、ホワイトバランスを良好にする。

【０５２６】

本発明の駆動方式は図１３１（ａ）と図１３１（ｂ）のいずれに限定するものではない。Ｒ、Ｇ、Ｂの表示領域５３を発生し、また、間欠表示することにより、結果として動画ボケを対策し、画素１６への書き込み不足を改善することを目的としている。なお、図１６の駆動方法では、Ｒ、Ｇ、Ｂが独立の表示領域５３は発生しない。ＲＧＢが同時に表示される（Ｗ表示領域５３が表示されると表現すべきである）。なお、図１３１（ａ）と図

１３１（ｂ）とは組み合わせてもよいことはいうまでもない。たとえば、図１３１（ａ）のＲＧＢの表示面積５３を変化し、かつ図１３１（ｂ）のＲＧＢの表示領域５３を複数発生させる駆動方法の実施である。

【０５２７】

なお、図１３０から図１３１の駆動方式は、図１２５から図１２９の本発明の駆動方式に限定されるものではない。図４１のように、ＲＧＢごとにＥＬ素子１５（ＥＬ素子１５Ｒ、ＥＬ素子１５Ｇ、ＥＬ素子１５Ｂ）に流れる電流を制御できる構成あれば、図１３０、図１３１の駆動方式を容易に実施できることは言うでもないであろう。ゲート信号線１７ｂＲにオンオフ電圧を印加することにより、Ｒ画素１６Ｒをオンオフ制御することができる。ゲート信号線１７ｂＧにオンオフ電圧を印加することにより、Ｇ画素１６Ｇをオンオフ制御することができる。ゲート信号線１７ｂＢにオンオフ電圧を印加することにより、Ｂ画素１６Ｂをオンオフ制御することができる。

【０５２８】

また、以上の駆動を実現するためには、図１３２に図示するように、ゲート信号線１７ｂＲを制御するゲートドライバ回路１２ｂＲ、ゲート信号線１７ｂＧを制御するゲートドライバ回路１２ｂＧ、ゲート信号線１７ｂＢを制御するゲートドライバ回路１２ｂＢを形成または配置すればよい。図１３２のゲートドライバ１２ｂＲ、１２ｂＧ、１２ｂＢを図６などで説明した方法で駆動することにより、図１３０、図１３１の駆動方法を実現できる。もちろん、図１３２の表示パネルの構成で、図１６の駆動方法なども実現できることは言うまでもない。

【０５２９】

また、図１２５から図１２８の構成で、画像データを書き換える画素１６以外の画素１６に、黒画像データを書き換える方式であれば、ＥＬ素子１５Ｒを制御するゲート信号線１７ｂＲ、ＥＬ素子１５Ｇを制御するゲート信号線１７ｂＧ、ＥＬ素子１５Ｂを制御するゲート信号線ｂＢが分離されておらず、ＲＧＢ画素に共通のゲート信号線１７ｂであっても、図１３０、図１３１の駆動方式を実現できることは言うまでもない。

【０５３０】

図１５、図１８、図２１などでは、ゲート信号線１７ｂ（ＥＬ側選択信号線）は１水平走査期間（１Ｈ）を単位として、オン電圧（Ｖｇｌ）、オフ電圧（Ｖｇｈ）を印加するとして説明をした。しかし、ＥＬ素子１５の発光量は、流す電流が定電流の時、流す時間に比例する。したがって、流す時間は１Ｈ単位に限定する必要はない。

【０５３１】

アウトプットイネーブル（ＯＥＶ）の概念を導入するため、以下のように規定する。ＯＥＶ制御を行うことにより、１水平走査期間（１Ｈ）以内のゲート信号線１７ａ、１７ｂにオンオフ電圧（Ｖｇｌ電圧、Ｖｇｈ電圧）を画素１６に印加できるようになる。

【０５３２】

説明を容易にするため、本発明の表示パネルでは、電流プログラムを行う画素行を選択するゲート信号線１７ａ（図１の場合）であるとして説明をする。また、ゲート信号線１７ａを制御するゲートドライバ回路１２ａの出力をＷＲ側選択信号線と呼ぶ。ＥＬ素子１５を選択するゲート信号線１７ｂ（図１の場合）であるとして説明をする。また、ゲート信号線１７ｂを制御するゲートドライバ回路１２ｂの出力をＥＬ側選択信号線と呼ぶ。

【０５３３】

ゲートドライバ回路１２は、スタートパルスが入力され、入力されたスタートパルスが保持データとして順次シフトレジスタ内をシフトする。ゲートドライバ回路１２ａのシフトレジスタ内の保持データにより、ＷＲ側選択信号線に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ａの出力段には、強制的に出力をオフにするＯＥＶ１回路（図示せず）が形成または配置されている。ＯＥＶ１回路がＬレベルの時には、ゲートドライバ回路１２ａの出力であるＷＲ側選択信号をそのままゲート信号線１７ａに出力する。以上の関係をロジック的に図示すれば、図２２４（ａ）の関係となる（ＯＲ回路である）。なお、オン電圧をロジックレベルのＬ

（０）とし、オフ電圧をロジック電圧のＨ（１）としている。

【０５３４】

つまり、ゲートドライバ回路１２ａがオフ電圧を出力している場合は、ゲート信号線１７ａにオフ電圧が印加される。ゲートドライバ回路１２ａがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ１回路の出力とＯＲが取られてゲート信号線１７ａに出力される。つまり、ＯＥＶ１回路は、Ｈレベルの時、ゲートドライバ信号線１７ａに出力する電圧をオフ電圧（Ｖｇｈ）にする（図１７６のタイミングチャートの例を参照のこと）。

【０５３５】

ゲートドライバ回路１２ｂのシフトレジスタ内の保持データにより、ゲート信号線１７ｂ（ＥＬ側選択信号線）に出力される電圧がオン電圧（Ｖｇｌ）かオフ電圧（Ｖｇｈ）かが決定される。さらに、ゲートドライバ回路１２ｂの出力段には、強制的に出力をオフにするＯＥＶ２回路（図示せず）が形成または配置されている。ＯＥＶ２回路がＬレベルの時には、ゲートドライバ回路１２ｂの出力をそのままゲート信号線１７ｂに出力する。以上の関係をロジック的に図示すれば、図１７６（ａ）の関係となる。なお、オン電圧をロジックレベルのＬ（０）とし、オフ電圧をロジック電圧のＨ（１）としている。

【０５３６】

つまり、ゲートドライバ回路１２ｂがオフ電圧を出力している場合（ＥＬ側選択信号はオフ電圧）は、ゲート信号線１７ｂにオフ電圧が印加される。ゲートドライバ回路１２ｂがオン電圧（ロジックではＬレベル）を出力している場合は、ＯＲ回路でＯＥＶ２回路の出力とＯＲが取られてゲート信号線１７ｂに出力される。つまり、ＯＥＶ２回路は、入力信号がＨレベルの時、ゲートドライバ信号線１７ｂに出力する電圧をオフ電圧（Ｖｇｈ）にする。したがって、ＯＥＶ２回路のよりＥＬ側選択信号がオン電圧出力状態であっても、強制的にゲート信号線１７ｂに出力される信号はオフ電圧（Ｖｇｈ）になる。なお、ＯＥＶ２回路の入力がＬであれば、ＥＬ側選択信号がスルーでゲート信号線１７ｂに出力される（図１７６のタイミングチャートの例を参照のこと）。

【０５３７】

なお、ＯＥＶ２の制御により、画面輝度を調整する。画面輝度により変化できる明るさの許容範囲がある。図１７５は許容変化（％）と画面輝度（ｎｔ）の関係を図示したものである。図１７５でわかるように、比較的暗い画像で許容変化量が小さい。したがって、ＯＥＶ２による制御あるいはＤｕｔｙ比制御による画面５０の輝度調整は、画面５０輝度を考慮して制御する。制御による許容変化は画面が明るい時よりも暗い時を短くする。

【０５３８】

図１４０は、１／４Ｄｕｔｙ比駆動である。４Ｈ期間に１Ｈ期間の間、ゲート信号線１７ｂ（ＥＬ側選択信号線）にオン電圧が印加され、水平同期信号（ＨＤ）に同期してオン電圧が印加されている位置が走査される。したがって、オン時間は１Ｈ単位である。

【０５３９】

しかし、本発明はこれに限定するものではなく、図１４３に図示するように１Ｈ未満（図１４３は１／２Ｈ）としてもよく、また、１Ｈ以下としてもよい。つまり、１Ｈ単位に限定されるものではなく、１Ｈ単位以外の発生も容易である。ゲートドライバ回路１２ｂ（ゲート信号線１７ｂを制御する回路である）の出力段に形成または配置されたＯＥＶ２回路を用いればよい。ＯＥＶ２回路は先に説明したＯＥＶ１回路と同様であるので説明を省略する。

【０５４０】

図１４１は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間は１Ｈを単位としていない。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。図１４１を第

１フィールドの状態とする。

【０５４１】

第１フィールドの次の第２フィールドでは、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は１Ｈ弱の期間オン電圧が印加される。奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）は、極短い期間オン電圧が印加される。また、偶数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ１と奇数画素行のゲート信号線１７ｂ（ＥＬ側選択信号線）に印加されるオン電圧時間Ｔ２を加えた時間を１Ｈ期間となるようにしている。

【０５４２】

以上のように、複数画素行でのゲート信号線１７ｂ（ＥＬ側選択信号線）に印加するオン時間の和を一定となるようにし、また、複数フィールドで各画素行のＥＬ素子１５の点灯時間を一定となるようにしてもよい。

【０５４３】

図１４２は、ゲート信号線１７ｂ（ＥＬ側選択信号線）のオン時間を１．５Ｈをしている。また、Ａ点におけるゲート信号線１７ｂ（ＥＬ側選択信号線）の立ち上りと立下りが重なるようにしている。ゲート信号線１７ｂ（ＥＬ側選択信号線）とソース信号線１８とはカップリングしている。そのため、ゲート信号線１７ｂ（ＥＬ側選択信号線）の波形が変化すると波形の変化がソース信号線１８に突き抜ける。この突き抜けによりソース信号線１８に電位変動が発生すると電流（電圧）プログラムの精度が低下し、駆動用トランジスタ１１ａの特性ムラが表示されるようになる。

【０５４４】

図１４２において、Ａ点において、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）はオン電圧（Ｖｇｌ）印加状態からオフ電圧（Ｖｇｈ）印加状態に変化する。ゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）はオフ電圧（Ｖｇｈ）印加状態からオン電圧（Ｖｇｌ）印加状態に変化する。したがって、Ａ点では、ゲート信号線１７Ｂ（ＥＬ側選択信号線）（１）の信号波形とゲート信号線１７Ｂ（ＥＬ側選択信号線）（２）の信号波形が打ち消しあう。したがって、ソース信号線１８とゲート信号線１７Ｂ（ＥＬ側選択信号線）とがカップリングしていても、ゲート信号線１７Ｂ（ＥＬ側選択信号線）の波形変化がソース信号線１８に突き抜けることはない。そのため、良好な電流（電圧）プログラム精度を得ることができ、均一な画像表示を実現できる。

【０５４５】

なお、図１４２は、オン時間が１．５Ｈの実施例であった。しかし、本発明はこれに限定するものではなく、図１４４に図示するように、オン電圧の印加時間を１Ｈ以下としてもよいことは言うまでもない。

【０５４６】

ゲート信号線１７Ｂ（ＥＬ側選択信号線）にオン電圧を印加する期間を調整することにより、表示画面５０の輝度をリニアに調整することができる。これはＯＥＶ２回路を制御することにより容易に実現できる。たとえば、図１４５では、図１４５（ａ）よりも図１４５（ｂ）の方が表示輝度は低くなる。また、図１４５（ｂ）よりも図１４５（ｃ）の方が表示輝度は低くなる。

【０５４７】

図１０９はＯＥＶ２とゲート信号線１７ｂの信号波形の関係を図示してものである。図１０９において、図１０９（ａ）が最もＯＥＶ２がＬレベルになる期間が短い。したがって、ゲート信号線１７ｂにオン電圧が印加される期間が短いため、ＥＬ素子１５に流れる電流期間は短くなる。この状態は結果的にはＤｕｔｙ比が小さい状態である。図１０９（ｂ）が次にＯＥＶ２がＬレベルになる期間が長い。さらに図１０９（ｃ）は図１０９（ｂ）よりもＯＥＶ２がＬレベルになる期間が長い。そのため、図１０９（ｃ）のＤｕｔｙ比は図１０９（ｂ）のＤｕｔｙ比よりも大きいことになる。

【０５４８】

なお、図１０９（ａ）（ｂ）（ｃ）の実施例は、１Ｈより短い期間でＤｕｔｙ比制御を

行うものである。しかし、本発明はこれに限定するものではなく、図１０９（ｄ）に図示するように１Ｈ単位でＤｕｔｙ比制御を行っても良い。なお、図１０９（ｄ）はＤｕｔｙ比１／２の実施例である。

【０５４９】

図１０９（ａ）が最もＯＥＶ２がＬレベルになる期間が短い。したがって、ゲート信号線１７ｂにオン電圧が印加される期間が短いため、ＥＬ素子１５に流れる電流期間は短くなる。この状態は結果的にはＤｕｔｙ比が小さい状態である。

【０５５０】

図１０９（ａ）が最もＯＥＶ２がＬレベルになる期間が短い。したがって、ゲート信号線１７ｂにオン電圧が印加される期間が短いため、ＥＬ素子１５に流れる電流期間は短くなる。この状態は結果的にはＤｕｔｙ比が小さい状態である。

【０５５１】

また、図１４６に図示するように、１Ｈ期間にオン電圧を印加する期間とオフ電圧を印加する期間の組を複数回設けてもより。図１４６（ａ）は６回設けた実施例である。図１４６（ｂ）は３回設けた実施例である。図１４６（ｃ）は１回設けた実施例である。図１４６では、図１４６（ａ）よりも図１４６（ｂ）の方が表示輝度は低くなる。また、図１４６（ｂ）よりも図１４６（ｃ）の方が表示輝度は低くなる。したがって、オン期間の回数を制御することにより表示輝度を容易に調整（制御）できる。

【０５５２】

以後、本発明の電流駆動方式のソースドライバＩＣ（回路）１４について説明をする。本発明のソースドライバＩＣは、以前に説明した本発明の駆動方法、駆動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。なお、説明は、ＩＣチップとして説明をするがこれに限定するものではなく、低温ポリシリコン技術、アモルファスシリコン技術などを用いて、表示パネルの基板７１上に作製してもよいことは言うまでもない。

【０５５３】

まず、図５５に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、図５５は本発明の電流駆動方式のソースドライバＩＣ（ソースドライバ回路）１４を説明するための原理的なものである。

【０５５４】

図５５において、５５１はＤ／Ａ変換器である。Ｄ／Ａ変換器５５１にはｎビットのデータ信号が入力され、入力されたデータに基づき、Ｄ／Ａ変換器からアナログ信号が出力される。このアナログ信号はオペアンプ５５２に入力される。オペアンプ５５２はＮチャンネルトランジスタ４７１ａに入力され、トランジスタ４７１ａに流れる電流が抵抗５３１に流れる。抵抗Ｒの端子電圧はオペアンプ５５２の－入力となり、この－端子の電圧とオペアンプ５５２の＋端子とは同一電圧となる。したがってＤ／Ａ変換器５５１の出力電圧は抵抗５３１の端子電圧となる。

【０５５５】

抵抗５３１の抵抗値が１ＭΩとし、Ｄ／Ａ変換器５５１の出力が１（Ｖ）であれば、抵抗５３１には１（Ｖ）／１ＭΩ＝１（μＡ）の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、Ｄ／Ａ変換器５５１のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗５３１に所定電流が流れ、プログラム電流Ｉｗとなる。

【０５５６】

しかし、ＤＡ変換回路５５１の回路規模は大きい。また、オペアンプ５５２の回路規模も大きい。１出力回路に、ＤＡ変換回路５５１とオペアンプ５５２を形成するとソースドライバＩＣ１４の大きさは巨大となる。したがって、実用上は作製することが不可能である。

【０５５７】

本発明はかかる点に鑑みてなされたものである。本発明のソースドライバ回路１４は、

電流出力回路の規模をコンパクトにし、電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有するものである。

【０５５８】

図４７に、本発明の電流駆動方式のソースドライバＩＣ（回路）１４の１実施例における構成図を示す。図４７は、一例として電流源を３段構成（４７１、４７２、４７３）とした場合の多段式カレントミラー回路を示している。

【０５５９】

図４７において、第１段の電流源４７１の電流値は、Ｎ個（ただし、Ｎは任意の整数）の第２段電流源４７２にカレントミラー回路によりコピーされる。更に、第２段電流源４７２の電流値は、Ｍ個（ただし、Ｍは任意の整数）の第３段電流源４７３にカレントミラー回路によりコピーされる。この構成により、結果として第１段電流源４７１の電流値は、Ｎ×Ｍ個の第３段電流源４７３にコピーされることになる。

【０５６０】

例えば、ＱＣＩＦ形式の表示パネルのソース信号線１８に１個のドライバＩＣ１４で駆動する場合は、１７６出力（ソース信号線が各ＲＧＢで１７６出力必要なため）となる。この場合は、Ｎを１６個とし、Ｍ＝１１個とする。しがたって、１６×１１＝１７６となり、１７６出力に対応できる。このように、ＮまたはＭのうち、一方を８または１６もしくはその倍数とすることにより、ドライバＩＣの電流源のレイアウト設計が容易になる。

【０５６１】

本発明の多段式カレントミラー回路による電流駆動方式のソースドライバＩＣ（回路）１４では、前記したように、第１段電流源４７１の電流値を直接Ｎ×Ｍ個の第３段電流源４７３にカレントミラー回路でコピーするのではなく、中間に第２段電流源４７２を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

【０５６２】

特に、本発明は、第１段のカレントミラー回路（電流源４７１）と第２段にカレントミラー回路（電流源４７２）を密接して配置するところに特徴がある。第１段の電流源４７１から第３段の電流源４７３（つまり、カレントミラー回路の２段構成）であれば、第１段の電流源と接続される第２段の電流源４７３の個数が多く、第１段の電流源４７１と第３段の電流源４７３を密接して配置することができない。

【０５６３】

本発明のソースドライバ回路１４のように、第１段のカレントミラー回路（電流源４７１）の電流を第２段のカレントミラー回路（電流源４７２）にコピーし、第２段のカレントミラー回路（電流源４７２）の電流を第３段にカレントミラー回路（電流源４７２）にコピーする構成である。この構成では、第１段のカレントミラー回路（電流源４７１）に接続される第２段のカレントミラー回路（電流源４７２）の個数は少ない。したがって、第１段のカレントミラー回路（電流源４７１）と第２段のカレントミラー回路（電流源４７２）とを密接して配置することができる。

【０５６４】

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第２段のカレントミラー回路（電流源４７２）に接続される第３段のカレントミラー回路（電流源４７３）の個数も少なくなる。したがって、第２段のカレントミラー回路（電流源４７２）と第３段のカレントミラー回路（電流源４７３）とを密接して配置することができる。

【０５６５】

つまり、全体として、第１段のカレントミラー回路（電流源４７１）、第２段のカレントミラー回路（電流源４７２）、第３段のカレントミラー回路（電流源４７３）の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

【０５６６】
本発明において、電流源４７１、４７２、４７３と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、オペアンプ５５２とトランジスタ４７１と抵抗Ｒの組み合わせからなる定電流回路でもよい。
【０５６７】
図４８はさらに具体的なソースドライバＩＣ（回路）１４の構造図である。図４８は第３の電流源４７３の部分を図示している。つまり、１つのソース信号線１８に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（単位トランジスタ４８４（１単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。
【０５６８】
なお、本発明のソースドライバＩＣ（回路）１４を構成するトランジスタは、ＭＯＳタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリ砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。
【０５６９】
図４８で明らかであるが、本発明の１実施例として、６ビットのデジタル入力の場合を図示している。つまり、２の６乗であるから、６４階調表示である。このソースドライバＩＣ１４をアレイ基板に積載することにより、赤（Ｒ）、緑（Ｇ）、青（Ｂ）が各６４階調であるから、６４×６４×６４＝約２６万色を表示できることになる。
【０５７０】
６４階調の場合は、Ｄ０ビットの単位トランジスタ４８４は１個、Ｄ１ビットの単位トランジスタ４８４は２個、Ｄ２ビットの単位トランジスタ４８４は４個、Ｄ３ビットの単位トランジスタ４８４は８個、Ｄ４ビットの単位トランジスタ４８４は１６個、Ｄ５ビットの単位トランジスタ４８４は３２個であるから、計単位トランジスタ４８４は６３個である。つまり、本発明は階調の表現数（この実施例の場合は、６４階調）－１個の単位トランジスタ４８４を１出力と構成（形成）する。なお、単位トランジスタ１個が複数のサブ単位トランジスタに分割されている場合であっても、単位トランジスタが単にサブ単位トランジスタに分割されているだけである。したがって、本発明が、階調の表現数－１個の単位トランジスタで構成されていることには差異はない（同義である）。
【０５７１】
図４８において、Ｄ０はＬＳＢ入力を示しており、Ｄ５はＭＳＢ入力を示している。Ｄ０入力端子にＨレベル（正論理時）の時、スイッチ４８１ａ（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、ＰチャンネルトランジスタとＮチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（１単位）４８４に向かって電流が流れる。この電流はＩＣ１４内の内部配線４８３に流れる。この内部配線４８３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線４８３に流れる電流が画素１６のプログラム電流となる。
【０５７２】
たとえば、Ｄ１入力端子にＨレベル（正論理時）の時、スイッチ４８１ｂがオンする。すると、カレントミラーを構成する２つの電流源（１単位）４８４に向かって電流が流れる。この電流はＩＣ１４内の内部配線４８３に流れる。この内部配線４８３はＩＣ１４の端子電極を介してソース信号線１８に接続されているから、この内部配線４８３に流れる電流が画素１６のプログラム電流となる。
【０５７３】
他のスイッチ４８１でも同様である。Ｄ２入力端子にＨレベル（正論理時）の時は、ス

イッチ４８１ｃがオンする。すると、カレントミラーを構成する４つの電流源（１単位）４８４に向かって電流が流れる。Ｄ５入力端子にＨレベル（正論理時）の時は、スイッチ４８１ｆがオンする。すると、カレントミラーを構成する３２つの電流源（１単位）４８４に向かって電流が流れる。

【０５７４】

以上のように、外部からのデータ（Ｄ０～Ｄ５）に応じて、それに対応する電流源（１単位）に向かって電流が流れる。したがって、データに応じて、０個から６３個に電流源（１単位）に電流が流れるように構成されている。

【０５７５】

なお、本発明は説明を容易にするため、電流源は６ビットの６３個としているが、これに限定するものではない。８ビットの場合は、２５５個の単位トランジスタ４８４を形成（配置）すればよい。また、４ビットの時は、１５個の単位トランジスタ４８４を形成（配置）すればよい。単位電流源を構成するトランジスタ４８４は同一のチャンネル幅Ｗ、チャンネル幅Ｌとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

【０５７６】

また、単位トランジスタ４８４はすべてが、同一の電流を流すことに限定するものではない。たとえば、各単位トランジスタ４８４を重み付けしてもよい。たとえば、１単位の単位トランジスタ４８４と、２倍の単位トランジスタ４８４と、４倍の単位トランジスタ４８４などを混在させて電流出力回路を構成してもよい。　しかし、単位トランジスタ４８４を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、１単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【０５７７】

単位トランジスタ４８４を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ４８４の大きさとは、チャンネル長Ｌとチャンネル幅Ｗをかけたサイズをいう。たとえば、Ｗ＝３μｍ、Ｌ＝４μｍであれば、１つの単位電流源を構成するトランジスタ４８４のサイズは、Ｗ×Ｌ＝１２平方μｍである。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、１つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

【０５７８】

トランジスタサイズと出力電流のバラツキの関係を図１１９に示す。図１１９のグラフの横軸はトランジスタサイズ（平方μｍ）である。縦軸は、出力電流のバラツキを％で示したものである。ただし、出力電流のバラツキ％は、単位電流源（１つの単位トランジスタ）４８４を６３個の組で形成し（６３個形成し）、この組を多数組ウエハ上に形成し、出力電流のバラツキをもとめたものである。したがって、グラフの横軸は、１つの単位電流源を構成するトランジスタサイズ（単位トランジスタ４８４のサイズ）で図示しているが、実際の並列するトランジスタは６３個あるので面積は６３倍である。しかし、図１１９では単位トランジスタ４８４の大きさを単位として検討している。したがって、図１１９でおいて、３０平方μｍの単位トランジスタ４８４を６３個形成したとき、その時の出力電流のバラツキは、０．５％となることを示している。

【０５７９】

６４階調の場合は、１００／６４＝１．５％である。したがって、出力電流バラツキは１．５％以内にする必要がある。図１１９から１．５％以下にするためには、単位トランジスタのサイズは２平方μｍ以上にする必要がある（６４階調は６３個の２平方μｍの単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ＩＣチップサイズが大きくなる点と、１出力あたりの横幅に制限があるからである。この点から、単位

トランジスタ４８４のサイズの上限は、３００平方μｍである。したがって、６４階調表示では、単位トランジスタ４８４のサイズは、２平方μｍ以上３００平方μｍ以下にする必要がある。

【０５８０】

１２８階調の場合は、１００／１２８＝１％である。したがって、出力電流バラツキは１％以内にする必要がある。図１１９から１％以下にするためには、単位トランジスタのサイズは８平方μｍ以上にする必要がある。したがって、１２８階調表示では、単位トランジスタ４８４のサイズは、８平方μｍ以上３００平方μｍ以下にする必要がある。

【０５８１】

一般的に、階調数をＫとし、単位トランジスタ４８４の大きさをＳｔ（平方μｍ）としたとき、

４０　≦　Ｋ／√（Ｓｔ）　かつ　Ｓｔ　≦　３００の関係を満足させる。

さらに好ましくは、１２０　≦　Ｋ／√（Ｓｔ）　かつ　Ｓｔ　≦　３００の関係を満足させることが好ましい。

【０５８２】

以上の例は、６４階調で６３個のトランジスタを形成した場合である。６４階調を１２７個の単位トランジスタ４８４で構成する場合は、単位トランジスタ４８４のサイズとは、２つの単位トランジスタ４８４を加えたサイズである。たとえば、６４階調で、単位トランジスタ４８４のサイズが１０平方μｍであり、１２７個形成されていたら、図１１９では単位トランジスタのサイズは１０×２＝２０の欄をみる必要がある。同様に、６４階調で、単位トランジスタ４８４のサイズが１０平方μｍであり、２５５個形成されていたら、図１１９では単位トランジスタのサイズは１０×４＝４０の欄をみる必要がある。

【０５８３】

単位トランジスタ４８４は大きさだけでなく、形状も考慮する必要がある。キンクの影響を低減するためである。キンクとは、単位トランジスタ４８４のゲート電圧を一定に保った状態で、単位トランジスタ４８４のソース（Ｓ）－ドレイン（Ｄ）電圧を変化させたときに、単位トランジスタ４８４に流れる電流が変化する現象と言う。キンクの影響がない場合（理想状態）では、ソース（Ｓ）－ドレイン（Ｄ）間に印加する電圧を変化させても、単位トランジスタ４８４に流れる電流は変化しない。

【０５８４】

キンクの影響が発生するのは、図１などの駆動用トランジスタ１１ａのＶｔのバラツキにより、ソース信号線１８が異なる場合である。ドライバ回路１４は、画素の駆動用トランジスタ１１ａにプログラム電流が流れるように、プログラム電流をソース信号線１８に流す。このプログラム電流により、駆動用トランジスタ１１ａのゲート端子電圧が変化し、駆動用トランジスタ１１ａにプログラム電流が流れるようになる。図３でわかるように、選択された画素１６がプログラム状態の時は、駆動用トランジスタ１１ａのゲート端子電圧＝ソース信号線１８電位である。

【０５８５】

したがって、各画素１６の駆動用トランジスタ１１ａのＶｔばらつきにより、ソース信号線１８の電位は異なる。ソース信号線１８の電位は、ドライバ回路１４の単位トランジスタ４８４のソース－ドレイン電圧となる。つまり、画素１６の駆動用トランジスタ１１ａのＶｔバラツキにより、単位トランジスタ４８４に印加されるソース－ドレイン電圧が異なり、このソース－ドレイン間電圧により、単位トランジスタ４８４にキンクによる出力電流のバラツキが発生する。

【０５８６】

図１２３は単位トランジスタＬ／Ｗと目標値からのずれ（ばらつき）のグラフである。単位トランジスタのＬ／Ｗ比が２以下では、目標値からのずれが大きい（直線の傾きが大きい）。しかし、Ｌ／Ｗが大きくなるにつれて、目標値のずれが小さくなる傾向にある。単位トランジスタＬ／Ｗが２以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）はＬ／Ｗ＝２以上で、０．５％以下となる。したがって、トラ

ンジスタの精度としてソースドライバ回路１４に採用できる。なお、Ｌは単位トランジスタ４８４のチャンネル長、Ｗは単位トランジスタのチャンネル幅である。

【０５８７】

しかし、単位トランジスタ４８４のチャンネル長Ｌがいくらでも長くすることはできない。Ｌが長いほどＩＣチップ１４が大きくなるからである。また、単位トランジスタ４８４のゲート端子電圧が上昇し、ＩＣ１４に必要な電源電圧が高くなる。電源電圧が高くなると高耐圧のＩＣプロセスを採用する必要がある。高耐圧のＩＣプロセスで形成したソースドライバＩＣ１４は単位トランジスタ４８４の出力バラツキが大きい（図１２１とその説明を参照のこと）。検討の結果によれば、Ｌ／Ｗは１００以下にすることが好ましい。さらに好ましくは、Ｌ／Ｗは５０以下にすることが好ましい。

【０５８８】

以上のことから、単位トランジスタＬ／Ｗは２以上にすることが好ましい。また、Ｌ／Ｗは１００以下にすることが好ましい。さらに好ましくは、Ｌ／Ｗは４０以下にすることが好ましい。

【０５８９】

また、Ｌ／Ｗの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キンクの影響により単位トランジスタ４８４の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キンクの影響により単位トランジスタ４８４の出力電流が少しでもばらつくと階調数が低減する。

【０５９０】

以上のことを勘案し、本発明のドライバ回路１４は、階調数をＫとし、単位トランジスタ４８４のＬ／Ｗ（Ｌは単位トランジスタ４８４のチャンネル長、Ｗは単位トランジスタのチャンネル幅）とした時、

（√（Ｋ／１６））　≦　Ｌ／Ｗ　≦　かつ　（√（Ｋ／１６））×２０

の関係を満足させるように構成（形成）している。この関係を図示すると図１２０のようになる。図１２０の直線の上側が本発明の実施範囲である。

【０５９１】

単位トランジスタ４８４の出力電流のバラツキはソースドライバＩＣ１４の耐圧にも依存している。ソースドライバＩＣの耐圧とは一般的にＩＣの電源電圧を意味する。たとえば、５（Ｖ）耐圧とは、電源電圧を標準電圧５（Ｖ）で使用する。なお、ＩＣ耐圧とは最大使用電圧と読み替えてもよい。これらの耐圧は、半導体ＩＣメーカーが５（Ｖ）耐圧プロセス、１０（Ｖ）耐圧プロセスと標準化して保有している。

【０５９２】

ＩＣ耐圧が単位トランジスタ４８４の出力バラツキに影響を与えるのは、トランジスタ４８４のゲート絶縁膜の膜質、膜厚によると考えられる。ＩＣ耐圧が高いプロセスで製造したトランジスタ４８４はゲート絶縁膜が厚い。これば高電圧の印加でも絶縁破壊を発生しないようにするためである。絶縁膜が厚いと、ゲート絶縁膜厚の制御が困難になり、またゲート絶縁膜の膜質バラツキも大きくなる。そのため、トランジスタのバラツキが大きくなる。また、高耐圧プロセスで製造したトランジスタはモビリティが低くなる。モビリティが低いと、トランジスタのゲートに注入される電子が少し変化するだけで特性が異なる。したがって、トランジスタのバラツキが大きくなる。したがって、単位トランジスタ４８４のバラツキを少なくするためには、ＩＣ耐圧が低いＩＣプロセスを採用することが好ましい。

【０５９３】

図１２１はＩＣ耐圧を単位トランジスタ４８４の出力バラツキの関係を図示してものである。縦軸のバラツキ比率とは、１．８（Ｖ）耐圧プロセスで作製して単位トランジスタ４８４のバラツキを１としている。なお、図１２１は単位トランジスタ４８４の形状Ｌ／Ｗを１２（μｍ）／６（μｍ）とし、各耐圧プロセスで製造した単位トランジスタ４８４の出力バラツキを示している。また、各ＩＣ耐圧プロセスで複数の単位トランジスタを形

成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、１．８（Ｖ）耐圧、２．５（Ｖ）耐圧、３．３（Ｖ）耐圧、５（Ｖ）耐圧、８（Ｖ）耐圧、１０（Ｖ）耐圧、１５（Ｖ）耐圧など離散値である。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

【０５９４】

図１２１でもわかるが、ＩＣ耐圧が１３（Ｖ）程度までは、ＩＣプロセスに対するバラツキ比率（単位トランジスタ４８４の出力電流バラツキ）の増加割合は小さい。しかし、ＩＣ耐圧が１５（Ｖ）以上になるとＩＣ耐圧に対するバラツキ比率の傾きが大きくなる。図１２１におけるバラツキ比率は3以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の面積、Ｌ／Ｗにより異なる。しかし、単位トランジスタ４８４の形状などを変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。ＩＣ耐圧１２～１５（Ｖ）以上でバラツキ比率が大きくなる傾向がある。

【０５９５】

一方、図４８の出力端子６８１の電位は、画素１６の駆動用トランジスタ１１ａのプログラム電流により変化する。ほぼ、駆動用トランジスタ１１ａのゲート端子電圧とソース信号線１８の電位と等しい。また、ソース信号線１８の電位がソースドライバＩＣ（回路）１４の出力端子６８１の電位となる。画素１６の駆動用トランジスタ１１ａが白ラスター（最大白表示）の電流を流す時のゲート端子電位Ｖｗとする。画素１６の駆動用トランジスタ１１ａが黒ラスター（完全黒表示）の電流を流す時のゲート端子電位Ｖｂとする。Ｖｗ－Ｖｂの絶対値は2（Ｖ）以上必要である。また、Ｖｗ電圧が端子６８１に印加されている時、単位トランジスタ４８４のチャンネル間電圧は、０．５（Ｖ）必要である。

【０５９６】

したがって、出力端子６８１（端子６８１はソース信号線１８と接続され、電流プログラム時、画素１６の駆動用トランジスタ１１ａのゲート端子電圧が印加される）には、０．５（Ｖ）から（（Ｖｗ－Ｖｂ）＋０．５）（Ｖ）の電圧が印加される。Ｖｗ－Ｖｂは2（Ｖ）であるから、端子６８１は最大2（Ｖ）＋０．５（Ｖ）＝２．５（Ｖ）印加される。したがって、ソースドライバＩＣ１４の出力電圧（電流）がｒａｉｌ－ｔｏ－ｒａｉｌ回路構成（ＩＣ電源電位まで、電圧を出力できる回路構成）であっても、ＩＣ耐圧としては２．５（Ｖ）必要である。端子７４１の振幅必要範囲は、２．５（Ｖ）以上必要である。

【０５９７】

以上のことから、ソースドライバＩＣ１４の耐圧は、２．５（Ｖ）以上１５（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバＩＣ１４の耐圧は、３（Ｖ）以上１３（Ｖ）以下のプロセスを使用することが好ましい。

【０５９８】

なお、以上の説明は、ソースドライバＩＣ１２の使用耐圧プロセスは、２．５（Ｖ）以上１３（Ｖ）以下のプロセスを使用するとした。しかし、この耐圧は、基板７１に直接にソースドライバ回路１４が形成された実施例（低温ポリシリコンプロセスなど）にも適用される。基板７１に形成されたソースドライバ回路１４の使用耐圧は１５（Ｖ）以上と高い場合がある。この場合は、ソースドライバ回路１４に使用する電源電圧を図１２１に図示するＩＣ耐圧に置き換えてもよい。また、ソースドライバＩＣ１４にあっても、ＩＣ耐圧とせず、使用する電源電圧に置き換えても良い。

【０５９９】

単位トランジスタ４８４の面積は出力電流のバラツキと相関がある。図１２２は単位トランジスタ４８４の面積を一定とし、単位トランジスタ４８４のトランジスタ幅Ｗを変化させた時のグラフである。図１２１は単位トランジスタ４８４のチャンネル幅Ｗ＝２（μｍ）のバラツキを1としている。グラフの縦軸は、チャンネル幅Ｗ＝２（μｍ）のバラツキを1とした時に相対比である。

【０６００】

図１２２で示すようにバラツキ比率は、単位トランジスタのWが２（μｍ）から９～１０（μｍ）まで緩やかに増加し、１０（μｍ）以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅Ｗ＝２（μｍ）以下でバラツキ比率が増加する傾向がある。

【０６０１】

図１２２におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の面積により異なる。しかし、単位トランジスタ４８４の面積を変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。

【０６０２】

以上のことから、単位トランジスタ４８４のチャンネル幅Wは２（μｍ）以上１０（μｍ）以下とすることが好ましい。さらに好ましくは、単位トランジスタ４８４のチャンネル幅Wは２（μｍ）以上９（μｍ）以下とすることが好ましい。ただし、階調数が６４階調の時は、チャンネル幅Wは２（μｍ）以上１５（μｍ）以下でも実用上は支障がない。

【０６０３】

図５２に図示するように、第２段のカレントミラー回路４７２ｂを流れる電流は、第３段のカレントミラー回路を構成するトランジスタ４７３ａにコピーされ、カレントミラー倍率が１倍の時は、この電流がトランジスタ４７３ｂに流れる。この電流は、最終段の単位トランジスタ４８４にコピーされる。

【０６０４】

Ｄ０に対応する部分は、１個の単位トランジスタ４８４で構成されているので、最終段電流源の単位トランジスタ４７３に流れる電流値である。Ｄ１に対応する部分は２個の単位トランジスタ４８４で構成されているので、最終段電流源の２倍の電流値である。Ｄ２は４個の単位トランジスタ４８４で構成されているので、最終段電流源の４倍の電流値であり、・・・、Ｄ５に対応する部分は３２個のトランジスタで構成されているので、最終段電流源の３２倍の電流値である。ただし、最終段のカレントミラー回路のミラー比が１の場合である。

【０６０５】

６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５で制御されるスイッチを介してプログラム電流Ｉｗはソース信号線に出力される（電流を引き込む）。したがって、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５のＯＮ、ＯＦＦに応じて、出力線には、最終段電流源４７３の１倍、２倍、４倍、・・・、３２倍の電流が加算されて出力される。すなわち、６ビットの画像データＤ０、Ｄ１、Ｄ２、・・・、Ｄ５により、最終段電流源４７３の０～６３倍の電流値が出力線より出力される（ソース信号線１８から電流を引き込む。

【０６０６】

実際には、図７６、図７７、図７８、図１１８に図示するように、ソースドライバＩＣ１４内には、Ｒ、Ｇ、Ｂごとの基準電流（ＩａＲ、ＩａＧ、ＩａＢ）は、抵抗４９１（４９１Ｒ、４９１Ｇ、４９１Ｂ）などで調整できるように構成されている。基準電流Ｉａを調整することにより、ホワイトバランスを容易に調整することができる。

【０６０７】

ＥＬ表示パネルで、フルカラー表示を実現するためには、ＲＧＢのそれぞれに基準電流を形成（作成）する必要がある。ＲＧＢの基準電流の比率でホワイトバランスを調整できる。電流駆動方式の場合は、また、本発明は、１つの基準電流から単位トランジスタ４８４が流す電流値を決定する。したがって、基準電流の大きさを決定すれば、単位トランジスタ４８４が流す電流を決定することができる。そのため、Ｒ、Ｇ、Ｂのそれぞれの基準電流を設定すれば、すべての階調におけるホワイトバランスが取れることになる。以上の事項は、ソースドライバ回路１４が電流きざみ出力（電流駆動）であることから発揮される効果である。したがって、いかに、ＲＧＢごとに基準電流の大きさを設定できるかがポイントとなる。

【０６０８】
ＥＬ素子の発光効率は、ＥＬ材料の蒸着あるいは塗布する膜厚で決定される。もしくは、支配的な要因である。膜厚は、ロットごとにほぼ一定である。したがって、ＥＬ素子１５の形成膜厚をロット管理すれば、ＥＬ素子１５に流す電流と発光輝度の関係が決定される。つまり、ロットごとに、ホワイトバランスをとるための電流値は固定である。
【０６０９】
図４９に、３段式カレントミラー回路による１７６出力（Ｎ×Ｍ＝１７６）の回路図の一例を示す。図４９では、第１段カレントミラー回路による電流源４７１を親電流源、第２段カレントミラー回路による電流源４７２を子電流源、第３段カレントミラー回路による電流源４７３を孫電流源と記している。最終段カレントミラー回路である第３段カレントミラー回路による電流源の整数倍の構成により、１７６出力のばらつきを極力抑え、高精度な電流出力が可能である。
【０６１０】
なお、密集して配置するとは、第１の電流源４７１と第２の電流源４７２とを少なくとも８ｍｍ以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、５ｍｍ以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差がほとんど発生しないからである。また、同様に、第２の電流源４７２と第３の電流源４７３（電流の出力側と電流の入力側）も少なくとも８ｍｍ以内の距離に配置する。さらに好ましくは、５ｍｍ以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。
【０６１１】
この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図５０の電圧受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ４７１（出力側）と第（Ｉ＋１）の電流源のトランジスタ４７２ａ（入力側）とを密集して配置する関係である。図５１の電流受け渡しの場合は、第（Ｉ）段の電流源のトランジスタ４７１ａ（出力側）と第（Ｉ＋１）の電流源のトランジスタ４７２ｂ（入力側）とを密集して配置する関係である。
【０６１２】
なお、図４９、図５０などにおいて、トランジスタ４７１は１個としたが、これに限定するものではない。たとえば、小さなサブトランジスタ４７１を複数個形成し、この複数個のサブトランジスタのソースまたはドレイン端子を抵抗４９１と接続して単位トランジスタ４８４を構成してもよい。小さなサブトランジスタを複数個並列に接続することのより、単位トランジスタ４８４のばらつきを低減することができる。
【０６１３】
同様に、トランジスタ４７２ａは１個としたが、これに限定するものではない。たとえば、小さなトランジスタ４７２ａを複数個形成し、このトランジスタ４７２ａの複数個のゲート端子を、トランジスタ４７１のゲート端子と接続してもよい。小さなトランジスタ４７２ａを複数個並列に接続することのより、トランジスタ４７２ａのばらつきを低減することができる。
【０６１４】
したがって、本発明の構成としては、１つのトランジスタ４７１と複数個のトランジスタ４７２ａとを接続する構成、複数個のトランジスタ４７１と１個のトランジスタ４７２ａとを接続する構成、複数個のトランジスタ４７１と複数個のトランジスタ４７２ａとを接続する構成が例示される。以上の実施例は後に詳細に説明する。
【０６１５】
以上の事項は、図５２のトランジスタ４７３ａとトランジスタ４７３ｂとの構成にも適用される。１つのトランジスタ４７３ａと複数個のトランジスタ４７３ｂａとを接続する構成、複数個のトランジスタ４７３ａと１個のトランジスタ４７３ｂとを接続する構成、複数個のトランジスタ４７３ａと複数個のトランジスタ４７３ｂとを接続する構成が例示

される。小さなトランジスタ４７３を複数個並列に接続することのより、トランジスタ４７３のばらつきを低減することができるからである。

【０６１６】

以上の事項は、図５２のトランジスタ４７２ａ、４７２ｂとの関係にも適用することができる。また、図４８のトランジスタ４７３ｂも複数個のトランジスタで構成することが好ましい。図５６、図５７のトランジスタ４７３についても同様に複数個のトランジスタで構成することが好ましい。

【０６１７】

ここで、ソースドライバＩＣ１４はシリコンチップで形成するとして説明するが、これに限定するものではない。ソースドライバＩＣ１４は、ガリウム基板、ゲルマニウム基板など形成された他の半導体チップでもよい。また、単位トランジスタ４８４は、バイポーラトランジスタ、ＣＭＯＳトランジスタ、ＦＥＴ、バイＣＭＯＳトランジスタ、ＤＭＯＳトランジスタのいずれでもよい。しかし、単位トランジスタ４８４の出力バラツキを小さくする観点から、単位トランジスタ４８４はＣＭＯＳトランジスタで構成することが好ましい。

【０６１８】

単位トランジスタ４８４はＮチャンネルで構成することが好ましい。Ｐチャンネルトランジスタで構成した単位トランジスタは、Ｎチャンネルトランジスタで構成した単位トランジスタに比較して、出力バラツキが１．５倍になる。

【０６１９】

ソースドライバＩＣ１４の単位トランジスタ４８４は、Ｎチャンネルトランジスタで構成することが好ましいことから、ソースドライバＩＣ１４のプログラム電流は、画素１６からソースドライバＩＣへの引き込み電流となる。したがって、画素１６の駆動用トランジスタ１１ａはＰチャンネルで構成される。また、図１のスイッチング用トランジスタ１１ｄもＰチャンネルトランジスタで構成される。

【０６２０】

以上のことから、ソースドライバＩＣ（回路）１４の出力段の単位トランジスタ４８４をＮチャンネルトランジスタで構成し、画素１６の駆動用トランジスタ１１ａをＰチャンネルトランジスタで構成するという構成は、本発明の特徴ある構成である。なお、画素１６を構成するトランジスタ１１のすべて（トランジスタ１１ａ、１１ｂ、１１ｃ、１１ｄ）をＰチャンネルと形成するとよい。Ｎチャンネルトランジスタを形成するプロセスとなくすことができるから、低コスト化と高歩留まり化を実現できる。

【０６２１】

なお、単位トランジスタ４８４はＩＣ１４に形成するとしたが、これに限定するものではない。低温ポリシリコン技術でソースドライバ回路１４を形成してもよい。この場合も、ソースドライバ回路１４内の単位トランジスタ４８４はＮチャンネルトランジスタで構成することが好ましい。

【０６２２】

図５１は電流受け渡し構成の実施例である。なお、図５０は電圧受け渡し構成の実施例である。 図５０、図５１とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図５０において、４７１は第１段電流源用Ｎチャンネルトランジスタ、４７２ａは第２段電流源用Ｎチャンネルトランジスタ、４７２ｂは第２段電流源用Ｐチャンネルトランジスタである。

【０６２３】

図５１において、４７１ａは第１段電流源用Ｎチャンネルトランジスタ、４７２ａは第２段電流源用Ｎチャンネルトランジスタ、４７２ｂは第２段電流源用Ｐチャンネルトランジスタである。

【０６２４】

図５０では、可変抵抗４９１（電流を変化するために用いるものである）とＮチャンネルトランジスタ４７１で構成される第１段電流源のゲート電圧が、第２段電流源のＮチャ

ンネルトランジスタ４７２ａのゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

【０６２５】

一方、図５１では、可変抵抗４９１とＮチャンネルトランジスタ４７１ａで構成される第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ４７２ａのゲートに印加され、その結果トランジスタに流れる電流値が、第２段電流源のＰチャンネルトランジスタ４７２ｂに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

【０６２６】

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第１の電流源と第２の電流源との関係を中心に説明しているが、これに限定されるものではなく、第２の電流源と第３の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

【０６２７】

図５０に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段の電流源のＮチャンネルトランジスタ４７１と第２段の電流源のＮチャンネルトランジスタ４７２ａが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第１段電流源の電流値が第２段電流源に正確に伝達されず、ばらつきが生じやすい。

【０６２８】

それに対して、図５１に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第１段電流源のＮチャンネルトランジスタ４７１ａと第２段電流源のＮチャンネルトランジスタ４７２ａが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第１段電流源の電流値が第２段電流源に正確に伝達され、ばらつきが生じにくい。

【０６２９】

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバＩＣ（回路）１４として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきの小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

【０６３０】

なお、説明の都合上、第１段電流源から第２段電流源の場合を示したが、第２段電流源から第３段電流源、第３段電流源から第４段電流源、・・・などの多段の場合も同様であることは言うまでもない。また、本発明は１段の電流源構成を採用してもよいことは言うまでもない（図４８、図１６４、図１６５、図１６６などを参照のこと）。

【０６３１】

図５２は、図４９の３段構成のカレントミラー回路（３段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図４９は電圧受け渡し方式の回路構成である）。

【０６３２】

図５２では、まず、可変抵抗４９１とＮチャンネルトランジスタ４７１で基準電流が作成される。なお、可変抵抗４９１で基準電流を調整するように説明しているが、実際は、ソースドライバＩＣ（回路）１４内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ４７１のソース電圧が設定され、調整されるように構成される。もしくは、図４８に図示するような多数の電流源（１単位）４８４から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ４７１のソース端子に供給することにより基準電流は調整される（図５３を参照のこと）。

【０６３３】

トランジスタ４７１による第１段電流源のゲート電圧が、隣接する第２段電流源のＮチャンネルトランジスタ４７２ａのゲートに印加され、その結果トランジスタに流れる電流

値が、第２段電流源のＰチャンネルトランジスタ４７２ｂに受け渡される。また、第２の電流源のトランジスタ４７２ｂによるゲート電圧が、隣接する第３段電流源のＮチャンネルトランジスタ４７３ａのゲートに印加され、その結果トランジスタに流れる電流値が、第３段電流源のＮチャンネルトランジスタ４７３ｂに受け渡される。第３段電流源のＮチャンネルトランジスタ４７３ｂのゲートには図４８に図示する多数の単位トランジスタ４８４が必要なビット数に応じて形成（配置）される。

【０６３４】

図５３では、前記多段式カレントミラー回路の第１段電流源４７１に、電流値調整用素子が具備されていることを特徴としている。この構成により、第１段電流源４７１の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

【０６３５】

トランジスタのＶｔバラツキ（特性バラツキ）は、１ウエハ内で１００（ｍＶ）程度のばらつきがある。しかし、１００μ以内に近接して形成されたトランジスタのＶｔバラツキは、少なくとも、１０（ｍＶ）以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成することにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、ソースドライバＩＣの各端子の出力電流バラツキを少なくすることができる。

【０６３６】

なお、トランジスタのバラツキはＶｔであるとして説明をするが、トランジスタのバラツキはＶｔだけではない。しかし、Ｖｔバラツキがトランジスタの特性バラツキの主要因であるから、理解を容易にするため、Ｖｔバラツキ＝トランジスタバラツキとして説明をする。

【０６３７】

図１１８はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタ４８４の出力電流バラツキとの測定結果を示している。出力電流バラツキとは、Ｖｔ電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（１０－２００個）のトランジスタ出力電流バラツキである。図１１８のＡ領域（形成面積０．５平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にＣ領域（形成面積２．４平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B領域（形成面積０．５平方ミリメートル以上２．４平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の関係にある。

【０６３８】

ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバＩＣ（回路）１４において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。

【０６３９】

本発明は、入力デジタルデータ（Ｄ）により、単位トランジスタ４８４に流れる電流数を切り替えることによりソース信号線１８に流れる電流量を変化（制御）する。階調数が６４階調以上であれば、１／６４＝０．０１５であるから、理論的には、１～２％以内の出力電流バラツキ以内にする必要がある。なお、１％以内の出力バラツキは、視覚的には判別することが困難になり、０．５％以下ではほぼ判別することができない（均一に見える）。

【０６４０】

出力電流バラツキ（％）を１％以内にするためには、図１１８の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を２平方ミリメーター以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタのＶｔバラツキ）を０．５％以内にすることが好ましい。図１１８の結果に示すように

トランジスタ群５２１の形成面積を１．２平方ミリメーター以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、１．２平方ミリメートルでは、１ｍｍ×１．２ｍｍである。

【０６４１】

また、単位トランジスタ４８４の組（６４階調であれば６３個のトランジスタ４８４のかたまり（図４８などを参照のこと）に関しても同様である。単位トランジスタ４８４の組の形成面積を２平方ミリメーター以内にする必要がある。さらに好ましくは、単位トランジスタの組４８４の形成面積を１．２平方ミリメーター以内にすればよい。

【０６４２】

なお、以上は、特に８ビット（２５６階調）以上の場合である。２５６階調以下の場合、たとえば、６ビット（６４階調）の場合は、出力電流のバラツキは２％程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群５２１は、５平方ミリメートル以内に形成すればよい。また、トランジスタ群５２１（図５２では、トランジスタ群５２１ａと５２１ｂの２つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（３つ以上ある場合は、１つ以上のトランジスタ群５２１）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群５２１（５２１ａが上位で、５２１ｂが下位の関係）に関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

【０６４３】

本発明のソースドライバＩＣ（回路）１４は、図５２に図示するように、親、子、孫というように複数の電流源を多段接続し、かつ各電流源を密配置にしている（もちろん、親、子の２段接続でもよい）。また、各電流源間（トランジスタ群５２１間）を電流受け渡しにしている。具体的には、図５２の点線で囲った範囲（トランジスタ群５２１）を密配置にする。このトランジスタ群５２１は電圧受け渡しの関係にある。また、親の電流源４７１と子の電流源４７２ａとは、ソースドライバＩＣ１４チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ４７２ａと、子の電流源を構成するトランジスタ４７２ｂとの距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群５２１ａをＩＣチップの略中央部に配置する。そして、ＩＣチップ１４の左右に、下位のトランジスタ群５２１ｂを配置する。好ましくは、この下位のトランジスタ群５２１ｂの個数がＩＣチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ＩＣチップ１４に限定されず、低温ポリシリコン技術あるいは高温ポリシリコン技術で基板７１に直接形成したソースドライバ回路１４にも適用される。他の事項も同様である。

【０６４４】

本発明では、トランジスタ群５２１ａはＩＣチップ１４の略中央部に１つ構成または配置または形成あるいは作製されたおり、チップの左右に８個ずつトランジスタ群５２１ｂが形成されている（Ｎ＝８＋８、図４７を参照のこと）。子のトランジスタ群５２１ｂはチップの左右に等しくなるように、もしくは、チップ中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群５２１ｂの個数と、チップの右側に形成または配置されたトランジスタ群５２１ｂの個数との差が、４個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群５２１ｂの個数と、チップの右側に形成または配置されたトランジスタ群５２１ｂの個数との差が、１個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群（図５２では省略されているが）についても同様である。

【０６４５】

親電流源４７１と子電流源４７２ａ間は電圧受け渡し（電圧接続）されている。したがって、トランジスタのＶｔバラツキの影響を受けやすい。そのため、トランジスタ群５２１ａの部分を密配置する。このトランジスタ群５２１ａの形成面積を、図１１８の図示するように２平方ミリメートル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。もちろん、階調数が６４階調以下の場合は、５平方ミリメートル

以内でもよい。

【０６４６】

トランジスタ群５２１ａと子トランジスタ４７２ｂ間は電流でデータを受け渡し（電流受け渡し）をしているので、距離は流れても構わない。この距離の範囲（たとえば、上位のトランジスタ群５２１ａの出力端から下位のトランジスタ５２１ｂの入力端までの距離）は、先に説明したように、第２の電流源（子）を構成するトランジスタ４７２ａと第２の電流源（子）を構成するトランジスタ４７２ｂとを、少なくとも１０ｍｍ以内の距離に配置する。このましくは８ｍｍ以内に配置または形成する。さらには、５ｍｍ以内に配置することが好ましい。

【０６４７】

この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（Ｖｔ、モビリティ（μ））差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群５２１ａが上位で、その下位にトランジスタ群５２１ｂ、さらにその下位にトランジスタ群５２１ｃがあれば、トランジスタ群５２１ｂとトランジスタ群５２１ｃの電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群５２１がこの関係を満足させることに、本発明が限定されるものではない。少なくとも１組のトランジスタ群５２１がこの関係を満足さえるようにすればよい。特に、下位の方が、トランジスタ群５２１の個数が多くなるからである。

【０６４８】

第３の電流源（孫）を構成するトランジスタ４７３ａと第３の電流源を構成するトランジスタ４７３ｂについても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

【０６４９】

トランジスタ群５２１ｂはチップの左右方向（長手方向、つまり、出力端子６８１と対面する位置に）に形成または作製あるいは配置されている。トランジスタ群５２１ｂはチップの左右方向（長手方向、つまり、出力端子６８１と対面する位置に）に形成または作製あるいは配置されている。このトランジスタ群５２１ｂの個数Ｍは、本発明では１１個（図４７を参照）である。

【０６５０】

子電流源４７２ｂと孫電流源４７３ａ間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群５２１ａと同様にトランジスタ群５２１ｂの部分を密配置する。このトランジスタ群５２１ｂの形成面積を、図１１８の図示するように２平方ミリメートル以内の面積に形成する。さらに好ましくは１．２平方ミリメートル以内に形成する。ただし、このトランジスタ群５２１ｂ部分のＶｔが少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図１１８のＡ領域（０．５平方ミリメートル以内）にすることが好ましい。

【０６５１】

トランジスタ群５２１ｂを孫トランジスタ４７３ａとトランジスタ４７３ｂ間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第３の電流源（孫）を構成するトランジスタ４７３ａと第２の電流源（孫）を構成するトランジスタ４７３ｂとを、少なくとも８ｍｍ以内の距離に配置する。さらには、５ｍｍ以内に配置することが好ましい。

【０６５２】

図５３に、前記電流値制御用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗５３１（電流制限および各基準電圧を作成する。抵抗５３１はポリシリで形成する）、デコーダ５３２、レベルシフタ５３３などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ４８１はアナログスイッチ回路として機能する。

【０６５３】

なお、ソースドライバＩＣ（回路）１４において、トランジスタを電流源と記載する場

合がある。トランジスタで構成されたカレントミラー回路などは電流源として機能するからである。

【０６５４】

また、電子ボリウム回路は、ＥＬ表示パネルの色数に応じて形成（もしくは配置）する。たとえば、ＲＧＢの３原色であれば、各色に対応する３つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、１つの色を基準にする（固定する）場合は、色数－１分の電子ボリウム回路を形成（もしくは配置）する。

【０６５５】

図６８は、ＲＧＢの３原色を独立に基準電流を制御する抵抗素子４９１を形成（配置）した構成である。もちろん、抵抗素子４９１は電子ボリウムに置き換えてもよいことは言うまでもない。また、抵抗素子４９１はソースドライバＩＣ（回路）１４内に内蔵させてもよい。電流源４７１、電流源４７２などの親電流源、子電流源など基本（根本）となる電流源は図６８に図示する領域に電流出力回路６５４に密集して配置する。密集して配置することにより、各ソース信号線１８からの出力バラツキが低減する。図６８に図示するようにＩＣチップ（回路）１４の中央部に電流出力回路６５４（電流出力回路に限定されるものではない。基準電流発生回路部、コントローラ部でもよい。つまり、６５４とは出力回路が形成されていない領域である）に配置することのより、ＩＣチップ（回路）１４の左右に電流源４７１、４７２などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

【０６５６】

ただし、中央部に電流出力回路６５４に配置することに限定するものではない。ＩＣチップの片端もしくは両端に形成してもよい。また、出力電流回路６５４と平行に形成または配置してもよい。

【０６５７】

ＩＣチップ１４の中央部にコントローラあるいは出力電流回路６５４を形成することは、ＩＣチップ１４の単位トランジスタ４８４のＶｔ分布の影響を受けやすいため、あまり好ましいとはいえない（ウエハのＶｔはウエハ内で滑らかな分布が発生しているからである）。

【０６５８】

図５２の回路構成では、１つのトランジスタ４７３ａと１つのトランジスタ４７３ｂとが一対一の関係で接続されている。図５１においても、１つのトランジスタ４７２ａと１つのトランジスタ４７２ｂとが一対一の完成で接続されている。図４９などにおいても同様である。

【０６５９】

しかし、１つのトランジスタと１つのトランジスタとが一対一の関係で接続されていると、対応するトランジスタの特性（Ｖｔなど）の特性がバラツクとこのトランジスタに接続されたトランジスタの出力にバラツキが発生してしまう。

【０６６０】

この課題を解決する構成の実施例が図５８の構成である。図５８の構成は、一例として４つのトランジスタ４７３ａからなる伝達トランジスタ群５２１ｂ（５２１ｂ１、５２１ｂ２、５２１ｂ３）と４つのトランジスタ４７３ｂからなる伝達トランジスタ群５２１ｃ（５２１ｃ１、５２１ｃ２、５２１ｃ３）とを接続されている。ただし、伝達トランジスタ群５２１ｂ、伝達トランジスタ群５２１ｃはそれぞれ４つのトランジスタ４７３で構成されるとしたがこれに限定されるものではなく、３以下でもよく、５以上でもよいことは言うまでもない。つまり、トランジスタ４７３ａに流れる基準電流Ｉｂを、トランジスタ４７３ａとカレントミラー回路を構成する複数のトランジスタ４７３で出力し、この出力電流を複数のトランジスタ４７３ｂで受けるものである。

【０６６１】

複数のトランジスタ４７３ａと複数のトランジスタ４７３ｂと略同一サイズで、かつ同

一個数に設定することが好ましい。また、１出力を構成する単位トランジスタ４８４の個数（図４８のように６４階調の場合は６３個）と、単位トランジスタ４８４とカレントミラーを構成するトランジスタ４７３ｂの個数とは略同一サイズ、かつ同一個数にすることが好ましい。具体的には単位トランジスタ４８４のサイズとトランジスタ４７３ｂのサイズとの差は、±２５％以内にすることが好ましい。以上のように構成すればカレント倍率が精度よく設定でき、また、出力電流のばらつきも少なくなる。なお、トランジスタの面積とは、トランジスタのチャンネル長Ｌとトランジスタのチャンネル幅Ｗをかけた面積をいう。

【０６６２】

なお、トランジスタ４７３ｂに流す電流Ｉｃ１に対して、４７２ｂに流れる電流Ｉｂは５倍以上になるように設定することが好ましい。トランジスタ４７３ａのゲート電位が安定し、出力電流による過渡現象の発生を抑制できるからである。

【０６６３】

また、伝達トランジスタ群５２１ｂ１には４つのトランジスタ４７３ａが隣接して配置され、伝達トランジスタ群５２１ｂ１に隣接して伝達トランジスタ群５２１ｂ２が配置され、この伝達トランジスタ群５２１ｂ２には４つのトランジスタ４７３ａが隣接して配置されというように形成されるとしているがこれに限定するものではない。たとえば、伝達トランジスタ群５２１ｂ１のトランジスタ４７３ａと伝達トランジスタ群５２１ｂ２のトランジスタ４７３ａとが相互に位置関係を交錯するように配置または形成してもよい。位置関係を交錯（トランジスタ４７３の配置を伝達トランジスタ群５２１間で入れ替える）させることにより、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

【０６６４】

このように電流受け渡しするトランジスタを複数のトランジスタで構成することにより、トランジスタ群全体として出力電流のバラツキが少なくなり、各端子での出力電流（プログラム電流）のバラツキをより少なくすることができる。

【０６６５】

伝達トランジスタ群５２１を構成するトランジスタ４７３の形成面積の総和が重要な項目である。基本的にトランジスタ４７３の形成面積の総和が大きいほど、出力電流（ソース信号線１８から流入するプログラム電流）のバラツキは少なくなる。つまり、伝達トランジスタ群５２１の形成面積（トランジスタ４７３の形成面積の総和）が大きいほどバラツキは小さくなる。しかし、トランジスタ４７３の形成面積が大きくなればチップ面積が大きくなり、ＩＣチップ１４の価格が高くなる。

【０６６６】

なお、伝達トランジスタ群５２１の形成面積とは、伝達トランジスタ群５２１を構成するトランジスタ４７３の面積の総和である。また、トランジスタ４７３の面積とは、トランジスタ４７３のチャンネル長Ｌとトランジスタ４７３のチャンネル幅Ｗをかけた面積をいう。したがって、トランジスタ５２１が１０個のトランジスタ４７３で構成され、トランジスタ４７３のチャンネル長Ｌが１０μｍ、トランジスタ４７３のチャンネル幅Ｗが５μｍとすれば、伝達トランジスタ群５２１の形成面積Ｔｍ（平方μｍ）は１０μｍ×５μｍ×１０個＝５００（平方μｍ）である。

【０６６７】

伝達トランジスタ群５２１の形成面積は単位トランジスタ４８４との関係を所定の関係を維持するようにする必要がある。また、伝達トランジスタ群５２１ａと伝達トランジスタ群５２１ｂとは所定の関係を維持するようにする必要がある。

【０６６８】

トランジスタ群５２１の形成面積は単位トランジスタ４８４との関係について説明をする。図５０でも図示しているように、１つのトランジスタ４７３ｂに対応して複数の単位トランジスタ４８４が接続されている。６４階調の場合は、１つのトランジスタ４７３ｂに対応する単位トランジスタ４８４は６３個である（図４８の構成の場合）。この単位ト

ランジスタ郡（この例では、単位トランジスタ４８４が６３個）の形成面積Ｔｓ（平方μｍ）は、単位トランジスタ４７３のチャンネル長Ｌが１０μｍ、トランジスタ４７３のチャンネル幅Ｗが１０μｍとすれば、１０μｍ×１０μｍ×６３個＝６３００平方μｍである。

【０６６９】

図４８のトランジスタ４７３ｂが、図５８では、伝達トランジスタ群５２１ｃが該当する。単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群５２１ｃの形成面積Ｔｍとは、以下の関係となるようにする。

【０６７０】

１／４ ≦ Ｔｍ／Ｔｓ ≦ ６

さらに好ましくは、単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群５２１ｃの形成面積Ｔｍとは、以下の関係となるようにする。

【０６７１】

１／２ ≦ Ｔｍ／Ｔｓ ≦ ４

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。

【０６７２】

また、伝達トランジスタ群５２１ｂの形成面積ＴｍｍはＴｍｓとは、以下の関係となるようにする。

【０６７３】

１／２ ≦ Ｔｍｍ／Ｔｍｓ ≦ ８

さらに好ましくは、単位トランジスタ群の形成面積Ｔｓと伝達トランジスタ群５２１ｃの形成面積Ｔｍとは、以下の関係となるようにする。

【０６７４】

１ ≦ Ｔｍｍ／Ｔｍｓ ≦ ４

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。

【０６７５】

トランジスタ群５２１ｂ１からの出力電流Ｉｃ１、トランジスタ群５２１ｂ２からの出力電流Ｉｃ２、トランジスタ群５２１ｂ２からの出力電流Ｉｃ３とするとき、出力電流Ｉｃ１、出力電流Ｉｃ２、および出力電流Ｉｃ３は一致させる必要がある。本発明では、トランジスタ群５２１は複数のトランジスタ４７３で構成しているため、個々のトランジスタ４７３がばらついていても、トランジスタ群５２１としては、出力電流Ｉｃのバラツキは発生しない。

【０６７６】

なお、以上の実施例は、図５２のように３段のカレントミラー接続（多段のカレントミラー接続）の構成に限定されるものではない。１段のカレントミラー接続にも適用できることは言うまでのない。また、図５２の実施例は、複数のトランジスタ４７３ａからなるトランジスタ群５２１ｂ（５２１ｂ１、５２１ｂ２、５２１ｂ３・・・・・・）と複数のトランジスタ４７３ｂからなるトランジスタ群５２１ｃ（５２１ｃ１、５２１ｃ２、５２１ｃ３・・・・・・）とを接続した実施例であった。しかし、本発明はこれに限定するものではなく、１つのトランジスタ４７３ａと複数のトランジスタ４７３ｂからなるトランジスタ群５２１ｃ（５２１ｃ１、５２１ｃ２、５２１ｃ３・・・・・・）とを接続してもよい。また、複数のトランジスタ４７３ａからなるトランジスタ群５２１ｂ（５２１ｂ１、５２１ｂ２、５２１ｂ３・・・・・・）と１つのトランジスタ群４７３ｂとを接続してもよい。

【０６７７】

図４８において、スイッチ４８１ａは０ビット目に対応し、スイッチ４８１ｂは１ビット目に対応し、スイッチ４８１ｃは２ビット目に対応し、……スイッチ４８１ｆは５ビット目に対応する。０ビット目は１つの単位トランジスタで構成され、１ビット目は２つの

単位トランジスタで構成され、２ビット目は４つの単位トランジスタで構成され、……５ビット目は３２つの単位トランジスタで構成される。説明を容易にするために、ドライバ回路１４は６４階調表示対応で、６ビットであるとして説明をする。

【０６７８】

本発明のソースドライバＩＣ（回路）１４の構成では、１ビット目は０ビット目に対して２倍のプログラム電流を出力する。２ビット目は１ビット目に対して２倍のプログラム電流を出力する。３ビット目は２ビット目に対して２倍のプログラム電流を出力する。４ビット目は３ビット目に対して２倍のプログラム電流を出力する。５ビット目は４ビット目に対して２倍のプログラム電流を出力する。逆に言えば、各隣接したビットは、正確に２倍のプログラム電流を出力できるように構成する必要がある。

【０６７９】

図５８の構成は、複数のトランジスタ４７３ａの出力電流を複数のトランジスタ４７３ｂで受け取ることにより、各端子の出力電流のばらつきを低減させるものであった。図６０は基準電流をトランジスタ群の両側から給電することにより出力電流のバラツキを低減する構成である。つまり、電流Ｉｂの供給源を複数設ける。本発明では、電流Ｉｂ１と電流Ｉｂ２とは同一の電流値とし、電流Ｉｂ１を発生するトランジスタと電流Ｉｂ２を発生するトランジスタと、対をなすトランジスタでカレントミラー回路を構成している。

【０６８０】

したがって、本発明は、単位トランジスタ４８４の出力電流を規定する基準電流を発生するトランジスタ（電流発生手段）を複数個形成または配置された構成である。さらに好ましくは、複数のトランジスタからの出力電流を、カレントミラー回路を構成するトランジスタなどの電流受け取り回路に接続し、この複数のトランジスタが発生するゲート電圧により単位トランジスタ４８４の出力電流を制御する構成である。つまり、本発明は、単位トランジスタ４８４とカレントミラー回路を構成するトランジスタ４７３ｂが複数個形成された構成である。図５８では、単位トランジスタ４８４が６３個形成されたトランジスタ群に対し、カレントミラー回路を形成する５つのトランジスタ４７３ｂが配置（形成）されている。

【０６８１】

単位トランジスタ４８４のゲート端子電圧は、ＩＣチップがシリコンチップの場合、０．５２以上０．６８（Ｖ）以下の範囲に設定することが好ましい。この範囲であれば、単位トランジスタ４８４の出力電流のバラツキが少なくなる。以上の事項は、図１６３、図１６４、図１６５などの本発明の他の実施例においても同様である。

【０６８２】

図６０において、基準電流Ｉｂ１と基準電流Ｉｂ２を個別に調整できるように構成しておくと、ゲート端子５８１のａ点の電圧とｂ点の電圧を自由に設定できるようになる。基準電流Ｉｂ１とＩｂ２の調整により、ＩＣチップ１４の左右で単位トランジスタのＶｔが異なるため、出力電流の傾斜が発生している場合も補正することができる。

【０６８３】

カレントミラー回路を構成するトランジスタが発生する電流を受け渡すのは、複数のトランジスタで受け渡すのが好ましい。ＩＣチップ１４内に形成されるトランジスタには特性バラツキが発生する。トランジスタの特性バラツキを抑制するためには、トランジスタサイズを大きくする方法がある。しかし、トランジスタサイズを大きくしてもカレントミラー回路のカレントミラー倍率が大きくずれる場合がある。この課題を解決するには、複数のトランジスタで電流あるいは電圧受け渡しをするように構成するとよい。複数のトランジスタで構成すれば、各トランジスタの特性がばらついていても全体としての特性バラツキは小さくなる。また、カレントミラー倍率の精度も向上する。トータルで考えればＩＣチップ面積も小さくなる。

【０６８４】

図５８はトランジスタ群５２１ａとトランジスタ群５２１ｂでカレントミラー回路を構成している。トランジスタ５２１ａは複数のトランジスタ４７２ｂで構成されている。一

方、トランジスタ群５２１ｂはトランジスタ４７３ａで構成されている。同様にトランジスタ群５２１ｃも複数のトランジスタ４７３ｂで構成されている。

【０６８５】

トランジスタ群５２１ｂ１、トランジスタ群５２１ｂ２、トランジスタ群５２１ｂ３、トランジスタ群５２１ｂ４・・・・・・・・を構成するトランジスタ４７３ａは同一個数に形成している。また、各トランジスタ群５２１ｂのトランジスタ４７３ａの総面積（トランジスタ群５２１ｂ内のトランジスタ４７３ａのＷＬサイズ×トランジスタ４７３ａ数）は（略）等しくなるように形成している。トランジスタ群５２１ｃについても同様である。

【０６８６】

トランジスタ５２１ｃのトランジスタ４７３ｂの総面積（トランジスタ群５２１ｃ内のトランジスタ４７３ｂのＷＬサイズ×トランジスタ４７３ｂ数）をＳｃとする。また、トランジスタ５２１ｂのトランジスタ４７３ａの総面積（トランジスタ群５２１ｂ内のトランジスタ４７３ａのＷＬサイズ×トランジスタ４７３ａ数）とＳｂとする。トランジスタ５２１ａのトランジスタ４７２ｂの総面積（トランジスタ群５２１ａ内のトランジスタ４７２ｂのＷＬサイズ×トランジスタ４７２ｂ数）をＳａとする。また、１出力の単位トランジスタ４８４の総面積をＳｄ（図４８の実施例では単位トランジスタ４８４のＷＬ面積×６３）とする。

【０６８７】

総面積Ｓｃと総面積Ｓｂとは略等しくなるように形成することが好ましい。トランジスタ群５２１ｂを構成するトランジスタ４７３ａの個数と、トランジスタ群５２１ｃのトランジスタ４７３ｂの個数とを同数にすることが好ましい。ただし、ＩＣチップ１４のレイアウトの制約などから、トランジスタ群５２１ｂを構成するトランジスタ４７３ａの個数を、トランジスタ群５２１ｃのトランジスタ４７３ｂの個数よりも少なくし、トランジスタ群５２１ｂを構成するトランジスタ４７３ａのサイズをトランジスタ群５２１ｃのトランジスタ４７３ｂのサイズよりも大きくしてもよい。

【０６８８】

この実施例を図５９に図示する。トランジスタ群５２１ａは複数のトランジスタ４７２ｂで構成されている。トランジスタ群５２１ａとトランジスタ４７３ａはカレントミラー回路を構成する。トランジスタ４７３ａは電流Ｉｃを発生させる。１つのトランジスタ４７３ａはトランジスタ群５２１ｃの複数のトランジスタ４７３ｂを駆動する（１つのトランジスタ４７３ａからの電流Ｉｃは複数のトランジスタ４７３ｂに分流される。一般にトランジスタ４７３ａの個数は、出力回路分の個数が配置または形成される。たとえば、ＱＣＩＦ＋パネルの場合は、Ｒ、Ｇ、Ｂ回路において、各１７６個のトランジスタ４７３ａが形成または配置される。

【０６８９】

総面積Ｓｄと総面積Ｓｃの関係は、出力バラツキに相関がある。この関係を図１２４に図示している。なお、バラツキ比率などに関しては図１２１を参照のこと。バラツキ比率は、総面積Ｓｄ：総面積Ｓｃ＝２：１（Ｓｃ／Ｓｄ＝１／２）の時を１としている。図１２４でもわかるように、Ｓｃ／Ｓｄが小さいと急激にバラツキ比率が悪くなる。特にＳｃ／Ｓｄ＝１／２以下で悪くなる傾向がある。Ｓｃ／Ｓｄが１／２以上では、出力バラツキが低減する。その低減効果は緩やかである。また、Ｓｃ／Ｓｄ＝１／２程度で出力バラツキが許容範囲となる。以上のことから、１／２　＜＝　Ｓｃ／Ｓｄの関係となるように形成することが好ましい。しかし、Ｓｃが大きくなるとＩＣチップサイズも大きくなることになる。したがって、上限はＳｃ／Ｓｄ＝４とすることが好ましい。つまり、１／２　＜＝　Ｓｃ／Ｓｄ　＜＝　４の関係を満足するようにする。

【０６９０】

なお、Ａ　＞＝　Ｂは、ＡはＢ以上という意味である。　Ａ　＞　Ｂは、ＡはＢより大きいという意味である。Ａ　＜＝　Ｂは、ＡはＢ以下という意味である。　Ａ　＜　Ｂは、ＡはＢより小さいという意味である。

【０６９１】
さらには、総面積Ｓｄと総面積Ｓｃは、略等しくなるようにすることが好ましい。さらに１出力の単位トランジスタ４８４の個数と、トランジスタ群５２１ｃのトランジスタ４７３ｂの個数とを同数にすることが好ましい。つまり、６４階調表示であれば、１出力の単位トランジスタ４８４は６３個形成される。したがって、トランジスタ群５２１ｃを構成するトランジスタ４７３ｂの個数は６３個形成される。
【０６９２】
また、好ましくは、トランジスタ群５２１ａ、トランジスタ群５２１ｂ、トランジスタ５２１ｃ、単位トランジスタ４８４は、ＷＬ面積の比率が４倍以内のトランジスタで構成することが好ましい。さらに好ましくはＷＬ面積の比率が２倍以内のトランジスタで構成することが好ましい。さらには、すべて同一サイズのトランジスタで構成することが好ましい。つまり、略同一形状のトランジスタでカレントミラー回路、出力電流回路６５４を構成することが好ましい。
【０６９３】
総面積Ｓａは総面積Ｓｂよりも大きくなるようにする。好ましくは、２００Ｓｂ　＞＝　Ｓａ　＞＝　４Ｓｂの関係を満足するように構成する。また、すべてのトランジスタ群５２１ｂを構成するトランジスタ４７３ａの総面積とＳａが略等しくなるように構成する。
【０６９４】
図６０などはゲート配線５８１の両端にトランジスタあるいはトランジスタ群を配置する構成であった。したがって、ゲート配線５８１の両側に配置するトランジスタは２個であり、または、トランジスタ群は２組であった。しかし、本発明はこれに限定するものではない。図６１に図示するようにゲート配線５８１の中央部などにもトランジスタあるいはトランジスタ群を配置または形成してもよい。図６１では３つのトランジスタ群５２１ａを形成している。本発明は、ゲート配線５８１に形成するトランジスタあるいはトランジスタ群５２１は複数形成することに特徴がある。複数形成することにより、ゲート配線５８１を低インピーダンス化でき、安定度が向上する。
【０６９５】
さらに安定度を向上させるためには、図６２に図示するように、ゲート配線５８１にコンデンサ６６１を形成または配置することが好ましい。コンデンサ６６１はＩＣチップ１４あるいはソースドライバ回路１４内に形成してもよいし、ＩＣ１４の外付けコンデンサとしてチップ外部に配置あるいは積載してもよい。コンデンサ６６１を外付けにする場合は、ＩＣチップの端子にコンデンサ接続端子を配置する。
【０６９６】
以上の実施例は、基準電流を流し、この基準電流をカレントミラー回路でコピーし、最終段の単位トランジスタ４８４に伝達する構成である。画像表示が黒表示（完全な黒ラスター）の時は、いずれの単位トランジスタ４８４にも電流が流れない。いずれのスイッチ４８１もオープンだからである。したがって、ソース信号線１８に流れる電流は０（Ａ）であるから、電力は消費しない。
【０６９７】
しかし、黒ラスター表示であっても、基準電流は流れる。たとえば、図６３の電流Ｉｂおよび電流Ｉｃである。この電流は無効電流となる。基準電流は電流プログラム時に流れるように構成すると効率がよい。したがって、画像の垂直ブランキング期間水平ブランキング期間には基準電流が流れることを制限する。また、ウエイト期間なども基準電流が流れることを制限する。
【０６９８】
基準電流が流れないようにするには、図６３に図示するようにスリープスイッチ６３１をオープンにすればよい。スリープスイッチ６３１はアナログスイッチである。アナログスイッチは、ソースドライバ回路あるいはソースドライバＩＣ１４内に形成する。もちろん、ＩＣ１４の外部にスリープスイッチ６３１を配置し、このスリープスイッチ６３１を

制御してもよい。

【０６９９】

スリープスイッチ６３１をオフにすることにより、基準電流Ｉｂが流れないようになる。そのため、トランジスタ群５２１ａ１内のトランジスタ４７３ａに電流が流れないから、基準電流Ｉｃも０（Ａ）となる。したがって、トランジスタ群５２１ｃのトランジスタ４７３ｂにも電流が流れない。したがって、電力効率が向上する。

【０７００】

図６４は、タイミングチャートである。水平同期信号ＨＤに同期してブランキング信号が発生する。ブランキング信号はＨレベルの時、ブランキング期間であり、Ｌレベルの時、映像信号が印加されている期間である。スリープスイッチ６３１はＬレベルの時、オフ（オープン）であり、Ｈレベルの時、オンである。

【０７０１】

したがって、ブランキング期間Ａの時、スリープスイッチ６３１はオフであるから、基準電流は流れない。Ｄの期間、スリープスイッチ６３１はオンであり、基準電流が発生する。

【０７０２】

なお、画像データに応じてスリープスイッチ６３１のオンオフ制御を行っても良い。たとえば、１画素行の画像データがすべて黒画像データの時（１Ｈの期間はすべてのソース信号線１８に出力されるプログラム電流は０である）、スリープスイッチ６３１をオフにして、基準電流（Ｉｃ、Ｉｂなど）が流れないようにする。また、各ソース信号線に対応するようにスリープスイッチを形成または配置し、オンオフ制御してもよい。たとえば、奇数番目のソース信号線１８が黒表示（縦黒ストライプ表示）の時は、奇数番目に対応するスリープスイッチをオフにする。

【０７０３】

図５２、図７７は多段接続のカレントミラー構成を有するソースドライバＩＣ（回路）１４の構成図である。本発明は、図５２などの多段接続の構成に限定されるものではない。１段接続のソースドライバ回路１４でもよい。図１６６から図１７２、図１９０、図１９１、図２０８、図２１１、図２１３、図２１４は１段接続のソースドライバＩＣ（回路）の構成図である。１段構成は、回路構成がシンプルで出力電流バラツキが小さい。この場合も単位トランジスタ４８４はＮチャンネルトランジスタで構成する。したがって、ソース信号線１８からのプログラム電流はシンク（ｓｉｎｋ）電流となる。単位トランジスタ４８４のゲート端子と、トランジスタ４７３ｂのゲート端子とは共通のゲート配線５８１で接続をする。なお、図１６６は単位トランジスタ群５２１ｃを示している。各図面の単位トランジスタ５２１ｃを示す点線内に配置あるいは形成される。

【０７０４】

なお、図２１３、図２１４では、基準電流源５２１ｂを単位トランジスタ群５２１ｂの両側（たとえば、チップ１４の両端）に配置しているように図示しているが、これに限定するものではない。他の位置でもよいし、また、基準電流源５２１ｂは一方のみ（１箇所または片側）にしてもよいことは言うまでもない。

【０７０５】

図２０７、図２１０、図２２８のように複数のソースドライバＩＣ（１４ａ、１４ｂ）が隣接して配置されている場合を考える。白ラスター表示においては、すべての端子（Ｉｏｕｔ）の出力電流がばらつきなく一致していることが好ましい。出力電流のバラツキが発生していても、隣接出力端子間の出力電流差が小さければ、視覚的にバラツキとして認識されることはない。なお、隣接出力端子間のばらつきは、１％以内にする必要がある。

【０７０６】

１つのソースドライバＩＣ１４で表示画面５０を駆動する場合は、隣接出力端子間のバラツキが小さければよい。しかし、図２２８のように、複数のソースドライバＩＣ１４で１つの画面５０を駆動する場合は課題となる。隣接出力端子間のバラツキが少なくとも、ソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂの出力電流の絶対値に差が発生し

ているからである。
【０７０７】
ソースドライバＩＣ１４ａの単位トランジスタ群５２１のＩｏｕｔｎと、ソースドライバＩＣ１４ｂの単位トランジスタ群５２１のＩｏｕｔ（ｎ＋１）の出力電流の絶対値が異なれば隣接出力差により画面５０に境目が発生するからである。以下、この課題を解決する方法を説明する。
【０７０８】
図１６７において、トランジスタ４７２ｂと２つのトランジスタ４７３ａとはカレントミラー回路を構成している。トランジスタ４７３ａ１とトランジスタ４７３ａ２は同一サイズである。したがって、トランジスタ４７３ａ１が流す電流Ｉｃとトランジスタ４７３ａ２が流す電流Ｉｃは同一である。
【０７０９】
図１６７の単位トランジスタ４８４からなるトランジスタ群５２１ｃとトランジスタ４７３ｂ１、および単位トランジスタ４８４からなるトランジスタ群５２１ｃとトランジスタ４７３ｂ２とはカレントミラー回路を構成する。トランジスタ群５２１ｃの出力電流にはバラツキが発生する。しかし、近接してカレントミラー回路を構成するトランジスタ群５２１の出力は精度よく電流が規定される。
【０７１０】
ソースドライバＩＣ１４ａにおいて、トランジスタ４７３ｂ１とトランジスタ群５２１ｃ１とは近接して配置され、カレントミラー回路を構成している。また、トランジスタ４７３ｂ２とトランジスタ群５２１ｃｎとも近接して配置されてカレントミラー回路を構成している。したがって、トランジスタ４７３ｂ１に流れる電流とトランジスタ４７３ｂ２に流れる電流が等しければ、トランジスタ群５２１ｃ１の出力電流とトランジスタ群５２１ｃｎの出力電流とは等しくなる。
【０７１１】
同様に、ソースドライバＩＣ１４ｂにおいて、トランジスタ４７３ｂ１とトランジスタ群５２１ｃ（ｎ＋１）とは近接して配置され、カレントミラー回路を構成している。また、トランジスタ４７３ｂ２とトランジスタ群５２１ｃ（２ｎ）とも近接して配置されてカレントミラー回路を構成している。したがって、トランジスタ４７３ｂ１に流れる電流とトランジスタ４７３ｂ２に流れる電流が等しければ、トランジスタ群５２１ｃ（ｎ＋１）の出力電流とトランジスタ群５２１ｃ（２ｎ）の出力電流とは等しくなる。
【０７１２】
図２２８において、オペアンプ５２２の正極性端子に基準電圧Ｖｓが印加される。オペアンプ５２２の負極性端子には外付け抵抗Ｒ１が接続される。また、抵抗Ｒ１の一端子は、安定した電圧Ｖｐに接続されている。したがって、抵抗Ｒ１とオペアンプ５２２およびトランジスタ４７３で定電流回路が構成される。トランジスタ４７３を流れる電流Ｉｃは、Ｉｃ＝（Ｖｓ－Ｖｐ）／Ｒ１となる。なお、抵抗Ｒ１は外付け抵抗であるとしたが、これに限定するものではなく、ソースドライバＩＣ（回路）１４内に内蔵されたものでもよい。たとえば、ＩＣチップ内に形成された拡散抵抗、ポリシリコン抵抗などが例示される。もちろん、抵抗は低温ポリシリコン技術で形成してもよい。また、基準電圧Ｖｓ、Ｖｐなどは、ソースドライバＩＣ（回路）１４の電源電圧Ｖｃｃと共通にしてもよい。また、パネルのアノード電圧Ｖｄｄと兼用にしてもよい。
【０７１３】
ソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂに同一基準電圧Ｖｓが印加され、この基準電圧Ｖｓにより、オペアンプ５５２からなる定電流回路により基準電流Ｉｃが発生する（図１７０なども参照のこと）。以下説明を容易にするために、抵抗Ｒ１はＩＣ１４の外付け抵抗であり、１％以下の精度のものが使用されるとして説明をする。
【０７１４】
以上の構成より、ソースドライバＩＣ１４ａのトランジスタ４７３ｂ１とトランジスタ４７３ｂ２に流れる電流Ｉｃ、ソースドライバＩＣ１４ｂのトランジスタ４７３ｂ１とト

ランジスタ４７３ｂ２に流れる電流Ｉｃを等しくすることができる。したがって、ソースドライバＩＣ１４ａのトランジスタ４７３ｂ２と、ソースドライバＩＣ１４ｂのトランジスタ４７３ｂ１に流れる電流Ｉｃが等しくすることができる。

【０７１５】

ソースドライバＩＣ１４ａにおいて、トランジスタ４７３ｂ２とトランジスタ群５２１ｃｎとは近接して配置されているため、精度がよいカレントミラー回路を構成している。また、ソースドライバＩＣ１４ｂにおいて、トランジスタ４７３ｂ１とトランジスタ群５２１ｃ（ｎ＋１）とは近接して配置されているため、精度がよいカレントミラー回路を構成している。以上のことから、ソースドライバＩＣ１４ａの単位トランジスタ群５２１ｃｎの出力電流と、ソースドライバＩＣ１４ｂの単位トランジスタ５２１ｃ（ｎ＋１）の出力電流とは略一致する。そのため、画面５０における、ソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂとの境目は発生しない。

【０７１６】

以上のように本発明のソースドライバＩＣ１４はチップの左右に基準電流を流すトランジスタ４７３ｂを具備している点が大きな特徴である。たとえば、図２０７に図示するようにソースドライバＩＣ１４に一方のみにトランジスタ４７３ｂを具備している場合を考えると明らかである。図２０７の構成では、図２０８に図示するように、単位トランジスタ群５２１ｃ１はトランジスタ４７３ｂから近いため、精度のよいカレントミラー回路が構成されている。しかし、トランジスタ４７３ｂからＤ距離離れた（ＤはＩＣチップサイズの横幅に近い距離）単位トランジスタ群５２１ｃｎとトランジスタ４７３ｂとはカレントミラー回路の精度はない。

【０７１７】

図２０８の構成のソースドライバＩＣ１４を図２０７のように複数配置した場合、たとえ、ソースドライバＩＣ１４ａのトランジスタ４を図２０７のように複数配置した場合、たとえ、ソースドライバＩＣ１４ａのトランジスタ４７３ｂと、ソースドライバＩＣ１４ｂのトランジスタ４７３ｂとに同一の基準電流Ｉｃを流しても、図２０９に図示するように、端子６８１ａと端子６８１ｎとの出力電流の大きさには傾斜が発生する。そのため、ソースドライバＩＣ１４ａが駆動する画面５０ａと、ソースドライバＩＣ１４ｂが駆動する画面５０ｂとの間に境目が発生する。

【０７１８】

本発明では、図２１０に図示するように、ソースドライバＩＣ１４はチップの左右に基準電流を流すトランジスタ４７３ｂ（４７３ｂ１、４７３ｂ２）を形成または配置されている。具体的回路構成は、図２１１である。

【０７１９】

図２２８の実施例では、外付け抵抗の程度と、基準電圧Ｖｓなどの精度を上げるとことにより、ＩＣ１４のトランジスタ４７３ａと４７３ｂに流す電流Ｉｃ１とＩｃ２を等しくすることができる。したがって、トランジスタ４７３ｂとカレントミラー回路を構成するトランジスタ群５２１ｃ１、５２１ｃｎ、５２１ｃ（ｎ＋１）、５２１ｃ（２ｎ）の同一階調における出力電流を精度よく同一にすることができる。そのため、画面５０を複数のソースドライバＩＣ（回路）１４で駆動する場合であっても、ソースドライバＩＣ（回路）１４間の境目は見えることはない。なお、電流Ｉｃ１とＩｃ２は、ＩＣチップ外に構成した基準電流回路で発生し、トランジスタ４７３ｂに供給してもよいことはいうまでもない。

【０７２０】

抵抗Ｒ１１ａと抵抗Ｒ１２ａとの所定比率の抵抗値あるいは好ましくは同一の抵抗値に形成される（設計される）。同様に、抵抗Ｒ２１ａと抵抗Ｒ２２ａとの所定比率の抵抗値あるいは好ましくは同一の抵抗値に形成される（設計される）。また、抵抗Ｒ１１ｂと抵抗Ｒ１２ｂ、抵抗Ｒ２１ｂと抵抗Ｒ２２ｂの組に対しても同様である。ここでは説明を容易にするため、抵抗Ｒ１１ａ、抵抗Ｒ１２ａ、抵抗Ｒ２１ａ、抵抗Ｒ２２ａ、抵抗Ｒ１１ｂ、抵抗Ｒ１２ｂ、抵抗Ｒ２１ｂ、抵抗Ｒ２２ｂは同一の抵抗値となるように設計（形成

）されているとする。

【０７２１】

抵抗Ｒ１１ａ、Ｒ１２ａとは近接して形成または配置される。同様に、抵抗Ｒ２１ａ、Ｒ２２ａとは近接して形成または配置され、抵抗Ｒ１１ｂ、Ｒ１２ｂとは近接して形成または配置される。同様に、抵抗Ｒ２１ｂ、Ｒ２２ｂとは近接して形成または配置される。各抵抗はポリシリコン抵抗あるいは拡散抵抗である。ＩＣチップ内で形成する（構成する）抵抗の値は、近接して配置した抵抗の相対比は精度よく形成できるという特質がある。しかし、絶対値には精度がない場合が多い。

【０７２２】

ＩＣ１４の基準電流源は、ＩＣチップの両端に形成される場合が多い。しかし、２つの基準電流源の距離はせいぜい２０ｍｍ程度である。したがって、ソースドライバＩＣ１４ａの抵抗Ｒ１１ａと抵抗Ｒ２１ａの抵抗値差はわずかである場合が多い。しかし、ＩＣチップが異なるソースドライバＩＣ１４ａの抵抗Ｒ１１ａと抵抗Ｒ２１ａと、ソースドライバＩＣ１４ｂ抵抗Ｒ１１ｂと抵抗Ｒ２１ｂとは絶対値が大きく異なる場合が多い。ソースドライバＩＣ１４ａと１４ｂが同一ウエハで形成されていても、ＩＣの形成位置が大きく異なることが多いからである。

【０７２３】

説明を容易にするため、一例としてソースドライバＩＣ１４ａの抵抗１１ａ、抵抗１２ａ、抵抗２１ａ、抵抗２２ａの抵抗値は等しく、５０（ＫΩ）であるとして説明をする。また、ソースドライバＩＣ１４ｂの抵抗１１ｂ、抵抗１２ｂ、抵抗２１ｂ、抵抗２２ｂの抵抗値は等しく、７５（ＫΩ）であるとして説明をする。つまり、ソースドライバＩＣ１４ａの内蔵抵抗とソースドライバＩＣ１４ｂの内蔵抵抗とは、絶対値が異なり、各ソースドライバＩＣの内蔵抵抗の相対抵抗値は等しいと想定している。

【０７２４】

図２２９において、抵抗Ｒ１１ａ、抵抗Ｒ２１ａ、抵抗Ｒ１１ｂ、抵抗Ｒ２１ｂの一端子は電圧Ｖｐに接続されている。また、オペアンプ５２２に基準電圧Ｖｓが印加されている。この点において、図２２８の構成と同一である。図２２９と図２２８との差異は、図２２８において、抵抗Ｒ１が外付け抵抗である点である。また、図２２９で隣接したソースドライバＩＣの内蔵抵抗を接続配線２２９１でカスケード接続している点である。

【０７２５】

ソースドライバＩＣ１４ａの抵抗Ｒ２２ａとソースドライバＩＣ１４ｂの抵抗Ｒ１１ｂとは接続配線２２９１で電気的に接続されている。接続配線２２９１ｃとは、基板７１上に形成された配線パターンが例示される。したがって、ソースドライバＩＣ１４ａのオペアンプ５２２ｂに接続される抵抗はＲ１１ｂ＋Ｒ２２ａ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）となる。また、ソースドライバＩＣ１４ａの抵抗Ｒ２１ａとソースドライバＩＣ１４ｂの抵抗Ｒ１２ｂとは接続配線２２９１ｂで電気的に接続されている。したがって、ソースドライバＩＣ１４ｂのオペアンプ５２２ａに接続される抵抗はＲ１１ｂ＋Ｒ２２ａ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）となる。

【０７２６】

ソースドライバＩＣ１４ａのオペアンプ５２２ｂおよびソースドライバＩＣ１４ｂのオペアンプ５２２ａに接続された抵抗は１２５（ＫΩ）と等しく、また、印加される基準電圧Ｖｓ、Ｖｐなども同一である。したがって、図２２９におけるソースドライバＩＣ１４ａのトランジスタ４７３ｂ２に流れる電流Ｉｃ２と、ソースドライバＩＣ１４ｂのトランジスタ４７３ｂ１に流れる電流Ｉｃ１とは等しくなる。そのため、ソースドライバＩＣ１４ａのトランジスタ群５２１ｃｎに流れるプログラム電流と、ソースドライバＩＣ１４ｂのトランジスタ群５２１ｃ（ｎ＋１）に流れるプログラム電流とは等しくなる。

【０７２７】

図２２９の構成のより、図２２８のように外付け抵抗なしに、隣接したソースドライバＩＣ１４間のプログラム出力電流を等しくすることができる。つまり、ソースドライバＩＣ１４内の抵抗Ｒの絶対値がばらついていても自己整合により、基準電流が等しくするこ

とができる。したがって、本発明のソースドライバＩＣ１４は基板７１に複数個を実装する場合であっても、全く調整の必要がなく、実装するだけでソースドライバＩＣのカスケード接続を実現することができる。

【０７２８】

なお、ソースドライバＩＣ１４内の抵抗Ｒはトリミングにより所定の絶対値の抵抗値となるように調整してもよい。また、抵抗Ｒ１１ａとＲ１２ａ、抵抗Ｒ２１ａとＲ２２ａなどの組の相対抵抗値が所定の相対値となるように調整してもよい。

また、図２２９に図示するように、ソースドライバ１４ａの端の内蔵抵抗１１ａと抵抗１２ａとは配線２２９１ａでショートする。また、ソースドライバ１４ｂの端の内蔵抵抗２１ｂと抵抗２２ｂとは配線２２９１ｄでショートする。

【０７２９】

ソースドライバ１４ａの端の内蔵抵抗１１ａと抵抗１２ａとは接続配線２２９１ａにより接続される。ソースドライバＩＣ１４ａのオペアンプ５２２ａに接続される抵抗は、抵抗１１ａ＋抵抗１２ａ＝５０（ＫΩ）＋５０（ＫΩ）＝１００（ＫΩ）となる。ソースドライバＩＣ１４ａのオペアンプ５２２ｂに接続される抵抗はＲ２１ｂ＋Ｒ２２ａ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）である。したがって、ソースドライバＩＣ１４ａの基準電流Ｉｃ１と基準電流Ｉｃ２とは異なった値となる。そのため、ソースドライバＩＣ１４ａのＩｏｕｔ１のプログラム出力電流と、ソースドライバＩＣ１４ａのＩｏｕｔｎのプログラム出力電流とは異なった値となってしまう。しかし、Ｉｏｕｔ１は画面５０の端に位置するため、画面５０の端の明るさが画面５０の中央部と異なっていても視覚的に認識されることはない。ただし、画面５０の中央部から端部には明るさが滑らかに変化している必要がある。

【０７３０】

同様に、ソースドライバ１４ｂの端の内蔵抵抗２１ｂと抵抗２２ｂとは接続配線２２９１ｄにより接続される。ソースドライバＩＣ１４ｂのオペアンプ５２２ｂに接続される抵抗は、抵抗２１ｂ＋抵抗２２ｂ＝７５（ＫΩ）＋７５（ＫΩ）＝１５０（ＫΩ）となる。ソースドライバＩＣ１４ｂのオペアンプ５２２ａに接続される抵抗はＲ１１ｂ＋Ｒ１２ｂ＝７５（ＫΩ）＋５０（ＫΩ）＝１２５（ＫΩ）である。したがって、ソースドライバＩＣ１４ｂの基準電流Ｉｃ１と基準電流Ｉｃ２とは異なった値となる。そのため、ソースドライバＩＣ１４ｂのＩｏｕｔ（ｎ＋１）のプログラム出力電流と、ソースドライバＩＣ１４ｂのＩｏｕｔ（２ｎ）のプログラム出力電流とは異なった値となってしまう。しかし、Ｉｏｕｔ（２ｎ）は画面５０の端に位置するため、画面５０の端の明るさが画面５０の中央部と異なっていても視覚的に認識されることはない。

【０７３１】

なお、図２３０に図示するように、抵抗Ｒ１２ａにボリウム４９１ａを接続することにより、また、抵抗Ｒ２２ｂにボリウム４９１ｂを接続することにより、トランジスタ群５２１ｃからのプログラム電流を調整できるように構成してもよい。また、抵抗Ｒ１２ａ、抵抗Ｒ２２ａなどを電子ボリウムなどにしてもよい。以上の事項は、抵抗Ｒ２２ａ、抵抗１２ｂに適用してもよいことは言うまでもない。

【０７３２】

図２２８、図２２９、図２３０は各ソースドライバ回路１４に抵抗を内蔵する構成であった。本発明はこれに限定するものではない。たとえば、図２３１に図示するように、ソースドライバＩＣ１４ａに同一抵抗値Ｒ（Ｒ１、Ｒ２、Ｒ３、Ｒ４）を内蔵してもよい。抵抗Ｒ（Ｒ１、Ｒ２、Ｒ３、Ｒ４）は近接させて配置する。近接して配置することにより、抵抗値の相対値は精度よく形成することできる。なお、抵抗（Ｒ１、Ｒ２、Ｒ３、Ｒ４）はレーザートリミングを行い、絶対値が等しくなるように調整してもよい。また、トリミングにより抵抗の相対値を等しくなるように調整してもよい。

【０７３３】

ソースドライバＩＣ１４ａの抵抗Ｒ３、Ｒ４は端子ａ２、端子ａ４を介して出力される。この出力は、ソースドライバＩＶ１４ｂの端子ｂ２、端子ｂ３よりソースドライバＩＣ

１４ｂに入力される。以上のように構成されることにより、ソースドライバＩＣ１４ａ内の抵抗Ｒ３はソースドライバＩＣ１４ｂのオペアンプ５２２ａと接続され、定電流回路が構成される。また、ソースドライバＩＣ１４ａ内の抵抗Ｒ４はソースドライバＩＣ１４ｂのオペアンプ５２２ｂと接続され、定電流回路が構成される。

【０７３４】

なお、基準電圧ＶｓもソースドライバＩＣ１４ａに入力され、ソースドライバＩＣ１４ｂにはソースドライバＩＣ１４ａの端子ａ１を介して出力される。出力された基準電圧ＶｓはソースドライバＩＣ１４ｂの端子ｂ１よりソースドライバＩＣ１４ｂに入力される。

【０７３５】

図２２９、図２３０では接続配線２２９１がアレイ基板７１上で交差する。交差部には絶縁膜を形成する必要がある。しかし、絶縁膜の形成するためには、マスク枚数を増加させる必要がある。マスク枚数の増加によりパネルの製造コストが増加する。

【０７３６】

この課題を対策するため、図２４８に図示するように、交差部をＩＣチップ１４内に形成している。ＩＣチップ内では、２層のメタル配線を用いるため交差部の形成は、コストアップなしに形成することができる。ソースドライバ１４ａの抵抗Ｒ２１ａは端子ｂ２に接続され、抵抗Ｒ２２ｂは端子ａ２に接続される。したがって、交差部が構成される。ソースドライバ１４ｂも同様である。ソースドライバ１４ｂの抵抗Ｒ１１ａは端子ａ１に接続され、抵抗Ｒ１２ｂは端子ｂ１に接続される。図２４６では交差部は発生しない。ソースドライバ１４ａも同様である。

【０７３７】

以上のように構成すれば、ソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂを接続する接続配線２２９１を図２４６に図示するように、直線的に配線（形成）することができる。

【０７３８】

カスケード接続を行うため、一例としてＩＣ１４の左端の端子（ａ１、ｂ１）は交差部を形成していない。ＩＣ１４の右側の端子（ａ２、ｂ２）には交差部を形成または配置している。つまり、ＩＣ１４の左右端子のうち、一方に交差部を形成し、他方には交差部を形成していない。あるいは、ＩＣ１４の左右の出力配線（出力端子位置）の構成を変化させている。

【０７３９】

なお、以上の実施例では１４ａ、１４ｂはソースドライバＩＣとしたが、これに限定するものではなく、低温ポリシリコン技術などで形成したソースドライバ回路でもよい。また、この技術的思想はゲートドライバ回路（ＩＣ）１２などの他の機能をもつ回路をカスケード接続することに対しても適用できることは言うまでもない。

【０７４０】

先の実施例では、トランジスタ４７３ｂ１とトランジスタ４７３ｂ２に流す電流は同一としたが、図２１１では説明を容易にするため、トランジスタ４７３ｂ１には基準電流Ｉｃ１を流し、トランジスタ４７３ｂ２には基準電流Ｉｃ２を流すとして説明をする。

【０７４１】

図２１０の構成では、ソースドライバＩＣ１４ａの単位トランジスタ群５２１ｃｎはトランジスタ４７３ｂ２から近いため、精度のよいカレントミラー回路が構成されている。また、ソースドライバＩＣ１４ｂの単位トランジスタ群５２１ｃ１はトランジスタ４７３ｂ１から近いため、精度のよいカレントミラー回路が構成されている。したがって、ソースドライバＩＣ１４ａの基準電流Ｉｃ２とソースドライバＩＣ１４ｂの基準電流Ｉｃ１を調整すれば、ソースドライバＩＣ１４ａの単位トランジスタ群５２１ｃｎの出力電流と、ソースドライバＩＣ１４ｂの単位トランジスタ群５２１ｃ１の出力電流とを調整することができる。

【０７４２】

したがって、図２０９のようにソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂ

の出力電流に傾きがある場合でも、ソースドライバＩＣ１４ａの基準電流Ｉｃ２または（および）ソースドライバＩＣ１４ｂの基準電流Ｉｃ１を調整することにより、図２１２に示すように出力電流が画面５０ａと５０ｂで連続するように調整することができる。もちろん、基準電流Ｉｃ１と基準電流Ｉｃ２とを同一にすることにより、画面５０ａと画面５０ｂの境目が発生しないようにできることは言うまでもない。

【０７４３】

つまり、本発明において、トランジスタ４７３ｂ１の基準電流Ｉｃ１とトランジスタ４７３ｂ２の基準電流Ｉｃ２を調整できるように構成することにより、より画面５０ａと画面５０ｂの境目が発生しないようにすることができる。

【０７４４】

なお、以上の説明では、トランジスタ４７３ｂは１個のように説明した。しかし、トランジスタ４７３ｂは複数個で形成し、トランジスタ群５２１ｂとすることが好ましい。トランジスタ５２１ｂは複数個のトランジスタ４７３ｂで構成される。また、トランジスタ群５２１ｂのトランジスタ４７３ｂのトランジスタサイズ、形状は、単位トランジスタ４８４と同一形状、同一サイズとすることが好ましい。また、トランジスタ群５２１ｂのトランジスタ４７３ｂの個数は、トランジスタ５２１ｃの単位トランジスタ４８４の個数と同一にすることが好ましい。さらにトランジスタ群５２１ｂを複数ブロック形成することが好ましい。

【０７４５】

または、トランジスタ群５２１ｂのトランジスタ４７３ｂのトランジスタの総面積は、単位トランジスタ群５２１ｃを構成する単位トランジスタ４８４の総面積と略一致させることが好ましい。さらにトランジスタ群５２１ｂを複数ブロック形成することが好ましい。

【０７４６】

また、以上に説明ではソースドライバＩＣを実施例として説明をしている。しかし、本発明はこれに限定するものではなく、低温ポリシリコン技術で形成したソースドライバ回路などにも適用できることは言うまでもない。以上の事項は、以降の実施例に対しても同様であることはいうまでもない。

【０７４７】

なお、図２１１では、基準電流を流すトランジスタ４７３ｂは、ＩＣチップの外側に配置している。しかし、本発明はこれに限定するものではない。たとえば、図２４７に図示するようにゲート配線５８１の中央部などにトランジスタ４７３ｂ３を形成または配置してもよい。ゲート配線５８１の安定度が増加し、横クロストークなどの発生がない。したがって、ゲート配線５８１には複数の基準電流を流すトランジスタ４７３ｂを形成することも好ましい。また、ゲート配線５８１は低抵抗化することにより安定度が向上することは言うまでもない。

【０７４８】

また、図６２で説明したように、コンデンサ６２１をゲート配線５８１に接続することにより、ゲート配線５８１の電位が安定する。コンデンサ６２１はＩＣチップ１４の端子に外付け接続すればよい。また、ドライバ回路１４が低温ポリシリコン技術などで基板７１に直接に形成されたものであっても、コンデンサ６２１を形成することのよりゲート配線５８１の安定性がよくなることは言うまでもない。

【０７４９】

図２１５はトランジスタ群５２１ｂのトランジスタ４８３ｂの配置構成である。１つのトランジスタ群５２１ｂに単位トランジスタ群５２１ｃの単位トランジスタ４８４と同一数の６３個のトランジスタ４７３ｂが形成されている。もちろん、１つのトランジスタ群５２１ｂ内のトランジスタ４７３ｂの個数は６３個に限定するものではない。単位トランジスタ群５２１ｃの単位トランジスタ４８４数が階調数－１で構成される場合は、トランジスタ群５２１ｂ内のトランジスタ４７３ｂの個数も階調数－１あるいはこれと同様もしくは類似個数が形成される。また、図２１５の構成に限定されるものではなく、図２１６

のようにマトリックス状に形成または配置してもよい。

【０７５０】

以上の構成を図２１３に模式図的にしめす。単位トランジスタ群５２１ｃが出力端子数分、並列に配置される。単位トランジスタ群５２１ｃの両脇にトランジスタ群５２１ｂが複数ブロック形成されている。トランジスタ群５２１ｂのトランジスタ４７３ｂのゲート端子と、単位トランジスタ群５２１ｃの単位トランジスタ４８４のゲート端子とはゲート配線５８１で接続される。

【０７５１】

なお、以上の説明は、説明を容易にするため、単色のソースドライバＩＣ１４のように説明したが、本来は、図２１４のように構成される。つまり、トランジスタ群５２１ｂおよび単位トランジスタ群５２１ｃは赤（Ｒ）、緑（Ｇ）、青（Ｂ）のトランジスタ群が交互に配置される（図２１４において、添え字Ｒが付加されたトランジスタ群は赤（Ｒ）用を示しており、添え字Ｇが付加されたトランジスタ群は緑（Ｇ）用を示しており、添え字Ｂが付加されたトランジスタ群は青（Ｂ）用を示している）。以上のように、ＲＧＢ用のトランジスタ群を交互に配置することによりＲＧＢ間の出力バラツキが低減する。この構成もソースドライバＩＣ１４内のレイアウトとして重要な要件である。

【０７５２】

なお、図２２８において、基準電流Ｉｃはオペアンプ５５２などにより発生させるとしたが、これに限定するものではない。ボリウムに置き換えて、このボリウムにより基準電流Ｉｃを調整するように構成してもよい。また、トランジスタ４７３ｂは図６２と同様に、複数のトランジスタで形成し、トランジスタ群５２１ｂ１、トランジスタ５２１ｂ２としてもよい。また、固定抵抗でもよい。

【０７５３】

図２２８などでは、ゲート配線５８１を比較的高抵抗値となるように構成（形成）することにより、複数のソースドライバＩＣ１４をカスケード接続する構成である。しかし、２個のソースドライバＩＣをカスケード接続する場合は、ゲート配線５８１は低抵抗値に形成してもよい。この構成を図２４８に示している。

【０７５４】

図２４８において、ソースドライバＩＣ１４ａは基準電流を流すトランジスタ４７３ｂ２が右端に構成されており、左端はオープン状態となっている（図２０８なども参照のこと）。したがって、基準電流Ｉｃ２はトランジスタ４７３ｂ２に流れる（ゲート配線５８１ａには単位トランジスタ４８４のゲート端子に流れ込む電流のみが流れる）。なお、基準電流Ｉｃ１とＩｃ２は等しいとして説明をする。出力端子６８１ａ１はカレントミラー回路を構成するトランジスタ４７３ｂ２とカレントミラー精度がよい電流が出力される。

【０７５５】

ソースドライバＩＣ１４ｂは基準電流を流すトランジスタ４７３ｂ１が左端に構成されており、右端はオープン状態となっている。したがって、基準電流Ｉｃ１はトランジスタ４７３ｂ１に流れる（ゲート配線５８１ｂには単位トランジスタ４８４のゲート端子に流れ込む電流のみが流れる）。出力端子６８１ａ２はカレントミラー回路を構成するトランジスタ４７３ｂ１とカレントミラー精度がよい電流が出力される。したがって、基準電流Ｉｃ１とＩｃ２が等しいとすると、ソースドライバＩＣ１４ａの出力端子６８１ａ１から出力される階調電流と、ソースドライバＩＣ１４ｂの出力端子６８１ａ２から出力される階調電流とは同一となる。以上の理由により２つのソースドライバＩＣ１４ａとソースドライバＩＣ１４ｂとをカスケード接続される。

【０７５６】

図２４８ではソースドライバＩＣ１４ａの右端の端子６８１ａ３から出力される階調電流と、ソースドライバＩＣ１４ａの左端の端子６８１ａ１から出力される階調電流とは一致するとはかぎらない。ＩＣチップ１４ａ内の単位トランジスタ４８４の特性のより変化するからである。また、ソースドライバＩＣ１４ｂの右端の端子６８１ａ２から出力される階調電流と、ソースドライバＩＣ１４ｂの左端の端子６８１ａ３から出力される階調電

流とは一致するとはかぎらない。ＩＣチップ１４ｂ内の単位トランジスタ４８４の特性のより変化するからである。しかし、カスケードするソースドライバＩＣ１４は２チップであるから、ソースドライバＩＣ１４ａの出力端子６８１ａ１からの階調電流と、ソースドライバＩＣ１４ｂの出力端子６８１ａ２からの階調電流とが一致していれば問題はない。したがって、ゲート配線５８１は低抵抗の配線で形成してもよい。

【０７５７】

図２２８、図２１１、図２１３などは、ゲート配線５８１の両端に基準電流を流すトランジスタ４７３ｂ３を配置または形成する構成である。この構成で、図２４８の構成を実現するためには、ＩＣチップ１４ａのゲート配線５８１の両端に位置するトランジスタ４７３ｂの一方をオープン状態（トランジスタ４７３ｂに電流が流れない状態）にする必要がある。つまり、図２４９のように構成する必要がある。図２４９において、ソースドライブＩＣ１４ａのトランジスタ４７３ｂ１はゲート端子以外がオープンにされている。したがって、ゲート配線５８１ａからトランジスタ４７３ｂ１に流れ込む電流はない。また、ソースドライブＩＣ１４ｂのトランジスタ４７３ｂ２はゲート端子以外がオープンにされている。したがって、ゲート配線５８１ｂからトランジスタ４７３ｂ２に流れ込む電流はない。

【０７５８】

図２２８、図２１１、図２１３などの構成において、図２４８、図２４９の構成を実現するためには、図２４５のように構成すればよい。以下、図２４５の構成について説明をする。

【０７５９】

図２４５において、特徴ある点は、基準電流を流すトランジスタ４７３ｂのベース端子（ドレイン端子）が端子ｃに接続されている点である。したがって、端子ｃをオープンにするか、グランドに接続するかで基準電流を遮断することができる。

【０７６０】

また、トランジスタ４７３ａからの基準電流がゲート配線５８１あるいはトランジスタ４７３ｂに流れ込むことを防止するため、切断点２４５１を形成（構成）している点である。切断点２４５１はレーザー光を照射し、切断する例が例示される。

【０７６１】

図２４５において、ソースドライバＩＣ１４ａのトランジスタ４７１ｂ１のベース端子（ドレイン端子）が端子ｃ１に接続され、トランジスタ４７１ｂ２のベース端子（ドレイン端子）が端子ｃ２に接続されている。端子ｃ１はオープンであり、切断点２４５１ａが切断されているため、トランジスタ４７１ｂ１には電流が流れないように構成されている。したがって、ゲート配線５８１ａの左端はオープン状態となり、図２５９のソースドライバＩＣ１４ａの状態と一致する。

【０７６２】

一方、ソースドライバＩＣ１４ｂのトランジスタ４７１ｂ１のベース端子（ドレイン端子）が端子ｃ１に接続され、トランジスタ４７１ｂ２のベース端子（ドレイン端子）が端子ｃ２に接続されている。端子ｃ２はオープンであり、切断点２４５１ｂが切断されているため、トランジスタ４７１ｂ２には電流が流れないように構成されている。したがって、ゲート配線５８１ｂの右端はオープン状態となり、図２５９のソースドライバＩＣ１４ｂの状態と一致する。

【０７６３】

以上のように、端子ｃの電位状態を、ＩＣチップの電位設定状態により変更することができる。この変更とは、端子ｃをはんだづけによりグランド電位に設置すること、開放状態にすることである。もちろん、切断点２４５１と同様に端子ｃを切断してもよい。また、切断点２４５１はアナログスイッチなどを形成し、電気的にアナログスイッチをオンオフできるように構成してもよい。

【０７６４】

図２２８、図２１１、図２１３は、ゲート配線５８１の両端にトランジスタ４７３ｂを

形成または配置し、両端に配置されたトランジスタ４７３ｂの基準電流を一致させることにより、カスケード接続を行うものであった。

【０７６５】

図２５０は図２２８などの変形例である。ゲート配線５８１に電流が流れるとトランジスタ４７３ｂに流れる電流が正規の値から変化し、階調出力電流に誤差が発生する。ゲート配線５８１に電流が流れるのは、ＩＣチップの左右で特性差が発生（特にＶｔ）し、トランジスタ４７３ｂ１とトランジスタ４７３ｂ２のゲート端子電圧が異なるからである。

【０７６６】

ゲート端子電圧が異なることによる影響を抑制するために、本発明では、図２５０に図示するように、トランジスタ４７３ｂ１に基準電流Ｉｃ１を流す状態（図２５０（ａ）を参照のこと。トランジスタ４７３ｂ２には電流を流さない）と、トランジスタ４７３ｂ２に基準電流Ｉｃ２を流す状態（図２５０（ｂ）を参照のこと。トランジスタ４７３ｂ１には電流を流さない）を交互に行う。

【０７６７】

なお、図２４５、図２４９に図示するように、図２５０（ａ）では、トランジスタ４７３ｂ２のドレイン端子もオープンにすることが好ましい。また、図２５０（ｂ）では、トランジスタ４７３ｂ１のドレイン端子もオープンにすることが好ましい。

【０７６８】

１水平走査期間に図２５０（ａ）の状態と図２５０（ｂ）の状態とを行う。図２５０（ａ）の状態と図２５０（ｂ）の状態とは同一期間となるようにする。

【０７６９】

図２５０（ａ）では、スイッチ１６１１ａと１６１１ｃをクローズさせ、基準電流Ｉｃ１をトランジスタ４７３ｂ１に流す。この時、スイッチ１６１１ｂと１６１１ｄはオープン状態にする。したがって、トランジスタ４７３ｂ２には電流が流れない。以上の状態により、トランジスタ群５２１ｃはトランジスタ４７３ｂ１とカレントミラー回路を構成し、駆動される。

【０７７０】

次の１／２Ｈ（水平走査期間の半分）期間（図２５０（ｂ））では、スイッチ１６１１ｂと１６１１ｄをクローズさせ、基準電流Ｉｃ２をトランジスタ４７３ｂ２に流す。この時、スイッチ１６１１ａと１６１１ｃはオープン状態にする。したがって、トランジスタ４７３ｂ１には電流が流れない。以上の状態により、トランジスタ群５２１ｃはトランジスタ４７３ｂ２とカレントミラー回路を構成し、駆動される。

【０７７１】

図２５０（ａ）と図２５０（ｂ）とを交互に繰り返すことにより、トランジスタ群５２１ｃとトランジスタ４７３ｂ１とカレントミラー回路を作る期間と、トランジスタ群５２１ｃとトランジスタ４７３ｂ２とカレントミラー回路を作る期間とが交互に繰り返される。したがって、ＩＣチップ１４の左右に特性ムラが発生していても抑制することができる。

【０７７２】

なお、以上の実施例では１水平走査期間に図２５０（ａ）と図２５０（ｂ）の状態とを行うとしたがこれに限定するものではなく、１水平走査期間以上あるいは以下であっても良い。

【０７７３】

トランジスタ群５２１ｃ内の単位トランジスタ４８４の配置においても考慮を有する。なお、以下の単位トランジスタ４８４などの配置、構成に関する事項は、トランジスタ群５２１ａのトランジスタ４７３ａ、トランジスタ群５２１ｂのトランジスタ４７３ｂに対しても適用される。

【０７７４】

単位トランジスタ群５２１ｃは規則正しく配置または形成することが必要である。また、単位トランジスタ群５２１ｃ内の単位トランジスタ４８４も規則正しく形成または配置

する必要がある。たとえば、単位トランジスタ４８４に抜けがあると、その周辺の単位トランジスタ４８４の特性が他の単位トランジスタ４８４の特性と異なってしまう。また、トランジスタのゲート線にレイアウトも規則ただしく形成または配置する必要がある。

【０７７５】

図２１７は出力段の単位トランジスタ群５２１ｃでの単位トランジスタ４８４の配置を模式的に図示している。６４階調を表現する６３個の単位トランジスタ４８４はマトリックス状に規則正しく配置されている。しかし、６４個の単位トランジスタ４８４であれば、４列×１６行に配置することができるが、単位トランジスタ４８４は６３個であるので、１箇所形成しない箇所が発生する（斜線部）。すると、斜線部の周辺の単位トランジスタ４８４ａ、４８４ｂ、４８４ｃの特性が他の単位トランジスタ４８４と異なって作製されてしまう。

【０７７６】

この課題を解決するために、本発明は、斜線部にダミートランジスタ１３４１を形成または配置する。すると、単位トランジスタ４８４ａ、単位トランジスタ４８４ｂ、単位トランジスタ４８４ｃの特性が他の単位トランジスタ４８４と一致するようになる。つまり、本発明は、ダミートランジスタ１３４１を形成することにより、単位トランジスタ４８４をマトリックス状に構成するものである。また、単位トランジスタ４８４をマトリックス状にかけがないように配置するものである。または、単位トランジスタ４８４は線対称性を有するように配置するものである。

【０７７７】

６４階調を表現するためには、６３個の単位トランジスタ４８４をトランジスタ群５２１ｃに配置するとしたが、本発明はこれに限定されるものではない。単位トランジスタ４８４は、さらに複数のサブトランジスタで構成してもよい。

【０７７８】

図１３５（ａ）は、単位トランジスタ４８４である。図１３５（ｂ）は４つのサブトランジスタ１２１８１で、単位トランジスタ４８４を構成している。複数のサブトランジスタ２１８１を加算した出力電流は、単位トランジスタ４８４と同一となるようにする。つまり、単位トランジスタ４８４を４つのサブトランジスタ２１８１で構成している。

【０７７９】

なお、本発明は単位トランジスタ４８４を４つのサブトランジスタ２１８１で構成することに限定するものではなく、単位トランジスタ４８４を複数のサブトランジスタ２１８１で構成すればいずれの構成でもよい。ただし、サブトランジスタ２１８１は同一のサイズまたは同一の出力電流を出力するように構成する。

【０７８０】

図１３５において、Ｓはトランジスタのソース端子、Ｇはトランジスタのゲート端子、Ｄはトランジスタのドレイン端子を示している。図１３５（ｂ）において、サブトランジスタ２１８１は同一方向に配置している。図１３５（ｃ）はサブトランジスタ２１８１が行方向に異なる方向に配置している。また、図１３５（ｄ）はサブトランジスタ２１８１が列方向に異なる方向に配置し、かつ点対称となるように配置している。図１３５（ｂ）、図１３５（ｃ）、図１３５（ｄ）はいずれも規則性がある。

【０７８１】

図１３５（ａ）（ｂ）（ｃ）（ｄ）はレイアウトであるが、サブトランジスタ２１８１は図１３５（ｅ）に図示するように直列に接続して単位トランジスタ４８４としてもよい。また、図１３５（ｆ）に図示するように並列に接続して単位トランジスタ４８４としてもよい。

【０７８２】

単位トランジスタ４８４あるいはサブトランジスタ２１８１の形成方向を変化させると特性は異なることが多い。たとえば、図１３５（ｃ）において、単位トランジスタ４８４ａとサブトランジスタ２１８１ｂとは、ゲート端子に印加された電圧が同一でも、出力電流は異なる。しかし、図１３５（ｃ）では、異なる特性のサブトランジスタ２１８１が同

数ずつ形成されている。したがって、トランジスタ（単位）としてはバラツキが少なくなる。また、形成方向が異なる単位トランジスタ４８４あるいはサブトランジスタ２１８１の方向を変化させることにより、特性差が補間しあって、トランジスタ（１単位）のバラツキは低減するという効果を発揮する。以上の事項は、図１３５（ｄ）の配置にも該当することは言うまでもない。

【０７８３】

したがって、図１３６などに図示するように、単位トランジスタ４８４の方向を変化させ、トランジスタ群５２１ｃとして縦方向に形成した単位トランジスタ４８４の特性と横方向に形成した単位トランジスタ４８４の特性とを補間しあうことにより、トランジスタ群５２１ｃとしてばらつきを少なくすることができる。

【０７８４】

図１３６はトランジスタ群５２１ｃ内で列ごとに単位トランジスタ４８４の形成方向を変化させた実施例である。図１３７はトランジスタ群５２１ｃ内で行ごとに単位トランジスタ４８４の形成方向を変化させた実施例である。図１３８はトランジスタ群５２１ｃ内で行および列ごとに単位トランジスタ４８４の形成方向を変化させた実施例である。なお、ダミートランジスタ１３４１を形成または配置する場合もこの構成要件にしたがって構成する。

【０７８５】

以上の実施例は、同一のサイズまたは同一の電流出力の単位トランジスタをトランジスタ群５２１ｃ内に構成あるいは形成する構成であった（図１３９（ｂ）を参照のこと）。しかし、本発明はこれに限定するものではない。図１３９（ａ）に図示するように、０ビット目（スイッチ６４１ａ）は、１単位の単位トランジスタ４８４ａを接続する（形成する）。１ビット目（スイッチ６４１ｂ）は、２単位の単位トランジスタ４８４ｂを接続する（形成する）。２ビット目（スイッチ６４１ｃ）は、４単位の単位トランジスタ４８４ｃを接続する（形成する）。３ビット目（スイッチ６４１ｄ）は、８単位の単位トランジスタ４８４ｄを接続する（形成する）。４ビット目（図示せず）は、１６単位の単位トランジスタ４８４ａを接続する（形成する）。５ビット目（図示せず）は、３２単位の単位トランジスタ４８４ａを接続する（形成する）としてもよい。なお、たとえば、１６単位の単位トランジスタとは、単位トランジスタ４８４の１６個分の電流を出力するトランジスタである。

【０７８６】

＊単位（＊は整数）の単位トランジスタはチャンネル幅Ｗを比例的に変化させる（チャンネル長Ｌを一定にする）ことにより容易に形成することができる。しかし、現実には、チャンネル幅Ｗを２倍にしても出力電流は２倍にならないことが多い。これは実際にトランジスタを作製して実験によりチャンネル幅Ｗを決定する。しかし、本発明において、チャンネル幅Ｗが比例条件からずれていても、比例しているとして表現する。

【０７８７】

図１６７、図１６８、図１６９では、トランジスタ４７２ｂの電流は抵抗Ｒ１で規定するとしたがこれに限定するものではなく、図１７０に図示するように、電子ボリウム４５１ａ、４５１ｂとしてもよい。図１７０の構成では電子ボリウム４５１ａと電子ボリウム４５１ｂを独立に動作させることができる。したがって、トランジスタ４７２ａ１とトランジスタ４７２ａ２とが流す電流の値を変更することができる。したがって、チップの左右の出力段５２１ｃの出力電流傾きを調整可能である。なお、電子ボリウム４５１は図１７１に図示するように１つにし、２つのオペアンプ７２２を制御するように構成してもよい。また、図６３でスリープスイッチ６３１について説明した。同様に、図１７２のようにスリープスイッチを配置あるいは形成しても良いことは言うまでもない。

【０７８８】

図１６６から図１７２のカレントミラーの１段構成では単位トランジスタ４８４の個数が非常に多いため、ソースドライバＩＣ（回路）１４のドライバ回路出力段について説明を加えておく。なお、説明を容易にするため、図１６８、図１６９を例示して説明をする

。しかし、説明はトランジスタ４７３ｂの個数とその総面積、単位トランジスタ４８４の個数と総面積に関わる事項であるので他の実施例にも適用できることは言うまでもない。

【０７８９】

図１６８、図１６９において、トランジスタ群５２１ｂのトランジスタ４７３ｂの総面積（トランジスタ群５２１ｂ内のトランジスタ４７３ｂのＷＬサイズ×トランジスタ４７３ｂ数）をＳｂとする。なお、図１６８、図１６９のようにゲート配線５８１の左右にトランジスタ群５２１ｂがある場合は面積を２倍にする。図１６７のように２つの場合はトランジスタ４７３ｂの面積×２である。なお、トランジスタ群５２１ｂが１個のトランジスタ４７３ｂで構成される場合は、１個のトランジスタ４７３ｂのサイズであることは言うまでもない。

【０７９０】

また、トランジスタ群５２１ｃの単位トランジスタ４８４の総面積（トランジスタ群５２１ｃ内のトランジスタ４８４のＷＬサイズ×トランジスタ４８４数）をＳｃとする。トランジスタ群５２１ｃの個数をｎとする。ｎはＱＣＩＦ＋パネルの場合は１７６である（ＲＧＢごとに基準電流回路が形成されている場合）。

【０７９１】

図１６５の横軸は、Ｓｃ×ｎ／Ｓｂである。縦軸は変動比率であり、変動比率は最も悪い状況を１としている。図１６５に図示するようにＳｃ×ｎ／Ｓｂが大きくなるにしたがって、変動比率は悪くなる。Ｓｃ×ｎ／Ｓｂが大きくなることは、出力端子数ｎを一定とすると、トランジスタ群５２１ｃの単位トランジスタ４８４総面積が、トランジスタ群５２１ｂのトランジスタ４７３ｂ総面積に対して広いことを示す。この場合は変動比率が悪くなる。

【０７９２】

Ｓｃ×ｎ／Ｓｂが小さくなることは、出力端子数ｎを一定とすると、トランジスタ群５２１ｃの単位トランジスタ４８４総面積が、トランジスタ群５２１ｂのトランジスタ４７３ｂ総面積に対して狭いことを示す。この場合は変動比率が小さくなる。

【０７９３】

変動許容範囲は、Ｓｃ×ｎ／Ｓｂが５０以下である。Ｓｃ×ｎ／Ｓｂが５０以下であれば、変動比率は許容範囲内であり、ゲート配線５８１の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。Ｓｃ×ｎ／Ｓｂが５０以下であれば許容範囲であるが、Ｓｃ×ｎ／Ｓｂを５以下としてもほとんど効果がない。逆に、Ｓｂが大きくなりＩＣ１４のチップ面積が増加する。したがって、Ｓｃ×ｎ／Ｓｂは５以上５０以下にすることが好ましい。

【０７９４】

図１８５はＩＣ耐圧を単位トランジスタの出力バラツキの関係を図示してものである。縦軸のバラツキ比率とは、１．８（Ｖ）耐圧プロセスで作製して単位トランジスタ４８４のバラツキを１としている。なお、図１８５は単位トランジスタ４８４の形状Ｌ／Ｗを１２（μｍ）／６（μｍ）とし、各耐圧プロセスで製造した単位トランジスタ４８４の出力バラツキを示している。また、各ＩＣ耐圧プロセスで複数の単位トランジスタを形成し、出力電流バラツキを求めている。ただし、耐圧プロセスは、１．８（Ｖ）耐圧、２．５（Ｖ）耐圧、３．３（Ｖ）耐圧、５（Ｖ）耐圧、８（Ｖ）耐圧、１０（Ｖ）耐圧、１５（Ｖ）耐圧などとびとびである。しかし、説明を容易にするため、各耐圧で形成したトランジスタのバラツキをグラフに記入し、直線で結んでいる。

【０７９５】

耐圧と出力バラツキに相関があるのは、トランジスタのゲート絶縁膜と関係しているためと推定される。耐圧が高い場合は、ゲート絶縁膜が厚い。ゲート絶縁膜が厚いとモビリティも低くなり、膜厚に対するバラツキも大きくなる。

【０７９６】

図１８５からＩＣ耐圧が１３（Ｖ）程度までは、ＩＣプロセスに対するバラツキ比率（単位トランジスタ４８４の出力電流バラツキ）の増加割合は小さい。しかし、ＩＣ耐圧が

１５（Ｖ）以上になるとＩＣ耐圧に対するバラツキ比率の傾きが大きくなる。

【０７９７】

図１８５におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の面積、Ｌ／Ｗにより異なる。しかし、単位トランジスタ４８４の形状などを変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。ＩＣ耐圧１３～１５（Ｖ）以上でバラツキ比率が大きくなる傾向がある。

【０７９８】

一方、ソースドライバＩＣ（回路）１４の出力端子６８１の電位は、画素１６の駆動用トランジスタ１１ａのプログラム電流により変化する。画素１６の駆動用トランジスタ１１ａが白ラスター（最大白表示）の電流を流す時のゲート端子電位Ｖｗとする。画素１６の駆動用トランジスタ１１ａが黒ラスター（完全黒表示）の電流を流す時のゲート端子電位Ｖｂとする。Ｖｗ－Ｖｂの絶対値は２（Ｖ）以上必要である。また、Ｖｗ電圧が出力端子６８１に印加されている時、単位トランジスタ４８４のチャンネル間電圧は、０．５（Ｖ）必要である。

【０７９９】

したがって、出力端子６８１（端子６８１はソース信号線１８と接続され、電流プログラム時、画素１６の駆動用トランジスタ１１ａのゲート端子電圧が印加される）には、０．５（Ｖ）から（（Ｖｗ－Ｖｂ）＋０．５）（Ｖ）の電圧が印加される。Ｖｗ－Ｖｂは２（Ｖ）であるから、端子６８１は最大２（Ｖ）＋０．５（Ｖ）＝２．５（Ｖ）印加される。したがって、ソースドライバＩＣ１４の出力電圧（電流）がｒａｉｌ－ｔｏ－ｒａｉｌ出力であっても、ＩＣ耐圧としては２．５（Ｖ）必要である。出力端子６８１の振幅必要範囲は、２．５（Ｖ）以上必要である。

【０８００】

以上のことから、ソースドライバＩＣ１４の耐圧は、２．５（Ｖ）以上１５（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、ソースドライバＩＣ１４の耐圧は、３（Ｖ）以上１２（Ｖ）以下のプロセスを使用することが好ましい。さらに好ましくは、駆動用トランジスタ１１ａの振幅値を比較的大きくし、プログラム電流に対するトランジスタ１１ａのゲート端子電圧変化を大きくし、プログラム精度を向上させるという観点から、最低耐圧は４．５（Ｖ）以上にすることが好ましい。ＩＣ耐圧とは、使用できる電源電圧の最大値と同等である。なお、使用できる電源電圧とは、常時使用できる電圧であり、瞬時耐圧ではない。

【０８０１】

なお、以上の説明は、ソースドライバＩＣ１２の使用耐圧プロセスは、２．５（Ｖ）以上１３（Ｖ）以下のプロセスを使用するとした。しかし、この耐圧は、アレイ基板７１に直接にソースドライバ回路１４が形成された実施例（低温ポリシリコンプロセスなど）にも適用される。アレイ基板７１に形成されたソースドライバ回路１４の使用耐圧は１５（Ｖ）以上と高い場合がある。この場合は、ソースドライバ回路１４に使用する電源電圧を図１８５に図示するＩＣ耐圧に置き換えてもよい。また、ソースドライバＩＣ１４にあっても、ＩＣ耐圧とせず、使用する電源電圧に置き換えても良い。

【０８０２】

単位トランジスタ４８４に一定のトランジスタサイズが必要な理由は、ウエハ３４４１にモビリティの特性分布があるからである。図３４４はウエハ３４４１の特性分布の状態を概念的に図示している。一般的にウエハの特性分布３４４２は帯状（すじ状）になっている。帯状の部分の特性が近似している。

【０８０３】

したがって、図３４５（ａ）のようにソースドライバＩＣチップ１４をレイアウトするよりも図３４５（ｂ）の特性分布３４４２の方向にレイアウトする。つまり、ウエハ３４４１の特性分布３４４２の方向にＩＣチップの長手方向が一致するようにレチクルをレイアウトする。

【０８０４】
図３４４のような特性分布３４４２が発生している場合（一般的に発生していると推定される）は、図３５０（ａ）に図示するように、トランジスタ群５２１ｃの単位トランジスタ４８４を整然と配置するよりは、図３５０（ｂ）のようにトランジスタ群を構成する単位トランジスタ４８４を分散させて配置する方が端子６８１間の特性ばらつきが少なくなる。なお、図３５０において、同一ハッチングの単位トランジスタ４８４がトランジスタ群５２１ｃを構成するとしている。
【０８０５】
単位トランジスタ４８４の特性バラツキは、トランジスタ群５２１ｃの出力電流によっても異なる。出力電流は、ＥＬ素子１５の効率によって決定される。たとえば、Ｇ色のＥＬ素子の発光効率が高ければＧ色の出力端子６８１から出力されるプログラム電流は小さくなる。逆に、Ｂ色のＥＬ素子の発光効率が低ければＢ色の出力端子６８１から出力されるプログラム電流は大きくなる。
【０８０６】
プログラム電流が小さくなることは、単位トランジスタ４８４が出力する電流が小さくなることを意味する。電流が小さくなれば単位トランジスタ４８４のバラツキも大きくなる。単位トランジスタ４８４のバラツキを小さくするには、トランジスタサイズを大きくすればよい。
【０８０７】
図３５１はその実施例である。図３５１ではＲ画素の出力電流が最も小さいため、Ｒ画素に対応する単位トランジスタ４８４Ｒを最も大きくしている。また、Ｇ画素の出力電流が最も大きいため、単位トランジスタ４８４のサイズは最も小さくしている。中間はＢ画素であり、Ｒ画素とＧ画素に対応する単位トランジスタ４８４の中間の大きさにしている。以上のことからＲＧＢのＥＬ素子の効率に応じて（プログラム電流の大きさに対応して）、単位トランジスタ４８４のサイズを決定し構成することは大きな効果がある。
【０８０８】
単位トランジスタ４８４の面積は出力電流のバラツキと相関がある。図１８６は単位トランジスタ４８４の面積を一定とし、単位トランジスタ４８４のトランジスタ幅Ｗを変化させた時のグラフである。図１８６は単位トランジスタ４８４のチャンネル幅Ｗ＝２（μｍ）のバラツキを１としている。
【０８０９】
図１８６で示すようにバラツキ比率は、単位トランジスタのＷが２（μｍ）から９～１０（μｍ）まで緩やかに増加し、１０（μｍ）以上でバラツキ比率の増加は大きくなる傾向がある。また、チャンネル幅Ｗ＝２（μｍ）以下でバラツキ比率が増加する傾向がある。
【０８１０】
図１８６におけるバラツキ比率は３以内が、６４階調から２５６階調表示でのバラツキ許容範囲である。ただし、このばらつき比率は、単位トランジスタ４８４の面積により異なる。しかし、単位トランジスタ４８４の面積を変化させても、ＩＣ耐圧に対するバラツキ比率の変化傾向はほとんど差がない。
【０８１１】
以上のことから、単位トランジスタ４８４のチャンネル幅Ｗは２（μｍ）以上１０（μｍ）以下とすることが好ましい。さらに好ましくは、単位トランジスタ４８４のチャンネル幅Ｗは２（μｍ）以上９（μｍ）以下とすることが好ましい。また、単位トランジスタ４８４のチャンネル幅Ｗは図１８４のゲート配線５８１のリンキング抑制対策からも上記範囲で形成することが好ましい。
【０８１２】
図１８７は単位トランジスタ４８４のＬ／Ｗと目標値からのずれ（ばらつき）のグラフである。単位トランジスタ４８４のＬ／Ｗ比が２以下では、目標値からのずれが大きい（直線の傾きが大きい）。しかし、Ｌ／Ｗが大きくなるにつれて、目標値のずれが小さくな

る傾向にある。単位トランジスタ４８４のＬ／Ｗが２以上では目標値からのずれの変化は小さくなる。また、目標値からのずれ（ばらつき）はＬ／Ｗ＝２以上で、０．５％以下となる。したがって、トランジスタの精度としてソースドライバ回路１４に採用できる。

【０８１３】

以上のことから、単位トランジスタ４８４のＬ／Ｗは２以上にすることが好ましい。しかし、Ｌ／Ｗが大きいということはＬが長くなることを意味しているからトランジスタサイズが大きくなる。したがって、Ｌ／Ｗは４０以下にすることが好ましい。さらに好ましくは、Ｌ／Ｗは３以上１２以下にすることが好ましい。

【０８１４】

Ｌ／Ｗが比較的大きな値の時に、出力バラツキが小さくなるのは、該当単位トランジスタ４８４のゲート電圧が高くなり、ゲート電圧の変動に対する出力電流変化が小さくなるためと思われる。

【０８１５】

また、Ｌ／Ｗの大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キンクの影響により単位トランジスタ４８４の出力電流がばらついても問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キンクの影響により単位トランジスタ４８４の出力電流が少しでもばらつくと階調数が低減する。

【０８１６】

以上のことを勘案し、本発明のドライバ回路１４は、階調数をＫとし、単位トランジスタ４８４のＬ／Ｗ（Ｌは単位トランジスタ４８４のチャンネル長、Ｗは単位トランジスタのチャンネル幅）とした時、

（√（Ｋ／１６））≦Ｌ／Ｗ　≦かつ　（√（Ｋ／１６））×２０

の関係を満足させるように構成（形成）している。

【０８１７】

図１６９などにおいて、トランジスタ群５２１ａのトランジスタ４７３ａの総面積Ｓａとし、トランジスタ群５２１ｂのトランジスタ４７３ｂの総面積Ｓｂとした時、総面積Ｓａと総面積Ｓｂの関係は、出力バラツキに相関がある。この関係を図１８８に図示している。なお、バラツキ比率などに関しては図１８５を参照のこと。

【０８１８】

バラツキ比率は、総面積Ｓｂ：総面積Ｓａ＝２：１（Ｓａ／Ｓｂ＝１／２）の時を１としている。図１８８でもわかるように、Ｓａ／Ｓｂが小さいと急激にバラツキ比率が悪くなる。特にＳａ／Ｓｂ＝１／２以下で悪くなる傾向がある。Ｓａ／Ｓｂが１／２以上では、出力バラツキが低減する。その低減効果は緩やかである。また、Ｓａ／Ｓｂ＝１／２程度で出力バラツキが許容範囲となる。以上のことから、１／２＜＝Ｓａ／Ｓｂの関係となるように形成することが好ましい。しかし、Ｓａが大きくなるとＩＣチップサイズも大きくなることになる。したがって、上限はＳａ／Ｓｂ＝４とすることが好ましい。つまり、１／２＜＝Ｓａ／Ｓｂ＜＝４の関係を満足するようにする。

【０８１９】

なお、Ａ＞＝Ｂは、ＡはＢ以上という意味である。Ａ＞Ｂは、ＡはＢより大きいという意味である。Ａ＜＝Ｂは、ＡはＢ以下という意味である。Ａ＜Ｂは、ＡはＢより小さいという意味である。

【０８２０】

さらには、総面積Ｓｂと総面積Ｓａは、略等しくなるようにすることが好ましい。さらに１出力の単位トランジスタ４８４の個数と、トランジスタ群５２１ｃのトランジスタ６３３ｂの個数とを同数にすることが好ましい。つまり、６４階調表示であれば、１出力の単位トランジスタ４８４は６３個形成される。したがって、トランジスタ群５２１ｃを構成するトランジスタ６３３ｂは６３個形成される。

【０８２１】

以上のように、６４階調（ＲＧＢ各６ビット）の場合は、６３個の単位トランジスタ４

８４を形成するとした。したがって、２５６階調（ＲＧＢ各８ビット）の場合、２５５個の単位トランジスタ４８４が必要になることになる。

【０８２２】

しかし、電流駆動方式では、電流の加算ができるという特徴ある効果がある。また、単位トランジスタ４８４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／２にすれば、トランジスタ４８４が流す電流がおよそ１／２になるという特徴ある効果がある（特徴ある構成がある）。同様に、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／４にすれば、トランジスタ４８４が流す電流がおよそ１／４になるという特徴ある効果がある。

【０８２３】

図２７４（ｂ）は、各ビットに対して同一のサイズの単位トランジスタ４８４を配置したトランジスタ群５２１ｃの構成である。説明を容易にするため、図２７４（ａ）は６３個の単位トランジスタ４８４が構成され、６ビットのトランジスタ群５２１ｃを構成（形成）しているとする。また、図２７４（ｂ）は８ビットであるとする。

【０８２４】

図２７４（ｂ）では、下位２ビット（Ａで示す）は、単位トランジスタ４８４よりも小さいサイズのトランジスタで構成している。最小ビット目の第０ビット目は、単位トランジスタ４８４のチャンネル幅Ｗの１／４で形成している（単位トランジスタ４８４ｂで示す）。また、第１ビット目は、単位トランジスタ４８４のチャンネル幅Ｗの１／２で形成している（単位トランジスタ４８４ａで示す）。

【０８２５】

なお、図２７４の構成または配置は、図５４、図２１７、図２５７から図２６０などの構成においても適用できることは言うまでもない。

【０８２６】

以上のように、下位２ビットは上位の単位トランジスタ４８４よりも小さいサイズの単位トランジスタで形成している。また、正規の単位トランジスタ４８４の個数は６３個で変化がない。したがって、６ビットから８ビットに変更しても、トランジスタ群５２１ｃは図２７４（ａ）と図２７４（ｂ）で大差はない。

【０８２７】

図２７４（ｂ）に図示するように、６ビットから８ビット仕様に変化させても出力段のトランジスタ群５２１ｃのサイズが大きくならないのは、電流の加算ができるという点、単位トランジスタ４８４において、チャンネル長Ｌを一定にし、チャンネル幅Ｗを１／ｎにすれば、トランジスタ４８４が流す電流がおよそ１／ｎになるという点をうまく利用しているからである。

【０８２８】

また、図２７４（ｂ）に図示するように、単位トランジスタ４８４ａ、４８４ｂのようにトランジスタサイズが小さくなると、出力電流バラツキも大きくなる。しかし、いかにバラツキが大きくとも、単位トランジスタ４８４ａまたは４８４ｂの出力電流は加算される。したがって、図２７４（ａ）の６ビット仕様より、図２７４（ｂ）の８ビット仕様のほうが高階調出力を実現できる。もちろん、単位トランジスタ４８４ａ、４８４ｂの出力バラツキが大きいから、正確な８ビット表示を実現することはできない可能性はある。でも、かならず、図２７４（ａ）よりは高精細表示を実現できる。

【０８２９】

なお、実際にはチャンネル幅Ｗを１／２にしても出力電流は正確には１／２にはならない。多少の補正が必要である。補正は、テストトランジスタを形成し、測定することのより補正係数を容易に把握することができる。

【０８３０】

本発明は、下位のビットを作製（構成）するために、上位のビットの単位トランジスタ４８４に比較して小さい小単位トランジスタを形成または配置するのもである。この小さいという概念は、上位ビットを構成する単位トランジスタ４８４の出力電流よりも小さい

という意味である。したがって、単位トランジスタ４８４に比較してチャンネル幅Ｗが小さいだけでなく、同時にチャンネル長Ｌも小さい場合も含まれる。また、他の形状も含まれる。

【０８３１】

図２７４はトランジスタ群５２１ｃを構成する単位トランジスタ４８４のサイズを複数種類とするものであった。図２７４では２種類としている。２種類とするのは単位トランジスタ４８４のサイズが異なると出力電流の大きさが形状に比例しないため、設計が難しくなるからである。したがって、トランジスタ５２１ｃを構成する単位トランジスタ４８４のサイズは低階調用と高階調用の２種類とすることが好ましい。しかし、本発明はこれに限定するものではない。３種類以上であってもよいことは言うまでもない。

【０８３２】

図１６６でも図示しているように、トランジスタ群５２１ｃを構成する単位トランジスタ４８４のゲート端子は、１つのゲート配線５８１で接続されている。図２０８、図２１４、図２１３、図２１５、図２１６、図２１１などにおいても同様である。ゲート配線５８１に印加された電圧により単位トランジスタ４８４の出力電流が決定される。したがって、トランジスタ群５２１ｃ内の単位トランジスタ４８４の形状が同一であれば、各単位トランジスタ４８４は同一の単位電流を出力する。

【０８３３】

本発明は、トランジスタ群５２１ｃを構成する単位トランジスタ４８４のゲート配線５８１を共通にすることには限定されない。たとえば、図３５２（ａ）のように構成してもよい。図３５２（ａ）において、トランジスタ４７３ｂ１とカレントミラーをなす単位トランジスタ４８４と、トランジスタ４７３ｂ２とカレントミラーをなす単位トランジスタ４８４とが配置されている。

【０８３４】

トランジスタ４７３ｂ１はゲート配線５８１ａで接続されている。トランジスタ４７３ｂ２はゲート配線５８１ｂで接続されている。図３５２（ａ）の一番上の１個の単位トランジスタ４８４はＬＳＢ（０ビット目）であり、２段目の２個の単位トランジスタ４８４は１ビット目、３段目の４個の単位トランジスタ４８４は２ビット目である。また、４段目の組の８個の単位トランジスタ４８４は３ビット目である。

【０８３５】

図３５２（ａ）において、ゲート配線５８１ａとゲート配線５８１ｂの印加電圧を変化させることにより、各単位トランジスタ４８４のサイズ、形状が同一であっても、各単位トランジスタ４８４の出力電流をゲート配線５８１の印加電圧により変化（変更）することができる。

【０８３６】

図３５２（ａ）において、単位トランジスタ４８４のサイズなどを同一にして、ゲート配線５８１ａ、５８１ｂの電圧を異ならせるとしたが、本発明はこれに限定するものではない。単位トランジスタ４８４のサイズなどを異ならせ、印加するゲート配線５８１ａ、５８１ｂの電圧を調整することにより、異なる形状の単位トランジスタ４８４の出力電流を同一となるようにしてもよい。２７４では、低階調のビットを構成する単位トランジスタ４８４サイズは高階調を構成する単位トランジスタ４８４よりも小さくした。単位トランジスタ４８４のサイズが小さくなると、出力バラツキが大きくなる。この課題を解決するため、実際には、低階調の単位トランジスタ４８４はチャンネル長Ｌを高階調よりも大きくし、トランジスタ４８４の面積を小さくならないようにしてバラツキを抑制している。

【０８３７】

図３５４に図示するように低階調領域Ａの範囲の単位トランジスタ４８４のサイズと高階調領域Ｂの範囲の単位トランジスタ４８４のサイズを異ならせると出力ばらつきは２の曲線が組み合わさったものとなる。しかし、実用上は問題ない。逆に、低階調部の単位トランジスタ４８４のサイズを高階調部の単位トランジスタ４８４のサイズよりも大きくす

ることにより、単位トランジスタ４８４あたりの出力バラツキを小さくすることができて好ましい。

【０８３８】

図３５２のように構成すれば、低階調と高階調の単位トランジスタ４８４のサイズに関わらず、ゲート配線５８１への印加電圧調整により、単位トランジスタ４８４の出力電流を同一にすることができる。

【０８３９】

なお、本発明において、ゲート配線５８１は５８１ａと５８１ｂの２種類として説明しているがこれに限定するものではない。３種類以上であってもよい。また、単位トランジスタ４８４の形状なども３種類以上であってもよい。

【０８４０】

図３５２（ｂ）は単位トランジスタ４８４サイズを同一にし、２つのゲート配線５８１で構成した実施例である。図３５２（ｂ）の一番上の２個の単位トランジスタ４８４はＬＳＢ（０ビット目）であり、２段目の４個の単位トランジスタ４８４は１ビット目、３段目の８個の単位トランジスタ４８４の組は２ビット目である。また、ゲート配線５８１ｂに接続された４組目の８個の単位トランジスタ４８４は３ビット目である。

【０８４１】

図３５２（ｂ）においても、ゲート配線５８１ａとゲート配線５８１ｂの印加電圧を変化させることにより、各単位トランジスタ４８４のサイズ、形状が同一であっても、各単位トランジスタ４８４の出力電流をゲート配線５８１の印加電圧により変化（変更）することができる。

【０８４２】

図３５２（ｂ）では低階調部に該当するゲート配線５８１ａに接続された単位トランジスタ４８４ａの１つの出力電流は、高階調部に該当するゲート配線５８１ｂに接続された単位トランジスタ４８４の出力電流の１／２となるように構成している。単位トランジスタ４８４ａと単位トランジスタ４８４とは同一形状としている。

【０８４３】

単位トランジスタ４８４ａの出力電流を単位トランジスタ４８４の１／２とするためにゲート配線５８１ａに印加する電圧をゲート配線５８１ｂよりも低くしている。ゲート配線５８１に印加する電圧を調整することにより単位トランジスタ４８４ａと単位トランジスタ４８４の形状が略同一であっても出力電流を変化あるいは調整することができる。

【０８４４】

なお、図３５２の実施例において、ゲート配線５８１の印加電圧を変化するとして説明をした。ゲート配線５８１の印加電圧はソースドライバＩＣ（回路）１４の外部から印加することもできることは言うまでもない。しかし、一般的には単位トランジスタ４８４とカレントミラー対をなすトランジスタ４７３ｂ（トランジスタ群５２１ｂ）の構成あるいはサイズを変化あるいは設計もしくは構成を行うことによりゲート配線５８１の電圧を調整もしくは変更することができる。また、単位トランジスタ４８４とカレントミラー対をなすトランジスタ４７３ｂ（トランジスタ群５２１ｂ）に流す電流Ｉｃを変更あるいは調整できることは言うまでもない。

【０８４５】

図２７４、図３５２から図３５４の構成をより具体的に図示すれば、図３９９、図４００のように構成される。

【０８４６】

図３９９は、高階調側の単位トランジスタ４８４ａ（Ｄ２、Ｄ３、Ｄ４・・・・・）は２の乗数個を配置している。一方、低階調側の単位トランジスタ４８４ｂ（Ｄ１、Ｄ２）も２の乗数個を配置している。単位トランジスタ４８４ａと単位トランジスタ４８４ｂの単位出力電流は異ならせている（４８４ｂの単位電流のほうが、４８４ａよりも小さい。たとえば、単位トランジスタのＷを低階調側のほうを狭くしている）。低階調側も高階調側の単位トランジスタ４８４も共通のゲート配線４８３で接続されており、カレントミ

ラー回路を構成するトランジスタ４７３ｂに流れる基準電流Ｉｃで制御される。

【０８４７】

図４００は、高階調側の単位トランジスタ４８４ａ（Ｄ２、Ｄ３、Ｄ４・・・・・・）は２の乗数個を配置している。一方、低階調側の単位トランジスタ４８４ｂ（Ｄ１、Ｄ２）も２の乗数個を配置している。高階調側の単位トランジスタ４８４ａはトランジスタ４７３ｂｈとカレントミラー回路を構成している。また、トランジスタ４７３ｂｈに流れる基準電流はＩｃｈである。一方、低階調側の単位トランジスタ４８４ｂはトランジスタ４７３ｂｌとカレントミラー回路を構成している。また、トランジスタ４７３ｂｌに流れる基準電流はＩｃｌである。

【０８４８】

以上に構成することにより、単位トランジスタ４８４ａと単位トランジスタ４８４ｂの単位出力電流は異ならせている（４８４ｂの単位電流のほうが、４８４ａよりも小さい）。低階調側と高階調側の単位トランジスタ４８４は異なるゲート配線４８３で接続されている。

【０８４９】

以上のように、本発明では多数の変形実施例がある。たとえば、図３９９と図４００との組合せも例示される。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【０８５０】

以上の実施例は、トランジスタ群５２１ｃの単位トランジスタ４８４の形状などの説明であった。同様に、トランジスタ群５２１ｂなどを構成するトランジスタ４７３ｂなどについても適用することができる。図３５３はその実施例である。トランジスタ５２１ｂは２種類のトランジスタ４７３ｂとトランジスタ４７３ｂｎで構成されている。トランジスタ４７３ｂｎはトランジスタ４７３ｂよりも大きくしている。

【０８５１】

好ましくは、トランジスタ群５２１ａ、トランジスタ群５２１ｂ、単位トランジスタ群５２１ｃ、単位トランジスタ４８４は、ＷＬ面積が４倍以内のトランジスタで構成することが好ましい。さらに好ましくはＷＬ面積が２倍以内のトランジスタで構成することが好ましい。さらには、すべて同一サイズのトランジスタで構成することが好ましい。つまり、略同一形状のトランジスタでカレントミラー回路、出力電流回路７０４を構成することが好ましい。

【０８５２】

総面積Ｓａは総面積Ｓｂよりも大きくなるようにする。好ましくは、２００Ｓｂ＞＝Ｓａ＞＝４Ｓｂの関係を満足するように構成する。また、すべてのトランジスタ群５２１ｂを構成するトランジスタ６３３ａの総面積とＳａが略等しくなるように構成する。

【０８５３】

図１９０などの回路構成ではホワイトバランス調整も容易である。まず、ＲＧＢの電子ボリウム４５１が同一の設定値で、外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスを調整する。電流ドライバＩＣ（回路）１４では、どこかの電子ボリウムの設定値でホワイトバランスをとれば電子ボリウム４５１の値を同一にすればホワイトバランスを維持したまま、画面５０の輝度調整を行えるという特徴がある。

【０８５４】

図１９０は、トランジスタ群５２１ｃの両側から給電する構成であるが、上記事項はこれに限定するものではない。図３３７に図示するように、片側給電構成でも同様である。まず、ＲＧＢの電子ボリウム４５１が同一の設定値で、外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスをとる。一般的にＲ回路のＩｃｒ、Ｇ回路のＩｃｇ、Ｂ回路のＩｃｂを各ＲＧＢのＥＬ素子の発光効率を考慮して所定の比率とすることによりホワイトバランスをとる。電流ドライバＩＣ（回路）１４では、どこかの電子ボリウムの設定値でホワイトバランスをとれば電子ボリウム４５１の値を同一にすればホワイトバランスを維持したまま、画面５０の輝度調整を行えるという特徴がある。なお、ＲＧＢの電子ボ

リウムはＲＧＢ独立に形成または配置することが好ましいが、これに限定するものではない。たとえば、ＲＧＢで１つの電子ボリウム４５１でもホワイトバランスを維持したまま画面輝度を調整することが可能である。

【０８５５】

本発明では、ソースドライバＩＣ（回路）１４の内部に電子ボリウムを形成または配置することのより、ソースドライバＩＣ（回路）１４の外部からのデジタルデータ制御により基準電流を可変あるいは変更することができる。

【０８５６】

基準電流の変更あるいは変化させることにより、単位トランジスタ４８４の出力電流を変化することができる。たとえば、基準電流Ｉｃが１００μＡの時に、１つの単位トランジスタ４８４がオン状態での出力電流が１μＡとすれば、基準電流Ｉｃを５０μＡにすれば、１つの単位トランジスタ４８４の出力電流は０．５μＡとなる。基準電流Ｉｃを２００μＡにすれば、１つの単位トランジスタ４８４の出力電流は２．０μＡとなる。つまり、基準電流Ｉｃと単位トランジスタ４８４の出力電流Ｉｄは比例関係を満足することが好ましい（図３９２の実線を参照のこと）。

【０８５７】

また、基準電流Ｉｃを設定する設定データと基準電流Ｉｃとは比例関係となるように構成することが好ましい。たとえば、設定データが１の時、基準電流Ｉｃが１００μＡとし、これと基底とするならば、設定データが１００の時、基準電流Ｉｃが２００μＡとなるようにする。つまり、設定データが１増加すると、基準電流Ｉｃが１μＡ増加するように構成することが好ましい。

【０８５８】

以上のように構成することにより、電子ボリウム４５１の設定データにより、ＲＧＢの基準電流（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスを構成は重要性がある（特徴ある構成である）。

【０８５９】

以上の実施例では、外付け抵抗でホワイトバランスを調整するとしたが、抵抗Ｒ１はＩＣチップに内蔵させてもよいことは言うまでもない。

【０８６０】

また、図３９１に図示するように、抵抗値を調整あるいは制御するスイッチＳを付加してもよい。たとえば、図３９１（ａ）はスイッチＳ１の選択により外付け抵抗はＲ１となる。また、スイッチＳ２の選択により、外付け抵抗はＲ２となる。また、スイッチＳ１とＳ２の両方野の選択により、外付け抵抗はＲ１とＲ２とを並列に接続した抵抗値になる。

【０８６１】

図３９１（ｂ）は直列に抵抗Ｒ１とＲ２を接続し、スイッチＳの制御により外付け抵抗をＲ１＋Ｒ２としたり、Ｒ１としたりできるように構成したものである。

【０８６２】

図３９１のように構成することにより、基準電流Ｉｃの変化範囲を拡大することができる。つまり、電子ボリウム４５１の設定データだけでなく、スイッチＳの制御により基準電流を調整できるからである。したがって、本発明のＥＬ表示パネルの輝度調整範囲（ダイナミックレンジ）を拡大できる。

【０８６３】

以上の構成あるいは方式は、図１７０、図１７１、図１９０、図３２７、図３２８などの構成にも適用できることは言うまでもない。

【０８６４】

本発明において、電子ボリウム４５１の１ステップ変化による基準電流の変化は３％程度にしている。たとえば、基準電流が１倍から３倍まで変化し、電子ボリウムのステップ

数が６ビットの６４ステップであれば、（３－１）／６４＝０．０３となり、約３％である。

【０８６５】

１ステップあたりの基準電流の変化が大きいと、電子ボリウムを変化させた時の画面５０輝度変化が大きく、変化した時にフリッカとして認識されてしまう。逆に、１ステップあたりの基準電流変化が小さいと、画面５０輝度変化が小さく輝度調整のダイナミック変化が乏しくなる。また、ステップ数を大きくすることは、電子ボリウム４５１サイズを大きくすることに直結し、ソースドライバＩＣ１４のサイズを大きくなりコストが高くなる。

【０８６６】

以上のことから、１ステップあたりの基準電流の変化は、１％以上８％以下のきざみにすることが好ましい（ただい、基底を基準としている）。さらには、１％以上５％以下のきざみにすることが好ましい。たとえば、電子ボリウム４５１が８ビット（２５６ステップ）とし、基準電流の変化が１倍から１０倍までとすると、（１０－１）／２５６＝３．５％きざみとなり、条件１％以上５％以下を満足している。

【０８６７】

なお、以上の実施例では１ステップあたりの基準電流の変化として説明したが、基準電流の変化は、画面輝度の変化であるから、電子ボリウム４５１の１ステップあたりの画面５０輝度変化あるいはアノード（もしくはカソード）電流の変化としても言い換えることができることは言うまでもない。

【０８６８】

以上の実施例において、図３９２の実線ａに図示するように、基準電流Ｉｃと単位トランジスタ４８４の出力電流Ｉｄは比例関係を満足することが好ましいとしたが、これに限定するものではない。たとえば、図３９２の点線ｂで示すように、非線形（１．８乗から２．８乗の範囲が好ましい）としてもよい。非線形（１．８乗から２．８乗の範囲が好ましい）とすることにより、電子ボリウム４５１の設計データに対する基準電流の変化が人間の視覚特性の２乗カーブに近づくため、階調特性が良好となる。

【０８６９】

なお、以上の実施例では、電子ボリウム４５１の設定データで基準電流を変化させるとしたが、これに限定するものではない。図３８９、図３９０に図示するように電圧入出力端子３８９３により基準電流を変化あるいは調整もしくは制御してもよいことは言うまでもない。

【０８７０】

以上の動作あるいは構成もしくは制御方法は他の実施例においても適用されることは言うまでもない。

【０８７１】

図１７０、図１７１、図１９０、図３３７などのの電子ボリウム４５１の構成は、図３８９のように構成してもよい。図３８９において、ラダー抵抗３８９１（抵抗アレイあるいはトランジスタアレイ）とスイッチ３８９２が電子ボリウム４５１に対応する。なお、ラダー抵抗３８９１は一定間隔あるいは所定の間隔きざみの電圧を発生する手段であればいずれでもよい。たとえば、トランジスタをダイオード接続してもよいし、トランジスタのオン抵抗で構成あるいは形成してよいことはいうまでもない。

【０８７２】

なお、以上のラダー抵抗３８９１とスイッチ回路３８９２などからなる構成、方式あるいは電圧入出力端子３８９３の構成、方式などは、図２２３などのプリチャージ構成に適用できることはいうまでもない。また、図３２８、図３２９などのカラーマネージメント処理構成にも適用できる。また、図３６４、図３６７、図３７１、図３７３などの電圧プログラム構成にも適用できることはいうまでもない。

【０８７３】

また、図３８９、図３９０の構成は、図５６、図５７の構成にも適用できる。また、図

１７０などのように、ソースドライバＩＣ（回路）１４の両側から基準電流を印加する構成にも適用できる。また、図２０８、図３２８、図３３７などにも適用できることはいうまでもない。また、基準電流だけでなく、図５９、図６０などのように上段の電流Ｉｂ（しかし、Ｉｂも基準電流というべきである）の制御、調整あるいは可変などにも適用あるいは実施できることは言うまでもない。

【０８７４】

図３８９において、トランジスタ４７３ａｒがＲ回路の基準電流Ｉｃｒを発生させ、トランジスタ４７３ａｇがＧ回路の基準電流Ｉｃｇを発生させる。また、トランジスタ４７３ａｂがＢ回路の基準電流Ｉｃｂを発生させる。

【０８７５】

図３８９ではラダー抵抗３８９１をＲＧＢの３つのスイッチ回路（３８９２ｒ、３８９２ｇ、３８９２ｂ）で共用している。したがって、ソースドライバＩＣ（回路）１４内のラダー抵抗３８９１の形成面積を小さくすることができる。

【０８７６】

図３８９、図３９０においても、スイッチ回路３８９２の設定データにより、ＲＧＢの基準電流（Ｉｃｒ、Ｉｃｇ、Ｉｃｂ）は線形関係を保持したまま変化することができる。したがって、線形関係を保持していることから、いずれかの設定データ時に、ホワイトバランスを調整すれば、どの設定データの時でもホワイトバランスが維持される。この構成において、先に説明した外付け抵抗Ｒ１ｒ、Ｒ１ｇ、Ｒ１ｂを調整してホワイトバランスをとることができる。

【０８７７】

図３８９において、電圧入出力端子３８９３はドライバＩＣ（回路）１４の外部からのアナログ電圧を入力する端子である。アナログ電圧により基準電流Ｉｃを変化あるいは調整することができる。したがって、スイッチ回路３８９２のよらず、ホワイトバランス調整、画面５０輝度調整を実施することができる。

【０８７８】

なお、スイッチ回路３８９２は設定データが０の時、すべてのスイッチがオープン状態になるように構成されている。したがって、スイッチ回路３８９２の設定データが０で電圧入出力端子３８９２の入力電圧が有効になるように制御される。逆に、スイッチ回路３８９２の設定データが０以外の場合は、ラダー抵抗３８９１からの電圧がオペアンプ７２２の正極端子に入力される。

【０８７９】

電圧入出力端子３８９３はスイッチ回路３８９２からの出力電圧のモニター端子とも機能する。つまり、ラダー抵抗３８９１の選択電圧がスイッチ回路３８９２で選択され、選択されたいずれの電圧がオペアンプ７２２に入力されているかをモニターできる。

【０８８０】

図３８９は、ラダー抵抗３８９１（きざみ電圧出力手段）とＲＧＢのスイッチ回路３８９２間の配線が多いため、チップ面積を必要とする。図３９０は、ＲＧＢで１つのスイッチ回路３８９２とした実施例である。以上の構成によっても、ホワイトバランス調整などは実用上問題なく実現できる。

【０８８１】

以上の実施例は、電子ボリウム４５１、スイッチ回路３８９２をデジタルの設定データにより変化させるものであった。しかし、本発明はこれに限定するものではない。たとえば、図４０１に図示するように、デジタル－アナログ変換回路（Ｄ／Ａ回路）５５１により、オペアンプ７２２の入力電圧（ｃ点で示す）を変化（変更）して基準電流Ｉｃを制御してもよいことは言うまでもない。

【０８８２】

図１９１に図示するような１段接続のソースドライバ回路では、特に表示パネルに画像を表示するとソース信号線１８に印加された電流によりソース信号線電位が変動する。この電位変動によいソースドライバＩＣ１４のゲート配線５８１がゆれる課題がある（図１

８４を参照のこと）。図１８４に図示するように、ソース信号線１８に印加される映像信号が変化するポイントでゲート配線５８１にリンキングが発生する。リンキングによりゲート配線５８１の電位が変化するから、単位トランジスタ４８４のゲート電位が変化し、出力電流が変動する。特に、ゲート配線５８１の電位変動は、ゲート信号線１４に沿ったクロストーク（横クロストーク）となる。

【０８８３】

この揺れ（ゲート配線５８１のリンキング（図１８４を参照のこと））は、ソースドライバＩＣ１４の電源電圧が影響する。電源電圧が高いほどリンキングする波高値が大きくなるからでる。最悪、電源電圧まで振幅する。ゲート配線５８１の電圧は、定常値が０．５５～０．６５（Ｖ）である。したがって、わずかなリンキングの発生でも出力電流の大きさの変動値は大きい。

【０８８４】

図１６３はソースドライバＩＣ１４の電源電圧が１．８（Ｖ）の時を基準にしたゲート配線の電位変動比率である。変動比率はソースドライバＩＣ１４の電源電圧が高くなるにつれて変動比率も大きくなる。変動比率の許容範囲は3程度である。これ以上変動比率が大きいと、横クロストークが発生する。また、変動比率はＩＣ電源電圧が１３～１５（Ｖ）以上で電源電圧に対する変化割合が大きくなる傾向がある。したがって、ソースドライバＩＣ１４の電源電圧は１３（Ｖ）以下にする必要がある。

【０８８５】

一方、駆動用トランジスタ１１ａが白表示から黒表示の電流を流すために、ソース信号線１８の電位は一定の振幅変化させる必要がある。この振幅必要範囲は、２．５（Ｖ）以上必要である。振幅必要範囲は電源電圧以下である。ソース信号線１８の出力電圧がＩＣの電源電圧を越えることはできないからである。

【０８８６】

以上のことから、ソースドライバＩＣ１４の電源電圧は、２．５（Ｖ）以上１３（Ｖ）以下にする必要がある。この範囲とすることにおりゲート配線５８１の変動が規定範囲に抑制され、横クロストークが発生せず、良好な画像表示を実現できる。

【０８８７】

ゲート配線５８１の配線抵抗も課題となる。ゲート配線５８１の配線抵抗Ｒ（Ω）とは、図１６７では、トランジスタ４７３ｂ１からトランジスタ４７３ｂ２までの配線全長の抵抗である。または、ゲート配線全長の抵抗である。ゲート配線５８１の過渡現象の大きさは、１水平走査期間（１Ｈ）にも依存する。１Ｈ期間が短ければ、過渡現象の影響も大きいからである。配線抵抗Ｒ（Ω）が高いほど過渡現象は発生しやすい。この現象は特に、図１６６から図１７２の１段カレントミラー接続の構成で課題となる。ゲート配線５８１が長く、１つのゲート配線５８１に接続された単位トランジスタ４８４の数が多いためである。もちろん、図１６２の多段接続でも課題であることは言うまでもない。

【０８８８】

図１６４は、ゲート配線５８１の配線抵抗Ｒ（Ω）と１Ｈ期間Ｔ（ｓｅｃ）と掛算（Ｒ・Ｔ）を横軸にとり、縦軸に変動比率をとったグラフである。変動比率の１はＲ・Ｔ＝１００を基準にしている。図１６４でわかるように、Ｒ・Ｔが５以下で変動比率が大きくなる傾向がある。また、Ｒ・Ｔが１０００以上で変動比率が大きくなる傾向がある。したがって、Ｒ・Ｔは５以上１０００以下にすることが好ましい。

【０８８９】

Ｄｕｔｙ比も課題となる。Ｄｕｔｙ比によりソース信号線１８の変動も大きくなるからである。ここで、トランジスタ群５２１ｃの単位トランジスタ４８４の総面積（トランジスタ群５２１ｃ内のトランジスタ４８４のＷＬサイズ×トランジスタ４８４数）をＳｃとする。

【０８９０】

図１８９は横軸をＳｃ×Ｄｕｔｙ比とし、縦軸を変動比率としている。図１８９でわかるようにＳｃ×Ｄｕｔｙ比が５０以上で変動比率が大きくなる傾向がある。また、変動比

率が３以下の時が変動許容範囲である。したがって、Ｓｃ×Ｄｕｔｙ比は５０以下で駆動できるように制御することが好ましい。

【０８９１】

変動許容範囲は、Ｓｃ×Ｄｕｔｙ比ｂが５０以下である。Ｓｃ×Ｄｕｔｙ比が５０以下であれば、変動比率は許容範囲内であり、ゲート配線５８１の電位変動は極めて小さくなる。したがって、横クロストークの発生もなく、出力バラツキも許容範囲内となり良好な画像表示を実現できる。Ｓｃ×Ｄｕｔｙ比が５０以下であれば許容範囲であるが、Ｓｃ×Ｄｕｔｙ比を５以下としてもほとんど効果がない。逆に、ソースドライバＩＣ１４のチップ面積が増加する。したがって、Ｓｃ×Ｄｕｔｙ比は５以上５０以下にすることが好ましい。

【０８９２】

本発明のソースドライバＩＣ（回路）１４において、単位トランジスタ群５２１ｃとカレントミラー回路をなすトランジスタ４７３ｂあるいはトランジスタ４７３ｂを構成するトランジスタ群（図２１５、図２１６を参照のこと）には図３８６の関係を満足させることが好ましい。

【０８９３】

トランジスタ４７３ｂあるいはトランジスタ４７３ｂを構成するトランジスタ群（図２１５、図２１６を参照のこと）に供給する電流をＩｃとし、１つの単位トランジスタ群５２１から出力される電流をＩｄとする。Ｉｄはソース信号線１８に出力されるプログラム電流（吸い込みあるいは吐き出し電流）であり、トランジスタ群５２１ｃを構成する単位トランジスタ４８４のすべてが選択状態の時の電流である。したがって、Ｉｄは画素１６に印加する最大階調での電流である。なお、図２０８のように４７３ｂが１つの場合は、そのままＩｃとして用いてよいが、図２１１のように、トランジスタ４７３が複数個ある（複数群ある）場合は、加算したものをＩｃとして用いる。つまり、図２１１ではＩｃ＝Ｉｃ１＋Ｉｃ２である。以上のように電流Ｉｃはトランジスタ群５２１ｃとカレントミラー回路を構成するトランジスタ群に流れる電流Ｉｃの総和である。

【０８９４】

この電流ＩｄとＩｃの比（Ｉｃ／Ｉｄ）は５以上にする必要がある。図３８６において、縦軸はクロストーク比である。クロストークは、画像表示によるソース信号線１８の電位変化がソースドライバＩＣ（回路）１４のゲート配線５８１を伝播し、画面５０に横お引きが発生する現象である。クロストークは、画像が白表示から黒表示になるポイント、黒表示から白表示になるポイント（たとえば、白ウインドウ表示など）に発生しやすい。Ｉｃ／Ｉｄが５以下では急激にクロストークの発生は強くなる（クロストーク比が大きくなる）が、５以上では曲線の傾きが小さくなる。

【０８９５】

図３８６から理解できるように、Ｉｃ／Ｉｄは５以上にする必要がある。しかし、１００以上にすると、トランジスタ４７３ｂを構成するトランジスタ群５２１ｂのサイズが大きく実用的でない。したがって、Ｉｃ／Ｉｄは５以上１００以下にする必要がある。さらに好ましくは、１０以上８０以下にすることが好ましい。

【０８９６】

Ｉｃ／Ｉｄは水平走査時間も考慮する必要がある。水平走査期間Ｈが短いほどゲート配線５８１の時定数が小さくする必要があるからである。水平走査期間ＨをＨ（ミリ秒）としたとき（１画素行を選択する時間）、以下の関係を満足させることが好ましい。なお、ＩｃおよびＩｄの単位はμＡである。

【０８９７】

０．３＜＝　（Ｉｃ・Ｈ）／Ｉｄ　＜＝　６．０

さらに好ましくは、以下の関係を満足させることが好ましい。

【０８９８】

０．５＜＝　（Ｉｃ・Ｈ）／Ｉｄ　＜＝　５．０

また、さらに好ましくは、以下の関係を満足させることが好ましい。

【０８９９】
０．６＜＝　（Ｉｃ・Ｈ）／Ｉｄ　＜＝　３．０
以上の関係を満足させるように、Ｉｃ、Ｉｄ電流を設定し、また、トランジスタ群５２１あるいはトランジスタ４８４、４７３を設計することにより、クロストークの発生は極めて少なくなる。
【０９００】
たとえば、ＱＶＧＡパネルの場合は、およそＨ＝１０００（ミリ秒）／（６０（Ｈｚ）・２４０画素行）＝０．０７（ミリ秒）である。Ｉｃ＝１８（μＡ）、最大プログラム電流Ｉｄ＝１（μＡ）とすれば、（Ｉｃ・Ｈ）／Ｉｄ＝（１８・０．０７）／１＝１．３となり、上式を満足する。
【０９０１】
また、ＸＧＡパネルの場合は、およそＨ＝０．０２５（ミリ秒）である。Ｉｃ＝１８（μＡ）、最大プログラム電流Ｉｄ＝１（μＡ）とすれば、（Ｉｃ・Ｈ）／Ｉｄ＝（６０・０．０２５）／１＝１．５となり、上式を満足する。
【０９０２】
Ｈはパネルの画素行数で固定値であり、Ｉｄはプログラム電流の最大値であるので、該当表示パネルのＥＬ素子の効率および表示輝度が決定されれば固定値である。したがって、上式を満足するように、Ｉｃを決定すればよい。たとえば、Ｈ＝０．０７（ミリ秒）、Ｉｄ＝１（μＡ）であれば、０．３＜＝　（Ｉｃ・Ｈ）／Ｉｄ　＜＝　６．０を満足するＩｃは、４（μＡ）以上８６（μＡ）以下となる。また、Ｈ＝０．０２５（ミリ秒）、Ｉｄ＝１（μＡ）であれば、０．３＜＝　（Ｉｃ・Ｈ）／Ｉｄ　＜＝　８．０を満足するＩｃは、１２（μＡ）以上２４０（μＡ）以下となる。
【０９０３】
以上の関係は、本発明のＮ倍パルス駆動、図３２３、図３６７、図３７７などの画素１６で１／Ｎにする構成に対応するソースドライバＩＣ（回路）１４にも適用できることは言うまでもない。
【０９０４】
図２１１でトランジスタ４７３ｂ１に流す基準電流Ｉｃ１と、トランジスタ４７３ｂ２に流す基準電流Ｉｃ２とを調整することにより、図２１２に図示するように、ソースドライバＩＣ１４ａと１４ｂとのカスケード接続を良好に行えることを説明した。
【０９０５】
なお、図２１１では、基準電流Ｉｃ１とＩｃ２とを調整するとした。しかし、ゲート配線５８１が所定値以上の抵抗値を有していると、トランジスタ４７３ｂ１に流す基準電流Ｉｃ１と、トランジスタ４７３ｂ２に流す基準電流Ｉｃ２とを同一にしても、図２１１のように出力電流の傾斜が補正される。これは、図１９１に図示するように傾斜を補正する補正電流Ｉｄがゲート配線５８１に流れるからである。
【０９０６】
理解を容易にするため、具体的な数値で説明する。Ｉｃ１＝Ｉｃ２＝１０（μＡ）とし、この時、トランジスタ４７３ｂ１のゲート端子電圧Ｖ１＝０．６０（Ｖ）、トランジスタ４７３ｂ２のゲート端子電圧Ｖ２＝０．６１（Ｖ）とする。トランジスタ４７３ｂ２に流れる基準電流とトランジスタ４７３ｂ１に流れる基準電流との差を１％以内にする必要があるから、基準電流＝１０（μＡ）の１％は０．１（μＡ）である。したがって、（Ｖ２－Ｖ１）／０．１（μＡ）＝（０．６１－０．６０）（Ｖ）／０．１（μＡ）＝１００（ＫΩ）となる。したがって、ゲート配線５８１の抵抗値を１００（ＫΩ）とすることにより、出力電流の傾きは調整され、隣接して配置されたＩＣ１４の出力電流の差は１％以内の差におさまる。
【０９０７】
ゲート配線５８１が高抵抗であるほど、補正電流Ｉｄの大きさは小さくてよい。しかし、ゲート配線５８１の抵抗値をあまりに高くすると、図１８４のリンキングの波高値も大きくなり、横クロストークの発生が顕著となる。したがって、ゲート配線５８１の抵抗値

には適切な範囲が存在する。

【０９０８】

本発明は、ゲート配線５８１のうちすべてをまたは、少なくともゲート配線５８１の一部はポリシリコンからなる配線で形成したことを特徴としている。好ましくは、単位トランジスタ４８４のゲート端子とのコンタクト部あるいは近傍以外をポリシリコンで形成する。ゲート配線５８１は配線幅を調整することにより、あるいは、蛇行させることにより目標の抵抗値に形成あるいは構成する。

【０９０９】

ゲート配線のリンキング発生を抑制するには、ゲート配線５８１を所定値以下の抵抗値にすることで達成できる。また、トランジスタ４７３ｂの総面積Ｓｂ（トランジスタ群５２１ｂの総面積Ｓｂ）を大きくすることにより、達成できる。また、基準電流Ｉｃを大きくすることにより達成できる。

【０９１０】

１出力の単位トランジスタ４８４の面積（１つのトランジスタ群５２１ｃ内の単位トランジスタ４８４の総面積）をＳ０とし、トランジスタ群５２１ｂのトランジスタ４７３ｂの総面積Ｓｂ（図２１３のようにトランジスタ群５２１ｂが複数ある時は、複数のトランジスタ群５２１ｂのトランジスタ４７３ｂの総面積）とする。図１９２はＳｂ／Ｓ０を横軸とし、許容できるゲート配線抵抗（ＫΩ）を縦軸とした時の関係を示している。図１９２の実線の下側の範囲が許容範囲である（リンキングの発生の影響を受けない範囲である）。言い換えれば、横クロストークが実用上、許容できる範囲である。

【０９１１】

図１９２の横軸は、総トランジスタ群５２１ｂの大きさＳｂに対する１出力あたりの単位トランジスタ４８４の大きさＳ０である（６４階調の場合は、単位トランジスタ４８４が６３個分）。Ｓ０を固定値であるとすると、Ｓｂが大きいほど、ゲート配線５８１が許容できる抵抗値も大きくなる。これは、Ｓｂが大きくなるほどゲート配線５８１に対するインピーダンスが低くなり、安定度が増加するためである。

【０９１２】

Ｓ０は出力電流（プログラム電流）を発生させるものであり、また、出力バラツキを一定値以下にする必要から、Ｓ０の大きさは設計上の変更範囲は狭い。一方でゲート配線５８１の抵抗値を所定値とするためには設計制約がある。ゲート配線５８１を高抵抗にするには、配線が細くなり断線が発生する課題、安定度の課題がある。また、Ｓｂを大きくするとチップ面積が大きくなり、コストが高くなる。したがって、ＩＣ１４のチップサイズの課題から、Ｓｂ／Ｓ０は５０以下にすることが好ましい、また、ゲート配線５８１の安定した設計、リンキングの課題などの制約から、Ｓｂ／Ｓ０は５以上にすることが好ましい。したがって、５＜＝　Ｓｂ／Ｓ０　＜＝　５０の条件を満足させる必要がある。

【０９１３】

図１９２のグラフ（実線）から、Ｓｂ／Ｓ０が小さくなるほど実線カーブの傾きは緩やかになる。また、Ｓｂ／Ｓ０が１５以上では傾きが一定になる傾向がある。したがって、Ｓｂ／Ｓ０が５以上１５以下では、ゲート配線５８１の抵抗値は４００（ＫΩ）以下にする必要がある。また、Ｓｂ／Ｓ０が１５以上５０以下では、Ｓｂ／Ｓ０×２４（ＫΩ）以下にする必要がある。たとえば、Ｓｂ／Ｓ０＝５０の時は、５０×２４＝１２００（ＫΩ）以下にする必要がある。

【０９１４】

トランジスタ４７３ｂに流れる基準電流Ｉｃと、許容ゲート配線抵抗には相関がある。基準電流Ｉｃが大きいほどトランジスタ４７３ｂからゲート配線５８１をみたときのインピーダンスが低くなるからである。図１９３にその関係を示す。図１９３は横軸をトランジスタ４７３ｂ（もしくはトランジスタ群５２１ｂ）に流れる基準電流Ｉｃ（μＡ）である。縦軸が許容できるゲート配線抵抗（ＫΩ）を示している。図１９３の実線の下側の範囲が許容範囲である（リンキングの発生の影響を受けない範囲である）。言い換えれば、横クロストークが実用上、許容できる範囲である。

【０９１５】
基準電流Ｉｃを大きくすれば、ゲート配線５８１の安定度は向上する。しかし、ソースドライバＩＣ１４で消費する無効電流が増加し、また、ゲート配線５８１の電位も高くなる。このことから、基準電流Ｉｃは５０（μＡ）以下にする必要がある。
【０９１６】
基準電流Ｉｃを小さくすれば、ゲート配線５８１の安定度は低下するため、ゲート配線５８１の抵抗値を下げる必要がある。しかし、一定値以下に基準電流を下げると単位トランジスタ５２１ｃからの出力電流のバラツキが大きくなる。つまり出力電流の安定度がなくなる。このことから、基準電流Ｉｃは２（μＡ）以上にする必要がある。以上のことから、トランジスタ４７３ｂに流す基準電流Ｉｃは２（μＡ）以上５０（μＡ）以下にする必要がある。
【０９１７】
図１９３のグラフ（実線）は、２つの直線に近似できる。Ｉｃが２（μＡ）以上１５（μＡ）以下では、ゲート配線５８１の抵抗値（ＭΩ）は、０．０４×Ｉｃ（ＭΩ）以下にする必要がある。たとえば、Ｉｃ＝１５（μＡ）であれば、ゲート配線５８１の抵抗値は、０．０４×１５＝０．６（ＭΩ）以下の条件を満足させる必要がある。
【０９１８】
Ｉｃが１５（μＡ）以上５０（μＡ）以下では、ゲート配線５８１の抵抗値（ＭΩ）は、０．０２５×Ｉｃ（ＭΩ）以下にする必要がある。たとえば、Ｉｃ＝５０（μＡ）であれば、ゲート配線５８１の抵抗値は、０．０２５×５０＝１．２５（ＭΩ）以下の条件を満足させる必要がある。
【０９１９】
１画素行が選択される期間（１水平走査期間（１Ｈ））と、ゲート配線５８１の抵抗Ｒ（ＫΩ）×ゲート配線５８１の長さＤ（ｍ）にも相関がある。１Ｈ期間が短いほど、ゲート配線５８１の電位が正常値に戻るのに要する期間を短くする必要があるからである。また、図２１１のようにゲート配線５８１長Ｄ（＝ドライバＩＣのチップ長さ）が長くなると、トランジスタ４７３ｂから最も遠い単位トランジスタ群５２１ｃの電位変動が許容範囲を越えるからである。この現象は、単位トランジスタ４８４とソース信号線１８間の寄生容量が影響を与えているためと推定される。つまり、ドライバＩＣ１４のチップ長Ｄが長くなると単純なゲート配線５８１の抵抗値だけでなく、寄生容量によるゲート配線５８１の電位変動も考慮する必要があることを示している。
【０９２０】
図１９５は横軸を１水平走査期間（μ秒）としている。縦軸がゲート配線抵抗（ＫΩ）とチップ長Ｄ（ｍ）の掛算値である。図１９５の実線の下側の範囲が許容範囲である。Ｒ・Ｄは９（ＫΩ・ｍ）がソースドライバＩＣの作製限界である。これ以上は、コストが高くなり実用的でない。一方、Ｒ・Ｄが０．０５以下では、図１９１の電流Ｉｄが大きくなりすぎ、隣接出力電流の偏差が大きくなりすぎる。したがって、Ｒ・Ｄ（ＫΩ・ｍ）は０．０５以上９以下にする必要がある。
【０９２１】
画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位トランジスタ４８４（図４８、図５７などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。
【０９２２】
したがって、画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ４８４をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲ

ートドライバ１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【０９２３】

したがって、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することにより基板７１を低コスト化できる。しかし、ソースドライバ１４は、単位トランジスタ４８４をＮチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路１４は基板７１に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路１４を作製し、基板７１に積載する。つまり、本発明は、ソースドライバＩＣ１４（映像信号としてのプログラム電流を出力する手段）を外付けする構成である。

【０９２４】

また、単位トランジスタ４８４の面積を同一とした場合、Ｎチャンネルで形成した単位トランジスタ４８４のばらつきは、Ｐチャンネルで形成した単位トランジスタのばらつきに比較して、７０％になる。つまり、Ｎチャンネルで単位トランジスタ４８４を形成する方が、同一トランジスタ形成面積でバラツキを小さくすることができる。検討の結果によれば、Ｐチャンネルの単位トランジスタのバラツキをＮチャンネルの単位トランジスタと同一にするためには、２倍の形成面積が必要であった。

【０９２５】

なお、ソースドライバ回路１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板７１に積載してもよい。なお、基板７１にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路１４の出力端子５２１を基板７１のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

【０９２６】

また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。

【０９２７】

画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。

【０９２８】

本発明では、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１６とマッチングがよい。また、黒表示を良好にする効果を発揮させるためには、図１、図２、図３２、図１１３、図１１６の画素１６の構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成することが重要である。し

たがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。また、Ｎチャンネルで形成した単位トランジスタ４８４はＰチャンネルで形成した単位トランジスタ４８４に比較して出力電流のバラツキが小さい。同一面積（Ｗ・Ｌ）のトランジスタ４８４で比較した場合、Ｎチャンネルの単位トランジスタ４８４はＰチャンネルの単位トランジスタ４８４に比較して、出力電流のばらつきは、１／１．５から１／２になる。この理由からもソースドライバＩＣ１４の単位トランジスタ４８４はＮチャンネルで形成することが好ましい。

【０９２９】

なお、図４２（ｂ）においても同様である。図４２（ｂ）は駆動用トランジスタ１１ｂを介してソースドライバ回路１４の単位トランジスタ４８４に電流が流入するのではない。しかし、アノード電圧Ｖｄｄからプログラム用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成である。したがって、図１と同様に、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

【０９３０】

なお、本発明では、画素１６の駆動用トランジスタ１１ａをＰチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＰチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ４８４をＮチャンネルで構成するとした。また、好ましくは、ゲートドライバ回路１２はＰチャンネルトランジスタで構成するとした。

【０９３１】

前述の逆の構成でも効果を発揮することは言うまでもない。画素１６の駆動用トランジスタ１１ａをＮチャンネルで構成し、スイッチングトランジスタ１１ｂ、１１ｃをＮチャンネルで構成する。また、ソースドライバＩＣ１４の出力段の単位トランジスタ４８４をＰチャンネルとする構成である。なお、好ましくは、ゲートドライバ回路１２はＮチャンネルトランジスタで構成する。この構成も本発明の構成である。

【０９３２】

以下、基準電流回路について説明する。図６８に図示するように基準電流回路６９１は、Ｒ、Ｇ、Ｂごとに形成（配置）する。また、基準電流回路６９１Ｒ、６９１Ｇ、６９１Ｂは近接して配置する。

【０９３３】

Ｒの基準電流回路６５４Ｒには基準電流を調整するボリウム（電子ボリウム）４９１Ｒが配置され、Ｇの基準電流回路６５４Ｇには基準電流を調整するボリウム（電子ボリウム）４９１Ｇが配置され、Ｂの基準電流回路６５４Ｂには基準電流を調整するボリウム（電子ボリウム）４９１Ｂが配置される。

【０９３４】

なお、ボリウム４９１などは、ＥＬ素子１５の温特を補償できるように、温度で変化するように構成することが好ましい。また、図６９に図示するように、基準電流回路６９１は電流制御回路６９２で制御される。基準電流の制御（調整）により、単位トランジスタ４８４より出力する単位電流を変化させることができる。

【０９３５】

ＩＣチップの出力端子には、出力パッド６８１が形成または配置されている。この出力パッドと、表示パネルのソース信号線１８とが接続される。出力バッド６８１は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ（突起）が形成されている。突起の高さは１０μｍ以上４０μｍ以下の高さにする。

【０９３６】

前記バンプと各ソース信号線１８とは導電性接合層（図示せず）を介して電気的に接続

されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ａｇ）、金（Ａｕ）、ニッケル（Ｎｉ）、カーボン（Ｃ）、酸化錫（ＳｎＯ2）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。なお、バンプあるいは出力パッド６８１とソース信号線１８との接続は、以上の方式に限定するものではない。また、アレイ基板上にＩＣ１４を積載せず、フィルムキャリヤ技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線１８などと接続しても良い。

【０９３７】

本発明では、前記基準電流回路６９１が、Ｒ用、Ｇ用、Ｂ用の３系統に分離されているので、発光特性や温度特性をＲ、Ｇ、Ｂでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である（図７０を参照のこと）。

【０９３８】

次にプリチャージ回路について説明をする。先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線１８などに寄生容量があると、１水平走査期間（１Ｈ）に画素１６に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数ｎＡ程度と微弱であるため、その信号値で数１０ｐＦ程度あると思われる寄生容量（配線負荷容量）を駆動することは困難である。この課題を解決するためには、ソース信号線１８に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線１８の電位レベルを画素のトランジスタ１１ａの黒表示電流（基本的にはトランジスタ１１ａはオフ状態）にすることが有効である。このプリチャージ電圧の形成（作成）には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

【０９３９】

なお、プリチャージとは、ソース信号線１８に１Ｈの始めなどに、強制的に電圧を印加する方法である。電圧は、駆動用トランジスタ１１ａ（図１の場合を例示するが、これに限定されない。電圧駆動の画素構成でもよい）をオフ状態にするものである。駆動用トランジスタ１１ａがＰチャンネルの場合は、アノード電圧に近い電圧を印加する。つまり、オフ状態にする電圧を印加する。Ｎチャンネルの場合は、カソード電圧に近い電圧を印加する。

【０９４０】

なお、プリチャージ電圧の発生回路（プリチャージ電圧源３０４１）は、図３０４に図示するようにソースドライバ回路（ＩＣ）１４の両端に形成または配置することが好ましい。プリチャージ電圧を印加するときの電圧降下を抑制するためである。

【０９４１】

以上のようにプリチャージ電圧を印加するとは、駆動用トランジスタ１１ａを強制的にオフ状態にする電圧を印加する方式である。また、ソース信号線１８に電圧を印加し、強制的に充放電させることをいう。

【０９４２】

また、プリチャージ電圧を印加するとしたが、ソース信号線１８の電位を変化させるには、電圧の」印加だけでなく、電流を印加（充電又は放電）してもソース信号線１８の電位を変化させることができる。したがって、プリチャージ電圧を印加する技術的思想は、プリチャージ電流を印加することも含まれる。

【０９４３】

なお、本発明は、駆動用トランジスタがＰチャンネルにし、プリチャージ電圧をアノード電圧Ｖｄｄ以下（アノード電圧Ｖｄｄ－１．５（Ｖ）とすることを特徴としている。また、ＲＧＢで少なくとも１つは他のプリチャージ電圧を異ならせることができるように構成していることを特徴としている。

【０９４４】

図６５に、本発明のプリチャージ機能を有した電流出力方式のソースドライバＩＣ（回路）１４の一例を示す。図６５では、６ビットの定電流出力回路の出力段にプリチャージ

機能を搭載した場合を示している。図６５において、プリチャージ制御信号は、画像データＤ０～Ｄ５の上位３ビットＤ３、Ｄ４、Ｄ５がすべて０である場合をＮＯＲ回路６５２でデコードし、水平同期信号ＨＤによるリセット機能を有するドットクロックＣＬＫのカウンタ回路６５１の出力とのＡＮＤ回路６５３をとり、一定期間黒レベル電圧Ｖｐを出力するように構成されている。他の場合は、電流出力段６５４（具体的には図４８、図５６、図５７などの構成である）からの出力電流がソース信号線１８に印加される（ソース信号線１８からプログラム電流Ｉｗを吸収する）。この構成により、画像データが黒レベルに近い０階調目～７階調目の場合、１水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を０階調目とし、完全白表示を６３階調目とする（６４階調表示の場合）。

【０９４５】

図６５では、プリチャージ電圧を印加すると、内部配線４８３のＢ点にプリチャージ電圧が印加される。したがって、プリチャージ電圧は電流出力段６５４にも印加されることになる。しかし、電流出力段６５４は定電流回路であるから、高インピーダンスである。そのため、定電流回路６５４にプリチャージ電圧が印加されても回路の動作上問題は発生しない。なお、電流出力段６５４にプリチャージ電圧が印加されないようにするには、図６５のＡ点で切断し、スイッチ６５５を配置すればよい（図６６を参照のこと）。前記スイッチはプリチャージスイッチ４８１ａと連動させ、プリチャージスイッチ４８１ａがオンしている時にはオフになるように制御する。

【０９４６】

プリチャージは全階調範囲で実施してもよいが、好ましくは、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージと呼ぶ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示されるという課題が発生する場合がある。

【０９４７】

好ましくは、階調データの階調０から全階調の１／８の領域の階調領域で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）。

【０９４８】

特に黒表示で、コントラストを高くするためには、階調０のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。階調０のみをプリチャージする方法は、画像表示に与える弊害の発生が少ない。したがって、最もプリチャージ技術として採用することが好ましい。

【０９４９】

なお、プリチャージの電圧、階調範囲は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、階調データの階調０から１／８の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０１階調目から７階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（Ｇ、Ｂ）は、階調データの階調０から１／１６の領域の階調で、選択プリチャージを行う（たとえば、６４階調の時は、０階調目から３階調目までの画像データと時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Ｒは７（Ｖ）であれば、他の色（Ｇ、Ｂ）は、７．５（Ｖ）の電圧をソース信号線１８に書き込むようにする。最適なプリチャージ電圧は、ＥＬ表示パネルの製造ロットで異なることが多い。したがって、プ

リチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

【０９５０】

なお、プリチャージ電圧は、図１のアノード電圧Ｖｄｄ－０．５（Ｖ）以下、アノード電圧Ｖｄｄ－２．５（Ｖ）以内にすることが好ましい。

【０９５１】

階調０のみをプリチャージする方法にあっても、Ｒ、Ｇ、Ｂの一色あるいは２色を選択してプリチャージする方法も有効である。画像表示に与える弊害の発生が少ない。また、画面輝度が所定輝度以下あるいは所定輝度以上の時に、プリチャージすることも有効である。特に画面５０の輝度が低輝度の時は、黒表示が困難である。低輝度の時に、０階調プリチャージなどのプリチャージ駆動を実施することにより画像のコントラスト感が良好になる。

【０９５２】

また、全くプリチャージしない第０モード、階調０のみをプリチャージする第１モード、階調０から階調３の範囲でプリチャージする第２モード、階調０から階調７の範囲でプリチャージする第３モード、全階調の範囲でプリチャージする第４モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバＩＣ（回路）１４内においてロジック回路を構成（設計）することにより容易に実現できる。

【０９５３】

図６６は選択プリチャージ回路部の具体化構成図である。ＰＶはプリチャージ電圧の入力端子である。外部入力あるいは、電子ボリウム回路により、Ｒ、Ｇ、Ｂで個別のプリチャージ電圧が設定される。なお、Ｒ、Ｇ、Ｂで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。Ｒ、Ｇ、Ｂで共通であってもよい。プリチャージ電圧は、画素１６の駆動用トランジスタ１１ａのＶｔに相関するものであり、この画素１６はＲ、Ｇ、Ｂ画素で同一だからである。画素１６の駆動用トランジスタ１１ａのＷ／Ｌ比などがＲ、Ｇ、Ｂで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、駆動用トランジスタ１１ａのチャンネル長Ｌが大きくなれば、トランジスタ１１ａのダイオード特性は悪くなり、ソース－ドレイン（ＳＤ）電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位（Ｖｄｄ）に対して低く設定する必要がある。

【０９５４】

プリチャージ電圧ＰＶはアナログスイッチ５６１に入力されている。このアナログスイッチのＷ（チャンネル幅）はオン抵抗を低減するために、１０μｍ以上にする必要がある。しかし、あまりＷが大きいと、寄生容量も大きくなるので１００μｍ以下にする。さらに好ましくは、チャンネル幅Ｗは１５μｍ以上６０μｍ以下にすることが好ましい。

【０９５５】

なお、この選択プリチャージは、階調０のみをプリチャージするとか、階調０から階調７の範囲でプリチャージするとか固定してもよいが、低階調流域（図７９の階調０から階調Ｒ１もしくは階調（Ｒ１－１））を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調０から階調Ｒ１の時はこの範囲で実施し、低階調領域が階調０から階調Ｒ２の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

【０９５６】

以上の信号の印加状態により、スイッチ４８１ａがオンオフ制御され、スイッチ４８１ａオンの時、プリチャージ電圧ＰＶがソース信号線１８に印加される。なお、プリチャージ電圧ＰＶを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は１水平走査期間（１Ｈ）の１／１００以上１／５以下の時間に設定すること

が好ましい。たとえば、１Ｈが１００μｓｅｃとすれば、１μｓｅｃ以上２０μｓｅｃ（１Ｈの１／１００以上１Ｈの１／５以下）とする。さらに好ましくは、２μｓｅｃ以上１０μｓｅｃ（１Ｈの２／１００以上１Ｈの１／１０以下）とする。

【０９５７】

図６７は図６５あるいは図６６の変形例である。図６７は入力画像データに応じてプリチャージするかしないかを判定し、プリチャージ制御を行うプリチャージ回路である。たとえば、画像データが階調０のみの時にプリチャージを行う設定、画像データが階調０、１のみの時にプリチャージを行う設定、階調０は必ずプリチャージし、階調１が所定以上連続して発生する場合にプリチャージする設定を行うことができる。

【０９５８】

図６７は、本発明のプリチャージ機能を有した電流出力方式のソースドライバＩＣ（回路）１４の一例を示す。図６７では、６ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図６７において、一致回路６７１は、画像データＤ０～Ｄ５に応じてデコードし、水平同期信号ＨＤによるリセット機能を有するＲＥＮ端子入力、ドットクロックＣＬＫ端子入力でプリチャージするかしないかを判定する。また、一致回路６７１はメモリを有しており、数Ｈあるいは数フィールド（フレーム）の画像データによるプリチャージ出力結果を保持している。保持結果にもとづき、プリチャージするか否かを判定し、プリチャージ制御する機能を有する。たとえば、階調０は必ずプリチャージし、階調１が６Ｈ（６水平走査期間）以上連続して発生する場合にプリチャージする設定を行うことができる。また、階調０、１は必ずプリチャージし、階調２が３Ｆ（３フレーム期間）以上連続して発生する場合にプリチャージする設定を行うことができる。

【０９５９】

一致回路６７１の出力と、カウンタ回路６５１の出力とが、ＡＮＤ回路６５３でＡＮＤされ、一定期間黒レベル電圧Ｖｐを出力するように構成されている。他の場合は、図５２などで説明した電流出力段６５４からの出力電流がソース信号線１８に印加される（ソース信号線１８からプログラム電流Ｉｗを吸収する）。他の構成は、図６５、図６６などと同等あるいは類似であるので説明を省略する。なお、図６７ではプリチャージ電圧はＡ点に印加しているが、Ｂ点に印加してもよいことはいうまでもない（図６６も参照のこと）。

【０９６０】

図２２３は図６７に加えて、プリチャージ電圧を階調に応じて変化できるように構成した実施例である。図２２３では印加する画像データに応じてプリチャージ電圧を変化させることが容易に実現できる。プリチャージ電圧は画像データ（Ｄ３～Ｄ０）によって、電子ボリウム４５１により変化させることができる。図２２３では、Ｄ３～Ｄ０ビットは電子ボリウムに接続されていることから、低階調のプリチャージ電圧が変更できるようにしていることがわかる。これは、黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高くする。画素１６の駆動用トランジスタ１１ａをＰチャンネルとしているため、アノード電圧（Ｖｄｄ）がもっと黒表示電圧である。高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）する。つまり、低階調表示では、電圧プログラム方式が実施され、高階調表示（白表示）では、電流プログラム方式が実施されていることになる。

【０９６１】

図２２３のプリチャージ回路では、階調０のみをプリチャージするとか、階調０から階調７の範囲でプリチャージするとかを選択できる。また、各階調に対するプリチャージ電圧も電子ボリウム４５１で変更できる。他の構成は、図６５、図６６、図６７と同様であるので説明を省略する。

【０９６２】

ソース信号線１８に印加する画像データにより、プリチャージ電圧ＰＶ印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調０では印加時間

を長くし、階調４ではそれよりも短くするなどである。また、１Ｈ前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、１Ｈ前にソース信号線に画素を白表示にする電流と書き込み、次の１Ｈに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、１Ｈ前にソース信号線に画素を黒表示にする電流と書き込み、次の１Ｈに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

【０９６３】

印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（Ｖｄｄに対して。なお、画素トランジスタ１１ａがＰチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素トランジスタ１１ａがＰチャンネルの時）するという制御方法も有効である。

【０９６４】

以下、理解を容易にするため、図６６を中心に説明する。なお、以下に説明する事項は図６５、図６７のプリチャージ回路にも適用できることは言うまでもない。

プログラム電流オープン端子（ＰＯ端子）が“０”の時は、スイッチ６５５がオフ状態となり、ＩＬ端子およびＩＨ端子とソース信号線１８とは切り離される（Ｉｏｕｔ端子が、ソース信号線１８と接続されている）。したがって、プログラム電流Ｉｗはソース信号線１８には流れない。ＰＯ端子はプログラム電流Ｉｗをソース信号線に印加している時は、“１”とし、スイッチ６５５をオンして、プログラム電流Ｉｗをソース信号線１８に流す。

【０９６５】

ＰＯ端子に“０”を印加し、スイッチ６５５をオープンにする時は、表示領域のいずれの画素行も選択されていない時である。単位トランジスタ４８４は入力データ（Ｄ０～Ｄ５）に基づいて電流をたえず、ソース信号線１８から引き込んでいる。この電流が選択された画素１６のＶｄｄ端子からトランジスタ１１ａを介してソース信号線１８に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素１６からソース信号線１８に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線１８に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

【０９６６】

この状態で、出力端子６８１がソース信号線１８に接続されていると、オンしている単位トランジスタ４８４（実際にはオンしているのはＤ０～Ｄ５端子のデータにより制御されるスイッチ４８１であるが）に電流が流れる。そのため、ソース信号線１８の寄生容量に充電された電荷が放電し、ソース信号線１８の電位が、急激に低下する。以上のように、ソース信号線１８の電位が低下すると、本来ソース信号線１８に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

【０９６７】

この課題を解決するため、本発明は、全非選択期間に、ＰＯ端子に“０”を印加し、図６６のスイッチ６５５をオフとして、出力端子６８１とソース信号線１８とを切り離す。切り離すことにより、ソース信号線１８から単位トランジスタ４８４に電流が流れ込むことはなくなるから、全非選択期間にソース信号線１８の電位変化は発生しない。以上のように、全非選択期間にＰＯ端子を制御し、ソース信号線１８から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

【０９６８】

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域

（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

【０９６９】

プリチャージ制御は、Ｒ、Ｇ、Ｂで異ならせることも有効である。ＥＬ表示素子１５は、Ｒ、Ｇ、Ｂで発光開始電圧、発光輝度が異なっているからである。たとえば、Ｒは、所定輝度の白面積：所定輝度の黒面積の比が１：２０以上でプリチャージを停止または開始し、ＧとＢは、所定輝度の白面積：所定輝度の黒面積の比が１：１６以上でプリチャージを停止または開始するという方法が例示される。なお、実験および検討結果によれば、有機ＥＬパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が１：１００以上（つまり、黒面積が白面積の１００倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が１：２００以上（つまり、黒面積が白面積の２００倍以上）でプリチャージを停止することが好ましい。

【０９７０】

さらに、プリチャージについて説明をする。図２３２はプリチャージ回路の他の実施例である。図６６の実施例との差異は、プリチャージイネーブル（ＰＥＮ）とプリチャージセレクト（ＰＳＬ）などによりプリチャージスイッチ４８１ａが制御される点である。なお、制御スイッチをＯＰＶとする。なお、電流出力段のスイッチ６５６はＰＯ信号により制御される。

【０９７１】

なお、プリチャージの電圧は、図２５１に図示するように、一定電圧を分圧させて、複数のプリチャージ電圧を発生させてもよい。図２５１では、Ｖｐ電圧を抵抗Ｒで分圧し、分圧した電圧はオペアンプ７２２を介してインピーダンスを低下させ、プリチャージ電圧Ｖｐ１およびＶｐ２電圧を発生させている。プリチャージ電圧（Ｖｐ１、Ｖｐ２）は、画像データに応じていずれかを選択し、端子６８１より出力する。選択は、スイッチ４８１ａ、４８１ｂで行う。

【０９７２】

本発明のこの実施例では、プリチャージするかしないかは、画像データにより決定される。この制御として、ＰＳＬ信号、ＰＥＮ信号は重要な機能を発揮する。

【０９７３】

以前にも説明をしたが、図２３５に図示するように、ＲＧＢの画像データ（ＲＤＡＴＡ、ＧＤＡＴＡ、ＢＤＡＴＡ）は各８ビットである。ＲＧＢ各８ビットの画像データは、ガンマ回路８３４でガンマ変換されて、１０ビット信号となる。ガンマ変換された信号は、フレームレートコントロール（ＦＲＣ）回路８３５でＦＲＣ処理されて、６ビットの画像データに変換される。プリチャージ制御回路（ＰＣ）２３５１は、変換された６ビットの画像データからプリチャージ制御信号（プリチャージする時はＨレベルとし、プリチャージしない時はＬレベルとする）を発生させる。このプリチャージを発生させる方式については後に説明をする。

【０９７４】

図２３６は、ソースドライバＩＣ（回路）１４のプリチャージ回路２３６３を中心とするブロック図である。プリチャージ回路２３６３とは、図６６、図２３２、図２３３などの回路が該当する。プリチャージ制御回路２３５１によりプリチャージ制御信号ＰＣ信号（赤（ＲＰＣ）、緑（ＧＰＣ）、青（ＢＰＣ））が出力される。このＰＣ信号は図２３５に図示するコントロールＩＣ８１のプリチャージ制御回路２３５１により発生し、ＰＣ信号は、図２３６に図示するソースドライバＩＣ１４のセレクタ回路２３６２に入力される。

【０９７５】

セレクタ回路２３６２は、メインクロックに同期して出力段に対応するラッチ回路２３６１に順次ラッチしていく。ラッチ回路２３６１はラッチ回路２３６１ａとラッチ回路２３６１ｂの２段構成である。ラッチ回路２３６１ｂは水平走査クロック（１Ｈ）に同期してプリチャージ回路２３６３にデータを送出する。つまり、セレクタは、１画素行分の画像データおよびＰＣデータを順次ラッチしていき、水平走査クロック（１Ｈ）に同期して、ラッチ回路２３６１ｂでデータをストアする。

【０９７６】

なお、図２３６では、ラッチ回路２３６１のＲ、Ｇ、ＢはＲＧＢの画像データ６ビットのラッチ回路であり、Ｐはプリチャージ信号（ＲＰＣ、ＧＰＣ、ＢＰＣ）の３ビットをラッチするラッチ回路である。

【０９７７】

プリチャージ回路２３６３は、ラッチ回路２３６１ｂの出力がＨレベルの時、スイッチ４８１ａをオンさせ、ソース信号線１８にプリチャージ電圧を出力する。電流出力回路６５４は画像データに応じて、プログラム電流をソース信号線１８に出力する。

【０９７８】

図２３５、図２３６の構成を概略的に図示すれば、図２３７の構成となる。なお、図２３７、図２３８は図２２８のように、１つの表示パネルに複数のソースドライバＩＣ（回路）１４を積載した構成（ソースドライバＩＣのカソード接続）である。また、図２３７、図２３８のＣＳＥＬ１、ＣＳＥＬ２はＩＣチップのセレクト信号である。ＣＳＥＬ信号によりどちらにＩＣチップを選択し、画像データおよびＰＣ信号を入力するかを決定する。

【０９７９】

図２３６、図２３７の構成では、各ＲＧＢ画像データに対応して、ＰＣ信号を発生させている。プリチャージの印加は、以上のようにＲＧＢごとに行うことが好ましい。しかし、動画表示、自然画表示では、ＲＧＢごとにプリチャージするかしないかを判断する必要がない場合が多い。つまり、ＲＧＢを輝度信号に変換し（換算し）、輝度によりプリチャージをするかしないかを判断してもよい。このようにしたのが、図２３８の構成である。図２３７の構成では、ＰＣ信号は３ビット必要である（ＲＰＣ、ＧＰＣ、ＢＰＣ）が、図２３８の構成では、ＰＣ信号はＲＧＢＰＣの１ビットでよい。したがって、図２３６のラッチ回路２３６１においても、Ｐは１ビットのラッチでよい。なお、以降の説明では、説明を容易にする点、作図を容易にする観点から、ＲＧＢを考慮せずに説明を行う。

【０９８０】

以上の本発明の構成は、コントローラ８１が画像データに基づいてＰＣ信号（プリチャージ制御信号）を発生する点、ソースドライバＩＣ１４がＰＣ信号をラッチし１Ｈの同期信号に同期してソース信号線１８に印加する点に特徴がある。また、コントローラ８１は図２３５に図示するように、プリチャージモード（ＰＭＯＤＥ）信号により、プリチャージ信号の発生を容易に変更することができる。たとえば、ＰＭＯＤＥとは、階調０のみをプリチャージするモード、階調０－７など一定の階調範囲をプリチャージするモード、画像データが明るい画像データから暗い画像データに変化する時にプリチャージするモード、一定のフレームで連続して低階調表示となる時に、プリチャージするモードなどが例示される。

【０９８１】

なお、１画素のデータについてプリチャージするかしないかを判断することに限定するものではない。たとえば、複数画素行の画像データにもとづいてプリチャージ判断をおこなってもよい。また、プリチャージを行う周辺画素の画像データを勘案して（たとえば、重み付け処理など）プリチャージ判断を行っても良い。また、動画と静止画でプリチャージ判断を変化する方法も例示される。以上事項は、画像データに基づき、コントローラがプリチャージ信号を発生することにより、良好な汎用性が発揮される点が重要である。以降、このプリチャージ判断とプリチャージモードを中心に説明をする。

【０９８２】

なお、プリチャージをするかしないかの判定は、１画素行前の画像データ（あるいは、直前にソース信号線に印加された画像データ）にもとづいて行っても良い。たとえば、あるソース信号線１８に印加される画像データが白→黒→黒であれば、白から黒になる時は、プリチャージ電圧を印加する。黒階調は書込みにくいからである。黒から黒の場合は、プリチャージ電圧を印加しない。先に黒表示でソース信号線１８の電位が次に書き込む黒表示の電位となっているからである。以上の動作は、コントローラ８１に１画素行分（ＦＩＦＯのため２ラインのメモリが必要）のラインメモリを形成（配置）することのより容易に実現できる。

【０９８３】

また、本発明において、プリチャージ駆動では、プリチャージ電圧を出力するとして説明をするが、これに限定するものではない。１水平走査期間よりも短く、プログラム電流よりも大きい電流をソース信号線１８に書き込む方式でもよい。つまり、プリチャージ電流をソース信号線１８に書込み、その後にプログラム電流をソース信号線１８に書き込む方式でもよい。プリチャージ電流も物理的には電圧変化を引き起こしていることには差異はない。プリチャージをプリチャージ電流で行う方式も本発明のプリチャージ駆動の範疇である。たとえば、図２２３では電子ボリウム４５１を切り換えることによりプリチャージ電圧が変化する。この電子ボリウム４５１を電流出力の電子ボリウムに変更すればよい。変更は複数のカレントミラー回路を組み合わせることにより容易に実現できる。また、図２３２、図２３３にあっては、プリチャージ電圧Ｖｐをカレントミラー回路からなる電流出力に変更すればよい。本発明では説明を容易にするため、プリチャージ駆動はプリチャージ電圧で行うとして説明をする。

【０９８４】

また、プリチャージ電圧（電流）の印加は、一定のプリチャージ電圧（電流）を印加することに限定するものではない。たとえば、複数のプリチャージ電圧をソース信号線に印加してもよい。たとえば、第１のプリチャージ電圧５（Ｖ）を５（μｓｅｃ）印加した後、第２のプリチャージ電圧４．５（Ｖ）を５（μｓｅｃ）印加する方法である。その後に、プログラム電流Ｉｗをソース信号線１８に印加する。また、プリチャージ電圧を鋸波状に変化させたものでもよい。また、矩形波を印加してもよい。また、正規のプログラム電流（電圧）にプリチャージ電圧（電流）を重畳させてもよい。また、プリチャージ電圧（電流）の大きさ、プリチャージ電圧（電流）の印加期間は、画像データに対応させて変化させてもよい。また、画像データの値などに応じて、印加波形の種類、プリチャージ電圧の値などを変化させてもよい。

【０９８５】

また、本発明は電流駆動方式において、プリチャージ電圧（電流）を印加するとして説明をするが、プリチャージ駆動は、電圧駆動方式でも効果を発揮する。電圧駆動方式では、ＥＬ素子１５を駆動する駆動用トランジスタサイズが大きいため、ゲート容量が大きい。そのため、正規のプログラム電圧が書き込みにくいという課題がある。この課題に対して、プログラム電圧を印加する前に、プリチャージを実施することにより、駆動用トランジスタをリセット状態にすることができ、良好な書込みを実現できる。したがって、本発明のプリチャージ駆動方式は、電流プログラム駆動に限定されるものではない。本発明の実施例では、説明を容易にするために、電流プログラム駆動の画素構成（図１などを参照のこと）を例示して説明をする。

【０９８６】

また、本発明の実施例において、プリチャージ駆動方式は、駆動用トランジスタ１１ａのみに作用するものではない。たとえば、図３８の画素構成において、カレントミラー回路を構成するトランジスタ１１ａにも作用して効果を発揮する。本発明のプリチャージ駆動方式は、ソースドライバＩＣ（回路）１４からみたソース信号線１８の寄生容量を充放電することを１つの目的としているが、当然のことながらソースドライバＩＣ（回路）１４内の寄生容量も充放電されることも目的としている。

【０９８７】

また、プリチャージ電圧（電流）は、黒表示を良好にすることを１つの目的としているが、これに限定されるものではない。白表示を書込み易くする白書込みプリチャージ電圧（電流）を印加すれば、良好な白表示も実現できる。つまり、本発明のプリチャージ駆動とは、プログラム電流（プログラム電圧）を書き込む前に、前記プログラム電流（プログラム電圧）を書込み易くするための、所定の電圧（電流）を印加し、予備充電するものである。

【０９８８】

また、本発明は、黒表示でプリチャージするとして説明をするが、これは、基本的には駆動用トランジスタ１１ａからソースドライバＩＣ（回路）１４に吸い込み電流で実施する場合である。駆動用トランジスタ１１ａなどがＮチャンネルトランジスタの場合は、ソースドライバＩＣ（回路）１４からは吐き出し電流でプログラムすることになる。この場合は、白表示で書込みにくい画素構成の場合も発生する。したがって、本発明のプリチャージ駆動方法は、ソース信号線１８などを所定電位に変化させるものであって、白表示でプリチャージするとか、黒表示でプリチャージするとかは実施形態にすぎない。したがって、これらに限定されるものではない。

【０９８９】

プリチャージ電圧（電流）の印加タイミングは、プログラム電圧（電流）を書き込む画素行を選択した状態でプリチャージ電圧（電流）を書き込むことが好ましいが、これに限定するものではなく、画素行が非選択の状態で、ソース信号線１８にプリチャージ電圧（電流）を印加して予備充電を行ない、その後、プログラム電流（電圧）を書き込む画素行を選択してもよい。

【０９９０】

また、プリチャージ電圧は、ソース信号線１８に印加するとしているが、他の方式も例示される。たとえば、アノード端子への印加電圧（Ｖｄｄ）またはカソード端子への印加電圧（Ｖｓｓ）を変化させてもよい（プリチャージ電圧を印加）。アノード電圧またはカソード電圧を変化させることにより、駆動用トランジスタ１１ａの書込み能力が拡大される。したがって、プリチャージ効果が発揮される。特に、アノード電圧（Ｖｄｄ）をパルス的に変化させる方式を実施する効果が高い。

【０９９１】

図２３９（ａ）は階調０のみをプリチャージした時の説明図である。階調０のみのプリチャージは階調飛びがなく、良好な黒表示を実現できるので好ましい方法である。図２３９において、行番号は、画素行の番号を示している。画素行は、第１画素行からｎ画素行まで順次画像データが書き換えられ、最終画素行ｎまで電流プログラムがされると、また、第１画素行から電流プログラムが開始される。

【０９９２】

画像データは、６４階調の画像データである。画像データは０から６３の値をとる。当然ながら、２５６階調の時は、０から２５５までの値をとる。ＰＳＬはプリチャージセレクト信号であり、Ｈレベル（記号Ｈ）のとき、プリチャージ電圧の出力が許可させる。Ｌレベルの時は、プリチャージ電圧は出力されない。ＰＥＮはプリチャージイネーブル信号である。このＰＥＮはコントローラ８１の判断により出力される信号である。つまり、コントローラは画像データに基づいて、ＰＥＮ信号をＨまたはＬレベルにする。ＰＥＮがＨレベルの時は、プリチャージをするという判断信号であり、Ｌレベルの時は、プリチャージしないという判断信号である。図２３９では、階調０の時にのみ、ＰＥＮ信号はＨレベルとなっている。Ｐ出力は、スイッチ４８１ａのオンオフ状態である（図２３２、図２３３を参照のこと）。表では、○はスイッチ４８１ａがオン状態（ソース信号線１８にプリチャージ電圧Ｖｐが印加された状態）である。×はスイッチ４８１ａがオフ状態（ソース信号線１８にプリチャージ電圧が印加されていない状態）である。

【０９９３】

図２３９（ａ）では、画素行番号３と画素行番号８に該当する箇所で、ＰＥＮ信号がＨとなっている。同時に画素行番号３と画素行番号８では、ＰＳＬ信号もＨレベルであるの

で、Ｐ出力は○（プリチャージ電圧Ｖｐが出力された状態となっている。図２３９（ｂ）では、ＰＥＮ信号は図２３９（ａ）と同一であるが、ＰＳＬ信号がＬレベルである。したがって、Ｐ出力はたえず、×（プリチャージ電圧Ｖｐが出力されていない）の状態となっている。基本的にはＰＥＮ信号もコントローラ８１から出力される。しかし、ＰＥＮ信号はユーザーが調整できるようにすることが好ましい。

【０９９４】

また、プリチャージ電圧Ｖｐが出力されている期間は、図２３２のカウンタ６５１で設定することができる。このカウンタはプログラマブルカウンタであり、コントローラからの設定値、あるいはユーザーの設定値に基づき動作する。カウンタ６５１はメインクロック（ＣＬＫ）に同期して動作するように構成されている。

【０９９５】

図２４０（ａ）は階調０から階調７のみをプリチャージした時の説明図である。低階調領域のみにプリチャージする方法は、電流駆動が黒表示領域を書込みにくいという課題を解決する方策として有効である。なお、いずれの範囲までプリチャージするかはコントローラ８１により設定できる。

【０９９６】

図２４０では、階調０－７の時にのみ、ＰＥＮ信号はＨレベルとなっている。Ｐ出力は、スイッチ４８１ａのオンオフ状態である（図２３２、図２３３などを参照のこと）。図２４０（ａ）では、画素行番号３、５、６、７、１１、１２、１３に該当する箇所で、画像データは７以下であるので、ＰＥＮ信号がＨとなっている。同時に以上の箇所で、ＰＳＬ信号もＨレベルであるので、Ｐ出力は○（プリチャージ電圧Ｖｐが出力された状態）となっている。図２４０（ｂ）では、ＰＳＬ信号がＬレベルであるので、Ｐ出力はすべて×（プリチャージ電圧が印加されていない状態）となっている。

【０９９７】

図２４１は画素１６の輝度が低くなる時にプリチャージを実施する駆動方式の説明図である。電流プログラム方式では、画素１６の輝度を高くするとき（白表示）のプログラム電流Ｉｗが大きい。したがって、ソース信号線１８に寄生容量があっても十分寄生容量を充放電することができる。しかし、画素１６を黒表示にプログラムするときは、プログラム電流は小さくソース信号線１８の寄生容量などを十分に充放電することができない。したがって、画素１６に書き込むプログラム電流が大きくなる時は、プリチャージをする必要がない場合が多い。逆に画素１６に書き込む電流が小さくなる時（黒表示となる時）はプリチャージする必要が発生する。

【０９９８】

図２４１は画素１６の輝度が低くなる時にプリチャージを実施する駆動方式の説明図である。第１画素行目の画像データが３９である。したがって、ソース信号線１８には、画素１６を画像データ３９に電流プログラムする電位が保持されている。第２画素行目の画像データは１２である。したがって、ソース信号線１８は画像データ１２に対応する電位になるようにする必要がある。しかし、プログラム電流は階調３９から階調１２と小さくなる。そのため、ソース信号線１８を十分に充放電できない状態が発生する場合がある。この課題に対応するため、プリチャージする（ＰＥＮ信号はＨレベルとなる）。画素行３、５、６、８、１１、１２、１３、１５においても同様の判定結果となる。

【０９９９】

第３画素行目の画像データは０である。したがって、ソース信号線１８には、画素１６を画像データ０に電流プログラムする電位が保持されている。第４画素行目の画像データは２１である。したがって、ソース信号線１８は画像データ２１に対応する電位になるようにする必要がある。プログラム電流は階調０から階調２１と大きくなる。そのため、ソース信号線１８を十分に充放電可能である。したがって、第４画素行ではプリチャージする必要はない。

【１０００】

以上の判断を、コントローラ８１で実施する。実施の結果、図２４１（ａ）に図示する

ように、ＰＥＮ信号は、画素行２、３、５、６、８、１１、１２、１３、１５でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。図２４１（ａ）では、ＰＳＬ信号もＨレベルであるから、Ｐ出力の欄でわかるように、Ｐ出力は、画素行２、３、５、６、８、１１、１２、１３、１５で○（プリチャージする）ことになる。なお、他の画素行ではプリチャージは行われない。

【１００１】

図２４１（ｂ）では、ＰＥＮ信号は図２４１（ａ）と同一であるが、ＰＳＬ信号がＬレベルである。したがって、Ｐ出力はたえず、×（プリチャージ電圧Ｖｐが出力されていない）の状態となっている。基本的にはＰＥＮ信号もコントローラ８１から出力される。しかし、ＰＥＮ信号はユーザーが調整できるようにすることが好ましい。

【１００２】

図２４２は、図２４０と図２４１のプリチャージ方法を組み合わせた方式である。画素１６の輝度が低くなる時にプリチャージを実施し、かつ、画素１６のプログラム電流が０－７階調の低輝度となる場合にプリチャージする方法である。どの階調以下でプリチャージするか否かは、コントローラＩＣ８１の設定値で変更可能である。また、ユーザーが変更することも可能である。変更は、コントローラ内部のテーブルにマイコンからシリアルインターフェースを介して行う。

【１００３】

画像データは図２４１の実施例と同一である。しかし、図２４２では、第２画素行では画像データが１２であり、第１５画素行では、画像データが１２であるため、ＰＥＮ信号はＬレベルの判定結果となっている。先にも説明したように、一定以上のプログラム電流Ｉｗの大きさがあれば、ソース信号線１８の寄生容量を充放電できる。したがって、プリチャージする必要はない。逆にプリチャージするとソース信号線１８の電位が黒表示電位まで変化し、中間調表示の電位に復帰するのに時間を要する。

【１００４】

以上の判断を、コントローラ８１で実施する。実施の結果、図２４２（ａ）に図示するように、ＰＥＮ信号は、画素行３、５、６、８、１１、１２、１３でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。図２４２（ａ）では、ＰＳＬ信号もＨレベルであるから、Ｐ出力の欄でわかるように、Ｐ出力は、画素行３、５、６、８、１１、１２、１３で○（プリチャージする）ことになる。なお、他の画素行ではプリチャージは行われない。図２４２（ｂ）では、ＰＥＮ信号は図２４２（ａ）と同一であるが、ＰＳＬ信号がＬレベルである。したがって、Ｐ出力はたえず、×（プリチャージ電圧Ｖｐが出力されていない）の状態となっている。

【１００５】

以上の実施例は、各ＲＧＢのプリチャージについて説明をしていないが、図２４３のように各ＲＧＢでプリチャージ判定を行うことが好ましいことは言うまでもない。各ＲＧＢで画像データがことなっているからである。特に、図４１、図１２５、図１２６のように、列方向に各ＲＧＢ画素が配置される場合に良好な結果が得られる。各ソース信号線には連続して同一色の画素データが印加されるからである。

【１００６】

図２４３は、図２４０と同様に階調０－７の範囲でプリチャージを実施する駆動方法である。各ＲＧＢでのプリチャージの判断をコントローラ８１で実施する。実施の結果、図２４３に図示するように、Ｒ画像データでは、ＰＥＮ信号は、画素行３、５、６、７、８、１１、１２、１３でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。Ｇ画像データでは、ＰＥＮ信号は、画素行３、７、９、１１、１２、１３、１４でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。Ｂ画像データでは、ＰＥＮ信号は、画素行１、２、３、６、７、８、９、１５でＨレベルとなる。つまり、前記画素行ではプリチャージするという結果となる。

【１００７】

以上の実施例では、画素行に対応してプリチャージをするか否かを判断した。しかし、

本発明はこれに限定するものではない。フレーム（フィールド）単位で各画素に印加される画像データの大きさ、変化などを判定し、プリチャージするか否かを判断してもよいことは言うまでもない。図２４４はその実施例である。

【１００８】

図２４４はある画素１６に着目した画像データの変化を示している。図２４４の表の第１行目はフレーム番号を示している。表の２行目はある画素１６にプログラムされる画像データの変化を示している。また、図２４４は、図２３９と同様に階調０でプリチャージする駆動方式の変形例である。図２３９では、階調０で必ずプリチャージする方法であった。図２４４では、階調０が一定フレーム連続する時にプリチャージする方法である。連続は、カウンタで示す。

【１００９】

図２４４（ａ）では、フレーム３、４、５、６、１１、１２で階調０である。そのため、カウント値は、第３フレームから第６フレームまで順次カウントされる。また、フレーム１１、１２でカウントされる。図２４４（ａ）では、階調０が３フレーム連続する時に、プリチャージを実施するように制御されている。したがって、フレーム５、６でＰ出力が○（プリチャージ電圧が出力される）となる。フレーム１１、１２では２フレームしか階調０が連続しないため、プリチャージはされない。

【１０１０】

図２４４（ｂ）では、ＰＳＬ信号によりカウント制御を実施している。ＰＳＬ信号がＨレベルの時に、カウント値はアップされる。図２４４（ｂ）では、フレーム５、１２でＰＳＬ信号がＬレベルため、カウントアップされない。そのため、プリチャージ電圧は、フレーム６でしか出力されない。

【１０１１】

なお、図２４４では階調０が一定フレーム連続する時にプリチャージするとしたが、本発明はこれに限定するものではなく、図２４０で説明したように、一定の階調範囲（たとえば、階調０－７）が連続する時にプリチャージするように制御してもよい。また、連続したフレームに限定するものではなく、離散的であってもよい。また、連続した画素行で一定の階調範囲（たとえば、階調０のみ、階調０－７など）が連続する時にプリチャージするように制御してもよい。

【１０１２】

以上のように本発明のプリチャージ駆動方式では、画像データの値あるいは画像データの変化状態あるいはプリチャージする画素の近傍の画像データ値とその変化などにより、プリチャージするか否かを判定し、プリチャージ電圧（電流）を印加する。また、プリチャージを印加するか否かの情報は、ソースドライバＩＣ（回路）に保持される。したがって、ソースドライバＩＣ（回路）１４はプリチャージ信号をラッチするラッチ回路２３６１（保持回路あるいは記憶手段（メモリ））を具備するだけであるから構成は容易である。また、いずれのプリチャージ方式でもコントローラＩＣのプログラムを変更するだけで対応できるため汎用性がある。

【１０１３】

以上のプリチャージを図示すれば、図２８８から図２９１になる。なお、プリチャージ電圧は、電子ボリウムなどで自由に設定できるように構成することが好ましい。

【１０１４】

図２８８から図２９２において、上段の図面は、プリチャージを印加していない状態のソース信号線１８電位を示している。画素１６の駆動用トランジスタはＰチャンネルとしている。また、画素データは理解を容易にするために６４階調として表示している。したがって、プリチャージ電圧（ＰＲＶ）は、アノード電圧（Ｖｄｄ）に近い電圧を印加する。プリチャージ電圧（ＰＲＶ）を印加することのより、駆動用トランジスタに電流を流れないようにする。あるいは電流が流れにくいようにする。つまり、画素１６を黒表示にする。駆動用トランジスタがＮチャンネルの場合は、プリチャージ電圧はグランド（ＧＮＤ）電位またはカソード電圧（Ｖｓｓ）に近い電圧を印加し、駆動用トランジスタに電流が

流れないようにする。

【１０１５】

以上は、プリチャージ電圧の印加により画素を黒表示あるいは黒表示に近い状態にする方法の場合である。しかし、プリチャージ電圧を印加することにより、白表示にする場合もある。したがって、プリチャージ電圧の印加とは、黒表示電圧だけではない。ソース信号線１８に電圧印加により、ソース信号線１８に一定電位にする方法である。

【１０１６】

なお、図１など、画素１６の駆動用トランジスタ１１ａがＰチャンネルの場合は、スイッチング用トランジスタ１１ｂもＰチャンネルで形成することが重要である。スイッチング素子１１ｂがオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。したがって、画素１６の駆動用トランジスタ１１ａがＮチャンネルの場合は、スイッチング用トランジスタ１１ｂもＮチャンネルで形成することが重要である。スイッチング素子１１ｂがオン状態からオフ状態になる時の突き抜け電圧により黒表示が容易になるからである。

【１０１７】

下段は、ソース信号線１８にプリチャージ電圧（ＰＲＶ）を印加した時にソース信号線電位を図示している。矢印の箇所がプリチャージ電圧（ＰＲＶ）の印加位置を示している。なお、プリチャージ電圧の印加位置は、１Ｈの最初に限定するものではない。１／２Ｈまでの期間にプリチャージ電圧を印加すればよい。なお、ソース信号線１８にプリチャージ電圧を印加するときは、選択側のゲートドライバ１２ａのＯＥＶ端子を操作し、いずれのゲート信号線１７ａも選択されていない状態にすることが好ましい。

【１０１８】

図２８８はＡｌｌプリチャージモードである。１Ｈの最初にプリチャージ電圧（ＰＲＶ）をソース信号線に印加している。ソース信号線１８にプリチャージ電圧（ＰＲＶ）を印加することのより、一端ソース信号線１８は黒表示電圧が印加される。

【１０１９】

図２８９は選択プリチャージモードであり、０階調（完全黒表示）にのみプリチャージ電圧を印加した時のソース信号線電位を示している。

【１０２０】

図２９０は選択プリチャージモードであり、８階調以下の場合はプリチャージ電圧を印加した時のソース信号線電位をしめしている。

【１０２１】

また、図２９１は適応プリチャージモードであり、０階調にのみプリチャージを行い、かつ０階調が連続する場合は、１度プリチャージを行ったのちは、連続する０階調目にはプリチャージを行わないものである。図２９１の適応プリチャージモードにおいて、８階調以下に選択プリチャージを行う場合は、８階調以下が連続する場合は、１度プリチャージを行ったのちは、連続する８階調目以下にはプリチャージを行わないものである。

【１０２２】

図３４２に適応プリチャージ方法を説明している。適応プリチャージには多くの類型がある。１の３２階調目（中間値）判断の場合は、画像データ（図では画像データは６ビットとしている）の最上位ビット（ＭＳＢ）のビットを判断ビットとして活用する。設定値判断の場合は、設定値データと画像データを比較し、画像データの方が設定データよりも大きい時、判断ビットと１とする。他の場合は、判断ビットを０とする。

【１０２３】

また、２に示すように現画像データ（プリチャージ処理する対象画像データ）と選択プリチャージ範囲とを比較し、選択プリチャージの範囲内にあるときは、プリチャージビットを１にする。範囲外の場合は、プリチャージビットを０にする。

【１０２４】

次に、３で示すように、プリチャージビットを判断ビットの両方が１の時、プリチャージを実施する。他の場合は、プリチャージしない。

【１０２５】
電流駆動方式の場合は、ソース信号線１８に流れる電流の大きさが小さい。したがって、ソース信号線１８がフローティング状態になり、電位が不確定になる場合がある。この対策として、プリチャージ電圧をソース信号線１８に印加し、ソース信号線１８の電位を安定化させる方法が例示される。
【１０２６】
図２９２は、プリチャージ電圧をソース信号線１８に印加することのより安定化させた実施例である。１フィールドあるいは１フレームの最後もしくは最初にソース信号線１８にプリチャージ電圧を一斉に印加している。図２９３はその変形例である。第１フィールドでは奇数番目のソース信号線１８にプリチャージ電圧を印加し、第２フィールドでは、偶数番目のソース信号線１８にプリチャージ電圧を印加している。
【１０２７】
プリチャージ電圧は、図３４１に図示するように、表示期間よりも１Ｈ以上前に印加することが好ましい。図３４１では、Ｂ＝２Ｈ（２水平走査期間）前にプリチャージを行っている。表示期間の直前にプリチャージを行うと、プリチャージによりソース信号線１８の電位が大きく変動し、画像表示の最初の画素行の輝度が低下し悪影響が出る場合があるからである。
【１０２８】
なお、図２９２、図２９１などで説明した本発明のプリチャージ方法あるいは構成もしくは装置は、図６７、図２２３、図２３２、図２３３から図２４４、図３０５から図３１１などにおいても実施もしくは構成あるいは適用することができることは言うまでもない。
【１０２９】
図２３７などでは、画素データはＲ、Ｇ、Ｂデータおよびプリチャージデータ（ＰＲＣ、ＰＧＣ、ＰＢＣ）をパラレルにソースドライバ回路１４に印加するとしたが、本発明はこれに限定するものではない。以上のようにパラレルに印加するように構成するとコントローラ８１とソースドライバＩＣ１４とを結ぶ配線数が多くなる。そのため、コントローラ８１のピン数が増加しコントローラサイズが大きくなるという課題がある。
【１０３０】
この課題に対して、本発明は、図２５３に図示するように、画像データ（ＤＡＴ）６ビットと、コントロールデータ（ＤＣＴＬ）４ビットで構成し、１０ビットで画像データおよびプリチャージデータなどをコントローラ８１からソースドライバ１４に印加する。
具体的には、従来（パラレルでＲＧＢデータを転送する場合）の１クロックの４倍クロックを用いてシリアルで画像転送を行う。つまり、図２５３に図示（ＤＡＴを参照のこと）するように、従来の１クロック期間にＲデータ６ビット、Ｇデータ６ビット、Ｂデータ６ビット、制御データ６ビットを転送する。画像データ、制御データは設定データをして取り扱う。
【１０３１】
Ｒ、Ｇ、Ｂ、データ識別データ（Ｄ）の識別は、ＤＣＴＬの４ビットで行う。以上のように画像データ、コントロールデータをシリアル転送（４相）で行うことによりコントローラ８１おｔソースドライバ１４を結線する配線数が減少し、コントロールＩＣ８１を小型化できる。
【１０３２】
図２５２は、データ識別（ＤＣＴＬ）と設定データ（ＤＡＴ）を表にしたものである。図２５２において、データ識別（ＤＣＴＬ）が設定データ（ＤＡＴ）の種類を示し、設定データ（ＤＡＴ）が内容を示す。
【１０３３】
ＤＣＴＬの上位３ビットが０の時、設定データ（ＤＣＴＬ）が赤（Ｒ）の画像データであることを示す（図２５３のＲ［５：０］が該当する）。設定データ（ＤＣＴＬ）の６ビットは６４階調の画像データ（０階調目は０、６３階調目は６３）を示す。また、ＤＣＴ

Ｌの最下位ビットは、プリチャージの有無（図２３７のＰＲＣ端子）を示す。１の時は、プリチャージすることを示し、０の時はプリチャージしないことを示す。

【１０３４】

ＤＣＴＬの上位３ビットが１の時、設定データ（ＤＣＴＬ）が緑（Ｇ）の画像データ（図２５３のＧ［５：０］が該当する）であることを示す。設定データ（ＤＣＴＬ）の６ビットは６４階調の画像データ（０階調目は０、６３階調目は６３）を示す。また、ＤＣＴＬの最下位ビットは、プリチャージの有無（図２３７のＰＧＣ端子）を示す。

【１０３５】

同様に、ＤＣＴＬの上位３ビットが２の時、設定データ（ＤＣＴＬ）が青（Ｂ）の画像データ（図２５３のＢ［５：０］が該当する）であることを示す。設定データ（ＤＣＴＬ）の６ビットは６４階調の画像データ（０階調目は０、６３階調目は６３）を示す。また、ＤＣＴＬの最下位ビットは、プリチャージの有無（図２３７のＰＢＣ端子）を示す。ＤＣＴＬ［３：０］が８の時、設定データ（ＤＣＴＬ）が赤（Ｒ）の基準電流設定データであることを示す。また、ＤＣＴＬ［３：０］が９の時、設定データ（ＤＣＴＬ）が緑（Ｇ）の基準電流設定データであることを示す。ＤＣＴＬ［３：０］が１０の時、設定データ（ＤＣＴＬ）が青（Ｂ）の基準電流設定データであることを示す。基準電流の電子ボリウム変更に関しては、図１７０、図１７１、図１９０などで説明したので説明を省略する。

【１０３６】

同様にＤＣＴＬ［３：０］が１２の時、設定データ（ＤＣＴＬ）が赤（Ｒ）のプリチャージ電圧設定データであることを示す。ＤＣＴＬ［３：０］が１３の時、設定データ（ＤＣＴＬ）が緑（Ｇ）のプリチャージ電圧設定データであることを示す。ＤＣＴＬ［３：０］が１４の時、設定データ（ＤＣＴＬ）が青（Ｂ）のプリチャージ電圧設定データであることを示す。プリチャージ電圧の電子ボリウム変更に関しては、図２２３で説明したので説明を省略する。

【１０３７】

図２５３は画像データ（ＤＡＴ）６ビットと、コントロールデータ（ＤＣＴＬ）４ビットで構成し、１０ビットで画像データおよびプリチャージデータなどをコントローラ８１からソースドライバ１４に印加する方式である。また、４倍クロックを用いてシリアルで画像転送を行っている実施例である。しかし、本発明はこれに限定されるものではない。たとえば、図３４７に図示するように、画像データであるＲＧＢデータと、コントロールデータＤとをシリアルで伝送し、画像データとコントロールデータの識別は、ＩＤ信号で行っても良い。ＩＤデータがＨレベルの時、画像データであることを意味し、Ｌレベルの時、コントロールデータであることを意味する。

【１０３８】

また、図３４８に図示するように、画像データをＲＧＢのシリアルで転送し、各画像データがプリチャージするか否かをプリチャージ識別信号ＰＲＣで行っても良い。図３４８において、ＰＲＣ信号がＨレベルの時、該当画像データはプリチャージしてからソース信号線１８に印加されるように制御され、Ｌレベルの時は、プリチャージしないように制御される。

【１０３９】

なお、図３４９に図示するように、画像データと制御データをそれぞれシリアル伝送してもよいことは言うまでもない。もちろん、画像データをシリアル伝送し、制御データをパラレル伝送してもよい。

【１０４０】

図３４９などは、ソースドライバＩＣ（回路）１４への入力データをシリアル伝送するものであった。本発明は、これに限定するものではない。たとえば、図４０７に例示するように、差動信号にして伝送してもよい。差動信号にする手段として、ＬＶＤＳ、ＲＳＤＳなどが例示される。

【１０４１】

図４０８、図４０９では、シリアル映像データなどが、さらに高い周波数の差動信号に変換されて伝送され、また、差動信号がシリアル映像データなどに戻され、ソースドライバ回路（ＩＣ）１４に入力され、あるいは、さらにパラレルデータに変換されてソースドライバ回路（ＩＣ）１４に入力されている実施例である。つまり、映像データはシリアルデータおよび差動信号に変換されて伝送されている。なお、伝送にあたり、一部の区間あるいは、すべての区間、もしくは一部のデータ信号などがパラレル伝送されてもよいことは言うまでもない。

【１０４２】

図４０７に図示するように、本体回路（たとえば、図１６０の１６０１など）の映像信号処理回路からのシリアルデータは、トランスシーバ（Ｔ）４０７１ａで差動信号に変換される。差動信号に変換することにより、信号の振幅が減少し、ノイズの影響を受けにくくなり、また不要輻射も減少する。したがって、トランスシーバ（Ｔ）４０７１ａとレシーバ（Ｒ）４０７１ｂ間の距離を長くすることができる。また、信号線の本数も削減することができる。

【１０４３】

差動信号は、レシーバ（Ｒ）４０７１ｂによりシリアルデータに変換される。もちろん、一気に図４０８のコントローラＩＣ４０８１の機能を取り込みパラレルデータに変換してもよいことは言うまでもない。レシーバ（Ｒ）４０７１ｂにより、トランシーバ４０７１ａで差動信号変換前のシリアルデータに復元される。

【１０４４】

図４０８は、レシーバ（Ｒ）４０７１ｂの次段にシリアル－パラレル変換回路４０８１が配置または形成された構成例である。シリアル－パラレル変換回路４０８１（具体的にはＡＳＩＣからなるコントローラＩＣ（回路）（制御手段）が該当する。シリアル－パラレル変換回路４０８１によりシリアルデータはパラレルデータに変換され、変換されたパラレルデータがソースドライバＩＣ（回路）１４に入力される。

【１０４５】

なお、制御データとは、たとえば、図６７、図２２３などのプリチャージ制御データ、図１７０、図１７１、図１９０、図３８９、図３９０などの電子ボリウムデータ、図２５２の制御データ、図２５１のスイッチ４８１のオンオフデータ、図２５０のスイッチ１６１１のオンオフデータとオンオフタイミングデータ、図２５１などのスイッチ２５６１、６５５の切り換えデータ、図２７６の画素間引き制御データなど多種多様な制御データが例示される。

【１０４６】

図２５４はコントロールＩＣ８１とソースドライバ回路１４、ゲートドライバ回路１２との接続増体を示す。画像データ、電子ボリウムデータ、プリチャージデータをＤＣＴＬ、ＤＡＴとしてシリアル転送することにより接続配線を省略することができる。なお、ソースドライバ回路１４の入力段でシリアル－パラレル変換を行うことにより、プリチャージデータ、画像データのラッチあるいは保持回路は図２３６と同様になる。ＧＣＴＬの４ビットは、クロック、スタートパルス、アップダウン切り換え、イネーブル信号である。

【１０４７】

図２３２では、スイッチ４８１ａをオンオフすることにより、端子６８１からプリチャージ電圧Ｖｐを出力し、スイッチ６５５はＰＯ信号によりオンオフすることにより、プログラム電流Ｉｗを端子６８１からソース信号線１８に印加する。しかし、図２３２の構成では、スイッチ４８１ａが閉じ、プリチャージ電圧Ｖｐが端子６８１に印加された時には、電流出力回路６５４（単位トランジスタ群５２１ｃ）にもプリチャージ電圧Ｖｐが印加される。電流出力回路６５４にプリチャージ電圧が印加されると電流出力回路６５４に異状動作が発生する場合がある。

【１０４８】

この課題に対しては、図２３３に図示するように、スイッチ６５５を電流出力回路６５４とＡ点との間に配置し、ＯＰＶ信号をインバータ６２でロジック反転してスイッチ６５

６を制御するように構成する。つまり、スイッチ４８１ａが閉じている時は、スイッチ６５６は開く（オープン）状態となるようにする。このように構成することにより、端子６８１にプリチャージ電圧Ｖｐが印加されている時は、スイッチ６５５は開いているために、電流出力回路６５４にはプリチャージ電圧は印加されない。このタイミングチャートを図２３４（ａ）に図示する。図２３４（ａ）において、ＯＰＶ信号がＨになっている期間ｔには、ＰＯ信号はＬとなっている。さらに好ましくは、スイッチ４８１ａが閉じている期間の前後には、スイッチ６５５がオフ（開いている）になっていることが好ましい。つまり、図２３４（ｂ）に図示するように、ＯＰＶ信号がＨになっている期間の前後を含めたｔ２の期間の間ＰＯ信号がＬレベルにする。スイッチ４８１ａのオンオフによる過渡現象の悪影響を防止するためである。

【１０４９】

図１のように画素１６の駆動用トランジスタ１１ａ、選択トランジスタ（１１ｂ、１１ｃ）がＰチャンネルトランジスタの場合は、突き抜け電圧が発生する。これは、ゲート信号線１７ａの電位変動が、選択トランジスタ（１１ｂ、１１ｃ）のＧ－Ｓ容量（寄生容量）を介して、コンデンサ１９の端子に突き抜けるためである。Ｐチャンネルトランジスタ１１ｂがオフするときにはＶｇｈ電圧となる。そのため、コンデンサ１９の端子電圧がＶｄｄ側に少しシフトする。そのため、トランジスタ１１ａのゲート（Ｇ）端子電圧は上昇し、より黒表示となる。したがって、良好な黒表示を実現できる。

【１０５０】

しかし、第０階調目の完全黒表示は実現できるが、第１階調などは表示しにくいことになる。もしくは、第０階調から第１階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。

【１０５１】

この課題を解決する構成が、図５４の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路５４１の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル０であっても、ある程度（数１０ｎＡ）電流が流れるようにし、黒レベルの調整にも用いることができる。

【１０５２】

基本的には、図５４は、図４８の出力段に嵩上げ回路（図５４の点線で囲まれた部分）を追加したものである。図５４は、電流値嵩上げ制御信号として３ビット（Ｋ０、Ｋ１、Ｋ２）を仮定したものであり、この３ビットの制御信号により、孫電流源の電流値の０～７倍の電流値を出力電流に加算することが可能である。

【１０５３】

以上が本発明のソースドライバＩＣ（回路）１４の基本的な概要である。以後、さらに詳細に本発明のソースドライバＩＣ（回路）１４についてさらに詳しく説明をする。

【１０５４】

ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは線形の関係がある。つまり、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。電流駆動方式では、１ステップ（階調刻み）は、電流（単位トランジスタ４８４（１単位））である。

【１０５５】

人間の輝度に対する視覚は２乗特性をもっている。つまり、２乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図８３の関係であると、低輝度領域でも高輝度領域でも、ＥＬ素子１５に流す電流Ｉ（Ａ）と発光輝度Ｂ（ｎｔ）とは比例する。したがって、１ステップ（１階調）きざみづつ変化させると、低階調部（黒領域）では、１ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ２乗カーブの直線領域と一致するので、１ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（１ステップが電流きざみの場合）において（電流駆動方式のソースドライバＩＣ（回路）１４において）、黒表示領域の表示が特に課題となる。

【１０５６】

この課題に対して、低階調領域（階調０（完全黒表示）から階調（Ｒ１））の電流出力の傾きを小さくし、高階調領域（階調（Ｒ１）から最大階調（Ｒ））の電流出力の傾きを大きくする。つまり、低階調領域では、１階調あたりに（１ステップ）増加する電流量と小さくする。高階調領域では、１階調あたりに（１ステップ）増加する電流量と大きくする。高階調領域と低階調領域で１ステップあたりに変化する電流量を異ならせることにより、階調特性が２乗カーブに近くなり、低階調領域での黒飛びの発生はない。

【１０５７】

なお、以上の実施例では、低階調領域と高階調領域の２段階の電流傾きとしたが、これに限定するものではない。３段階以上であっても良いことは言うまでもない。しかし、２段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。好ましくは、５段階以上の傾きを発生できるようにガンマ回路は構成することが望ましい。

【１０５８】

本発明の技術的思想は、電流駆動方式のソースドライバＩＣ（回路）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、１階調ステップあたりの電流増加量が複数存在させることである。

【１０５９】

ＥＬなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバＩＣ（回路）１４では、１つの電流源（１単位トランジスタ）４８４に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

【１０６０】

ＥＬ表示パネルでは、Ｒ、Ｇ、Ｂで発光効率が異なり、また、ＮＴＳＣ基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはＲＧＢの比率を適正に調整する必要がある。調整は、ＲＧＢのそれぞれの基準電流を調整することにより行う。たとえば、Ｒの基準電流を２μＡにし、Ｇの基準電流を１．５μＡにし、Ｂの基準電流を３．５μＡにする。以上のように少なくとも複数の表示色の基準電流のうち、少なくとも１色の基準電流は変更あるいは調整あるいは制御できるように構成することが好ましい。

【１０６１】

電流駆動方式は、ＥＬに流す電流Ｉと輝度の関係は直線の関係がある。したがって、ＲＧＢの混合によるホワイトバランスの調整は、所定の輝度の一点でＲＧＢの基準電流を調整するだけでよい。つまり、所定の輝度の一点でＲＧＢの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。したがって、本発明はＲＧＢの基準電流を調整できる調整手段を具備する点、１点折れまたは多点折れガンマカーブ発生回路（発生手段）を具備する点に特徴がある。以上の事項は電流制御のＥＬ表示パネルに特有の回路方式である。

【１０６２】

本発明のガンマ回路では、一例として低階調領域で１階調あたり１０ｎＡ増加（低階調領域でのガンマカーブの傾き）にする。また、高階調領域で１階調あたり５０ｎＡ増加（高階調領域でのガンマカーブの傾き）する。

【１０６３】

なお、高階調領域で１階調あたり電流増加量／低階調領域で１階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、５０ｎＡ／１０ｎＡ＝５である。ＲＧＢのガンマ電流比率は同一にする。つまり、ＲＧＢでは、ガンマ電流比率を同一にした状態でＥＬ素子１５に流れる電流（＝プログラム電流）を制御する。

【１０６４】

このようにガンマ電流比率をＲＧＢで同一に維持したまま調整すると回路構成は容易になる。各色に、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するボリ

ウムを作製（配置）すればよいからである。

【１０６５】

図５６は低電流領域の定電流発生回路部の構成図である。また、図５７は高電流領域の定電流回路部および嵩上げ電流回路部の構成図である。図５６に図示するように低電流源回路部は基準電流ＩＮＬが印加され、基本的にはこの電流が単位電流となり、入力データＬ０～Ｌ４により、単位トランジスタ４８４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＬが流れる。

【１０６６】

また、図５７に図示するように高電流源回路部は基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＨ０～Ｌ５により、単位トランジスタ４８４が必要個数動作し、その総和として低電流部のプログラム電流ＩｗＨが流れる。

【１０６７】

嵩上げ電流回路部も同様であって、図５７に図示するように基準電流ＩＮＨが印加され、基本的にはこの電流が単位電流となり、入力データＡＫ０～ＡＫ２により、単位トランジスタ４８４が必要個数動作し、その総和として嵩上げ電流に対応する電流ＩｗＫが流れる

ソース信号線１８に流れるプログラム電流ＩｗはＩｗ＝ＩｗＨ＋ＩｗＬ＋ＩｗＫである。ＩｗＨとＩｗＬの比率、つまりガンマ電流比率は、先にも説明した第１の関係を満足させるようにする。

【１０６８】

図５６、図５７に図示するようにオンオフスイッチ４８１は、インバータ５６２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ５６１から構成される。このようにスイッチ４８１を、インバータ５６２とＰチャンネルトランジスタとＮチャンネルトランジスタからなるアナログスイッチ５６１から構成することにより、オン抵抗を低下することができ、単位トランジスタ４８４とソース信号線１８間の電圧降下が極めて小さくすることができる。このことは本発明の他の実施例においても適用されることは言うまでもない。

【１０６９】

図５６の低電流回路部と図５７の高電流回路部の動作について説明をする。本発明のソースドライバＩＣ（回路）１４は、低電流回路部Ｌ０～Ｌ４の５ビットで構成され、高電流回路部Ｈ０～Ｈ５の６ビットで構成される。なお、回路の外部から入力されるデータはＤ０～Ｄ５の６ビット（各色６４階調）である。この６ビットデータをＬ０～Ｌ４の５ビット、高電流回路部Ｈ０～Ｈ５の６ビットに変換してソース信号線に画像データに対応するプログラム電流Ｉｗを印加する。つまり、入力６ビットデータを、５＋６＝１１ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

【１０７０】

以上のように、入力６ビットデータを、５＋６＝１１ビットデータに変換をしている。本発明では、高電流領域の回路のビット数（Ｈ）は、入力データ（Ｄ）のビット数と同一にし、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－１としている。なお、低電流領域の回路のビット数（Ｌ）は、入力データ（Ｄ）のビット数－２としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、ＥＬ表示パネルの画像表示に最適になる。

【１０７１】

ゲートドライバ回路１２は、通常、ＮチャンネルトランジスタとＰチャンネルトランジスタで構成する。しかし、Ｐチャンネルトランジスタのみで形成することが好ましい。アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、図１、図２などに例示したように、画素１６を構成するトランジスタをＰチャンネルトランジスタとするとともに、ゲートドライバ回路１２もＰチャンネルトランジスタで形成あるいは構成する。ＮチャンネルトランジスタとＰチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は１０枚となるが

、Ｐチャンネルトランジスタのみで形成すると必要なマスク数は５枚になる。
【１０７２】
しかし、Ｐチャンネルトランジスタのみでゲートドライバ回路１２などを構成すると、レベルシフタ回路をアレイ基板７１に形成できない。レベルシフタ回路はＮチャンネルトランジスタとＰチャンネルトランジスタで構成するからである。
【１０７３】
以下、基板７１に内蔵するゲートドライバ回路１２をＰチャンネルのトランジスタのみで構成した本発明のゲートドライバ１２について説明をする。先にも説明したように、画素１６とゲートドライバ回路１２とをＰチャンネルトランジスタのみで形成する（つまり、基板７１に形成するトランジスタはすべてＰチャンネルトランジスタである。反対に言えば、Ｎチャンネルのトランジスタを用いない状態）ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、Ｐチャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、Ｖｔ電圧の低減化（より０（Ｖ）に近くするなど）、Ｖｔバラツキの減少を、ＣＭＯＳ構造（ＰチャンネルとＮチャンネルトランジスタを用いる構成）よりも容易に実施できる。
【１０７４】
本発明の実施例では、主として図１の画素構成を例示して説明をするがこれに限定するものではなく、他の画素構成でもよいことは言うまでもない。また、以下に説明するゲートドライバ１２構成あるいは配置形態は、有機ＥＬ表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネル、電磁遊動表示パネルあるいはＦＥＤ（フィールドエミッションディスプレイ）などにも採用することができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ回路１２の構成あるいは方式を採用してもよい。また、ゲートドライバ回路１２を２相用いる場合は、１相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の１方の端子に接続してもよい。この方式は、独立ＣＣ駆動と呼ばれるものである。また、図７１、図７３などで説明する構成は、ゲートドライバ回路１２だけでなく、ソースドライバ回路１４のシフトレジスタ回路などにも採用することができることは言うまでもない。
【１０７５】
図７１は、本発明のゲートドライバ回路１２のブロック図である。説明を容易にするため、４段分しか図示していないが、基本的には、ゲート信号線１７数に対応する単位ゲート出力回路７１１が形成または配置される。
【１０７６】
図７１に図示するように、本発明のゲートドライバ回路１２（１２ａ、１２ｂ）では、４つのクロック端子（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）と、１つのスタート端子（データ信号（ＳＳＴＡ））、シフト方向を上下反転制御する２つの反転端子（ＤＩＲＡ、ＤＩＲＢ、これらは、逆相の信号を印加する）の信号端子から構成される。また、電源端子としてＬ電源端子（ＶＢＢ）と、Ｈ電源端子（Ｖｄ）などから構成される。
【１０７７】
画素１６をＰチャンネルのトランジスタで構成することのより、Ｐチャンネルトランジスタで形成したゲートドライバ回路１２とのマッチングが良くなる。Ｐチャンネルトランジスタ（図１の画素構成では、トランジスタ１１ｂ、１１ｃ、トランジスタ１１ｄ）はＬ電圧でオンする。一方、ゲートドライバ回路１２もＬ電圧が選択電圧である。Ｐチャンネルのゲートドライバは図７３の構成でもわかるが、Ｌレベルを選択レベルとするとマッチングが良い。Ｌレベルが長期間保持できないからである。一方、Ｈ電圧は長時間保持することができる。
【１０７８】
ＥＬ素子１５に電流を供給する駆動用トランジスタ（図１ではトランジスタ１１ａ）をＰチャンネルで構成することにより、ＥＬ素子１５のカソードが金属薄膜のべた電極に構

成することができる。また、アノード電位Ｖｄｄから順方向にＥＬ素子１５に電流を流すことができる。以上の事項から、画素１６のトランジスタをＰチャンネルとし、ゲートドライバ１２のトランジスタもＰチャンネルとすることがよい。以上のことから、本発明の画素１６を構成するトランジスタ（駆動用トランジスタ、イッチング用トランジスタ）をＰチャンネルで形成し、ゲートドライバ回路１２のトランジスタをＰチャンネルで構成するという事項は単なる設計事項ではない。

【１０７９】

なお、レベルシフタ（ＬＳ）回路を、基板７１に直接に形成してもよい。つまり、レベルシフタ（ＬＳ）回路をＮチャンネルとＰチャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、基板７１に直接形成されたレベルシフタ回路で、Ｐチャンネルトランジスタで形成されたゲートドライバ回路１２のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路１２に印加する。

【１０８０】

なお、レベルシフタ回路を半導体チップで形成し、基板７１にＣＯＧ実装などしてもよい。また、ソースドライバ回路１４は、半導体チップで形成し、基板７１にＣＯＧ実装する。ただし、ソースドライバ回路１４を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いて基板７１に直接に形成してもよい。

【１０８１】

画素１６を構成するトランジスタ１１をＰチャンネルで構成すると、プログラム電流は画素１６からソース信号線１８に流れ出す方向になる。そのため、ソースドライバ回路の単位電流回路４８４（図５６、図５７などを参照のこと）は、Ｎチャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように回路構成する必要がある。

【１０８２】

したがって、画素１６の駆動用トランジスタ１１ａ（図１の場合）がＰチャンネルトランジスタの場合は、必ず、ソースドライバ回路１４はプログラム電流Ｉｗを引き込むように、単位トランジスタ４８４をＮチャンネルトランジスタで構成する。ソースドライバ回路１４をアレイ基板７１に形成するには、Ｎチャンネル用マスク（プロセス）とＰチャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素１６とゲートドライバ１２をＰチャンネルトランジスタで構成し、ソースドライバの引き込み電流源のトランジスタはＮチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【１０８３】

したがって、画素１６のトランジスタ１１をＰチャンネルトランジスタで形成し、ゲートドライバ回路１２をＰチャンネルトランジスタで形成する。このように画素１６のトランジスタ１１とゲートドライバ回路１２の両方をＰチャンネルトランジスタで形成することにより基板７１を低コスト化できる。しかし、ソースドライバ１４は、単位トランジスタ４８４をＮチャンネルトランジスタで形成することが必要になる。したがって、ソースドライバ回路１４は基板７１に直接形成することができない。そこで別途、シリコンチップなどでソースドライバ回路１４を作製し、基板７１に積載する。なお、ソースドライバ回路１４はシリコンチップで構成するとしたがこれに限定するものではない。たとえば、低温ポリシリコン技術などでガラス基板に多数個を同時に形成し、チップ状に切断して、基板７１に積載してもよい。なお、基板７１にソースドライバ回路を積載するとして説明しているが、積載に限定するものではない。ソースドライバ回路１４の出力端子６８１を基板７１のソース信号線１８に接続するのであればいずれの形態でもよい。たとえば、ＴＡＢ技術でソースドライバ回路１４をソース信号線１８に接続する方式が例示される。シリコンチップなどに別途ソースドライバ回路１４を形成することにより、出力電流のバラツキが低減し、良好な画像表示を実現できる。また、低コスト化が可能である。

【１０８４】

また、画素１６の選択トランジスタをＰチャンネルで構成し、ゲートドライバ回路をＰチャンネルトランジスタで構成するという構成は、有機ＥＬなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイス、ＦＥＤ（フィールドエミッションディスプレイ）にも適用することができる。

【１０８５】

反転端子（ＤＩＲＡ、ＤＩＲＢ）は各単位ゲート出力回路７１１に対し、共通の信号が印加される。なお、図７３の等価回路図をみれば、理解できるが、反転端子（ＤＩＲＡ、ＤＩＲＢ）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（ＤＩＲＡ、ＤＩＲＢ）に印加している電圧の極性を反転させる。

【１０８６】

なお、図７１の回路構成は、クロック信号線数は４つである。４つが本発明では最適な数であるが、本発明はこれに限定するものではない。４つ以下でも４つ以上でもよい。

【１０８７】

クロック信号（ＳＣＫ０、ＳＣＫ１、ＳＣＫ２、ＳＣＫ３）の入力は、隣接した単位ゲート出力回路７１１で異ならせている。たとえば、単位ゲート出力回路７１１ａには、クロック端子のＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力されている。この状態は、単位ゲート出力回路７１１ｃも同様である。単位ゲート出力回路７１１ａに隣接した単位ゲート出力回路７１１ｂ（次段の単位ゲート出力回路）は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力されている。したがって、単位ゲート出力回路７１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、次段は、クロック端子のＳＣＫ１がＯＣに、ＳＣＫ３がＲＳＴに入力され、さらに次段の単位ゲート出力回路７１１に入力されるクロック端子は、ＳＣＫ０がＯＣに、ＳＣＫ２がＲＳＴに入力され、というように交互に異ならせている。

【１０８８】

図７３が単位ゲート出力回路７１１の回路構成である。構成するトランジスタはＰチャンネルのみで構成している。図７４が図７３の回路構成を説明するためのタイミングチャートである。なお、図７２は図７３の複数段分におけるタイミングチャートを図示したものである。したがって、図７３を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図７３の等価回路図を参照しながら、図７４のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

【１０８９】

Ｐチャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線１７をＨレベル（図７３ではＶｄ電圧）に維持することは可能である。しかし、Ｌレベル（図７３ではＶＢＢ電圧）に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。

【１０９０】

画素１６のスイッチング用トランジスタ１１ｂ、１１ｃがＰチャンネルトランジスタで形成されていると、Ｖｇｈで画素１６が選択状態となる。Ｖｇｌで画素１６が非選択状態となる。以前にも説明したが、ゲート信号線１７ａがオン（Ｖｇｌ）からオフ（Ｖｇｈ）になる時に電圧が突き抜ける（突き抜け電圧）。画素１６の駆動用トランジスタ１１ａがＰチャンネルトランジスタで形成されていると、黒表示状態の時、この突き抜け電圧によりトランジスタ１１ａがより電流が流れないようになる。したがって、良好な黒表示を実現できる。黒表示を実現することが困難であるという点が、電流駆動方式の課題である。しかし、ゲートドライバ回路１２をＰチャンネルトランジスタで構成することにより、オン電圧はＶｇｈとなる。したがって、Ｐチャンネルトランジスタで形成された画素１６とマッチングがよい。また、図１、図２、図３２、図１１３、図１１６の画素１６構成のように、アノード電圧Ｖｄｄから駆動用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように

構成することが重要である。したがって、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

【１０９１】

なお、図４２（ｂ）においても同様である。図４２（ｂ）は駆動用トランジスタ１１ｂを介してソースドライバ回路１４の単位トランジスタ４８４に電流が流入するのではない。しかし、アノード電圧Ｖｄｄからプログラム用トランジスタ１１ａ、ソース信号線１８を介してソースドライバ回路１４の単位トランジスタ４８４にプログラム電流Ｉｗが流入するように構成である。したがって、図１と同様に、ゲートドライバ回路１２および画素１６をＰチャンネルトランジスタで構成し、ソースドライバ回路１４を基板に積載し、かつソースドライバ回路１４の単位トランジスタ４８４をＮチャンネルトランジスタで構成することは、すぐれた相乗効果を発揮する。

【１０９２】

ＩＮ端子に入力された信号と、ＲＳＴ端子に入力されたＳＣＫクロックにより、ｎ１が変化し、ｎ２はｎ１の反転信号状態となる。ｎ２の電位とｎ４の電位とは同一極性であるが、ＯＣ端子に入力されたＳＣＫクロックによりｎ４の電位レベルはさらに低くなる。この低くなるレベルに対応して、Ｑ端子がその期間、Ｌレベルに維持される（オン電圧がゲート信号線１７から出力される）。ＳＱあるいはＱ端子に出力される信号は、次段の単位ゲート出力回路７１１に転送される。

【１０９３】

図７１、図７３の回路構成において、ＩＮ（ＩＮＡ、ＩＮＢ）端子、クロック端子の印加信号のタイミングを制御することにより、図７５（ａ）に図示するように、１ゲート信号線１７を選択する状態と、図７５（ｂ）に図示するように２ゲート信号線１７を選択する状態とを同一の回路構成を用いて実現できる。

【１０９４】

選択側のゲートドライバ回路１２ａにおいて、図７５（ａ）の状態は、１画素行（５１ａ）を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は１行ずつシフトする。図７５（ｂ）は、２画素行を選択する構成である。この駆動方式は、図２７、図２８、図２９で説明した複数画素行（５１ａ、５１ｂ）の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、１画素行ずつシフトし、かつ隣接した２画素行が同時に選択される。特に、図７５（ｂ）の駆動方法は、最終的な映像を保持する画素行（５１ａ）に対し、画素行５１ｂは予備充電される。そのため、画素１６が書き込み易くなる。つまり、本発明は、端子に印加する信号により、２つの駆動方式を切り替えて実現できる。

【１０９５】

なお、図７５（ｂ）は隣接した画素１６行を選択する方式であるが、図７６に図示するように、隣接した以外の画素１６行を選択してもよい（図７６は、３画素行離れた位置の画素行を選択している実施例である）。また、図７３の構成では、４画素行の組で制御される。４画素行にうち、１画素行を選択するか、連続した２画素行を選択するかの制御を実施できる。これは、使用するクロック（ＳＣＫ）が４本によることの制約である。クロック（ＳＣＫ）８本になれば、８画素行の組で制御を実施できる。

【１０９６】

選択側のゲートドライバ１２ａの動作は、図７５の動作である。図７５（ａ）に図示するように、１画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。また、図７５（ｂ）に図示するように、２画素行を選択し、選択位置を１水平同期信号に同期して１画素行ずつシフトする。

【１０９７】

画面は分割してもよい。２分割には、画面の中央部で上下に分割する構成と、図２５５に図示するように一画素行ごとに分割する構成がある。図２５５では、ソースドライバＩ

Ｃ１４ａにはソース信号線１８ａが接続されている。ソース信号線１８ａは偶数画素行の画素が接続されている。また、ソースドライバＩＣ１４ｂにはソース信号線１８ｂが接続されている。ソース信号線１８ｂは奇数画素行の画素が接続されている。以上の実施例では、１画素行ごとに駆動するソースドライバＩＣ１４を異ならせているが、本発明はこれに限定するものではなく、２画素行以上ごとに駆動するソースドライバＩＣ１４を異ならせても良い。また、ソースドライバＩＣ（回路）１４と画素１６との接続は、千鳥接続を行っても良いことはいうまでない。

【１０９８】

図２５５の実施例では、２つのソースドライバＩＣ１４を用いる方法であった。図２７２は１つのソースドライバＩＣ（回路）１４を用いる構成である。表示パネルの画素列の画素は、交互に別のソース信号線１８（１８ａ、１８ｂ）に接続されている。なお、説明を容易にするために、画素列の画素は交互に別のソース信号線１８に接続されているとして説明するが、これに限定するものではなく、図２５５などと同様に千鳥配列に接続されていてもよいし、また、２画素ごとに交互に接続されていてもよいことは言うまでもない。

【１０９９】

図２７２では、ソースドライバＩＣ１４の奇数番目の出力端子は偶数番目に位置する画素行にプログラム電流（もちろん、技術的範疇として、プログラム電圧でもよいことはいうまでもない。以上の事項は図２５５においても同様である。）を出力し、偶数番目の出力端子は奇数番目に位置する画素行にプログラム電流（プログラム電圧でもよい）を出力する。したがって、ソースドライバＩＣ１４の隣接した出力端子は、１画素列の画素に電流プログラム（もちろん、電圧プログラムでもよい）を行い、かつ、隣接したソース信号線１８は交互に異なる画素（奇数番目と偶数番目）の画素を駆動する。

【１１００】

本発明のソースドライバＩＣ（回路）１４では、プログラム電流は単位トランジスタ群５２１ｃの単位トランジスタ４８４により発生する。隣接した単位トランジスタ群５２１ｃ間の出力電流のばらつきは小さい。したがって、図２７２に図示するように、隣接した出力端子を用いて１画素列を駆動することにより均一な画像表示を実現できる。また、２画素行を同時に選択することができるから、従来の構成に比較して、１画素に印加するプログラム電流印加期間を２倍にすることができる。したがって、微小電流出力となる低階調表示でも十分にプログラム電流を書き込むことができる。以上の効果は図２５５の実施例においても同様である。

【１１０１】

なお、図２７２の実施例では、隣接した２つの出力端子を用いて、１画素列を駆動するとしたが、本発明はこれに限定するものではない。たとえば、隣接した４つの出力端子を用いて１画素列を駆動してもよい。この場合は、第１の端子が、４ｎ（ｎは１以上の整数）番目の画素を駆動する。また、第２の端子が、４ｎ＋１（ｎは１以上の整数）番目の画素を駆動し、第３の端子が、４ｎ＋２（ｎは１以上の整数）番目の画素を駆動する。また、第４の端子が、４ｎ＋３（ｎは１以上の整数）番目の画素を駆動する。なお、図２７２の実施例において、１つのソースドライバ回路（ＩＣ）１４に限定するものではなく、複数のソースドライバ回路（ＩＣ）１４を用いてもよいことは言うまでもない。

【１１０２】

図２５５の実施例では、選択する画素を左右に振り分けた構成であった。しかし、本発明はこれに限定するものではなく、図２７０に図示するように、画素列間に２本のソース信号線１８（１８ａ、１８ｂ）を配置し、各画素１６にプログラム電流（電圧）を供給してもよい。ソース信号線１８ａは、パネルの上辺に配置されたソースドライバ回路（ＩＣ）１４ａに接続され、ソース信号線１８ｂは、パネルの下辺に配置されたソースドライバ回路（ＩＣ）１４ｂに接続されている。

【１１０３】

図２７０の構成で、２画素行を同時に選択する場合（図２４を参照のこと）は、ソース

ドライバ回路（ＩＣ）１４は一方でよい。つまり、ソースドライバ回路１４ａまたは１４ｂの一方でよい。この実施例を図２７１に図示する。図２７１ではソースドライバ回路（ＩＣ）１４ａのみを形成または積載または実装または接続をしている。

【１１０４】

図２７１において、ソース信号線１８ａと１８ｂとはショート配線２７１１で接続している。または、ショート配線２７１１はアレイ形成と同時に形成する。なお、アレイ形成と同時にショート配線２７１１した場合は、図２７０のように複数のソースドライバ回路（ＩＣ）１４を用いる場合は、ショート配線２７１１はレーザーなどを用いてカットする必要がある。

【１１０５】

図７１、図７３などに図示するＰチャンネルのＴＦＴで形成されたゲートドライバでは課題がある。ゲート信号線１７に出力する電位をＬレベルに維持できないことである。また、隣接したゲート信号線の電位を連続してＬレベルに維持できないことである（正確には連続して維持できるが、貫通電流が流れるため、消費電力が大きく実用的でない）。つまり、図７１において、ゲート信号線１７ｂ１と１７ｂ３は同時にＬレベルにできるが、ゲート信号線１７ｂ１と１７ｂ２とは同時にＬレベルに維持（オン）できない。この動作は、ゲートドライバ１２ａ（画素選択側）として用いる場合は、課題とならない。しかし、ゲートドライバ１２ｂ（ＥＬ選択側）として用いる場合は、課題となる。ｄｕｔｙ比１／２（図９３などを参照のこと）以上を実現できなくなるからである。

【１１０６】

この課題に対しては、図２６７のように構成することにより解決することができる。図２６７では、ＥＬ選択側ゲートドライバ１２ｂが２つ形成（配置または構成）されている。ゲートドライバ１２ｂ１は奇数番目のゲート信号線１７ｂをオンオフ制御する。ゲートドライバ１２ｂ２は偶数番目のゲート信号線１７ｂをオンオフ制御する。ゲートドライバ１２ｂ１と１２ｂ２のスタートパルス（ＳＴ）を同時に印加すれば、奇数番目のゲート信号線１７ｂと偶数番目のゲート信号線１７ｂに同時にオン電圧（Ｌレベル）を印加することができる。したがって、連続したゲート信号線１７ｂを同時に選択し、オン電圧を印加することを実現できる。

【１１０７】

なお、図２６７はＥＬ側選択側のゲートドライバ回路１２ｂを複数構成するとしたが、これに限定するものではない。画素選択側のゲートドライバ回路１２ａを複数構成してもよい。図７５（ｂ）の２画素行同時選択駆動を実現できる。この構成を図３５９に図示する。画素選択側のゲートドライバ回路は１２ａ、１２ｂが形成あるいは構成されている。

【１１０８】

電流駆動の特徴として、複数の出力端子を短絡するだけでプログラム電流を加算できるという特徴がある。たとえば、第１の端子が１０μＡを出力しており、第２の端子が２０μＡを出力している場合、第１の端子と第２の端子を短絡した出力は、１０＋２０＝３０μＡとなる。電圧駆動では複数の出力端子を短絡することができない。たとえば、第１の端子が１Ｖを出力しており、第２の端子が２Ｖを出力している場合、第１の端子と第２の端子を短絡した出力は、ショート状態になり破壊されるだけである。

【１１０９】

以上のように、電流駆動（電流制御方式）の場合は、出力端子をショートしても問題が発生しない。この特徴ある効果を応用することにより容易に階調数を増大させることができる。図２５６はその実施例である。以下、図面を参照しながら、本発明の実施例について説明をする。

【１１１０】

図２５６は、本発明のソースドライバＩＣの構成図である。図２５６において、５２１ｃはトランジスタ群である。トランジスタ群５２１ｃの１は単位トランジスタ４８４が１個で形成されていることを示している。また、１は１階調分のプログラム電流を出力し、最下位ビットが該当する。トランジスタ群５２１ｃに示す２は単位トランジスタ４８４が

２個で形成されていることを示している。また、２階調分のプログラム電流を出力し、第２ビットが該当する。同様に４は単位トランジスタ４８４が４個で形成されていることを示している。また、４階調分のプログラム電流を出力し、第３ビットが該当する。同様に８は単位トランジスタ４８４が８個で形成されていることを示している。８階調分のプログラム電流を出力し、第５ビットが該当する。１６は単位トランジスタ４８４が１６個で形成されていることを示している。また、１６は階調分のプログラム電流を出力し、第５ビット目が該当する。同様に３２は単位トランジスタ４８４が３２個で形成されていることを示している。また、３２は階調分のプログラム電流を出力し、第６ビット目が該当する。したがって、トランジスタ群５２１ｃで６４階調のプログラム電流出力を行うことができる。

【１１１１】

本発明の電流ドライバＩＣは、１つの出力端子６８１ごとに１つのトランジスタ群５２１ｃが形成（構成）されている。電流駆動の特徴として、複数の出力端子を短絡するだけでプログラム電流を加算できるという特徴がある。したがって、複数の出力端子からの出力を組み合わせることにより、階調数を増加させることが容易である。たとえば、１出力が６４階調であれば、２つの出力を組み合わせると６４＋６４－１＝１２７階調を実現できる。なお、－１するのは、０階調目があるからである。なお、説明を容易にするため、本発明のソースドライバＩＣは基本的には６４階調で１２８出力であるとして説明をする。

【１１１２】

したがって、１２８出力の６４階調のドライバＩＣ１４は、６４出力の１２７階調のドライバＩＣとして用いることができる。図２５６はその実施例である。２つの出力間にスイッチ（ＳＷ）２５６１が配置されている。ドライバＩＣ１４を６４階調として用いる時は、スイッチ２５６１はオープン状態として用いる。１２７階調として用いる時は、スイッチ２５６１はクローズ状態で用いる。スイッチは、アナログスイッチである。また、スイッチ２５６１はＩＣ１４のコントロール端子のロジック信号によりオープン、クローズ制御できるように構成されている。

【１１１３】

図２５６ではスイッチ６５５ａ、６５５ｂをクローズ状態として用いれば、１２８出力の６４階調ドライバとして用いることができる。スイッチ２５６１をクローズにする。かつ、スイッチ６５５ａをクローズにし、スイッチ６５５ｂをオープンにすれば、端子６８１ａより１２７階調のプログラム電流を出力することができる。したがって、ソース信号線１８ａに接続された画素１６（図示せず）にプログラム電流を印加することができる。この時、ソース信号線１８ｂにはプログラム電流を印加することはできない。しかし、スイッチ６５５ａとスイッチ６５５ｂを交互にクローズとオープンを制御すれば、隣接した出力端子６８１ａ、６８１ｂに交互にプログラム電流を出力することができる。交互に切り換えるとともに、ゲート信号線１７の走査と同期をとる。したがって、ソース信号線１８ａと１８ｂにプログラム電流を印加することができる。ビット入力である。したがって、

なお、ソース信号線１８ａと１８ｂを切り換える必要がない時（当初から１２７階調のソースドライバＩＣとして使用するときなど）は、図２５８のように使用する。このときは、スイッチ６５５は不要である。

【１１１４】

各トランジスタ群５２１ｃは６ビット入力である。したがって、６４階調あるいは６３階調目までは、トランジスタ群５２１ｃ１には階調数に応じて６ビット入力し、トランジスタ５２１ｃ２への入力６ビットはすべて０とする。６４階調あるいは６５階調目からは、トランジスタ群５２１ｃ１には階調数に応じて６ビット入力し、トランジスタ５２１ｃ２への入力６ビットはすべて１とする（６３階調分のプログラム電流を加算する）。なお、トランジスタ群５２１ｃ２は６３個の単位トランジスタ４８４を一括動作させる。

【１１１５】

図２５６では、２つの電流出力段（５２１ｃなど）を組み合わせることにより、１２７階調の電流出力を行う。しかし、１２８階調には１階調分不足している。これは、トランジスタ群５２１ｃを構成する単位トランジスタ４８４が６３個しかないためである。したがって、２つのトランジスタ群５２１ｃを組み合わせても単位トランジスタ４８４は１２６個となる。したがって、階調０の時は、単位トランジスタ４８４の動作数を０としても、１２７階調までしか表現できない。

【１１１６】

図２５７はこの課題を解決する構成である。トランジスタ群５２１ｃ２に、１単位分の選択単位トランジスタ２５７１を付加（形成または配置）している。１２８階調として用いる場合（６４階調以上で用いる場合）は、この選択単位トランジスタ２５７１を動作させる。トランジスタ群５２１ｃ２は６４個の単位トランジスタ４８４で構成されることになる。トランジスタ群５２１ｃ２は６４個の単位トランジスタ４８４を一括動作させる。１２８階調以下（未満）の場合は、トランジスタ群５２１ｃ２の単位トランジスタ４８４はすべて非動作状態であり、１２８階調以上の場合は、トランジスタ群５２１ｃ２の単位トランジスタ４８４を動作させる。したがって、トランジスタ群５２１ｃ２は最初から単位トランジスタ４８４が６４個から構成されているものを用いても良い。トランジスタ群５２１ｃ１の単位トランジスタ４８４は階調数に応じてビットに対応して変化させる。

【１１１７】

ソースドライバ回路（ＩＣ）１４は、６４階調を表現する６３個の単位トランジスタ４８４あるいは６３個の単位トランジスタ４８４と１個の選択単位トランジスタ２５７１からなる標準トランジスタ群５２１を、スタンダードセルとして構成しておく。このスタンダードセルを複数個レイアウトすることにより、容易に任意の階調のソースドライバ回路（ＩＣ）を形成（構成）することができる。なお、スタンダードセルは、単位トランジスタ４８４が６３個に限定するものではなく、１２７個、２５５個の単位トランジスタ４８４から構成されるものであっても良いことはいうまでもない。

【１１１８】

以上の実施例は、６４階調および１２８階調の場合である。本発明はこれに限定するものではない。たとえば、２５６階調の場合は、図２５９のように構成すればよい。２つの出力間にスイッチ（ＳＷ）２５６１が配置されている。ドライバＩＣ１４を６４階調として用いる時は、スイッチ２５６１はオープン状態として用いる。２５６階調として用いる時は、スイッチ２５６１はクローズ状態で用いる。スイッチ２５６１はＩＣ１４のコントロール端子のロジック信号によりオープン、クローズ制御できるように構成されている。

【１１１９】

なお、以上の実施例では、１４はソースドライバＩＣであるとして説明したが、これに限定するものではない。たとえば、１４は低温ポリシリコン技術、ＣＧＳ技術などで形成したソースドライバ回路であってもよい。つまり、ソースドライバ回路１４は基板７１に直接形成したものを用いてもよい。以上の事項は、以下の実施例に対しても同様である。

【１１２０】

図２５６から図２５９は、１つのソースドライバＩＣ（回路）１４を各ソース信号線１８に対応して接続する構成である。しかし、本発明はこれに限定するものではない。たとえば、図２６０に図示するように、１つのソース信号線の両端に本発明のソースドライバＩＣ（回路）１４を接続してもよい。

【１１２１】

各ソース信号線１８には、一端にはソースドライバＩＣ１４ａが接続されており、他端にはソースドライバＩＣ１４ｂが接続されている。ソースドライバＩＣ１４ａのトランジスタ群５２１ｃ１は単位トランジスタ４８４が６３個で構成されている。ソースドライバＩＣ１４ｂのトランジスタ群５２１ｃ２は単位トランジスタ４８４が６３個と選択単位トランジスタ２５７１が１個で構成されている。

【１１２２】

なお、トランジスタ群５２１ｃ２は、６４個の単位トランジスタ４８４で構成してもよ

い。また、トランジスタ群５２１ｃ２は６４個の単位トランジスタ４８４がすべて動作するか、もしくは非動作状態の２モードしかない。したがって、単位トランジスタ４８４の６４倍の大きさのトランジスタで形成してもよい。

【１１２３】

以上のように構成すれば、トランジスタ群５２１ｃ１は６４階調まで入力データに応じて対応する単位トランジスタ４８４が動作し、トランジスタ５２１ｃ２は６４階調以上で一括して動作する。

【１１２４】

つまり、図２６０の構成では、６４階調を表現できるソースドライバＩＣ１４ａをソース信号線１８の一端に接続し、ソース信号線の他端に、ソースドライバＩＣ１４ａのトランジスタ群５２１ｃ１を構成する単位トランジスタ４８４数＋１の単位トランジスタ４８４からなるトランジスタ群５２１ｃ２を接続している。ソースドライバＩＣ１４ｂは単位トランジスタ４８４の６４倍のトランジスタで構成してもよい。

【１１２５】

つまり、単位トランジスタ４８４が６３個からなるソースドライバＩＣ１４ａと単位トランジスタ４８４が６４個からなるソースドライバＩＣ１４ｂを用いることにより容易に１２８階調を実現できる。なお、単位トランジスタ４８４が６３個からなるソースドライバＩＣ１４ａを２個用いる場合は、１２７階調を表現できる。画像表示としては１２７階調でも１２８階調でも実用上は差がない。したがって、単位トランジスタ４８４が６３個からなるソースドライバＩＣ１４ａを２個用いても良い。

【１１２６】

６４階調以下（未満）の場合は、トランジスタ群５２１ｃ２の単位トランジスタ４８４はすべて非動作状態であり、６４階調以上の場合は、トランジスタ群５２１ｃ２の単位トランジスタ４８４を動作させる。したがって、トランジスタ群５２１ｃ２は最初から単位トランジスタ４８４が６４個から構成されているものを用いても良い。トランジスタ群５２１ｃ１の単位トランジスタ４８４は階調数に応じてビットに対応して変化させる。したがって、６４階調のソースドライバＩＣ１４を複数個用いることにより、多階調表示を実現することができる。

【１１２７】

なお、１２８階調以上の場合は、ソースドライバＩＣ１４のトランジスタ群５２１ｃの単位トランジスタ４８４を６４個以上で構成すればよい。図２６０の構成により、階調数が少ないソースドライバＩＣ（回路）１４を用いて、容易に多階調表示を実現できる。このことは、複数の出力端子を短絡するだけで、出力電流を加算できるという電流駆動方式の特徴ある効果を応用したものである。

【１１２８】

なお、図２６０の実施例は、１つのソース信号線１８に２つのソースドライバ回路（ＩＣ）１４の出力端子を接続した実施例であった。しかし、本発明はこれに限定するものではない。１つのソース信号線１８に３つ以上のソースドライバ回路（ＩＣ）１４の出力端子を接続してもよいことは言うまでもない。また、図２６０の構成に図２５６のスイッチ２５６１の技術的思想を導入してもよいことは言うまでもない。

【１１２９】

図２６８はＥＬ表示パネルの構成図である。表示画面５０の左右に内蔵ゲートドライバ回路１２ａ、１２ｂが形成（配置）されている。また、ソースドライバ回路１４ａ、１４ｂが積載されている。なお、ソースドライバ回路１４はシリコンチップからなるドライバＩＣであり、アレイ基板７１上にＣＯＧ実装されている。また、ソースドライバ回路１４は点線で図示している。

【１１３０】

カソード配線２６８２はソースドライバＩＣ１４の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ回路（ＩＣ）１４は半導体チップで形成（作製）し、ＣＯＧ（チップオンガラス）技術でアレイ基板７１に実装している。ソースドラ

イバＩＣ１４下にカソード配線２６８２を配置（形成）できるのは、ソースドライバ回路（ＩＣ）１４の裏面に基板に１０μｍ～３０μｍの空間があるからである。この空間は、ＣＯＧ端子の端子厚みにより発生する。

【１１３１】

なお、図２６８では、カソード配線２６８２をソースドライバＩＣ１４の下に形成（構成または配置）するとして説明するが、本発明はこれに限定するものではない。たとえば、アノード配線２６８１に置き換えても良い。

【１１３２】

図２６８に図示するように、パネルの両端にカソード配線２６８２a、２６８２ｂを形成している。また、カソード配線２６８２ａ、２６８２ｂ間をカソード配線２６８２ｄで短絡している。カソード配線２６８２ｄからカソード配線２６８２ｃを分岐し、カソード電極１０６と接続している。したがって、カソード電極１０６は、カソード配線２６８２ａ、２６８２ｂ、２６８２ｃで電気的に接続がとられている。以上のように、ＩＣ１４下の空間を利用し、カソード配線２６８２などを配置することのより、カソード電極１０６などと多数箇所で接続でき、カソード電極１０６の電位傾斜の発生がなく、均一は画像表示を実現できる。

【１１３３】

図２６８、図２６９において、２６８４はカスケード配線である。カスケード配線２６８４は、ソースドライバＩＣ１４ａの端子２６８３ａとソースドライバＩＣ１４ｂの端子２６８３ｂとを接続している。カスケード配線２６８４は、２つのＩＣをカスケード接続するために、基準電流あるいはその類似の電流を受け渡す機能を有している。つまり、ソースドライバＩＣ１４ａの内部の基準電流をカスケード配線２６８３でソースドライバＩＣ１４ｂに受け渡し、ソースドライバＩＣ１４ｂでは、この基準電流を自己の基準電流として用いることのより、２つのＩＣ１４ａ、１４ｂの出力電流差がなくなる。

【１１３４】

図２６８において、カスケード配線２６８３がなければ、２つのソースドライバＩＣ１４ａと１４ｂ間にカソード配線２６８２を配置することができる。しかし、現実にはカスケード配線２６８３が必要である。本発明では、ＩＣ１４下にカソード配線２６８２を形成することのより、カソード電極１０６の中央部と接続することができる。

【１１３５】

図２６８では、アノード配線２６８１はカソード配線２６８２の外側に配置している。アノード配線２６８１ａと２６８１ｂとはアノード配線２６８１ｃで短絡される。アノード配線２６８１ｃから各画素へのアノード電圧Ｖｄｄ（図１などを参照のこと）が供給される。

【１１３６】

図２６８の構成は、ソースドライバＩＣ１４下にカソード配線２６８２を形成する構成であった。本発明は、これに限定するものではない。たとえば、図２６９のように構成してもよい。

【１１３７】

図２６９では、ソースドライバＩＣ１４ａ下には、カソード配線２６８２ｄを配置している。また、ソースドライバＩＣ１４ｂしたには、アノード配線２６８１ｄを配置し、アノード配線２６８１ｄとアノード配線２６８１ｃとをアノード配線２６８１ｅで接続している。

【１１３８】

以上のようにソースドライバＩＣ１４下に配線を形成することのより、カソード電位、アノード電位を安定化することができる。

【１１３９】

図２６８、図２６９では、ＩＣ１４下にアノードまたはカソード配線を形成または配置した構成である。本発明はこれに限定するものではない。たとえば、図３８０の構成が例示される。図３８０はＩＣ１４下に、カソード配線２６８２とアノード配線２６８１を形

成または配置した構成である。ＩＣ１４ａとＩＣ１４ｂ間に複数のアノード配線２６８１、カソード配線２６８２（図３８０では各２本）を配置している。少なくとも１本のカソード配線２６８２は画面５０の中央部と端部のカソード膜に接続されている。また、そのうち、１つのカソード配線２６８２はＩＣ１４ａの下に配置されている。複数のアノード配線２６８１のうち少なくとも１本のアノード配線２６８１は画面５０の中央部と端部に接続されている。また、そのうち、１つのアノード配線２６８１はＩＣ１４ｂの下に配置されている。また、複数のアノード配線２６８１は画面５０の近傍で短絡されている。

【１１４０】

特に図３８０の特徴は、ＩＣチップ１４の下側に位置するアレイ基板７１上に、複数の電源配線（アノード配線、カソード配線など）を配置または形成した点である。また、前記ＩＣチップ１の下側に配置した配線も用い、カソード電極（図１０、図１１の１０６を参照のこと）と複数箇所でカソード配線２６８２とコンタクト（接続）をとった点である。また、画素１６のアノード配線（図１などのＶｄｄを参照のこと）を分岐するアノード配線２６８１（画面５０の上辺に配置又は形成されている）の両端に給電点を有する点である。両側に給電点を有することにより、画素１６のＶｄｄに流れ込む電流が増加しても電圧降下の発生が少ない。

【１１４１】

アノード配線２６８１およびカソード配線２６８２の配線抵抗が高いと電圧降下が発生し、ＥＬ素子１５、駆動用トランジスタ１１ａに十分な電圧が印加されないようになる。この課題を解決する方式が図３８５の実施例である。図３８５では、カソード配線２６８２とアノード配線２６８１の薄膜配線上にカソート電極１０６の金属材料からなる金属薄膜３８５１を積層させている。金属材料の積層により配線の低抵抗値化を実現できる。カソード電極１０６の金属薄膜３８５１は、ＥＬ素子１５にカソード電極１０６を積層する工程で作製する。ＥＬ素子１５をパターニングする工程であるマスク蒸着時のマスクを加工することにより容易に実現できる。加工とは、金属薄膜３８５１を形成する箇所のマスクに穴あけ加工を行い、この穴を介して金属薄膜３８５１を形成する。

【１１４２】

なお、図３８５では、カソード配線２６８２とアノード配線２６８１の薄膜配線上にカソート電極１０６の金属材料を積層させたとしたがこれに限定するものではなく、アノード電極の材料を積層させてもよいことは言うまでもない。また、カソード配線２６８２とアノード配線２６８１の両方の薄膜配線上に金属材料を積層させているとしたがこれに限定するものではなく、一方の配線に積層したものでもよい。特にアノード配線２６８１は電圧降下による影響が大きいため、積層による低抵抗値化を実現することが好ましい。

【１１４３】

なお、積層させる材料は金属材料に限定するものではなく、低抵抗値化を実現できるものであれば何でもよい。たとえば、ＩＴＯ，カーボンなどが例示される。また、積層は単層に限定されるものではなく、複数膜の積層構造であってもよい。また、合金などでもよい。たとえば、画素電極となるＩＴＯとＬｉ、Ａｌなどを積層してもよい。

【１１４４】

カスケード配線２６８３を良好に配置するためには、図３３８に図示するようにソースドライバＩＣを構成するとよい。図３３８ではソースドライバＩＣの端の一方に基準電流源を配置又は形成し、他方の端にカスケード用の電流源を配置している。

【１１４５】

なお、カスケード配線２６８４はアレイ基板７１上で形成することに限定するものではない。たとえば、図３３９に図示するように、フレキ基板８４あるいはプリント基板でカスケード配線パターン２６８４を形成し、フレキ基板８４などを介してカスケード接続を行っても良い。また、ソースドライバＩＣ１４がＣＯＦ実装される場合は、図３４０に図示するように、ＣＯＦ用のフィルムにカスケード配線２６８４を形成し、ソースドライバＩＣ１４間をカスケード接続してもよい。

【１１４６】

以下、図面を参照しながら、電流駆動方式（電流プログラム方式）による高画質表示方法について説明をする。電流プログラム方式は、画素１６に電流信号を印加して、画素１６に電流信号を保持させる。そして、ＥＬ素子１５に保持させた電流を印加するものである。

【１１４７】

ＥＬ素子１５は印加した電流の大きさに比例して発光する。つまり、ＥＬ素子１５の発光輝度はプログラムする電流の値とリニアの関係がある。一方、電圧プログラム方式では、印加した電圧を画素１６で電流に変換する。この電圧－電流変換は非線形である。非線形の変換は制御方法が複雑になる。

【１１４８】

電流駆動方式は、映像データの値をそのままプログラム電流に線形に変換する。簡単な例で例示すれば、６４階調表示であれば、映像データの０はプログラム電流Ｉｗ＝０μＡとし、映像データ６３はプログラム電流Ｉｗ＝６．３μＡとする（比例の関係となる）。同様に、映像データ３２はプログラム電流Ｉｗ＝３．２μＡとし、映像データ１０はプログラム電流Ｉｗ＝１．０μＡとする。つまり、映像データはそのまま、比例の関係でプログラム電流Ｉｗに変換される。

【１１４９】

理解を容易にするため、映像データとプログラム電流は比例の関係で変換されるとして説明する。実際はさらに容易に、映像データとプログラム電流とを変換できる。図４８に図示するように本発明は単位トランジスタ４８４の単位電流が、映像データの１に該当するからである。さらに、単位電流は基準電流回路を調整することにより、容易に任意の値に調整できるからである。また、基準電流はＲ、Ｇ、Ｂ回路ごとに設けられており、ＲＧＢ回路に基準電流回路を調整することにより全階調範囲にわたりホワイトバランスをとることができるからである。このことは電流プログラム方式で、かつ本発明のソースドライバ回路１４、表示パネル構成の相乗効果である。

【１１５０】

ＥＬ表示パネルでは、プログラム電流とＥＬ素子１５の発光輝度が線形の関係にあるという特徴がある。このことは電流プログラム方式の大きな特徴である。つまり、プログラム電流の大きさを制御すれば、リニアにＥＬ素子１５の発光輝度を調整できる。

【１１５１】

駆動用トランジスタ１１ａはゲート端子に印加した電圧と、駆動用トランジスタ１１ａが流す電流とは非線形である（２乗カーブになることが多い）。したがって、電圧プログラム方式では、プログラム電圧と発光輝度とは非線形の関係にあり、きわめて発光制御が困難である。電圧プログラムに比較して電流プログラム方式では極めて発光制御が容易である。特に、図１の画素構成では、プログラム電流とＥＬ素子１５に流れる電流が理論上は等しい。したがって、発光制御は極めてわかりやすく、制御が容易である。本発明のＮ倍パルス駆動の場合も、プログラム電流を１／Ｎにして計算することにより発光輝度を把握できるから、発光制御の容易という点で優れている。図３８などの画素構成がカレントミラー構成の場合は、駆動用トランジスタ１１ｂとプログラム用トランジスタ１１ａとがことなり、カレントミラー倍率のずれが発生するため、発光輝度の誤差要因がある。しかし、図１の画素構成では、駆動用トランジスタとプログラム用トランジスタが同一であるから、この課題もない。

【１１５２】

ＥＬ素子１５は、投入電流量により発光輝度が比例して変化する。ＥＬ素子１５に印加する電圧（アノード電圧）は固定値である。したがって、ＥＬ表示パネルの発光輝度は消費電力と比例の関係にある。

【１１５３】

以上のことから、映像データとプログラム電流は比例し、プログラム電流とＥＬ素子１５の発光輝度は比例し、ＥＬ素子１５の発光輝度と消費電力は比例する。したがって、映像データをロジック処理すれば、ＥＬ表示パネルの消費電流（電力）、ＥＬ表示パネルの

発光輝度、ＥＬ表示パネルの消費電力を制御できることになる。つまり、映像データをロジック処理（加算など）することにより、ＥＬ表示パネルの輝度、消費電力を把握することができる。したがって、ピーク電流が設定値を越えないようにすることなどの処理が極めて容易である。

【１１５４】

特に本発明のＥＬ表示パネルは電流駆動方式である。かつ特徴ある構成のより画像表示制御が容易である。特徴ある画像表示制御方法は２つある。１つは、基準電流の制御である。もう１つはＤｕｔｙ比制御である。この基準電流制御と比制御を単独であるいは組み合わせることにより、ダイナミックレンジが広く、かつ高画質表示、高コントラストを実現できる。

【１１５５】

まず、基準電流制御は図７７に図示するように、ソースドライバＩＣ（回路）１４は、各ＲＧＢの基準電流を調整する回路を具備している。また、ソースドライバ回路１４からのプログラム電流Ｉｗはいくつの単位トランジスタ４８４に流れているが出力されているかで決定される。１つの単位トランジスタ４８４が出力する電流は、基準電流の大きさに比例する。したがって、基準電流を調整することにより、１つの単位トランジスタ４８４が出力する電流が決定され、プログラム電流の大きさが決定される。基準電流と単位トランジスタ４８４の出力電流がリニアの関係にあり、かつ、プログラム電流と輝度がリニアの関係にあることから、白ラスター表示で各ＲＧＢの基準電流を調整してホワイトバランスを調整すれば、すべての階調でホワイトバランスが維持される。

【１１５６】

なお、図７７は、カレントミラーを多段接続した構成であるが、本発明はこれに限定するものではない。図１６６から図１７０などの１段構成のソースドライバＩＣ（回路）１４であっても基準電流を容易に調整でき、全階調でホワイトバランスが維持されることは言うまでもない。また、基準電流の調整で、ＥＬ表示パネルの輝度を制御できることは言うまでもない。

【１１５７】

図７８はＤｕｔｙ比制御方法である。図７８（ａ）は非表示領域５２を連続して挿入する方法である。動画表示に適する。また、図７８（ａ１）が最も画像が暗く、図７８（ａ４）が最も明るい。ゲート信号線１７ｂの制御で自由にＤｕｔｙ比を変更できる。図７８（ｃ）は非表示領域５２を多数に分割して挿入する方法である。特に静止画表示に適する。また、図７８（ｃ１）が最も画像が暗く、図７８（ｃ４）が最も明るい。ゲート信号線１７ｂの制御で自由にＤｕｔｙ比を変更できる。また、図７８（ｂ）は、図７８（ａ）と図７８（ｃ）との中間状態である。図７８（ｂ）も同様にゲート信号線１７ｂの制御で自由にＤｕｔｙ比を変更できる。

【１１５８】

表示領域５３の分散は、表示パネルの画素行数が２２０本で、１／４Ｄｕｔｙであれば、２２０／４＝５５となるから、１から５５（１の明るさからその５５倍の明るさまで調整できる）。また、表示パネルの画素行が２２０本で、１／２Ｄｕｔｙであれば、２２０／２＝１１０となるから、１から１１０（１の明るさからその１１０倍の明るさまで調整できる）。したがって、画面輝度５０の明るさの調整レンジは非常に広い（画像表示のダイナミックレンジが広い）。また、いずれに明るさであっても、表現できる階調数を維持できると特徴がある。たとえば、６４階調表示であれば、白ラスターでの画面５０輝度が３００ｎｔであっても、３ｎｔであっても６４階調表示を実現できる。

【１１５９】

なお、以前にも説明したが、Ｄｕｔｙは、ゲートドライバ１２ｂへのスタートパルスを制御することにより容易に変更できる。したがって、１／２Ｄｕｔｙ、１／４Ｄｕｔｙ、３／４Ｄｕｔｙ、３／８Ｄｕｔｙと多種多様なＤｕｔｙを容易に変更できる。

【１１６０】

１水平走査期間（１Ｈ）単位のＤｕｔｙ比駆動は、水平同期信号に同期させてゲート信

号線１７ｂのオンオフ信号を印加すればよい。さらに、１Ｈ単位以下でもＤｕｔｙ比制御することができる。図１４５、図１４６の駆動方法である。１Ｈ期間以内において、ＯＥＶ２制御を行うことにより、微小ステップの明るさ制御（Ｄｕｔｙ比制御）が可能である（図１０９とその説明も参照のこと。また、図１７５とその説明を参照のこと）。

【１１６１】

１Ｈ以内のＤｕｔｙ比制御を行うのは、Ｄｕｔｙ比が１／４Ｄｕｔｙ以下の場合に実施する。画素行数が２２０画素行であれば、５５／２２０Ｄｕｔｙ以下である。つまり、１／２２０から５５／２２０Ｄｕｔｙの範囲で行う。１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い微小なＤｕｔｙ比駆動制御を行うことが望ましい。つまり、ゲート信号線１７ｂによるＤｕｔｙ比制御では、変化前から変化後の明るさ変化が５％以上になる時は、ＯＥＶ２による制御を行うことにより変化量が５％以下になるように少しずつ変化させる。この変化には、図９４で説明するＷａｉｔ機能を導入することが好ましい。

【１１６２】

Ｄｕｔｙ比が１／４Ｄｕｔｙ以下で１Ｈ以内のＤｕｔｙ比制御を実施するのは、１ステップあたりの変化量が大きいためもあるが、画像が中間調であるため、微小な変化でも視覚的に認識されやすいためでもある。人間の視覚は、一定以上の暗い画面では、明るさ変化に対する検出能力が低い。また、一定以上の明るい画面でも、明るさ変化に対する検出能力が低い。これは、人間の視覚が２乗特性に依存しているためと思われる。

【１１６３】

図１７４は画面の変化に対する検出機能をグラフ化したものである。横軸は、画面の明るさ（ｎｔ）である。縦軸は許容変化（％）である。許容変化（％）は、任意Ｄｕｔｙから次のＤｕｔｙに変化したさせた明るさの変化割合（％）が、許容できるか限界点を記載したものである。ただし、許容変化（％）は、画像の内容（変化割合、シーンなど）により変動割合が大きい。また、個人的な動画検出能力などに依存しやすい。

【１１６４】

図１７４でもわかるように、画面５０の輝度が高い時には、Ｄｕｔｙ変化に対する許容変化が大きい。また、画面５０の輝度が暗い時もＤｕｔｙ変化に対する許容変化が大きい傾向にある。しかし、中間調表示の場合は、許容変化の限界値（％）は小さい。画像が中間調であるため、微小な変化でも視覚的に認識されやすいためである。

【１１６５】

一例をあげれば、パネルの画素行が２００本であれば、５０／２００Ｄｕｔｙ以下（１／２００以上５０／２００以下）でＯＥＶ２制御を行って、１Ｈ以下の期間のＤｕｔｙ比制御を行う。１／２００Ｄｕｔｙから２／２００Ｄｕｔｙに変化すると１／２００Ｄｕｔｙと２／２００Ｄｕｔｙの差は、１／２００であり、１００％の変化となる。この変化はフリッカとして完全に視覚的に認識されてしまう。したがって、ＯＥＶ２制御（図１７５などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御する。なお、１Ｈ期間以下（１Ｈ期間以内）でＤｕｔｙ比制御するとしたが、これに限定するものではない、図１９でもわかるように非表示領域５２は連続している。つまり、１０．５Ｈ期間というような制御も本発明の範疇である。つまり、本発明は１Ｈ期間に限定されず（小数点以下が発生する）、Ｄｕｔｙ比駆動を行うものである。

【１１６６】

４０／２００Ｄｕｔｙから４１／２００Ｄｕｔｙに変化すると、４０／２００Ｄｕｔｙと４１／２００Ｄｕｔｙの差は、１／２００であり、（１／２００）／（４０／２００）で２．５％の変化となる。この変化はフリッカとして視覚的に認識されるか否かは、画面輝度５０に依存する可能性が高い。ただし、４０／２００Ｄｕｔｙは中間調表示であるので、視覚的に敏感である。したがって、ＯＥＶ２制御（図１７５などを参照のこと）を行い、１Ｈ（１水平走査期間）以下の期間でＥＬ素子１５への電流供給を制御することが望ましい。

【１１６７】
以上のように、本発明の駆動方法および表示装置は、画素１６にＥＬ素子１５に流す電流値を記憶できる構成（図１ではコンデンサ１９が該当する）と、駆動用トランジスタ１１ａと発光素子（ＥＬ素子１５が例示される）との電流経路をオンオフできる構成（図１、図４３、図１１３、図１１４、図１１７などの画素構成が該当する）の表示パネルにあって、少なくとも表示画像の表示状態において図１９の表示状態が発生させる（画像の輝度によっては、画面５０が表示領域５３（Ｄｕｔｙ１／１になってもよい）駆動方法である。かつ、Ｄｕｔｙ比駆動（少なくとも画面５０の一部が非表示領域５３となる駆動方法または駆動状態）が所定のＤｕｔｙ比以下では、１水平走査期間（１Ｈ期間）以内あるいは１Ｈ期間単位に限定されるＥＬ素子１５に流す電流を制御して、表示画面５０の輝度制御を行うものである。この制御はＯＥＶ２制御により実施する（ＯＥＶ２に関しては図１７５とその説明を参照のこと）。
【１１６８】
１Ｈ単位以外のＤｕｔｙ比制御を行う所定Ｄｕｔｙ比は、Ｄｕｔｙ比が１／４Ｄｕｔｙ以下の場合に実施する。逆に所定Ｄｕｔｙ比以上では、１Ｈ単位でＤｕｔｙ比制御を行う。もしくはＯＥＶ２制御は実施しない。また、１Ｈ期間以外のＤｕｔｙ比制御は、１ステップの変化が変化前から変化後で１／２０（５％）以上変化する時に実施する。さらに好ましくは、１／５０（２％）以下の変化でもＯＥＶ２制御を行い微小なＤｕｔｙ比駆動制御を行うことが望ましい。もしくは、白ラスターの最大輝度の１／４以下の輝度で実施する。
【１１６９】
本発明のＤｕｔｙ比制御駆動によれば、図７９に図示するように、ＥＬ表示パネルの階調表現数が６４階調であれば、表示画面５０の表示輝度（ｎｔ）がいずれの輝度であっても、６４階調表示が維持される。たとえば、画素行数が２２０本で、１画素行のみが表示領域５３（表示状態）の時（Ｄｕｔｙ比１／２２０）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この１画素行分が順次画像表示されるからである。
【１１７０】
もちろん、２２０画素行のすべてが表示領域５３（表示状態）の時（Ｄｕｔｙ比２２０／２２０＝Ｄｕｔｙ比１／１）であっても、６４階調表示を実現できる。画素行にソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂによりすべての画素行が同時に画像表示されるからである。また、２０画素行のみが表示領域５３（表示状態）の時（Ｄｕｔｙ２０／２２０＝Ｄｕｔｙ１／１１）であっても、６４階調表示を実現できる。各画素行がソースドライバ回路１４のプログラム電流Ｉｗにより順次画像が書き込まれ、ゲート信号線１７ｂにより、この２０画素行分が順次走査されて画像表示されるからである。
【１１７１】
本発明のＤｕｔｙ比制御駆動は、ＥＬ素子１５の点灯時間の制御であるから、Ｄｕｔｙ比に対する画面５０の明るさは、リニアの関係にある。したがって、画像の明るさ制御がきわめて容易であり、その信号処理回路もシンプルとなり、低コスト化を実現できる。図７７のようにＲＧＢの基準電流を調整し、ホワイトバランスをとる。Ｄｕｔｙ比制御では、Ｒ、Ｇ、Ｂを同時に明るさ制御するためにいずれの階調、画面５０の明るさにおいてもホワイトバランスは維持される。
【１１７２】
Ｄｕｔｙ比制御は、表示画面５０に対する表示領域５３の面積を変化させることにより、画面５０の輝度を変化するものであった。当然、表示面積５３に比例してＥＬ表示パネルに流れる電流はほぼ比例して変化する。したがって、映像データの総和を求めることにより、表示画面５０のＥＬ素子１５に流れる全消費電流を算出することができる。ＥＬ素子１５のアノード電圧Ｖｄｄは直流電圧で固定値のため、全消費電流が算出できれば、画像データに応じて全消費電力をリアルタイムで算出することができる。算出された全消費

電力が規定された最大電力を越えると予測される場合は、図７７の基準電流を電子ボリウムなどの調整回路で調整し、ＲＧＢの基準電流を抑制制御すればよい。

【１１７３】

また、白ラスター表示での所定輝度を設定し、この時をＤｕｔｙ比最小になるように設定する。たとえば、Ｄｕｔｙ比１／８にする。自然画像はＤｕｔｙ比を大きくする。最大のＤｕｔｙは１／１である。たとえば、画面５０の１／１００しか画像が表示されない自然画像をＤｕｔｙ１／１とする。Ｄｕｔｙ比１／１からＤｕｔｙ比１／８は画面５０の自然画像の表示状態で滑らかに変化させる。

【１１７４】

以上のように一実施例として、白ラスター表示で（自然画像ではすべての画素が１００％点灯している状態）でＤｕｔｙ比１／８とし、画面５０の１／１００の画素が点灯している状態をＤｕｔｙ比１／１とする。概略の消費電力は、画素数×点灯画素数の割合×Ｄｕｔｙ比で算出できる。

【１１７５】

説明を容易にするため、画素数を１００とすると、白ラスター表示での消費電力は、１００×１（１００％）×Ｄｕｔｙ比１／８＝８０となる。一方、１／１００が点灯している自然画像の消費電力は、１００×（１／１００）（１％）×Ｄｕｔｙ比１／１＝１となる。Ｄｕｔｙ１／１～Ｄｕｔｙ比１／８は画像の点灯画素数（実際には、点灯画素の総電流＝１フレームのプログラム電流の総和）に応じてフリッカが発生しないようになめらかにＤｕｔｙ比制御が実施される。

【１１７６】

以上のように白ラスターで消費電力割合は８０であり、１／１００が点灯している自然画像の消費電力割合は、１になる。したがって、白ラスター表示での所定輝度を設定し、この時をＤｕｔｙ比最小になるように設定すれば、最大電流を抑制することができる。

【１１７７】

本発明は、１画面のプログラム電流の総和をＳとし、Ｄｕｔｙ比をＤとし、Ｓ×Ｄで駆動制御を実施するものである。また、白ラスター表示でのプログラム電流の総和をＳｗとし、最大のＤｕｔｙ比をＤｍａｘ（通常は、Ｄｕｔｙ比１／１が最大である）とし、最小のＤｕｔｙ比をＤｍｉｎとし、また、任意の自然画像でのプログラム電流の総和をＳｓとした時、Ｓｗ×Ｄｍｉｎ　＞＝　Ｓｓ×Ｄｍａｘの関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【１１７８】

なお、Ｄｕｔｙ比の最大は１／１とする。最小はＤｕｔｙ比１／１６以上にすることが好ましい。つまり、Ｄｕｔｙ比は１／８以上１／１以下にする。なお、１／１を必ず使用することには制約されないことは言うまでもない。好ましくは、最小のＤｕｔｙ比は１／１０以上にする。Ｄｕｔｙ比が小さすぎると、フリッカの発生が目立ちやすく、また、画像内容による画面の輝度変化が大きくなりすぎ、画像が見づらくなるからである。

【１１７９】

先にも説明したがプログラム電流は映像データと比例の関係にある。したがって、プログラム電流の総和とはプログラム電流の総和と同義である。なお、１フレーム（１フィールド）期間のプログラム電流の総和を求めるとしたが、これに限定するものではない、１フレーム（１フィールド）において、所定間隔あるいは、所定周期などでプログラム電流を加算する画素をサンプリングしてプログラム電流（映像データ）の総和としてもよい。また、制御を行うフレーム（フィールド）の前後の総和データを用いてもよいし、推定あるいは予測による総和データをもちいて、Ｄｕｔｙ比制御を行っても良い。

【１１８０】

なお、以上の説明ではＤｕｔｙ比Ｄで制御するとして説明したが、Ｄｕｔｙ比は、所定期間（通常は１フィールドまたは１フレームである。つまり、一般的には任意の画素の画像データが書き換えられる周期もしくは時間である）におけるＥＬ素子１５の点灯期間である。つまり、Ｄｕｔｙ比１／８とは、１フレームの１／８の期間（１Ｆ／８）の間、Ｅ

Ｌ素子１５が点灯していることを意味する。したがって、Ｄｕｔｙ比は、画素１６が書き変えられる周期時間をＴｆとし、画素の点灯期間Ｔａとした時、Ｄｕｔｙ比＝Ｔａ／Ｔｆと読み替えることができる。

【１１８１】

なお、画素１６が書き変えられる周期時間をＴｆとし、Ｔｆを基準とするとしたがこれに限定されるものではない。本発明のＤｕｔｙ比制御駆動は、１フレームあるいは１フィールドで動作を完結させる必要はない。つまり、数フィールドあるいは数フレーム期間を１周期としてＤｕｔｙ比制御を実施してもよい（図１０４などを参照のこと）。したがって、Ｔｆは画素を書き換える周期だけに限定されるものではなく、１フレームあるいは１フィールド以上であってもよい。たとえば、１フィールドあるいは１フレームごとに点灯期間Ｔａがことなる場合は、繰り返し周期（期間）をＴｆとし、この期間の総点灯期間Ｔａを採用すればよい。つまり、数フィールドあるいは数フレーム期間の平均点灯時間をＴａとしてもよい。Ｄｕｔｙ比についても同様である。Ｄｕｔｙがフレーム（フィールド）ごとに異なる場合は、複数フレーム（フィールド）の平均Ｄｕｔｙ比を算出して用いればよい。

【１１８２】

したがって、白ラスター表示でのプログラム電流の総和をＳｗとし、任意の自然画像でのプログラム電流の総和をＳｓとし、最小の点灯期間をＴａｓ、最大の点灯期間をＴａｍ（通常はＴａｍ＝ＴｆであるからＴａｍ／Ｔｆ＝１）とした時、Ｓｗ×（Ｔａｓ／Ｔｆ）＞＝　Ｓｓ×（Ｔａｍ／Ｔｆ）の関係が維持されるようにする駆動方法およびそれを実現する表示装置である。

【１１８３】

画面５０の明るさを制御する方式として、図７７などで説明した構成もある。つまり、基準電流を調整することにより、単位トランジスタ４８４に流れる電流を変化させプログラム電流の大きさを調整することにより、画面輝度５０を変化させる方式である。なお、基準電流の調整方式に関しては図５３などで説明している。

【１１８４】

図７７の４９１Ｒは赤（Ｒ）の基準電流を調整するボリウムである。ただし、ボリウムと表現しているのは説明を容易にするためであり、実際には電子ボリウムであり、外部から６ビットのデジタル信号により、６４段階でＲ回路の基準電流ＩａＲがリニアに調整できるように構成されている。基準電流ＩａＲを調整することにより、トランジスタ４７１Ｒとカレントミラー回路を構成するトランジスタ４７２ａに流れる電流をリニアに変化させることができる。したがって、トランジスタ群５２１ａのトランジスタ４７２ａと電流受け渡しされたトランジスタ４７２ｂに流れる電流が変化し、トランジスタ４７２ｂとカレントミラー回路を構成するトランジスタ群５２１ｂのトランジスタ４７３ａが変化し、トランジスタ４７３ａと電流受け渡しされたトランジスタ４７３ｂが変化する。したがって、単位トランジスタ４８４の駆動電流（単位電流）が変化するから、プログラム電流を変化させることができる。なお、Ｇの基準電流ＩａＧ、Ｂの基準電流ＩａＢについても同様である。

【１１８５】

図７７は、親子孫の３段階のトランジスタ接続であるが、本発明はこれに限定するものではない。たとえば、図１６６から図１７０のように基準電流を発生する回路と単位トランジスタ４８４とが直結された１段構成であっても適用されることが言うまでもない。つまり、本発明は、１つの基準電流あるいは基準電圧により、プログラム電流あるいはプログラム電圧を変更できる回路構成にあって、基準電流あるいは基準電圧によって画面５０の明るさを変化させる方式である。

【１１８６】

なお、トランジスタ５２１ｂはソースドライバ回路（ＩＣ）１４の両方に形成または構成する必要はなく、図３０３に図示するように一方だけでもよい。

【１１８７】

図７７に図示するように、（電子）ボリウム４９１は、赤（Ｒ）、緑（Ｇ）、Ｂ（青）の回路にそれぞれ形成されている。したがって、ボリウム４９１Ｒ、４９１Ｇ、４９１Ｂを調整することにより、それぞれに接続された単位トランジスタ４８４の電流を変化（制御あるいは調整）することができる。したがって、ＲＧＢの割合調整によりホワイト（Ｗ）調整を容易に行うことができる。もちろん、ＲＧＢの基準電流（トランジスタ４７２Ｒ、４７２Ｇ、４７２Ｂに流れる電流）を出荷時にあらかじめ調整しておけば、ＲＧＢの電子ボリウム（４９１Ｒ、４９１Ｇ、４９１Ｂ）を一括して変化できる電子ボリウムを別途設けることにより、ホワイト（Ｗ）バランス調整を行うこともできる。たとえば、図１６９、図１７０において、抵抗Ｒ１の値を、各ＲＧＢ回路にホワイトバランスがとれるように調整する。この状態で、図１６９、図１７０電子ボリウム４５１のスイッチＳをＲＧＢで同一に切り替えればホワイトバランスを維持したまま、画面輝度を調整できる。

【１１８８】

以上のように本発明の基準電流の駆動方法は、ホワイトバランスがとれるように、ＲＧＢの基準電流値を調整する。そして、この状態を中心として、ＲＧＢの基準電流を同一比率で調整するものである。同一比率で調整するため、ホワイトバランスが維持される。以上のように電子ボリウム４９１の調整により、プログラム電流をリニアに変化することができる。なお、説明を容易にするため、図１に図示した画素構成を例として説明するが、本発明はこれに限定するものではなく、他の画素構成でもよいことは言うまでもない。

【１１８９】

図７７に図示あるいは説明したように基準電流の制御により、プログラム電流をリニアに調整することができる。１つあたりの単位トランジスタ４８４の出力電流が変化するからである。単位トランジスタ４８４の出力電流を変化させるとプログラム電流Ｉｗも変化する。画素のコンデンサ１９にプログラムされる電流（実際はプログラム電流に相当する電圧である）が大きいほど、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子１５に流れる電流と発光輝度はリニアに比例する。したがって、基準電流を変化することによりＥＬ素子１５の発光輝度をリニアに変化させることができる。

【１１９０】

本発明のソースドライバ回路（ＩＣ）１４は、端子６８１に接続される単位トランジスタ４８４の個数を制御することによりプログラム電流Ｉｗを変化させるものであった。また、プログラム電流Ｉｗは図３８９、図３９２で説明したように、基準電流Ｉｃを変化させることにより実現した。

【１１９１】

しかし、本発明はこれに限定するものではない、一定の基準となるもの（電圧、電流、設定データなど）を変化し、この変化により端子６８１から出力される電流Ｉｗを変更できるものであればいずれでもよい。ただし、基準となるものの変化により、各出力端子６８１のプログラム電流Ｉｗが同一割合で変化させることが重要である。なお、プログラム電流Ｉｗの変化に限定するものではない。プログラム電圧であってもよい。各端子６８１のプログラム電圧が同一割合で変化させることにより、画面５０の輝度を調整することができるからである。また、ＲＧＢ端子で変化させることによりホワイトバランスを調整することができるからである。

【１１９２】

図４０２は基準電流Ｉｃの調整回路を具備しない本発明の実施例である。端子６８１には、オペアンプ７２２をトランジスタ４７１により、プログラム電流Ｉｗが供給される。プログラム電流Ｉｗはサンプリング回路４０２２によりオペアンプ５２２に印加された電圧により決定される。

【１１９３】

８ビットの映像データはＤ／Ａ回路５５１でアナログデータに変換され、アナログデータは可変増幅回路４０２１で利得調整される。利得調整されたアナログデータはサンプリング回路４０２２において、水平走査クロックでサンプリングされ、各コンデンサＣに保持される。なお、可変増幅回路４０２１の利得は８ビットのデータにより設定される。

【１１９４】
可変増幅回路４０２１の一例としては、図４０３の構成が例示される。図４０３において、Ｖｉｎ端子にＤＡ回路５５１のアナログデータが印加される。また、利得は、抵抗Ｒｘに直列に接続されたスイッチＳｘにより設定される。スイッチＳｘは８ビットに利得設定データにより制御される。なお、利得設定データは１フレームあるいは１フィールド単位で変化させることが可能である。
【１１９５】
つまり、いずれかのスイッチＳｘが閉じることにより利得が設定される。このスイッチＳｘの制御が、図３８９のスイッチ回路３８９２、図１７０の電子ボリウム４５１に該当する。つまり、スイッチＳｘの制御によりプログラム電流Ｉｗを変化あるいは調整することができる。
【１１９６】
したがって、図４０２において、アナログデータがＣにサンプルホールドされ、サンプルホールドされた電圧により、プログラム電流Ｉｗがソース信号線１８に印加される。このプログラム電流Ｉｗは、可変増幅器４０２１の利得データにより変化（制御）される。図４０２の構成のおいても、利得設定データにより、画面５０の輝度を一斉に調整（可変）することができる。したがって、本発明のｎ倍パルス駆動、ｄｕｔｙ駆動などを実現することができる。また、可変増幅器４０２１を各ＲＧＢで設けることにより、ホワイトバランス調整、カラーマネージメント制御を実現できる（図３２７から図３３７を参照のこと）。つまり、本発明の表示パネルあるいは装置において、図４０２の構成のソースドライバ回路（ＩＣ）１４を用いても、本発明の駆動方式、構成を実現することができる。
なお、本発明は、図７７で説明した基準電流制御方式と、図７８で説明したＤｕｔｙ比制御方式のうち、少なくとも一方の方式を用いて画面の明るさなどの制御を行うものである。好ましくは、図７７と図７８の方式を組み合わせて実施することが好ましい。
【１１９７】
以下、図７７、図７８で説明した方式を用いた駆動方法について、さらに詳しく説明をする。本発明の駆動方法は、ＥＬ表示パネルに消費される消費電流の上限にリミットすることが１つの目的である。ＥＬ表示パネルはＥＬ素子１５に流れる電流を輝度が比例関係にある。したがって、ＥＬ素子１５に流れる電流を増大させれば、ＥＬ表示パネルの輝度もどんどん明るくすることができる。輝度に比例して消費される電流（＝消費電力）も増大する。
【１１９８】
携帯装置に用いる場合は、電池などの容量に制限がある。また、電源回路も消費される電流が大きくなると規模が大きくなる。したがって、消費する電流にはリミットを設ける必要がある。このリミットを設けること（ピーク電流抑制）が本発明の１つの目的である。
【１１９９】
また、画像がコントラストを大きくすることにより、表示が良好になる。めりはりのあるように画像変換して画像を表示することにより表示が良好になる。以上のように画像表示を良好にすることが本発明の２つめの目的である。以上の２つの目的（あるいは一方）を実現する本発明をＡＩ駆動と呼ぶことにする。
【１２００】
まず、説明を容易にするために、本発明のＩＣチップ１４は６４階調表示であるとする。ＡＩ駆動を実現するためには、階調表現範囲を拡大することが望ましい。説明を容易にするために、本発明のソースドライバＩＣ（回路）１４は６４階調表示とし、画像データは２５６階調とする。この画像データをＥＬ表示装置のガンマ特性に適合するように、ガンマ変換を行う。ガンマ変換は入力２５６階調を１０２４階調に拡大することによって実施する。ガンマ変換された画像データは、ソースドライバＩＣ１４の６４階調に適合するように、誤差拡散処理あるいはフレームレートコントロール（ＦＲＣ）処理が行われ、ソースドライバＩＣ１４に印加される。

【１２０１】
ＦＲＣはフィールドごとに画像表示を重ね合わせることにより高階調表示を実現するものである。誤差拡散処理は、一例として図９９に図示するように画素Ａの画像データを処理方向の右に７／１６、左下に３／１６、下に５／１６、右下に１／１６に分散させる方法である。分散処理により高階調表示を実現できる。一種の面積階調である。
【１２０２】
図示する容易性から図８０、図８１では６４階調表示を５１２階調に変換するとして説明をする。変換は、誤差拡散処理方式あるいはフレームレート制御（ＦＲＣ）により行う。ただし、図８０では階調変換を行っているというよりは、画像の明るさを変換したと解釈してもよい。
【１２０３】
図８０は、本発明の駆動方法による画像変換処理を説明するものである。図８０は、横軸は、階調（番号）である。階調（番号）が大きいほど、画面５０の輝度が明るいことを示している。逆に階調（番号）が小さいほど、画像が暗いことを示している。縦軸は、度数である。度数とは、画像を構成する画素の明るさのヒストグラムを示している。たとえば、図８０（ａ）のＡ１は画像の２４階調レベルの輝度の画素が最も多いことを示す。
【１２０４】
図８０（ａ）は画像の階調表現数を維持したまま、表示明るさを変化させた例である。Ａ１を原画像とすると、原画像はおよそ６４階調の表現範囲である。Ａ２は階調表現数を維持したまま、明るさの中心を２５６階調に変換した例である。Ａ３も同様に階調表現数を維持したまま、明るさの中心を４４８階調の変換した例である。このような変換は画像データに所定の大きさのデータを加算することにより変換することにより達成できる。
【１２０５】
しかし、図８０（ａ）の階調変換は本発明の駆動方式では実現が困難である。本発明の駆動方式では、図８０（ｂ）の階調変換を行う。
【１２０６】
図８０（ｂ）は、原画像の度数分布を拡大した例である。Ｂ１を原画像とすると、原画像はおよそ６４階調の表現範囲である。Ｂ２は階調表現範囲を２５６階調まで拡大した例である。画面の輝度が明るくなり、階調表現範囲も拡大する。Ｂ３は、さらに階調表現範囲を５１２階調まで拡大した例である。画面表示輝度がさらに明るくなり、階調表現範囲も拡大する。
【１２０７】
図８０（ｂ）の実現は、本発明の駆動方式で容易に実現できる。図７７で説明した基準電流を変化させることにより実現できる。また、図７８のＤｕｔｙ比を変更（制御）することにより実現できる。もしくは、図７７と図７８の方式を組み合わせることにより実現できる。基準電流制御あるいはＤｕｔｙ比制御により、画像の明るさ制御は容易である。たとえば、Ｄｕｔｙ比が１／４の時に図８０（ｂ）のＢ２の表示状態であれば、Ｄｕｔｙ比を１／１６にすれば、図８０（ｂ）のＢ１の表示状態となる。また、Ｄｕｔｙ比を１／２にすれば、図８０（ｂ）のＢ３の表示状態となる。基準電流制御の場合も同様である。基準電流の大きさを、２倍あるいは１／４にすることのより図８０（ｂ）の画像表示が可能である。
【１２０８】
図８０（ｂ）の横軸は階調数としている。本発明の駆動方法では階調数の増加ではない。本発明の駆動方法では、図７９で説明したように表示輝度が変化しても階調数が維持されていることに特徴がある。つまり、図８０（ｂ）ではＢ１の６４階調数が、Ｂ２では２５６階調に変換されたとしている。しかし、Ｂ２の階調数は６４階調である。１つの階調範囲が、Ｂ１に比較して４倍に拡大されている。Ｂ１からＢ２への変換は画像表示のダイナミック変換されたことにほかならない。したがって、高階調表示を実現したのを同等である。したがって、高画質表示を実現できる。
【１２０９】

同様に、図８０（ｂ）ではＢ１の６４階調数が、Ｂ３では５１２階調に変換されたとしている。しかし、Ｂ３の階調数は６４階調である。１つの階調範囲が、Ｂ１に比較して８倍に拡大されている。Ｂ１からＢ３への変換は画像表示のダイナミック変換されたことにほかならない

図８０（ａ）では、画面５０の輝度を向上させることができる。しかし、画面５０は全体が白っぽくなる（白浮き）。しかし、消費電流の増加は比較的少ない（といっても、画面輝度に比例して消費電流は増大する）。図８０（ｂ）では、画面５０の輝度を向上でき、階調の表示範囲も拡大しているため、画質劣化もない。しかし、消費電流の増加は大きい。

【１２１０】

階調数と画面輝度を比例とし、原画像を６４階調とすると、階調数の増加（ダイナミックレンジの拡大）＝輝度の増大となる。したがって、消費電力（消費電流）が増加する。この課題を解決するため、本発明は、図７７の基準電流と調整（制御）する方式、図７８のＤｕｔｙ比を制御する方式のいずれか、もしくは両方を組み合わせる。

【１２１１】

１画面の画像データが全体的に大きいときは画像データの総和は大きくなる。たとえば、白ラスターは６４階調表示の場合は画像データとしては６３であるから、画面５０の画素数×６３が画像データの総和である。１／１００の白ウインドウ表示で、白表示部が最大輝度の白表示では、画面５０の画素数×（１／１００）×６３が画像データの総和である。

【１２１２】

本発明では画像データの総和あるいは画面の消費電流量を予測できる値を求め、この総和あるいは値により、Ｄｕｔｙ比制御あるいは基準電流制御を行う。

【１２１３】

なお、画像データの総和を求めるとしたが、これに限定するものではない。たとえば、画像データの１フレームの平均レベルを求めてこれを用いてもよい。アナログ信号であれば、アナログ画像信号をコンデンサによりフィルタリングすることにより平均レベルを得ることができる。アナログの映像信号に対しフィルタを介して直流レベルを抽出し、この直流レベルをＡＤ変換して画像データの総和としてもよい。この場合は、画像データはＡＰＬレベルとも言うことができる。

【１２１４】

また、３０フレームから３００フレーム期間の画像データの総和あるいは総和を推定できるデータを求め、このデータの大きさに基づいて、Ｄｕｔｙ比制御を行うこと好ましい。総和データは画像変化に応じてゆっくりと変化する。総和データを求めるフレーム期間が長いほど画像の明るさ変化はゆっくりとなる。

【１２１５】

また、画面５０を構成する画像のすべてのデータを加算する必要はなく、画面５０の１／Ｗ（Ｗは１より大きい値）をピックアップして抽出し、ピックアップしたデータの総和を求めてもよい。

【１２１６】

説明を容易にするため、以上の場合も画像データの総和を求めるとして説明をする。画像データの総和は、画像のＡＰＬレベルをもとめる事に一致する場合が多い。また、画像データの総和とは、デジタル的に加算する手段もあるが、以上のデジタルおよびアナログによる画像データの総和を求める方法を、以後、説明を容易にするためＡＰＬレベルと呼ぶ。

【１２１７】

白ラスターの時にＡＰＬレベルは画像がＲＧＢ各６ビットであるから６３（６３階調目であるからデータの表現としては６３で示されている）×画素数（ＱＣＩＦパネルの場合は１７６×ＲＧＢ×２２０）となる。したがって、ＡＰＬレベルは最大となる。ただし、ＲＧＢのＥＬ素子１５で消費する電流は異なるから、ＲＧＢで分離して画像データを算出

することが好ましい。

【１２１８】

この課題に対して、図８４に図示する演算回路を使用する。図８４において、８４１、８４２乗算器である。８４１は発光輝度を重み付けする乗算器である。Ｒ、Ｇ、Ｂでは視感度が異なる。ＮＴＳＣでの視感度は、Ｒ：Ｇ：Ｂ＝３：６：１である。したがって、Ｒの乗算器８４１Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対して３倍の乗算を行う。また、Ｇの乗算器８４１Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対して６倍の乗算を行う。また、Ｂの乗算器８４１Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対して１倍の乗算を行う。ＥＬ素子１５はＲＧＢで発光効率が異なる。通常、Ｂの発光効率が最も悪い。次にＧが悪い。Ｒが最も発光効率が良好である。そこで、乗算器８４２で発光効率の重み付けを行う。Ｒの乗算器８４２Ｒでは、Ｒ画像データ（Ｒｄａｔａ）に対してＲの発光効率の乗算を行う。また、Ｇの乗算器８４２Ｇでは、Ｇ画像データ（Ｇｄａｔａ）に対してＧの発光効率の乗算を行う。また、Ｂの乗算器８４２Ｂでは、Ｂ画像データ（Ｂｄａｔａ）に対してＢの発光効率の乗算を行う。

【１２１９】

乗算器８４１および８４２の結果は、加算器８４３で加算され、総和回路８４４に蓄積される。この総和回路８７の結果にもとづき、図７７のＤｕｔｙ比制御、図７８の基準電流制御を実施する。

【１２２０】

図８４のように制御すると、輝度信号（Ｙ信号）に対するＤｕｔｙ比制御、基準電流制御を実施することができる。しかし、輝度信号（Ｙ信号）を求めて、Ｄｕｔｙ制御などを行うと課題が発生する場合がある。たとえば、ブルーバック表示である。ブルーバック表示ではＥＬパネルで消費する電流は比較的大きい。しかし、表示輝度は低い。ブルー（Ｂ）の視感度が低いためである。そのため、輝度信号（Ｙ信号）の総和（ＡＰＬレベル）は小さく算出されるため、Ｄｕｔｙ制御が高Ｄｕｔｙになる。したがって、フリッカの発生などが生じる。

【１２２１】

この課題に対しては、乗算器８４１をスルーにして用いるとよい。消費電流に対する総和（ＡＰＬレベル）が求められるからである。輝度信号（Ｙ信号）による総和（ＡＰＬレベル）と消費電流による総和（ＡＰＬレベル）は、両方を求めて加味して総合ＡＰＬレベルを求めることが望ましい。総合ＡＰＬレベルによりＤｕｔｙ比制御、基準電流制御を実施する。

【１２２２】

黒ラスターは６４階調表示の場合は０階調目であるから、ＡＰＬレベルは０で最小値となる。図８０の駆動方式では、消費電力（消費電流）は画像データに比例する。なお、画像データは、画面５０を構成するデータの全ビットをカウントする必要はなく、たとえば、画像が６ビットで表現される場合、上位ビット（ＭＳＢ）のみをカウントしてもよい。この場合は、階調数が３２以上で、１カウントされる。したがって、画面５０を構成する画像データによりＡＰＬレベルは変化する。

【１２２３】

本発明では、得られたＡＰＬレベルの大きさにより、図７８の基準電流制御あるいは図７７のＤｕｔｙ比制御を実施する。

【１２２４】

理解を容易にするため、具体的に数値を例示して説明する。ただし、これは仮想的であり、実際には実験、画像評価により制御データ、制御方法を決定する必要がある。

【１２２５】

ＥＬパネルで最大に流せる電流を１００（ｍＡ）とする。白ラスター表示とき、総和（ＡＰＬレベル）は２００（単位なし）になるとする。このＡＰＬレベルが２００の時、そのままパネルに印加するとＥＬパネルに２００（ｍＡ）が流れるとする。なお、ＡＰＬレベルが０の時、ＥＬパネルに流れる電流は０（ｍＡ）である。また、ＡＰＬレベルが１

００の時、Ｄｕｔｙ比は１／２で駆動するものとする。

【１２２６】

したがって、ＡＰＬが１００以上の場合は、制限である１００（ｍＡ）以下となるようにする必要がある。最も簡単には、ＡＰＬレベルが２００の時、Ｄｕｔｙを（１／２）×（１／２）＝１／４にし、ＡＰＬレベルが１００の時、Ｄｕｔｙを１／２とする。ＡＰＬレベルが１００以上２００以下の時は、Ｄｕｔｙが１／４～１／２の間をとるように制御する。Ｄｕｔｙ比１／４～１／２は、ＥＬ選択側のゲートドライバ１２ｂが、同時に選択するゲート信号線１７ｂの本数を制御することにより実現できる。

【１２２７】

ただし、ＡＰＬレベルのみを考慮し、Ｄｕｔｙ比制御を実施すれば、画像に応じて画面５０の平均輝度（ＡＰＬ）に応じで画面５０の輝度が変化し、フリッカが発生する。この課題に対して、もとめるＡＰＬレベルは、少なくとも２フレーム、このましくは、１０フレームさらに好ましくは６０フレーム以上の期間保持し、この期間で演算して、ＡＰＬレベルによりＤｕｔｙ比制御によるＤｕｔｙ比を算出する。また、画面５０の最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）などの画像の特徴抽出を行ってＤｕｔｙ比制御を行うことが好ましい。以上の事項は、基準電流制御にも適用されることは言うまでもない。

【１２２８】

また、画像の特徴抽出により、黒伸張、白伸張を実施することも重要である。これは、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を考慮して行うとよい。たとえば、図８１（ａ）では、画像の中心データＫｂは２５６階調付近に分布し、高輝度部Ｋｃは、３２０階調付近に分布している。また、低輝度部Ｋａは、１２８階調付近に分布している。

【１２２９】

図８１（ｂ）は図８１（ａ）の画像に対して黒伸張および白伸張を実施した例である。ただし、黒伸張と白伸張を同時に行う必要はなく、一方だけを実施してもよい。また、画像の中心部分（図８１（ａ）のＫｂも低階調部あるいは高階調部に移動させてもよい。これらの適切な移動情報は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）からもとめることができる。ただし、経験的な事項の場合もある。人間の視感度が影響するからである。したがって、画像評価と実験とを繰り返して検討する必要がある。しかし、黒伸張あるいは白伸張などの画像処理は、ガンマカーブを演算であるいはルックアップテーブルからもとめることをできるから容易に実現できる。図８１（ｂ）のように処理をすることにより、画像にめりはりがつき、良好な画像表示を実現できる。

【１２３０】

なお、Ｄｕｔｙ比制御により、画面５０の明るさを変化させるのは、図８２のように行う。図８２（ａ）は表示領域５３を連続して変化させる駆動方法である。図８２（ａ１）の画面５０輝度よりは図８２（ａ２）の画面５０輝度が明るい。最も明るいのは図８２（ａｎ）の状態である。図８２（ａ）のＤｕｔｙ比制御による駆動は動画表示に適する。

図８２（ｂ）は表示領域５３を分割して変化させる駆動方法である。図８２（ｂ１）は一例として画面５０の２箇所に表示領域５３を発生させている。図８２（ｂ２）も図８２（ｂ１）と同様に画面５０の２箇所に表示領域５３を発生させているが、２箇所のうち１箇所に表示領域５３の画素行が増加している（一方は１画素行が表示領域５３、他方は２画素行が表示領域５３である）。図８２（ｂ３）も図８２（ｂ２）と同様に画面５０の２箇所に表示領域５３を発生させているが、２箇所のうち１箇所に表示領域５３の画素行が増加している（両方とも２画素行が表示領域５３である）。以上のように表示領域５３を分散させてＤｕｔｙ比制御を行っても良い。一般的に図８２（ｂ）は静止画表示に適する。

【１２３１】

図８２（ｂ）は表示領域５３の分散を２分散としている。しかし、これは作図を容易にするためである。実際には、表示領域５３の分散は３分散以上にする。

【１２３２】
図８３は本発明の駆動回路のブロック図である。以下、本発明の駆動回路について説明をする。図８３では、外部からＹ／ＵＶ映像信号と、コンポジット（ＣＯＭＰ）映像信号が入力できるように構成されている。どちらに映像信号を入力するかは、スイッチ回路８３１により選択される。
【１２３３】
スイッチ回路８３１で選択された映像信号は、デコーダおよびＡ／Ｄ回路によりデコードおよびＡＤ変換され、デジタルのＲＧＢ画像データに変換される。ＲＧＢ画像データは各８ビットである。また、ＲＧＢ画像データはガンマ回路８３４でガンマ処理される。同時に輝度（Ｙ）信号が求められる。ガンマ処理により、ＲＧＢ画像データは各１０ビットの画像データに変換される。
【１２３４】
ガンマ処理後、画像データはＦＲＣ処理または誤差拡散処理が処理回路８３５で行われる。ＦＲＣ処理または誤差拡散処理によりＲＧＢ画像データは６ビットに変換される。この画像データはＡＩ処理回路８３６でＡＩ処理あるいはピーク電流処理が実施される。また、動画検出回路８３７で動画検出が行われる。同時に、カラーマネージメント回路８３８でカラーマネージメント処理が行われる。
【１２３５】
ＡＩ処理回路８３６、動画検出回路８３７、カラーマネージメント回路８３８の処理結果は演算回路８３９に送られ、演算処理回路８３９で制御演算、Ｄｕｔｙ比制御、基準電流制御データに変換され、変換された結果が、ソースドライバ回路１４およびゲートドライバ回路１２に制御データとして送出される。
【１２３６】
Ｄｕｔｙ比制御データはゲートドライバ回路１２ｂに送られ、Ｄｕｔｙ比制御が実施される。一方、基準電流制御データはソースドライバ回路１４に送られ、基準電流制御が実施される。ガンマ補正され、ＦＲＣまたは誤差拡散処理された画像データもソースドライバ回路１４に送られる。
【１２３７】
図８１（ｂ）の画像データ変換は、ガンマ回路８３４のガンマ処理により行う必要がある。ガンマ回路８３４は、多点折れガンマカーブにより階調変換を行う。２５６階調の画像データは、多点折れガンマカーブにより１０２４階調に変換される。
【１２３８】
ガンマ回路８３４により多点折れガンマカーブでガンマ変換するとしたが、これに限定するものではない。図８５に図示するように、一点折れガンマカーブでガンマ変換してもよい。一点折れガンマカーブを構成するハード規模が小さいため、コントロールＩＣを低コスト化できる。
【１２３９】
図８５において、ａは３２階調目での折れ線ガンマ変換である。ｂは６４階調目での折れ線ガンマ変換である。ｃは９６階調目での折れ線ガンマ変換である。ｄは１２８階調目での折れ線ガンマ変換である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８５のｄのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図８５のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８５のｂ、ｃなどのガンマカーブを選択する。なお、以上の実施例では、ガンマカーブを選択するとしたが、実際には、ガンマカーブは演算により発生させるので選択するのではない。
【１２４０】
ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行う。また、Ｄｕｔｙ比制御、基準電流制御も加味して行う。
【１２４１】

図８６は多点折れガンマカーブの実施例である。画像データが高階調に集中している場合は、高階調での階調数を多くするため、図８５のｎのガンマカーブを選択する。画像データが低階調に集中している場合は、低階調での階調数を多くするため、図８５のａのガンマカーブを選択する。画像データの分布が分散している場合は、図８５のｂからｎ－１のガンマカーブを選択する。ガンマカーブの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行う。また、Ｄｕｔｙ比制御、基準電流制御も加味して行う。

【１２４２】

表示パネル（表示装置）が使用する環境に合わせて選択するガンマカーブを変化することも有効である。特にＥＬ表示パネルでは、屋内では良好な画像表示を実現できるが、屋外では低階調部は見えない。ＥＬ表示パネルは自発光のためである。そこで、図８７に図示するように、ガンマカーブを変化させてもよい。ガンマカーブａは屋内用のガンマカーブである。ガンマカーブｂは屋外用のガンマカーブである。ガンマカーブａとｂとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。屋外の場合は、外光があかるいため、低階調表示部は見えない。したがって、低階調部をつぶすガンマカーブｂを選択することが有効である。

【１２４３】

屋外では、図８８のようにガンマカーブを発生させることも有効である。ガンマカーブａは１２８階調目までは出力階調は０にする。１２８階調からガンマ変換を行う。以上のように、低階調部は全く表示しないようにガンマ変換することにより消費電力を削減できる。また、図８８のガンマカーブｂのようにガンマ変換を行っても良い。図８８のガンマカーブは１２８階調目までは出力階調を０にする。１２８以上は出力階調を５１２以上とする。図８８のガンマカーブｂでは高階調部を表示し、出力階調数も少なくすることにより屋外でも画像表示を見えやすくする効果がある。

【１２４４】

本発明の駆動方式では、Ｄｕｔｙ比制御と基準電流制御により画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【１２４５】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明のＤｕｔｙ比駆動のように画面５０に非表示領域５２を発生させても、黒表示における透過率は一定である。逆に非表示領域５２を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【１２４６】

ＥＬ表示パネルは、黒表示は、ＥＬ素子１５に流れる電流が０の状態である。したがって、本発明のＤｕｔｙ比駆動のように画面５０に非表示領域５２を発生させても、黒表示の輝度は０である。非表示領域５２の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、Ｄｕｔｙ比駆動は、ＥＬ表示パネルに最適な駆動方法である。以上のことは、基準電流制御においても同様である。基準電流の大きさを変化させても、黒表示の輝度は０である。基準電流を大きくすると白表示輝度は増加する。したがって、基準電流制御においても良好な画像表示を実現できる。

【１２４７】

Ｄｕｔｙ比制御は、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、Ｄｕｔｙ比制御により画面５０の輝度変化は１０倍近く変化させることができる。また、変化はＤｕｔｙ比に線形の関係になるから制御も容易である。しかし、Ｄｕｔｙ比制御は、Ｎ倍パルス駆動であるから、ＥＬ素子１５に流れる電流の大きさが大きく、また、画面５０の輝度にかかわらず、常時ＥＬ素子に流れる電流の大きさ

が大きくなり、ＥＬ素子１５が劣化しやすいという課題がある。

【１２４８】

基準電流制御は、画面輝度５０を高くするときに、基準電流量を大きくするものである。したがって、画面５０が高いときにしか、ＥＬ素子１５に流れる電流は大きくならない。そのため、ＥＬ素子１５が劣化しにくい。課題は、基準電流を変化させた時のホワイトバランス維持が困難である傾向が強い。

【１２４９】

本発明では、基準電流制御とＤｕｔｙ比制御の両方を用いる。画面５０が白ラスター表示に近い時には、基準電流は一定値に固定し、Ｄｕｔｙ比のみを制御して表示輝度などを変化させる。画面５０に黒ラスター表示に近い時は、Ｄｕｔｙ比は一定値に固定し、基準電流のみを制御させて表示輝度などを変化させる。

【１２５０】

Ｄｕｔｙ比制御は、データ和／最大値が１／１０以上１／１の範囲で実施する。なお、データ和／最大値は点灯率と同義である。データ和／最大値が１であれば、点灯率１００％である（基本的に最大の白ラスター表示）。データ和／最大値が０であれば、点灯率０％である（基本的に完全黒ラスター表示である）。

【１２５１】

なお、点灯率とは、パネルのアノードまたはカソードに流れる最大電流に対する割合である（ただし、ｄｕｔｙは１／１とする）。たとえば、カソードに流れる最大電流を１００ｍＡとすれば、ｄｕｔｙ比１／１において、３０ｍＡの電流が流れていれば点灯率は３０／１００＝３０％（０．３）である。図１などの画素構成の場合は、アノードにはプログラム電流が加算されているので、点灯率の計算には考慮する必要がある。カソードはＥＬ素子で消費される電流のみである。

【１２５２】

点灯率は、パネルのアノードまたはカソードに流れる最大電流に対する割合であるとしたが、パネルの全ＥＬ素子に流れる最大電流の割合とも言い換えることができることは言うまでもない。

【１２５３】

本明細書では、点灯率と断り無く記載する時は、ｄｕｔｙ比１／１としている。もし、ｄｕｔｙ比１／３で、２０ｍＡの電流が流れていれば、点灯率は（２０ｍＡ×３）／１００ｍＡ＝６０％（０．６）である。

【１２５４】

なお、以上の事項は、図１の画素構成のＥＬパネルあるいはＥＬ表示装置だけではなく、図２、図３８、図４３、図４６などの他の画素構成のＥＬパネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【１２５５】

データ和／最大値（点灯率）は、映像データの和から求める。入力映像信号がＹ、Ｕ、Ｖの場合は、Ｙ（輝度）信号から求めても良い。しかし、ＥＬパネルの場合は、Ｒ、Ｇ、Ｂで発光効率が異なるため、Ｙ信号から求めた値が消費電力にならない。したがって、Ｙ、Ｕ、Ｖ信号の場合も、一度Ｒ、Ｇ、Ｂ信号に変換し、Ｒ、Ｇ、Ｂに応じて電流に換算する係数をかけて、消費電流（消費電力）を求めることが好ましい。しかし、簡易的にＹ信号から消費電流を求めることは回路処理が容易になることも考慮してもよい。

【１２５６】

点灯率は、パネルに流れる電流で換算されているものであるとする。なぜなら、ＥＬ表示パネルではＢの発光効率が悪いため、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値である。また、データ和とは単純な映像データの加算値ではなく、映像データを消費電流に換算したものとしている。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【１２５７】

データ和／最大値が１／１００以上１／１の範囲で実施する。また、基準電流の倍率変化（単位トランジスタ４８４の出力電流変化）は、データ和／最大値が１／１０以上１／１０００の範囲で実施する。さらに好ましくはデータ和／最大値が１／１００以上１／２０００の範囲で実施する。基準電流制御とＤｕｔｙ比制御はオーバーラップしないようにすることが好ましい。図８９ではデータ和／最大値が１／１００以下では基準電流の倍率を変化させており、１／１００以上でＤｕｔｙ比を変化させている。したがって、オーバーラップはしていない。

【１２５８】

ここでは説明を容易にするため、Ｄｕｔｙ比の最大はＤｕｔｙ比１／１とし、最小はＤｕｔｙ比１／８とする。基準電流は、１倍から3倍に変化させるとする。また、データ和は画面５０のデータの総和を意味し、（データ和の）最大値は、最大輝度での白ラスター表示での画像データの総和であるとする。なお、Ｄｕｔｙ比１／１まで使用する必要がないことは言うまでもない。Ｄｕｔｙ比１／１は最大値として記載している。本発明の駆動方法では、最大のＤｕｔｙ比を２１０／２２０などと設定してもよいことは言うまでもない。なお、２２０はＱＣＩＦ＋の表示パネルの画素行数を例示している。

【１２５９】

ｄｕｔｙ比＝１／１の場合、点灯率０％にする意味は、Ｎ倍パルス駆動を実施していないことになる。なぜなら、１／１が最大輝度表示であり、Ｎ倍パルス駆動により、プログラム電流の書込み改善を実施していないからである。点灯率１００％になるつれ、ｄｕｔｙ比を１／ｎとし、ｎを大きくすることは、プログラム電流の書込み改善に何ら寄与しない。ただ、パネルの消費電力を低減するために実施しているだけである。このことは、Ｎ倍パルス駆動にはｄｕｔｙ１／１を実施することが含まれないから容易に理解できる。本発明は、点灯率が低い（ｄｕｔｙ比が１／１に近づく）時に、基準電流を１以上にし、画面を高輝度化する。この動作からもＮ倍パルス駆動の実施には該当しない。

【１２６０】

なお、Ｄｕｔｙ比の最大はＤｕｔｙ比１／１とし、最小はＤｕｔｙ比１／１６以内にすることが好ましい。さらに好ましくは、Ｄｕｔｙ比１／１０以内にするとよい。フリッカの発生を抑制できるからである。基準電流の変化範囲は、４倍以内にすることが好ましい。さらに好ましくは２．５倍以内にする。基準電流の倍数を大きくしすぎると、基準電流発生回路の線形性がなくなり、ホワイトバランスずれが発生するからである。

【１２６１】

データ和／（データ和の）最大値＝１／１００とは、一例として１／１００の白ウインドウ表示である。自然画像では、画像表示する画素のデータ和が、白ラスター表示の１／１００に換算できる状態を意味する。したがって、１００画素あたりに１点の白輝点表示もデータ和／最大値が１／１００である。

【１２６２】

なお、以上の事項は、図１の画素構成のＥＬパネルあるいはＥＬ表示装置だけではなく、図２、図３８、図４３、図４６などの他の画素構成のＥＬパネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【１２６３】

以下の説明では最大値とは白ラスターの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはＡＰＬ処理などで発生する最大値である。したがって、データ和／最大値とは、処理を行う画面の画像データの最大値に対する割合である。

【１２６４】

なお、データ和は消費電流で算定するか、輝度で算定するかはどちらでもよい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易であり、コントローラＩＣのハード規模も小さくできる。また、Ｄｕｔｙ比制御によるフリッカの発生もなく、ダイナミックレンジを広く取れることから好ましい。

【１２６５】
図８９は本発明の基準電流制御とＤｕｔｙ比制御を実施した例である。図８９ではデータ和／最大値が１／１００以下では基準電流の倍率を３倍まで変化させている。１／１００以上でＤｕｔｙ比を１／１から１／８まで変化させている。したがって、データ和／最大値が１／１から１／１００００までで、Ｄｕｔｙ比制御で８倍、基準電流制御で３倍であるから、８×３＝２４倍の変化が実施されている。基準電流制御およびＤｕｔｙ比制御はともに画面輝度を変化させるから、２４倍のダイナミックレンジが実現されていることになる。
【１２６６】
データ和／最大値が１／１ではＤｕｔｙ比が１／８である。したがって、表示輝度は最大値の１／８になっている。データ和／最大値が１であるから、白ラスター表示である。つまり、白ラスター表示では表示輝度が最大の１／８に低下している。画面５０の１／８が画像表示領域５３であり、非表示領域５２が７／８を占めている。データ和／最大値が１／１に近い画像は、ほとんどの画素１６が高階調表示である。ヒストグラムで表現すれば、ヒストグラムの高階調領域に大多数のデータが分布している。この画像表示では、画像が白つぶれ状態でありメリハリ感がない。そのため、図８６などのガンマカーブのｎまたはｎに近いものが選択される。
【１２６７】
データ和／最大値が１／１００では、Ｄｕｔｙ比は１／１である。画面５０の全体が表示領域５３である。したがって、Ｎ倍パルス駆動は実施されていない。ＥＬ素子１５の発光輝度がそのまま画面５０の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。イメージで表現すれば、データ和／最大値が１／１００の画像表示とは、真っ暗な夜空に月がでている画像である。この画像でＤｕｔｙ比を１／１にするということは、月の部分は、白ラスターの輝度の８倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１００の領域であるから、１／１００の領域の輝度を８倍にしたとしても消費電力の増加はわずかである。
【１２６８】
データ和／最大値が１／１００に近い画像は、ほとんどの画素１６が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図８６などのガンマカーブのｂまたはｂに近いものが選択される。
【１２６９】
以上のように本発明の駆動方法は、Ｄｕｔｙ比が大きくなるにしたがって、ガンマのｘ乗数を大きくする駆動方法である。Ｄｕｔｙ比が小さくなるにしたがって、ガンマのｘ乗数を小さくする駆動方法である。
【１２７０】
図８９ではデータ和／最大値が１／１００以下では基準電流の倍率を３倍まで変化させている。データ和／最大値が１／１００ではＤｕｔｙ比が１／１として、Ｄｕｔｙ比により画面輝度を高くしている。データ和／最大値が１／１００よりも小さくなるにしたがって、基準電流の倍率を大きくしている。したがって、発光している画素１６はより高輝度で発光する。たとえば、データ和／最大値が１／１０００とは、メージで表現すれば、真っ暗な夜空に星がでている画像である。この画像でＤｕｔｙ比を１／１にするということは、星の部分は、白ラスターの輝度の８×２＝１６倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１０００の領域であるから、１／１０００の領域の輝度を１６倍にしたとしても消費電力の増加はわずかである。
【１２７１】
基準電流の制御はホワイトバランスを維持することが難しいという点である。しかし、真っ暗な夜空に星がでている画像ではホワイトバランスがずれていても視覚的にはホワイ

トバランスずれは認識されない。以上のことから、データ和／最大値が非常に小さい範囲で、基準電流制御を行う本発明は適切な駆動方法である。

【１２７２】

データ和／最大値が１／１０００では、Ｄｕｔｙ比は１／１である。画面５０の全体が表示領域５３である。したがって、Ｎ倍パルス駆動は実施されていない。ＥＬ素子１５の発光輝度がそのまま画面５０の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。

【１２７３】

データ和／最大値が１／１０００に近い画像は、ほとんどの画素１６が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、図８６などのガンマカーブのｂまたはｂに近いものが選択される。

【１２７４】

以上のように本発明の駆動方法は、基準電流が小さくなるにしたがって、ガンマのｘ乗数を大きくする駆動方法である。また、基準電流が大きくなるにしたがって、ガンマのｘ乗数を小さくする駆動方法である。

【１２７５】

図８９では、基準電流の変化およびＤｕｔｙ比制御の変化は直線的に図示している。しかし、本発明はこれに限定されるものではない。図９０に図示するように基準電流の倍率制御、Ｄｕｔｙ比制御を曲線的にしてもよい。図８９、図９０では、横軸のデータ和／最大値が対数であるから、基準電流制御およびＤｕｔｙ比制御の線が曲線になるのは自然である。データ和／最大値と基準電流倍率の関係、データ和／最大値とＤｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。図８９、図９０は、ＲＧＢのＤｕｔｙ比制御、基準電流制御を同一にした実施例である。本発明は、これに限定するものではない。図９１に図示するように、ＲＧＢで基準電流倍率の傾きを変化させてもよい。図９１では、青（Ｂ）の基準電流倍率の変化の傾きを最も大きくし、緑（Ｇ）の基準電流倍率の変化の傾きを次に大きくし、赤（Ｒ）の基準電流倍率の変化の傾きを最も小さくしている。基準電流を大きくすると、ＥＬ素子１５に流れる電流も大きくなる。ＥＬ素子はＲＧＢで発光効率が異なる。また、ＥＬ素子１５に流れる電流が大きくなると印加電流に対する発光効率が悪くなる。特に、Ｂではその傾向が顕著である。そのため、ＲＧＢで基準電流量を調整しないとホワイトバランスが取れなくなる。したがって、図９１のように、基準電流倍率を大きくした時（各ＲＧＢのＥＬ素子１５に流す電流が大きい領域）では、ホワイトバランスを維持できるようにＲＧＢの基準電流倍率を異ならせることが有効である。データ和／最大値と基準電流倍率の関係、データ和／最大値とＤｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。

【１２７６】

図９１は基準電流倍率をＲＧＢで異ならせた実施例であった。図９２はＤｕｔｙ比制御も異ならせている。データ和／最大値を１／１００以上でＢとＧで同一にし、Ｒの傾きを小さくしている。また、ＧとＲは１／１００以下でＤｕｔｙ比１／１であるが、Ｂは１／１００以下でＤｕｔｙ比１／２としている。以上のような駆動方法は、図１２５から図１３１で説明した駆動方法により実施することができる。以上のように駆動すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。データ和／最大値と基準電流倍率の関係、データ和／最大値とＤｕｔｙ比制御の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【１２７７】

図８９から図９１は、一例としてデータ和／最大値を１／１００を境に基準電流倍率とＤｕｔｙ比を変化させる方法であった。データ和／最大値を一定の値を境で、基準電流倍率とＤｕｔｙ比を変化させ、基準電流倍率が変化させる領域とＤｕｔｙ比を変化させる領

域を重ならないようにしている。このように構成することによりホワイトバランスの維持が容易である。つまり、データ和／最大値が１／１００以上Ｄｕｔｙ比を変化させ、データ和／最大値が１／１００以下で基準電流を変化させている。基準電流倍率が変化させる領域とＤｕｔｙ比を変化させる領域を重ならないようにしている。この方法は、本発明の特徴ある方法である。

【１２７８】

なお、データ和／最大値が１／１００以上でＤｕｔｙ比を変化させ、データ和／最大値が１／１００以下で基準電流を変化させたとしたが、逆の関係でもよい。つまり、データ和／最大値が１／１００以下でＤｕｔｙ比を変化させ、データ和／最大値が１／１００以上で基準電流を変化させてもよい。また、データ和／最大値が１／１０以上でＤｕｔｙ比を変化させ、データ和／最大値が１／１００以下で基準電流を変化させ、データ和／最大値が１／１００以上１／１０以下では、基準電流倍率およびＤｕｔｙ比を一定値としてもよい。

【１２７９】

場合によっては、本発明は以上の方法に限定されない。図９３に図示するようにデータ和／最大値が１／１００以上でＤｕｔｙ比を変化させ、データ和／最大値が１／１０以下でＢの基準電流を変化させてもよい。Ｂの基準電流変化とＲＧＢのＤｕｔｙ比とを変化をオーバーラップさせている。

【１２８０】

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてＤｕｔｙ比を変化させるとのフリッカが発生する。したがって、あるＤｕｔｙ比から他のＤｕｔｙ比に変化する時は、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のＤｕｔｙ比が維持される。つまり、Ｄｕｔｙ比は変化しない。

【１２８１】

このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のＤｕｔｙ比を変化前Ｄｕｔｙ比と呼び、変化後のＤｕｔｙ比を変化後Ｄｕｔｙ比と呼ぶ。

【１２８２】

変化前Ｄｕｔｙ比が小さい状態から、他のＤｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前Ｄｕｔｙ比が小さい状態は、画面５０のデータ和が小さい状態あるいは画面５０に黒表示部が多い状態である。したがって、画面５０が中間調の表示で視感度が高いためと思われる。また、Ｄｕｔｙ比が小さい領域では、変化Ｄｕｔｙとの差が大きくなる傾向があるからである。もちろん、Ｄｕｔｙ比の差が大きくなる時は、ＯＥＶ２端子を用いて制御する。しかし、ＯＥＶ２制御にも限界がある。以上のことから、変化前Ｄｕｔｙ比が小さい時は、ｗａｉｔ時間を長くする必要がある。

【１２８３】

変化前Ｄｕｔｙ比が大きい状態から、他のＤｕｔｙ比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前Ｄｕｔｙ比が大きい状態は、画面５０のデータ和が大きい状態あるいは画面５０に白表示部が多い状態である。したがって、画面５０全体が白表示で視感度が低いためと思われる。以上のことから、変化前Ｄｕｔｙ比が大きい時は、ｗａｉｔ時間は短くてよい。

【１２８４】

以上の関係を図９４に図示する。横軸は変化前Ｄｕｔｙ比である。縦軸はＷａｉｔ時間（秒）である。Ｄｕｔｙ比が１／１６以下では、Ｗａｉｔ時間を３秒（ｓｅｃ）と長くしている。Ｄｕｔｙ比が１／１６以上Ｄｕｔｙ比８／１６（＝１／２）では、Ｄｕｔｙ比に応じてＷａｉｔ時間を３秒から２秒に変化させる。Ｄｕｔｙ比８／１６以上Ｄｕｔｙ比１６／１６＝１／１では、Ｄｕｔｙ比に応じて２秒から０秒に変化させる。

【１２８５】

以上のように、本発明のＤｕｔｙ比制御はＤｕｔｙ比に応じてＷａｉｔ時間を変化させ

る。Ｄｕｔｙ比が小さい時はＷａｉｔ時間を長くし、Ｄｕｔｙ比が大きい時はＷａｉｔ時間を短くする。つまり、少なくともＤｕｔｙ比を可変する駆動方法にあって、第１の変化前のＤｕｔｙ比が第２の変化前のＤｕｔｙ比よりも小さく、第１の変化前Ｄｕｔｙ比のＷａｉｔ時間が、第２の変化前Ｄｕｔｙ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。

【１２８６】

なお、以上の実施例では、変化前Ｄｕｔｙ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前Ｄｕｔｙ比と変化後Ｄｕｔｙ比との差はわずかである。したがって、前述の実施例において変化前Ｄｕｔｙ比を変化後Ｄｕｔｙ比と読み替えても良い。

【１２８７】

また、以上の実施例において、変化前Ｄｕｔｙ比と変化後Ｄｕｔｙ比を基準にして説明した。変化前Ｄｕｔｙ比と変化後Ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、Ｄｕｔｙ比の差が大きい時は、中間状態のＤｕｔｙ比を経由して変化後Ｄｕｔｙ比に変化させることが良好であることは言うまでもない。

【１２８８】

本発明のＤｕｔｙ比制御方法は、変化前Ｄｕｔｙ比と変化後Ｄｕｔｙ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、Ｄｕｔｙ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、Ｄｕｔｙ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。

【１２８９】

また、本発明のＤｕｔｙ比の方法は、Ｄｕｔｙ比の差が大きい時は、中間状態のＤｕｔｙ比を経由して変化後Ｄｕｔｙ比に変化させることを特徴とする駆動方法である。

【１２９０】

図９４の実施例では、Ｄｕｔｙ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で同一にするとして説明した。しかし、本発明は、図９５に図示するようにＲＧＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。

【１２９１】

データ和／（データ和の）最大値＝１／１００とは、一例として１／１００の白ウインドウ表示である。自然画像では、画像表示する画素のデータ和が、白ラスター表示の１／１００に換算できる状態を意味する。したがって、１００画素あたりに１点の白輝点表示もデータ和／最大値が１／１００である。

【１２９２】

以下の説明では最大値とは白ラスターの画像データの加算値としたが、これは説明を容易にするためである。最大値は画像データの加算処理あるいはＡＰＬ処理などで発生する最大値である。したがって、データ和／最大値とは、処理を行う画面の画像データの最大値に対する割合である。

【１２９３】

ただし、データ和とは、１画面のデータを正確に加算することを必要としない。１画面をサンプリングした画素のデータの加算値から１画面の加算値を推定（予測）したものでもよい。また、最大値も同様である。また、複数フィールドあるいは複数フレームからの予測値あるいは推定値でもよい。また、画像データの加算だけでなく、映像データをローパスフィルタ回路によりＡＰＬレベルを求めて、このＡＰＬレベルをデータ和としてもよい。この時の最大値は、最大振幅の映像データが入力された時のＡＰＬレベルの最大値である。

【１２９４】

なお、データ和は表示パネルの消費電流で算定するか、輝度で算定するかはどちらでも

よい。ここでは説明を容易にするため、輝度（画像データ）の加算であるとして説明をする。一般的に輝度（画像データ）の加算の方式が処理は容易である。

【１２９５】

図１９７は横軸をデータ和／最大値としている。最大値は１である。縦軸はＤＵＴＹ比である。データ和＝最大値（データ和／最大値＝１）は、全画素行が最大の白表示状態である。データ和／最大値が小さい時は、暗い画面あるいは画像表示領域が少ない画面である。この時は、ＤＵＴＹ比を大きくしている。したがって、画像を表示している画素の輝度は高い。そのため、画像のダイナミックレンジが拡大されて高画質表示される。データ和／最大値が大きい時（最大値は１）は、明るい画面あるいは画像表示領域が広い画面である。この時は、ＤＵＴＹ比を小さくしている。したがって、画像を表示している画素の輝度は低い。そのため、低消費電力化が可能である。画面から放射される光量は大きいため、画像が暗く感じることはない。

【１２９６】

図１９７では、データ和／最大値が１．０の時に、到達するＤＵＴＹ比値を変化させている。たとえば、ＤＵＴＹ比＝１／２は画面の１／２が画像表示状態になる。したがって、画像は明るい。ＤＵＴＹ比＝１／８は画面の１／８が画像表示状態になる。したがって、ＤＵＴＹ比＝１／２に比較して１／４の明るさである。

【１２９７】

本発明の駆動方式では、データ和などにより画像輝度を制御し、また、ダイナミックレンジを拡大する。また、高コントラスト表示を実現する。

【１２９８】

液晶表示パネルでは、白表示および黒表示はバックライトからの透過率で決定される。本発明の駆動方法のように画面に非表示領域を発生させても、黒表示における透過率は一定である。逆に非表示領域を発生させることにより、１フレーム期間における白表示輝度が低下するから表示コントラストは低下する。

【１２９９】

ＥＬ表示パネルは、黒表示は、ＥＬ素子に流れる電流が０の状態である。したがって、本発明の駆動方法のように画面に非表示領域を発生させても、黒表示の輝度は０である。非表示領域の面積を大きくすると白表示輝度は低下する。しかし、黒表示の輝度が０であるから、コントラストは無限大である。したがって、良好な画像表示を実現できる。

【１３００】

また、本発明の駆動方法では、全階調範囲で階調数が保持され、また、全階調範囲でホワイトバランスが維持される。また、ＤＵＴＹ比制御により画面の輝度変化は１０倍近く変化させることができる。また、変化はＤＵＴＹ比に線形の関係になるから制御も容易である。また、Ｒ、Ｇ、Ｂを同一比率で変化させることできる。したがって、どのＤｕｔｙ比においてもホワイトバランスは維持される。

【１３０１】

データ和／最大値とＤＵＴＹ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【１３０２】

以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。つまり、屋外では、図１９７のａのカーブを選択する。しかし、高い輝度で表示し続けるとＥＬ素子は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。たとえば、通常では、ｃのカーブを選択する。また、さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるようの構成しておく。

【１３０３】
したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。また、外部のマイコンなどにより、Ｄｕｔｙ比カーブ、傾きなどを書き換えるように構成することが好ましい。また、メモリされた複数のＤｕｔｙカーブから１つを選択できるように構成することが好ましい。
【１３０４】
なお、ＤＵＴＹ比カーブなどの選択は、ＡＰＬレベル、最大輝度（ＭＡＸ）、最小輝度（ＭＩＮ）、輝度の分布状態（ＳＧＭ）を加味して行うことが好ましいことは言うまでもない。
【１３０５】
以上のように、たとえば、ａは屋外用のカーブである。ｃは屋内用のカーブである。ｂは屋内と屋外との中間状態用のカーブである。カーブａ、ｂ、ｃとの切り替えは、ユーザーがスイッチを操作することにより切り替えるようにする。また、外光の明るさをホトセンサで検出し、自動的に切り替えるようにしてもよい。なお、ガンマカーブを切り替えるとしたが、これに限定するものではない。計算によりガンマカーブを発生させてもよいことは言うまでもない。
【１３０６】
図１９７のＤＵＴＹ比は直線であったが、これに限定するものではない。図１９８に図示するように、一点折れカーブとしてもよい。
【１３０７】
画像データ和が小さい時は、図１９８のｃカーブを選択する。消費電力が低減する効果が発揮される。画像表示の低下はない。画像データ和が大きい時は、ａカーブを選択する。画像の表示が明るくない、フリッカの発生が少なくなる。
【１３０８】
本発明の他の実施例において、ＤＵＴＹ比の変化は、データ和／最大値が１／１０以上の範囲で実施する（図１９９を参照のこと）。データ和／最大値が１に近い画像の発生は少なく、図１９７のようにデータ和／最大値が１まで、ＤＵＴＹ比が変化するように駆動すると、画像表示が暗く感じられるからである。さらに好ましくは、ＤＵＴＹ比の変化はデータ和／最大値が８／１０以上の範囲で実施する。
【１３０９】
図１９９ではデータ和／最大値が０．９以下ではＤＵＴＹ比を１から１／５まで変化させている。したがって、５倍のダイナミックレンジが実現されていることになる。
【１３１０】
データ和／最大値が０．９以上では１／５である。したがって、表示輝度は最大値の１／５になっている。データ和／最大値＝１は白ラスター表示である。つまり、白ラスター表示では表示輝度が最大の１／５に低下している。
【１３１１】
データ和／最大値が０．１以下では、ＤＵＴＹ比は１／１である。画面の１／１０が表示領域である。ＥＬ素子の発光輝度がそのまま画素の表示輝度となる。画像表示はほとんどが黒表示であり、一部に画像が表示されている状態である。イメージで表現すれば、データ和／最大値が０．１以下の画像表示とは、真っ暗な夜空に月がでている画像である。この画像でＤＵＴＹ比を１／１にするということは、月の部分は、白ラスターの輝度の５倍の輝度で表示されることになる。したがって、ダイナミックレンジの広い画像表示を実現できる。画像表示されているのは１／１０の領域であるから、１／１０の領域の輝度を５倍にしたとしても消費電力の増加はわずかである。
【１３１２】
データ和／最大値が０に近い画像は、ほとんどの画素が低階調表示である。ヒストグラムで表現すれば、ヒストグラムの低階調領域に大多数のデータが分布している。この画像

表示では、画像が黒つぶれ状態でありメリハリ感がない。そのため、ガンマカーブを制御して黒表示部のダイナミックレンジを広くする。

【１３１３】

以上の実施例では、データ和／最大値が０では、ＤＵＴＹ比を１にするとしたが、本発明はこれに限定するものではない。図２００に図示するように、ＤＵＴＹ比を１より小さい値となるようにしてもよいことは言うまでもない。また、ＤＵＴＹ比のカーブは図２０１に図示するように曲線となるようにしてもよい。

【１３１４】

図２０２に図示するように、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の画素で、ＤＵＴＹ比カーブを変化させてもよい。図２０２では、青（Ｂ）のＤＵＴＹ比の変化の傾きを最も大きくし、緑（Ｇ）のＤＵＴＹ比の変化の傾きを次に大きくし、赤（Ｒ）のＤＵＴＹ比の変化の傾きを最も小さくしている。以上のように駆動すれば、ＲＧＢのホワイトバランス調整を最適にすることができる。データ和／最大値とＤＵＴＹ比の関係は、画像データの内容、画像表示状態、外部環境に合わせて設定することが好ましい。また、ユーザーが自由に設定あるいは調整できるように構成することが好ましい。

【１３１５】

早いスピードで明るい画面と暗い画面とは交互に繰り返す時、変化に応じてＤＵＴＹ比を変化させるとのフリッカが発生する。したがって、あるＤＵＴＹ比から他のＤＵＴＹ比に変化する時は、図２０３に図示するように、ヒステリシス（時間遅延）を設けて変化させることが好ましい。たとえば、ヒステリシス期間を１ｓｅｃとすると、１ｓｅｃ期間内に、画面輝度が明るい暗いが複数回繰り返しても、以前のＤＵＴＹ比が維持される。つまり、ＤＵＴＹ比は変化しない。

【１３１６】

このヒステリシス（時間遅延）時間をＷａｉｔ時間と呼ぶ。また、変化前のＤＵＴＹ比を変化前ＤＵＴＹ比と呼び、変化後のＤＵＴＹ比を変化後ＤＵＴＹ比と呼ぶ。

【１３１７】

変化前ＤＵＴＹ比が小さい状態から、他のＤＵＴＹ比に変化する時は、変化によるフリッカの発生が起こりやすい。変化前ＤＵＴＹ比が小さい状態は、画面のデータ和が小さい状態あるいは画面に黒表示部が多い状態である。

【１３１８】

したがって、画面が中間調の表示で視感度が高いためと思われる。また、ＤＵＴＹ比が小さい領域では、変化ＤＵＴＹ比との差が大きくなる傾向があるからである。もちろん、ＤＵＴＹ比の差が大きくなる時は、ＯＥＶを用いて制御する。しかし、ＯＥＶ制御にも限界がある。以上のことから、変化前ＤＵＴＹ比が小さい時は、ｗａｉｔ時間を長くする必要がある。

【１３１９】

変化前ＤＵＴＹ比が大きい状態から、他のＤＵＴＹ比に変化する時は、変化によるフリッカの発生が起こりにくい。変化前ＤＵＴＹ比が大きい状態は、画面のデータ和が大きい状態あるいは画面に白表示部が多い状態である。したがって、画面全体が白表示で視感度が低いためと思われる。以上のことから、変化前ＤＵＴＹ比が大きい時は、ｗａｉｔ時間は短くてよい。

【１３２０】

以上の関係を図２０３に図示する。横軸は変化前ＤＵＴＹ比である。縦軸はＷａｉｔ時間（秒）である。ＤＵＴＹ比が１／１６以下では、Ｗａｉｔ時間を３秒（ｓｅｃ）と長くしている。ＤＵＴＹ比が１／１６以上ＤＵＴＹ比８／１６（＝１／２）では、ＤＵＴＹ比に応じてＷａｉｔ時間を３秒から２秒に変化させる。ＤＵＴＹ比８／１６以上ＤＵＴＹ比１６／１６＝１／１では、ＤＵＴＹ比に応じて２秒から０秒に変化させる。

【１３２１】

以上のように、本発明のＤＵＴＹ比制御はＤＵＴＹ比に応じてＷａｉｔ時間を変化させる。ＤＵＴＹ比が小さい時はＷａｉｔ時間を長くし、ＤＵＴＹ比が大きい時はＷａｉｔ時

間を短くする。つまり、少なくともＤＵＴＹ比を可変する駆動方法にあって、第１の変化前のＤＵＴＹ比が第２の変化前のＤＵＴＹ比よりも小さく、第１の変化前ＤＵＴＹ比のＷａｉｔ時間が、第２の変化前ＤＵＴＹ比のＷａｉｔ時間よりも長く設定することを特徴とするものである。

【１３２２】

なお、以上の実施例では、変化前ＤＵＴＹ比を基準にしてＷａｉｔ時間を制御あるいは規定するとした。しかし、変化前ＤＵＴＹ比と変化後ＤＵＴＹ比との差はわずかである。したがって、前述の実施例において変化前ＤＵＴＹ比を変化後ＤＵＴＹ比と読み替えても良い。

【１３２３】

また、以上の実施例において、変化前ＤＵＴＹ比と変化後ＤＵＴＹ比を基準にして説明した。変化前ＤＵＴＹ比と変化後ＤＵＴＹ比との差が大きい時はＷａｉｔ時間を長くとる必要があることはいうまでもない。また、ＤＵＴＹ比の差が大きい時は、中間状態のＤＵＴＹ比を経由して変化後ＤＵＴＹ比に変化させることが良好であることは言うまでもない。

【１３２４】

本発明のＤＵＴＹ比制御方法は、変化前ＤＵＴＹ比と変化後ＤＵＴＹ比との差が大きい時はＷａｉｔ時間を長くとる駆動方法である。つまり、ＤＵＴＹ比の差に応じてＷａｉｔ時間を変化させる駆動方法である。また、ＤＵＴＹ比の差が大きい時にＷａｉｔ時間を長くとる駆動方法である。

【１３２５】

また、本発明のＤＵＴＹ比の方法は、ＤＵＴＹ比の差が大きい時は、中間状態のＤＵＴＹ比を経由して変化後ＤＵＴＹ比に変化させることを特徴とする駆動方法である。

【１３２６】

以上の実施例では、ＤＵＴＹ比に対するＷａｉｔ時間を、Ｒ（赤）Ｇ（緑）Ｂ（青）で同一にするとして説明した。しかし、本発明は、Ｒ、Ｇ、ＢでＷａｉｔ時間を変化させてもよいことは言うまでもない。ＲＧＢで視感度が異なるからである。視感度にあわせてＷａｉｔ時間を設定することにより、より良好な画像表示を実現できる。

【１３２７】

以上の実施例は、Ｄｕｔｙ比制御に関する実施例であった。基準電流制御についてもＷａｉｔ時間を設定することが好ましい。図９６はその実施例である。

【１３２８】

基準電流が小さい時は画面５０が暗く、基準電流が大きい時は画面５０が明るい。つまり、基準電流倍率が小さい時は、中間調表示状態と言い換えることができる。基準電流倍率が高いときは、高輝度の画像表示状態である。したがって、基準電流倍率が低い時は、変化に対する視感度が高いため、Ｗａｉｔ時間を長くする必要がある。一方、基準電流倍率が高いときは、変化に対する視感度が低いため、Ｗａｉｔ時間が短くても良い。したがって、図９６に図示するように、基準電流倍率に対するＷａｉｔ時間を設定すればよい。

【１３２９】

データ和などに対する基準電流倍率は、パネルモジュール外部から変更できるようにしておくことが望ましい。外部からの変更は、マイコンなどを用いて、パネルモジュールの制御回路８３９（図８３、図２０５およびその説明を参照のこと）のメモリに書き込めばよい。

【１３３０】

図２２４は基準電流倍率を変化させる方式の説明図である。図２２４の横軸はアドレス番号である。アドレス番号は０番地から５１１番地であり、９ビットとなっている。また、横軸はアドレスとしているが、図１９７から図２０２などで説明したデータ和／最大値に対応していると考えてよい。つまり、データ和＝最大値の時は、データ和／最大値＝１である。この状態がアドレスの５１１番地に該当させていると考えてよい。また、データ和×２＝最大値の時は、データ和／最大値＝１／２である。この状態がアドレスの２５５

番地に該当させていると考えてよい。

【１３３１】

各アドレスに対するデータ（基準電流倍率）は、図２２５に図示するようにアドレスバスとデータバスに印加されたデータ値により順次書き換えられる。

【１３３２】

縦軸の基準電流はメモリ状態によって変化する。実線のａ線では、アドレスの値によらず、たえず、基準電流倍率が１と変化しない状態にされた場合を示している。点線のｂ線では、データ和が大きい時（画面５０全体が白表示に近い状態）では基準電流を１から変化しないようにし、データ和が小さい時（画面５０が黒表示に近い状態か、表示された画素が少ない状態）では基準電流の変化を大きくしている。したがって、画像表示のダイナミックレンジが拡大されている。一点鎖線のｃ線では、データ和が大きい時から小さい時に、その変化が一定に変化するようにしている。

【１３３３】

以上のように、基準電流倍率を書き換えることにより本発明の駆動方式の適用性が拡大される。なお、図２２４において、ａ、ｂ、ｃ線となるように各アドレスに対するデータを書き換えるとしたが、これに限定するものでなく、制御回路８３９などに、ａ、ｂ、ｃ線のカーブ（データ）を格納しておき、選択して切り換えるように制御してもよい。

【１３３４】

図２２６はｄｕｔｙ比を変化させる方式の説明図である。図２２６の横軸はアドレス番号である。アドレス番号は０番地から２５５番地であり、８ビットとなっている。また、横軸はアドレスとしているが、図１９７から図２０２などで説明したデータ和／最大値に対応していると考えてよい。つまり、データ和＝最大値の時は、データ和／最大値＝１である。この状態がアドレスの２５５番地に該当させていると考えてよい。また、データ和×２＝最大値の時は、データ和／最大値＝１／２である。この状態がアドレスの１２７番地に該当させていると考えてよい。各アドレスに対するデータ（ｄｕｔｙ比）は、図２２７に図示するようにアドレスバスとデータバスに印加されたデータ値により順次書き換えられる。

【１３３５】

縦軸の基準電流はメモリ状態によって変化する。実線のａ線では、アドレスの値によらず、たえず、ｄｕｔｙ比が１と変化しない状態にされた場合を示している。点線のｂ線では、データ和が大きい時（画面５０全体が白表示に近い状態）ではｄｕｔｙ比を０．２から変化しないようにし、データ和が小さい時（画面５０が黒表示に近い状態か、表示された画素が少ない状態）ではｄｕｔｙ比の変化を大きくしている。したがって、画像表示のダイナミックレンジが拡大されている。一点鎖線のｃ線では、データ和が大きい時から小さい時に、その変化が一定に変化するようにしている。

【１３３６】

以上のように、ｄｕｔｙ比を書き換えることにより本発明の駆動方式の適用性が拡大される。なお、図２２６において、ａ、ｂ、ｃ線となるように各アドレスに対するデータを書き換えるとしたが、これに限定するものでなく、制御回路８３９などに、ａ、ｂ、ｃ線のカーブ（データ）を格納しておき、選択して切り換えるように制御してもよい。また、図２２４と図２２６とは相互に組み合わせて実施してもよいことは言うまでもない。

【１３３７】

本発明は、データ和あるいはＡＰＬを算出（検出）し、この値のよりＤｕｔｙ比制御、基準電流制御を行うものである。図９８はこのＤｕｔｙ比と基準電流倍率を求めるフローチャートである。

【１３３８】

図９８に図示するように、入力された画像データは、概略のＡＰＬが算出される（仮ＡＰＬが算出される）。このＡＰＬから基準電流の値、基準電流倍率が決定される。決定された基準電流、基準電流倍率は、電子ボリウムデータに変換されソースドライバ回路１４に印加される。

【１３３９】
一方、画像データはガンマ処理回路に入力され、ガンマ特性が決定される。ガンマ特性の処理した画像データからＡＰＬが算出される。算出されたＡＰＬよりＤｕｔｙ比を決定する。次に、画像が動画か静止画により、Ｄｕｔｙパターンが決定される。Ｄｕｔｙパターンとは、非表示領域５２と表示領域５３との分布状態である。動画の場合は、非表示領域５２を一括に挿入する。静止画の場合は、非表示領域５２を分散させて挿入にする。したがって、静止画の場合は、非表示領域５２と表示領域非表示領域５２を分散させて挿入するＤｕｔｙパターンに変換する。動画の場合は、非表示領域５２を一括で挿入するＤｕｔｙパターンに変換する。変換されたパターンは、ゲートドライバ回路１２ｂのスタートパルスＳＴ（図６を参照のこと）として印加される。

【１３４０】
図９４、図９５では、Ｄｕｔｙ比に応じてＷａｉｔ時間を制御することを説明し、また、図８９から図９３において、データ和に応じてＤｕｔｙ比制御を行うことを説明した。図１０３はさらにＤｕｔｙ比制御およびＷａｉｔ時間を行うための詳細な説明図である。ただし、説明を容易にするため、時間的ファクタなどを縮小して表現している。

【１３４１】
図１０３において、最上段はフレーム（フィールド）番号を示している。２段目はＡＰＬレベル（データ和が該当）を示している。３段目はＡＰＬレベルから算出された対応Ｄｕｔｙ比を示している。最下段は、Ｗａｉｔ時間を考慮し補正して結果のＤｕｔｙ比（処理Ｄｕｔｙ比）を示している。つまり、各フレームのＡＰＬレベルにより対応Ｄｕｔｙ比（３段目）は８／６４→９／６４→９／６４→１０／６４→９／６４→１０／６４→１１／６４→１１／６４→１２／６４→１４／６４→・・・・・と変化する。

【１３４２】
対応Ｄｕｔｙ比に対して、処理Ｄｕｔｙ比はＷａｉｔ時間を考慮して、８／６４→８／６４→９／６４→９／６４→９／６４→１０／６４→１０／６４→１１／６４→１２／６４→１２／６４→・・・・・と変化する。

【１３４３】
図１０３では、Ｗａｉｔ時間により対応Ｄｕｔｙ比を補正している。また、処理Ｄｕｔｙ比は分子が整数にしている（図１０７は分子には小数点があることと比較のこと）。図１０３では、Ｄｕｔｙ比の変化が滑らかにし、フリッカが発生しにくいように駆動している。図１０３において、フレーム３、４、５で対応Ｄｕｔｙ比が９／６４、１０／６４、９／６４に変化しているが、Ｗａｉｔ時間制御を実施し、処理Ｄｕｔｙ比は、９／６４、９／６４、９／６４に変化させている（フレーム４において点線で補正箇所を記載している）。また、図１０３において、フレーム９、１０、１１で対応Ｄｕｔｙ比が１２／６４、１４／６４、１１／６４に変化しているが、Ｗａｉｔ時間制御を実施し、処理Ｄｕｔｙ比は、１２／６４、１２／６４、１１／６４に変化させている（フレーム１０において点線で補正箇所を記載している）。以上のようにＷａｉｔ時間制御を行うことにより、Ｄｕｔｙ比制御にヒステリシス（時間遅延あるいはローパスフィルタ）を持たせることにより、ＡＰＬレベルが急激に変化してもＤｕｔｙ比が変化しないようにしている。

【１３４４】
以上のような、Ｄｕｔｙ比制御は、１フレームあるいは１フィールドで完結する必要はない。数フィールド（数フレーム）の期間でＤｕｔｙ比制御を行っても良い。この場合のＤｕｔｙ比は数フィールド（数フレーム）の平均値をＤｕｔｙ比とする。なお、数フィールド（数フレーム）でＤｕｔｙ比制御を行う場合であっても、数フィールド（数フレーム）期間は、６フィールド（６フレーム）以下にすることが好ましい。これ以上であるとフリッカが発生する場合があるからである。また、数フィールド（数フレーム）とは整数ではなく、２．５フレーム（２．５フィールド）などでもよい。つまり、フィールド（フレーム）単位には限定されない。

【１３４５】
図１０４は数フィールド（数フレーム）でＤｕｔｙ比制御を行う場合の実施例である。

図１０４は数フィールド（数フレーム）を行う場合の概念を図示している。ＭはＤｕｔｙ比制御を行う長さである。１フィールド（１フレーム）が画素行数２５６であれば、Ｍ＝１０２４は４フィールド（４フレーム）が該当する。つまり、図１０４は４フィールド（４フレーム）でＤｕｔｙ比制御を行う実施例である。

【１３４６】

Ｍは仮想的ゲートドライバ１２ｂのシフトレジスタ６１ｂの保持データ列をしめしている（図６を参照のこと）。保持データ列には、ゲート信号線１７ｂに印加する電圧をオフ電圧にするかオン電圧にするかのデータ（オンオフ電圧）が保持されている。この保持データ列の平均値がＤｕｔｙ比を示すことになる。なお、図１０４において、Ｍ＝Ｎであっても良いことは言うまでもない。また、場合によっては、Ｍ　＜　Ｎの関係でＤｕｔｙ比制御を行っても良いことは言うまでもない。

【１３４７】

たとえば、Ｍ＝１０２４の保持データ列において、オン電圧データが２５６あり、オフ電圧が７６８であれば、Ｄｕｔｙ比は２５６／１０２４＝１／４となる。なお、オン電圧データの分布状態は表示画像が動画の場合は、固まって保持されており、表示画像が静止画の場合は、オン電圧の分布状態は分散して保持されている。

【１３４８】

つまり、仮想的にオンオフ電圧データ列がＥＬ表示パネルのゲート信号線１７ｂに順次印加される。オンオフ電圧が順次印加されることによりＥＬ表示パネルがＤｕｔｙ比制御され、所定の明るさで報じされる。

【１３４９】

図１０５は図１０４のＤｕｔｙ比制御を実現するための回路構成のブロック図である。まず、映像信号（画像データ）はＹ変換回路１０５１により、輝度信号に変換される。次に、ＡＰＬ演算回路１０５２により、ＡＰＬレベル（データ和あるいはデータ和／最大値）が求められる。このＡＰＬレベルによりＤｕｔｙ比がフィールド（フレーム）単位で算出され、結果はスタック１０５３に蓄えられる。スタック回路１０５３はｆｉｒｓｔ　ｉｎ　ｆｉｒｓｔ　ｏｕｔ構成である。なお、Ｗａｉｔ時間制御によりＤｕｔｙ比は補正されてスタック回路１０５３に格納される。スタック１０５３に格納されたＤｕｔｙ比データは、パラレル／シリアル変換（Ｐ／Ｓ）回路１０５４により、シフトレジスタ６１ｂのＳＴパルス（図６を参照のこと）として印加され、印加されたデータの順番に応じてゲートドライバ回路１２ｂからゲート信号線１７ｂのオンオフ電圧が出力される。

【１３５０】

以上の実施例では、フィールドあるいはフレームでＤｕｔｙ比制御を実施するとした。しかし、本発明はこれに限定するものではない。たとえば、１フレーム＝４フィールドとし、複数のフィールドを単位としてＤｕｔｙ比制御を行っても良い。複数のフィールドを用いてＤｕｔｙ比制御を行うことにより、フリッカの発生しない滑らかな画像表示を実現できる。

【１３５１】

図１０６において、１－１は１フレームの第１フィールドを意味し、１－２は１フレームの第２フィールドを意味し、１－３は１フレームの第３フィールドを意味し、１－４は１フレームの第４フィールドを意味する。また、２－１は２フレームの第１フィールドを意味する。

【１３５２】

Ｄｕｔｙ比が１２８／１０２４→１３２／１０２４に変化させる場合は、１－１では１２８／１０２４、１－２では１２９／１０２４、１－３では１３０／１０２４、１－４では１３１／１０２４、２－１では１３２／１０２４と変化させる。以上の変化により１２８／１０２４から１３２／１０２４に緩やかに変化する。

【１３５３】

Ｄｕｔｙ比が１２８／１０２４→１３０／１０２４に変化させる場合は、１－１では１２８／１０２４、１－２では１２８／１０２４、１－３では１２９／１０２４、１－４で

は１２９／１０２４、２－１では１３０／１０２４と変化させる。以上の変化により１２８／１０２４から１３０／１０２４に緩やかに変化する。

【１３５４】

Ｄｕｔｙ比が１２８／１０２４→１３６／１０２４に変化させる場合は、１－１では１２８／１０２４、１－２では１３０／１０２４、１－３では１３２／１０２４、１－４では１３４／１０２４、２－１では１３６／１０２４と変化させる。以上の変化により１２８／１０２４から１３６／１０２４に緩やかに変化する。

【１３５５】

フィールド（フレーム）のＤｕｔｙ比制御におけるＤｕｔｙ比の分子は整数である必要はない。たとえば、図１０７に図示するように、小数点以下となるように制御してもよい。分子が小数点以下とするのは、ＯＥＶ２端子を制御することより、容易に実現できる。また、複数のフレーム（フィールド）での平均Ｄｕｔｙ比を用いることによりＤｕｔｙ比の分母を小数点以下が発生することができる。逆に、Ｄｕｔｙ比の分母に小数点以下を発生するようにしてもよい。図１０７では、分子が３０．８、３１．２など小数点以下としている。なお、分母、分子を一定以上の大きな整数にすることにより小数点以下を必要ないようにすることができる。

【１３５６】

なお、以上の事項は、図１の画素構成のＥＬパネルあるいはＥＬ表示装置だけではなく、図２、図３８、図４３、図４６などの他の画素構成のＥＬパネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【１３５７】

動画と静止画とでは、Ｄｕｔｙ比パターンを変化させる。Ｄｕｔｙ比パターンを急激に変化させると画像変化が認識されてしまうことがある。また、フリッカが発生する場合がある。この課題は動画のＤｕｔｙ比と静止画のＤｕｔｙ比との差異によって発生する。動画では非表示領域５２を一括して挿入するＤｕｔｙパターンを用いる。静止画では非表示領域５２を分散して挿入するＤｕｔｙパターンを用いる。非表示領域５２の面積／画面面積５０の比率がＤｕｔｙ比となる。しかし、同一Ｄｕｔｙ比であっても、非表示領域５２の分散状態で人間の視感度は異なる。これは人間の動画応答性に依存するためと考えられる。

【１３５８】

中間動画は、非表示領域５２の分散状態が、動画の分散状態と静止画の分散状態との中間の分散状態である。なお、中間動画は複数の状態を準備し、変化前の動画状態あるいは静止画状態に対応させて複数の中間動画から選択してもよい。複数の中間動画状態とは、非表示領域の分散状態が動画表示に近く、たとえば、非表示領域５２が３分割された構成が一例として例示される。また、逆に非表示領域が静止画のように多数に分散された状態が例示される。

【１３５９】

静止画でも明るい画像もあれば暗い画像もある。動画も同様である。したがって、変化前の状態に応じてどの中間動画の状態に移行するかを決定すればよい。また、場合によっては、中間動画を経由せずに動画から静止画に移行してもよい。中間動画を経由せずに静止画から動画に移行してもよい。たとえば、画面５０が低輝度の画像は動画表示と静止画表示とが直接移動しても違和感はない。また、複数の中間動画表示を経由して表示状態を移行させてもよい。たとえば、動画表示のＤｕｔｙ状態から、中間動画表示１のＤｕｔｙ比状態に移行し、さらに中間動画表示２のＤｕｔｙ状態に移行してから静止画表示のＤｕｔｙ状態に移行させてもよい。

【１３６０】

図１０８に図示するように動画表示から静止画表示に移動する時に、中間動画状態を経由させる。また、静止画表示から中間動画表示を経由して動画表示に移行させる。各状態の移行時間はＷａｉｔ時間をおくことが好ましい。

【１３６１】

図１１０は動画と静止画および中間動画を移行するときの、Ｄｕｔｙ比、非表示領域の分散数を示している。図１１０において、動画静止画レベルが０の時は、画像表示が動画レベルであること、１の時は画像表示が準動画（中間動画）状態であることを示している。また、２の時は、画像表示が静止画状態であることを示している。

【１３６２】

分割数は、非表示領域５２の分割数である。１とは非表示領域５２が一括して画面に挿入されていることを示している。３０とは非表示領域５２が３０に分割して挿入されていることを示している。同様に５０とは非表示領域５２が５０に分割して挿入されていることを示している。Ｄｕｔｙ比は以前にも説明したが、白表示の輝度低減率をしめしている。つまり、Ｄｕｔｙ比１／２とは、最高の白輝度の１／２の表示状態となっていることを示す。

【１３６３】

図１１０で図示するように、動画静止画レベルは、動画から静止画に移行する時、静止画から動画に移行する時に中間動画（準動画）状態を経由して以降する。

【１３６４】

動画から静止画に移行する時間は、図１１１に図示するようにＷａｉｔ時間を設けることが好ましい。Ｗａｉｔ時間は、動画の割合によって決定するとよい。図１１０の横軸の異なるデータ数とは、あるフレームと次のフレーム間で動画検出をし、動画検出により検出された動画の割合を示している。つまり、フレーム間で演算し、画像データが異なっている画素の割合が横軸である。したがって、数値が大きいほど、動画表示に近いということになる。図１１０では動画表示に近いほど、Ｗａｉｔ時間を長く確保している。

【１３６５】

なお、以上の事項は、図１の画素構成のＥＬパネルあるいはＥＬ表示装置だけではなく、図２、図３８、図４３、図４６などの他の画素構成のＥＬパネルあるいはＥＬ表示装置にも適用できることは言うまでもない。

【１３６６】

図２８８～図２９１などでプリチャージ駆動について説明をした。プリチャージ電圧の印加は点灯率あるいはｄｕｔｙ比と連動させることが好ましい。プリチャージ電圧の印加は必要がない箇所には印加しないことが好ましい。白表示の輝度低下などが発生する場合があるからである。したがって、プリチャージ電圧の印加は限定されることが好ましい。プリチャージ駆動は、特に電流駆動方式において、白表示部が下にクロストークする現象を解消するために実施する。したがって、このクロストークが目立つのは、画面に黒表示部が多く、一部に白表示がある画像である。画面５０全体が白表示であればクロストークが発生しても視覚的に認識されることはないからである。したがって、プリチャージ駆動は実施する必要がない。

【１３６７】

本発明は点灯率が高い（画面５０において全体的に白表示部分が多い）時に、ｄｕｔｙ比を小さくする。つまり、ｄｕｔｙ１／ｎのｎを大きくする。点灯率が低い（画面５０の全体的に黒表示部分が多い）時に、ｄｕｔｙを大きくする。つまり、ｄｕｔｙ１／１に近づく。したがって、ｄｕｔｙ比と点灯率とは相関関係がある。映像データから点灯率（データ和／最大値）を求め、点灯率からｄｕｔｙ比制御を行うのであるから当然である。

【１３６８】

図２９４（ａ）に図示するように、ｄｕｔｙ比と点灯率（％）の関係があるとする。図２９４（ｂ）はプリチャージのオンオフ状態を示している。図２９４（ｂ）では、ｄｕｔｙ比が８０％以上でプリチャージ駆動するように設定している。ただし、プリチャージ駆動するとしても、本発明のプリチャージ駆動には、ａｌｌプリチャージモード、適応型プリチャージモード、０階調プリチャージモード、選択階調プリチャージモードがある。したがって、図２９４（ｂ）ではプリチャージ駆動が実施されるように設定するというポイントであり、どのプリチャージが行われるかにより駆動状態は異なる。重要なのは、ｄｕｔｙ比あるいは点灯率により、プリチャージ駆動をするかしないかを変化させることであ

る。

【１３６９】

ｄｕｔｙ比あるいは点灯率（％）とガンマ制御も相関がある。図３０１、図３０２はその説明図である。図３０１（ａ１）は階調表示が多い画像の場合の説明図である。つまり、点灯率が低い画像である。図３０１（ａ１）は、横軸を階調番号とし、縦軸を各階調で発生する度数としている。たとえば、図３０１（ａ１）では、ある表示画像で、１０階調目の表示画素数が２５０個あることをしめし、また、７階調目の表示画素数が４００個あることを示している。１５階調目より以上の表示画素数はわずかである。

【１３７０】

点灯率に対するｄｕｔｙ比を図２９５であるとする。図３０１（ａ１）の画像表示では、表示画像の点灯率が０％に近いため、ｄｕｔｙ比がほぼ１／１である。階調は輝度と比例する。したがって、図３０１（ａ２）に図示するように、各階調において、階調番号（＝輝度）にたいする度数を縦軸に表示する。すると、図３０１（ａ２）に図示するように、比較的、低階調番目から高階調番目まで表示できていることがわかる。

【１３７１】

図３０１（ｂ１）は高階調表示が多い画像の場合の説明図である。つまり、点灯率が高い画像である。図３０１（ｂ１）の図３０１（ａ１）と同様に、横軸を階調番号とし、縦軸を各階調で発生する度数としている。たとえば、図３０１（ｂ１）では、ある表示画像で、５０階調目の表示画素数が１００個あることを示し、また、５６階調目の表示画素数が４００個あることを示している。４５階調目より小さい表示画素数はわずかである。

【１３７２】

点灯率に対するｄｕｔｙ比を図２９５であるとする。図３０１（ｂ１）の画像表示では、表示画像の点灯率が１００％に近いとすると、ｄｕｔｙ比がほぼ１／４である。階調は輝度と比例する。したがって、図３０１（ｂ２）に図示するように、各階調において、階調番号（＝輝度）に対する度数を縦軸に表示する。すると、図３０１（ｂ２）に図示するように、低階調領域では完全に画像つぶれが発生する。

【１３７３】

図３０１（ｂ）では、画像の階調表示がつぶれて解像度のない画像になっていまうので、ガンマカーブを変化させる必要がある。つまり、ガンマカーブの乗数である係数を大きくし、ガンマカーブを急峻にする必要がある。

【１３７４】

以上のことから、本発明では、点灯率あるいはｄｕｔｙ比に応じて、ガンマカーブの係数を変化させている。図３０２はその説明図である。

【１３７５】

本発明は点灯率が高い（画面５０の全体的に白表示部分が多い）時に、ｄｕｔｙ比を小さくする。つまり、ｄｕｔｙ１／ｎのｎを大きくする。点灯率が低い（画面５０の全体的に黒表示部分が多い）時に、ｄｕｔｙを大きくする。つまり、ｄｕｔｙ１／１に近づく。したがって、ｄｕｔｙ比と点灯率とは相関関係がある。映像データから点灯率（データ和／最大値）を求め、点灯率からｄｕｔｙ比制御を行うのであるから当然である。

【１３７６】

図３０２（ａ）に図示するように、ｄｕｔｙ比と点灯率（％）の関係があるとする。図３０２（ｂ）のグラフは縦軸をガンマカーブの係数を示している。図３０２（ｂ）では、ｄｕｔｙ比が７０％以上でガンマカーブの係数が大きくなるように設定している。つまり、ガンマカーブが急峻になるように、高階調領域で階調表現が大きくなるようにしている。したがって、白つぶれ画像が改善される。

【１３７７】

なお、図３４３に図示するように、ｄｕｔｙ比が一定以上の小さい領域でガンマ係数を大きくすることも画像表示を改善できる場合がある。

【１３７８】

さらにＤｕｔｙ比制御について説明するために、本発明の有機ＥＬ表示装置の電源回路

について説明をする。図１１２は本発明の電源回路の構成図である。１１２２は制御回路である。抵抗１１２５ａと１１２５ｂの中点電位を制御し、トランジスタ１１２６のゲート信号を出力する。トランス１１２１の１次側には電源Ｖｐｃが印加され、１次側の電流がトランジスタ１１２６のオンオフ制御により２次側に伝達される。１１２３は整流ダイオードであり、１１２４は平滑化コンデンサである。

【１３７９】

図２０１は本発明の電源回路の構成図である。１１２２は制御回路である。トランジスタ１７７５をオンオフ制御かけることにより、コイル１７７１に流れる電流、駆動波形を変化させ、コンデンサ１７７４に充電される電荷を制御する。抵抗１１２５ａと１１２５ｂの中点電位を制御し、トランジスタ１１２６のゲート信号を出力する。抵抗の抵抗値を変化させることによりＶｄｄ電圧（アノード電圧）を変化させることができる。電圧の発生はコイル（トランス）１７７１で行っているため、アノード電圧の変化によりカソード電圧（Ｖｓｓ）も変化する。つまり、アノード電圧（Ｖｄｄ）が高くなれば、カソード電圧（Ｖｓｓ）もシフトする。

【１３８０】

たとえば、アノード電圧（Ｖｄｄ）が６（Ｖ）で、カソード電圧（Ｖｓｓ）が－６（Ｖ）の場合を考える。アノード電圧（Ｖｄｄ）を９（Ｖ）に３（Ｖ）変化させると、カソード電圧（Ｖｓｓ）は－６（Ｖ）から－３（Ｖ）にシフトする。これは、トランス１１２１の入力側と出力側が絶縁されている効果である。

【１３８１】

電流駆動方式の有機ＥＬ表示パネルは、電位的な観点から以下の特徴がある。本発明の画素構成は、図１などでの説明したように駆動用トランジスタ１１ａはＰチャンネルのトランジスタである。また、プログラム電流を発生するソースドライバ１４の単位トランジスタ４８４はＮチャンネルのトランジスタである。この構成により、プログラム電流は、画素１６からソースドライバＩＣ（回路）１４に向かって流れる吸い込み電流（シンク電流）となっている。したがって、電位的な動作は、アノード（Ｖｄｄ）を原点として動作している。つまり、画素１６へのプログラムは電流であるから、駆動の電圧マージンが確保されていれば、ソースドライバＩＣ（回路）１４の電位はいずれでも良い。

【１３８２】

制御回路１１２２の制御はコントローラなどのロジック回路で制御する。したがって、制御回路１１２２とロジック回路のグランドは一致させる必要がある。しかし、トランス１１２１は入力側と出力側は切り離されている。電流プログラム方式のソースドライバＩＣ（回路）１４は出力側に作用し、アノード電位（Ｖｄｄ）を基準に動作する。したがって、ソースドライバＩＣ（回路）１４のグランドは、制御回路１１２２、ロジック回路のグランドと一致させる必要はない。この点で、ソースドライバＩＣ１４が電流プログラム方式であること、トランス１１２２を用いてアノード電圧（Ｖｓｓ）を発生させること（さらに加えるならば、アノード電圧（Ｖｄｄ）を基準としてカソード電圧（Ｖｓｓ）を発生させること）、画素１６の駆動用トランジスタ１１ａがＰチャンネルであることの組み合わせは相乗効果を発揮する。

【１３８３】

また、有機ＥＬ表示パネルは、アノード（Ｖｄｄ）とカソード（Ｖｓｓ）との絶対値で動作する。たとえば、Ｖｄｄ＝６（Ｖ）で、Ｖｓｓ＝－６（Ｖ）であれば、６－（－６）＝１２（Ｖ）で動作する。図１１２の本発明のトランス１１２１を用いた電源回路では、アノード（Ｖｄｄ）を基準にしてカソード電圧（Ｖｓｓ）が変化する。また、アノード電圧（Ｖｄｄ）が、本発明の電流駆動のソースドライバＩＣ（回路）１４のプログラム電流の基準位置である。つまり、アノード電圧（Ｖｄｄ）を原点として動作している。逆に、カソード電圧（Ｖｓｓ）の電位あるいは制御はラフでよい。この理由によっても、図１１２のトランスを用いた本発明の電源回路、電流駆動の画素１６構成を有する有機ＥＬパネル、電流プログラム方式のソースドライバＩＣ（回路）１４とは組み合わせによる相乗効果を発揮することが理解できる。また、アノード電圧の変化によりカソード電圧がシフト

する点も重要である。

【１３８４】

また、有機ＥＬパネルは、アノードＶｄｄから駆動用トランジスタ１１ａに流れ込む電流Ｉｄｄと、ＥＬ素子１５からカソードＶｓｓに流れ出す電流Ｉｓｓが略一致する。つまり、Ｉｄｄ＝Ｉｓｓの関係がある。実際は、Ｉｄｄ＞Ｉｓｓとなるが、この差は、ソースドライバＩＣ（回路）１４のプログラム電流であるため、極わずかであり無視できる。図１１２、図１７７のトランス１１２１は、構成上、アノードＶｄｄから出力される電流と、カソードＶｓｓから吸い込む電流が一致する。この点においても、有機ＥＬパネルと本発明のトランス１１２１を用いた電源回路の組み合わせの相乗効果は大きい。

【１３８５】

なお、画素１６の駆動用トランジスタ１１ａをＮチャンネルトランジスタとする場合は、ソースドライバＩＣ（回路）１４の単位トランジスタ４８４はＰチャンネルトランジスタとすると同様の効果を発揮できることは言うまでもない。

【１３８６】

ゲートドライバ回路１２のＶｇｈ電圧、Ｖｇｌ電圧、ソースドライバ回路の電源電圧などは、カソード電圧（Ｖｓｓ）または（および）アノード電圧（Ｖｄｄ）から発生させると効率がよい。また、トランス１１２１は入力２端子、出力２端子の４端子構成でもよいか、図１１２に図示するように、入力２端子、出力は中点といれて３端子とすることが望ましい。なお、トランス１１２１には単巻きトランス（コイル）も含まれる。

【１３８７】

トランス１１２１の１次側には電源Ｖｐｃが印加され、１次側の電流がトランジスタ１１２６のオンオフ制御により２次側に伝達される。１１２３は整流ダイオードであり、１１２４は平滑化コンデンサである。

【１３８８】

アノード電圧Ｖｄｄは抵抗１１２５ｂに出力電圧が調整される。Ｖｓｓはカソード電圧である。カソード電圧Ｖｓｓは図１７８に図示するように２つの電圧を選択して出力できるように構成されている。選択はスイッチ１７８１で行う。カソード電圧としての２つの電圧（図１７８では、－９（Ｖ）と－６（Ｖ））の発生は、トランス１１２１の出力側に中間タップを設けることにより容易に発生できる。また、トランス１１２１の出力側に－９（Ｖ）用と、－６（Ｖ）用の２つの巻線を構成し、この巻線のいずれかを選択することのより容易に発生できる。この点も本発明のすぐれた点である。また、図１７８などではカソード電圧（Ｖｓｓ）を切り換える点も特徴である。アノードは電位の原点として変化させると回路構成が複雑となり、コストが高くなる。一方、カソード電圧（Ｖｓｓ）は１０％程度の電位誤差が発生しても、画像表示に影響を与えない（鈍感である）。したがって、アノード電圧を基準としてカソード電圧を設定する点、パネルの温度特性にあわせて、カソード電圧（Ｖｓｓ）を変化させる点は本発明の優れた特徴である。また、トランス１１２１は、入力巻線数と出力巻線数との比を変化させることにより容易にカソード電圧およびアノード電圧を変化させることも利点が多い。また、トランジスタ１７７６のスイッチング状態を変化することにより、アノード電圧（Ｖｄｄ）を変化できることも利点が多い。図１７８では、スイッチ１７８１により－９（Ｖ）が選択されている。

【１３８９】

なお、図１７８では、カソード電圧Ｖｓｓを２つの電圧から選択するとしたが、これに限定するものではなく、２つ以上にしてもよい。また、カソード電圧は可変レギュレータ回路を用いて、連続的に変化させてもよい。

【１３９０】

スイッチ２０２１の選択は温度センサ７０１からの出力結果による。パネル温度が低いときは、Ｖｓｓ電圧として、－９（Ｖ）を選択する。一定以上のパネル温度の時は、－６（Ｖ）を選択する。これは、ＥＬ素子１５に温特があり、低温側でＥＬ素子１５の端子電圧が高くなるためである。なお、図１７８では、２つの電圧から１つの電圧を選択し、Ｖｓｓ（カソード電圧）とするとしたが、これに限定するものではなく、３つ以上の電圧か

らＶｓｓ電圧を選択できるように構成してもよい。以上の事項は、Ｖｄｄについても同様に適用される。なお、本発明は一定以下の低温では、カソード電圧（Ｖｓｓ）を低くする点も特徴ある構成である。

【１３９１】

なお、図１７８では、温度センサ７０１でカソード電圧を切り換える（変化させる）としたが、これに限定するものではない。たとえば、図１７７に図示するように、出力電圧を決定する抵抗１７７５に並列にあるいは直列に可変抵抗（ポジスタ、サーミスタなど）を形成または配置し、全体として温度により抵抗値を変化できるように構成してもよい。

【１３９２】

図１７８のように、複数の電圧をパネル温度により選択できるように構成することで、パネルの消費電力を低減することができる。一定温度以下の時に、Ｖｓｓ電圧を低下させればよいからである。通常は、電圧が低いＶｓｓ＝－６（Ｖ）を使用することができる。なお、スイッチ２０２１は図１７８に図示するように構成してもよい。なお、複数のカソード電圧Ｖｓｓを発生させるのは、図１７８のトランス１１２１から中間タップをとりだすことにより容易に実現できる。アノード電圧Ｖｄｄの場合も同様である。実施例として、図１７９の構成を例示する。図１７９では、トランス１７７１の中間タップを用いて複数のカソード電圧を発生させている。

【１３９３】

図１８０は電位設定の説明図である。この例では説明を容易にするため、ソースドライバＩＣ１４はＧＮＤを基準にするとして説明をする。ソースドライバＩＣ１４の電源はＶｃｃである。Ｖｃｃはアノード電圧（Ｖｄｄ）と一致させてもよい。本発明では消費電力の観点から、Ｖｃｃ＜Ｖｄｄにしている。好ましくは、ソースドライバＩＣ（回路）のＶｃｃ電圧は　Ｖｄｄ－１．５（Ｖ）　＜＝　Ｖｃｃ　＜＝　Ｖｄｄの関係を満足させることが好ましい。たとえば、Ｖｄｄ＝７（Ｖ）であれば、Ｖｃｃは、Ｖｄｄ－１．５＝５．５（Ｖ）以上７（Ｖ）以下の条件を満足させることが好ましい。なお、Ｖｃｃ電圧とは、図４８、図１６６のスイッチ４８１を動作させる最大電圧である。

【１３９４】

ゲートドライバ回路１２のオフ電圧Ｖｇｈは、Ｖｄｄ電圧以上にする。好ましくは、Ｖｄｄ＋０．２（Ｖ）＜＝Ｖｇｈ＜＝Ｖｄｄ＋２．５（Ｖ）の関係を満足させる。たとえば、Ｖｄｄ＝７（Ｖ）であれば、Ｖｇｈは、７＋０．２＝７．２（Ｖ）以上７＋２．５＝９．５（Ｖ）以下の条件を満足させるようにする。以上の条件は、画素選択側（図１の画素構成ではトランジスタ１１ｂ、１１ｃ）と、ＥＬ選択側（図１の画素構成ではトランジスタ１１ｄ）の両方に適用される。

【１３９５】

駆動用トランジスタ１１ａとのプログラム電流の経路を発生させるスイッチング用トランジスタ（図１の画素構成にあっては、トランジスタ１１ｂ、１１ｃが該当する）のオン電圧Ｖｇｌは、Ｖｄｄ－Ｖｄｄ以下Ｖｄｄ－Ｖｄｄ－４（Ｖ）の条件を満足させるか、もしくは、カソード電圧Ｖｓｓと略一致させることが好ましい。同様に、ＥＬ選択側（図１の画素構成にあっては、トランジスタ１１ｄが該当する）のオン電圧も同様である。つまり、アノード電圧が７（Ｖ）、カソード電圧が－６（Ｖ）であれば、オン電圧Ｖｇｌは、７－７（Ｖ）＝０（Ｖ）以下７－７－４＝－４（Ｖ）の範囲にすることが好ましい。もしくは、オン電圧Ｖｇｌはカソード電圧と略一致させ、－６（Ｖ）あるいはその近傍とすることが好ましい。

【１３９６】

なお、画素１６の駆動用トランジスタ１１ａがＮチャンネルのトランジスタの場合は、Ｖｇｈはオン電圧となる。この場合は、オフ電圧をオン電圧に置き換えればよいことは言うまでもない。

【１３９７】

本発明の電源回路の課題に、アノード電圧Ｖｄｄおよび（または）カソード電圧ＶｓｓからＶｇｈ、Ｖｇｌ電圧などを発生させている点がある。アノード電圧などはトランス１

１２１で発生させ、この電圧から、ＤＣＤＣコンバータＶｇｈ、Ｖｇｌ電圧などが印加されることになる。

【１３９８】

しかし、Ｖｇｈ、Ｖｇｌはゲートドライバ回路１２の制御電圧であり、この電圧が印加されていないと、画素のトランジスタ１１はフローティング状態となってしまう。また、Ｖｃｃ電圧がないと、ソースドライバＩＣ（回路）１４もフローティング状態となり、誤動作と引き起こす。したがって、図１８１に図示するように、Ｖｇｈ、Ｖｇｌ、Ｖｃｃ電圧をパネルに印加した後、Ｔ１時間経過後、あるいは同時にＶｄｄ、Ｖｓｓ電圧を印加する必要がある。

【１３９９】

この課題に対して、本発明は図１８２に図示する構成で解決している。図１８２において、１７８３ａはトランス１１２１などから構成される電源回路である。１７８３ｂは、電源回路１７８３ａからの電圧を入力し、Ｖｇｈ、Ｖｇｌ、Ｖｃｃ電圧などを発生させる電源回路であり、ＤＣＤＣコンバータ回路、レギュレータ回路などで構成される。１８２１はスイッチである。サイリスタ、メカニカルリレー、電子リレー、トランジスタ、アナログスイッチなどが該当する。

【１４００】

図１８２（ａ）では、電源回路１７８３ａがまず、アノード電圧（Ｖｄｄ）およびカソード電圧（Ｖｓｓ）を発生する。この発生時には、スイッチ１８２１ａがオープン状態となっている。したがって、表示パネルにはアノード電圧（Ｖｄｄ）は印加されない。電源回路１７８３ａで発生したアノード電圧（Ｖｄｄ）およびカソード電圧（Ｖｓｓ）は電源回路１７８３ｂに印加され、電源回路１７８３ｂでＶｇｈ、Ｖｇｌ、Ｖｃｃ電圧が発生させられ、表示パネルに印加される。Ｖｇｈ、Ｖｇｌ、Ｖｃｃ電圧を表示パネルに印加した後、スイッチ１８２１ａがオン（クローズ）し、表示パネルにアノード電圧（Ｖｄｄ）が印加される。

【１４０１】

図１８２（ａ）では、アノード電圧（Ｖｄｄ）のみをスイッチ１８２１ａで遮断している。これは、アノード電圧（Ｖｄｄ）が印加されていなければ、ＥＬ素子１５に電流を印加する経路が発生せず、また、ソースドライバＩＣ（回路）１４に流れる経路も発生しないからである。したがって、表示パネルが誤動作あるいはフローティング動作することがない。

【１４０２】

もちろん、図１８２（ｂ）に図示するように、スイッチ１８２１ａ、１８２１ｂの両方をオンオフ制御することにより、表示パネルに印加する電圧を制御してもよい。ただし、スイッチ１８２１ａと１８２１ｂは同時にクローズ状態にするか、もしくは、スイッチ１８２１ａがクローズした後、スイッチ１８２１ｂがクローズ状態となるように制御する必要がある。

【１４０３】

以上は、電源回路１７８３ａのＶｄｄ端子にスイッチ１８２１を形成または配置する構成であった。図１８３はスイッチ１８２１を形成または配置しない構成である。アノード電圧（Ｖｄｄ）とＶｇｈ電圧が近似し、また、アノード電圧（Ｖｄｄ）とＶｃｃ電圧が近似している点、Ｖｇｈ電圧が印加されていればゲートドライバ１２によりゲート信号線１７ａ、１７ｂにオフ電圧Ｖｇｈが印加され、トランジスタ１１（図１の構成ではトランジスタ１１ｂ、トランジスタ１１ｃ、トランジスタ１１ｄ）がオフ状態になることを利用している。トランジスタ１１がオフ状態であれば、駆動用トランジスタ１１ａからＥＬ素子１５に流れる電流経路は発生せず、また、駆動用トランジスタ１１ａからソースドライバＩＣ（回路）１４に流れるプログラム電流の経路も発生しないから、表示パネルが誤動作あるいは異状動作することがない。

【１４０４】

アノード電圧（Ｖｄｄ）とＶｇｈ電圧が近似していると、抵抗１８３１ａでショートさ

れていても抵抗にはほとんどで電流が流れない。したがって、電力ロスはほとんど発生しない。たとえば、アノード電圧（Ｖｄｄ）＝７（Ｖ）で、Ｖｇｈ＝８（Ｖ）とし、抵抗１８３１ａが１０（ＫΩ）とすれば、（８－７）／１０＝０．１となるから、抵抗１８３１ａに流れる電流は、０．１（ｍＡ）である。また、Ｖｇｈはオフ電圧である。また、ゲートドライバ回路１２から出力される電圧であるので、使用する電流は小さい。本発明はこの性質を利用している。つまり、アノード電圧（Ｖｄｄ）端子とＶｇｈ端子とを短絡した抵抗１８３１ａによって、ゲート信号線１７をオフ電圧（Ｖｇｈ）あるいはその近傍の電位に保持することができる。したがって、アノード電圧（Ｖｄｄ）からＥＬ素子１５に流れる電流経路が発生することがなく、表示パネルに異状動作が発生しない。なお、ゲートドライバ回路１２のシフトレジスタ６１（図６を参照のこと）を動作させ、すべてのゲート信号線１７からオフ電圧（Ｖｇｈ）が出力されるように、制御することは言うまでもない。

【１４０５】

その後、電源回路１７８３ｂが完全動作し、電源回路１７８３ｂから規定のＶｇｈ電圧、Ｖｇｌ電圧、Ｖｃｃ電圧が出力される。

【１４０６】

同様に、アノード電圧（Ｖｄｄ）とＶｃｃ電圧が近似していると、抵抗１８３１ｂでショートされていても抵抗にはほとんどで電流が流れない。したがって、電力ロスはほとんど発生しない。たとえば、アノード電圧（Ｖｄｄ）＝７（Ｖ）で、Ｖｃｃ＝６（Ｖ）とし、抵抗１８３１ａが１０（ＫΩ）とすれば、（７－６）／１０＝０．１となるから、抵抗１８３１ｂに流れる電流は、０．１（ｍＡ）である。また、ＶｃｃはソースドライバＩＣ（回路）１４で使用する電圧であるが、Ｖｃｃから消費される電流はソースドライバ回路１４のシフトレジスタ回路とスイッチ４８１（図４８、図１６６を参照のこと）のオンオフ制御に使用される程度であり、わずかである。

【１４０７】

本発明はこの性質を利用している。つまり、アノード電圧（Ｖｄｄ）端子とＶｃｃ端子とを短絡した抵抗１８３１ｂによって、ソースドライバ回路１４のスイッチ４８１をオフ（オープン）状態にすることにより、単位トランジスタ４８４には電流が流れ込まなくすることができる。したがって、アノード電圧（Ｖｄｄ）からソース信号線１８への電流経路は発生しないから、表示パネルに異状動作が発生しない。なお、ソースドライバ回路１４のシフトレジスタを動作させ、すべてのソース信号線１７から単位トランジスタ４８４の電流経路を切り離すように制御することは言うまでもない。

【１４０８】

また、図１８３において、カソード電圧（Ｖｓｓ）端子とＶｇｌ端子間を抵抗（図示せず）で短絡しておいてもよい。この抵抗の短絡により、カソード電圧（Ｖｓｓ）の発生時にカソード電圧（Ｖｓｓ）がＶｇｌ端子に印加される。したがって、ゲートドライバ回路１２が正常動作する。

【１４０９】

なお、図１８３ではアノード電圧（Ｖｄｄ）でＶｇｈ端子を抵抗１８３１でショートするとしたが、駆動用トランジスタ１１ａがＮチャンネルのトランジスタの場合は、アノード電圧（Ｖｄｄ）とＶｇｌ端子もしくは、カソード電圧（Ｖｓｓ）とＶｇｌ端子とをショートさせることは言うまでもない。

【１４１０】

アノード電圧（Ｖｄｄ）とＶｇｈ電圧間、アノード電圧（Ｖｄｄ）とＶｃｃ電圧間などは比較的に高い抵抗でショート（接続）するとしたが、これに限定するものではない。抵抗１８３１をリレーあるいはアナログスイッチなどのスイッチに置き換えても良い。つまり、アノード電圧（Ｖｄｄ）が発生した時点で、リレーがクローズ状態にしておく。したがって、アノード電圧（Ｖｄｄ）をＶｇｈ端子およびＶｃｃ端子に印加される。次に、電源回路１７８３ｂでＶｇｈ電圧、Ｖｈｌ電圧、Ｖｃｃ電圧などが発生した時点で、リレーをオープン状態にし、アノード電圧（Ｖｄｄ）とＶｇｈ端子、およびアノード電圧（Ｖｄ

ｄ）とＶｃｃ端子とを切り離す。

【１４１１】

トランス１１２１は比較的高さが高い。そのため、図２０６に図示するように、ソースドライバＩＣ１４に対面する位置に配置された基板８３に実装する。基板８３はシャーシ２０６１に取り付け、トランス１１２１などからの放熱を良好にする。基板８３にはチップコンデンサ、チップ抵抗などのチップ部品２０６３を実装する。また、トランス１１２１に前面には、パネルモジュールの操作ボタン２０６２を配置している。

【１４１２】

ＥＬ表示パネルからの発熱対策は重要である。発熱対策のため、パネルの裏面（表示画面５０からの光が出ない面）に金属材料からなるシャーシ２０６１を取り付ける（図２０６を参照のこと）。シャーシ２０６１には放熱を良好にするため、凹凸（図示せず）を形成する。また、シャーシ２０６１とパネルでは封止フタ８５）間に接着層を配置する。接着層は熱伝導性のよい材料を用いる。たとえば、シリコン樹脂やシリコン材料からなるペーストが例示される。これらは、レギュレータＩＣと放熱板間の接着剤（密着剤）としてよく用いられている。なお、接着層は接着する機能に限定されず、シャーシとパネルとを密着させる機能のみでもよい。

【１４１３】

有機ＥＬ表示パネルは、アノードＶｄｄとカソードＶｓｓ間にＥＬ素子１５が形成（配置）されている。図１１２の電源回路からアノードＶｄｄ電圧およびカソードＶｓｓ電圧の供給を受ける。ＥＬ素子１５が発光しない時は、アノード－カソード間に流れる電流は０である。本発明のＤｕｔｙ比制御では、画素行ごとにゲート信号線１７ｂのオンオフ電圧と印加し、ＥＬ素子１５の電流制御を行なう。また、オン電圧を印加したゲート信号線１７ｂの位置は走査される。たとえば、図９７は非表示領域５２を４分割した実施例である。図９７（ａ）、（ｂ）、（ｃ）、（ｄ）は非表示領域５２の大きさは異なる。しかし、非表示領域５２は画面５０の上部から下部に走査される（移動していく）。同様に表示領域５３も画面５０の上から下方向に走査される。非表示領域５２に該当する画素１６のＥＬ素子１５には電流が流れない。一方、表示領域５３に該当する画素１６のＥＬ素子１５には電流が流れる。

【１４１４】

ここで課題を説明するために、１画素行ごとに非表示領域５２と表示領域５３とが繰り返す表示パターンを例示する。この表示状態は白黒の横ストライプ表示である。つまり、奇数画素行が白表示であり、偶数画素行が黒表示である。なお、この表示パターンを１横ストライプと呼ぶ。

【１４１５】

画素行数を２２０画素行数あるとし、Ｄｕｔｙ比を１１０／２２０の状態を例示する。Ｄｕｔｙ比１１０／２２０とは、ゲート信号線１７ｂに対し、１画素行ごとにオン電圧とオフ電圧が印加された状態である。また、オン電圧またはオフ電圧が印加されたゲート信号線１７ｂ位置は、水平同期信号に同期して走査される。したがって、ある画素行のゲート信号線１７ｂに着目すれば、このゲート信号線１７ｂには水平同期信号に同期して、オン電圧印加状態とオフ電圧印加状態とが交互に繰り返される。画面５０全体で考えれば偶数画素行にオン電圧が印加される。この期間には、奇数画素行にはオフ電圧が印加されている。１水平走査期間後に奇数画素行にオン電圧が印加される。この期間には偶数画素行にはオフ電圧が印加される。

【１４１６】

奇数画素行が白表示で、偶数画素行が黒表示の１横ストライプ表示では、奇数画素行にオン電圧が印加された時には、電源回路から表示領域に電流が流れる。しかし、偶数画素行にオン電圧が印加されたときは、偶数画素行が黒表示のため、電源回路から表示領域には電流が流れない。したがって、電源回路は１水平走査期間ごとに、電流を流す動作と、電流を全く流さない動作とを繰り返すことになる。この動作は電源回路にとって、好ましいことではない。電源回路に過渡現象が発生し、また電源効率が悪化するからである。

【１４１７】
この課題を解決する駆動方式を図１００に図示する。図１００では、Ｄｕｔｙ比を１／２とせず、複数のＤｕｔｙ比の状態が画面５０内で発生するようにし、１横ストライプ表示であっても常時電流が流れるように制御している。
【１４１８】
図１００（ａ）（ｂ）はＤｕｔｙ比１／２とＤｕｔｙ比１／１とＤｕｔｙ比１／３とを発生させ、全体として（１フレーム期間の平均で）Ｄｕｔｙ比１／２を実現している。以上のように、複数のＤｕｔｙ比を１フレーム期間に組み合わせることにより１横ストライプ表示であっても、電源回路からの出力電流がオンオフ状態となることはなくなる。つまり、比較的１横ストライプなどの規則正しい表示パターンは多く表示さえることが多い。これに対して、非表示領域５２幅が等間隔になるＤｕｔｙ比パターンによるＤｕｔｙ比制御を行うと電源回路に負担が発生しやすい。したがって、Ｄｕｔｙ比パターンは画面５０に同時に複数発生するように駆動することが好ましい。また、Ｄｕｔｙ比パターンは、単一Ｄｕｔｙ比パターンとせず、１フレームまたは福数フレーム（フィールド）の平均として所定Ｄｕｔｙ比になるようにすることが好ましい。
【１４１９】
なお、図１００において、Ｄｕｔｙ比パターンは図９７に図示するように画面５０の上から下方向に走査されることはいうまでもない。また、本発明のＤｕｔｙ比制御方法において、水平同期信号に同期して１画素行ごとに走査位置を移動させるとしたが、これに限定するものではない。たとえば、水平同期信号に同期して複数画素行ずつ走査位置を移動させてもよい。また、走査方向は、画面５０の上から下方向に限定するものではない。たとえば、１フィールド目は画面５０の上から下方向に走査し、２フィールド目は画面５０の下から上方向に走査してもよい。
【１４２０】
図１００は離散した１画素行のゲート信号線１７ｂごとにオン電圧印加とオフ電圧印加する駆動方法であった。しかし、本発明はこれに限定するものではない。図１０１ａ）は図１００の駆動状態である。同様の画面５０輝度を実現する駆動は、図１０１（ｂ）のＤｕｔｙ比パターンでの実現できる。図１０１（ｂ）ではオン電圧またはオフ電圧が印加される画素行連続させている。
【１４２１】
同一の画面５０輝度を実現するＤｕｔｙ比パターンは多種多様なパターンがある。図１０２（ａ）に図示するように、非表示領域５２を極めて多く分散させるパターンもあれば、図１０２（ｂ）のように比較的非表示領域５２の分散状態を少なくしたパターンもある。図１０２（ａ）のパターンも図１０２（ｂ）のパターンのＤｕｔｙ比を約分すれば同一になる。したがって、画面５０輝度は同一にすることができる。
【１４２２】
ｄｕｔｙ比制御と電源容量には密接な関係がある。電源サイズは最大の電源容量が大きくなるにつれ、大きくなる。特に、表示装置がモバイルの場合、電源サイズが大きいと重大課題となる。また、ＥＬは電流と輝度が比例の関係である。黒表示では電流が流れない。白ラスター表示では最大電流が流れる。したがって、画像による電流の変化が大きい。電流の変化が大きいと電源サイズも大きくなり、消費電力も増加する。
【１４２３】
本発明では、点灯率が高いときに、ｄｕｔｙ制御の１／ｎのｎを大きくし、消費電流（消費電力）を低減させている。逆に点灯率が低い時は、ｄｕｔｙ比を１または１に近くし、最大輝度が表示されるようにしている。以下にこの制御方法について説明をする。
【１４２４】
まず、点灯率（データ和／最大値）とｄｕｔｙ比の関係を図２９５に図示する。なお、点灯率は、以前にも説明したようにパネルに流れる電流で換算されているものであるとする。なぜなら、ＥＬ表示パネルではＢの発光効率が悪いため、海の表示などが表示されると、消費電力が一気に増加するからである。したがって、最大値は、電源容量の最大値で

ある。また、データ和とは単純な映像データの加算値ではなく、映像データを消費電流に換算したものとしている。したがって、点灯率も最大電流に対する各画像の使用電流から求められたものである。

【１４２５】

図２９５は点灯率０％の時に、ｄｕｔｙ比を１／１とし、点灯率１００％の時に最低ｄｕｔｙ比を１／４とした例である。図２９６は、電力と点灯率との掛算をした結果である。図２９５で点灯率が０から１００％まで、絶えずｄｕｔｙ比１／１であれば、図２９６のａで示すカーブとなる。図２９６の縦軸は、電源容量に対する使用電力の比（電力比）である。つまり、カーブａでは、点灯率と消費電力は比例関係にある。したがって、点灯率０％で消費電力は０（電力比０）であり、点灯率１００％では、消費電力１００（電力比１００％）となる。

【１４２６】

図２９６のカーブｂは、図２９５のｄｕｔｙ比カーブで電力制限を実施した実施例である。点灯率１００％の時のｄｕｔｙ比は１／４であるから、カーブａに比較して、電力比は１／４の２５％になる。カーブｂは電力１／３よりも小さい範囲で動作している。したがって、図２９５のようにｄｕｔｙ比制御を実施すると、電源容量は、従来（カーブａ）に比較して１／３で十分であることになる。つまり、本発明では、電源サイズを従来に比較して小さくすることができる。また、従来（カーブａ）で点灯率が高い状態がつづくとパネルに流れる電流が大きく、発熱によるパネルの劣化が発生する。しかし、ｄｕｔｙ比制御を実施した本発明ではカーブｂでわかるように、点灯率に関わらず、平均した電流がパネルに流れる。したがって、発熱の発生が少なくパネルの劣化も発生しない。

【１４２７】

なお、図２９５のｄｕｔｙ比カーブにおいて、最低ｄｕｔｙ比を１／２にした実施例がカーブｃである。また、最低ｄｕｔｙ比を１／３にして実施例がカーブｄである。同様に最低ｄｕｔｙ比を１／８にして実施例がカーブｅである。

【１４２８】

図２９５はｄｕｔｙ比カーブを直線にしたものあった。しかし、ｄｕｔｙ比カーブは、多種多様な直線あるいは曲線で発生させることができる。たとえば、図２９７（ａ１）は電力比が３０％以下となるようにする（図２９７（ａ２）を参照のこと）ｄｕｔｙ比制御カーブである。図２９７（ｂ１）は電力比が２０％以下となるようにする（図２９７（ｂ２）を参照のこと）ｄｕｔｙ比制御カーブである。

【１４２９】

ｄｕｔｙ比制御カーブは、ユーザーが外部環境に応じてボタンで自由に図２９７（ａ）、（ｂ）を切り換えるようにする。明るい外部環境では、図２９７（ａ１）のｄｕｔｙ比カーブを選択し、外部環境が暗いときは、図２９７（ｂ１）のｄｕｔｙ比カーブを選択するようにする。また、ｄｕｔｙ比制御カーブは自由に変更できるように構成しておくことが好ましい。

【１４３０】

ＥＬの消費電力を変更する場合は、図２９８（ｂ）の方式も有効である。図２９８（ａ）はｄｕｔｙ比１／１で、このとき３００（ｎｔ）にするｄｕｔｙ比制御カーブの例である。この方式では比較的電力が高い。図２９８（ｂ）は、図２９８（ａ）の改善方式である。ｄｕｔｙ比１／１の時を下げ（例では１５０（ｎｔ））とし、点灯率が低い領域で基準電流を大きくして画面輝度を向上させている（例では３００（ｎｔ））。以上のように、本発明ではｄｕｔｙ比制御と基準電流制御を組合わせて用いることが有効である。

図２９６で説明したように、本発明のｄｕｔｙ比制御により、電源容量は従来に比較して小さくすることができる。しかし、画面の表示状態が急変した時、電源容量を越える可能性がある。たとえば、図２９９のように、暗い夜景（図２９９（ａ）、ｄｕｔｙ１／１で動作しているとする）から明るい浜辺（図２９９（ｂ）、ｄｕｔｙ１／４で動作しているとする）の変化である。

【１４３１】

ｄｕｔｙ変化は、先にも説明したようにフリッカの発生を防止するため、ゆっくりと変化させている。基本的には各画像データで消費される電流を順次加算し、この加算の平均値でｄｕｔｙ比を変更するようにしている（平均制御と呼ぶ）。したがって、図２９９（ａ）の夜景から図２９９（ｂ）の浜辺の画面に変化しても一定の期間はｄｕｔｙ比が維持されている。そのため、図２９９（ａ）のｄｕｔｙ比１／１が維持された状態で、浜辺の画像が表示されると使用電流が急変し、電源容量をこえてしまう。

【１４３２】

この課題に対して、本発明では、リアルタイムで表示画像の使用電流をモニターしている。このモニターしている電流が電源容量をこえると、緊急処理を行って電源容量を越えないように制御する。リアルタイムで使用電流（使用電力）を求めるのは容易である。画像データごとに電流に換算して総和を求めるだけである。図３００はこの制御方法である。

【１４３３】

図３００（ａ）において、ｄｕｔｙ１／１の画面で使用される電流をリアルタイム制御で、電源容量を越えると判断されると、図３００（ｂ）に図示するように、黒挿入を実施する。したがって、電源容量を越えることなく維持される。たとえば、電力比５０％まで許容され、かつ電力比５０％のｄｕｔｙ比が１／２であれば、電力比５０％になった時、図３００（ｂ）の制御に移行する。この場合は、黒挿入画面が１／２領域、ｄｕｔｙ比１／１の領域（最大白ラスターとする）が１／２領域になる。

【１４３４】

以上の状態では、図３００（ｃ）に図示するように、浜辺の画像が全画面に表示された時、最大ｄｕｔｙ比１／２で表示されていることになる。ここまでが、リアル制御である（緊急処理）。その後、平均処理に移行し、すこしずつｄｕｔｙ比を低下され、図３００（ｄ）に図示するように、ｄｕｔｙ比１／４で落ち着く。

【１４３５】

ＥＬ表示パネルでは、ＥＬ素子１５の劣化により画像が焼きつくという問題がある。特に画像は固定パターンで焼きつきやすい。この課題に対応するため、本発明は、固定パターンを表示するサブ画像表示領域５０ｂ（サブ画面）を具備している。表示領域５０ａ（メイン画面）はテレビ画像などの動画表示領域である。

【１４３６】

図１４７の本発明のＥＬ表示パネルでは、サブ画面５０ｂとメイン画面５０ａとのゲートドライバ回路１２は共通である。サブ画面５０ａは２０画素行以上とする。したがって、一例として画面５０はメイン画面５０ａの２２０画素行と、サブ画面５０ｂの２４画素行から構成される。なお、画素列数は１７６×ＲＧＢである（図１４８参照）。

【１４３７】

メイン画面５０ａとサブ画面５０ｂとは図１４９に図示するように、明確に分離してもよい。図１４９では、メイン画面５０ａとサブ画面５０ｂ間にスペースＢＬを設けている。スペースＢＬは画素１６が形成されていない領域である。

【１４３８】

なお、メイン画面（メインパネル）とサブ画面（サブパネル）の画素の駆動用トランジスタ１７ａのＷ／Ｌ（Ｗは駆動用トランジスタのチャンネル幅、Ｌは駆動用トランジスタのチャンネル長）を変化させてもよい。基本的にはサブ画面（サブパネル）のＷ／Ｌを大きくする。また、メイン画面（メインパネル）５０ａの画素１６ａサイズとサブ画面（サブパネル）５０ｂの画素サイズ１６ｂの大きさを変化させてもよい。また、メイン画面（メインパネル）５０ａのアノード電源あるいはカソード電源と、サブ画面（サブパネル）５０ｂのアノード電圧Ｖｄｄあるいはカソード電圧Ｖｓｓを別電圧とし、印加する電圧を変化させてもよい。

【１４３９】

また、サブパネル７１ａとメインパネル７１ａを図１５０（ｂ）に図示するように重ねて使用する場合は、封止基板（封止薄膜層）８５ａと封止基板（封止薄膜層）８５ｂ間に

緩衝シート１５０４を配置もしくは形成する。緩衝シート１５０４としては、マグネシウム合金などの金属からなる板あるいはシート、ポリエステルなどの樹脂からなる板あるいはシートが例示される。

【１４４０】

図１４７、図１４８、図１４９、図１５０などのように、複数の画面から構成されるＥＬ表示装置では、図１４、図１９７などで説明したＮ倍パルス駆動（ｄｕｔｙ比制御駆動）を行うことにより複数の画面５０の輝度を容易に変化させることができる。

【１４４１】

複数の画面５０の輝度を変化させるには、図２６６に図示するように、ＥＬ側を選択するゲートドライバ１２ｂを画面５０ごとに分離する。ゲートドライバ１２ｂ１と１２ｂ２ではＣＬＫ信号線は共通にする（図６のＣＬＫを参照のこと）。したがって、画面５０ａと画面５０ｂのゲートドライバ１２ｂが１画素行を選択する時間は同一である（ゲートドライバ１２ｂのシフト時間は同一である（１水平走査期間は同一である））。

【１４４２】

一方、スタート信号線（ＳＴ）は、ゲートドライバ１２ｂ１とゲートドライバ１２ｂ２は個別である（図６のＳＴを参照のこと）。つまり、ゲートドライバ１２ｂ１にはスタート信号線ＳＴ１が入力され、ゲートドライバ１２ｂ２にはスタート信号線ＳＴ２が入力されている。スタート信号線ＳＴに印加されるスタートパルスの個数が多いほどｄｕｔｙ比が大きくなる（１に近づく）から、画面５０の輝度は高くなる。逆に、スタート信号線ＳＴに印加されるスタートパルスの個数が少ないｄｕｔｙ比が小さくなる（０に近づく）から、画面５０の輝度は低くなる。

【１４４３】

以上のことから、ゲートドライバ１２ｂ１と１２ｂ２のクロック（ＣＬＫ）信号線を共通にすることにより、信号線数を削減できる。ゲートドライバ１２ｂ１とゲートドライバ１２ｂ２のスタート信号線を分離することのより、画面５０の輝度制御が容易になる。したがって、画面５０ａと画面５０ｂの輝度調整が容易になる。

【１４４４】

図１５０も図示するように、サブ画面５０ｂを表示するサブパネル７１ｂを別途設けてもよい。メインパネル７１ａとサブパネル７１ｂとはフレキ基板８４でソース信号線１８ａと１８ｂ接続する。フレキ基板８４には、接続配線１５０３を形成しておく。ソース信号線１８ａの終端には、アナログスイッチ１５０１から構成されるアナログスイッチ群を配置する。アナログスイッチ１５０１はソースドライバ回路１４からの電流信号をサブパネル７１ｂに供給するか否かの制御を行うものである。

【１４４５】

アナログスイッチ１５０１のオンオフ制御を行うため、スイッチ制御線１５０２が形成される。スイッチ制御線１５０２へのロジック信号によりサブパネルへの信号供給が制御され画像が表示される。

【１４４６】

なお、サブパネル７１ｂにゲートドライバ回路を形成せず、もしくはゲートドライバＩＣチップを実装せず、図９で説明したようにＷＲ側にゲート信号線１７を形成し、図４０で説明した点灯制御線４０１を形成または配置してもよい（図１５１参照）。

【１４４７】

アナログスイッチ１５０１は図１５２に図示するようにＰチャンネルとＮチャンネルとを組み合わせたＣＭＯＳタイプが好ましい。スイッチ制御線１５０２の途中にインバータ１５２１を配置してスイッチ１５０１をオンオフ制御する。また、図１５３に図示するように、アナログスイッチ１５０１ｂはＰチャンネルのみで形成してもよい。

【１４４８】

また、サブパネル７１ｂとメインパネル７１ａでソース信号線１８数が異なる場合は、図１５４のように構成してもよい。アナログスイッチ１５０１ａと１５０１ｂの出力をショートし、同一の端子１３２２ａに接続する。また、図１５５に図示するように、アナロ

グスイッチ１５０１ｂの出力をＶｄｄ電圧に接続し、オンしないように構成してもよい。また、図１５６に図示するように、サブパネル７１ｂと接続することが不要なソース信号線１８の終端にはアナログスイッチ１５０１ａ（１５０１ａ１、１５０１ａ２）を配置または形成してもよい。アナログスイッチ１５０１ａはオフ電圧を印加し、オンしないように構成する。

【１４４９】

焼き付きは、一定以上の期間、画像が変化しない場合に発生する。本発明では、データ和が小さい時にＤＵＴＹ比を大きくしてダイナミックレンジを拡大させている。しかし、データ和が小さいときに、静止画を表示しつづけると焼き付きが発生してしまう。この課題を解決するためには、一定期間以上、静止画が表示されていることを検出し、ＤＵＴＹ比を小さくするか、基準電流を小さくすればよい。本発明は、静止画状態が一定期間連続する場合に、ｄｕｔｙ比あるいは（および）基準電流を変化（小さくする）する駆動方法である。

【１４５０】

課題はいかにして静止画が連続しているかを検出するかである。静止検出は、フレームあるいはフィールド間で、画像データの差分をとりことにより実現できる。しかし、フレーム間などで差分をとるためには、フレームメモリが必要である。本発明では、画像データのサンプルポイントのみの画像データ対して差分演算を実施してこの課題を解決している。図２０４、図２０５はその説明図である。

【１４５１】

図２０４において、画面５０を構成する画像データを一定間隔でサンプリングし、サンプリングされた画像データの総和（総和はＳＵＭ回路２０５１で実施する）を求め、次にフレームの画像データの総和と比較する。総和が一致しているか、類似した大きさであれば、静止画である。判定は、数秒あるいは数十秒の単位で行う。つまり、総和の比較（比較回路２０５２で実施する）はフレーム（フィールド）ごとに行う（もちろん、複数フレームまたはフィールド間隔で実施してもよい）。途中で比較結果が静止画として判定される場合もあるが、すぐにＤＵＴＹ比あるいは基準電流を変更せず、一定期間以上に連続する場合に、固定パターンが表示されているとしてＤＵＴＹ比あるいは基準電流を変化させる。

【１４５２】

なお、実施例ではサンプリングした画像データの総和をとり、比較するとしたが、これに限定するものではなく、画素データごとに差分をとり、静止画であるかを検出してもよいことは言うまでもない。差分は、隣接画素間で演算することが好ましい。もちろん、静止画検出は、フレームメモリにフレームごとの画像を蓄積し、フレーム間演算を行って検出してもよいことは言うまでもない。

【１４５３】

図８９、図９０、図２２４、図２９５などでは基準電流が１の時を基準にして説明し、また、ｄｕｔｙ比の最大は１／１であるとして説明をした。しかし、本発明はこれに限定するものではない。たとえば、図３８３に図示するように、基準電流は、１／２を中心として１あるいは１／３などに変化させてもよい。また、最大を０．５としてもよい。ｄｕｔｙ比も０．２５を中心として０．５やそれ以下に変化させてもよい。また、最大と０．５をしてよい。

【１４５４】

また、図３５５に図示するように、基準電流の最小値を１とし、最大値を３として、複数の値に変化させて用いても良い。また、ｄｕｔｙ比も図３５７に図示するように、点灯率の８０％で最低とし、１００％あるいは６０％で大きくするように制御してもよいことはいうまでもない。

【１４５５】

図３５６に図示するように、基準電流は、２を中心として３あるいは１などに変化させてもよい。また、最大は３をしてもよい。ｄｕｔｙ比も０．５を最大として、０．２５な

どに変化させてもよいことは言うまでもない。図３３６においても同様である。
【１４５６】
また、図４０４に図示するように、低点灯率領域（図４０４では点灯率２０％以下）でｄｕｔｙを低下させ（図４０４（ａ））、ｄｕｔｙの低下にあわせて、基準電流比を上昇させ（図４０４（ｂ））てもよい。以上のようにｄｕｔｙ比制御と基準電流比制御を同時に行うことにより、図４０４（ｃ）で図示するようんび、輝度の変化はなくなる。
【１４５７】
図４０４において、点灯率が高い領域（図４０４では４０％以上）では、ｄｕｔｙ比は低下させるが、基準電流比は１のまま一定とする。したがって、輝度はｄｕｔｙ比の低下にともなって低下するから、パネルの消費電力を制御（基本的には少なく）することができる。
【１４５８】
なお、ｄｕｔｙ比の最大を１／１とする駆動方法では、図２５８に図示するように非表示領域５２は一括して挿入することが好ましい。図３５８（ａ）はｄｕｔｙ比１／１の状態であり、図３５８（ｂ）はｄｕｔｙ比０．７の状態であり、図３５８（ｃ）はｄｕｔｙ比０．６の状態であり、図３５８（ｄ）はｄｕｔｙ比０．５の状態である。
【１４５９】
本発明において、プリチャージ駆動方法について説明した。また、点灯率の概念に関しても説明を行った。プリチャージ電圧は、点灯率によって変化させることも有効である。なお、点灯率とは、ｄｕｔｙ制御を行っていない場合は、消費電流と同義である。つまり、点灯率は、画像データの加算により導出される。電流駆動の場合は、画像データと消費電力は比例し、画像データから点灯率が導出されるからである。
【１４６０】
プリチャージ駆動は、電圧駆動と類似する。ソース信号線１８に電圧を印加し、駆動用トランジスタオ１１ａのゲート電圧にプリチャージ電圧を印加することにより、駆動用トランジスタ１１ａがＥＬ素子１５に電流を流さないようにするものだからである。したがって、プリチャージ電圧の基準は、アノード電位（Ｖｄｄ）である。
【１４６１】
アノード電位が変化するとプリチャージ電圧の変化させる必要がある。アノード電位（Ｖｄｄ）は変化しないように、図３８５に図示するようにアノード配線２６８１を低抵抗値化する。しかし、点灯率が高い場合は、アノード配線２６８１に流れる電流量が多いため、電圧降下が発生する。電圧降下は消費電流に比例する。したがって、アノード電圧の電圧降下は点灯率に比例する。
【１４６２】
以上のことからプリチャージ電圧は点灯率に相関して変化させることが好ましい。本発明のソースドライバ回路は、図２２３に図示するように、電子ボリウム４５１を具備している。したがって、電子ボリウム４５１を制御することにより、容易にプリチャージ電圧を変化させることができる。なお、電子ボリウム４５１による制御だけでなく、ソースドライバＩＣ（回路）１４の外部のＤＡ回路などでプリチャージ電圧を発生させて印加してもよいことはいうまでもない。
【１４６３】
アノード端子で発生する降下電圧は、以下の処理により把握できる。まず、アノード電圧の発生源から各画素までの抵抗値は設計した段階でわかっている。抵抗値はアノード配線２６８１の金属薄膜のシート抵抗値から決定されるからである。アノード端子２６８１に流れる消費電流は映像データの処理によりわかる。以上のことは、図８３、図８４、図９８、図２０１、図２０５、図２９５、図２９６、時２９８などでｄｕｔｙ比の導出、データ和、点灯率（＝データ和／最大値）などとして説明した。アノードに流れる電流が容易に導出できるのは電流プログラム方式の大きな特徴である。
【１４６４】
したがって、アノード配線２６８１の抵抗値と、アノード配線２６８１に流れる電流（

パネルの消費電流）がわかれば、アノード端子に発生する電圧降下がわかることになる。消費電流は１フレームの画像データ処理によりリアルタイムで導出される。したがって、画素１６でのアノード端子の電圧降下もリアルタイムで決定される。

【１４６５】

以上のことから、リアルタイムで画素１６でのアノード電圧（電圧降下を考慮して）を導出し、この電圧降下分を考慮してプリチャージ電圧を決定する。なお、プリチャージ電圧の決定はリアルタイムで行うことに限定されるものではない。間欠的に行っても良いことはいうまでもない。なお、ｄｕｔｙ比制御を行う場合は、ｄｕｔｙ比によりアノードに流れる電流が変化する。したがって、ｄｕｔｙ比制御による消費電流を加味する必要がある。ｄｕｔｙ比が１／１の場合は、点灯率は消費電流（電力）と同一である。本明細書では説明を容易にするため、図３８４などにおいてはｄｕｔｙ比を１／１であるとして説明をする。つまり、点灯率とアノードに流れる電流は比例しているとする。

【１４６６】

なお、説明でアノード電流＝点灯率として説明をしている。しかし、図１などの画素構成ではアノード端子（駆動用トランジスタ１１ａのソース端子）には、ソースドライバＩＣに流れ込むプログラム電流も加算されている。したがって、現実には多少異なる。また、アノード配線に流れる電流を中心に説明しているが、カソード配線２６８２に流れる電流と置き換えてもよいことは言うまでもない。

【１４６７】

図３８４（ａ）は点灯率に応じて画素１６のアノード電圧がＶｄｄ（点灯率０％）からＶｒ（点灯率１００％）の電圧降下が発生することを図示している。

【１４６８】

図３８４（ｂ）は点灯率に対する端子６８１に出力するプリチャージ電圧を示している。ＶｄｄからＤ（Ｖ）降下した位置に駆動用トランジスタ１１ａの立ち上がり位置がある。したがって、ＶｄからＤ（Ｖ）降下した電圧が点灯率０％でのプリチャージ電圧となる。図３８４（ｂ）の実線は、図３８４（ａ）のアノード端子の電圧降下Ｖｒ（Ｖ）をそのまま用いたものである。したがって、点灯率１００％のプリチャージ電圧はＶｄｄ－Ｄ－Ｖｒである。

【１４６９】

図３８４（ｂ）の点線は、点灯率４０％以上と以下でプリチャージ電圧を変化させたものである。点灯率４０％まではプリチャージ電圧はＶｄｄ－Ｄ（Ｖ）とし、４０％以上ではプリチャージ電圧はＶｄｄ－Ｄ－Ｖｒ（Ｖ）としている。点線のように制御することにより、プリチャージ電圧の導出回路が簡単になる。

【１４７０】

アノード電圧Ｖｄｄは、プログラム電流Ｉｗの大きさで左右される。図１の画素構成を例示して説明する。図３９３（ａ）に図示するように、電流プログラム時は、プログラム電流Ｉｗは駆動用トランジスタ１１ａからソース信号線１８に流れ込む。プログラム電流Ｉｗが大きい時は、駆動用トランジスタ１１ａのチャンネル間電圧が大きくなる。図３９３（ｂ）は図３９３（ａ）をグラフ化したものである。チャンネル間電圧Ｖ１（実際には横軸の０がＶｄｄ電圧である）の時には、プログラム電流Ｉ１が流れる。チャンネル間電圧Ｖ２（実際には横軸の０がＶｄｄ電圧である）の時には、プログラム電流Ｉ２が流れる。大きなプログラム電流Ｉｗを流すためには、アノード電圧Ｖｄｄを高くする必要がある。

【１４７１】

以上の実施例は、プログラム電流Ｉｗが大きなるとアノード電圧Ｖｄｄを大きくする必要があるとしたが、逆には、プログラム電流Ｉｗが小さい時は、アノード電圧Ｖｄｄは低くてよいということを意味する。アノード電圧Ｖｄｄが低くなればパネルの消費電力を減少させることができ、駆動用トランジスタ１１ａで消費される電力も減少させることができるので発熱を減少でき、ＥＬ素子１５の寿命も長くすることができる。

【１４７２】

プログラム電流Ｉｗは、基準電流の変化によっても変化する。基準電流Ｉｃが増加すれば、相対的にプログラム電流Ｉｗも大きくなる（画面の階調データが一定の場合、つまりラスター画面で論じている）。基準電流Ｉｃが減少すれば、相対的にプログラム電流Ｉｗも小さくなる。ここでは説明を容易にするため、プログラム電流Ｉｗの増大または減少は、基準電流Ｉｃの増大または減少と同義であるとして説明をする。

【１４７３】

図３９４は、本発明の電源回路の構成図である。Ｖｉｎは本体の電池（図示せず）からのアンレギュレータ電圧である。ＤＣＤＣコンバータ３９４１ａはＧＮＤ電圧を基準とし、Ｖｉｎ電圧から昇圧してアノード電圧Ｖｄｄを発生する。なお、説明を容易にするため、ソースドライバＩＣの電源電圧Ｖｃｃとアノード電圧Ｖｄｄとは同一であるとし説明をする。Ｖｄｄ＝Ｖｃｃとすることにより、電源数が減少し、回路構成が容易となる。また、図４５で説明したように、ソースドライバＩＣに過電圧が印加されることがなくなる。一方、ＤＣＤＣコンバータ３９４１ｂはＧＮＤ電圧を基準とし、Ｖｉｎ電圧から昇圧して基底電圧Ｖｄｗを発生する。

【１４７４】

レギュレータ３９４３は、Ｖｄｄ電圧を接地電圧として、Ｖｄｗ電圧とＶｄｄ電圧からカソード電圧Ｖｓｓを発生させる。以上の構成により、もし、Ｖｄｄ電圧が上昇すれば、Ｖｓｓ電圧も比例して上昇する。

【１４７５】

図１でも理解できるが、駆動用トランジスタ１１ａで定電流Ｉｗが発生させられ、ＥＬ素子１５にプログラム電流Ｉｗが流れる。したがって、消費電力は、ＶｄｄとＶｓｓの電位差である。図３９４の構成では、Ｖｄｄ電圧のシフトにより、Ｖｓｓ電圧も同一方向にシフトする。したがって、アノード電圧が変化しても、ＥＬ素子１５＋駆動用トランジスタ１１ａ間に印加される電圧は一定である。

【１４７６】

図３９３で説明したようにアノード電圧は、プログラム電流Ｉｗ（基準電流Ｉｃ）が大きくなると高くする必要がある。ＧＮＤ電位が固定のためである。なお、アノード電圧の変化と同時にＩＣ電圧のＶｃｃも変化させる（Ｖｄｄ＝Ｖｃｃ）。Ｖｄｄ－Ｖｓｓが一定電圧で、Ｖｄｄが高くなれば、ＥＬ素子１５に印加される電圧が小さくなる。したがって、ＥＬ素子１５は飽和領域で動作しなくなる。しかし、Ｉｗ（Ｉｃ）が大きくしなければならない領域は、低点灯率の領域で、画素は高輝度制御が行われている（図２９５から図２９８、図１９７から図２０２などとその説明を参照のこと）。したがって、低点灯率で、かつ、高輝度表示の画素１６の輝度が低下しても画像表示に影響はほとんどない。利点とする消費電力の方が大きい。

【１４７７】

なお、Ｖｄｄ＝Ｖｃｃでない場合は、図３９５に図示するように、アノード電圧ｖｄｄとＧＮＤ間に抵抗（Ｒ１、Ｒ２）分割により発生さえればよい。Ｖｃｃ電圧は、ＩＣ内部でプリチャージ電圧の発生用として使用するためである。プリチャージ電圧はＶｄｄを基準とするため、ＶｃｃとＶｄｄは連動している必要がある。なお、図３９５に図示するように、電解コンデンサＣを挿入する。

【１４７８】

図３９６はゲートオフ電圧（Ｖｇｈ）、ゲートオン電圧（Ｖｇｌ）との関係を図示したものである（図１８０とその説明も参照のこと）。図３９６（ａ）は、アノード電圧ＶｄｄよりもＶｇｈ電圧を大きくしている。Ｖｇｌ電圧は、Ｖｓｓ電圧よりも高くしている。図３９６（ｂ）は、アノード電圧Ｖｄｄをシフトさせ、基準の電圧Ｖｄｄよりも高くした状態である（電圧Ｖｄｄ１で示している）。図３９６（ｂ）では、Ｖｇｈ電圧はＶｄｄの変化と連動して高くしている。Ｖｇｌ電圧は、図３９６（ａ）から変化させていない。

【１４７９】

図３９６（ｂ）は、アノード電圧Ｖｄｄをシフトさせ、基準の電圧Ｖｄｄよりも高くした状態である（電圧Ｖｄｄ１で示している）。図３９６（ｂ）では、Ｖｇｈ電圧は、Ｖｄ

ｄの変化と連動させていない。Ｖｇｌ電圧は、図３９６（ａ）から変化させていない。以上のように、ゲート信号線電圧Ｖｇｈ、Ｖｇｌ電圧はいずれでも良い。

【１４８０】

図３９７は、一例としての点灯率とアノード電圧の関係を示したものである。なお、Ｖｄｄ＋２、Ｖｄｄ＋４は、絶対的な電圧を示しているものではなく、説明を容易にするため相対的に図示したものである。なお、低点灯率の領域で、画素は高輝度制御が行われている点に関しては、図２９５から図２９８、図１９７から図２０２、図３８３、図３８４などとその説明を参照のこと。

【１４８１】

図３９７において、点灯率が２５％以下で基準電流（プログラム電流）を増大させている。この状態ではアノード電圧を高くする必要があるので、基準電流の増大に伴って、アノード電圧も高くしている。なお、点灯率７５％以上で基準電流を大きくしている。また、基準電流の増大に伴い、アノード電圧も高くしている。

【１４８２】

図３９８において、点灯率に応じて基準電流（プログラム電流）を段階的に変化させている。基準電流の変化に伴って、アノード電圧も変化させている。

【１４８３】

なお、図３９４から図３９８では、基準電流（プログラム電流）の変化によりアノード電圧を変化させるとした。しかし、これは、駆動用トランジスタ１１ａがＰチャンネルの場合であって、Ｎチャンネルの場合は、カソード電圧を変化させることは言うまでもない。

【１４８４】

なお、プログラム電流の大きさ（基準電流の大きさ）に対するアノード電圧は、図４０５に図示するように変化させてもよい。図４０５の実線ａは、プログラム電流（基準電流）に比例させてアノード電圧を変化させた例である。図４０５の点線ｂは、所定のプログラム電流（基準電流）以上の時に、アノード電圧を変化させた実施例である。点線ｂでは、基準電流に対するアノード電圧の変化点は１点であるので回路構成が容易となる。

図３９４、図３９５において、ＤＣＤＣコンバータあるいはレギュレータの代りに、図１７７、図１７９などで説明したトランス（単巻きトランス、複巻きトランス）あるいはコイルを用いて昇圧回路などを形成あるいは構成してもよいことは言うまでもない。

【１４８５】

以上の実施例では、基準電流あるいはプログラム電流の大きさによってアノード電圧を変化させる実施例であった。しかし、基準電流あるいはプログラム電流の大きさの変化は、ソース信号線１８の電位を変化させることと同義である。図１などの駆動用トランジスタ１１ａがＰチャンネルの場合は、プログラム電流Ｉｗあるいは基準電流を増加させることは、ソース信号線１８の電位を低くすることである（ＧＮＤ電位に近くなる）。逆に、プログラム電流Ｉｗあるいは基準電流を小さくすることは、ソース信号線１８の電位を高くすることである（アノードＶｄｄに近くなる）。

【１４８６】

以上のことから、図４０６に図示するように、制御を行っても良い。つまり、ソース信号線１８の電位が０（ＧＮＤ）電位の時に、アノード電圧を最も高くする（基準電流およびプログラム電流が最大値）。ソース信号線１８の電位がＶｄｄ電位の時に、アノード電圧を最も低くする（基準電流およびプログラム電流が最小値）。以上のように構成あるいは制御するとにより、ＥＬ素子１５に高電圧が印加される期間を短くすることができ、ＥＬ素子１５を長寿命化できる。

【１４８７】

つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。図１５７は情報端末装置の一例としての携帯電話の平面図である。筐体１５７３にアンテナ１５７１、テンキー１５７２などが取り付けられている。１５７２などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【１４８８】
キー１５７２を１度押さえると表示色は８色モードに、つづいて同一キー１５７２を押さえると表示色は４０９６色モード、さらにキー１５７２を押さえると表示色は２６万色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー１５７２は３つ（以上）となる。
【１４８９】
キー１５７２はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、４０９６色を受話器に音声入力すること、たとえば、「高品位表示」、「４０９６色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面５０に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。
【１４９０】
また、表示色の切り替えは電気的に切換るスイッチでもよく、表示パネルの表示部５０に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。
【１４９１】
１５７２は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサＣ、抵抗Ｒのうち、抵抗Ｒを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、１つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。
【１４９２】
表示パネルに重要な機能は、複数のフォーマットの画像を表示できることである。たとえば、デジタルビデオカメラ（ＤＶＣ）では、ＮＴＳＣとＰＡＬ画像を表示できるようにする必要がある。以下、１つのパネルに複数フォーマットの画像を表示する方法について説明をする。なお、説明を容易にするため、表示パネルは横３２０ＲＧＢ×縦２４０ドットのＱＶＧＡパネルであるとし、ＮＴＳＣ画像とＰＡＬ画像をこのＱＶＧＡの画素数のパネルで表示するとして説明をする。
【１４９３】
図２７５はＮＴＳＣとＰＡＬ画像を表示するための説明図である。ＮＴＳＣ画像は横７２０ＲＧＢ×縦４８０ドットとする。また、ＰＡＬ画像は横７２０ＲＧＢ×５７６ドットであるとする。
【１４９４】
まず、図２７５（ａ）に図示するように、ＮＴＳＣ画面を表示する場合について説明をする。横はＮＴＳＣ画像の映像信号は、７２０ドットである。ＱＶＧＡパネルでは、横３２０ドットであるので７２０ドットを３２０ドットに画素間引きを行う必要がある。したがって、９画素を８画素にする画素間引き処理が必要である。この処理方法は後に説明をする。縦は、ＮＴＳＣ画像の映像信号は有効画素数が４８０ドットである。ＱＶＧＡパネルでは、２４０ドットであるので、２画素行を１画素行に画素間引きをするだけであるから、処理は容易である。つまり、インターレース画像では、第１フィールドでは、第１フィールドの２４０画素行をそのまま表示する。第２フィールドでは第２フィールドの２４０画素行をそのまま表示する。
【１４９５】
図２７５（ｂ）は、ＰＡＬ画面を表示する場合の説明図である。ＰＡＬ画像の映像信号

は、７２０ドットである。一方、縦は、有効走査線数が５７６本である。したがって、インターレース信号の場合では、各フィールドで５７６／２＝２８８画素行となる。ＮＴＳＣ画面とＰＡＬ画面をＱＶＧＡパネルで表示する場合は、ＮＴＳＣとＰＡＬでは、あまりにも各フィールドの画素行数がことなる。つまり、ＮＴＳＣでは２４０画素行であるのに対して、ＰＡＬでは２８８画素行である。したがって、兼用するため、ＰＡＬでは画面の一部を表示させる。つまり、横７２０ドット中６４０ドットを表示する（１／２では、７２０／２ドット中３２０ドット（ＱＶＧＡの横画素数）を表示する。横ドットを削除した割合で、縦方向も削除する。２８８×（６４０／７２０）＝２５６ドットとなる。さらにＱＶＧＡの縦ドット数２４０におさめるため、２５６ドットを画素間引きし、２４０ドットにする。２４０ドットにすることのより、真円率が確保される。２５６ドットを２４０ドットにするためには、１６ドットを１５ドットにする必要がある。

【１４９６】

以上のことから、ＮＴＳＣでは、横画素において、９ドットを８ドットに画素間引きをする方法が重要であり、ＰＡＬでは縦画素において、１６ドットを１５ドットに画素間引きをする方法の確立が重要である。

【１４９７】

本発明は、隣接した画素データを一定の割合で、加算することのより画像データを作成することを特徴とする。また、加算は、１／２、１／４、１／８、１／１６など少なくとも分母が２の倍数となるようにする（ただし、精度は落ちないようにすること）ものである。また、掛け算をおこなう係数の和を１になるようにする。たとえば、第１画素に対する係数が１／２倍、１／４倍、１／８倍であり、第２画素に対する係数が１／８倍であれば、１／２＋１／４＋１／８＋１／８＝１となる。演算は、各画素の輝度位置を保つようにして行うことがこのましく、また、画面の両端あるいは一方の端は、その他の画素と異なる演算をすることが好ましい。

【１４９８】

まず、ＮＴＳＣの横画素の間引き方法について図２７６を用いて説明をする。説明を容易にするため、ＮＴＳＣ映像信号の７２０ドットを２ドットごとにあらかじめ間引き３６０ドットにし、この３６０ドットに関して、３２０ドットに画素間引きをする方法を説明するものである。したがって、９画素を８画素に画素間引きする。なお、７２０ドットから３２０ドットに直接に画素間引きしてもよいことは言うまでもない。この場合は、１８ドットを１６ドットに画素間引きを行う。また、画素間引きの演算は、フィールドで変化させてもよい。

【１４９９】

図２７６は、ＲＧＢの画素の組を１画素として演算を実施したものである。図２７６において９画素とは、３６０ドットを９画素ずつ分割し、演算を行ったものである。なお、変換前を９画素組の第１画素、第２画素、第３画素・・・・・・・と呼ぶ。また変換後を８画素組の第１画素、第２画素、第３画素・・・・・・と呼ぶ。

【１５００】

８画素組の第１画素は、９画素組の第１画素のデータの１／２倍＋１／４倍＋１／８倍と、９画素組の第２画素データの１／８倍とを加算する演算を行い、演算結果を８画素組の第１画素とする。なお、演算はビット落ちがないようにする。つまり、１／８倍するとは、データを３ビットシフトするのではなく、データを一定の倍数で加えて、加算したデータをビットシフトして結果とする。

【１５０１】

たとえば、８画素組の第５画素は、９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２＋１／８倍とを加算する演算を行い、演算結果を８画素組の第５画素とする。この時、９画素組の第５画素データを２５０＝Ｂ’１１１１１０１０’、１１７＝Ｂ’０１１１０１０１’とすれば、２５０×２＋２５０＋１１７×４＋１１７＝１３３５となる。この結果１３３５を１／８倍すると、１３３５／８＝１６６となる（結果は小数点以下を切捨てする）。以上のように演算すれば、ビット落ちがな

く、９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２＋１／８倍とを加算する演算を行うことができる。以上のように、本発明は、１／４倍＋１／８倍などと表現するが、等価的にデータを１／４倍＋１／８倍なるようにする意味である。したがって、演算方法はいずれの方法を用いてもよい。

【１５０２】

９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２＋１／８倍である。したがって、使用する係数は、１／４、１／８と１／２と１／８である。係数１／４＋１／８＋１／２＋１／８＝１／１となる。本発明は演算の係数の加算値が１／１になるようにしているところにも特徴がある。１／１になるようにすることにより演算が容易になる。

【１５０３】

本発明で演算するときは、演算の係数のより倍数を変化させている。９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２＋１／８倍とを加算する演算を行う場合は、最大の係数が８である。この場合は、１／４倍のときは画像データを２倍、１／２倍の時は画像データを４倍、１／８倍の時は画像データを１倍にして加算する。つまり、最大係数（この実施例では８）の場合を１倍に置き換え、その半分（４である）の場合は２倍、さらにその半分（２である）の場合は４倍にする。そして、加算したデータを最大係数（８である）で割り算する（具体的には３ビット右シフトさせる）。

【１５０４】

また、最大係数が１６の場合は、１／１６を１倍に置き換え、その半分（８である）の場合は２倍、さらにその半分（４である）の場合は４倍にする。さらにその半分（２である）の場合は８倍にする。そして、加算したデータを最大係数（１６である）で割り算する（具体的には４ビット右シフトさせる）。

【１５０５】

以上のように、本発明の演算方法では、１／ｍの係数ｍを２の倍数とし、演算する係数の加算値を１となるようにすることのより、少ないビット数で演算でき、演算速度も速くすることができる。

【１５０６】

脱線したが、さらに、図２７６を用いて説明をする。８画素組の第２画素は、９画素組の第２画素のデータの１／２倍＋１／４倍と、９画素組の第３画素データの１／４倍とを加算する演算を行い、演算結果を８画素組の第２画素とする。

【１５０７】

同様に、８画素組の第３画素は、９画素組の第３画素のデータの１／２倍＋１／８倍と、９画素組の第３画素データの１／４倍＋１／８倍とを加算する演算を行い、演算結果を８画素組の第３画素とする。

【１５０８】

同様に、８画素組の第３画素は、９画素組の第３画素のデータの１／２倍＋１／８倍と、９画素組の第３画素データの１／４倍＋１／８倍とを加算する演算を行い、演算結果を８画素組の第３画素とする。

【１５０９】

８画素組の第４画素は、９画素組の第４画素のデータの１／２倍と、９画素組の第５画素データの１／２倍とを加算する演算を行い、演算結果を８画素組の第４画素とする。

【１５１０】

８画素組の第５画素は、９画素組の第５画素のデータの１／４倍＋１／８倍と、９画素組の第６画素データの１／２倍＋１／８倍とを加算する演算を行い、演算結果を８画素組の第５画素とする。

【１５１１】

８画素組の第６画素は、９画素組の第６画素のデータの１／４倍と、９画素組の第７画素データの１／２倍＋１／４倍とを加算する演算を行い、演算結果を８画素組の第６画素

とする。
【１５１２】
８画素組の第７画素は、９画素組の第７画素のデータの１／８倍と、９画素組の第８画素データの１／２倍＋１／４倍＋１／８倍とを加算する演算を行い、演算結果を８画素組の第７画素とする。
【１５１３】
８画素組の第８画素は、９画素組の第８画素のデータの０／１倍と、９画素組の第９画素データの１／１倍とを加算する演算を行い、演算結果を８画素組の第８画素とする。
【１５１４】
なお、演算は第１フィールドと第２フィールドで図２７６の表を１枠ずらせて行うとよい。画素場引きの境目が目立たなくなる。
【１５１５】
以上は、９画素を８画素に画素間引きをする方法である。図２７６の方法は、これに限定するものではなく、他の画素間引きにも適用できる。図２７７は５画素行を４画素行に画素間引きする方法の実施例である。この場合も、９画素を８画素に間引く方法と同様である。
【１５１６】
５画素組の第１画素は、５画素組の第１画素のデータの１／２倍＋１／４倍と、５画素組の第２画素データの１／４倍とを加算する演算を行い、演算結果を４画素組の第１画素とする。
【１５１７】
同様に、４画素組の第２画素は、５画素組の第２画素のデータの１／２倍と、５画素組の第３画素データの１／２倍とを加算する演算を行い、演算結果を４画素組の第２画素とする。
【１５１８】
同様に、４画素組の第３画素は、５画素組の第３画素のデータの１／４倍と、５画素組の第４画素データの１／２倍＋１／４倍とを加算する演算を行い、演算結果を４画素組の第３画素とする。
【１５１９】
４画素組の第４画素は、５画素組の第４画素のデータの０／１倍と、５画素組の第５画素データの１／１倍とを加算する演算を行い、演算結果を４画素組の第４画素とする。
【１５２０】
以上のように、本発明の演算方法では、１／ｍの係数ｍを２の倍数とし、演算する係数の加算値を１となるようにすることのより、少ないビット数で演算でき、演算速度も速くすることができる。
【１５２１】
以上の図２７６、図２７７の実施例は、ＲＧＢの画素の組を１ドットとして演算を実施したものである。しかし、ＲＧＢの画素の組を１ドット単位として実施すると、解像度の低下が発生する。以下の実施例は、この課題を解決するため、変換するパネルの画素位置を考慮し、Ｒ、Ｇ、Ｂ個別に行うものである。以下の実施例を実施することのより、ＱＶＧＡパネルで良好な解像度を実現することができる。
【１５２２】
図２７８において、Ｒｘ、Ｇｘ、Ｂｘ（ｘはドット番号を示す）は、変換前の原映像信号である。原映像信号は、Ｒ、Ｇ、Ｂを１組として、７２０ドット分送られてくる（輝度信号は７２０ドット分ある）。Ｘｘ、Ｙｘ、Ｚｘ（ｘは画素番号を示す）はパネルの画素を示す。本来は、Ｒｘ、Ｇｘ、Ｂｘと表現すうほうが理解しやすいが、原映像信号（画素間引き前の映像信号）と判別ができないので、Ｘ、Ｙ、Ｚとした。理解を容易にするには、Ｘ＝Ｒ、Ｙ＝Ｇ、Ｚ＝Ｂと考えるとよい。
【１５２３】
図２７８において、上段は、原映像信号（画素間引き前の映像信号）である。したがっ

て、ドット数は７２０ドットであるから、画素番号は１から７２０になる。なお、表示方法（演算方向）は左から右とする。下段は、パネルの画素位置を示している。パネルのドット数は、３２０ドットであるから、画素番号は１から３２０になる。なお、図２７８は７２０ドットを３２０ドットに画素間引きする実施例である。

【１５２４】

図２７８で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。Ｒ１、Ｇ１、Ｂ１からＲ３、Ｇ３、Ｂ３ドットは、Ｘ１、Ｙ１、Ｚ１、Ｘ２画素の組と一致する。同様にＲ４、Ｇ４、Ｂ４からＲ６、Ｇ６、Ｂ６ドットは、Ｙ２、Ｚ２、Ｘ３、Ｙ３画素の組と一致する。以下、同様である。

【１５２５】

以上のように、原映像信号の３ドットの組（ＲＧＢを１ドットと考えて、３ドット分）と、パネルの４画素が一致する。したがって、画素間引きの演算は図２７９のように行うとよい。なお、図２７９でも図示しているが、パネルの最初の画素Ｘ１と、最後の画素Ｚ３２０は、イレギュラー処理を行う（図２７９（ａ）（ｄ）を参照のこと）。演算対象の画素がないからである。それ以外は規則正しく演算される。

【１５２６】

なお、以降の実施例のおいても、図２７６と同様に、画像データの１／８倍するなどと記載する。１／８倍などを演算する処理方法は図２７６とその説明で説明したので省略する。

【１５２７】

図２７９（ａ）では、

Ｘ１＝Ｒ１×８／８

Ｙ１＝Ｇ１×３／８＋Ｇ２×５／８

Ｚ１＝Ｂ２×５／８＋Ｂ３×３／８

Ｘ２＝Ｒ３×７／８＋Ｒ４×１／８

と演算する。Ｘ１は本来、Ｒ０×１／８＋Ｒ１×７／８と演算を実施したいところだか、Ｒ０データは存在しないのでＲ１×８／８としている。

【１５２８】

なお、計算の都合上、存在しないＲ０を発生させて演算を行っても良いことはいうまでもない。この場合は、Ｘ１＝Ｒ０×１／８＋Ｒ１×７／８と演算を実施することができる。

【１５２９】

次のブロックは図２７９（ｂ）で示すように、

Ｙ２＝Ｇ３×１／８＋Ｇ４×７／８

Ｚ２＝Ｂ４×３／８＋Ｂ５×５／８

Ｘ３＝Ｒ５×５／８＋Ｒ６×３／８

Ｙ３＝Ｇ６×７／８＋Ｇ７×１／８

と演算する。つまり、第１式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は３／８であり、第２の係数は５／８である。この２つの係数を加えると１になる。また、第３式の計算の第１の係数は５／８であり、第２の係数は３／８である。この２つの係数を加えると１になる。また、第４式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になるようにしている。

【１５３０】

さらに、４つの式の第１の係数１／８、３／８、５／８、１／８を加えると２となる。つまり、２つの式の係数を加えると１となる。式が４つであるから、加算値は２となるようにしている。同様に４つの式の第２の係数７／８、５／８、３／８、１／８を加えると２となる。つまり、２つの式の係数を加えると１となり、式が４つであるから、加算値は２となるようにしている。

【１５３１】

さらに、１つのグロック内において少なくとも２つに式の係数は、入れ替えるようにしている。たとえば、図２７９（ｂ）において、２番目の式の第１の係数は、３／８であり、第２係数が５／８である。３番目の式の第１の係数は、逆に５／８であり、第２係数が３／８である。１番目の式の第１の係数は、１／８であり、第２係数が７／８である。３番目の式の第１の係数は、逆に７／８であり、第２係数が１／８である。

【１５３２】

また、組となる式の第１の係数どうしを加算すると１になるようにしている。たとえば、図２７９（ｂ）において、２番目の式の第１の係数は、３／８であり、３番目の式の第１係数が５／８である。したがって、３／８＋５／８＝１／１となる。同様に、２番目の式の第２の係数は、５／８であり、３番目の第２係数が３／８である。したがって、５／８＋３／５＝８／８＝１／１＝１となる。

【１５３３】

また、各式の係数の分母は、１、２、４、８、１６などというように結果的に２の乗数となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図２７９のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。

【１５３４】

以上のように本発明の方法あるいは方式を実施することにより、解像度が高い画素間引きを実現できる。

【１５３５】

同様に次のブロックは図２７９（ｃ）で示すように、

Ｚ２＝Ｂ６×１／８＋Ｂ７×７／８

Ｘ２＝Ｒ７×３／８＋Ｒ８×５／８

Ｙ３＝Ｇ８×５／８＋Ｇ９×３／８

Ｚ３＝Ｂ９×７／８＋Ｂ１０×１／８

と演算する。当然先のブロックの演算と同様に、第１式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は３／８であり、第２の係数は５／８である。この２つの係数を加えると１になる。また、第３式の計算の第１の係数は５／８であり、第２の係数は３／８である。この２つの係数を加えると１になる。また、第４式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になるようにしている。

【１５３６】

さらに、４つの式の第１の係数１／８、３／８、５／８、１／８を加えると２となる。つまり、２つの式の係数を加えると１となり、式が４つであるから、加算値は、２となるようにしている。同様に４つの式の第２の係数７／８、５／８、３／８、１／８を加えると２となる。つまり、２つの式の係数を加えると１となり、式が４つであるから、加算値は２となるようにしている。

【１５３７】

最後の次のブロックは図２７９（ｄ）で示すように、

・・・・

・・・・

Ｙ３２０＝Ｇ７１９×５／８＋Ｇ７２０×３／８

Ｚ３２０＝Ｂ７２０×８／８

と演算する。

【１５３８】
Ｚ３２０は本来、Ｂ７２０×７／８＋Ｂ７２１×１／８と演算を実施したいところだか、Ｂ７２１データは存在しないのでＢ７２０×８／８としている。
【１５３９】
なお、計算の都合上、存在しないＢ７２１を発生させて演算を行っても良いことはいうまでもない。この場合は、Ｘ３６０＝Ｂ７２０×７／８＋Ｂ７２１×１／８と演算を実施することができる。
【１５４０】
以上の実施例は、７２０ドットの映像信号を横ドット数３２０のＱＶＧＡパネルの画像表示するための画素間引き方法であった。本発明はこれに限定されるものではなく、他のドット数に変換することに用いることできる。図２８０は、７２０ドットの映像信号を３６０ドットに変換する画素間引き方法である。
【１５４１】
図２８０においても図２７８と同様に、Ｒｘ、Ｇｘ、Ｂｘ（ｘはドット番号を示す）は、変換前の原映像信号である。原映像信号は、Ｒ、Ｇ、Ｂを１組として、７２０ドット分送られてくる（輝度信号は７２０ドット分ある）。Ｘｘ、Ｙｘ、Ｚｘ（ｘは画素番号を示す）はパネルの画素を示す。
【１５４２】
図２８０において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は７２０ドットであるから、画素番号は１から７２０になる。なお、表示方法（演算方向）は左から右とする。下段は、パネルの画素位置を示している。パネルのドット数は、３６０ドットとしているから、画素番号は１から３６０になる。
【１５４３】
図２８０で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。Ｒ１、Ｇ１、Ｂ１からＲ２、Ｇ２、Ｂ２ドットは、Ｘ１、Ｙ１、Ｚ１画素の組と一致する。同様にＲ３、Ｇ３、Ｂ３からＲ４、Ｇ４、Ｂ４ドットは、Ｘ２、Ｙ２、Ｚ３画素の組と一致する。以下、同様である。
【１５４４】
図２８１は計算式を表示している。以上のように、画素の組が一致するブロックで、各ブロックの式数が決定される。図２７９では式のブロックは４式で構成され、図２８１では式のブロックは３式で構成される。
【１５４５】
以上のように、原映像信号の２ドットの組（ＲＧＢを１ドットと考えて、２ドット分）と、パネルの３画素が一致する。したがって、画素間引きの演算は図２８１のように行うとよい。なお、図２８１でも図示しているが、パネルの最初の画素Ｘ１と、最後の画素Ｚ３６０は、イレギュラー処理を行う（図２８１（ａ）（ｆ）を参照のこと）。演算対象の画素がないからである。それ以外は規則正しく演算される。
【１５４６】
なお、以降の実施例のおいても、図２７６と同様に、画像データの１／８倍するなどと記載する。　図２７９（ａ）では、

Ｘ１＝　　Ｒ１×８／８
Ｙ１＝Ｇ１×１／２＋Ｇ２×１／２
Ｚ１＝Ｂ２×７／８＋Ｂ３×１／８

と演算する（計算あるいは処理をする）。Ｘ１は本来、Ｒ０×１／８＋Ｒ１×７／８と演算を実施したいところだか、Ｒ０データは存在しないのでＸ１＝Ｒ１×８／８としている。
【１５４７】
なお、計算の都合上、存在しないＲ０を発生させて演算を行っても良いことはいうまでもない。この場合は、Ｘ１＝Ｒ０×１／８＋Ｒ１×７／８と演算を実施することができる。

【１５４８】
次のブロックは図２８１（ｂ）で示すように、
Ｘ２＝Ｒ２×１／８＋Ｒ３×７／８
Ｙ２＝Ｇ３×１／２＋Ｇ４×１／２
Ｚ２＝Ｂ４×７／８＋Ｂ５×１／８
と演算する。つまり、第１式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は１／２であり、第２の係数は１／２である。この２つの係数を加えると１になる。また、第３式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になる。

【１５４９】
さらに、３つの式の係数１／８、７／８、１／２、１／２、７／８、１／８を加えると３となる。つまり、３つの式の係数を加えると３となる。１式あたりの係数の加算値は１となるようにしている。

【１５５０】
さらに、１つのグロック内において少なくとも２つに式の係数は、入れ替えるようにしている。たとえば、図２８１（ｂ）において、１番目の式の第１の係数は、１／８であり、第２係数が７／８である。３番目の式の第１の係数は、逆に７／８であり、第２係数が１／８である。

【１５５１】
また、先の入れ替えの関係にない２番目の式は、第１番目の式の第１の係数は、１／２であり、第２係数も１／２である。式の係数は１／２と同一にしている。したがって、対応する式は必要がないように構成している。

【１５５２】
また、組となる式の第１の係数どうしを加算すると１になるようにしている。たとえば、図２８１（ｂ）において、１番目の式の第１の係数は、１／８であり、３番目の式の第１係数が７／８である。したがって、１／８＋７／８＝８／８＝１／１となる。

【１５５３】
また、各式の係数の分母は、１、２、４、８、１６などというように結果的に２の乗数となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図２８１のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。

【１５５４】
同様に次のブロックは図２８１（ｃ）で示すように、
Ｘ３＝Ｒ４×１／８＋Ｒ５×７／８
Ｙ３＝Ｇ５×１／２＋Ｇ６×１／２
Ｚ３＝Ｂ６×７／８＋Ｂ７×１／８
であり、
同様に次のブロックは図２８１（ｄ）で示すように、
Ｘ４＝Ｒ６×１／８＋Ｒ７×７／８
Ｙ４＝Ｇ７×１／２＋Ｇ８×１／２
Ｚ４＝Ｂ８×７／８＋Ｂ９×１／８
とする。

【１５５５】

最後の次のブロックは図２８１（ｄ）で示すように、
Ｘ３６０＝Ｒ７１８×１／８＋Ｒ７１９×７／８
Ｙ３６０＝Ｇ７１９×１／２＋Ｇ７２０×１／２
Ｚ３６０＝Ｂ７２０×８／８
と演算する。

【１５５６】

Ｚ３６０は本来、Ｂ７２０×７／８＋Ｂ７２１×１／８と演算を実施したいところだか、Ｂ７２１データは存在しないのでＢ７２０×８／８としている。

【１５５７】

なお、計算の都合上、存在しないＢ７２１を発生させて演算を行っても良いことはいうまでもない。この場合は、Ｘ３６０＝Ｂ７２０×７／８＋Ｂ７２１×１／８と演算を実施することができる。

【１５５８】

以上の実施例は、正方格子の画素構成の表示パネルの画像を表示する方法であった。本発明の画素間引き方法は、デルタ配置の画素構造にも適用できる。

【１５５９】

図２８２は７２０ドットの映像信号を１６０ドットのデルタ配置に変換する画素間引き方法である。　図２８２においても図２７８と同様に、Ｒｘ、Ｇｘ、Ｂｘ（ｘはドット番号を示す）は、変換前の原映像信号である。原映像信号は、Ｒ、Ｇ、Ｂを１組として、７２０ドット分送られてくる（輝度信号は７２０ドット分ある）。Ｘｘ、Ｙｘ、Ｚｘ（ｘは画素番号を示す）はパネルの画素を示す。また、デルタ配置では１画素行ごとに１／２画素分、画素位置がずれる。したがって、奇数画素行にはａの係数をつけ、Ｘａｘ、Ｙａｘ、Ｚａｘ（ｘは画素番号を示す）と示し、偶数画素行にはｂの係数をつけ、Ｘｂｘ、Ｙｂｘ、Ｚｂｘ（ｘは画素番号を示す）と示している。

【１５６０】

図２８２において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は７２０ドットであるから、画素番号は１から７２０になる。なお、表示方法（演算方向）は左から右とする。ただし、この事項は先の実施例も同様であるが限定されるものではない。また、デルタ配置の位置関係も限定されるものではない。デルタ配置はパネルの種類によって異なるからである。ただし、デルタ配置は、ＲＧＢをデルタ配置の組として形成または構成されていることはどのパネルでも同様である。２段目は、パネルの奇数画素行の画素位置を示している。パネルのドット数は、１６０ドットとしているから、画素番号は１から１６０になる。３段目は、パネルの偶数画素行の画素位置を示している。パネルのドット数は、１６０ドットとし、デルタ配置であるから、画素番号は１から１６１になる。

【１５６１】

図２８２で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。Ｒ１、Ｇ１、Ｂ１からＲ３、Ｇ３、Ｂ３ドットは、Ｘａ１、Ｙａ１画素の組と一致する。同様にＲ４、Ｇ４、Ｂ４からＲ６、Ｇ６、Ｂ６ドットは、Ｚａ１、Ｘａ２画素の組と一致する。以下、同様である。また、偶数画素行は、奇数画素行に対して１／２画素ずれて配置されている。

【１５６２】

図２８３（１）は計算式を表示している。以上のように、画素の組が一致するブロックで、各ブロックの式数が決定される。図２８２では式のブロックは２式で構成される。まず、説明を容易にするため、図２８３（１）を用いて奇数画素行の処理方法を先に説明をする。

【１５６３】

以上のように、原映像信号の３ドットの組（ＲＧＢを１ドットと考えて、３ドット分）と、パネルの２画素が一致する。なお、以降の実施例のおいても、図２７６などと同様に、画像データの３／４倍するなどと記載する。

【１５６４】
図２８３（１）（ａ）では、
Ｘａ１＝Ｒ１×３／４＋Ｒ２×１／４
Ｙａ１＝Ｇ２×１／４＋Ｇ３×３／４
と演算する（計算あるいは処理をする）。
【１５６５】
つまり、第１式の計算の第１の係数は３／４であり、第２の係数は１／４である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は１／４であり、第２の係数は３／４である。この２つの係数を加えると１になる。
【１５６６】
さらに、３つの式の係数３／４、１／４、１／４、３／４を加えると２となる。つまり、２つの式の係数を加えると２となる。１式あたりの係数の加算値は１となるようにしている。
【１５６７】
さらに、１つのグロック内において２つに式の係数は、入れ替えるようにしている。たとえば、図２８３（１）において、１番目の式の第１の係数は、３／４であり、第２係数が１／４である。２番目の式の第１の係数は、逆に１／４であり、第２係数が３／４である。
【１５６８】
また、組となる式の第１の係数どうしを加算すると１になるようにしている。たとえば、図２８３（１）において、１番目の式の第１の係数は、３／４であり、２番目の式の第１係数が１／４である。したがって、３／４＋１／４＝４／４＝１／１となる。
【１５６９】
また、各式の係数の分母は、１、２、４などというように結果的に２の乗数となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図２８３のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。
【１５７０】
次のブロックは図２８３（１）（ｂ）で示すように、
Ｚａ１＝Ｂ４×３／４＋Ｂ５×１／４
Ｘａ２＝Ｒ５×１／４＋Ｒ６×３／４
と演算する。
【１５７１】
同様に次のブロックは図２８３（１）（ｃ）で示すように、
Ｙａ２＝Ｇ７×３／４＋Ｇ８×１／４
Ｚａ２＝Ｂ８×１／４＋Ｂ９×３／４
とする。以下同様である。
【１５７２】
次に、図２８３（２）を用いて偶数画素行の処理方法について説明をする。なお、説明を容易にするため、奇数画素行が左位置から画素が配置され、偶数画素行が０．５画素奇数画素行右にずれて配置されているとするが、これに限定されるものではない。したがって、パネルの画素配置によってはは図２８３（１）と図２８３（２）は入れ替わるし、また、計算は１式あるいは２式分以上シフトして開始される場合がある。
【１５７３】
図２８３（２）（ａ）では、

Ｚｂ１＝Ｂ２×１／１
Ｘｂ２＝Ｒ３×１／２＋Ｒ４×１／２
と演算する（計算あるいは処理をする）。
【１５７４】
第１式の係数は１つしかない。しかし、係数は１／１である。１つの係数で１式あたりの係数の加算値は１となるから、本発明の処理方法を満足する。したがって、第２の係数は不要である。
【１５７５】
第２式の計算の第１の係数は１／２であり、第２の係数は１／２である。この２つの係数を加えると１になる。
【１５７６】
さらに、２つの式の係数１／１、１／２、１／２を加えると２となる。つまり、２つの式の係数を加えると２となる。１式あたりの係数の加算値は１となるようにしている。
【１５７７】
次のブロックは図２８３（２）（ｂ）で示すように、
Ｙｂ２＝Ｇ５×１／１
Ｚｂ２＝Ｂ６×１／２＋Ｂ７×１／２
と演算する。
【１５７８】
同様に次のブロックは図２８３（２）（ｃ）で示すように、
Ｘｂ３＝Ｇ８×１／１
Ｙｂ３＝Ｇ８×１／２＋Ｇ９×１／２
とする。以下同様である。
【１５７９】
なお、最後のブロックは図２８３（２）（ｈ）で示すように、イレギュラー処理をする必要がある。図２８３（２）（ａ）で示しているように画素の開始位置がＺから始まっているためである。したがって、最後のブロックは、
Ｘｂ１６１＝Ｒ７１９×１／１
とする必要がある。
【１５８０】
以上の実施例は、１６０ドットのデルタ配置に画素間引きをする方法であった。本発明は他の画素構成のデルタ配置の画素構造にも適用できる。
【１５８１】
図２８４は７２０ドットの映像信号を１８０ドットのデルタ配置に変換する画素間引き方法である。　図２８４においても図２７８と同様に、Ｒｘ、Ｇｘ、Ｂｘ（ｘはドット番号を示す）は、変換前の原映像信号である。原映像信号は、Ｒ、Ｇ、Ｂを１組として、７２０ドット分送られてくる（輝度信号は７２０ドット分ある）。Ｘｘ、Ｙｘ、Ｚｘ（ｘは画素番号を示す）はパネルの画素を示す。また、デルタ配置では１画素行ごとに１／２画素分、画素位置がずれる。したがって、奇数画素行にはａの係数をつけ、Ｘａｘ、Ｙａｘ、Ｚａｘ（ｘは画素番号を示す）と示し、偶数画素行にはｂの係数をつけ、Ｘｂｘ、Ｙｂｘ、Ｚｂｘ（ｘは画素番号を示す）と示している。
【１５８２】
図２８４において、上段は、原映像信号（画素間引き前の映像信号）である。したがって、ドット数は７２０ドットであるから、画素番号は１から７２０になる。なお、表示方法（演算方向）は左から右とする。ただし、この事項は先の実施例も同様であるが限定されるものではない。また、デルタ配置の位置関係も限定されるものではない。デルタ配置はパネルの種類によって異なるからである。ただし、デルタ配置は、ＲＧＢをデルタ配置の組として形成または構成されていることはどのパネルでも同様である。２段目は、パネルの奇数画素行の画素位置を示している。パネルのドット数は、１８０ドットとしているから、画素番号は１から１８０になる。３段目は、パネルの偶数画素行の画素位置を示し

ている。パネルのドット数は、１８０ドットとし、デルタ配置であるから、画素番号は1から１８１になる。

【１５８３】

図２８４で理解できるが、原映像信号とパネルの画素位置とは周期的に一致する。Ｒ１、Ｇ１、Ｂ１からＲ４、Ｇ４、Ｂ４ドットは、Ｘａ１、Ｙａ１、Ｚａ１画素の組と一致する。同様にＲ５、Ｇ５、Ｂ５からＲ８、Ｇ８、Ｂ８ドットは、Ｘａ２、Ｙａ２、Ｚａ２画素の組と一致する。以下、同様である。また、偶数画素行は、奇数画素行に対して１／２画素ずれて配置されている。

【１５８４】

図２８５（１）は計算式を表示している。以上のように、画素の組が一致するブロックで、各ブロックの式数が決定される。図２８５では式のブロックは３式で構成される。まず、説明を容易にするため、図２８５（１）を用いて奇数画素行の処理方法を先に説明をする。

【１５８５】

以上のように、原映像信号の４ドットの組（ＲＧＢを１ドットと考えて、４ドット分）と、パネルの３画素が一致する。なお、以降の実施例のおいても、図２７６などと同様に、画像データの７／８倍するなどと記載する。

【１５８６】

図２８５（１）（ａ）では、

Ｘａ１＝Ｒ１×７／８＋Ｒ２×１／８

Ｙａ１＝Ｇ２×１／２＋Ｇ３×１／２

Ｚａ１＝Ｒ３×１／８＋Ｒ４×７／８

と演算する（計算あるいは処理をする）。

【１５８７】

つまり、第１式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は１／２であり、第２の係数は１／２である。この２つの係数を加えると１になる。同様に第３式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。

【１５８８】

さらに、３つの式の係数７／８、１／８、１／２、１／２、１／８、７／８を加えると3となる。つまり、３つの式の係数を加えると３となる。１式あたりの係数の加算値は1となるようにしている。

【１５８９】

さらに、１つのグロック内において２つに式の係数は、入れ替えるようにしている。たとえば、図２８５（１）において、１番目の式の第１の係数は、７／８であり、第２係数が１／８である。３番目の式の第１の係数は、逆に１／８であり、第２係数が７／８である。

【１５９０】

また、各式の係数の分母は、１、２、４などというように結果的に２の乗数となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図２８５のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。つまり、本発明は、何らかの手段を用いて図２８５の処理が行うことができればいずれの方法あるいは方式であってもよい。

【１５９１】
次のブロックは図２８５（１）（ｂ）で示すように、
Ｘａ２＝Ｒ５×７／８＋Ｒ６×１／８
Ｙａ２＝Ｇ６×１／２＋Ｇ７×１／２
Ｚａ２＝Ｂ７×１／８＋Ｂ８×７／８
と演算する。
【１５９２】
同様に次のブロックは図２８５（１）（ｃ）で示すように、
Ｘａ３＝Ｒ９×７／８＋Ｒ１０×１／８
Ｙａ３＝Ｇ１０×１／２＋Ｇ１１×１／２
Ｚａ３＝Ｂ１１×１／８＋Ｂ１２×７／８
とする。以下同様である。
【１５９３】
次に、図２８５（２）を用いて偶数画素行の処理方法について説明をする。なお、説明を容易にするため、奇数画素行が左位置から画素が配置され、偶数画素行が０．５画素奇数画素行右にずれて配置されているとするが、これに限定されるものではない。したがって、パネルの画素配置によってはは図２８５（１）と図２８５（２）は入れ替わるし、また、計算は１式あるいは２式分以上シフトして開始される場合がある。
【１５９４】
図２８５（２）（ａ）では、
Ｚｂ１＝Ｂ１×１／８＋Ｂ２×７／８
と演算する（計算あるいは処理をする）。
【１５９５】
また、図２８５（２）（ｂ）では、
Ｘｂ１８１＝Ｂ７１９×７／８＋Ｂ７２０×７／８
と演算する（計算あるいは処理をする）。
【１５９６】
以上の（ａ）（ｈ）ではイレギュラーのブロックである。これはデルタ配置の画素配置からくるものであり、計算処理として差異はない。
【１５９７】
つまり、第１の係数は１／８または７／８であり、第２の係数は７／８または１／８である。この２つの係数を加えると１になる。
【１５９８】
図２８５（１）（ｂ）では、
Ｘｂ２＝Ｒ３×７／８＋Ｒ４×１／８
Ｙｂ２＝Ｇ４×１／２＋Ｇ５×１／２
Ｚｂ２＝Ｒ５×１／８＋Ｒ６×７／８
と演算する（計算あるいは処理をする）。
【１５９９】
つまり、第１式の計算の第１の係数は７／８であり、第２の係数は１／８である。この２つの係数を加えると１になる。同様に第２式の計算の第１の係数は１／２であり、第２の係数は１／２である。この２つの係数を加えると１になる。同様に第３式の計算の第１の係数は１／８であり、第２の係数は７／８である。この２つの係数を加えると１になる。
【１６００】
さらに、３つの式の係数７／８、１／８、１／２、１／２、１／８、７／８を加えると３となる。つまり、３つの式の係数を加えると３となる。１式あたりの係数の加算値は１となるようにしている。
【１６０１】
さらに、１つのグロック内において２つに式の係数は、入れ替えるようにしている。た

とえば、図２８５（２）（ｂ）において、１番目の式の第１の係数は、７／８であり、第２係数が１／８である。３番目の式の第１の係数は、逆に１／８であり、第２係数が７／８である。

【１６０２】

次のブロックは図２８５（２）（ｃ）で示すように、

Ｘｂ３＝Ｒ７×７／８＋Ｒ８×１／８

Ｙｂ３＝Ｇ８×１／２＋Ｇ９×１／２

Ｚｂ３＝Ｂ９×１／８＋Ｂ１０×７／８

と演算する。

【１６０３】

同様に次のブロックは図２８５（２）（ｄ）で示すように、

Ｘｂ４＝Ｒ１１×７／８＋Ｒ１２×１／８

Ｙｂ４＝Ｇ１２×１／２＋Ｇ１３×１／２

Ｚｂ４＝Ｂ１３×１／８＋Ｂ１４×７／８

とする。以下同様である。

【１６０４】

以上の実施例は、横方向の画素間引き処理であった。以下、縦方向の画素間引き処理方法について説明をする。先にも説明したように、ＰＡＬ画像の映像信号は、７２０ドットである。一方、縦は、有効走査線数が５７６本である。したがって、インターレース信号の場合では、各フィールドで５７６／２＝２８８画素行となる。ＮＴＳＣ画面とＰＡＬ画面をＱＶＧＡパネルで表示する場合は、ＮＴＳＣとＰＡＬでは、あまりにも各フィールドの画素行数が異なる。つまり、ＮＴＳＣでは２４０画素行であるのに対して、ＰＡＬでは２８８画素行である。したがって、兼用するため、ＰＡＬでは画面の一部を表示させる。つまり、横７２０ドット中６４０ドットを表示する（１／２では、７２０／２ドット中３２０ドット（ＱＶＧＡの横画素数）を表示する。横ドットを削除した割合で、縦方向も削除する。２８８×（６４０／７２０）＝２５６ドットとなる。さらにＱＶＧＡの縦ドット数２４０におさめるため、２５６ドットを画素間引きし、２４０ドットにする。２４０ドットにすることのより、真円率が確保される。２５６ドットを２４０ドットにするためには、１６ドットを１５ドットにする必要がある。以上のことから、ＰＡＬでは縦画素において、１６ドットを１５ドットに画素間引きをする方法の確立が重要である。

【１６０５】

ＰＡＬ画像では、１６画素行を１５画素行に画素間引きする方法を実現する必要がある。図２８６は、１６画素行を１５画素行に画素間引きする方法の説明図である。なお、図２８６において、（１）は第１フィールドの処理方法であり、（２）は第２フィールドの処理方法である。したがって、処理は（１）（２）が逆であってもよい。

【１６０６】

図２８６は２５６画素行の映像信号を２４０画素行に変換する画素間引き方法である。図２８６において、Ｒｘ、Ｇｘ、Ｂｘ（ｘは画素行番号を示す）は、変換前の原映像信号である。Ｘｘ、Ｙｘ、Ｚｘのｘは画素行番号を示す。

【１６０７】

処理は上下の画素において１／１６ずつ変化させる。図２８６（１）（ａ）において、

Ｘ１＝Ｒ１×１５／１６＋Ｒ２×１／１６

Ｙ１＝Ｇ１×１５／１６＋Ｇ２×１／１６

Ｚ１＝Ｒ１×１５／１６＋Ｒ２×１／１６

と演算する（計算あるいは処理をする）。

【１６０８】

第１式から第３式の計算の第１の係数は１５／１６であり、第２の係数は１／１６である。この２つの係数を加えると１になる。

【１６０９】

また、各式の係数の分母は、１、２、４、８、１６などというように結果的に２の乗数

となるようにしている。なお、分母が２の乗数にしているのは、加算演算をする際に、２の乗数にする意味ではない。先にも説明したように、加算する時の数値は、別の数値に変化あるいは変更して行っても良いことはいうまでもない。図２８５のように表現した時に、２の乗数と表現しているだけである。また、計算は加算で行うとして説明しているがこれに限定するものではない。加算はビットシフトで行うこともできるし、乗算あるいは減算を組合わせることのよっても行うことができる。したがって、加算するというのは説明あるいは理解を容易にする手段であって、限定されるものではない。つまり、加算あるいは和を求めるとは、ビットシフトなど他の方法も含まれる技術的思想あるいは概念である。つまり、本発明は、何らかの手段を用いて図２８５の処理が行うことができればいずれの方法あるいは方式であってもよい。

【１６１０】

次のブロックは図２８６（１）（ｂ）で示すように、

Ｘ２＝Ｒ２×１４／１６＋Ｒ３×２／１６

Ｙ２＝Ｇ２×１４／１６＋Ｇ３×２／１６

Ｚ２＝Ｒ２×１４／１６＋Ｒ３×２／１６

と演算する（計算あるいは処理をする）。

【１６１１】

第１式から第３式の計算の第１の係数は１４／１６であり、第２の係数は２／１６である。この２つの係数を加えると１になる。

【１６１２】

同様に次のブロックは図２８６（１）（ｃ）で示すように、

Ｘ３＝Ｒ３×１３／１６＋Ｒ４×３／１６

Ｙ３＝Ｇ３×１３／１６＋Ｇ４×３／１６

Ｚ３＝Ｒ３×１３／１６＋Ｒ４×３／１６

と演算する（計算あるいは処理をする）。

【１６１３】

第１式から第３式の計算の第１の係数は１３／１６であり、第２の係数は３／１６である。この２つの係数を加えると１になる。

【１６１４】

以下、同様に第１の係数の分子を１ずつ少なくし、第２の係数を１ずつ多くする。以上の処理を行い１５番目のブロックは、図２８６（１）（ｅ）で示すように、

Ｘ１５＝Ｒ１５×１／１６＋Ｒ１６×１５／１６

Ｙ１５＝Ｇ１５×１／１６＋Ｇ１６×１５／１６

Ｚ１５＝Ｒ１５×１／１６＋Ｒ１６×１５／１６

と演算する（計算あるいは処理をする）。

【１６１５】

１５のブロックは繰り返され、図２８６（１）（ａ）と同様に、図２８６（１）（ｆ）で示すように、

Ｘ１６＝Ｒ１６×１５／１６＋Ｒ１７×１／１６

Ｙ１６＝Ｇ１６×１５／１６＋Ｇ１７×１／１６

Ｚ１６＝Ｒ１６×１５／１６＋Ｒ１７×１／１６

と演算する（計算あるいは処理をする）。

【１６１６】

ブロックの繰り返しは、図２８７に図示している。図２８７は２５６画素行を２４０画素行に画素間引きする概念図である。２５６画素行は、１６画素行ずつブロックに分割される。つまり、１～１６画素行、１７～３２画素行、３３～４８画素行、・・・・・・・・・２５１～２５６画素行である。各ブロックの１６画素行が１５画素行に画素間引きされる。

【１６１７】

図２８６（１）の処理が第１フィールドと第２フィールドで、同一に行うと１５画素行

ごとにブロックすじが発生する。したがって、第２フィールドでは第１フィールドと処理を変化させる。具体的には、１ブロックの係数をずらせる。なお、図２８６（２）は下方向に処理をずらせているが、上方向に処理をずらせてもよい。

【１６１８】

処理は上下の画素において１／１６ずつ変化させ点において、図２８６（１）と同様である。第２フィールドでは、図２８６（２）（ａ）に示すように、

Ｘ１＝Ｒ１×１６／１６

Ｙ１＝Ｇ１×１６／１６

Ｚ１＝Ｒ１×１６／１６

と演算する（計算あるいは処理をする）。

【１６１９】

第１式から第３式の計算の第１の係数は１６／１６であるから１である。

【１６２０】

次のブロックでは、図２８６（２）（ｂ）に示すように、

Ｘ２＝Ｒ２×１５／１６＋Ｒ３×１／１６

Ｙ２＝Ｇ２×１５／１６＋Ｇ３×１／１６

Ｚ２＝Ｒ２×１５／１６＋Ｒ３×１／１６

と演算する（計算あるいは処理をする）。

【１６２１】

第１式から第３式の計算の第１の係数は１５／１６であり、第２の係数は１／１６である。この２つの係数を加えると１になる。

【１６２２】

次のブロックは図２８６（２）（ｃ）で示すように、

Ｘ３＝Ｒ３×１４／１６＋Ｒ４×２／１６

Ｙ３＝Ｇ３×１４／１６＋Ｇ４×２／１６

Ｚ３＝Ｒ３×１４／１６＋Ｒ４×２／１６

と演算する（計算あるいは処理をする）。

【１６２３】

第１式から第３式の計算の第１の係数は１４／１６であり、第２の係数は２／１６である。この２つの係数を加えると１になる。

【１６２４】

同様に次のブロックは図２８６（２）（ｄ）で示すように、

Ｘ４＝Ｒ４×１３／１６＋Ｒ５×３／１６

Ｙ４＝Ｇ４×１３／１６＋Ｇ５×３／１６

Ｚ４＝Ｒ４×１３／１６＋Ｒ５×３／１６

と演算する（計算あるいは処理をする）。

【１６２５】

第１式から第３式の計算の第１の係数は１３／１６であり、第２の係数は３／１６である。この２つの係数を加えると１になる。

【１６２６】

以下、同様に第１の係数の分子を１ずつ少なくし、第２の係数を１ずつ多くする。以上の処理を行い１５番目のブロックは、図２８６（１）（ｅ）で示すように、

Ｘ１５＝Ｒ１５×２／１６＋Ｒ１６×１４／１６

Ｙ１５＝Ｇ１５×２／１６＋Ｇ１６×１４／１６

Ｚ１５＝Ｒ１５×２／１６＋Ｒ１６×１４／１６

と演算する（計算あるいは処理をする）。

【１６２７】

１５のブロックは繰り返され、図２８６（２）（ｂ）と同様に、図２８６（２）（ｆ）で示すように、

Ｘ１６＝Ｒ１６×１／１６＋Ｒ１７×１５／１６

Ｙ１６＝Ｇ１６×１／１６＋Ｇ１７×１５／１６
Ｚ１６＝Ｒ１６×１／１６＋Ｒ１７×１５／１６
と演算する（計算あるいは処理をする）。

【１６２８】
以上の方法を採用することにより、高精細の画像表示を実現することができる。

【１６２９】
本発明のプリチャージ駆動では所定電圧をソース信号線１８に印加する。また、ソースドライバＩＣはプログラム電流を出力するとした。しかし、本発明は、プリチャージ駆動を階調に応じて出力電圧を変化させてもよい。つまり、ソース信号線１８に出力するプリチャージ電圧はプログラム電圧をなる。ソースドライバＩＣ内にこのプリチャージ電圧のプログラム電圧回路３０６１を導入した回路構成が図３０６である。

【１６３０】
なお、図３０６は１つのソース信号線１８に対応する１出力回路ブロック図である。電流階調回路６５４と、プリチャージで階調出力をだす電圧階調回路３０６１が構成される。電流階調回路６５３と電圧階調回路３０６１には映像データが印加される。電圧階調回路３０６１の出力はスイッチ４８１のオンオフによりソース信号線１８へ出力する端子６８１に印加される。スイッチ４８１はプリチャージイネーブル（プリチャージＥＮＢＬ）信号と、プリチャージ信号（プリチャージＳＩＧ）で制御される。スイッチ４８１はプリチャージイネーブル（プリチャージＥＮＢＬ）信号がＨレベルで、かつ、プリチャージ信号（プリチャージＳＩＧ）がＨレベルの時閉じるように制御される。

【１６３１】
電圧階調回路３０６１は、サンプルホールド回路、ＤＡ回路などで構成される。デジタルの映像データに基づいて、ＤＡ回路により電圧変換される。この変換された電圧は、サンプルホールド回路によりサンプルホールドされ、オペアンプを介してスイッチ４８１の一端子に印加される。なお、ＤＡ回路は電圧階調回路３０６１ごとに構成または形成する必要がなく、外部にＤＡ回路を構成し、このＤＡ回路の出力を電圧階調回路３０６１内でサンプルホールドしてもよい。

【１６３２】
電圧階調回路３０６１の出力は、図３０５に図示するように、１Ｈの最初に印加される（記号Ａで示す）。その後、電流出力回路６５４によりソース信号線にプログラム電流が供給される（記号Ｂで示す）。つまり、電圧により概略のソース信号線電位まで電圧設定される。したがって、駆動用トランジスタは目的電流に近い値まで、高速に設定される。その後、電流のより駆動用トランジスタのバラツキを補償する目的電流まで設定される。

【１６３３】
電圧信号が印加されるＡ期間は、１Ｈの１／１００以上１／５以下の期間である。または、０．２μｓｅｃ以上１０μｓｅｃ以下の期間に設定される。したがって、Ａ期間以外がＢ期間の電流印加期間である。Ａ期間が短いとソース信号線１８の電荷の充放電が十分に行われないため、書き込み不足が発生する。一方、長すぎると電流印加期間（Ｂ）が短くなり十分にプログラム電流を印加することができない。したがって、駆動用トランジスタ１１ａの電流補正不足となる。

【１６３４】
電圧印加期間（Ａ期間）は、１Ｈの最初から実施することが好ましいが、これに限定されない。たとえば、１Ｈの終わりのブランキング期間から開始してもよい。また、１Ｈの途中にＡ期間を実施してもよい。つまり、１Ｈのいずれかの期間に電圧印加期間を実施すればよい。しかし、好ましくは、電圧印加期間は、１Ｈの最初から１／４Ｈ（０．２５Ｈ）の期間内に実施することが好ましい。

【１６３５】
図３０５の実施例では、電圧プリチャージ（Ａ）の期間後、電流を印加（Ｂ期間）するとしたがこれに限定するものではない。たとえば、図３６２（ａ）に図示するように、１Ｈの期間のすべてを（あるいは大半を、あるいは過半数を）電圧プリチャージ（＊Ａ）期

間としてもよい。

【１６３６】

図３６２（ａ）の＊Ａの期間は、１Ｈの期間が電圧プログラムを実施している。＊Ａの期間は、低階調の領域である。低階調の領域で電流プログラムを実施してもプログラムされる電流が微小のため、ソース信号線１８の寄生容量の影響により、ソース信号線１８の電位変更を実施することができない。つまり、ＴＦＴ１１ａ（駆動用トランジスタ）の特性補償を行うことができない。また、電流プログラム方式では、プログラム電流Ｉと輝度Ｂとが線形の関係にある。そのため、低階調領域で１階調に対する輝度変化が大きすぎる。したがって、低階調領域で階調飛びが発生しやすい。

【１６３７】

この課題に対して本発明では、図３６２（ａ）に図示するように、低階調領域で１Ｈの期間にわたり電圧プログラムを実施している（＊Ａで図示している）。低階調領域における領域で電圧プログラムの電圧ステップきざみを小さくしている。画素１６のＴＦＴ１１ａに印加する電圧を一定ステップにすると、ＴＦＴ１１ａのＥＬ素子１５への出力電流は概略２乗特性となる。したがって、印加電圧に対する輝度Ｂ（輝度ＢはＥＬ素子１５への出力電流に比例する）は、人間の視感度は直線的となる（人間の視感度は、２乗特性の時に低ステップで変化していると認識するためである）。

【１６３８】

電圧プログラム方式では、ＴＦＴ１１ａの特性補償を良好に実施することができない。しかし、低階調領域では、画面５０の表示輝度が低いため、特性補償不足による表示ムラが発生しても視覚的に認識されることはない。一方で、電圧プログラム方式では、ソース信号線１８の充放電を良好に実施することができる。そのため、低階調領域でも十分にソース信号線１８の充放電を実施でき、適正な階調表示を実現できる。

【１６３９】

図３６２（ａ）でも理解できるように、ソース信号線１８の電位がアノード電位（Ｖｄｄ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位が０（Ｖ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間内に実施される。なお、ソース信号線１８の電位が０（Ｖ）に近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【１６４０】

図３６２（ａ）の＊Ａ以外の期間は、１Ｈの一定期間（Ａで示す）に電圧プログラムによる電圧をソース信号線１８に印加し、その後、Ｂの期間に電流プログラムによる電流を印加している。以上のようにＡ期間の電圧の印加により画素１６のＴＦＴ１１ａのゲート電位に所定電圧を印加し、おおよそＥＬ素子１５に流す電流が所望値になるようにしている。その後、Ｂ期間のプログラム電流により、ＥＬ素子１５に流れる電流が所定値となるようにしている。＊Ａ期間は、１Ｈ期間の全般にわたり電圧プログラムが実施されている（電圧が印加されている）。

【１６４１】

図３６２（ａ）は、画素１６のＴＦＴ１１ａ（駆動用トランジスタ）がＰチャンネルの場合のソース信号線１８への印加信号波形である。しかし、本発明はこれに限定するものではない。画素１６のＴＦＴ１１ａがＮチャンネルであってもよい（たとえば、図１を参照のこと）。この場合は、図３６２（ｂ）に図示するように、ソース信号線１８の電位が０（Ｖ）に近い場合に、１Ｈの期間のすべてに（大半に）電圧が印加される。ソース信号線１８の電位がアノード電圧（Ｖｄｄ）に近くなると、電圧プログラム（Ａ期間）と電流プログラム（Ｂ）が１Ｈの期間に実施される。

【１６４２】

なお、ソース信号線１８の電位がＶｄｄに近い場合（高階調領域）では、１Ｈの期間中のすべての期間にわたり、電流プログラムを実施してもよい。

【１６４３】

本発明では、駆動用トランジスタ１１ａはＰチャンネルとして説明するがこれに限定するものではなく、駆動用トランジスタ１１ａはＮチャンネルであってもよいことはいうまでもない。説明を容易にするために、駆動用トランジスタ１１ａがＰチャンネルトランジスタであるとして説明を行うだけである。

【１６４４】

図３０５、図３６２などの本発明の実施例では、主として低階調領域は電圧プログラムが主で画素に書き込みがされる。中高階調領域は、電流プログラムが主で書き込みが行われる。つまり、電流と電圧駆動の両方のよいところの融合を実現できる。なぜなら、低階調領域は、電圧により所定階調表示される。これは、電流駆動では書き込み電流が微小のため、１Ｈ最初に印加した電圧（電圧駆動あるいはプリチャージ駆動による。プリチャージ駆動と電圧駆動は概念的には同一である。大きく差別化するならば、プリチャージ駆動は印加する電圧に種類が比較的少なく、電圧駆動は印加する電圧の種類が多いと言うべきである）が支配的となるからである。中階調領域は、電圧により書き込んだ後、電圧のずれ量を、プログラム電流で補償する。つまり、プログラム電流が支配的となる（電流駆動が支配的である）。高階調領域は、プログラム電流で書き込む。プログラム電圧印加は不要である。印加した電圧がプログラム電流で書き換えられるからである。つまり、電流駆動が圧倒的に支配的である（図３６３（ｂ）、図３６４などを参照のこと）。もちろん、電圧を印加してもよいことは言うまでもない。

【１６４５】

図３０６で電圧階調回路の出力と電流階調回路（プリチャージ回路も含む）の出力とを端子６８１でショートして構成することができるのは、電流階調回路は高インピーダンスであることによる。つまり、電流階調回路は高インピーダンスのため、電圧階調回路からの電圧が電流階調回路に印加されても、回路に問題点（短絡で過電流が流れるなど）が発生することがない。したがって、本発明で電圧出力と電流出力状態とを切り換えるとしたがこれに限定するものではない。電流階調回路６５４からプログラム電流の出力した状態で、スイッチ４８１（図３０６を参照）をオンして、電圧階調回路３０６１の電圧を端子６８１に印加してもよいことは言うまでもない。また、スイッチ４８１を閉じて端子６８１に電圧と印加した状態で、電流階調回路６５４からプログラム電流を出力してもよい。電流階調回路６５４は高インピーダンスであるので回路的には問題がない。以上の状態も本発明は電圧駆動状態と電流駆動状態とを切り換えているという動作の範疇である。本発明は電流回路と電圧回路の性質をうまく利用している。このことは、他のドライバ回路にない特徴ある構成である。

【１６４６】

また、図３６３に図示するように、１Ｈ期間に印加するプログラムを電圧または電流の一方にしてもよいことは言うまでもない。図３６３において、＊Ａの期間は電圧プログラムが実施された１Ｈ期間であり、Ｂの期間は電流プログラムが実施されている１Ｈ期間である。主として低階調領域では電圧プログラムが実施され（＊Ａで示す）、中間調以上の領域では電流プログラムが実施される（Ｂで示す）。以上のように、階調あるいはプログラム電流の大きさに応じて、電圧駆動を選択するか電流駆動を選択するかを切り換えても良い。

【１６４７】

図３０６の本発明の実施例では、電圧階調回路３０６１と電流階調回路６５４には、同一の映像Ｄａｔａが入力されている。したがって、映像Ｄａｔａのラッチ回路は電圧階調回路３０６１と電流階調回路６５４と共通でよい。つまり、映像Ｄａｔａのラッチ回路は電圧階調回路３０６１と電流階調回路６５４とに独立に設ける必要はない。共通の映像Ｄａｔａラッチ回路からのデータに基づき、電流階調回路６５４または（および）電圧階調回路３０６１がデータを端子６８１に出力する。

【１６４８】

図３６８は本発明の駆動方法のタイミングチャートである。図３６８において、（ａ）のＤＡＴＡは画像データである。（ｂ）のＣＬＫは回路クロックである。

【１６４９】
（ｃ）のＰｃｎｔｌは、プリチャージのコントロール信号である。Ｐｃｎｔｌ信号がＨレベルの時は、電圧駆動のみモード状態になり、Ｌレベルの時、電流＋電圧駆動モードになる。（ｄ）のＰｔｃはプリチャージ電圧あるいは電圧階調回路３０６１からの出力の切り換え信号である。Ｐｔｃ信号がＨレベルの時は、プリチャージ電圧などの電圧出力がソース信号線１８に印加される。Ｐｔｃ信号がＬレベルの時は、電流階調回路６５４からのプログラム電流がソース信号線に出力される。
【１６５０】
たとえば、データＤ（２）、Ｄ（３）、Ｄ（８）の時は、Ｐｃｎｔｌ信号がＨレベルであるから、ソース信号線１８に電圧階調回路３０６１から電圧が出力される（Ａ期間）。ＰｃｎｔｌがＬレベルの時は、ソース信号線１８にはまず、電圧が出力され、その後、プログラム電流が出力される。電圧が出力される期間をＡで示し、電流が出力される期間をＢで示す。電圧を出力する期間Ａは、Ｐｔｃ信号で制御される。Ｐｔｃ信号は、図３０６のスイッチ４８１のオンオフを制御する信号である。
【１６５１】
なお、図３６８において、電圧出力期間Ａと電流出力期間Ｂとを切り換えるとしたが、これに限定するものではない。プログラム電流の出力した状態で、スイッチ４８１（図３０６を参照）をオンして、電圧階調回路３０６１の電圧を端子６８１に印加してもよいことは言うまでもない。また、スイッチ４８１を閉じて端子６８１に電圧と印加した状態で、電流階調回路６５４からプログラム電流を出力してもよい。Ａ期間後にスイッチ４８１をオープンにする。以上のように電流階調回路６５４は高インピーダンスであるので電圧回路と短絡状態にしても回路的には問題がない。
【１６５２】
図３７０はＰｔｃ信号のＨ期間を変化させることにより、ソース信号線１８に電圧を出力する期間を可変するものである。Ｈ期間は、階調番号などにより変化させる。たとえば、Ｄ（７）では、Ｐｔｃ信号は１Ｈの期間Ｌレベルである。したがって、図３０６のスイッチ４８１は１Ｈの期間オープン状態である。したがって、１Ｈ期間には電圧は印加されず、常時電流プログラム状態である。また、Ｄ（５）ではＰｔｃ期間は他の１Ｈ期間よりも長くなっている。したがって、電圧を印加するＡ期間は長く設定されている。
【１６５３】
以上の実施例では、電流駆動状態と電圧駆動状態とを切り換えるものである。しかし、本発明はこれに限定されない。図３６９の実施例では、Ｐｔｃ信号はない。したがって、Ｐｃｎｔｌ信号で制御される。そのため、Ｈ期間は電圧駆動が実施され、Ｌ期間は電流駆動が実施される。
【１６５４】
電圧プログラムは、ＲＧＢのＥＬ素子１５の発光効率により、ソース信号線１８に出力する電圧値を変更する必要がある。図１の画素構成を例示すれば駆動用トランジスタ１１ａのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ１１ａが出力する電流により異なるからである。駆動用トランジスタ１１ａの出力電流はＥＬ素子１５の発光効率で異ならせる必要がある。本発明のソースドライバＩＣ１４を汎用性があるものとするためには、ＥＬパネルの画素サイズが異なっていても、あるいはＥＬ素子１５の発光効率が異なっていても、設定あるいは調整により対応する必要がある。
【１６５５】
電圧階調回路３０６１は、アノード電圧（Ｖｄｄ）を原点として電圧を出力する。この状態を図３１１に示す。アノード電圧（Ｖｄｄ）は駆動用トランジスタ１１ａの動作原点である。なお、説明を容易にするため、図１に図示するような駆動用トランジスタ１１ａがＰチャンネルの構成であるとして説明をする。駆動用トランジスタ１１ａがＮチャンネルの場合も、原点位置が変化するだけであるので説明を省略する。したがって、説明を容易にするため、駆動用トランジスタ１１ａはＰチャンネルの場合を例にあげて説明をする。

【１６５６】
図３１１において、横軸は階調である。本発明では電圧階調回路３０６１の出力階調は２５６（８ビット）階調であるとして説明をする。縦軸はソース信号線１８への出力電圧である。図３１１では、階調番号に比例してソース信号線１８の電位は低くなる。
【１６５７】
ソース信号線１８の電圧は、駆動用トランジスタ１１ａのゲート端子電圧である。駆動用トランジスタ１１ａの出力電流は、ゲート端子電圧に非線形で変化する。一般的に図３１１のようにソース信号線１８に電圧を印加すると、駆動用トランジスタ１１ａの出力電流は、印加電圧に対して２乗特性で変化する。つまり、図３１１では階調に対するソース信号線１８の電位は比例しているが、駆動用トランジスタ１１ａの出力電流（ＥＬ素子１５に流れる電流）は、ほぼ２乗特性となる。
【１６５８】
図３１１の回路構成は、回路構成などが容易である。しかし、ＥＬ素子１５に流れる電流は階調番号に比例しない。駆動用トランジスタ１１ａに線形に変化する電圧を印加（図３１１の実施例の場合など）すると、トランジスタ１１ａの２乗特性により、出力電流は印加電圧の２乗に比例して出力されるからである。したがって、階調番号が小さい時はトランジスタ１１ａの出力電流の変化が小さく、階調番号が大きくなるにつれて、急激に大きくなる。したがって、階調番号に対する出力電流の精度が変化する。
【１６５９】
この課題を解決する構成が図３１２である。図３１２では、階調番号が小さい時には、ソース信号線１８への出力電圧の変化が大きい。また、階調番号が小さくなるほどソース信号線１８への電圧変化割合は大きくなる。一方、階調番号が大きく（２５６番目に近づく）なると、ソース信号線１８への出力電圧の変化が小さくなるように構成している。したがって、階調番号に対するソース信号線出力電流の関係は非線形となる。この非線形特性は、駆動用トランジスタ１１ａのゲート端子電圧に対するＥＬ素子１５への出力電流特性と組合せることにより、線形になるようにしている。つまり、階調番号の変化に対する駆動用トランジスタ１１ａのＥＬ素子１５への出力電流は線形となるように調整している。
【１６６０】
電流プログラム方式は、階調番号に対するＥＬ素子１５に流れる電流は線形の関係にある。図３１２の構成（方式）は電圧プログラム方式である。図３１２では電圧プログラム方式であるが、階調番号に対するＥＬ素子１５に流れる電流は線形の関係である。したがって、図３０６、図３０５のように電流プログラム方式と電圧プログラム方式とを組み合わせた構成（方式）において、マッチングがよい。
【１６６１】
図３１２は階調番号に対する駆動用トランジスタ１１ａの出力電流Ｉｅがほぼリニアに変化するようにしている。したがって、階調番号に対するソース信号線出力電圧の関係は、階調番号が小さい時はあらく、大きくなるにつれて細かく変化するようにしている。階調番号をＫとし、ソース信号線Ｖｓとした時、変化カーブ式は、図３１２に図示するようにソース信号線電圧Ｖｓ＝Ａ／（Ｋ・Ｋ）となるようにする。なお、Ａは比例定数である。もしくは、ソース信号線電圧Ｖｓ＝Ａ／（Ｂ・Ｋ・Ｋ＋Ｃ・Ｋ＋Ｄ）もしくはＶｓ＝Ａ／（Ｂ・Ｋ・Ｋ＋Ｃ）となるようにする。なお、Ｄ、Ｂ、Ｃ、Ａは定数である。
【１６６２】
以上のように、変化カーブ式を構成することにより、変化カーブ式とソース信号線電圧Ｖｓに対する駆動用トランジスタの出力電流Ｉｅを掛け合わせた時に、Ｖｓに対するＩｅが線形の関係とすることができる。
【１６６３】
図３１２では、変化カーブ式が曲線となる。そのため、変化カーブを作成することが比較的困難である。この課題に対しては、図３１３に図示するように複数の直線で変化カーブ式を構成することが適切である。つまり、２つ以上の傾きの直線で変化カーブを構成す

る。

【１６６４】

図３１２では、階調番号が小さい範囲では、ソース信号線１８の出力電圧のきざみは大きくし（Ａで示す）、階調番号が大きい範囲では、ソース信号線１８の出力電圧のきざみは小さくする（Ｂで示す）。図３１２の変化カーブでは、階調番号Ｋに対する駆動用トランジスタ１１ａの出力電流Ｉｅは非線形の関係となり、また、複数の非線形の出力を組み合わせたものとなる。しかし、階調番号Ｋに対する出力電流Ｉｅの関係は線形に近い範囲が多くなる。したがって、電流プログラム駆動との組み合わせも容易である。

【１６６５】

図３１１の実施例では、階調番号が０の時は、ソース信号線１８の電位がアノード電位（Ｖｄｄ）となっていない。駆動用トランジスタ１１ａは立ち上がり電圧までは出力電流が０またはほぼ０である。この立ち上がり電圧までの範囲がＣの領域である。したがって、Ｃの領域はブランクとなるので、階調番号数が一定の場合、図３１１などに比較して相対的にソース信号線の出力電圧きざみを細かくすることができる。

【１６６６】

図３１４の関係（階調番号０の時、ソース信号線１８の電位は原点（アノード電位）でない関係）と、図３１２の非直線の関係、図３１３の複数の関係式を組合せる関係、図３１１の直線の関係などは、相互に組合せても良いことは言うまでもない。

【１６６７】

電圧プログラムは、ＲＧＢのＥＬ素子１５の発光効率により、ソース信号線１８に出力する電圧値を変更する必要がある。図１の画素構成を例示すれば駆動用トランジスタ１１ａのゲート端子に印加する電圧（プログラム電圧）は駆動用トランジスタ１１ａが出力する電流により異なるからである。駆動用トランジスタ１１ａの出力電流はＥＬ素子１５の発光効率で異ならせる必要がある。本発明のソースドライバＩＣ１４を汎用性があるものとするためには、ＥＬパネルの画素サイズが異なっていても、あるいはＥＬ素子１５の発光効率が異なっていても、設定あるいは調整により対応する必要がある。

【１６６８】

図３６４は、電圧駆動において、電圧の基準はＶｄｄであるという点を利用した回路構成である。図３１１から図３１４の縦軸である電圧の大きさＶｄｄを固定して変化させる。したがって、階調番号の範囲（２５６階調＝２５６きざみ）を一定とした場合でも、縦軸の電圧の大きさを調整することができ、ソースドライバ回路（ＩＣ）１４を汎用的にすることができる。

【１６６９】

図３６４は電子ボリウム４５１の電圧範囲は、ＶｄｄからＶｂｖである。したがって、オペアンプ７２２ａの出力電圧ＶａｄはＶｄｄからＶｂｖの値が出力される。ＶｂｖはソースドライバＩＣ（回路）１４の外部より入力される。また、ＩＣ（回路）１４内部で発生させてもよい。電子ボリウム４５１のスイッチＳは８ビットの制御データ（階調番号）をデコーダ回路５３２でデコードされ該当のスイッチＳが閉じ、電圧ＶｄｄからＶｂｖ間の電圧がＶａｄから出力される。電圧Ｖａｄが図３１１から図３１４の縦軸である電圧となる。したがって、Ｖｂｖを変化させることにより容易にＶａｄを変化あるいは調整できる。つまり、図３６６に図示するように、縦軸は、Ｖｄｄ電圧をＶｂｖ電圧の範囲となる。以上の図３６４の回路構成は、図３６７に図示するようにＲＧＢごとに設けられる。なお、ＲＧＢのＥＬ素子１５の発光効率のバランスがとれ、ＲＧＢ電流ＩｃがＩｃｒ：Ｉｃｇ：Ｉｃｂ＝１：１：１の時、ホワイトバランスが取れる場合は、ＲＧＢで共通で１つの回路構成（図３６４）でもよいことは言うまでもない。また、ＲとＧ、ＧとＢ、ＢとＲというように複数のＩｃ電流発生回路を共通にしてよい。

【１６７０】

図２３６、図２３７などは電流プログラム回路用に２段のラッチ回路２３６１を有している。本発明のソースドライバＩＣ（回路）１４は電流プログラム回路と、電圧プログラム回路の両方を具備している。したがって、図３６５に図示するように、電圧プログラム

用の２段のラッチ回路３６５１を具備させている。

【１６７１】

図３６４などはアノード電圧ｖｄｄを原点とするものであった。図３７１はアノード電位に該当する電圧も調整できるようにするものである。電子ボリウム４５１の端子Ｖｄｄにオペアンプ７２２ｃからの電圧を印加している。印加する電圧はＶｂｖｈである。電子ボリウム４５１の下限電圧は、Ｖｂｖｌである。したがって、ソース信号線１８に印加される電圧範囲は、図３７２に図示するようにＶｂｖｈ以下Ｖｂｖｌ以上となる。他の事項は他の実施例と同一あるいは類似であるので説明を省略する。

【１６７２】

図３１４でも説明したが、駆動用トランジスタ１１ａなどにはＣで示す立ち上がり電圧がある。立ち上がり電圧以下は黒表示（駆動用トランジスタ１１ａがＥＬ素子１５に電流を供給しない）である。図３７３は、図３１４のＣブランクを発生させる回路である。Ｃブランクの電圧範囲は、Ｐｋデータで調整する。Ｐｋデータは８ビットである。このＰｋデータと階調番号データＤａｔａとが加算回路３７３１で加算される。加算されたデータは９ビットとなり、デコーダ回路５３２に入力され、出コードされて電子ボリウム４５１の該当スイッチＳを閉じさせる。

【１６７３】

図３７４は本発明のソースドライバＩＣ（回路）１４の端子をしめしている。図３７４は図３６７の具現化回路である。８ビットのＲＧＢ階調番号データ（ＤａｔａＲ、ＤａｔａＧ、ＤａｔａＢ）と、ＲＧＢの基準下限電圧（ＶｂｖＲ、ＶｂｖＧ、ＶｂｖＢ）を有している。

【１６７４】

図３７５は図３７１の具現化回路である。８ビットのＲＧＢ階調番号データ（ＤａｔａＲ、ＤａｔａＧ、ＤａｔａＢ）と、ＲＧＢの基準下限電圧（ＶｂｖｌＲ、ＶｂｖｌＧ、ＶｂｖｌＢ）、ＲＧＢの基準上限電圧（ＶｂｖｈＲ、ＶｂｖｈＧ、ＶｂｖｈＢ）を有している。

【１６７５】

以上の実施例は、線順次駆動である。図３０７は点順次駆動の回路構成である。プログラム電圧は点順次回路３０７４で印加する。なお、点順次駆動は、サンプルホールド回路を具備せず、サンプルした電圧（信号）は、ソースドライバＩＣ（回路）１４内でホールドせずに、順次ソース信号線１８に印加し、ソース信号線１８の容量をホールド容量として用いるもの（回路構成）を意味する。

【１６７６】

図３０７において、コントローラＩＣ（回路）８１では機能ブロック３０７１とラインメモリ３０７２を有している。機能ブロック３０７１はガンマ変換回路などを有している。ラインメモリ３０７２はソースドライバＩＣ１４の電流プログラム回路とのタイミングをあわせるものである。したがって、ラインメモリ３０７２でタイミングを合わせて画像データはプリチャージ電圧発生回路３０４１に入力される。プリチャージ電圧発生回路３０４１は複数のＩＣ（＃１、＃２、・・・・・＃ｎ）に印加するプリチャージ電圧を振り分ける機能も有する。以上のように同時に複数のプリチャージ電圧を発生させるのは、点順次駆動でプリチャージ電圧を印加する期間を確保するためである。

【１６７７】

ソースドライバ回路（ＩＣ）１４ではラッチ回路が構成され、印加されるプリチャージ電圧を準備点順次回路３０７４のスイッチ４８１を閉じさせていくことによりソース信号線１８に印加していく。なお、単位電流トランジスタ群５２１ｃなどは図３０５の電流階調回路６５４が該当するので説明を省略する。

【１６７８】

以上の実施例は、コントローラＩＣ８１で実施する方式であった。しかし、プリチャージ電圧の発生は複雑となるので、図３０８に図示するようにプリチャージコントローラＩＣ８１ｂを別途配置することが好ましい。プリチャージコントローラＩＣ８１ｂは、複数

のプリチャージ電圧（ＩＣごとにプリチャージ電圧の印加期間を確保するために１画素行の画像データを分割処理することにより得られる）をＤＡ回路５５１に印加する。ＤＡ回路５５１が各ソースドライバＩＣ１４のプリチャージ電圧を発生する。このプリチャージ電圧が図３０７の点順次回路３０７４に印加される。

【１６７９】

なお、点順次回路３０７４は図３０９に図示するように、４相など複数相に分割してプリチャージ電圧印加期間を確保することが好ましい。

【１６８０】

以上の実施例は、ソースドライバＩＣ１４を介して、プリチャージ電圧を印加するものであったが、本発明はこれに限定するものではない。たとえば、図３１０に図示するようにアレイ７１基板に形成したプリチャージトランジスタ３１０２をオンオフ制御することにより、プリチャージ電圧線３１０１に印加されたプリチャージ電圧をソース信号線１８に印加するように構成してもよいことは言うまでもない。

【１６８１】

以下、本発明のＥＬ表示パネルあるいはＥＬ表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【１６８２】

ＥＬ表示パネルは特にＢの色度が悪いという課題があり、一方でＲの色度が非常によいという事実がある。そのため、画像を表示した場合、表示色が本来の画像と異なってしまう場合がある。図３２６の色度のＸＹ座標において、実線がＮＴＳＣの色範囲である。点線が有機ＥＬの色範囲である。ＮＴＳＣの色再現範囲と有機ＥＬの色再現範囲とがずれているために、特に樹木の緑が多い画像表示において葉が枯葉色になるという課題が発生する。

【１６８３】

この課題を解決する方策が、カラーマネージメント処理である。これは、信号処理により画像の色補正を行うものである。また、色フィルタにより画像の色度を改善する方策も例示される。

【１６８４】

色フィルタによりＥＬ表示パネルの色純度を改善するためには、図３６０に図示するように、表示パネル７１の光出社側に色フィルタ３５８１を配置または構成あるいは形成すればよい。色フィルタは図３６０（ａ）に図示するように、偏光フィルム１０９とパネル７１間に配置または形成してもよい。色フィルタは、シアン色をカットするものを用いることによりＢの色度を改善することができる。色フィルタは、樹脂からなるフィルタの他、光学的干渉多層膜からなる干渉フィルタを用いても良い。なお、色フィルタは、図３６０（ｂ）に図示するように偏光フィルム３５８１上に形成または配置してもよい。

【１６８５】

回路的にカラーマネージメント（色補正処理）を実現するためには、各トランジスタ群５２１から出力されるＲＧＢの単位トランジスタ４８４出力割合を変化させるとよい。有機ＥＬでＢの色度が悪く（一方でＲの色度がよい）、樹木の葉が枯葉になる現象を抑制するためには、Ｂの電流を大きくするか、Ｒの電流を小さくすればよい。

【１６８６】

トランジスタ群５２１ｃの出力電流を調整するためには、図２０８における電流Ｉｃを調整すればよい（ＲＧＢで）。なお、本発明の実施例において本明細書で説明した事項、構成、方法、装置は適用できることは言うまでもない。

【１６８７】

電流Ｉｃを調整する構成は、図３２７に例示している。図３２７（ａ）は８ビットのデータをＤＡ回路５５１でアナログ信号に変換し、オペアンプ７２２ａに入力し、電流Ｉｃを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗Ｒ１で行う。

【１６８８】

図３２７（ｂ）は８ビットのデータをＤＡ回路５５１でアナログ信号に変換し、電流Ｉｃを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗Ｒ１で行う。ただし、図３２７（ｂ）の構成はＤＡ回路５５１の出力電圧に対する電流Ｉｃ変化は非線形となる。

【１６８９】

図３２７（ｃ）は８ビットのデータをＤＡ回路５５１でアナログ信号に変換し、トランジスタ４７２ｂを介して、電流Ｉｃを変化（調整）する構成である。基本的な電流の大きさは外付けあるいは内蔵抵抗Ｒ１で行う。ただし、図３２７（ｂ）の構成はＤＡ回路５５１の出力電圧に対する電流Ｉｃ変化は非線形となる。

【１６９０】

図３２８は電子ボリウム回路４５１を用いた回路構成である。図１９０の電子ボリウム回路４５１の端子電圧ＶｓにＤＡ回路５５１の出力を接続した構成である。他の構成は図１９０、図１７０、図２０８などと同様あるいは類似であるので説明を省略する。つまり、電流Ｉｃは電子ボリウム４５１により切り換えられるとともに、カラーマネージメント処理のＤＡ回路５５１の出力によっても調整することができる。なお、図３２７と図３２８の構成を組み合わせも良いことは言うまでも無い。また、図３２８において電子ボリウム４５１を制御することによりカラーマネージメント処理を実施してもよいことは言うまでのない。

【１６９１】

図３２９は図３２８の変形例である。オペアンプ７２２ａの入力端子ｃに直接電圧Ｖｃを入力できるように構成している。なお、Ｖｃを入力する時は、電子ボリウム４５１はいずれのスイッチＳも選択されずオープンになるように制御される。ＩＣ１４外部からのＶｃ電圧の印加により、容易に電流Ｉｃを制御あるいは調整することができる。

【１６９２】

図３３０は、ＤＡ回路５５１ａの電源電圧ＶｄａをＤＡ回路５５１ｂで変化させることにより、オペアンプ７２２ａの入力端子電圧を変化させるものである。入力端子電圧により出力電流Ｉｃはリニアに変化する。

【１６９３】

図３３０において、ＤＡ回路５５１ａの出力電圧は８ビットのデジタルデータによりリニアに変化し、さらにＤＡ回路５５１ａの出力電圧は、ＤＡ回路５５１ｂの出力電圧によりリニアに変化する。図３３０に回路構成では電流Ｉｃの変化の幅が大きく、かつ変化はリニアであるので構成として好ましい。

【１６９４】

カラーマネージメント処理は、各ＲＧＢの電流により制御する。なお、ＲＧＢの電流とは点灯率で表現することができる（ｄｕｔｙ比は１／１とする）。ｄｕｔｙ比が１／１のとき、点灯率は画像データの総和と最大値から算出することができる。カラーマネージメント処理を実施するときは、点灯率はＲＧＢ個別で求める。つまり、Ｒの点灯率、Ｇの点灯率、Ｂの点灯率を求め（Ｒの消費電流、Ｇの消費電流、Ｂの消費電流を求めていることになる）、一定の割合の範囲、大きさでカラーマネージメント処理を実施する。画面に白表示が多い状態では、ホワイトバランスがとれているため、カラーマネージメント処理は不要だからである。

【１６９５】

図３３１はカラーマネージメント処理方法の説明図である。ｄｕｔｙ比制御は以前にも説明したようにＥＬパネルの消費電流を平均化するために実施している。カラーマネージメント処理は、基準電流Ｉｃの調整により実施している。図３３１では点灯率が高い範囲で、Ｒの基準電流Ｉｃｒを低下させるとともに、Ｂの基準電流Ｉｃｂを増加させている。また、Ｂの基準電流Ｉｃｂは点灯率が中間レベル（３０％～６０％）の範囲でも増加させて調整を行っている。以上の処理によりＥＬ表示装置のカラーマネージメント処理を良好に実現できる。

【１６９６】

図３３２は、点灯率が領域でＲＧＢの基準電流Ｉｃを増加させている。これは、低点灯率で画像のダイナミックレンジを増大させるためである（図８９から図９３およびその説明を参照のこと）。Ｂの点灯率が高い領域でＢの基準電流Ｉｃｂを増大させている点がカラーマネージメント処理である。以上のように、本発明は画像のダイナミック処理とカラーマネージメント処理の両方を基準電流制御により実現できる。

【１６９７】

図３３３はＲの基準電流Ｉｃｒを複数のレベルに制御する方式である。以上のように本発明は基準電流を自由に調整することによりカラーマネージメント処理を実施することができる。

【１６９８】

また、図３３４はＲＧＢの点灯率から基準電流を制御する方式であった。しかし、ＥＬ表示パネルのカラーマネージメント処理は、ＲとＢの電流（Ｉｃｒ、Ｉｃｂ）の割合により制御してもよい。図３３４はその実施例の説明図である。図３３１の横軸の点灯率の替わりにＢ点灯率／Ｒ点灯率（Ｂ消費電流／Ｒ消費電流）としている。Ｂ点灯率／Ｒ点灯率（Ｂ消費電流／Ｒ消費電流）が一定以上になった時に、Ｂ基準電流Ｉｃｒを変化させている。

【１６９９】

同様に、図３３５は、図３３１横軸の点灯率の替わりにＢ点灯率／Ｒ点灯率（Ｂ消費電流／Ｒ消費電流）としている。Ｂ点灯率／（Ｒ点灯率＋Ｇ点灯率）（Ｂ消費電流／（Ｒ消費電流＋Ｇ点灯率））が一定以上になった時に、Ｂ基準電流Ｉｃｒを変化させている。

【１７００】

なお、以上の図３２７から図３３０の構成は、電流Ｉｃの調整あるいは制御する構成である。電流Ｉｃを変化させることによりトランジスタ群５２１ｃの出力電流を変化させることができる。したがって、この構成はカラーマネージメント処理だけでなく、階調制御あるいは、トランジスタ５２１ｃなどの出力電流制御、ホワイトバランス調整回路として用いることができることは言うまでもない。

【１７０１】

また、図３２７から図３３５では基準電流Ｉｃの調整により、カラーマネージメント処理を実施するとしたが、これに限定するものではない。図４１、図１２５、図１３０、図１３１、図１３２の構成あるいは方法では、ｄｕｔｙ比の調整あるいは、各ＲＧＢの非表示領域５１の割合を変化あるいは制御もしくは調整することにより、ＲＧＢの輝度を個別に調整することができる。したがって、これらの構成あるいは方法を用いてカラーマネージメント処理を実施してもよいことは言うまでもない。

【１７０２】

本明細書において、基準電流を変化させるとして説明をした（たとえば、図８９、図９０から図９３、図３３１から図３３６、図３８３、図３８６など）。基準電流を変化させることは、ソース信号線に流れるプログラム電流Iwを変化させることである。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線１８に流れるプログラム電流Iwを可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。なお、本発明は、基準電流を変化することによりソースドライバ回路１４の端子６８１から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できることを特徴としている。

【１７０３】

図１、図２、図３２、図３８、図１１４、図１１３、図１１６、図１１５、図１１７、図３８７などにおいてはプログラム電流IwとＥＬ素子１５に流れる電流Ｉｅは略一致する。したがって、基準電流を可変あるいは制御もしくは調整するとは、駆動用トランジスタあるいはＥＬ素子１５に流れる電流Ｉｅ（Ｉｗ）を可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。ただし、図２６１、図３２３、図３１７ではＥＬ素子１５に流れる電流ＩｅとＩｗとは一致しない。しかし、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線１８に流れるプログラム電流Iwを可変ある

いは制御もしくは調整すると言うことはでき、略比例的にＥＬ素子１５に流れる電流を可変あるいは制御もしくは調整すると置き換えることができることは言うまでもない。

【１７０４】

また、図３０５、図３６２、図３６３で説明したように、基準電流を変化させることは、ソース信号線１８の電位を変化させることである。たとえば、基準電流を増大させるとプログラム電流Ｉｗは比例して（相関して）大きくなり、ソース信号線１８の電位を低下させる（駆動用トランジスタがＰチャンネルの時）。逆に、基準電流を小さくするとプログラム電流Ｉｗは比例して（相関して）小さくなり、ソース信号線１８の電位を上昇させる（駆動用トランジスタがＰチャンネルの時）。したがって、基準電流を可変あるいは制御もしくは調整するとは、ソース信号線１８の電位を、比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御できると置き換えることができる。

【１７０５】

以上のように、点灯率に基づいて、基準電流を変化させると説明しているが、点灯率に基づいて、ソース信号線に流れるプログラム電流Iwを変化させることであり、また、ソース信号線１８に流れるプログラム電流Iwを可変あるいは制御もしくは調整することである。また、ソースドライバ回路１４の端子６８１から出力する電流を比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御することである。また、点灯率もしくはデータ和に基づいて、ソース信号線１８の電位あるいは駆動用トランジスタのゲート端子電位を、比例的に、あるいは一定の割合で、もしくは所定の関係を維持した状態で、変更、調整あるいは可変もしくは制御することである。

【１７０６】

なお、点灯率に基づいてとは、映像信号のデータ和に基づいてとも置き換えることができることは言うまでもない。とくに電流駆動の場合は、映像信号の大きさが画素１６に流れる電流に比例するからである。

【１７０７】

以下、本発明のＥＬ表示パネルまたはＥＬ表示装置もしくはその駆動方法などを用いた装置などについて説明をする。以下の装置は、以前に説明した本発明の装置または方法を実施する。

【１７０８】

図１５８は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図１５８において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【１７０９】

ボデー１５７３の裏面は暗色あるいは黒色にされている。これは、ＥＬ表示パネル（表示装置）１５７４から出射した迷光がボデー１５７３の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（λ／４板など）１０８、偏光板１０９などが配置されている。このことは図１０、図１１でも説明している。

【１７１０】

接眼リング１５８１には拡大レンズ１５８２が取り付けられている。観察者は接眼リング１５８１をボデー１５７３内での挿入位置を可変して、表示パネル１５７４の表示画像５０にピントがあうように調整する。

【１７１１】

また、必要に応じて表示パネル１５７４の光出射側に正レンズ１５８３を配置すれば、拡大レンズ１５８２に入射する主光線を収束させることができる。そのため、拡大レンズ１５８２のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【１７１２】
図１５９はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部１５９２とビデオかメラ本体１５７３と具備し、撮影レンズ部１５９２とビューファインダ部１５７３とは背中合わせとなっている。また、ビューファインダ（図１５８も参照）１５７３には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル１５７４の画像５０を観察する。
【１７１３】
一方、本発明のＥＬ表示パネルは表示モニターとしても使用されている。表示部５０は支点１５９１で角度を自由に調整できる。表示部５０を使用しない時は、格納部１５９３に格納される。
【１７１４】
スイッチ１５９４は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ１５９４は表示モード切り替えスイッチである。スイッチ１５９４は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ１５９４について説明をする。
【１７１５】
本発明の駆動方法の１つにＮ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法がある。この点灯させる期間を変化させることのより、明るさをデジタル的に変更することができる。たとえば、Ｎ＝４として、ＥＬ素子１５には４倍の電流を流す。点灯期間を１／Ｍとし、Ｍ＝１、２、３、４と切り替えれば、１倍から４倍までの明るさ切り替えが可能となる。なお、Ｍ＝１、１．５、２、３、４、５、６などと変更できるように構成してもよい。
【１７１６】
以上の切り替え動作は、携帯電話、モニターなどの電源をオンしたときに、表示画面５０を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとＥＬ素子１５は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンと押すことにより表示輝度を高くできるようの構成しておく。
【１７１７】
したがって、ユーザーがボタン１５９４で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことが好ましい。
【１７１８】
なお、表示画面５０はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して７０％の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、５０％輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したＮ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。
【１７１９】
具体的には、画面の上部と下部ではＭの値と大きくし、中央部でＭの値を小さくする。これは、ゲートドライバ１２のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角０．９）を５０％にした時、１００％輝度の場合に比較して約２０％の低消費電力化が可能である。周辺輝度（画角０．９

）を７０％にした時、１００％輝度の場合に比較して約１５％の低消費電力化が可能である。

【１７２０】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を５０％、６０％、８０％とユーザーなどが設定できるように構成しておくことがこのましい。

【１７２１】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【１７２２】

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が６０Ｈｚの交流で点灯しているとき、ＥＬ表示素子１５がフレームレート６０Ｈｚで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、Ｎ倍パルス駆動（Ｎ倍の電流をＥＬ素子１５に流し、１Ｆの１／Ｍの期間だけ点灯させる方法）において、ＮまたはＭの値を変更できるように構成している。

【１７２３】

以上の機能をスイッチ１５９４で実現できるようにする。スイッチ１５９４は表示画面５０のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【１７２４】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【１７２５】

本実施の形態のＥＬ表示装置などはビデオカメラだけでなく、図１６０に示すような電子カメラ、スチルカメラなどにも適用することができる。表示装置はカメラ本体１６０１に付属されたモニター５０として用いる。カメラ本体１６０１にはシャッタ１６０３の他、スイッチ１５９４が取り付けられている。

【１７２６】

以上は表示パネルの表示領域が比較的小型の場合であるが、３０インチ以上と大型となると表示画面５０がたわみやすい。その対策のため、本発明では図１６１に示すように表示パネルに外枠１６１１をつけ、外枠１６１１をつりさげられるように固定部材１６１４で取り付けている。この固定部材１６１４を用いて、壁などに取り付ける。

【１７２７】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部１６１３を配置し、複数の脚１６１２で表示パネルの重量を保持できるようにしている。

【１７２８】

脚１６１２はＡに示すように左右に移動でき、また、脚１６１２はＢに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【１７２９】

図１６１のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している

。これは、表示パネルの表面に物体があたって破損することを防止することが１つの目的である。保護フィルムの表面にはＡＩＲコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【１７３０】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【１７３１】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【１７３２】

保護フィルムをしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、ＰＶＡフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ＡＢＳなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で０．５ｍｍ以上２．０ｍｍ以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをすることも有効である。

【１７３３】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【１７３４】

本発明の実施例における表示パネルは、３辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に３辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のＮ倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタ１１などは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。つまり、本発明の表示パネルにおいて画素１６を構成するトランジスタ１１はアモルファスシリコン技術で用いて形成したトランジスタであってもよい。また、ゲートドライバ回路１２、ソースドライバ回路１４もアモルファスシリコン技術を用いて形成あるいは構成してもよいことは言うまでもない。

【１７３５】

なお、本発明のＮ倍パルス駆動（図１３、図１６、図１９、図２０、図２２、図２４、図３０など）などは、低温ポリシリコン技術でトランジスタ１１を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ１１を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ１１では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図２２、図２４、図３０のＮ倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。他の本発明も低温ポリシリコンの表示パネルだけでなく、アモルファスシリコンの表示パネル、ＣＯＳの表示パネルにも適用できることは言うまでもない。

【１７３６】

Ｄｕｔｙ比制御駆動、基準電流制御、Ｎ倍パルス駆動、ソースドライバＩＣ（回路）、ゲートドライバ構成など本明細書で記載した本発明の駆動方法および駆動回路などは、有

機ＥＬ表示パネルの駆動方法および駆動回路などに限定されるものではない。図１７３に図示するようにフィールドエミッションディスプレイ（ＦＥＤ）などの他のディスプレイにも適用できることは言うまでもない。

【１７３７】

図１７３のＦＥＤでは基板７１上にマトリックス状に電子を放出する電子放出突起１７３３（図１０では画素電極１０５が該当する）が形成されている。画素には映像信号回路１７３２（図１ではソースドライバ回路１４が該当する）からの画像データを保持する保持回路１７３４が形成されている（図１ではコンデンサが該当する）。また、電子放出突起１７３３の前面には制御電極１７３１が配置されている。制御電極１７３１にはオンオフ制御回路１７３５（図１ではゲートドライバ回路１２が該当する）により電圧信号が印加される。

【１７３８】

図１７３の画素構成で、図１７４に図示するように周辺回路を構成すれば、Ｄｕｔｙ比制御駆動あるいはＮ倍パルス駆動などを実施できる。映像信号回路１７３２からソース信号線１８に画像データ信号が印加される。オンオフ制御回路１７３５ａから選択信号線２１７３に画素１６選択信号が印加され順次画素１６が選択され、画像データが書き込まれる。また、オンオフ制御回路１７３５ｂからオンオフ信号線１７４２にオンオフ信号が印加され、画素のＦＥＤがオンオフ制御（Ｄｕｔｙ比制御）される。

【１７３９】

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、ＰＨＳ、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

【１７４０】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【１７４１】

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、ＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、ＲＧＢの信号器、警報表示灯などにも応用できる。

【１７４２】

また、スキャナの光源としても有機ＥＬ表示パネルは有効である。ＲＧＢのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【１７４３】

また、液晶表示装置のバックライトにも有機ＥＬ表示装置は有効である。ＥＬ表示装置（バックライト）のＲＧＢの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、Ｒ、Ｇ、Ｂ光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

【産業上の利用可能性】

【１７４４】
本発明によれば、各出力端子からの階調出力電流に発生するバラツキを抑制して、良好な画像表示を行うことができ、有用である。
【図面の簡単な説明】
【１７４５】
【図１】本発明の表示パネルの画素構成図である。
【図２】本発明の表示パネルの画素構成図である。
【図３】本発明の表示パネルの動作の説明図である。
【図４】本発明の表示パネルの動作の説明図である。
【図５】本発明の表示装置の駆動方法の説明図である。
【図６】本発明の表示装置の構成図である。
【図７】本発明の表示パネルの製造方法の説明図である。
【図８】本発明の表示装置の構成図である。
【図９】本発明の表示装置の構成図である。
【図１０】本発明の表示パネルの断面図である。
【図１１】本発明の表示パネルの断面図である。
【図１２】本発明の表示パネルの説明図である。
【図１３】本発明の表示装置の駆動方法の説明図である。
【図１４】本発明の表示装置の駆動方法の説明図である。
【図１５】本発明の表示装置の駆動方法の説明図である。
【図１６】本発明の表示装置の駆動方法の説明図である。
【図１７】本発明の表示装置の駆動方法の説明図である。
【図１８】本発明の表示装置の駆動方法の説明図である。
【図１９】本発明の表示装置の駆動方法の説明図である。
【図２０】本発明の表示装置の駆動方法の説明図である。
【図２１】本発明の表示装置の駆動方法の説明図である。
【図２２】本発明の表示装置の駆動方法の説明図である。
【図２３】本発明の表示装置の駆動方法の説明図である。
【図２４】本発明の表示装置の駆動方法の説明図である。
【図２５】本発明の表示装置の駆動方法の説明図である。
【図２６】本発明の表示装置の駆動方法の説明図である。
【図２７】本発明の表示装置の駆動方法の説明図である。
【図２８】本発明の表示装置の駆動方法の説明図である。
【図２９】本発明の表示装置の駆動方法の説明図である。
【図３０】本発明の表示装置の駆動方法の説明図である。
【図３１】本発明の表示装置の駆動方法の説明図である。
【図３２】本発明の表示装置の駆動方法の説明図である。
【図３３】本発明の表示装置の駆動方法の説明図である。
【図３４】本発明の表示装置の構成図である。
【図３５】本発明の表示装置の駆動方法の説明図である。
【図３６】本発明の表示装置の駆動方法の説明図である。
【図３７】本発明の表示装置の構成図である。
【図３８】本発明の表示パネルの画素構成図である。
【図３９】本発明の表示装置の駆動方法の説明図である。
【図４０】本発明の表示装置の構成図である。
【図４１】本発明の表示装置の構成図である。
【図４２】本発明の表示パネルの画素構成図である。
【図４３】本発明の表示パネルの画素構成図である。
【図４４】本発明の表示装置の駆動方法の説明図である。
【図４５】本発明の表示装置の駆動方法の説明図である。

【図４６】本発明の表示装置の駆動方法の説明図である。
【図４７】本発明の駆動回路の説明図である。
【図４８】本発明の駆動回路の説明図である。
【図４９】本発明の駆動回路の説明図である。
【図５０】本発明の駆動回路の説明図である。
【図５１】本発明の駆動回路の説明図である。
【図５２】本発明の駆動回路の説明図である。
【図５３】本発明の駆動回路の説明図である。
【図５４】本発明の駆動回路の説明図である。
【図５５】本発明の駆動回路の説明図である。
【図５６】本発明の駆動回路の説明図である。
【図５７】本発明の駆動回路の説明図である。
【図５８】本発明の駆動回路の説明図である。
【図５９】本発明の駆動回路の説明図である。
【図６０】本発明の駆動回路の説明図である。
【図６１】本発明の駆動回路の説明図である。
【図６２】本発明の駆動回路の説明図である。
【図６３】本発明の駆動回路の説明図である。
【図６４】本発明の駆動回路の説明図である。
【図６５】本発明の駆動回路の説明図である。
【図６６】本発明の駆動回路の説明図である。
【図６７】本発明の駆動回路の説明図である。
【図６８】本発明の駆動回路の説明図である。
【図６９】本発明の駆動回路の説明図である。
【図７０】本発明の駆動回路の説明図である。
【図７１】本発明の駆動回路の説明図である。
【図７２】本発明の駆動回路の説明図である。
【図７３】本発明の駆動回路の説明図である。
【図７４】本発明の駆動回路の説明図である。
【図７５】本発明の表示装置の駆動方法の説明図である。
【図７６】本発明の表示装置の駆動方法の説明図である。
【図７７】本発明の駆動回路の説明図である。
【図７８】本発明の表示装置の駆動方法の説明図である。
【図７９】本発明の表示装置の駆動方法の説明図である。
【図８０】本発明の表示装置の駆動方法の説明図である。
【図８１】本発明の表示装置の駆動方法の説明図である。
【図８２】本発明の表示装置の駆動方法の説明図である。
【図８３】本発明の表示装置の駆動回路の説明図である。
【図８４】本発明の表示装置の駆動回路の説明図である。
【図８５】本発明の表示装置の駆動回路の説明図である。
【図８６】本発明の表示装置の駆動回路の説明図である。
【図８７】本発明の表示装置の駆動回路の説明図である。
【図８８】本発明の表示装置の駆動回路の説明図である。
【図８９】本発明の表示装置の駆動回路の説明図である。
【図９０】本発明の表示装置の駆動回路の説明図である。
【図９１】本発明の表示装置の駆動回路の説明図である。
【図９２】本発明の表示装置の駆動回路の説明図である。
【図９３】本発明の表示装置の駆動回路の説明図である。
【図９４】本発明の表示装置の駆動回路の説明図である。
【図９５】本発明の表示装置の駆動回路の説明図である。

【図９６】本発明の表示装置の駆動回路の説明図である。
【図９７】本発明の表示装置の駆動回路の説明図である。
【図９８】本発明の表示装置の駆動回路の説明図である。
【図９９】本発明の表示装置の駆動回路の説明図である。
【図１００】本発明の表示パネルの駆動方法の説明図である。
【図１０１】本発明の表示パネルの駆動方法の説明図である。
【図１０２】本発明の表示パネルの駆動方法の説明図である。
【図１０３】本発明の表示パネルの駆動方法の説明図である。
【図１０４】本発明の表示パネルの駆動方法の説明図である。
【図１０５】本発明の表示パネルの駆動方法の説明図である。
【図１０６】本発明の表示パネルの駆動方法の説明図である。
【図１０７】本発明の表示パネルの駆動方法の説明図である。
【図１０８】本発明の表示パネルの駆動方法の説明図である。
【図１０９】本発明の表示パネルの駆動方法の説明図である。
【図１１０】本発明の表示パネルの駆動方法の説明図である。
【図１１１】本発明の表示パネルの駆動方法の説明図である。
【図１１２】本発明の表示装置の駆動回路の説明図である。
【図１１３】本発明の表示パネルの画素構成図である。
【図１１４】本発明の表示パネルの画素構成図である。
【図１１５】本発明の表示パネルの画素構成図である。
【図１１６】本発明の表示パネルの画素構成図である。
【図１１７】本発明の表示パネルの画素構成図である。
【図１１８】本発明の表示装置の駆動回路の説明図である。
【図１１９】本発明の表示装置の駆動回路の説明図である。
【図１２０】本発明の表示装置の駆動回路の説明図である。
【図１２１】本発明の表示装置の駆動回路の説明図である。
【図１２２】本発明の表示装置の駆動回路の説明図である。
【図１２３】本発明の表示装置の駆動回路の説明図である。
【図１２４】本発明の表示装置の駆動回路の説明図である。
【図１２５】本発明の表示装置の説明図である。
【図１２６】本発明の表示装置の説明図である。
【図１２７】本発明の表示パネルの駆動方法の説明図である。
【図１２８】本発明の表示パネルの駆動方法の説明図である。
【図１２９】本発明の表示パネルの駆動方法の説明図である。
【図１３０】本発明の表示パネルの駆動方法の説明図である。
【図１３１】本発明の表示パネルの駆動方法の説明図である。
【図１３２】本発明の表示装置の説明図である。
【図１３３】本発明の表示装置の説明図である。
【図１３４】本発明の表示パネルの駆動方法の説明図である。
【図１３５】本発明の表示パネルの駆動方法の説明図である。
【図１３６】本発明の表示パネルの駆動方法の説明図である。
【図１３７】本発明の表示パネルの駆動方法の説明図である。
【図１３８】本発明の表示パネルの駆動方法の説明図である。
【図１３９】本発明の表示パネルの駆動方法の説明図である。
【図１４０】本発明の表示パネルの駆動方法の説明図である。
【図１４１】本発明の表示パネルの駆動方法の説明図である。
【図１４２】本発明の表示パネルの駆動方法の説明図である。
【図１４３】本発明の表示パネルの駆動方法の説明図である。
【図１４４】本発明の表示パネルの駆動方法の説明図である。
【図１４５】本発明の表示パネルの駆動方法の説明図である。

【図１４６】本発明の表示パネルの駆動方法の説明図である。
【図１４７】本発明の表示装置の説明図である。
【図１４８】本発明の表示装置の説明図である。
【図１４９】本発明の表示装置の説明図である。
【図１５０】本発明の表示装置の説明図である。
【図１５１】本発明の表示装置の説明図である。
【図１５２】本発明の表示装置の説明図である。
【図１５３】本発明の表示装置の説明図である。
【図１５４】本発明の表示装置の説明図である。
【図１５５】本発明の表示装置の説明図である。
【図１５６】本発明の表示装置の説明図である。
【図１５７】本発明の表示装置の説明図である。
【図１５８】本発明の表示装置の説明図である。
【図１５９】本発明の表示装置の説明図である。
【図１６０】本発明の表示装置の説明図である。
【図１６１】本発明の表示装置の説明図である。
【図１６２】本発明の表示装置の説明図である。
【図１６３】本発明のソースドライバＩＣ（回路）の説明図である。
【図１６４】本発明のソースドライバＩＣ（回路）の説明図である。
【図１６５】本発明のソースドライバＩＣ（回路）の説明図である。
【図１６６】本発明のソースドライバＩＣ（回路）の説明図である。
【図１６７】本発明のソースドライバＩＣ（回路）の説明図である。
【図１６８】本発明のソースドライバＩＣ（回路）の説明図である。
【図１６９】本発明のソースドライバＩＣ（回路）の説明図である。
【図１７０】本発明のソースドライバＩＣ（回路）の説明図である。
【図１７１】本発明のソースドライバＩＣ（回路）の説明図である。
【図１７２】本発明のソースドライバＩＣ（回路）の説明図である。
【図１７３】本発明の表示装置の説明図である。
【図１７４】本発明の表示装置の説明図である。
【図１７５】本発明のソースドライバＩＣ（回路）の説明図である。
【図１７６】本発明のソースドライバＩＣ（回路）の説明図である。
【図１７７】本発明の電源回路の説明図である。
【図１７８】本発明の電源回路の説明図である。
【図１７９】本発明の電源回路の説明図である。
【図１８０】本発明の電源回路の説明図である。
【図１８１】本発明の電源回路の説明図である。
【図１８２】本発明の電源回路の説明図である。
【図１８３】本発明の電源回路の説明図である。
【図１８４】本発明のソースドライバＩＣ（回路）の説明図である。
【図１８５】本発明のソースドライバＩＣ（回路）の説明図である。
【図１８６】本発明のソースドライバＩＣ（回路）の説明図である。
【図１８７】本発明のソースドライバＩＣ（回路）の説明図である。
【図１８８】本発明のソースドライバＩＣ（回路）の説明図である。
【図１８９】本発明のソースドライバＩＣ（回路）の説明図である。
【図１９０】本発明のソースドライバＩＣ（回路）の説明図である。
【図１９１】本発明のソースドライバＩＣ（回路）の説明図である。
【図１９２】本発明のソースドライバＩＣ（回路）の説明図である。
【図１９３】本発明のソースドライバＩＣ（回路）の説明図である。
【図１９４】本発明の表示装置の説明図である。
【図１９５】本発明の表示装置の説明図である。

【図１９６】本発明の表示装置の説明図である。
【図１９７】本発明の表示装置の説明図である。
【図１９８】本発明の表示装置の説明図である。
【図１９９】本発明の表示装置の説明図である。
【図２００】本発明の表示装置の説明図である。
【図２０１】本発明の表示装置の説明図である。
【図２０２】本発明の表示装置の説明図である。
【図２０３】本発明の表示装置の説明図である。
【図２０４】本発明の表示装置の説明図である。
【図２０５】本発明の表示装置の説明図である。
【図２０６】本発明の表示装置の説明図である。
【図２０７】本発明の表示装置の説明図である。
【図２０８】本発明の表示装置の説明図である。
【図２０９】本発明の表示装置の説明図である。
【図２１０】本発明の表示装置の説明図である。
【図２１１】本発明の表示装置の説明図である。
【図２１２】本発明の表示装置の説明図である。
【図２１３】本発明のソースドライバＩＣ（回路）の説明図である。
【図２１４】本発明のソースドライバＩＣ（回路）の説明図である。
【図２１５】本発明のソースドライバＩＣ（回路）の説明図である。
【図２１６】本発明のソースドライバＩＣ（回路）の説明図である。
【図２１７】本発明のソースドライバＩＣ（回路）の説明図である。
【図２１８】本発明のソースドライバＩＣ（回路）の説明図である。
【図２１９】本発明のソースドライバＩＣ（回路）の説明図である。
【図２２０】本発明のソースドライバＩＣ（回路）の説明図である。
【図２２１】本発明のソースドライバＩＣ（回路）の説明図である。
【図２２２】本発明のソースドライバＩＣ（回路）の説明図である。
【図２２３】本発明の表示装置の説明図である。
【図２２４】本発明の表示装置の説明図である。
【図２２５】本発明の表示装置の説明図である。
【図２２６】本発明の表示装置の説明図である。
【図２２７】本発明の表示装置の説明図である。
【図２２８】本発明の表示装置の説明図である。
【図２２９】本発明のソースドライバＩＣ（回路）の説明図である。
【図２３０】本発明のソースドライバＩＣ（回路）の説明図である。
【図２３１】本発明のソースドライバＩＣ（回路）の説明図である。
【図２３２】本発明のソースドライバＩＣ（回路）の説明図である。
【図２３３】本発明のソースドライバＩＣ（回路）の説明図である。
【図２３４】本発明のソースドライバＩＣ（回路）の説明図である。
【図２３５】本発明の駆動回路の説明図である。
【図２３６】本発明のソースドライバＩＣ（回路）の説明図である。
【図２３７】本発明のソースドライバＩＣ（回路）の説明図である。
【図２３８】本発明のソースドライバＩＣ（回路）の説明図である。
【図２３９】本発明の駆動方法の説明図である。
【図２４０】本発明の駆動方法の説明図である。
【図２４１】本発明の駆動方法の説明図である。
【図２４２】本発明の駆動方法の説明図である。
【図２４３】本発明の駆動方法の説明図である。
【図２４４】本発明の駆動方法の説明図である。
【図２４５】本発明のソースドライバＩＣ（回路）の説明図である。

【図２４６】本発明のソースドライバＩＣ（回路）の説明図である。
【図２４７】本発明のソースドライバＩＣ（回路）の説明図である。
【図２４８】本発明のソースドライバＩＣ（回路）の説明図である。
【図２４９】本発明のソースドライバＩＣ（回路）の説明図である。
【図２５０】本発明のソースドライバＩＣ（回路）の説明図である。
【図２５１】本発明のソースドライバＩＣ（回路）の説明図である。
【図２５２】本発明のソースドライバＩＣ（回路）の説明図である。
【図２５３】本発明の駆動回路の説明図である。
【図２５４】本発明の駆動回路の説明図である。
【図２５５】本発明の表示パネルの説明図である。
【図２５６】本発明の表示パネルの説明図である。
【図２５７】本発明の表示パネルの説明図である。
【図２５８】本発明の表示パネルの説明図である。
【図２５９】本発明の表示パネルの説明図である。
【図２６０】本発明の表示パネルの説明図である。
【図２６１】本発明の表示パネルの説明図である。
【図２６２】本発明の表示パネルの説明図である。
【図２６３】本発明の表示パネルの説明図である。
【図２６４】本発明の表示パネルの説明図である。
【図２６５】本発明の表示パネルの説明図である。
【図２６６】本発明の表示パネルの説明図である。
【図２６７】本発明の表示パネルの説明図である。
【図２６８】本発明の表示パネルの説明図である。
【図２６９】本発明の表示パネルの説明図である。
【図２７０】本発明の表示パネルの説明図である。
【図２７１】本発明の表示パネルの説明図である。
【図２７２】本発明の表示パネルの駆動回路の説明図である。
【図２７３】本発明の表示パネルの駆動回路の説明図である。
【図２７４】本発明の表示パネルの駆動方法の説明図である。
【図２７５】本発明の表示パネルの駆動方法の説明図である。
【図２７６】本発明の表示パネルの駆動方法の説明図である。
【図２７７】本発明の表示パネルの駆動方法の説明図である。
【図２７８】本発明の表示パネルの駆動方法の説明図である。
【図２７９】本発明の表示パネルの駆動方法の説明図である。
【図２８０】本発明の表示パネルの駆動方法の説明図である。
【図２８１】本発明の表示パネルの駆動方法の説明図である。
【図２８２】本発明の表示パネルの駆動方法の説明図である。
【図２８３】本発明の表示パネルの駆動方法の説明図である。
【図２８４】本発明の表示パネルの駆動方法の説明図である。
【図２８５】本発明の表示パネルの駆動方法の説明図である。
【図２８６】本発明の表示パネルの駆動方法の説明図である。
【図２８７】本発明の表示パネルの駆動方法の説明図である。
【図２８８】本発明の表示パネルの駆動方法の説明図である。
【図２８９】本発明の表示パネルの駆動方法の説明図である。
【図２９０】本発明の表示パネルの駆動方法の説明図である。
【図２９１】本発明の表示パネルの駆動方法の説明図である。
【図２９２】本発明の表示パネルの駆動方法の説明図である。
【図２９３】本発明の表示パネルの駆動方法の説明図である。
【図２９４】本発明の表示パネルの駆動方法の説明図である。
【図２９５】本発明の表示パネルの駆動方法の説明図である。

【図２９６】本発明の表示パネルの駆動方法の説明図である。
【図２９７】本発明の表示パネルの駆動方法の説明図である。
【図２９８】本発明の表示パネルの駆動方法の説明図である。
【図２９９】本発明の表示パネルの駆動方法の説明図である。
【図３００】本発明の表示パネルの駆動方法の説明図である。
【図３０１】本発明の表示パネルの駆動方法の説明図である。
【図３０２】本発明の表示パネルの駆動方法の説明図である。
【図３０３】本発明の表示パネルの駆動方法の説明図である。
【図３０４】本発明の表示パネルの駆動方法の説明図である。
【図３０５】本発明の表示パネルの駆動方法の説明図である。
【図３０６】本発明の表示パネルの駆動方法の説明図である。
【図３０７】本発明の表示パネルの駆動方法の説明図である。
【図３０８】本発明の表示パネルの駆動方法の説明図である。
【図３０９】本発明の表示パネルの駆動方法の説明図である。
【図３１０】本発明の表示パネルの説明図である。
【図３１１】本発明の表示パネルの駆動方法の説明図である。
【図３１２】本発明の表示パネルの駆動方法の説明図である。
【図３１３】本発明の表示パネルの駆動方法の説明図である。
【図３１４】本発明の表示パネルの駆動方法の説明図である。
【図３１５】本発明の表示パネルの説明図である。
【図３１６】本発明の表示パネルの説明図である。
【図３１７】本発明の表示パネルの説明図である。
【図３１８】本発明の表示パネルの説明図である。
【図３１９】本発明の表示パネルの説明図である。
【図３２０】本発明の表示パネルの説明図である。
【図３２１】本発明の表示パネルの説明図である。
【図３２２】本発明の表示パネルの説明図である。
【図３２３】本発明の表示パネルの説明図である。
【図３２４】本発明の表示パネルの説明図である。
【図３２５】本発明の表示パネルの説明図である。
【図３２６】本発明の表示パネルの説明図である。
【図３２７】本発明のドライバＩＣ（回路）の説明図である。
【図３２８】本発明のドライバＩＣ（回路）の説明図である。
【図３２９】本発明のドライバＩＣ（回路）の説明図である。
【図３３０】本発明のドライバＩＣ（回路）の説明図である。
【図３３１】本発明の表示パネルの駆動方法の説明図である。
【図３３２】本発明の表示パネルの駆動方法の説明図である。
【図３３３】本発明の表示パネルの駆動方法の説明図である。
【図３３４】本発明の表示パネルの駆動方法の説明図である。
【図３３５】本発明の表示パネルの駆動方法の説明図である。
【図３３６】本発明の表示パネルの駆動方法の説明図である。
【図３３７】本発明のドライバＩＣ（回路）の説明図である。
【図３３８】本発明のドライバＩＣ（回路）の説明図である。
【図３３９】本発明の表示パネルの説明図である。
【図３４０】本発明の表示パネルの説明図である。
【図３４１】本発明の表示パネルの駆動方法の説明図である。
【図３４２】本発明の表示パネルの駆動方法の説明図である。
【図３４３】本発明の表示パネルの駆動方法の説明図である。
【図３４４】本発明のドライバＩＣ（回路）の説明図である。
【図３４５】本発明のドライバＩＣ（回路）の説明図である。

【図３４６】本発明のドライバＩＣ（回路）の説明図である。
【図３４７】本発明のドライバＩＣ（回路）の説明図である。
【図３４８】本発明のドライバＩＣ（回路）の説明図である。
【図３４９】本発明のドライバＩＣ（回路）の説明図である。
【図３５０】本発明のドライバＩＣ（回路）の説明図である。
【図３５１】本発明のドライバＩＣ（回路）の説明図である。
【図３５２】本発明のドライバＩＣ（回路）の説明図である。
【図３５３】本発明のドライバＩＣ（回路）の説明図である。
【図３５４】本発明のドライバＩＣ（回路）の説明図である。
【図３５５】本発明のドライバＩＣ（回路）の説明図である。
【図３５６】本発明の表示パネルの駆動方法の説明図である。
【図３５７】本発明の表示パネルの駆動方法の説明図である。
【図３５８】本発明の表示パネルの駆動方法の説明図である。
【図３５９】本発明の表示パネルの駆動方法の説明図である。
【図３６０】本発明の表示パネルの説明図である。
【図３６１】本発明の表示パネルの説明図である。
【図３６２】本発明の表示パネルの説明図である。
【図３６３】本発明の表示パネルの駆動方法の説明図である。
【図３６４】本発明のドライバＩＣ（回路）の説明図である。
【図３６５】本発明の表示パネルの説明図である。
【図３６６】本発明のドライバＩＣ（回路）の説明図である。
【図３６７】本発明のドライバＩＣ（回路）の説明図である。
【図３６８】本発明のドライバＩＣ（回路）の説明図である。
【図３６９】本発明のドライバＩＣ（回路）の説明図である。
【図３７０】本発明のドライバＩＣ（回路）の説明図である。
【図３７１】本発明のドライバＩＣ（回路）の説明図である。
【図３７２】本発明のドライバＩＣ（回路）の説明図である。
【図３７３】本発明のドライバＩＣ（回路）の説明図である。
【図３７４】本発明のドライバＩＣ（回路）の説明図である。
【図３７５】本発明のドライバＩＣ（回路）の説明図である。
【図３７６】本発明の表示パネルの説明図である。
【図３７７】本発明の表示パネルの説明図である。
【図３７８】本発明の表示パネルの説明図である。
【図３７９】本発明の表示パネルの説明図である。
【図３８０】本発明の表示パネルの説明図である。
【図３８１】本発明の表示パネルの駆動方法の説明図である。
【図３８２】本発明の表示パネルの駆動方法の説明図である。
【図３８３】本発明の表示パネルの駆動方法の説明図である。
【図３８４】本発明の表示パネルの駆動方法の説明図である。
【図３８５】本発明の表示パネルの説明図である。
【図３８６】本発明の表示パネルの駆動方法の明図である。
【図３８７】本発明の表示パネルの説明図である。
【図３８８】本発明の表示パネルの説明図である。
【図３８９】本発明のドライバＩＣ（回路）の説明図である。
【図３９０】本発明のドライバＩＣ（回路）の説明図である。
【図３９１】本発明のドライバＩＣ（回路）の説明図である。
【図３９２】本発明のドライバＩＣ（回路）の説明図である。
【図３９３】本発明の表示パネルの説明図である。
【図３９４】本発明の表示パネルの説明図である。
【図３９５】本発明の表示パネルの説明図である。

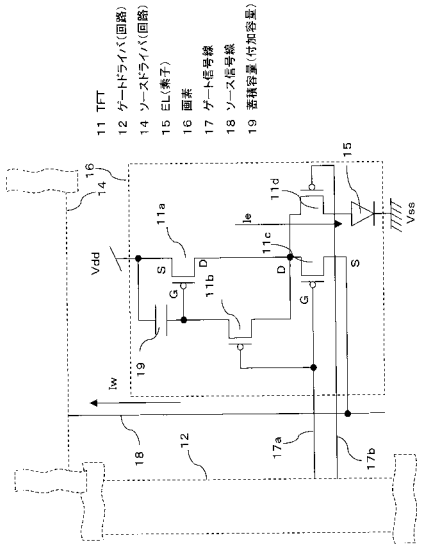
【図３９６】本発明の表示パネルの説明図である。
【図３９７】本発明の表示パネルの説明図である。
【図３９８】本発明の表示パネルの説明図である。
【図３９９】本発明のドライバＩＣ（回路）の説明図である。
【図４００】本発明のドライバＩＣ（回路）の説明図である。
【図４０１】本発明のドライバＩＣ（回路）の説明図である。
【図４０２】本発明のドライバＩＣ（回路）の説明図である。
【図４０３】本発明のドライバＩＣ（回路）の説明図である。
【図４０４】本発明の表示パネルの説明図である。
【図４０５】本発明の表示パネルの説明図である。
【図４０６】本発明の表示パネルの説明図である。
【図４０７】本発明の表示パネルの説明図である。
【図４０８】本発明の表示パネルの説明図である。
【符号の説明】
【１７４６】
１１　トランジスタ（薄膜トランジスタ）
１２　ゲートドライバＩＣ（回路）
１４　ソースドライバＩＣ（回路）
１５　ＥＬ（素子）（発光素子）
１６　画素
１７　ゲート信号線
１８　ソース信号線
１９　蓄積容量（付加コンデンサ、付加容量）
５０　表示画面
５１　書き込み画素（行）
５２　非表示画素（非表示領域、非点灯領域）
５３　表示画素（表示領域、点灯領域）
６１　シフトレジスタ
６２　インバータ
６３　出力バッファ
７１　アレイ基板（表示パネル）
７２　レーザー照射範囲（レーザースポット）
７３　位置決めマーカー
７４　ガラス基板（アレイ基板）
８１　コントロールＩＣ（回路）
８２　電源ＩＣ（回路）
８３　プリント基板
８４　フレキシブル基板
８５　封止フタ
８６　カソード配線
８７　アノード配線（Ｖｄｄ）
８８　データ信号線
８９　ゲート制御信号線
１０１　土手（リブ）
１０２　層間絶縁膜
１０４　コンタクト接続部
１０５　画素電極
１０６　カソード電極
１０７　乾燥剤
１０８　λ／４板

１０９　偏光板
１１１　薄膜封止膜
２７１　ダミー画素（行）
３４１　出力段回路
３７１　ＯＲ回路
４０１　点灯制御線
４７１　逆バイアス線
４７２　ゲート電位制御線
４５１　電子ボリウム回路
４５２　トランジスタのＳＤ（ソース－ドレイン）ショート
４７１、４７２、４７３　電流源（トランジスタ）
４８１　スイッチ（オンオフ手段）
４８４　電流源（単位トランジスタ）
４８３　内部配線
４９１　電子ボリウム
５２１　トランジスタ群
５３１　抵抗
５３２　デコーダ回路
５３３　レベルシフタ回路
５４１　嵩上げ回路
５５１　Ｄ／Ａ変換器
５５２　オペアンプ
５６１　アナログスイッチ
５６２　インバータ
５８１　ゲート配線
６３１　スリープスイッチ（基準電流オンオフ手段）
６５１　カウンタ
６５２　ＮＯＲ
６５３　ＡＮＤ
６５４　電流出力回路
６５５　スイッチ
６７１　一致回路
６８１　入出力パッド
６９１　基準電流回路
６９２　電流制御回路
７０１　温度検出手段
７０２　温度制御回路
７１１　単位ゲート出力回路
１１２１　コイル（トランス）
１１２２　制御回路
１１２３　ダイオード
１１２４　コンデンサ
１１２５　抵抗
１１２６　トランジスタ
１１３１　切り替え回路（アナログスイッチ）
１２５１　出力切り替え回路
１２５２　切り替えスイッチ
１５０１　アナログスイッチ
１５０２　スイッチ制御線
１５０３　接続配線

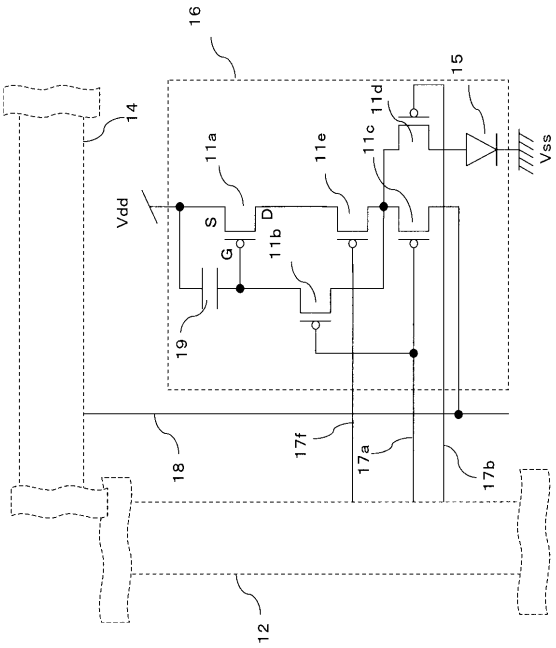
１５０４　緩衝シート（板）
１５２１　インバータ
１５２２　接続端子
１５７１　アンテナ
１５７２　キー
１５７３　筐体
１５７４　表示パネル
１５８１　接眼リング
１５８２　拡大レンズ
１５８３　凸レンズ
１５９１　支点（回転部）
１５９２　撮影レンズ
１５９３　格納部
１５９４　スイッチ
１６０１　本体
１６０２　撮影部
１６０３　シャッタスイッチ
１６１１　取り付け枠
１６１２　脚
１６１３　取り付け台
１６１４　固定部
１７３１　制御電極
１７３２　映像信号回路
１７３３　電子放出突起
１７３４　保持回路
１７３５　オンオフ制御回路
１７４１　選択信号線
１７４２　オンオフ信号線
１７８１　スイッチ
１７８３　電源回路
１８２１　スイッチ
１８３１　抵抗
１９０１　基準電流回路
２０４１　サンプリングポイント
２０５１　ＳＵＭ回路
２０５２　比較回路
２０６１　シャーシ
２０６２　操作ボタン
２０６３　チップ部品
２１７１　ダミートランジスタ
２１８１　サブトランジスタ
２３５１　プリチャージ制御回路
２３６１　ラッチ回路
２３６２　セレクタ回路
２３６３　プリチャージ回路
２４５１　切断点（分離箇所）
２５６１　スイッチ（接続手段）
２５７１　選択単位トランジスタ
２６８１　アノード配線
２６８２　カソード配線

２６８３　カスケード端子
２６８４　カスケード配線
２７２１　保護ダイオード
２７２２　サージ低減抵抗
３０４１　プリチャージ電圧源
３０６１　電圧出力回路
３０７１　機能ブロック
３０７２　ラインメモリ
３０７３　ラッチ回路
３０７４　点順次回路（シフトレジスタ回路）
３２７１　基準電流回路
３４１１　プリチャージパルス
３４４１　ウエハ
３４４２　特性分布
３４６１　ドーピングヘッド
３４６２　レーザーヘッド
３５８１　色フィルタ（干渉フィルタ、干渉膜）
３７３１　加算回路
３８５１　金属薄膜（導電材料）
３８８１　光吸収膜（光吸収材）
３８８２　光（光の軌跡）
３８９１　ラダー抵抗（抵抗アレイ）
３８９２　スイッチ回路
３８９３　電圧入出力端子
３９４１　ＤＣＤＣコンバータ（電圧昇圧回路）
３９４３　レギュレータ（定電圧出力回路）
４０２１　可変増幅器
４０２２　サンプリング回路

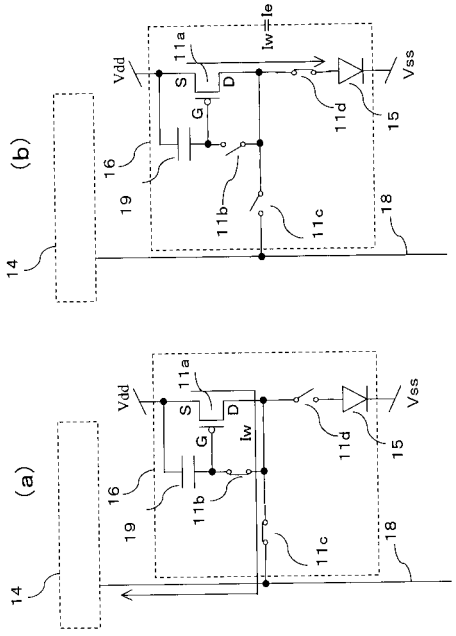
【図１】


11 TFT
12 ゲートドライバ(回路)
14 ソースドライバ(回路)
15 EL(素子)
16 画素
17 ゲート信号線
18 ソース信号線
19 蓄積容量(付加容量)
Vdd
Vss
Iw
Ie
S
D
G

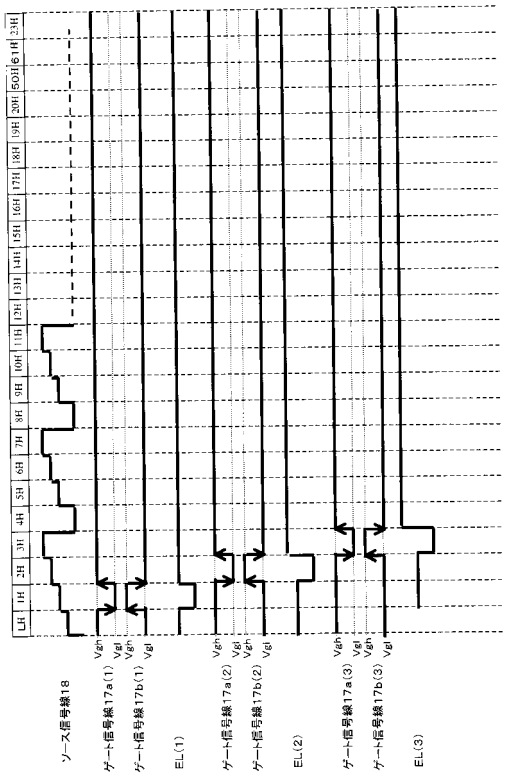
【図２】


Vdd
Vss
S
D
G

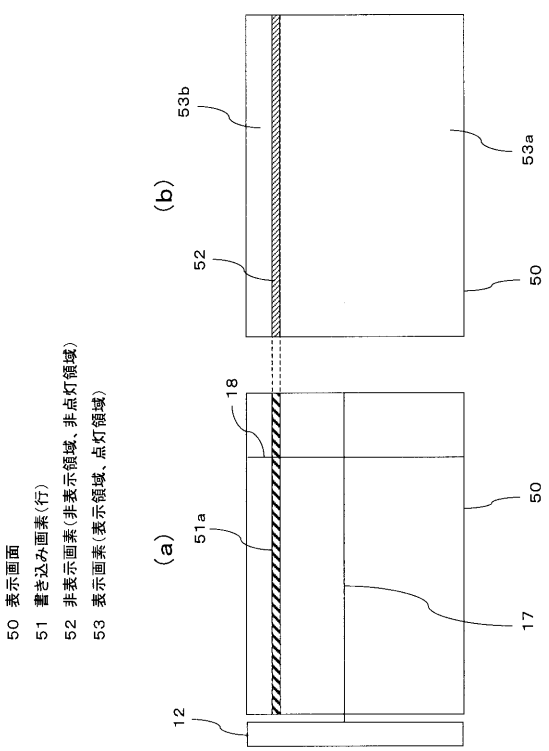
【図３】


(a)
(b)
Iw=Ie
Vdd
Vss

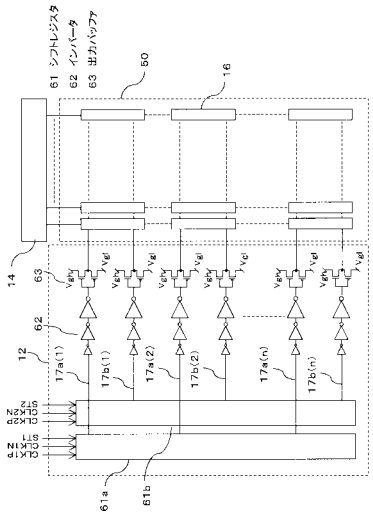
【図４】


ソース信号線18
ゲート信号線17a(1)
ゲート信号線17b(1)
EL(1)
ゲート信号線17a(2)
ゲート信号線17b(2)
EL(2)
ゲート信号線17a(3)
ゲート信号線17b(3)
EL(3)

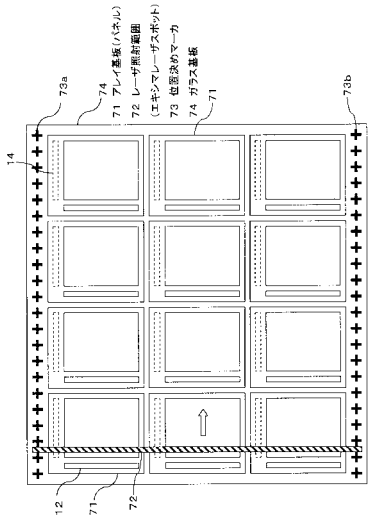
【図５】


50 表示画面
51 書き込み画素(行)
52 非表示画素(非表示領域、非点灯領域)
53 表示画素(表示領域、点灯領域)
(a)
(b)
12
17
18
50
51a
52
53a
53b

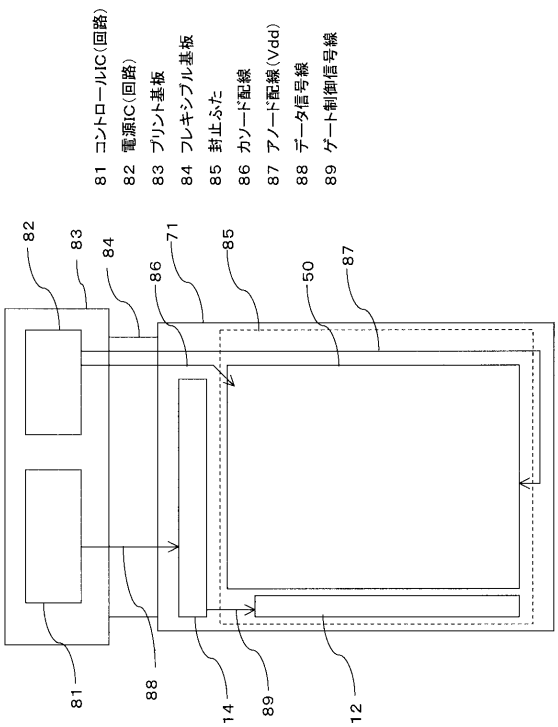
【図６】


61 シフトレジスタ
62 インバータ
63 出力バッファ
12
14
16
50
61a
61b
17a(1)
17b(1)
17a(2)
17b(2)
17a(n)
17b(n)

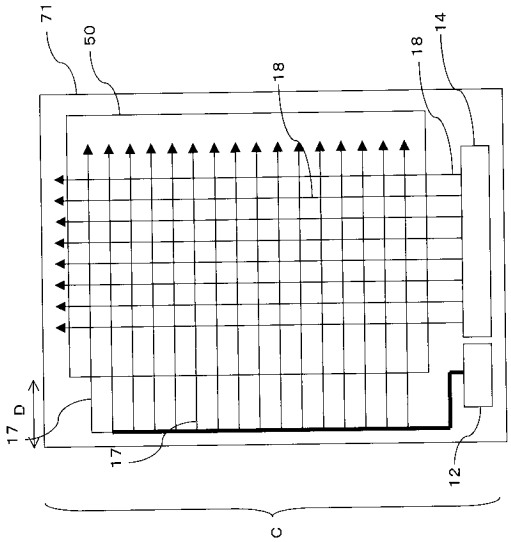
【図７】


71 アレイ基板(パネル)
72 レーザ照射範囲
(エキシマレーザスポット)
73 位置決めマーカ
74 ガラス基板
12
14
71
72
73a
73b
74

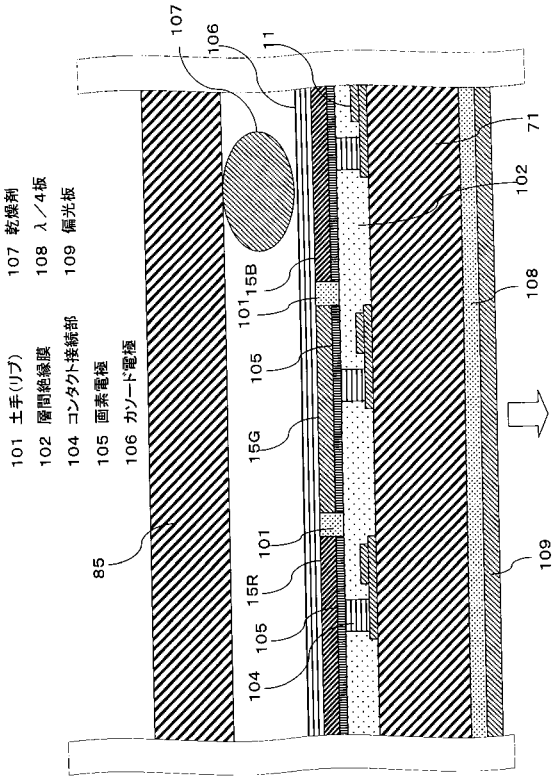
【図８】


81 コントロールIC(回路)
82 電源IC(回路)
83 プリント基板
84 フレキシブル基板
85 封止ふた
86 カソード配線
87 アノード配線(Vdd)
88 データ信号線
89 ゲート制御信号線
12
14
50
71
81
82
83
84
85
86
87
88
89

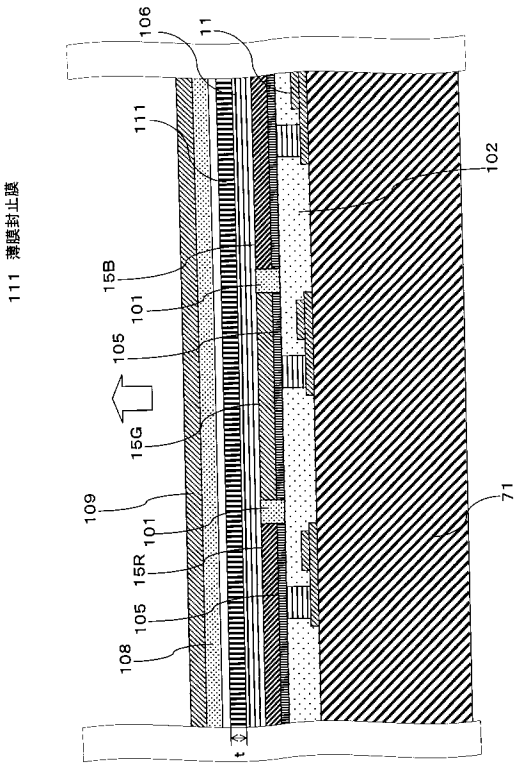
【図９】



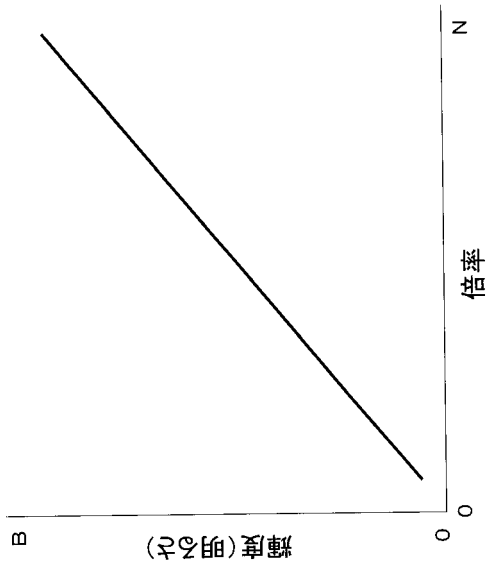
【図１０】



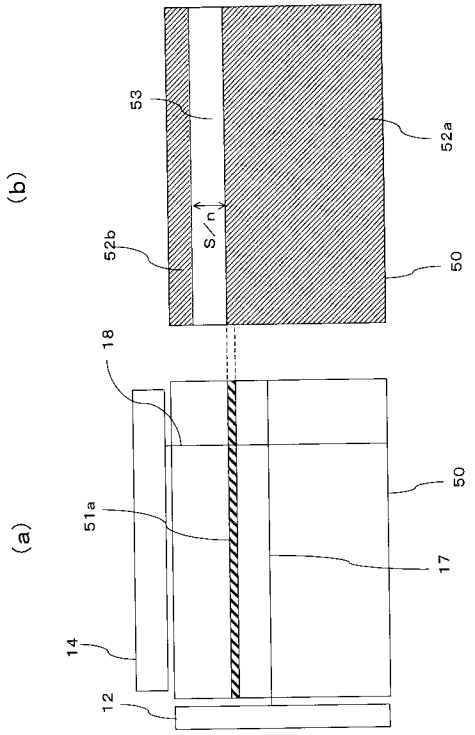
【図１１】



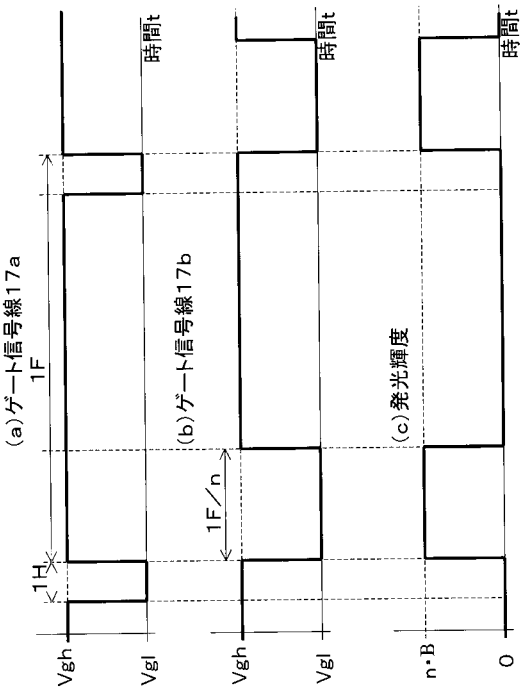
【図１２】



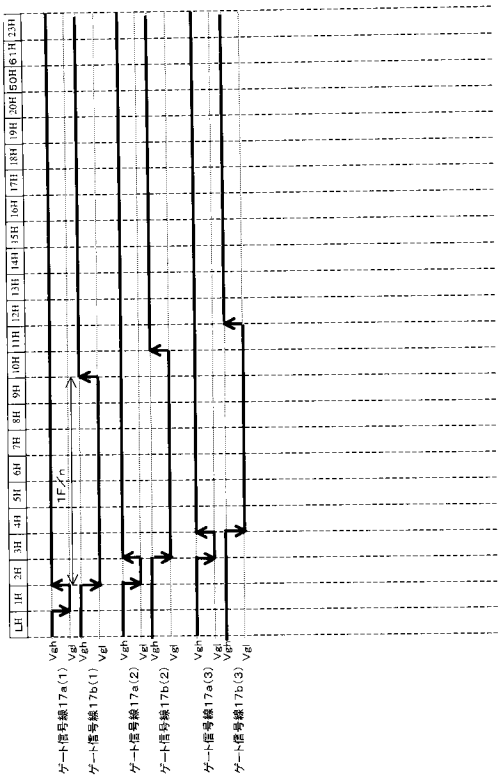
【図１３】



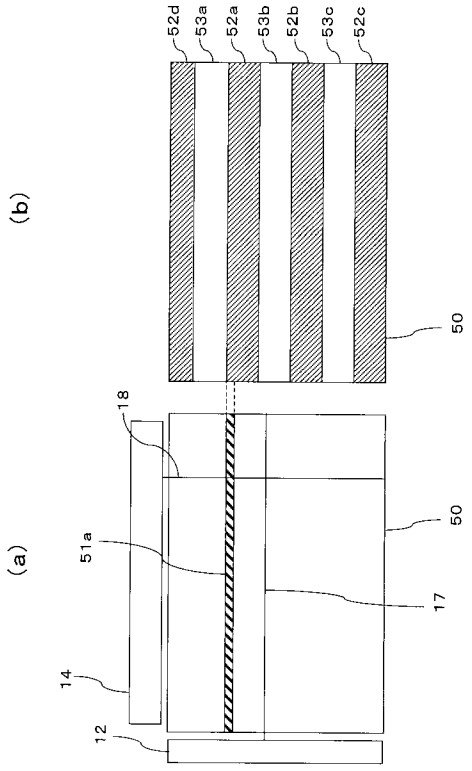
【図１４】



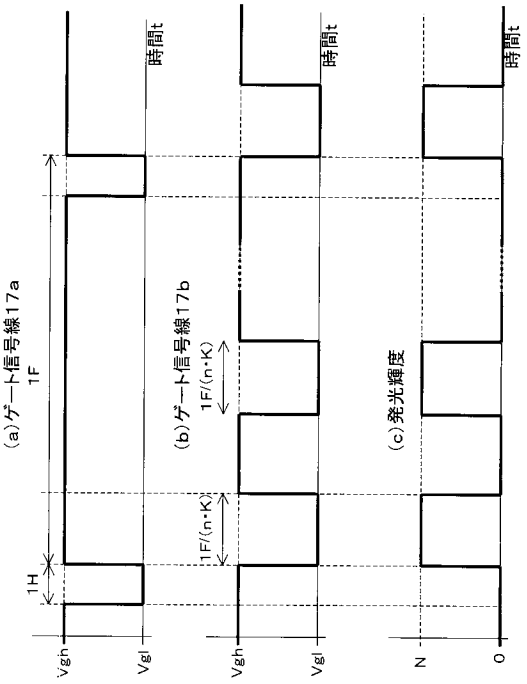
【図１５】



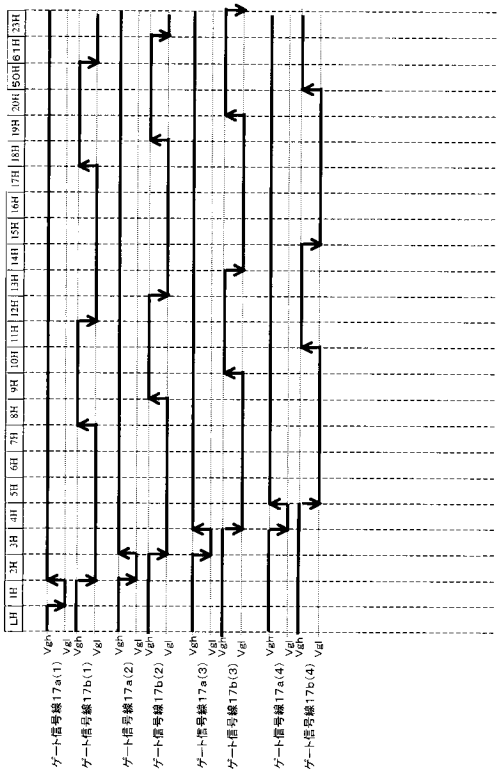
【図１６】



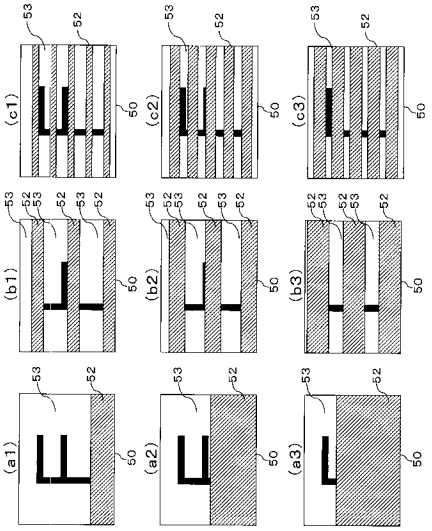
【図１７】



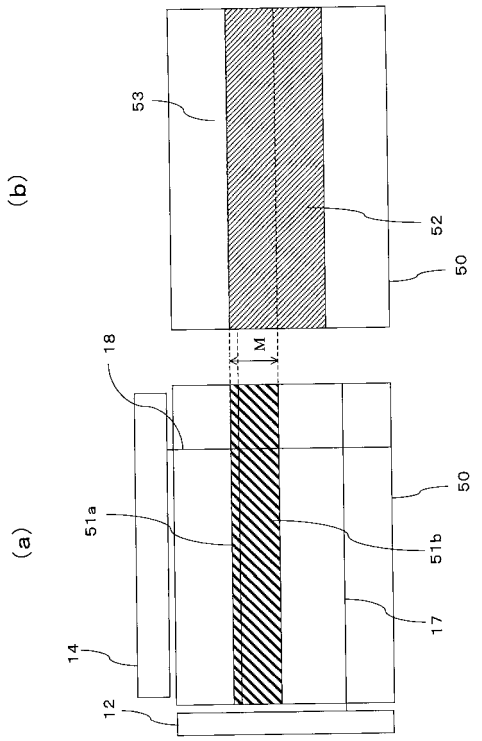
【図１８】



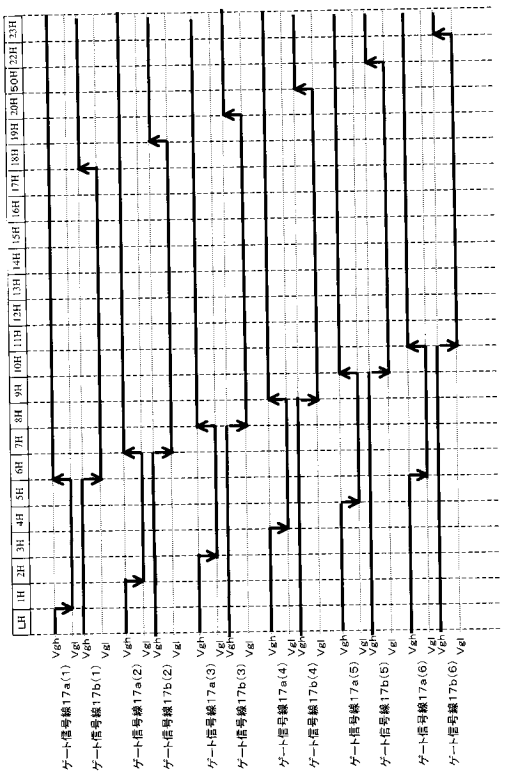
【図１９】



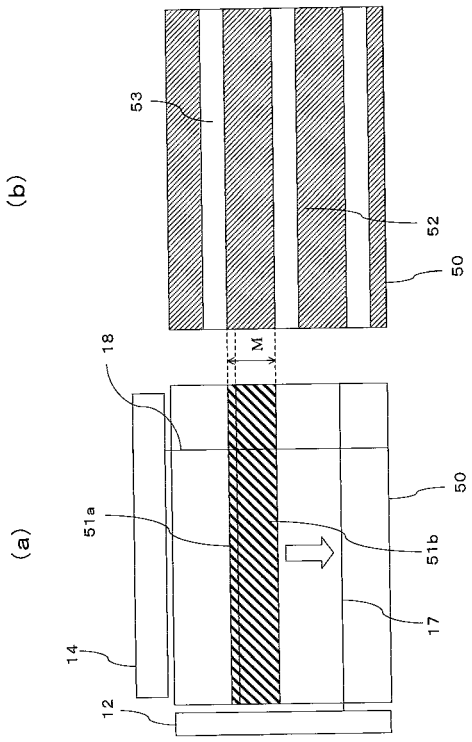
【図２０】



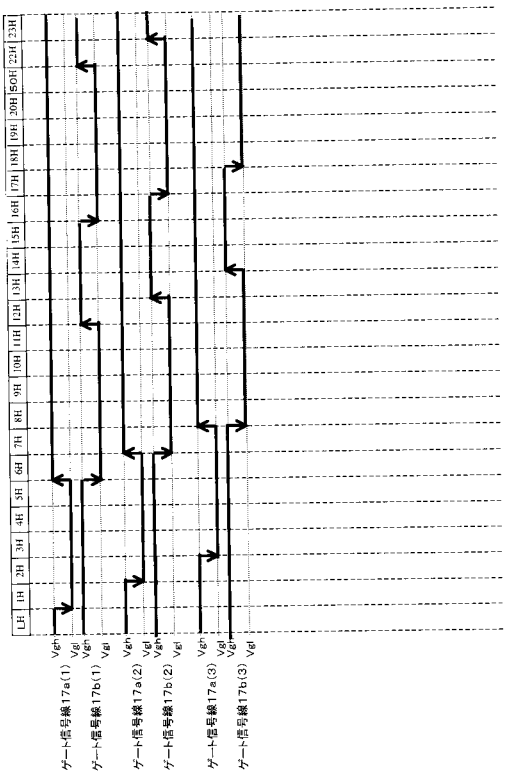
【図２１】



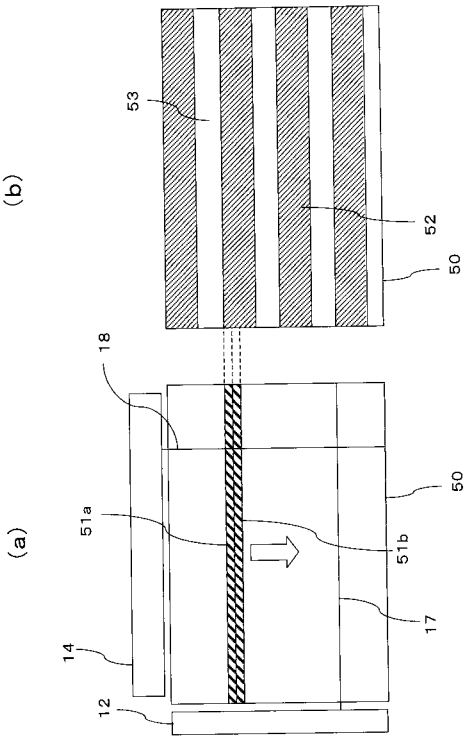
【図２２】



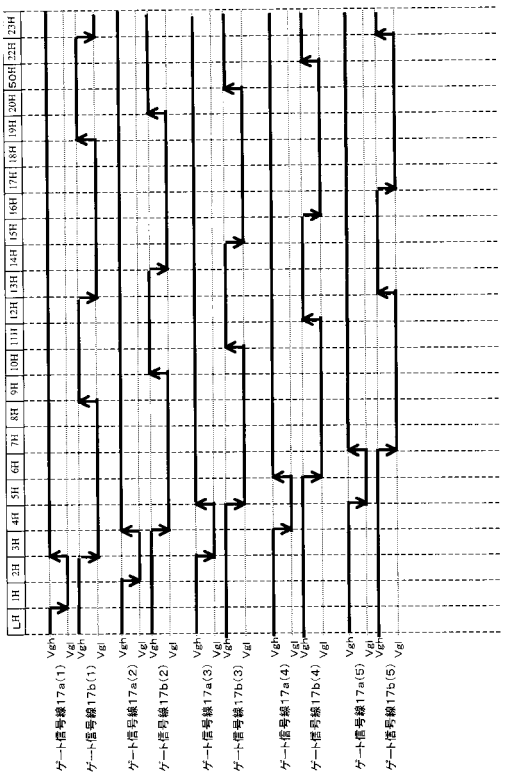
【図２３】



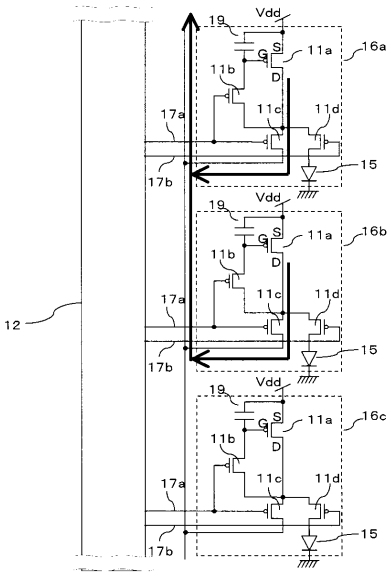
【図２４】



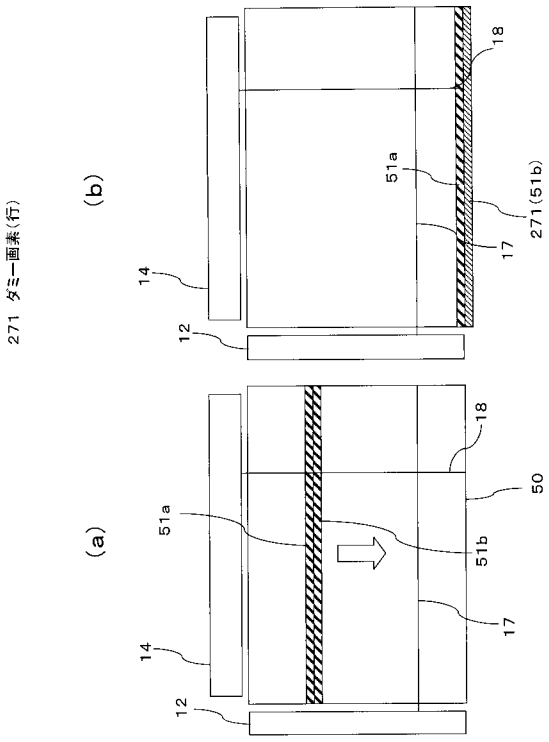
【図２５】



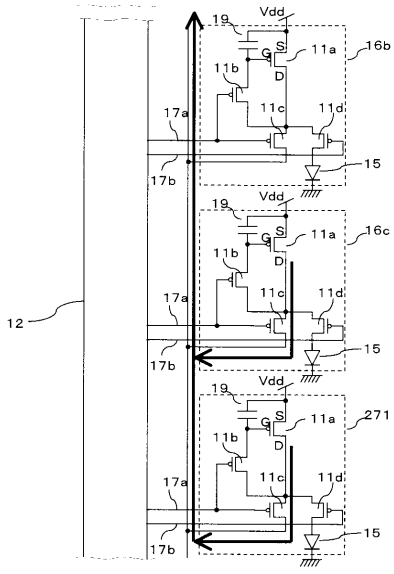
【図２６】



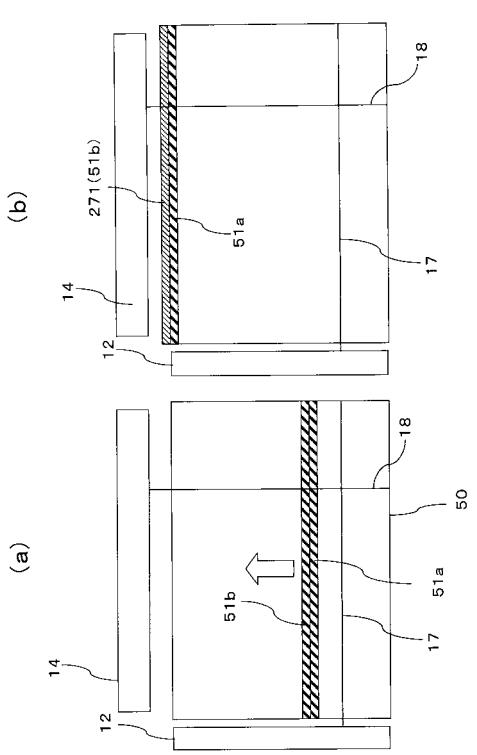
【図２７】



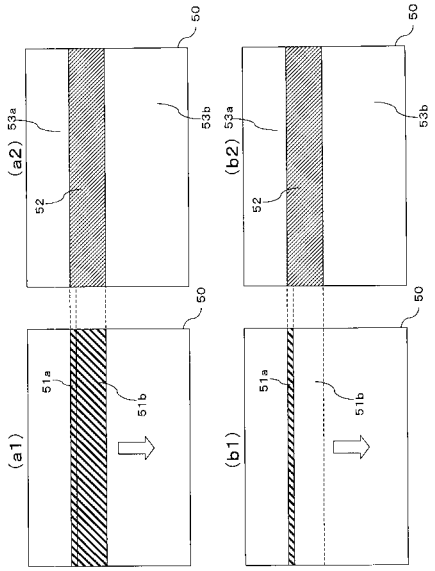
【図２８】



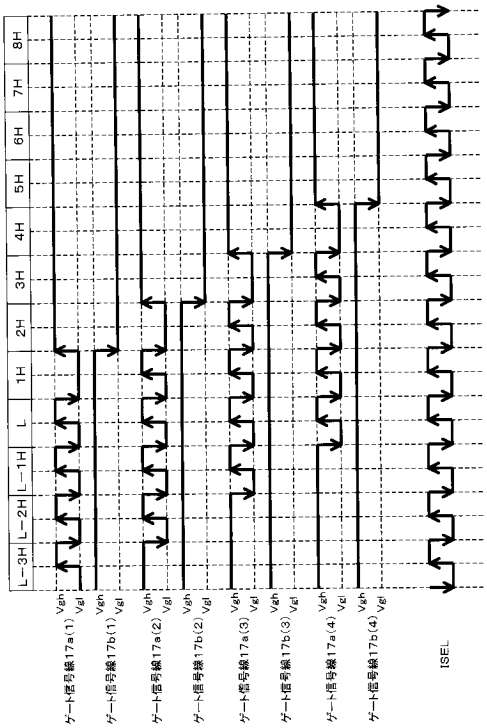
【図２９】



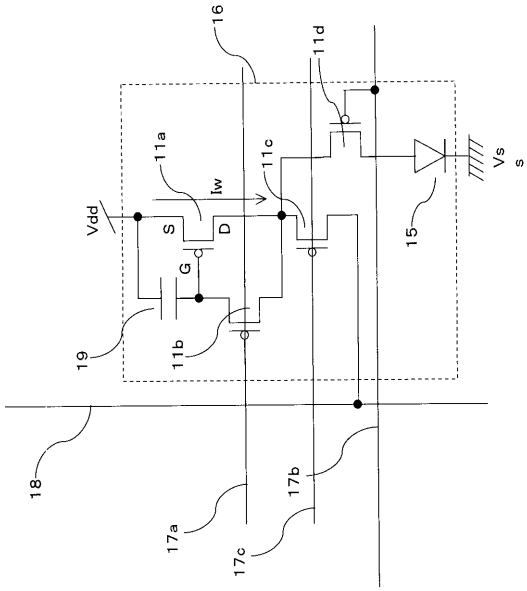
【図３０】



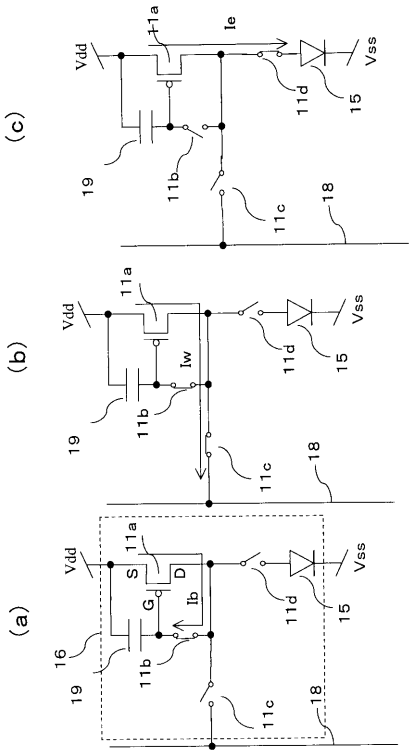
【図３１】



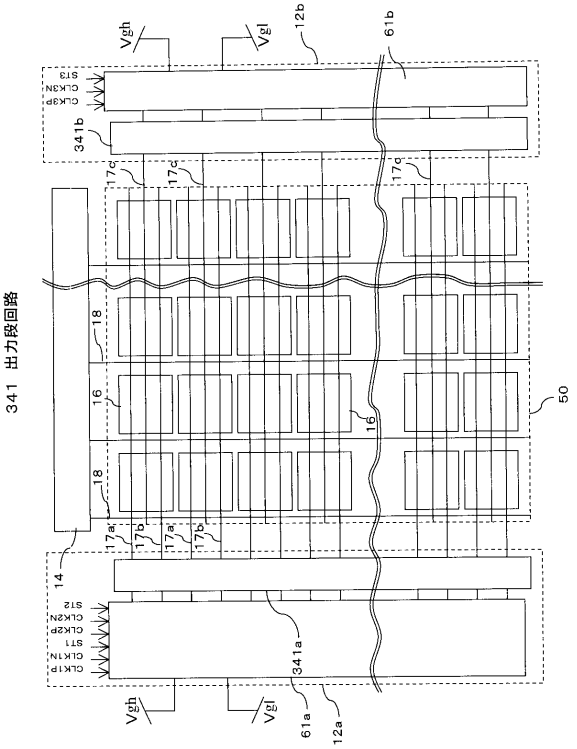
【図３２】



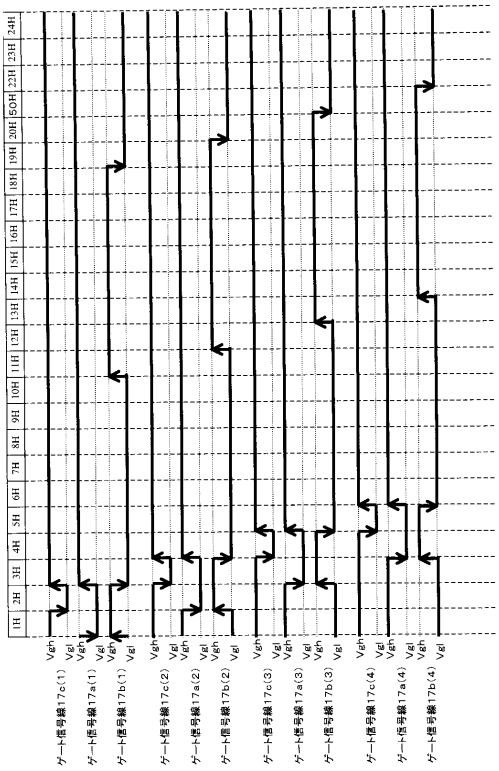
【図３３】



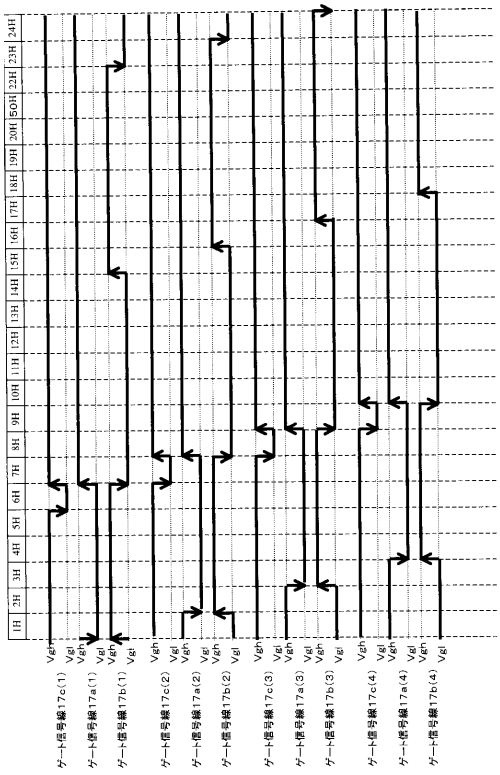
【図３４】



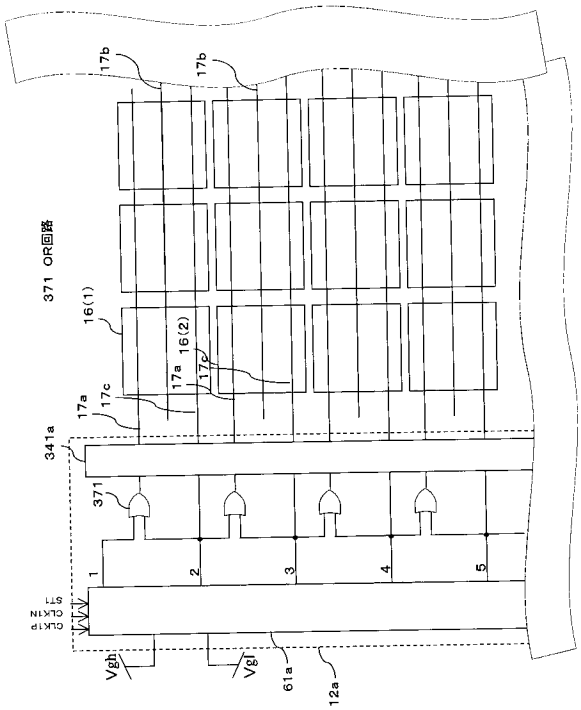
【図３５】



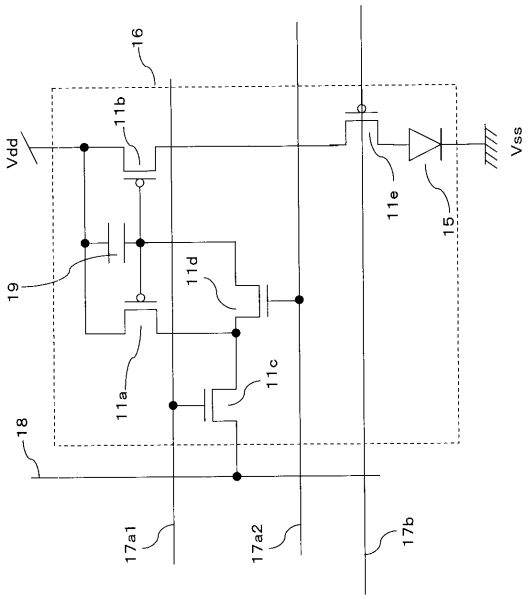
【図３６】



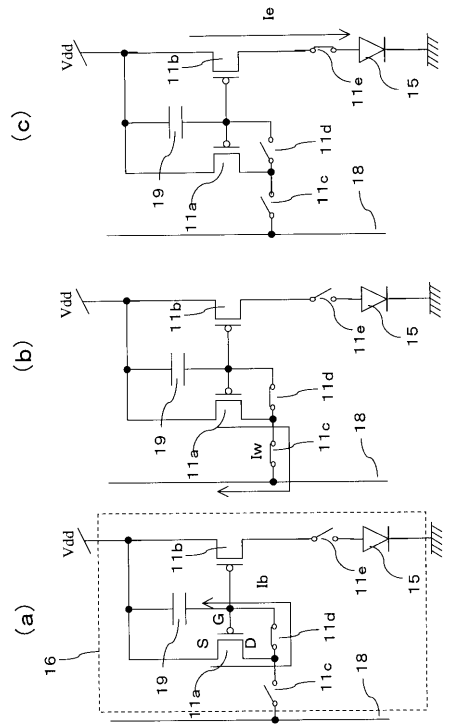
【図３７】



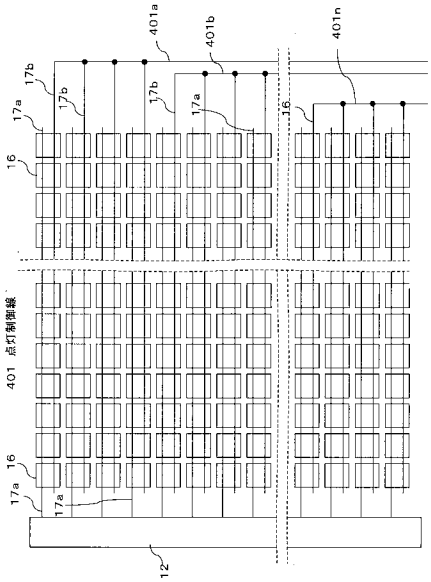
【図３８】



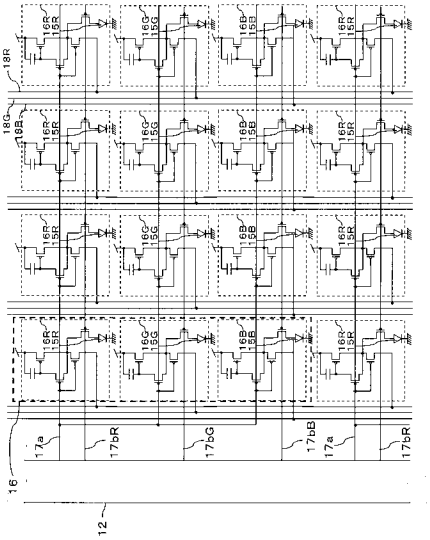
【図３９】



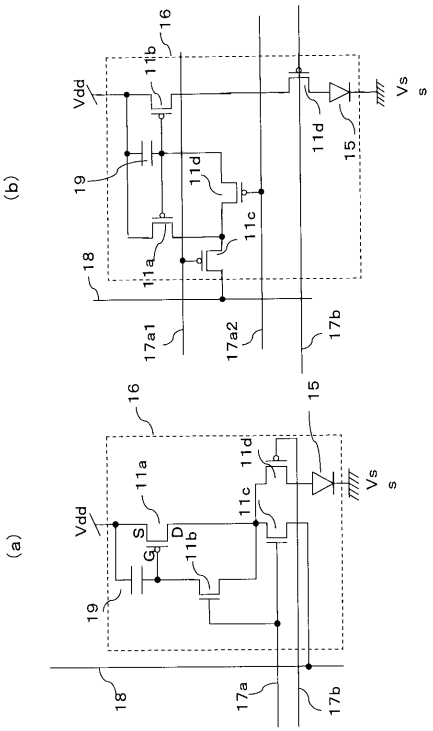
【図４０】



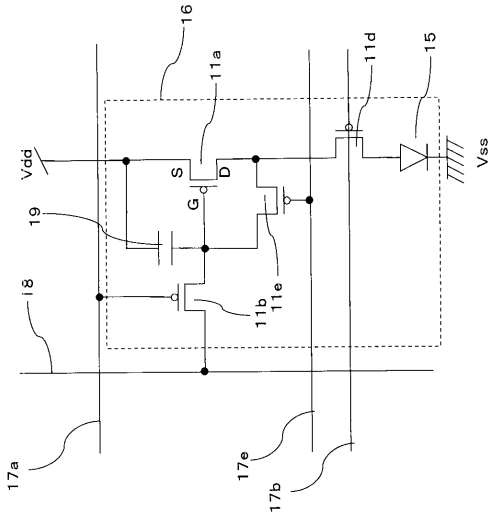
【図４１】



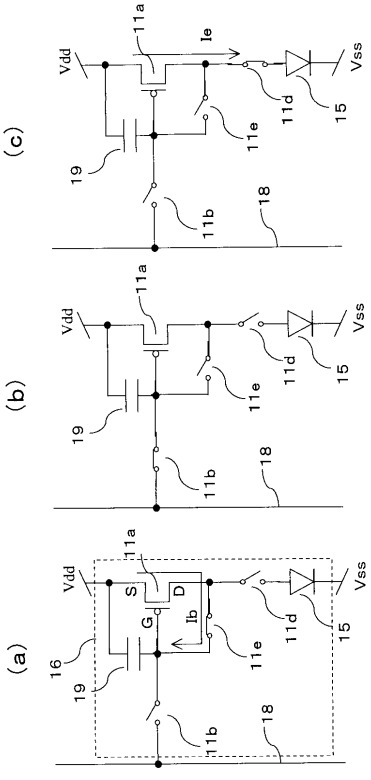
【図４２】



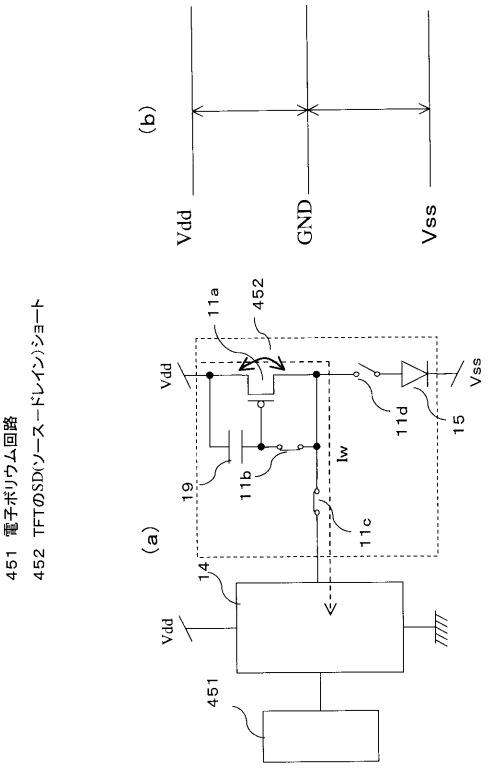
【図４３】



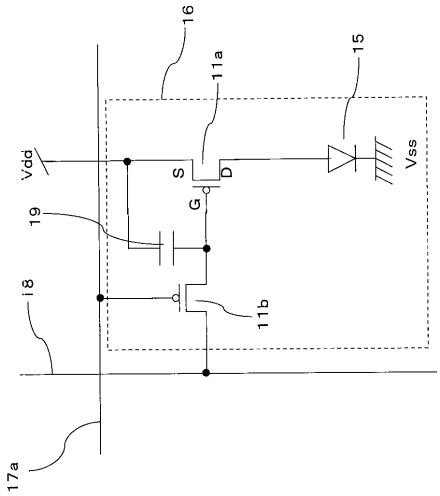
【図４４】



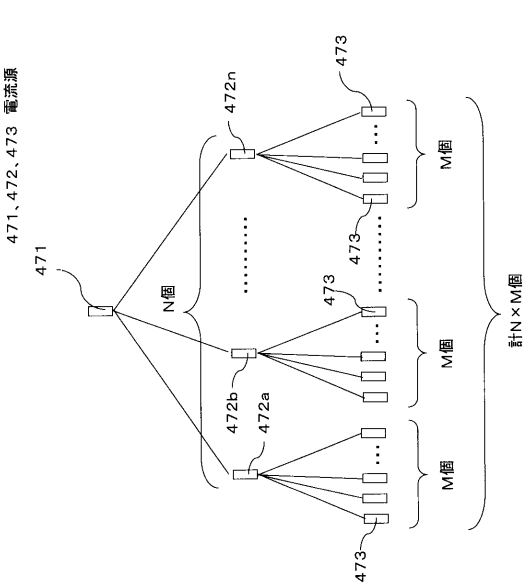
【図４５】



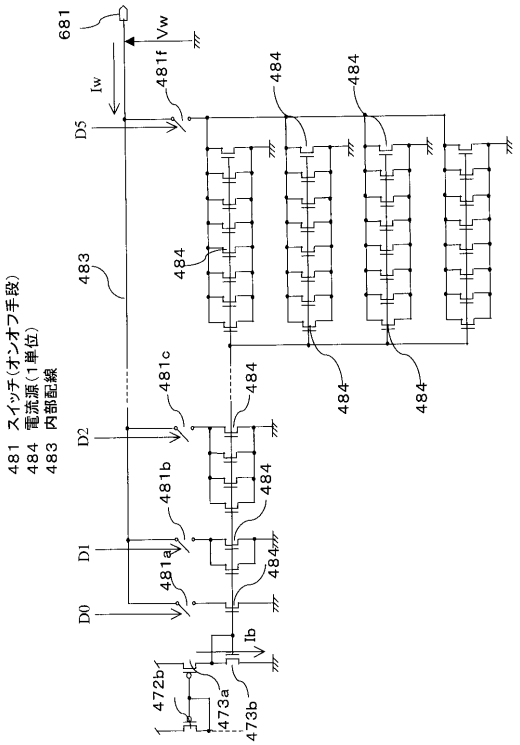
【図４６】



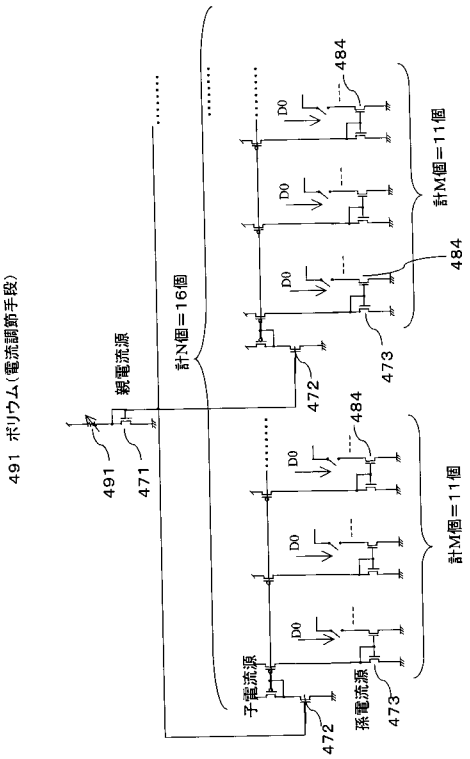
【図４７】



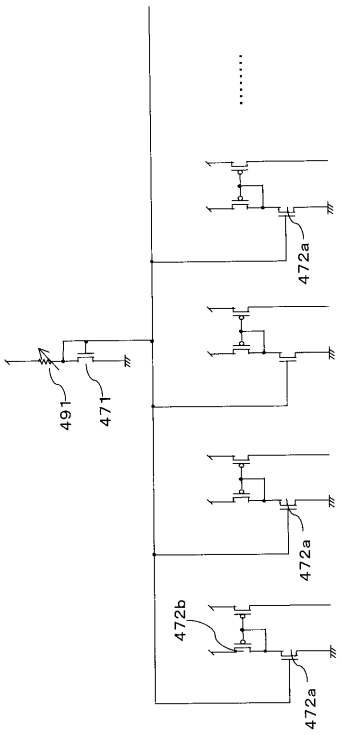
【図４８】



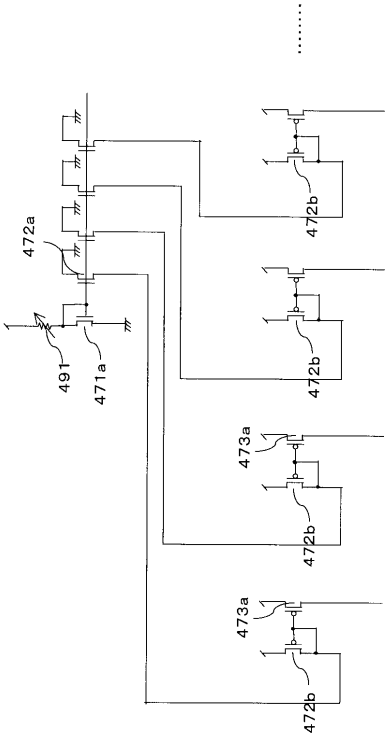
【図４９】



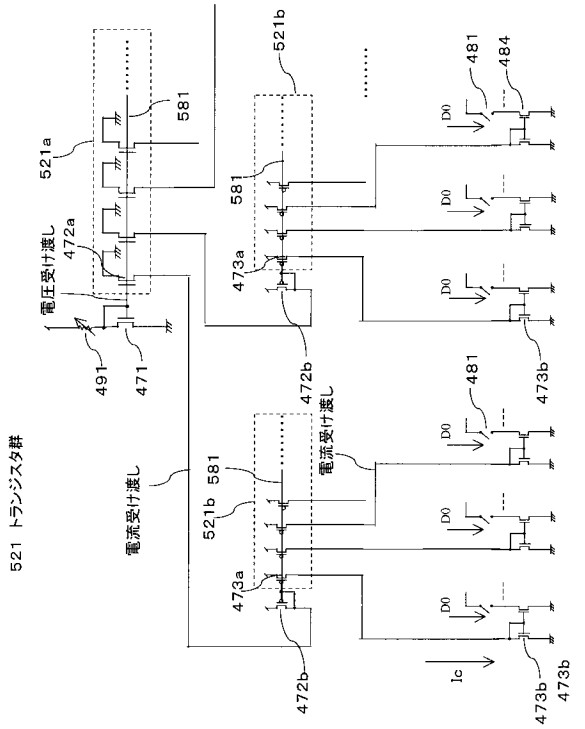
【図５０】



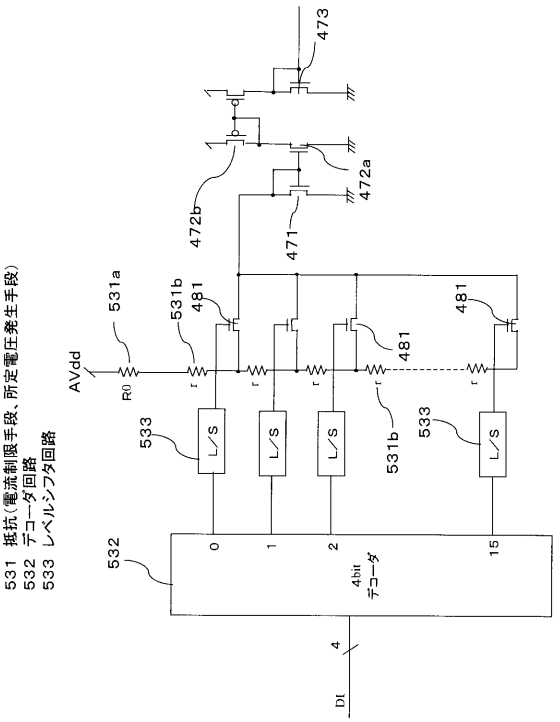
【図５１】



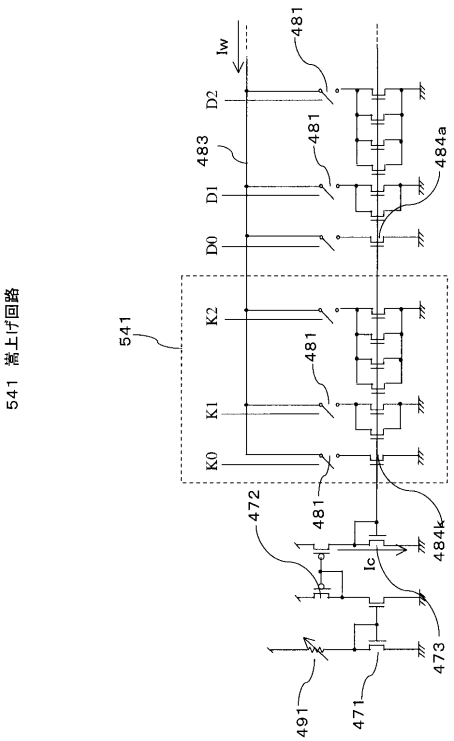
【図５２】



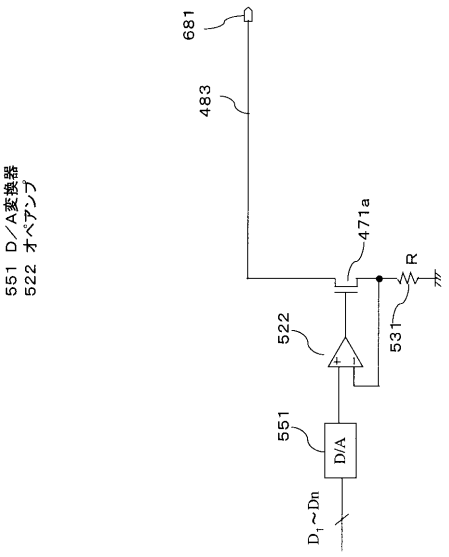
【図５３】



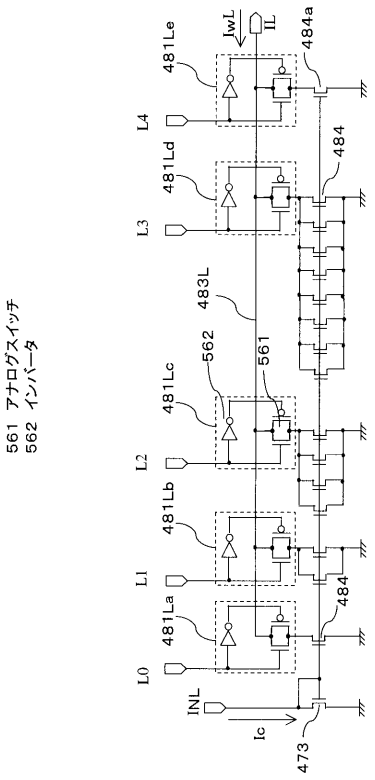
【図５４】



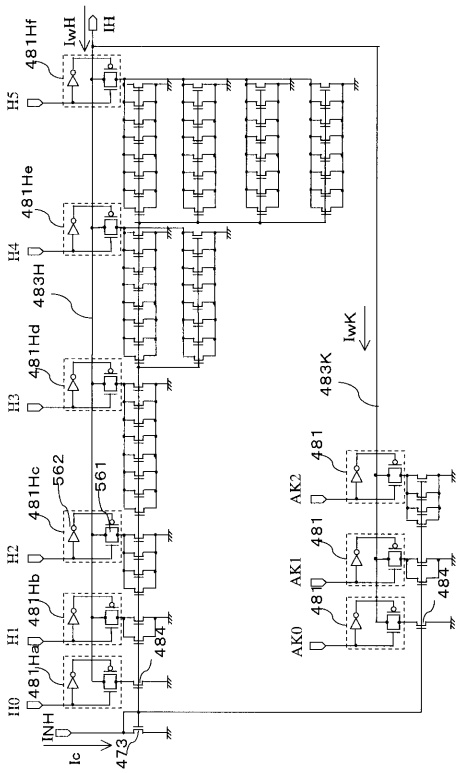
【図５５】



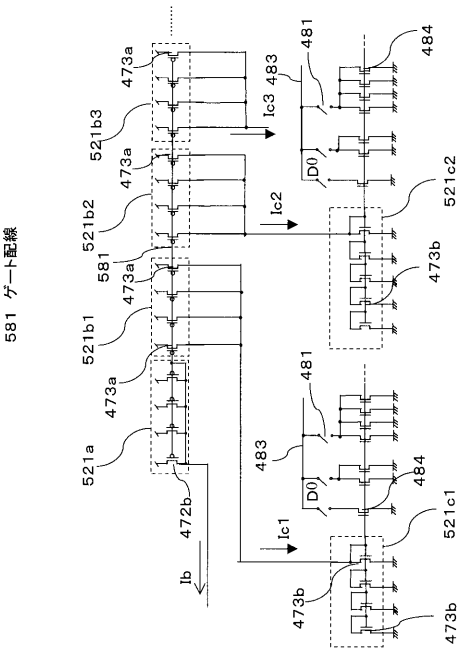
【図５６】



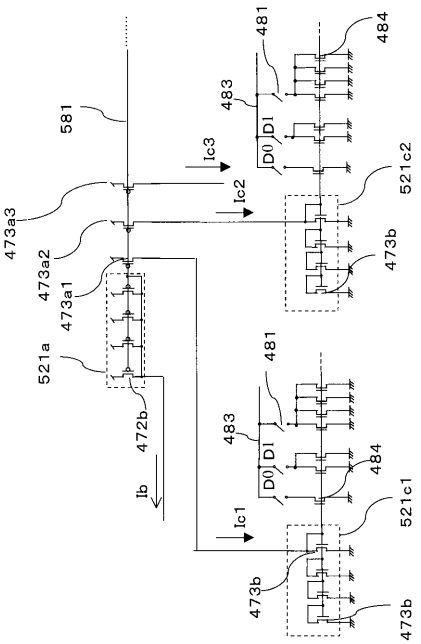
【図５７】



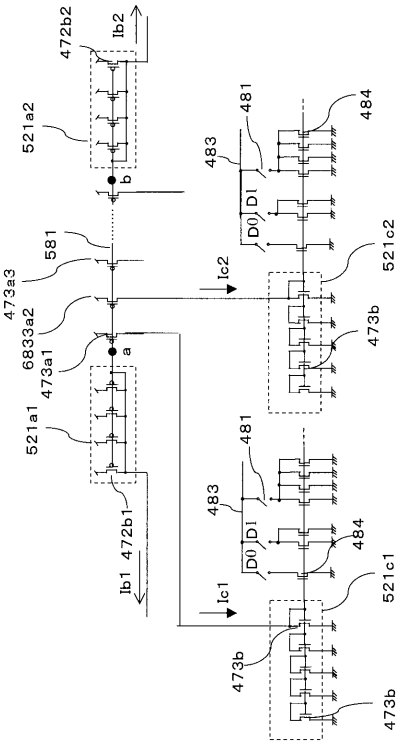
【図５８】



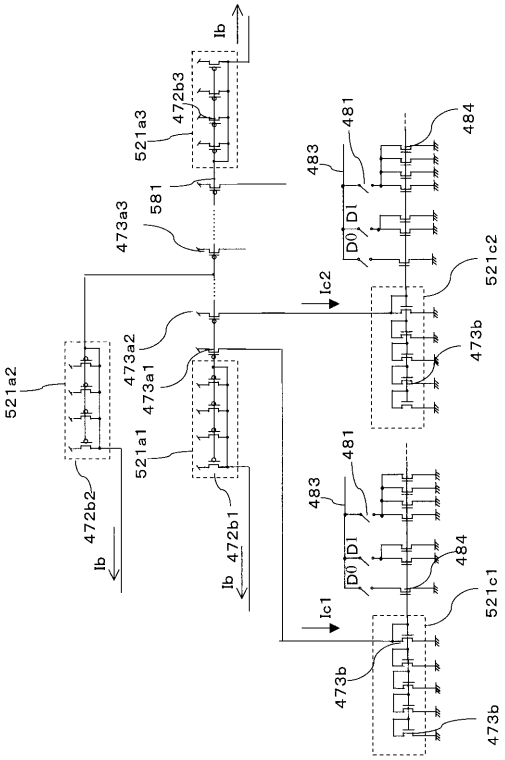
【図５９】



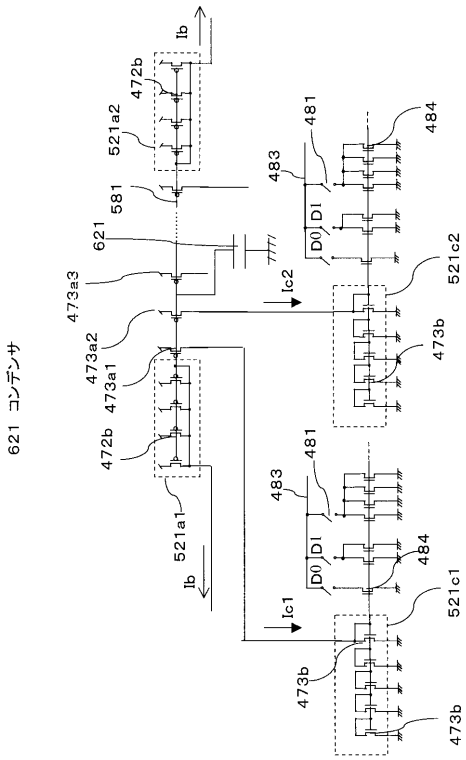
【図６０】



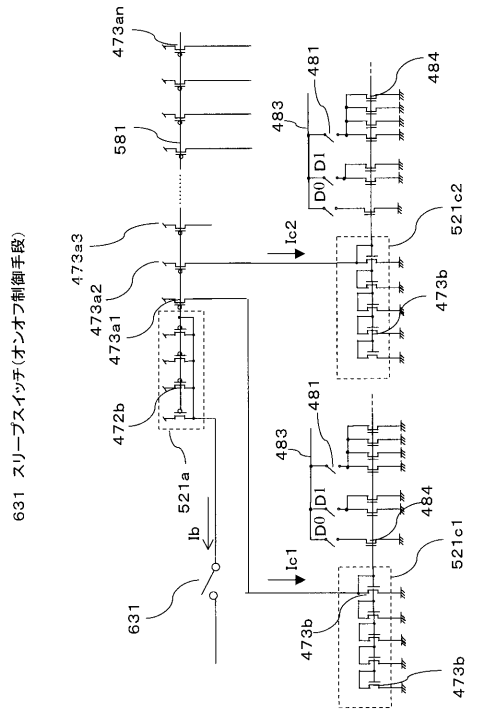
【図６１】



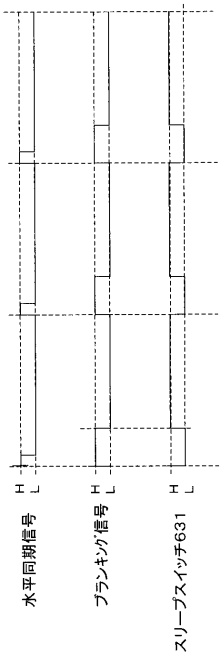
【図６２】



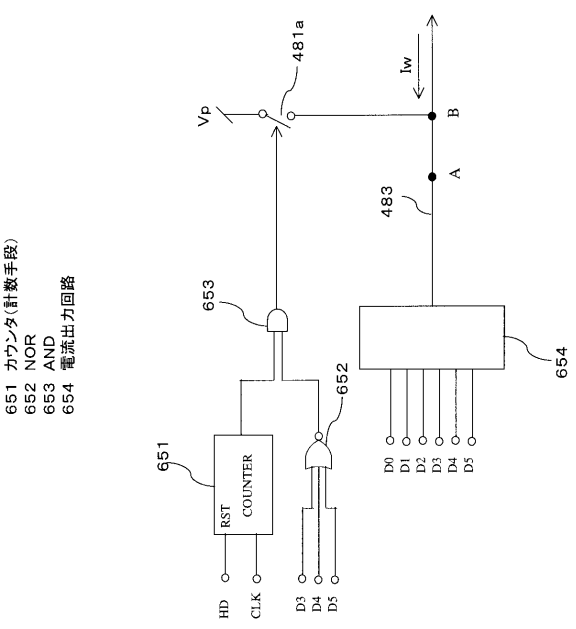
【図６３】



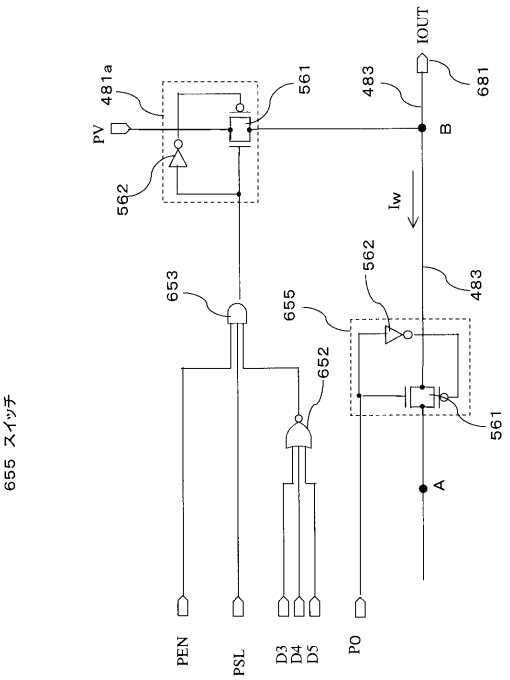
【図６４】



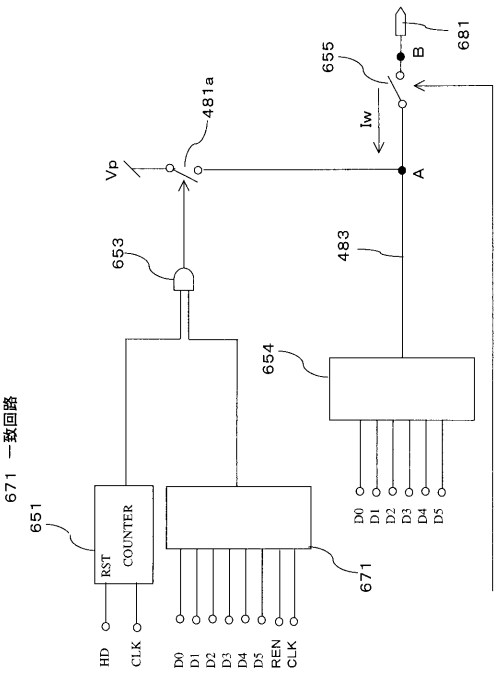
【図６５】



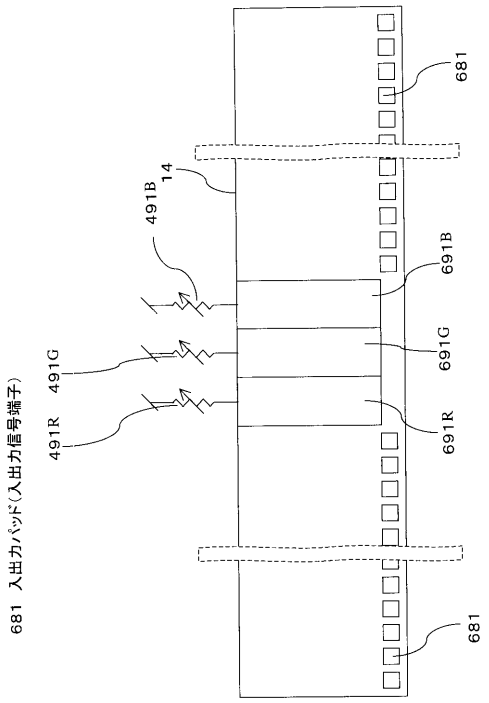
【図６６】



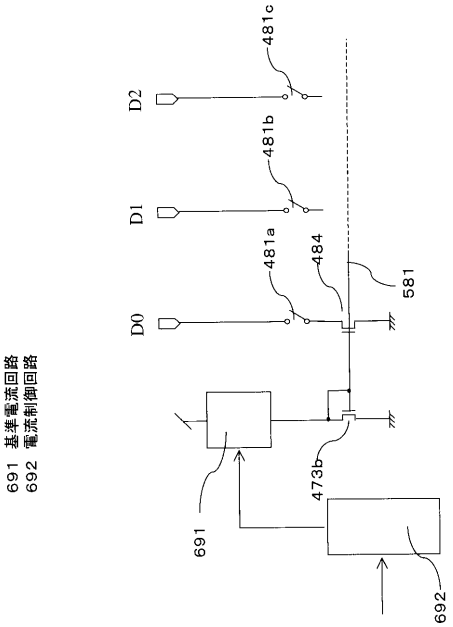
【図６７】



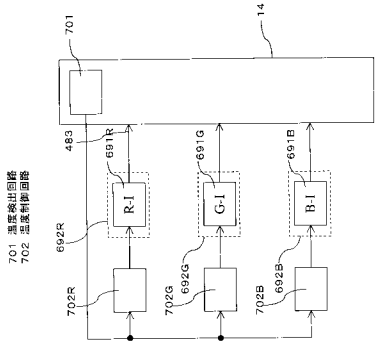
【図６８】



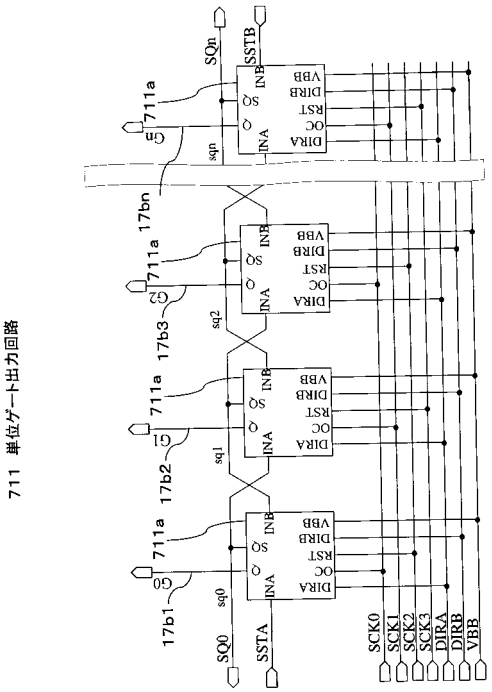
【図６９】



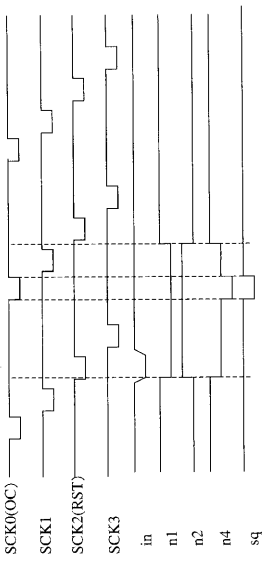
【図７０】



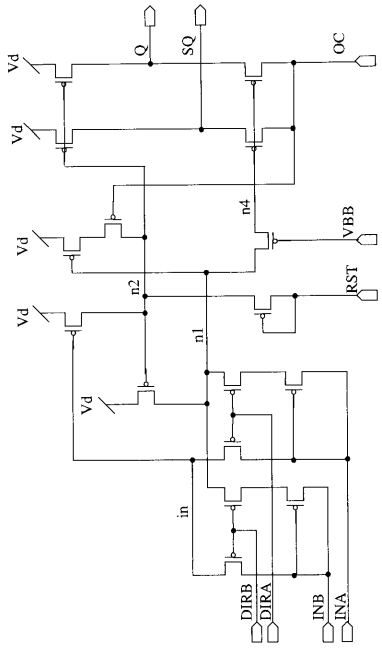
【図７１】



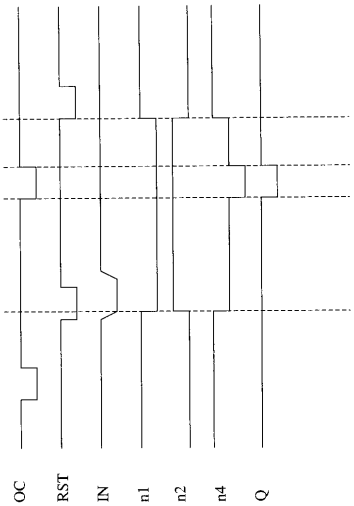
【図７２】



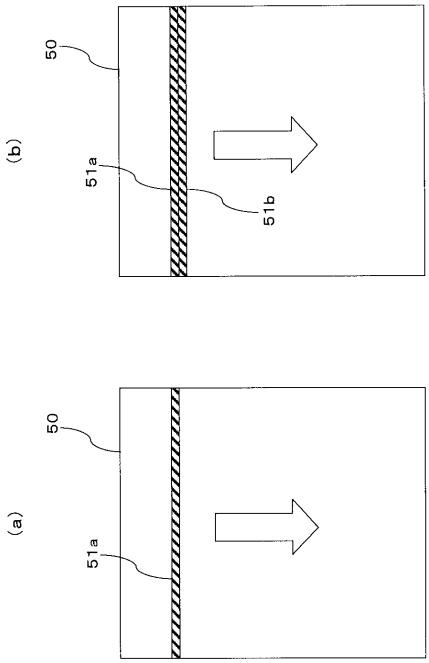
【図７３】



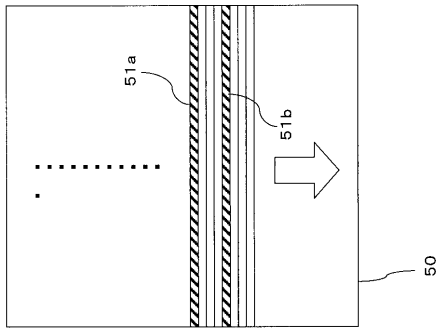
【図７４】



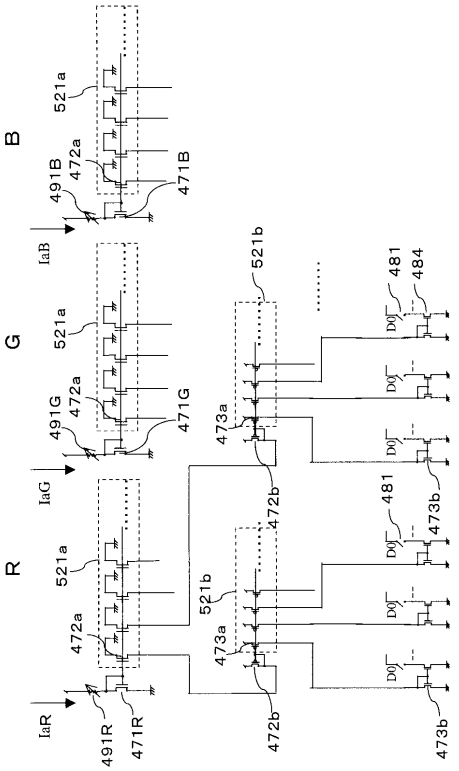
【図７５】



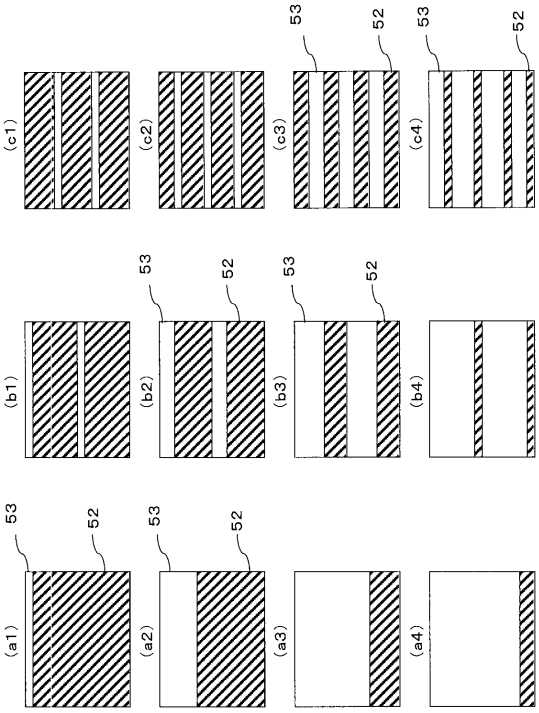
【図７６】



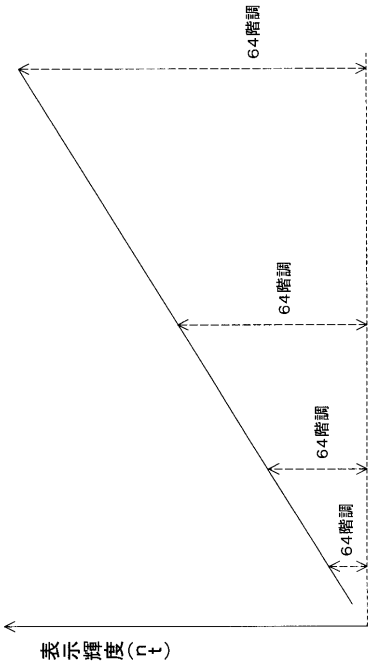
【図７７】



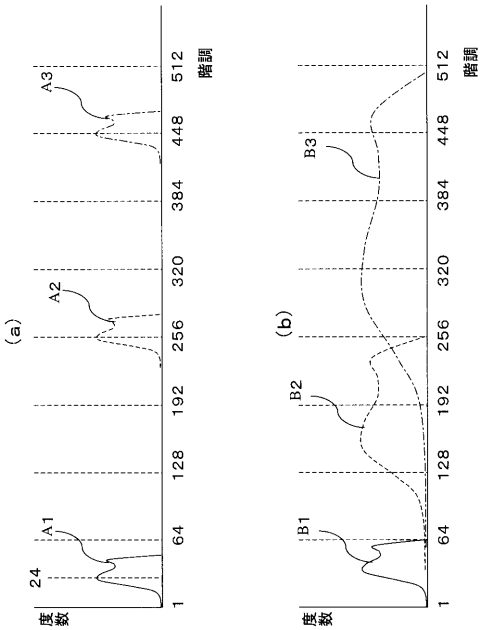
【図７８】



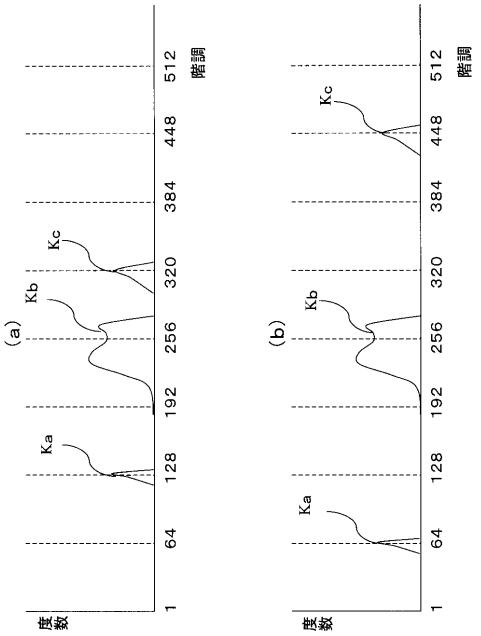
【図７９】



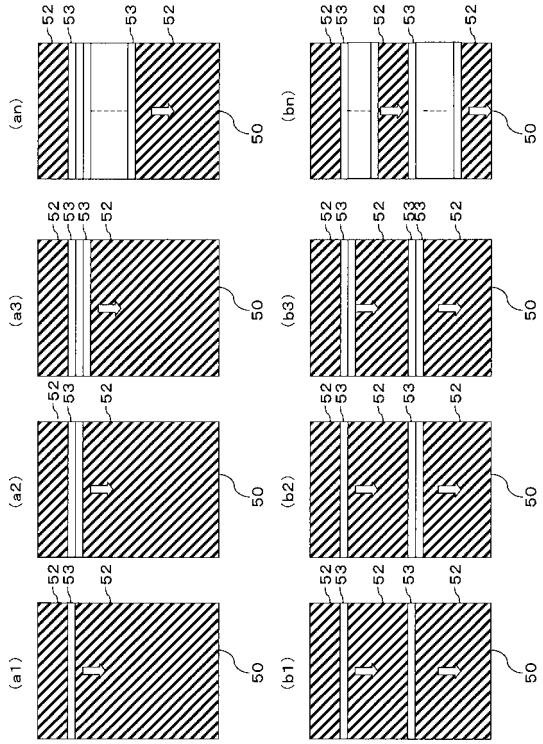
【図８０】



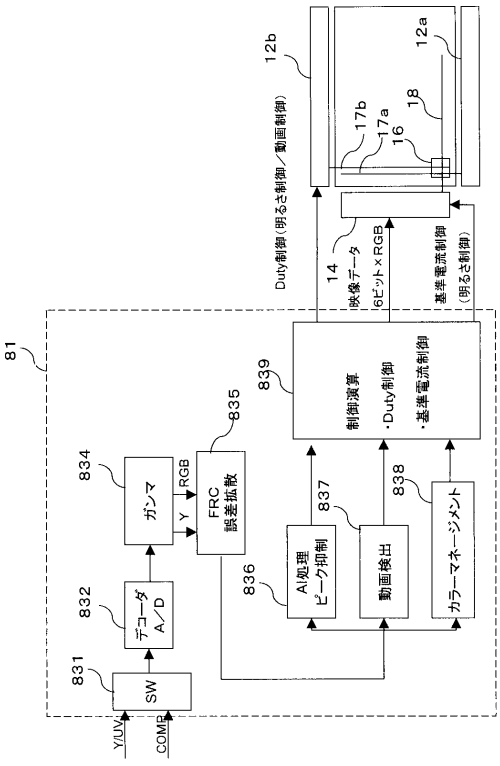
【図８１】



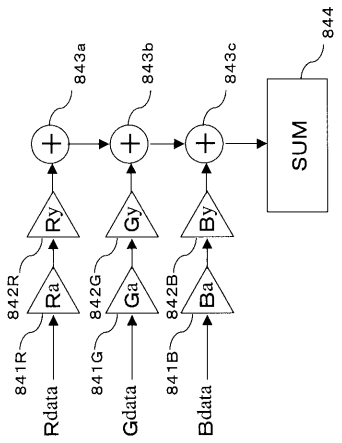
【図８２】



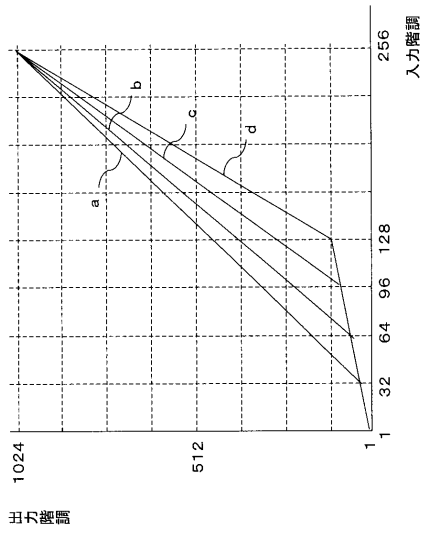
【図８３】



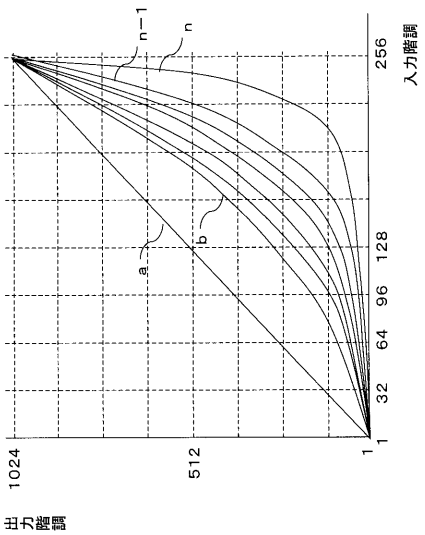
【図８４】



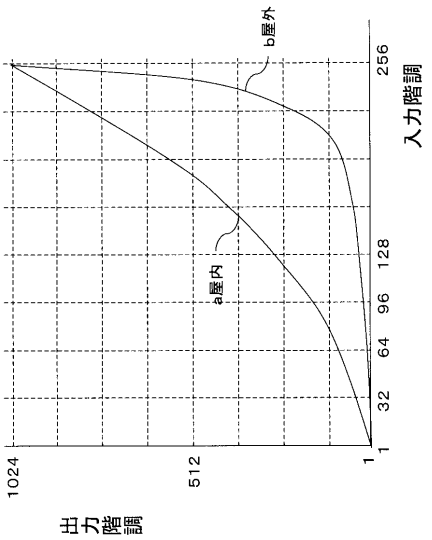
【図８５】



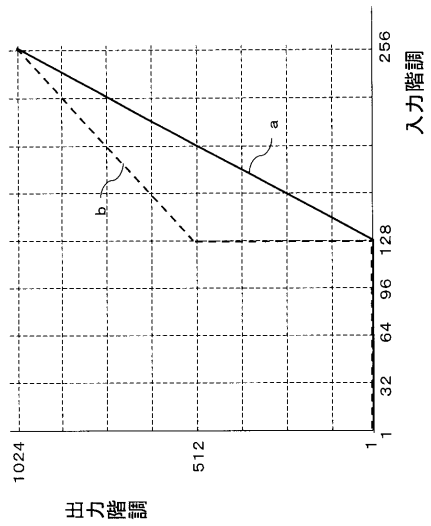
【図８６】



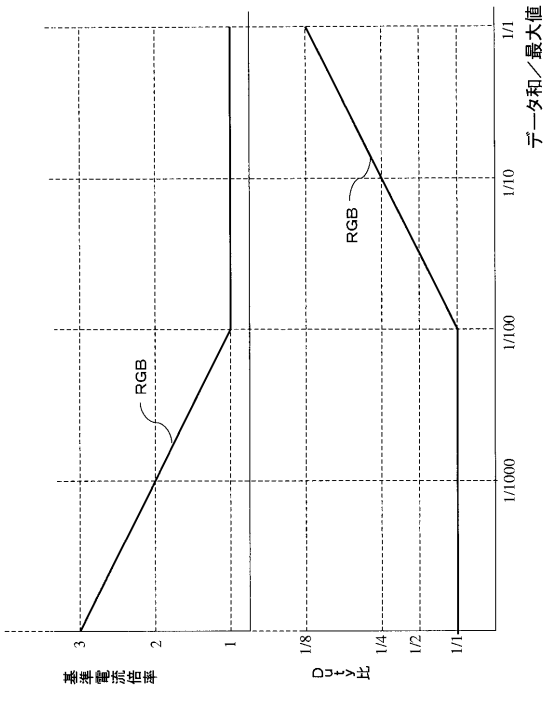
【図８７】



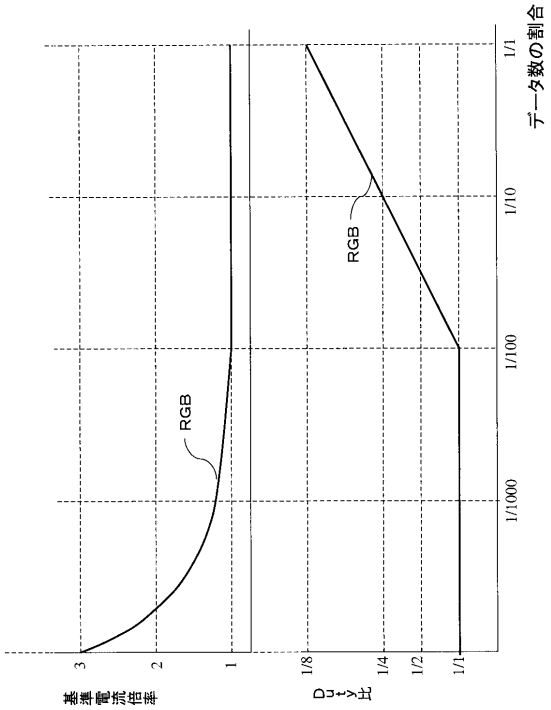
【図８８】



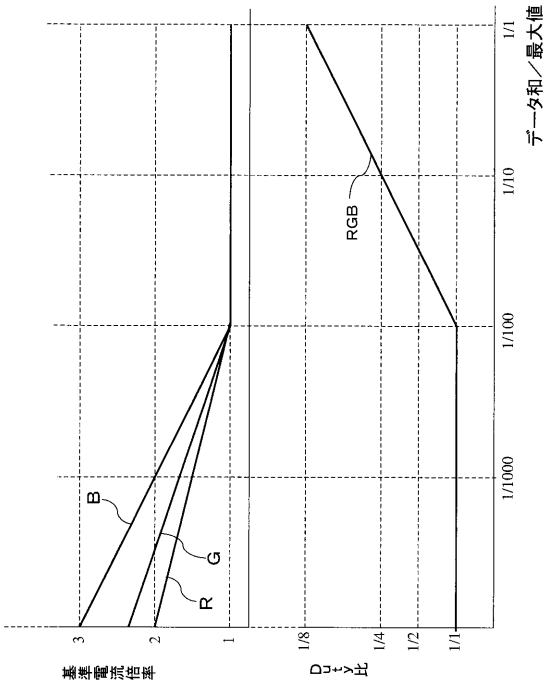
【図８９】



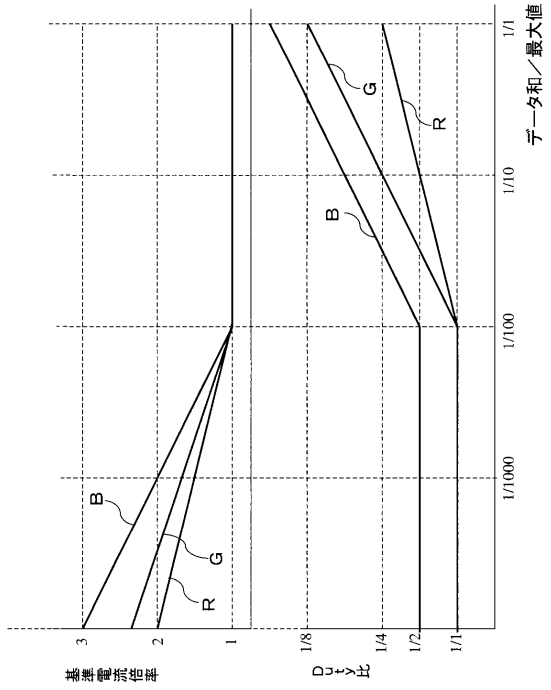
【図９０】



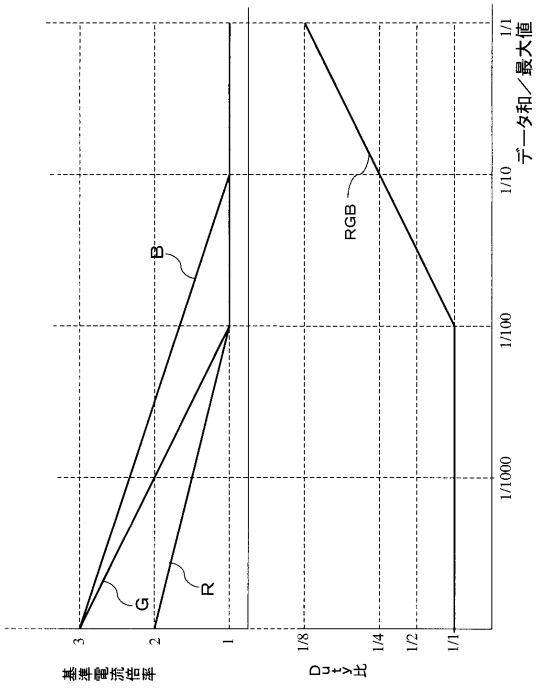
【図９１】



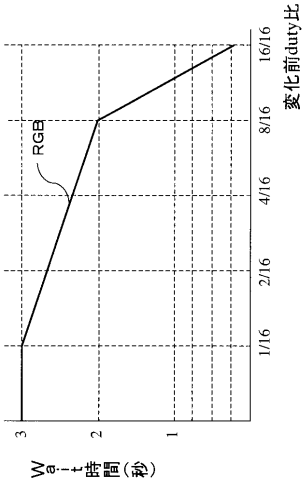
【図９２】



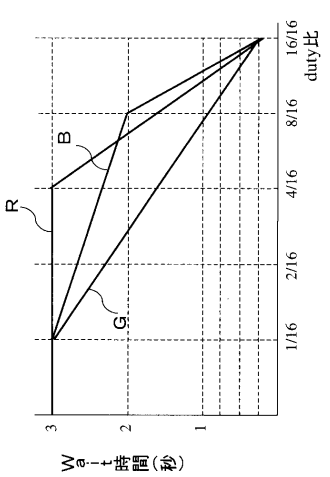
【図９３】



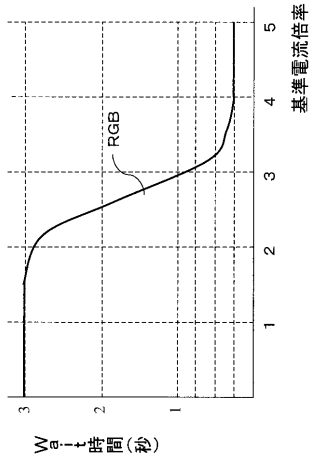
【図９４】



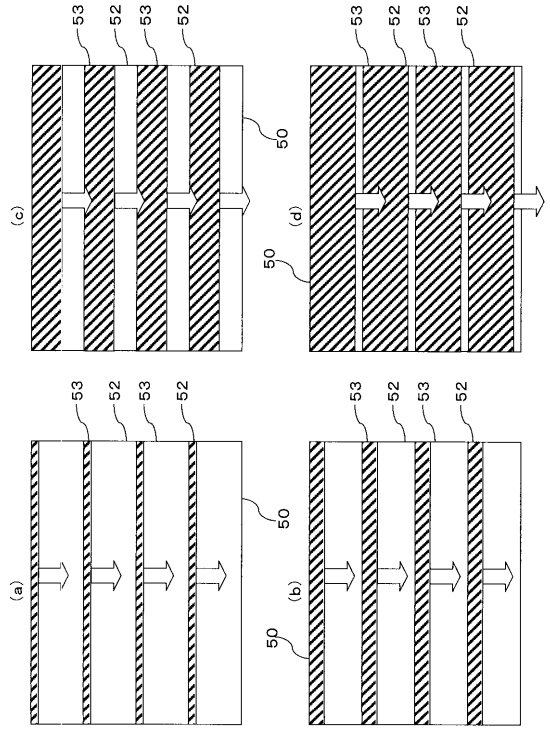
【図９５】



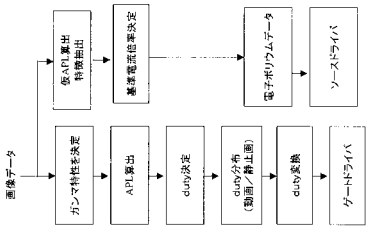
【図９６】



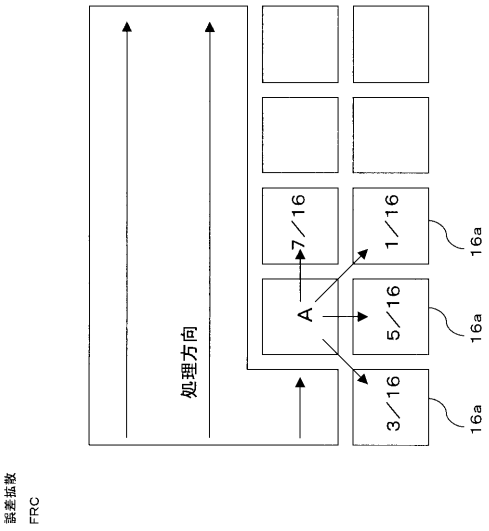
【図９７】



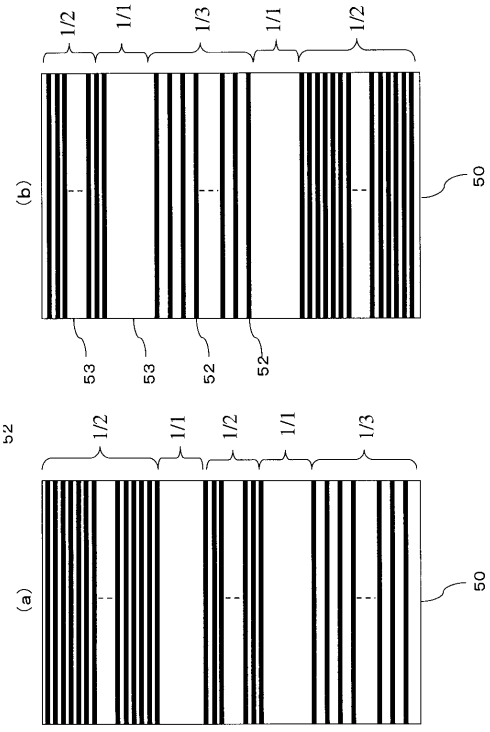
【図９８】



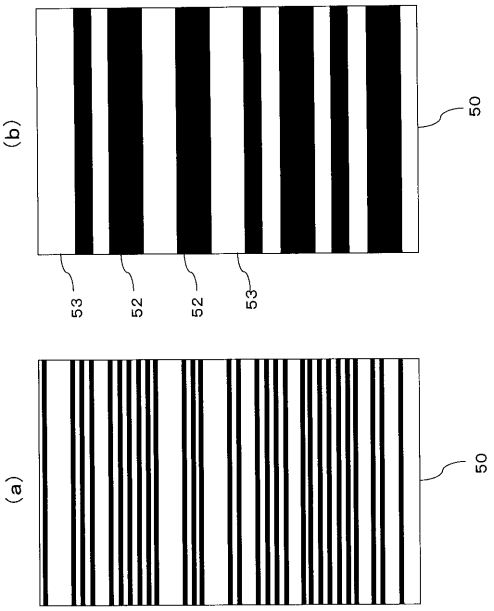
【図９９】



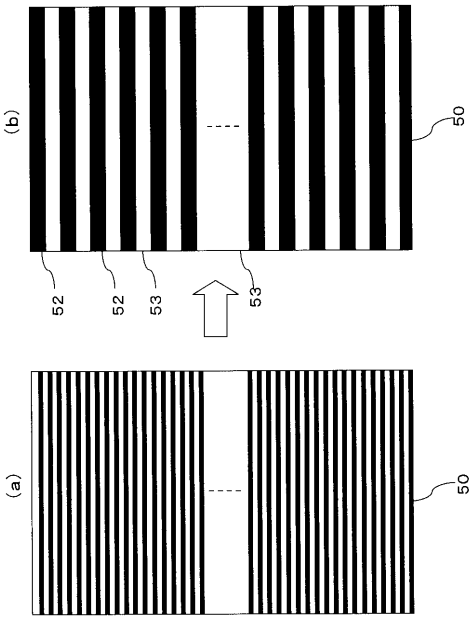
【図１００】



【図１０１】



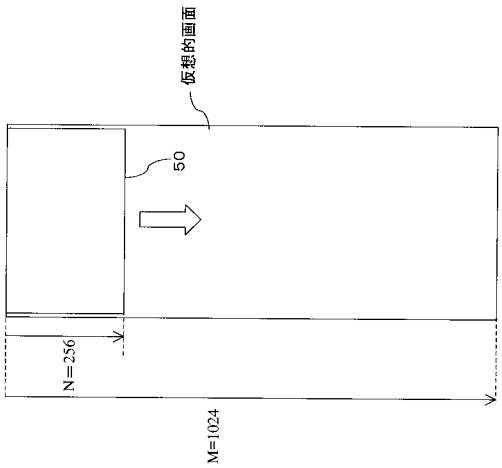
【図１０２】



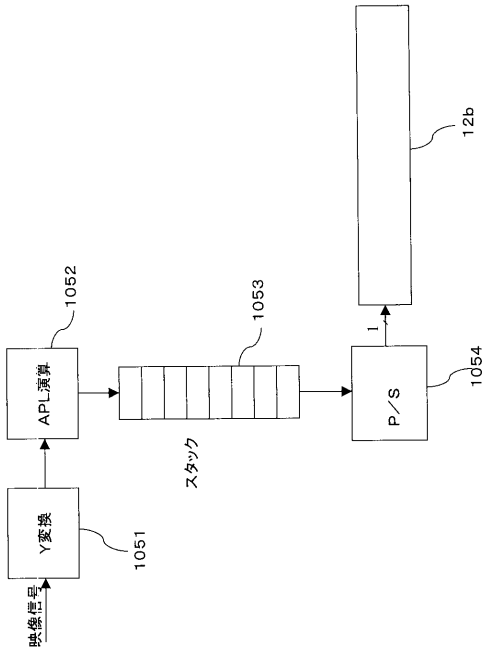
【図１０３】

フレーム（フィールド）番号	1	2	3	4	5	6	7	8	9	10	11	12
APLレベル	228	220	218	216	212	210	192	198	182	168	192	182
対応Duty比	8/64	9/64	9/64	10/64	9/64	10/64	11/64	11/64	12/64	14/64	11/64	12/64
処理Duty比	8/64	8/64	9/64	9/64	9/64	10/64	10/64	11/64	12/64	12/64	11/64	12/64

【図１０４】



【図１０５】



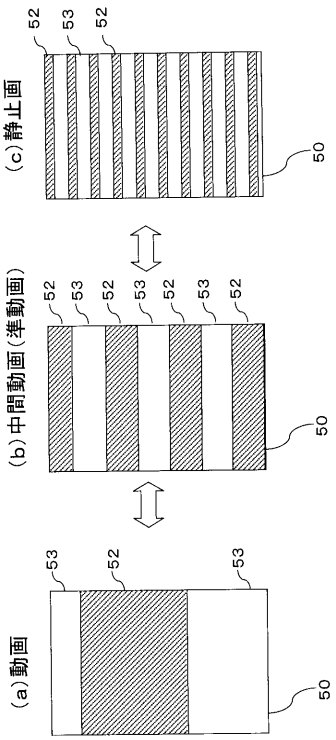
【図１０６】

	1－1	1－2	1－3	1－4	2－1
128/1024→132/1024	128/1024	129/1024	130/1024	131/1024	132/1024
128/1024→130/1024	128/1024	128/1024	129/1024	129/1024	130/1024
128/1024→136/1024	128/1024	130/1024	132/1024	134/1024	136/1024

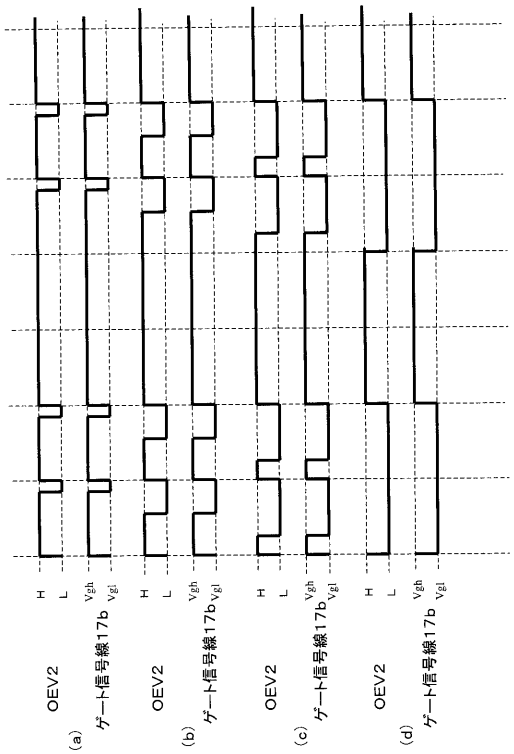
【図１０７】

	1	2	3	4	5	6	7	8
A	30.0/256	30.2/256	30.4/256	30.6/256	30.8/256	31.0/256	31.2/256	31.4/256
B	30.0/256	30.0/256	30.4/256	30.4/256	30.8/256	30.8/256	31.2/256	31.2/256
C	30.2/256	30.5/256	30.0/256	30.5/256	31.0/256	30.5/256	31.0/256	31.5/256

【図１０８】



【図１０９】

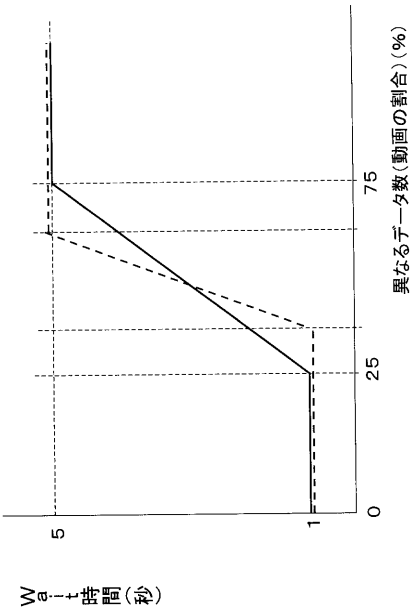


【図１１０】

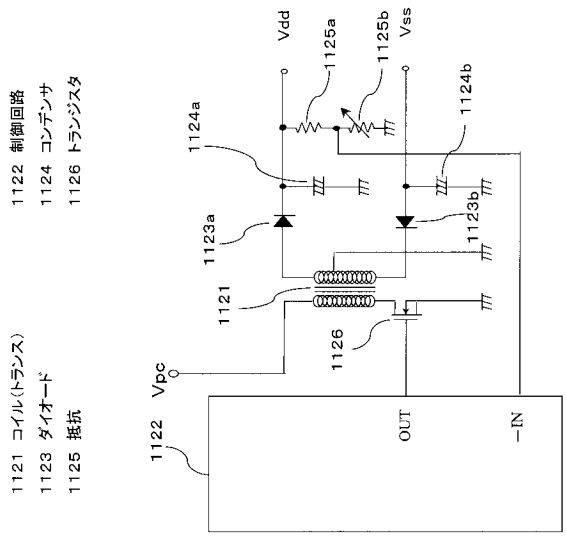
フレーム	1	2	3	4	5	6	7	8	9	10	11	12
動画静止画レベル	0	0	0	1	1	2	2	2	2	1	0	0
分散数	1	1	1	10	10	30	50	50	50	30	1	1
Duty比	4/9	5/9	5/9	4/9	4/9	8/9	8/9	7/9	6/9	3/9	3/9	4/9

0 静止画
1 準動画
2 動画

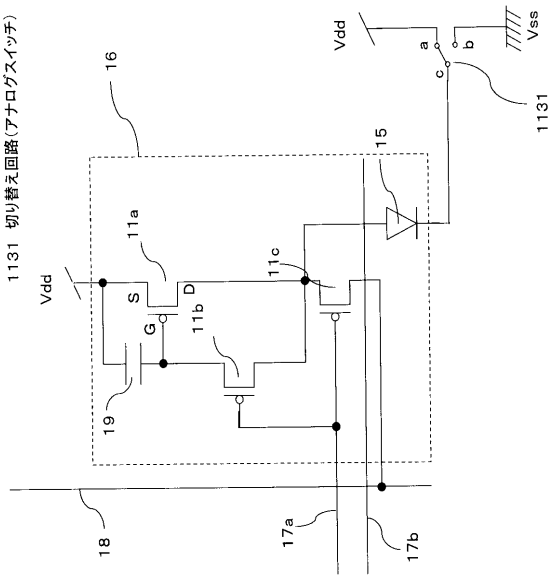
【図１１１】



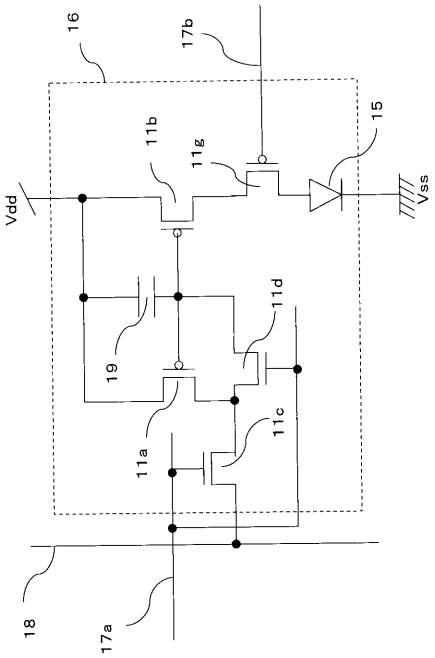
【図１１２】



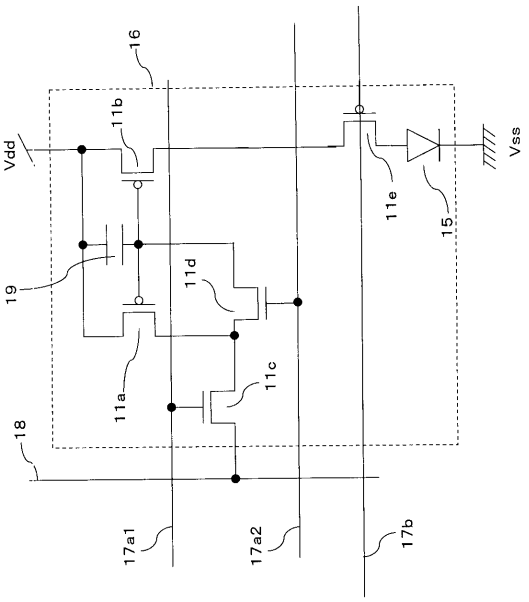
【図１１３】



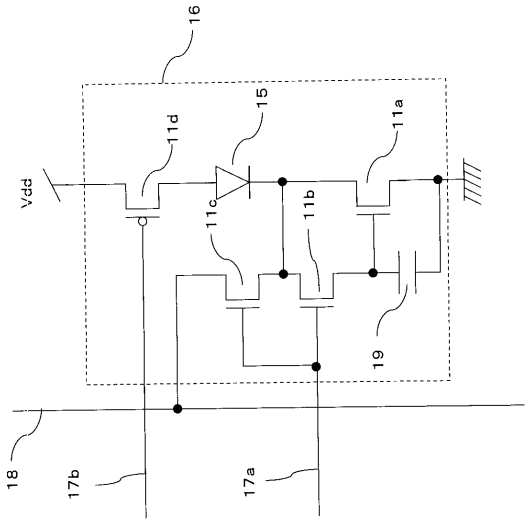
【図１１４】



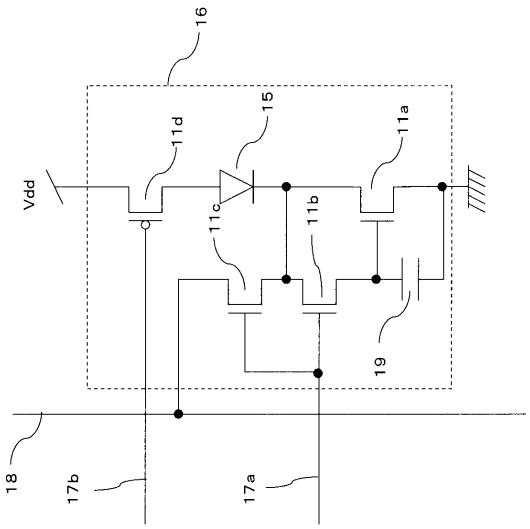
【図１１５】



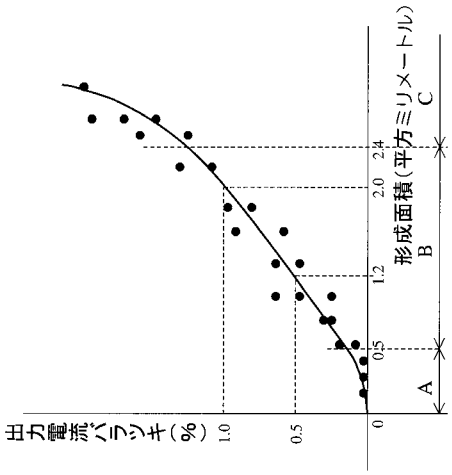
【図１１６】



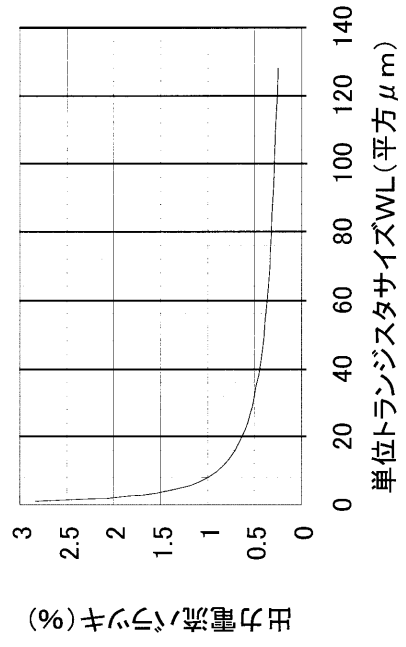
【図１１７】



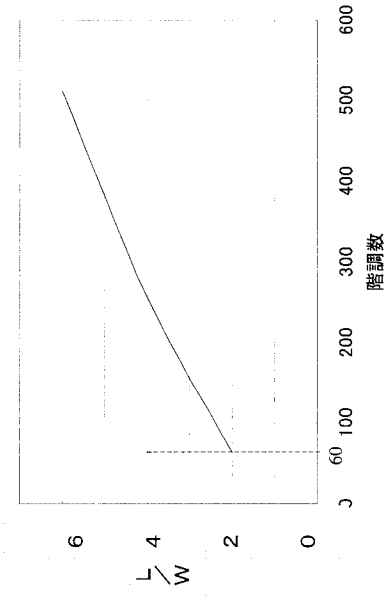
【図１１８】



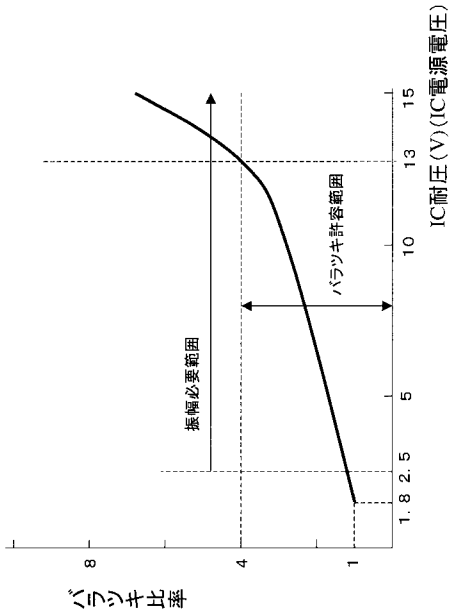
【図１１９】



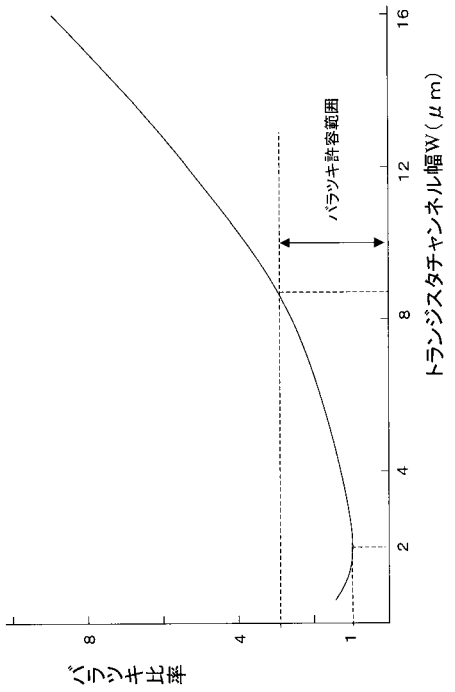
【図１２０】



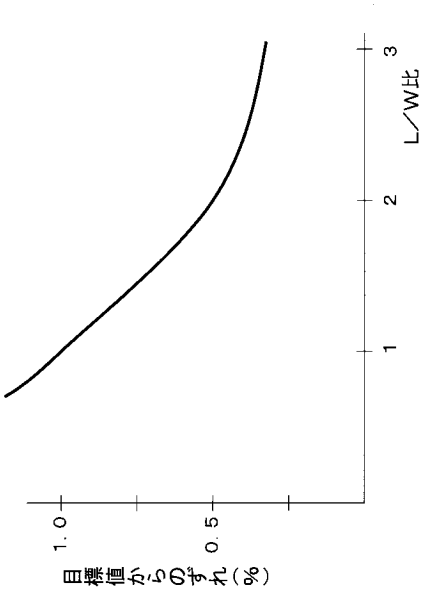
【図１２１】



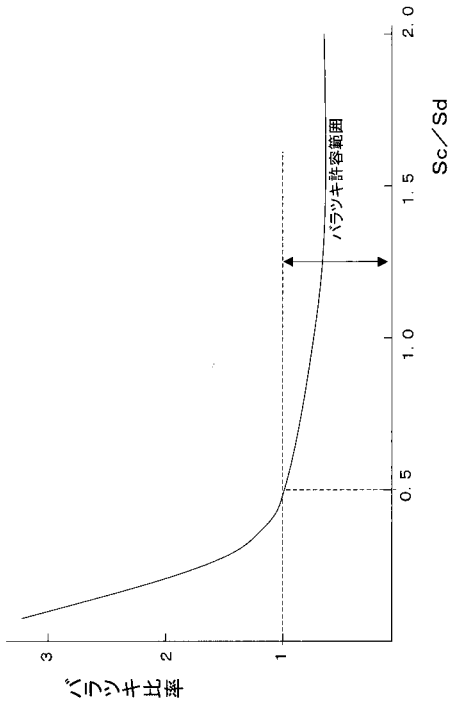
【図１２２】



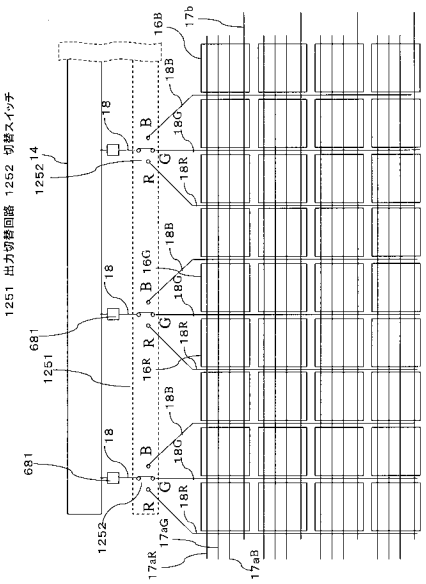
【図１２３】



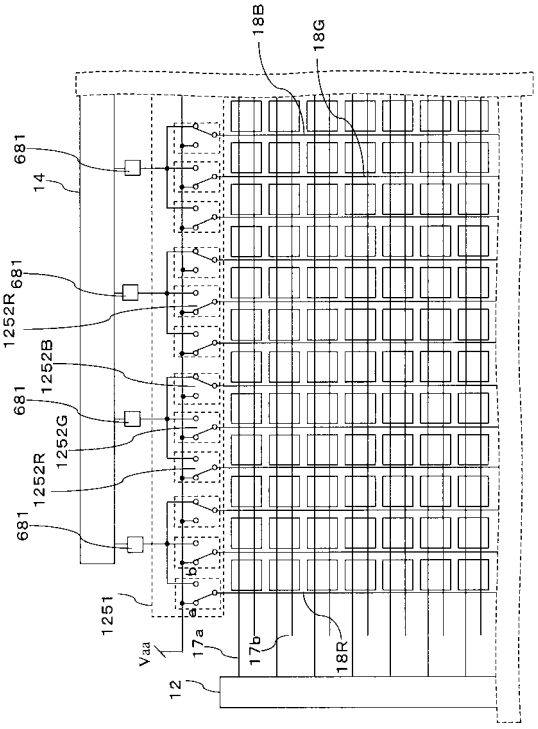
【図１２４】



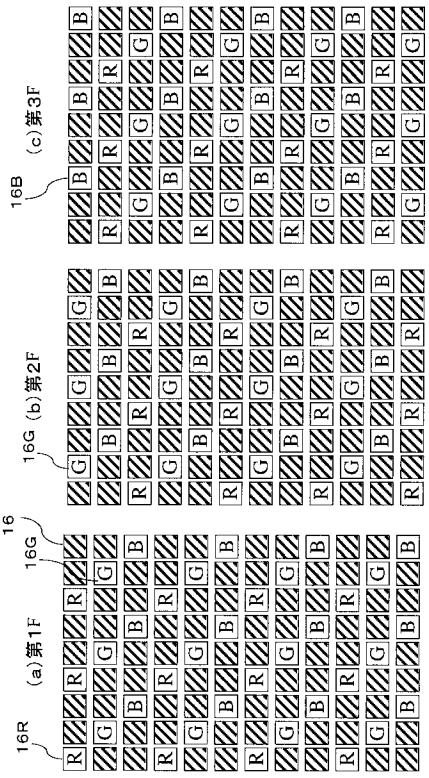
【図１２５】



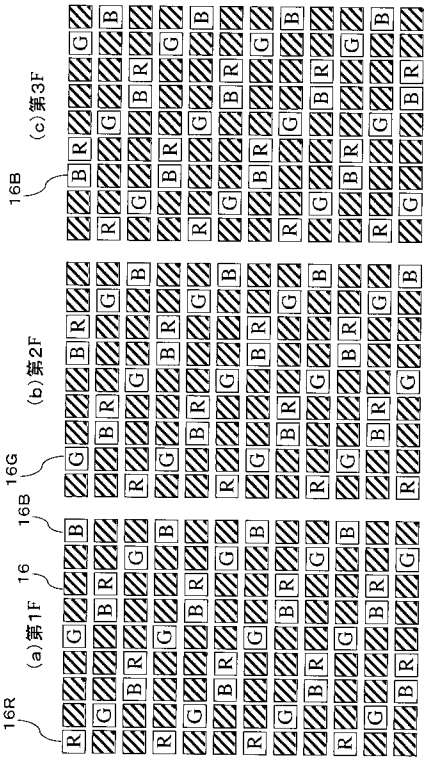
【図１２６】



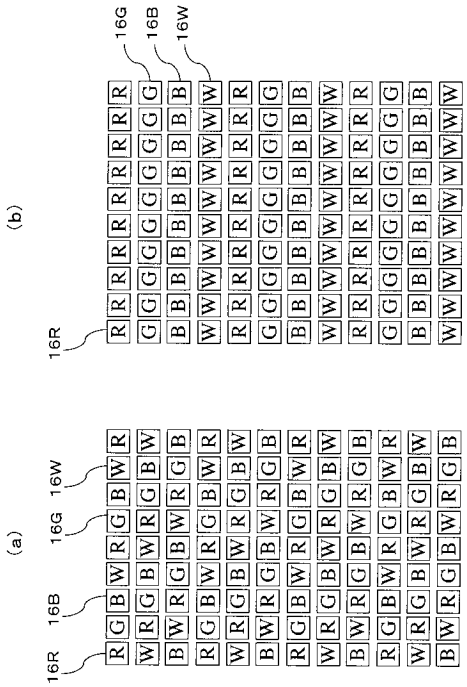
【図１２７】



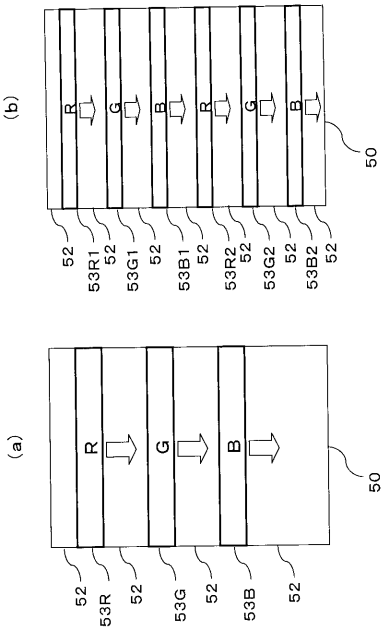
【図１２８】



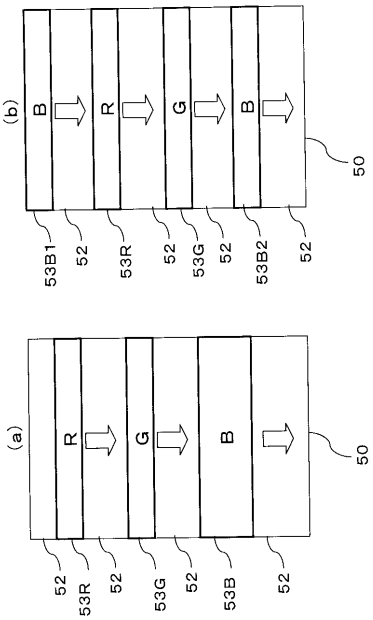
【図１２９】



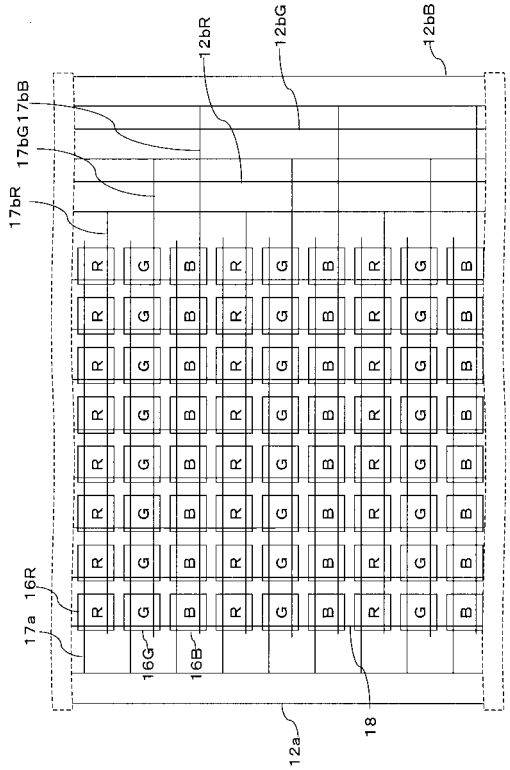
【図１３０】



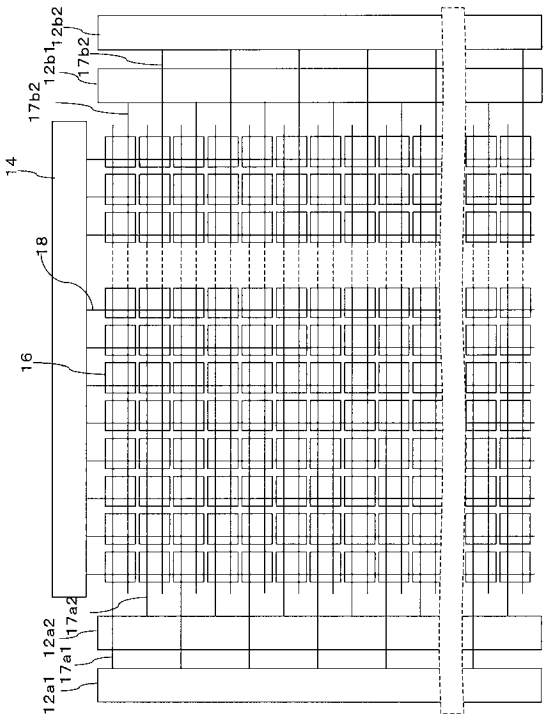
【図１３１】



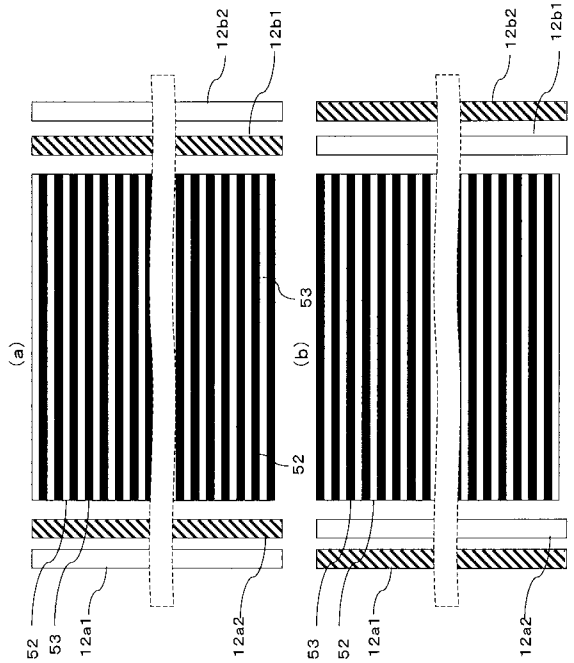
【図１３２】



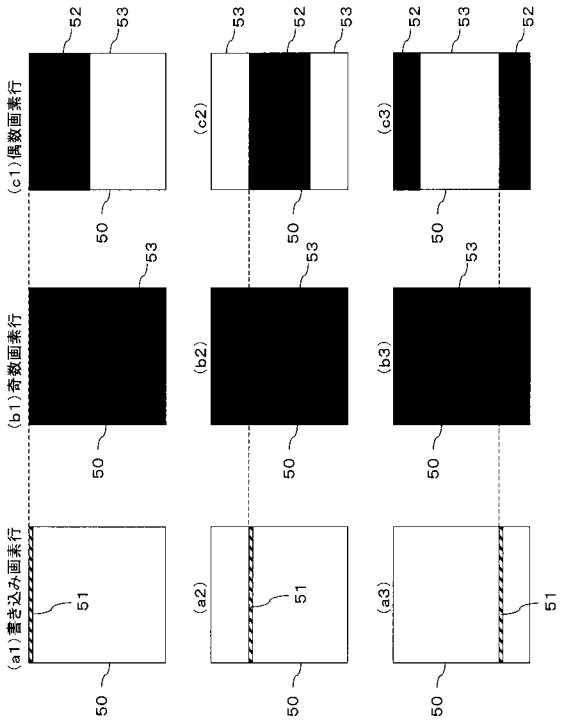
【図１３３】



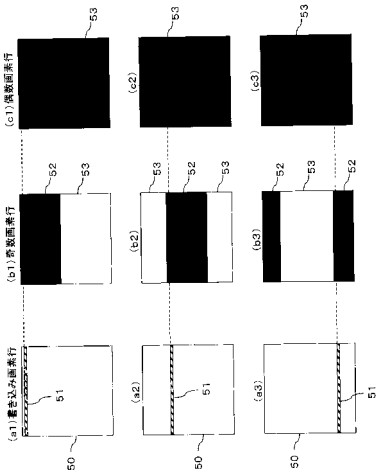
【図１３４】



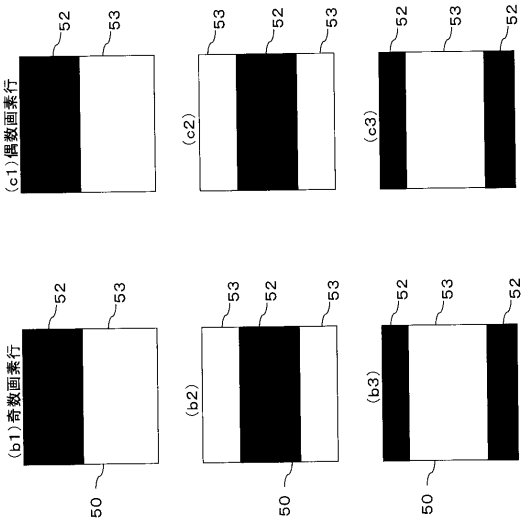
【図１３５】



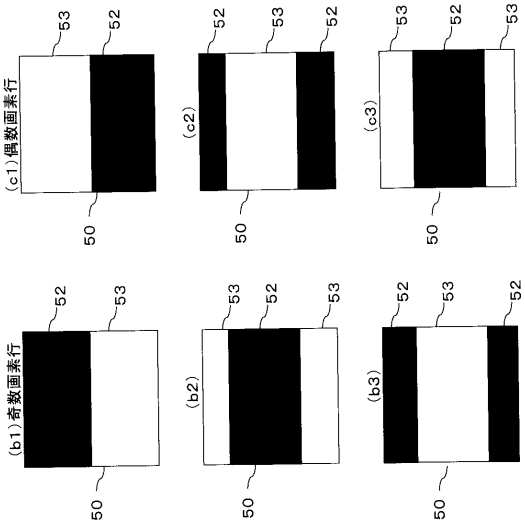
【図１３６】



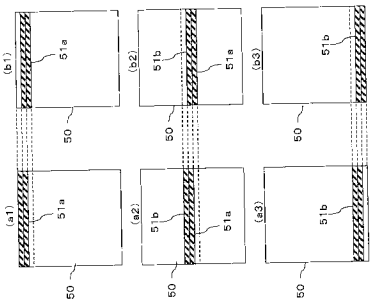
【図１３７】



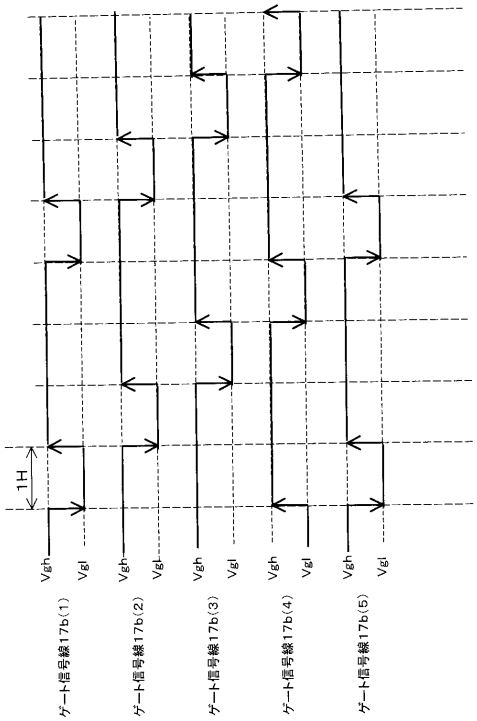
【図１３８】



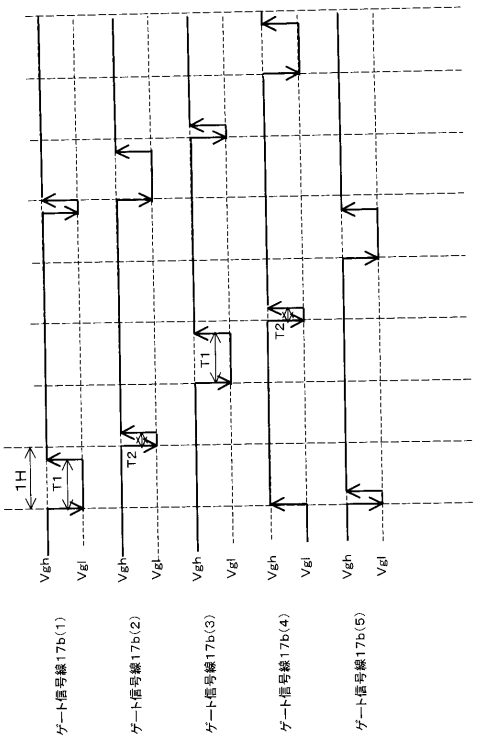
【図１３９】



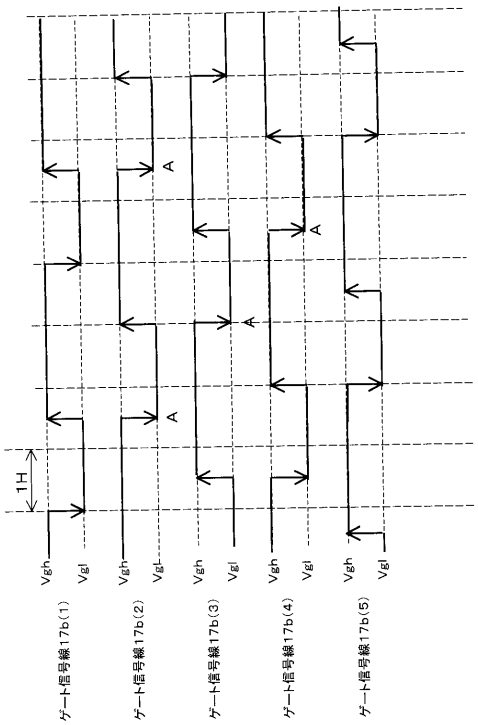
【図１４０】



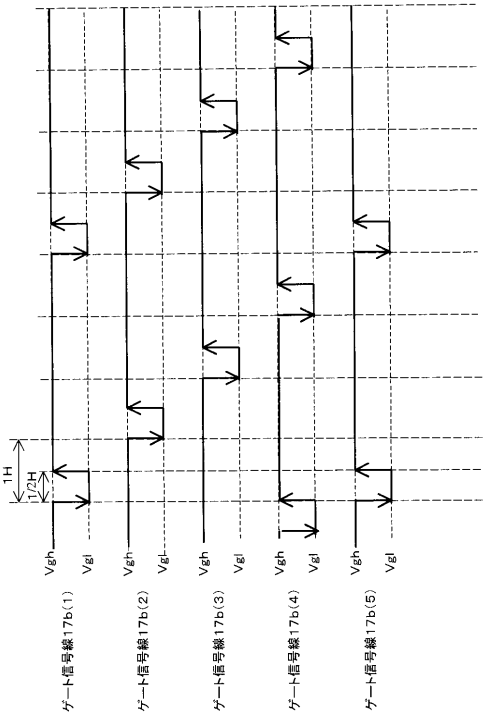
【図１４１】



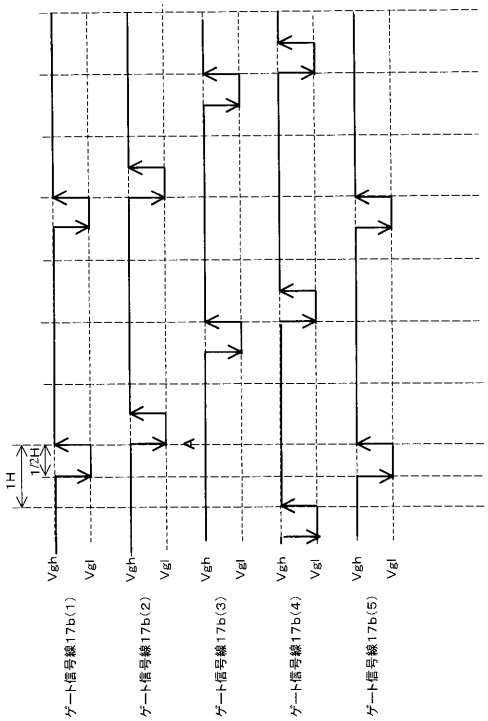
【図１４２】



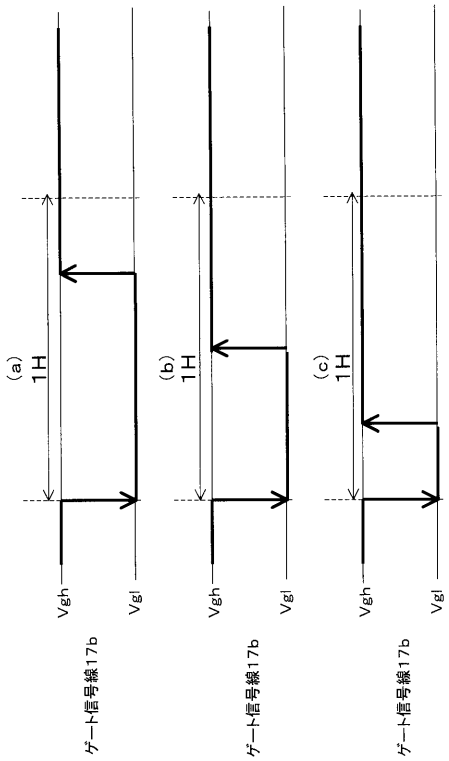
【図１４３】



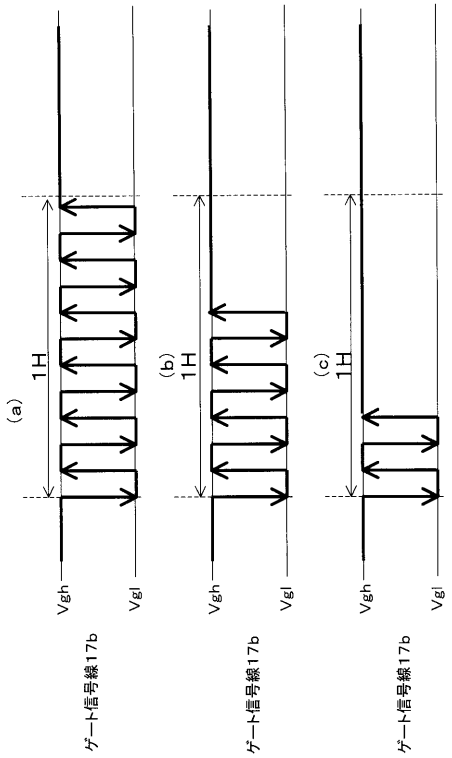
【図１４４】



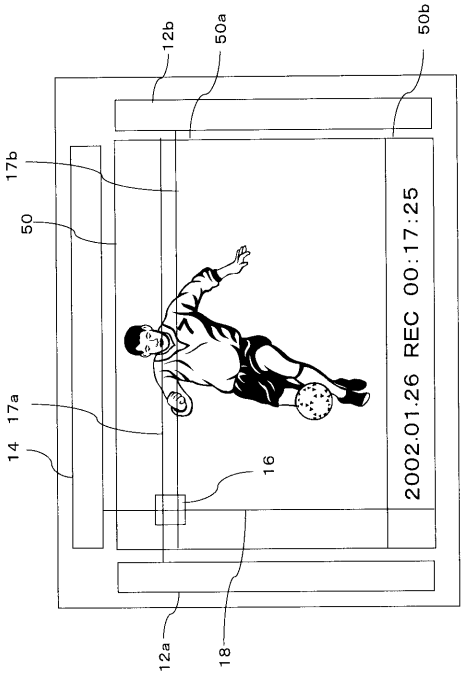
【図１４５】



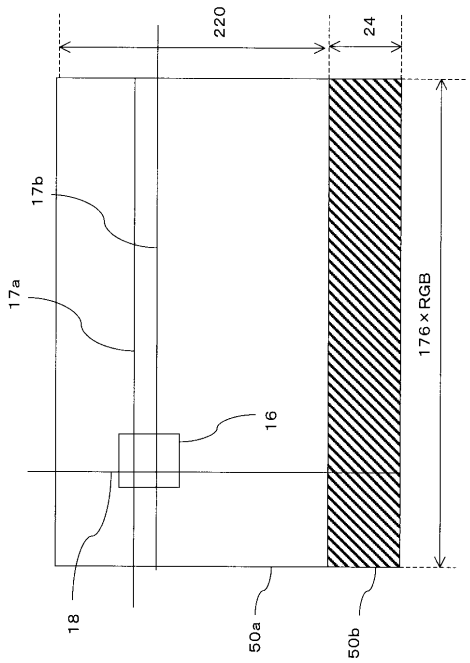
【図１４６】



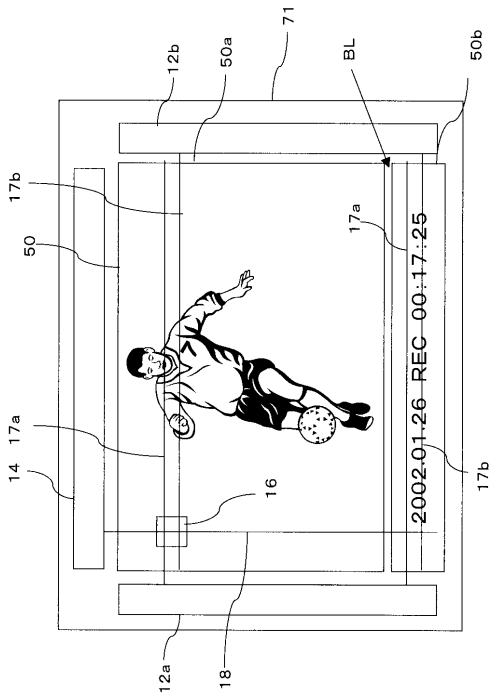
【図１４７】



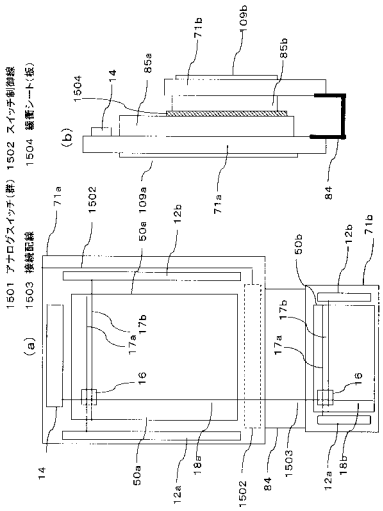
【図１４８】



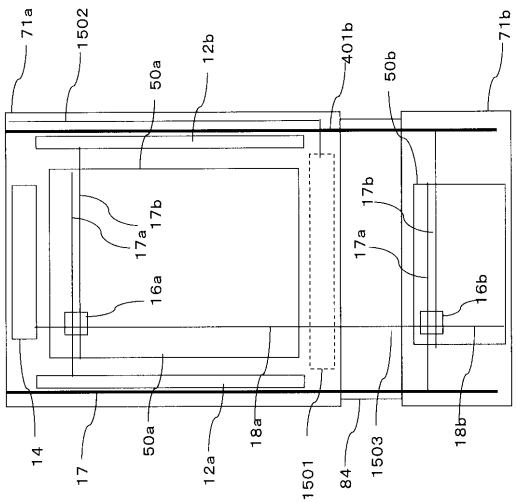
【図１４９】



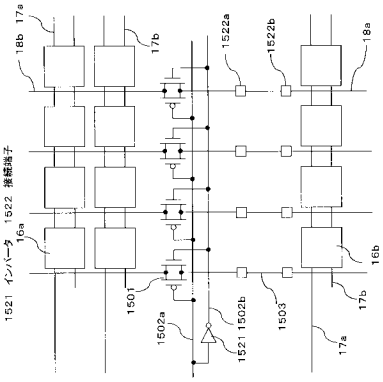
【図１５０】



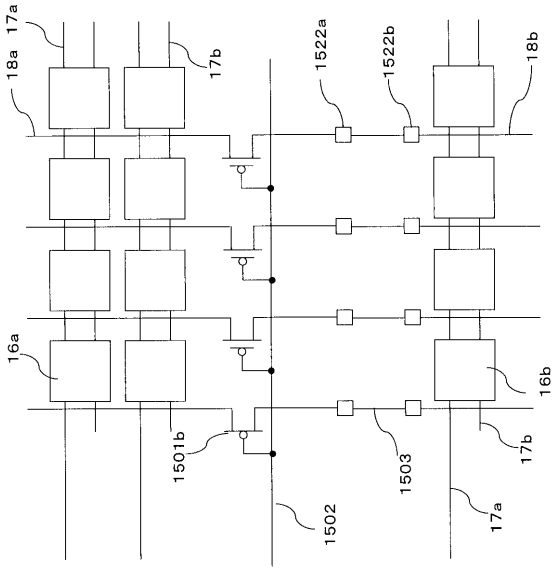
【図１５１】



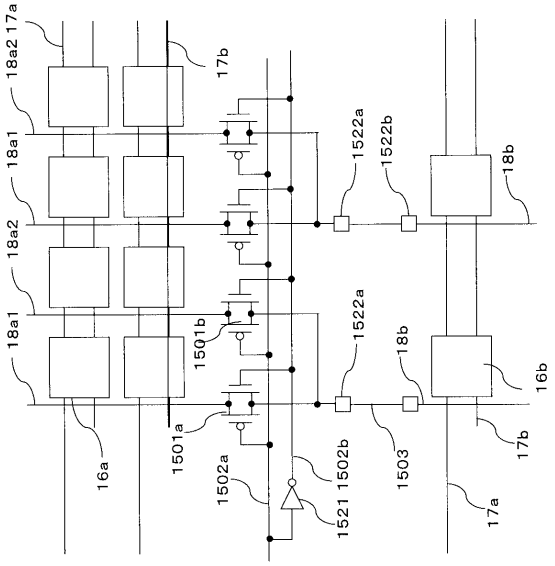
【図１５２】



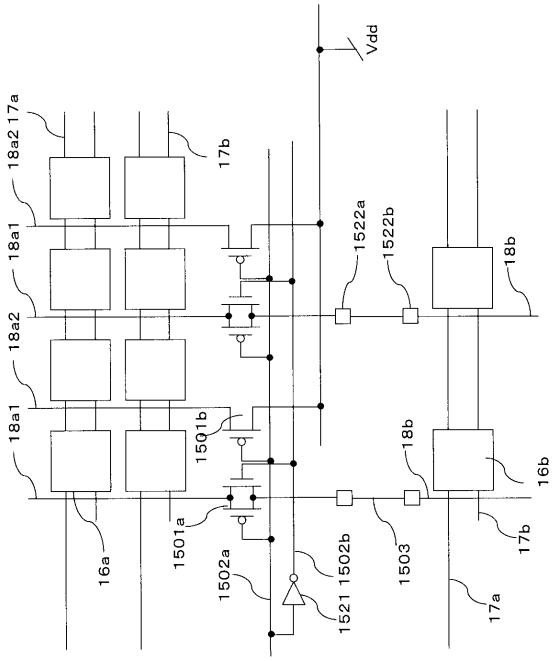
【図１５３】



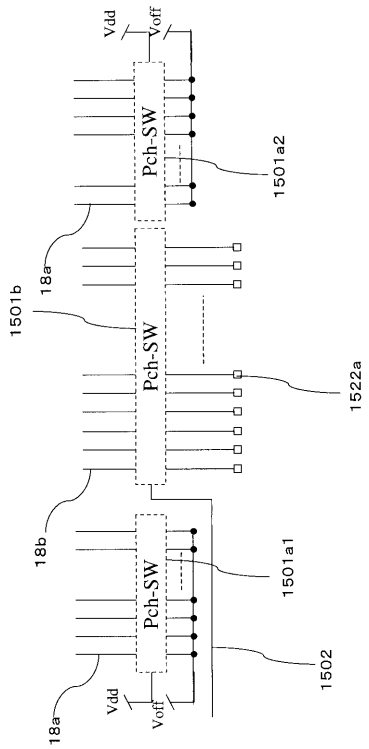
【図１５４】



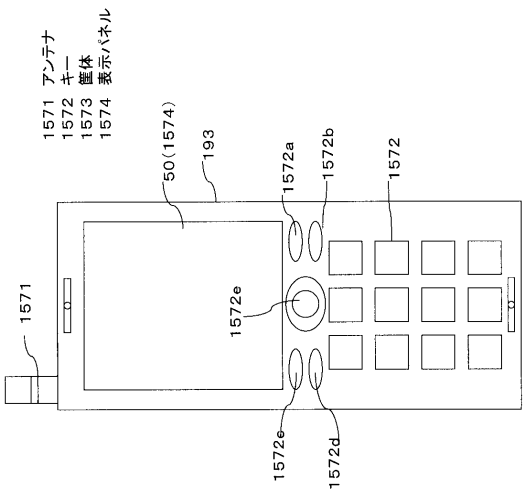
【図１５５】



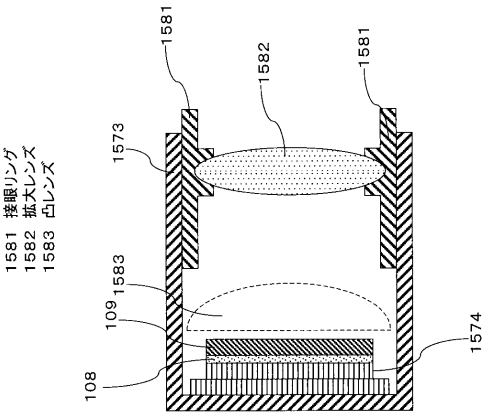
【図１５６】



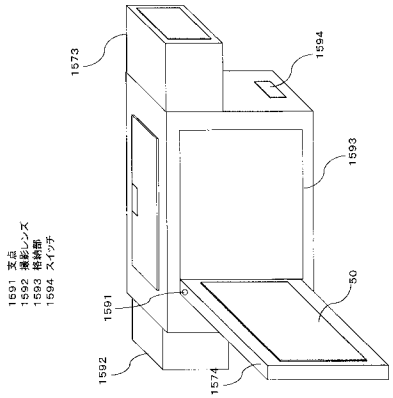
【図１５７】



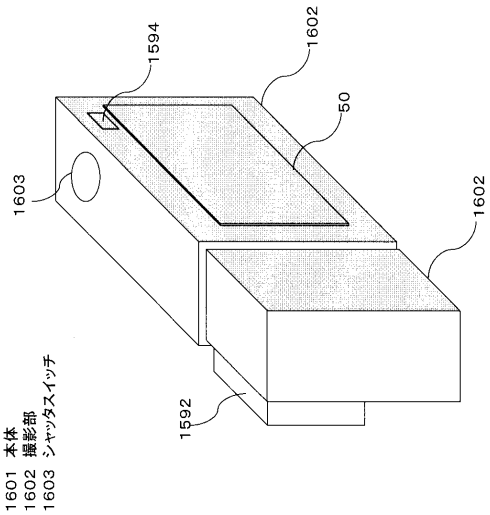
【図１５８】



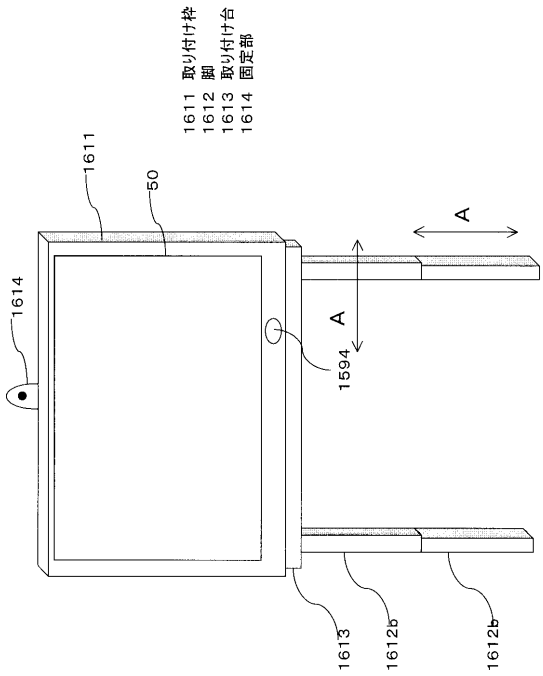
【図１５９】



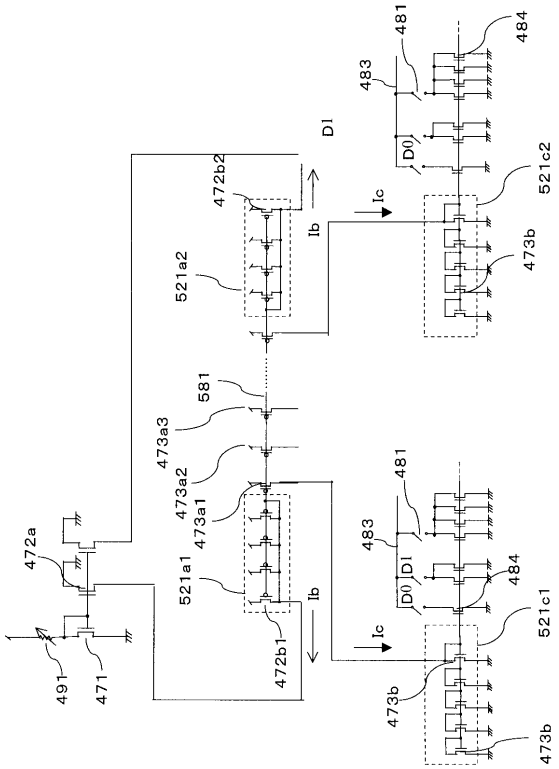
【図１６０】



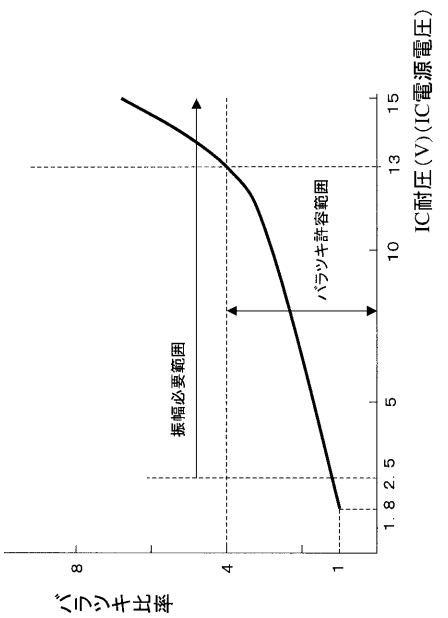
【図１６１】



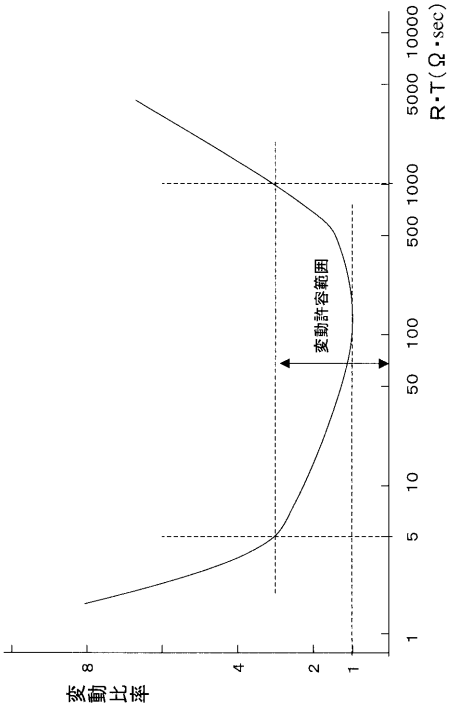
【図１６２】



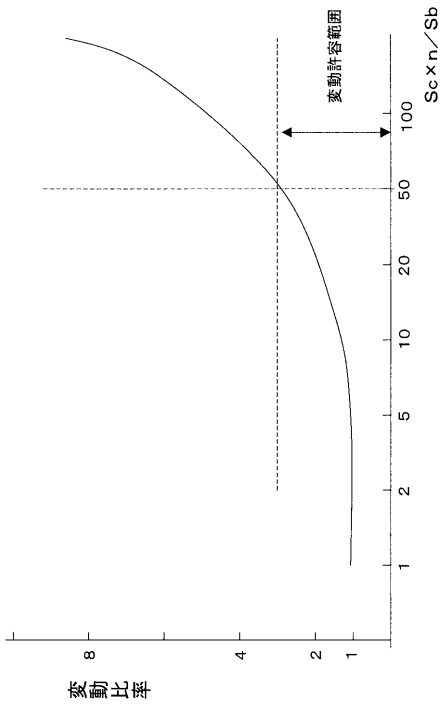
【図１６３】



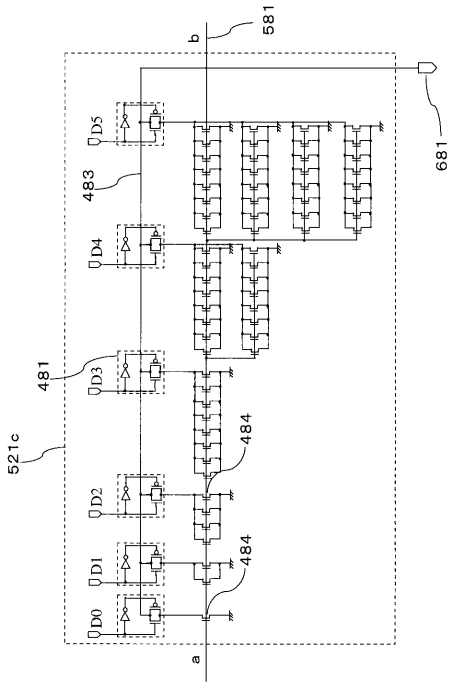
【図１６４】



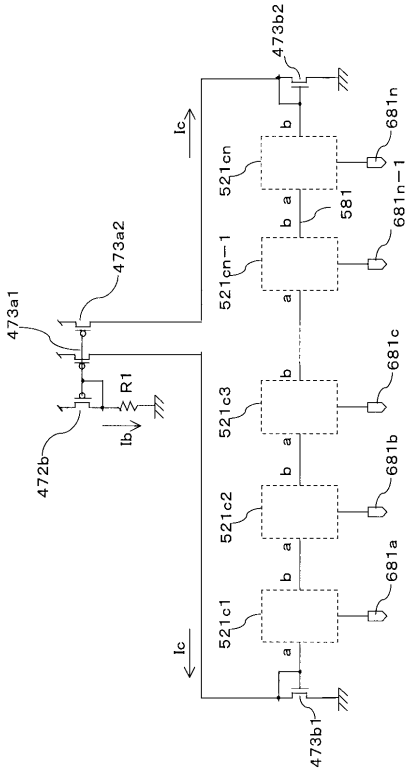
【図１６５】



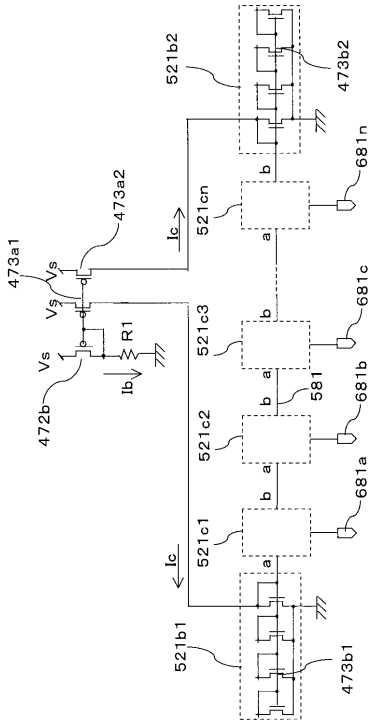
【図１６６】



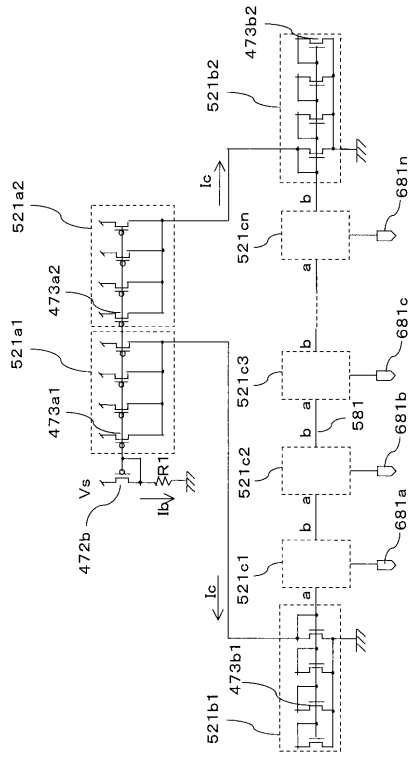
【図１６７】



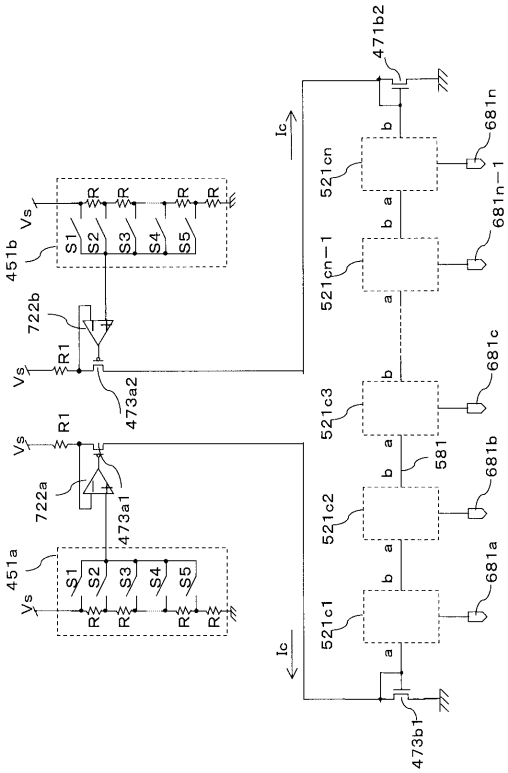
【図１６８】



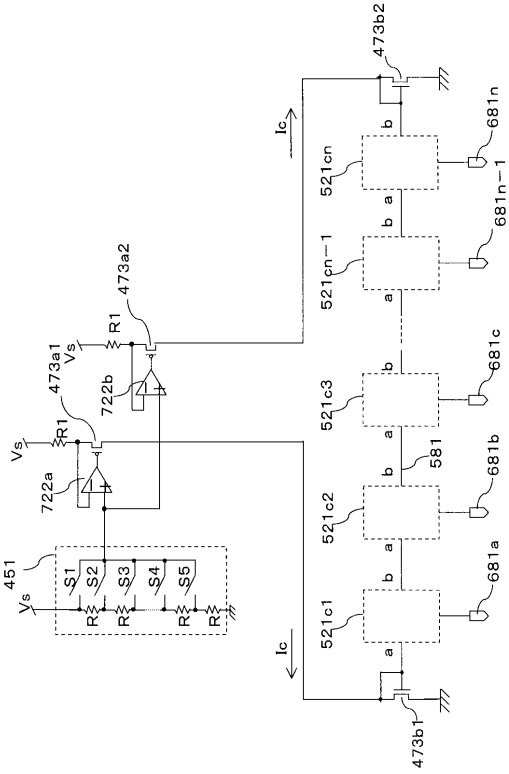
【図１６９】



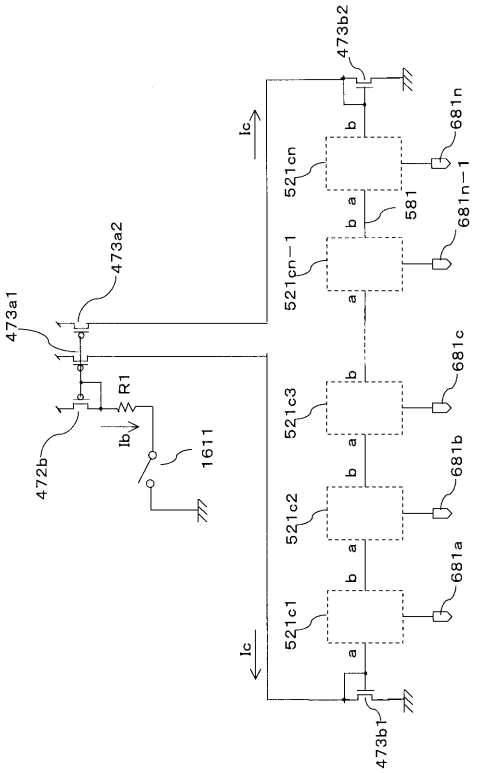
【図１７０】



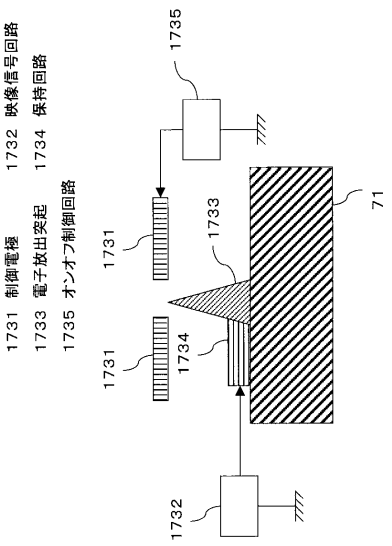
【図１７１】



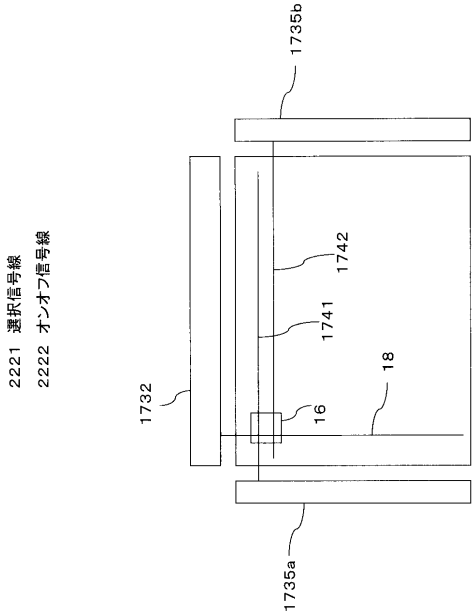
【図１７２】



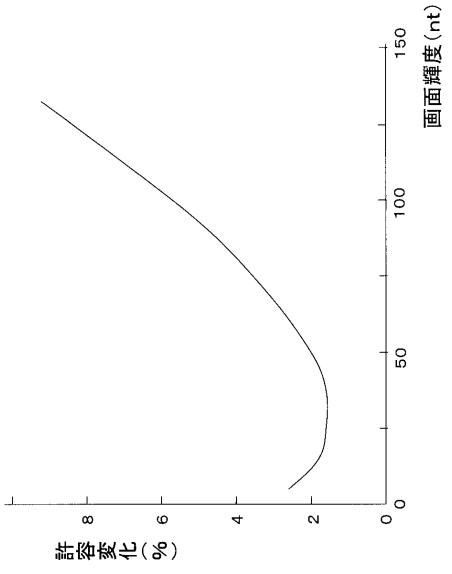
【図１７３】



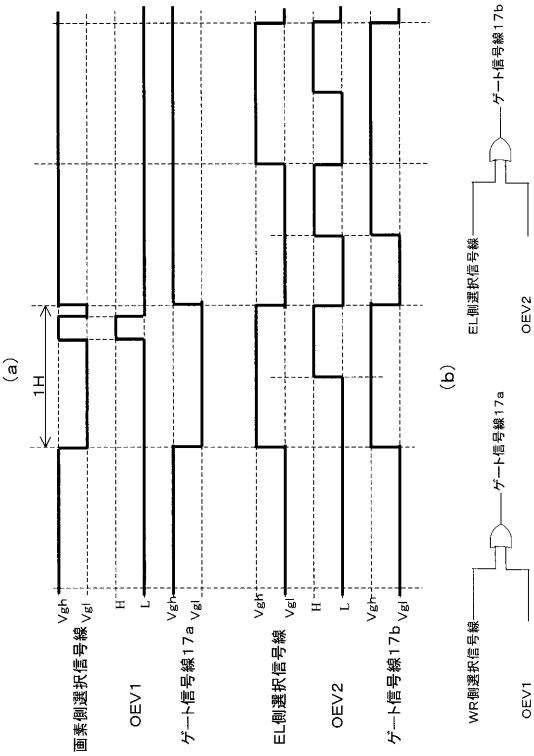
【図１７４】



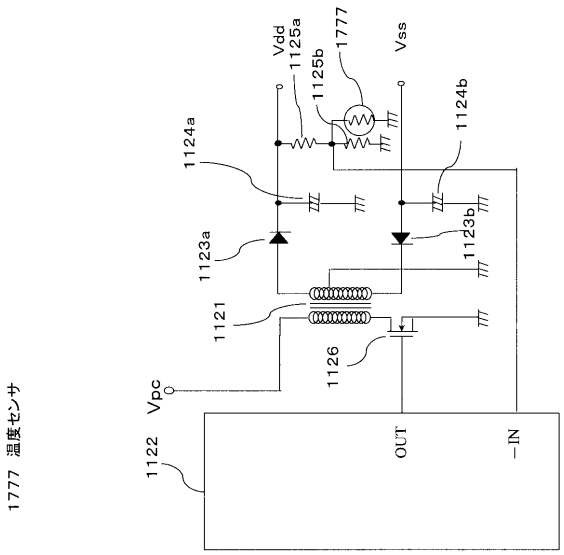
【図１７５】



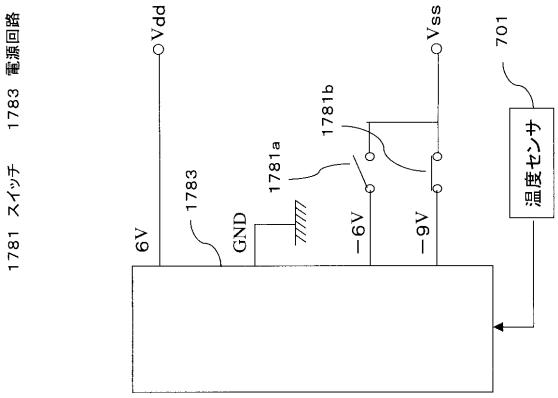
【図１７６】



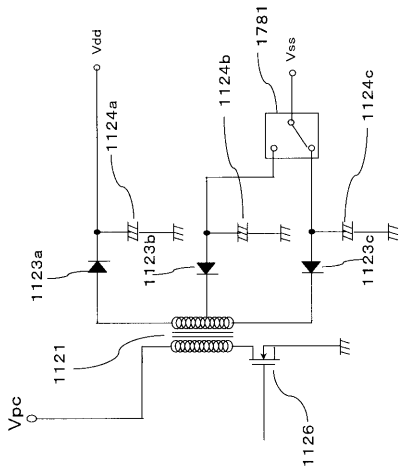
【図１７７】



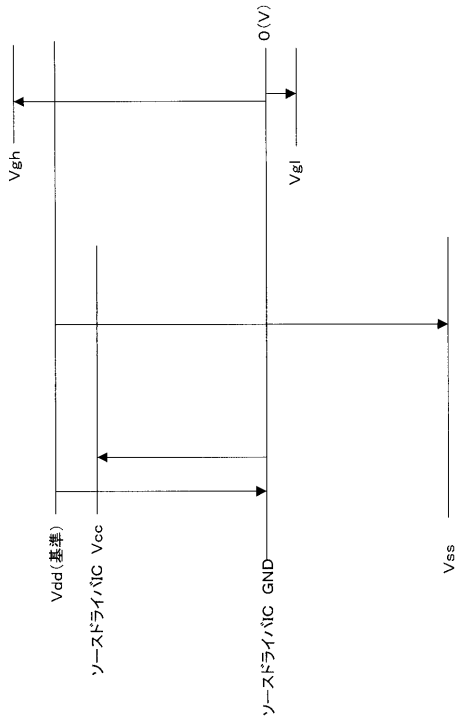
【図１７８】



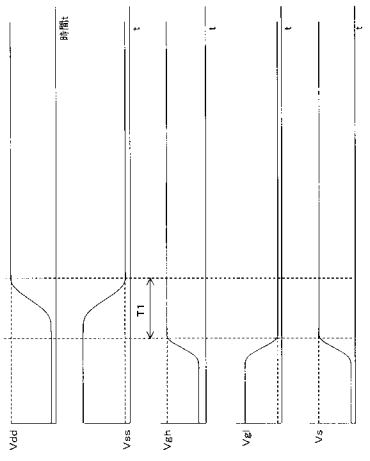
【図１７９】



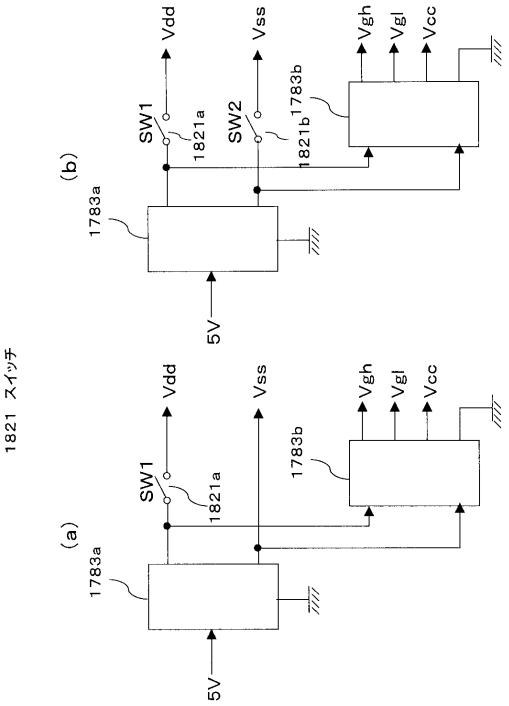
【図１８０】



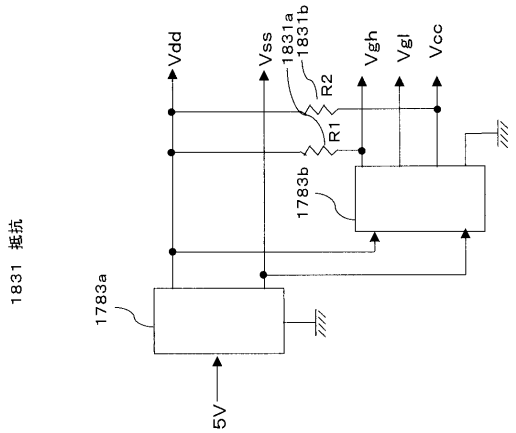
【図１８１】



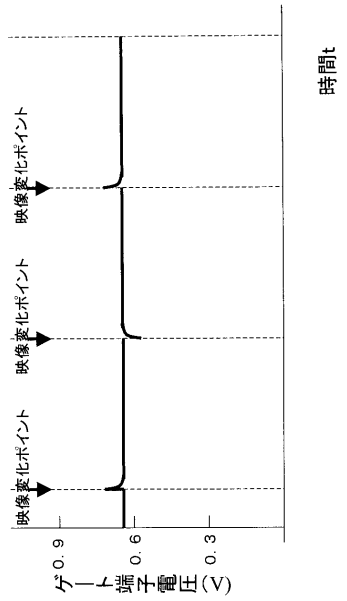
【図１８２】



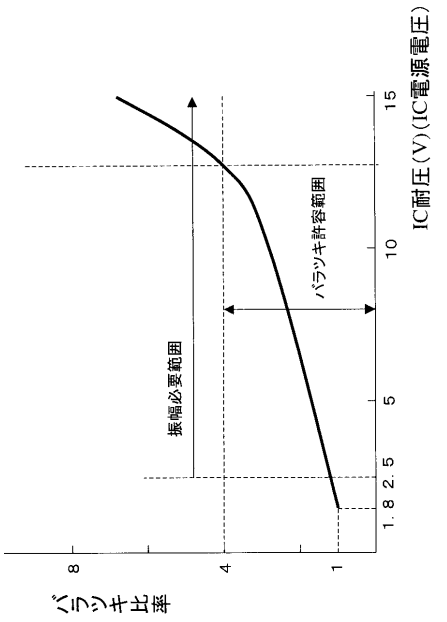
【図１８３】



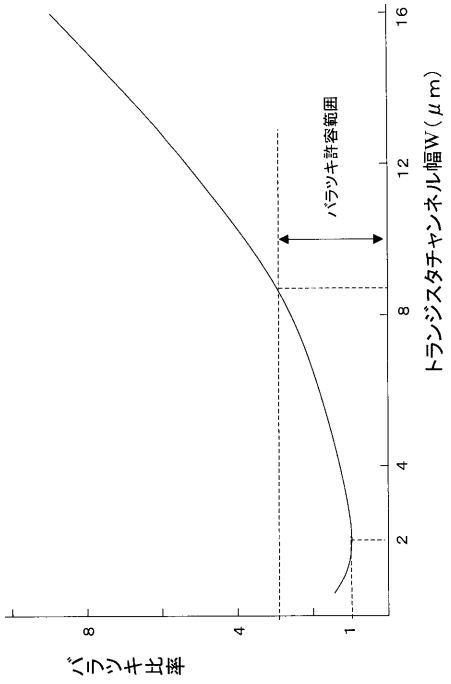
【図１８４】



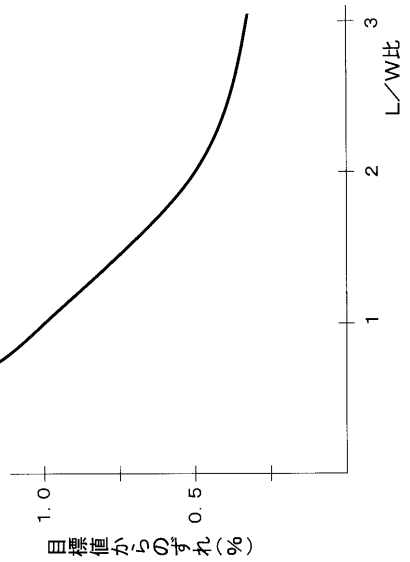
【図１８５】



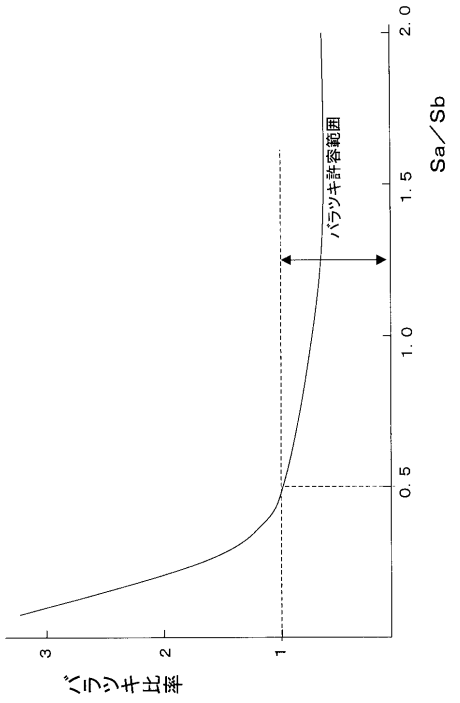
【図１８６】



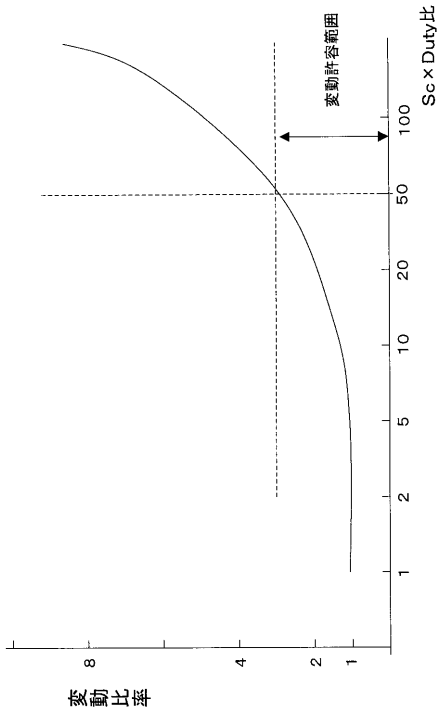
【図１８７】



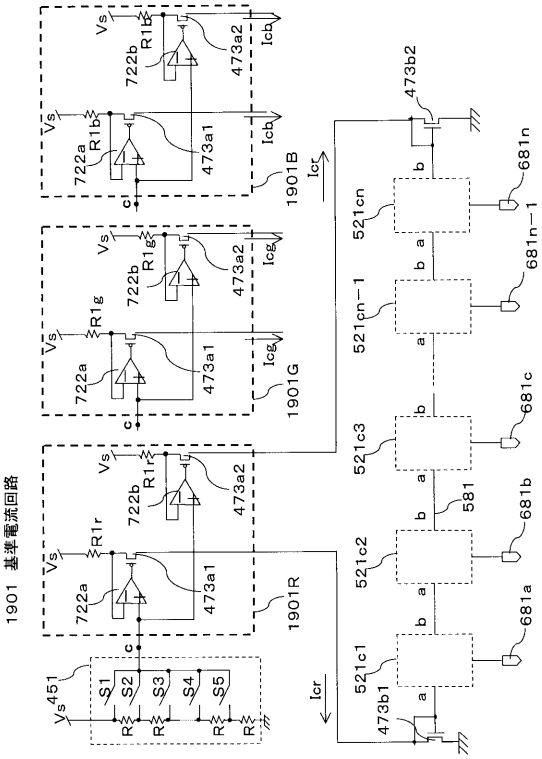
【図１８８】



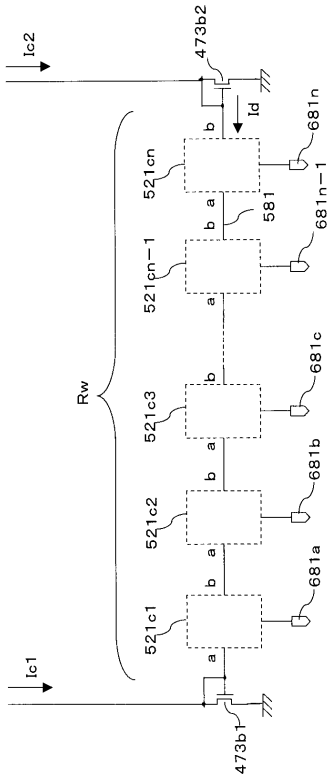
【図１８９】



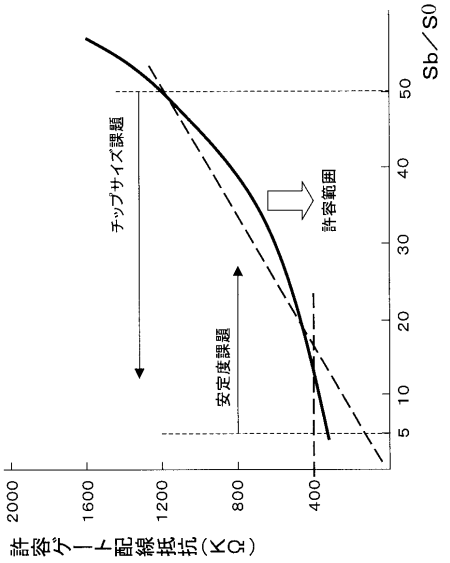
【図１９０】



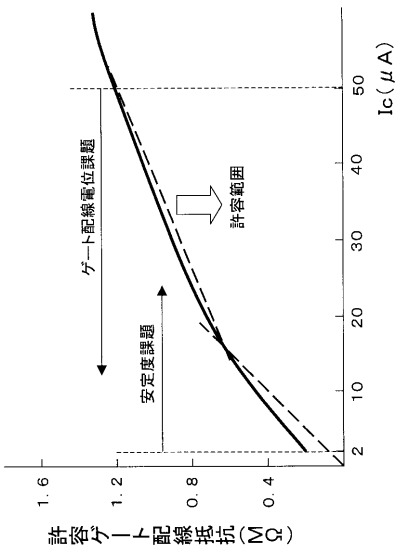
【図１９１】



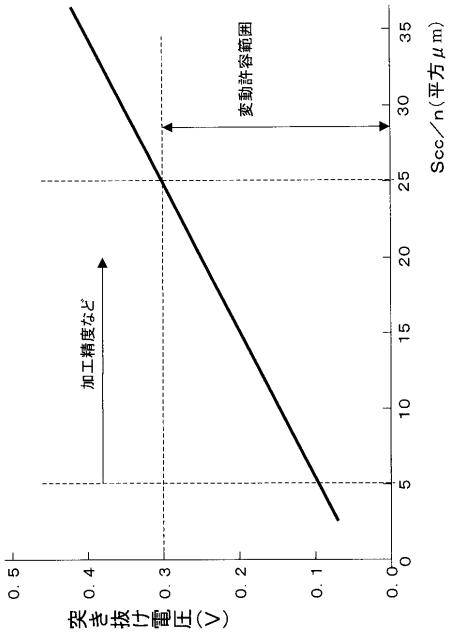
【図１９２】



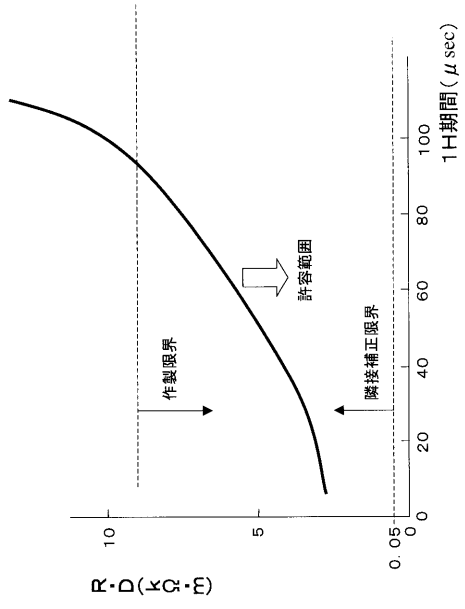
【図１９３】



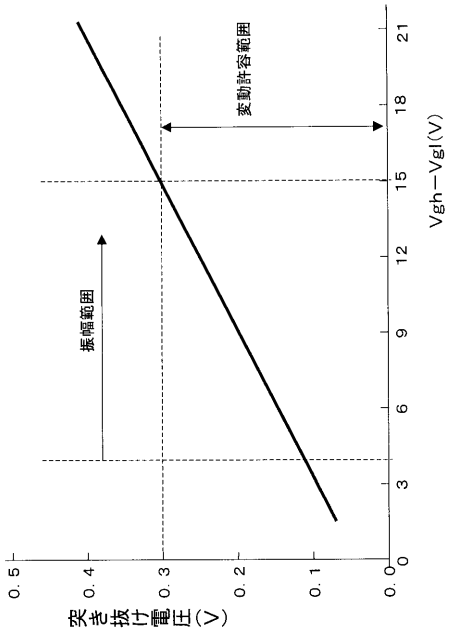
【図１９４】



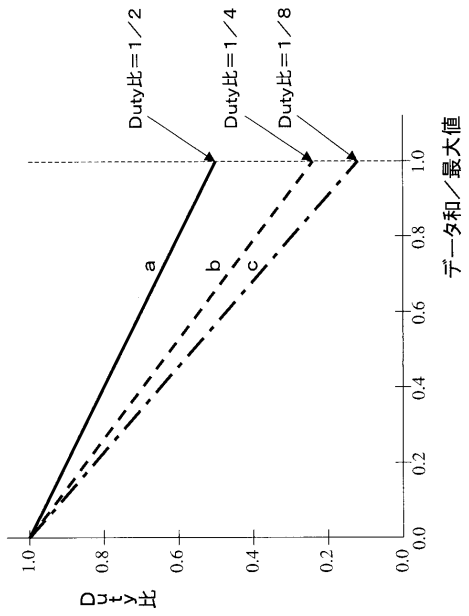
【図１９５】



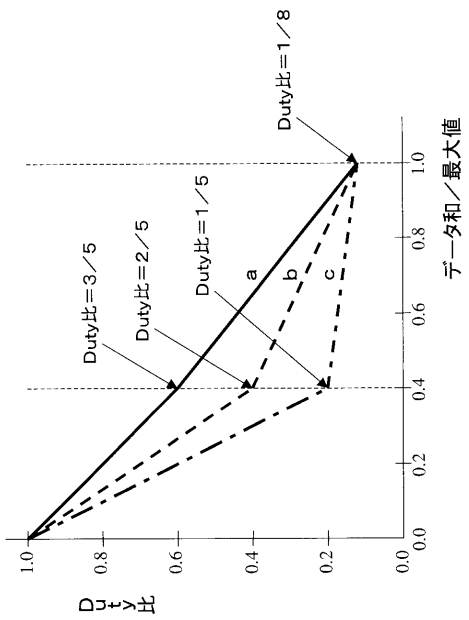
【図１９６】



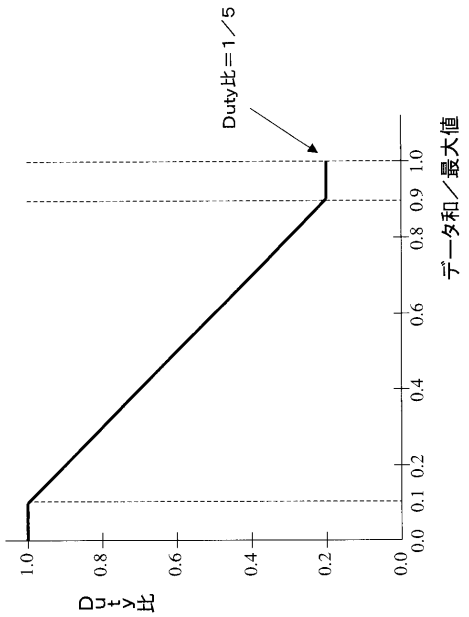
【図１９７】



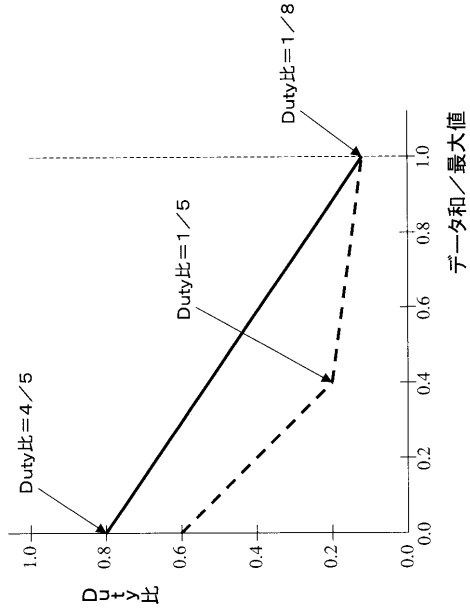
【図１９８】



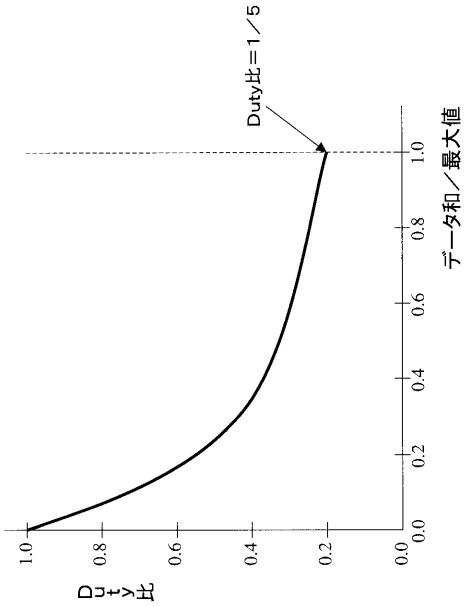
【図１９９】



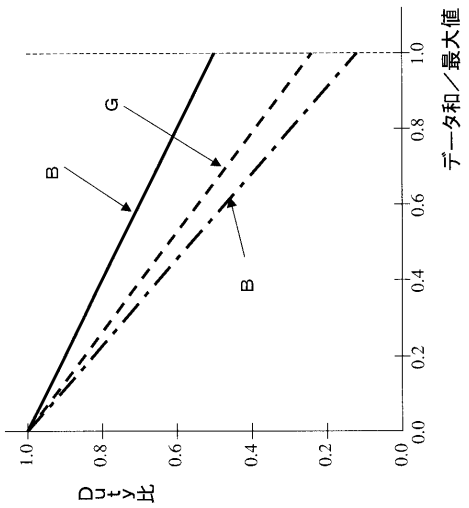
【図２００】



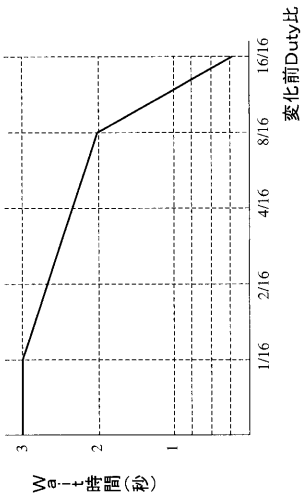
【図２０１】



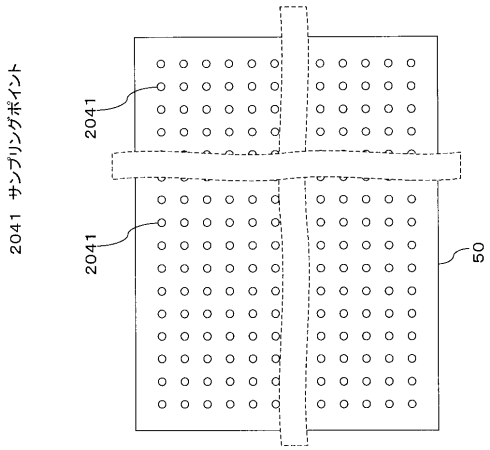
【図２０２】



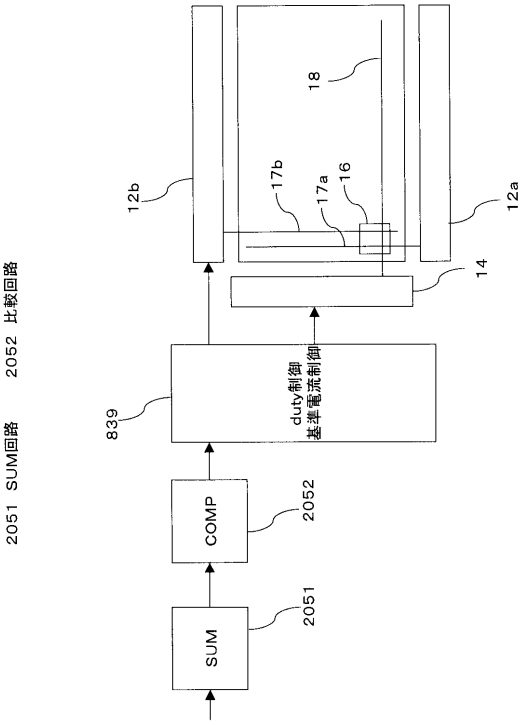
【図２０３】



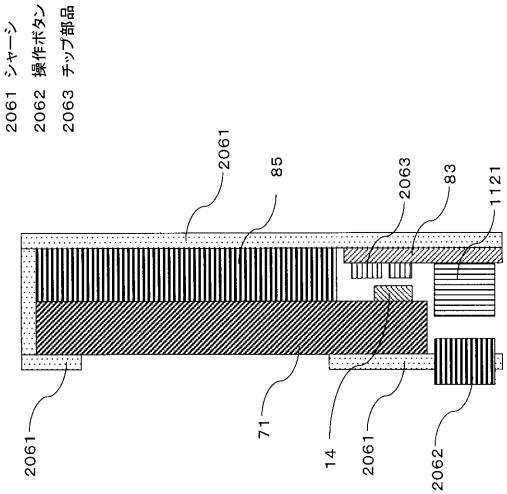
【図２０４】



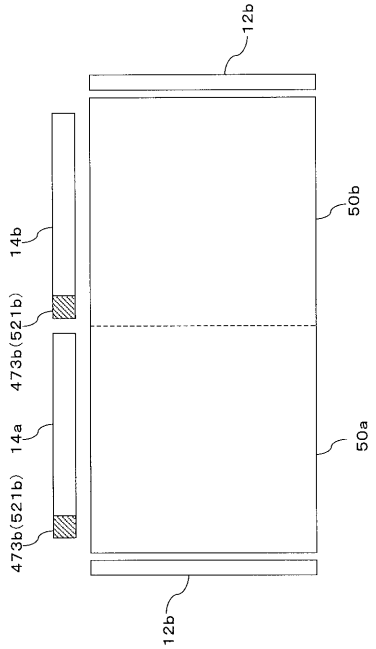
【図２０５】



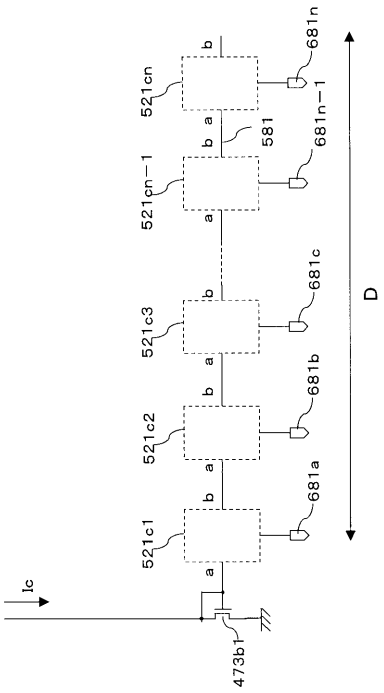
【図２０６】



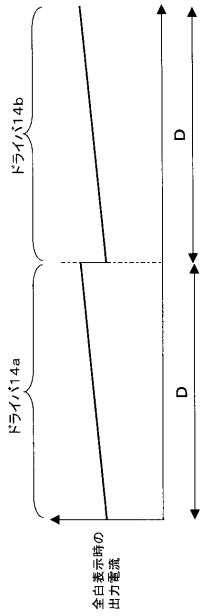
【図２０７】



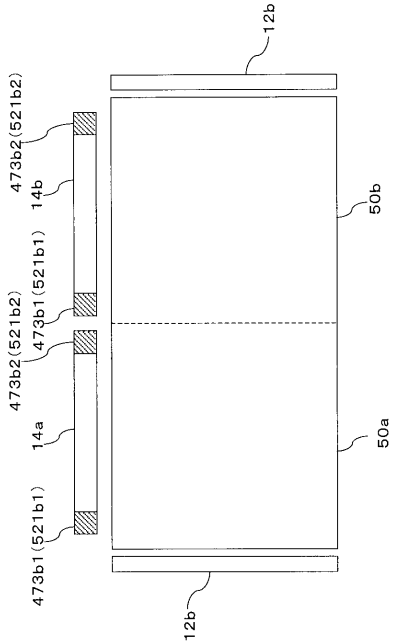
【図２０８】



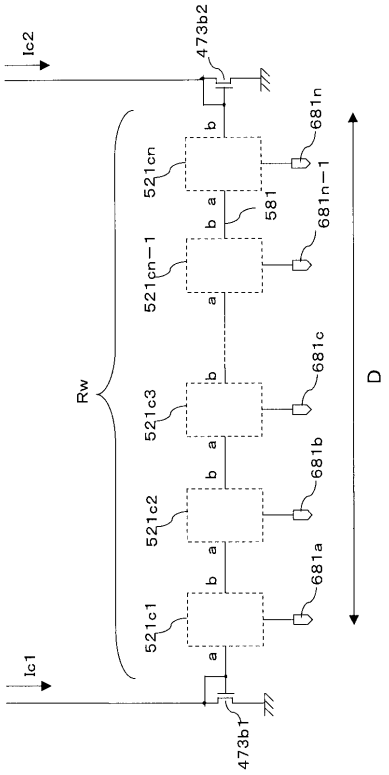
【図２０９】



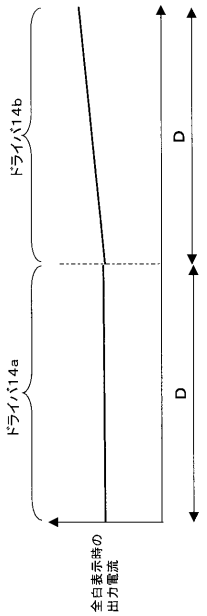
【図２１０】



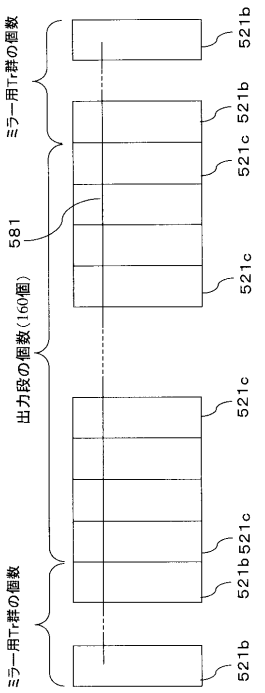
【図２１１】



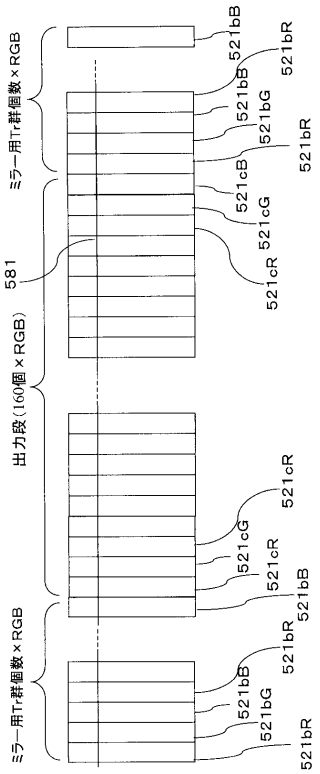
【図２１２】



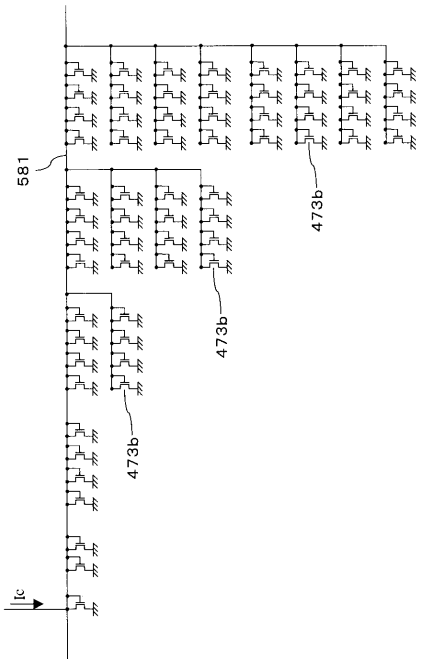
【図２１３】



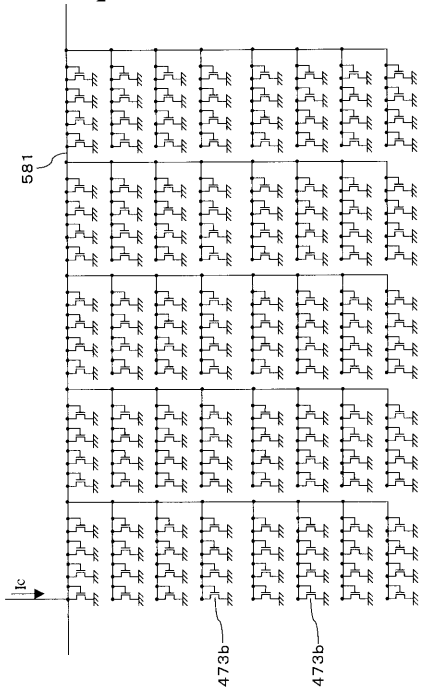
【図２１４】



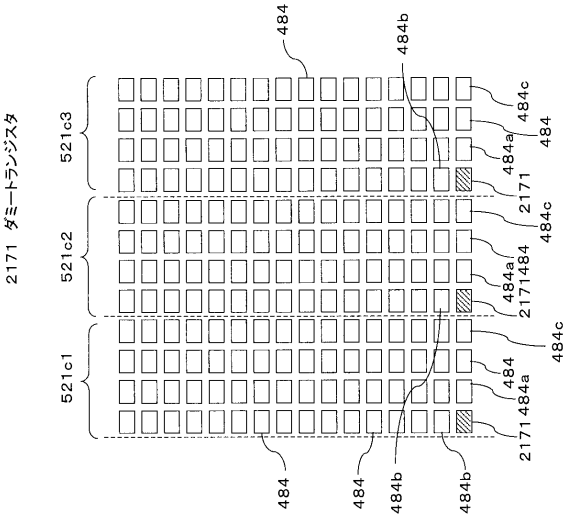
【図２１５】



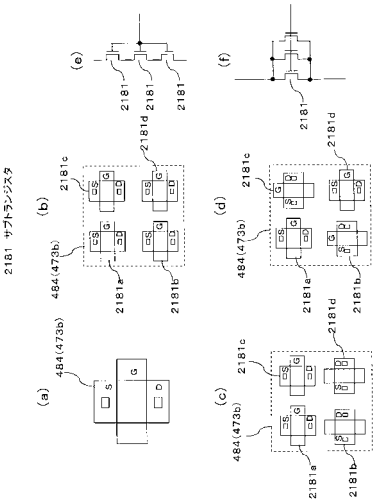
【図２１６】



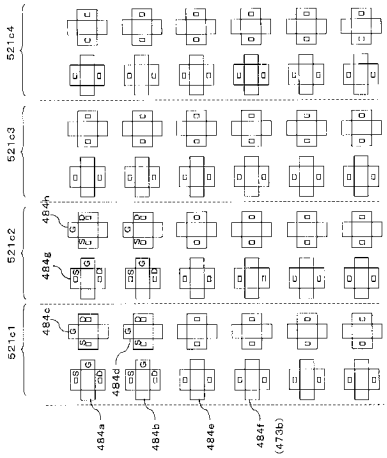
【図２１７】



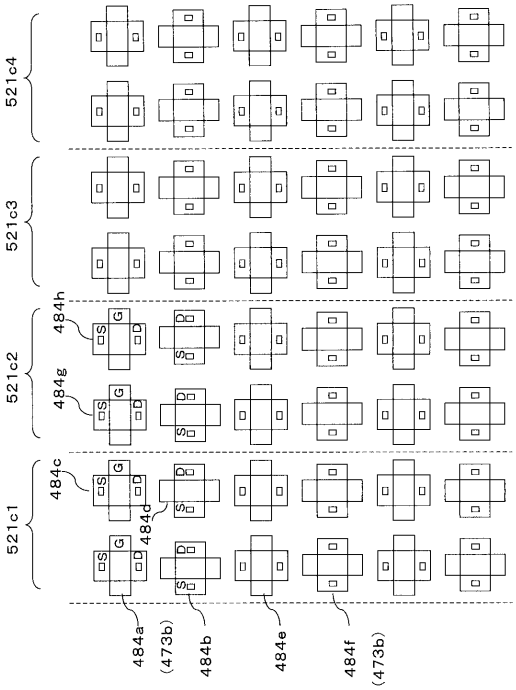
【図２１８】



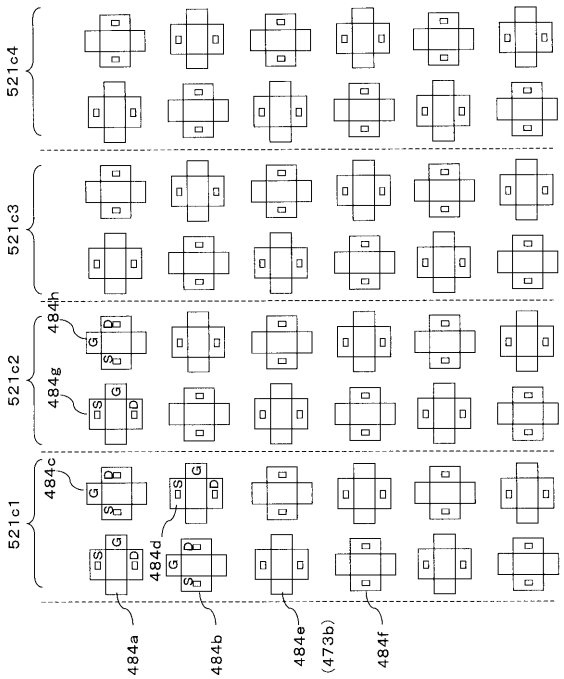
【図２１９】



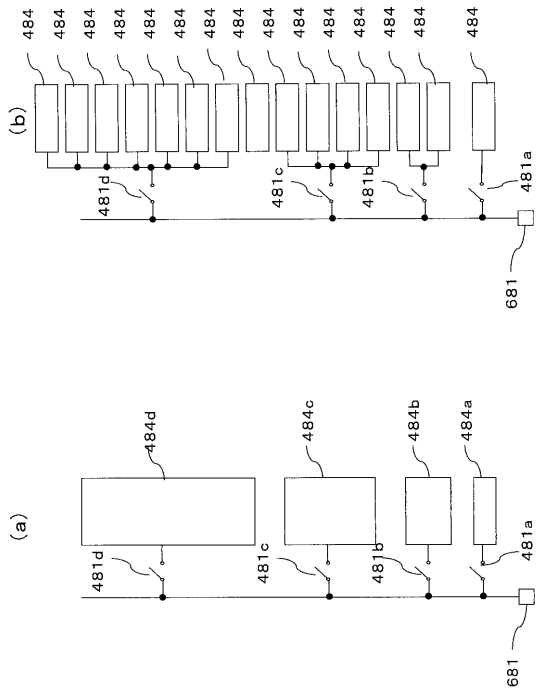
【図２２０】



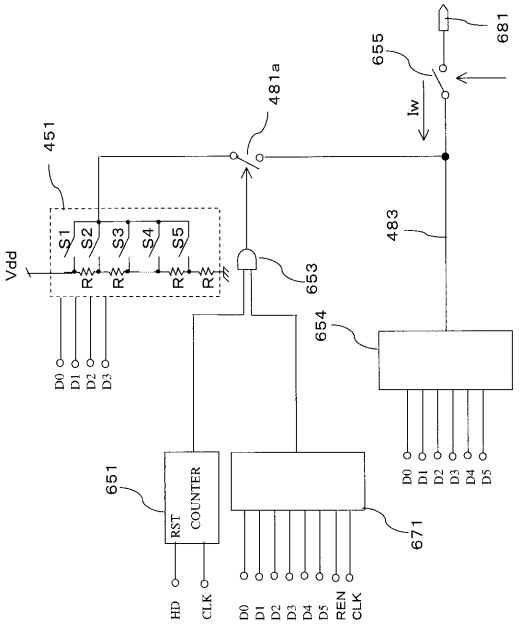
【図２２１】



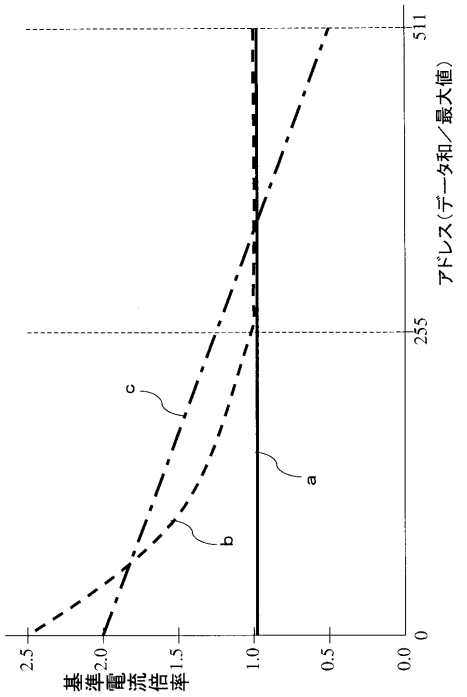
【図２２２】



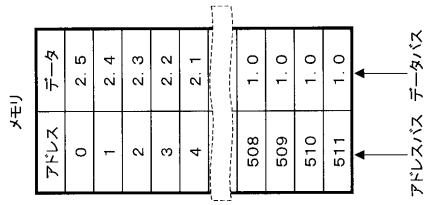
【図２２３】



【図２２４】

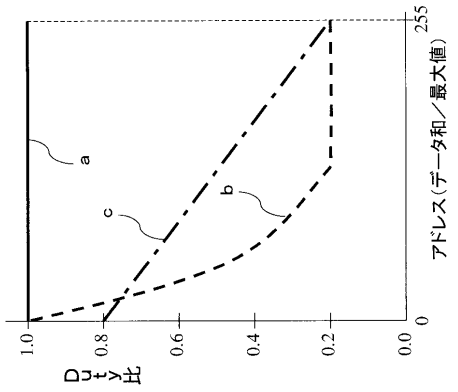


【図２２５】

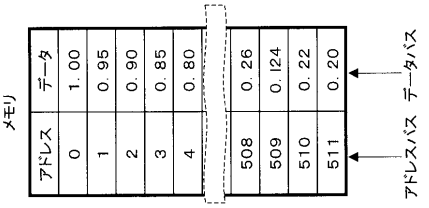


アドレス	データ
0	2.5
1	2.4
2	2.3
3	2.2
4	2.1
508	1.0
509	1.0
510	1.0
511	1.0

【図２２６】

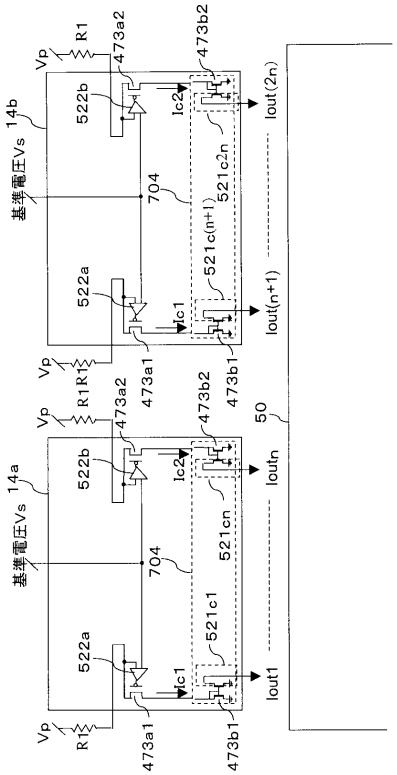


【図２２７】

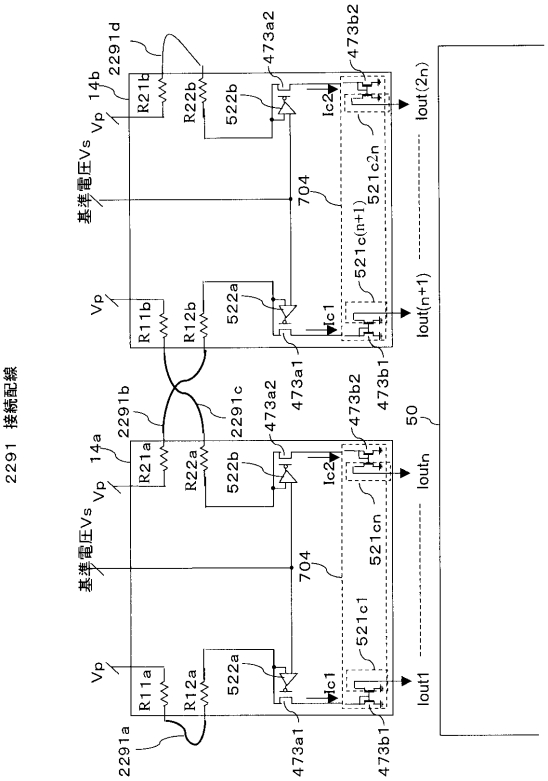


アドレス	データ
0	1.00
1	0.95
2	0.90
3	0.85
4	0.80
508	0.26
509	0.124
510	0.22
511	0.20

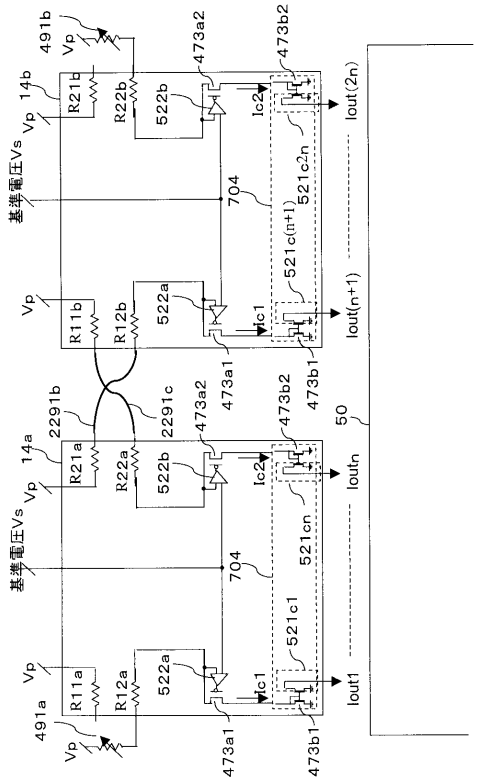
【図２２８】



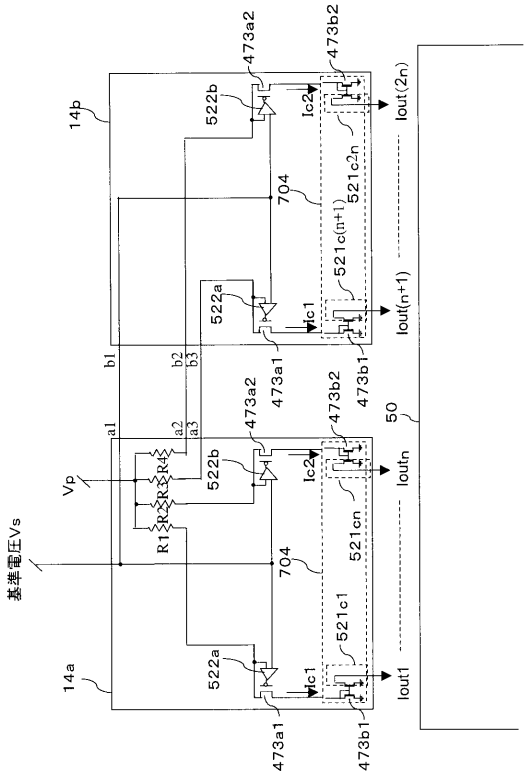
【図２２９】



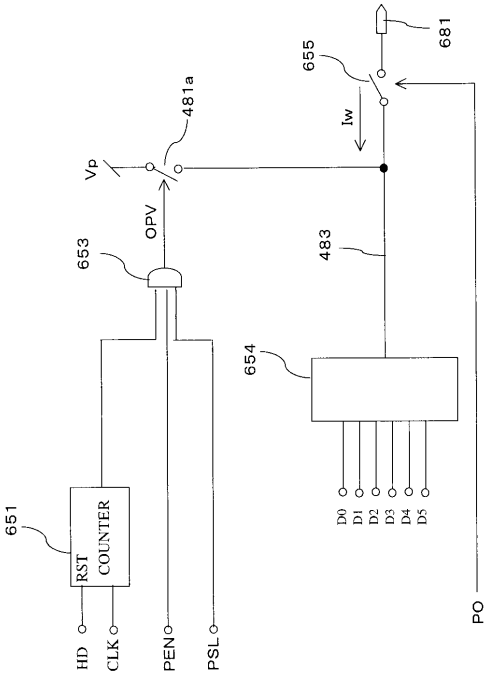
【図２３０】



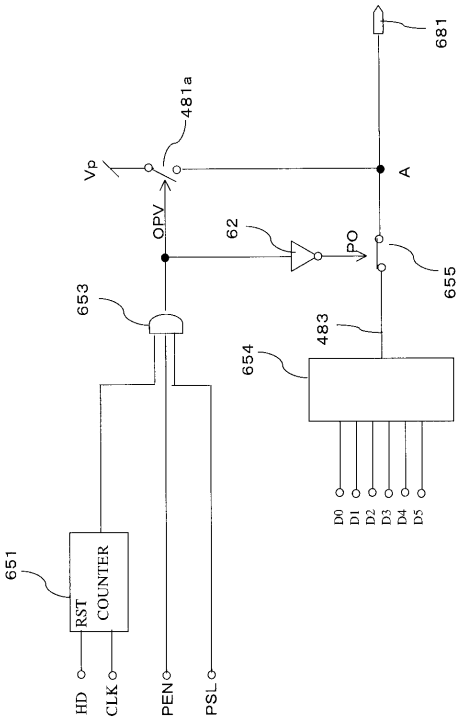
【図２３１】



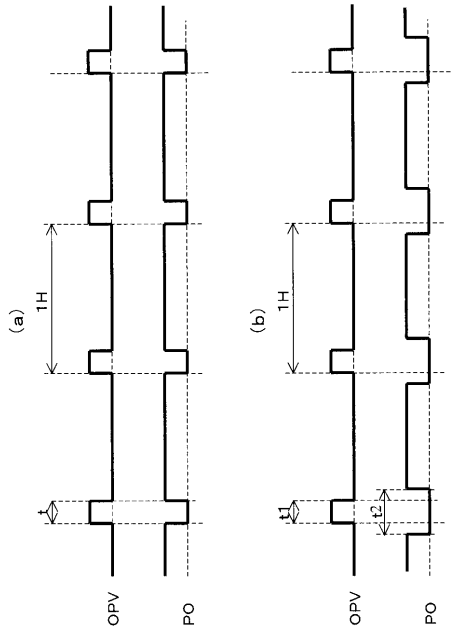
【図２３２】



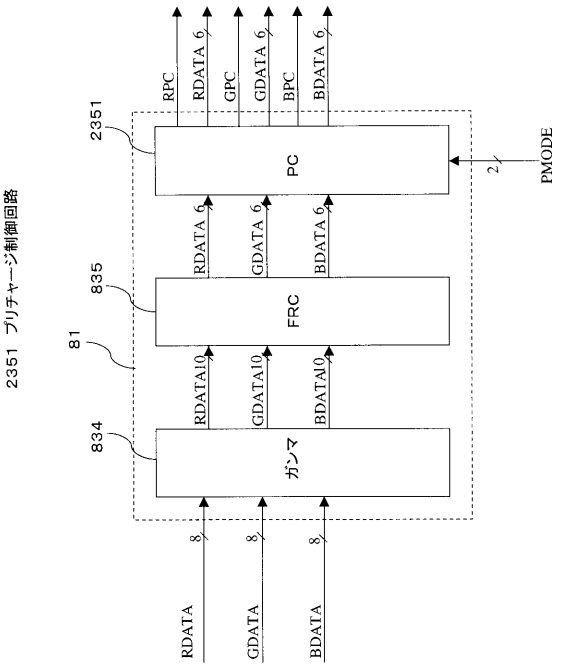
【図２３３】



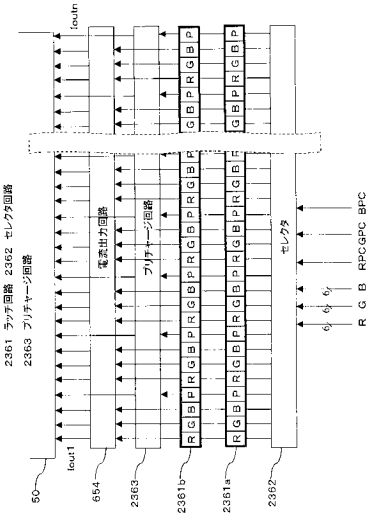
【図２３４】



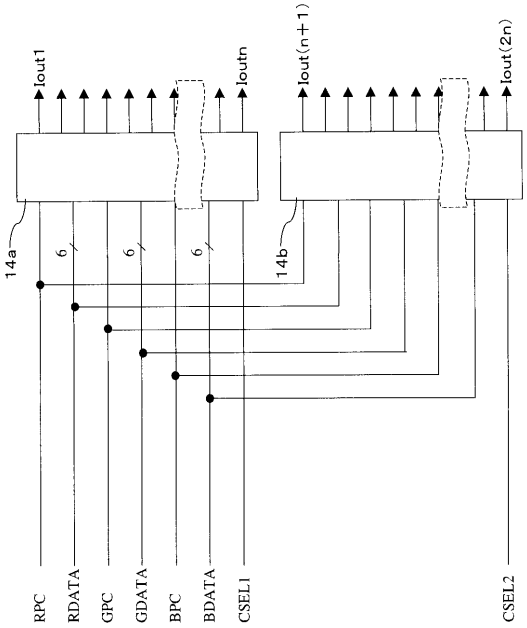
【図２３５】



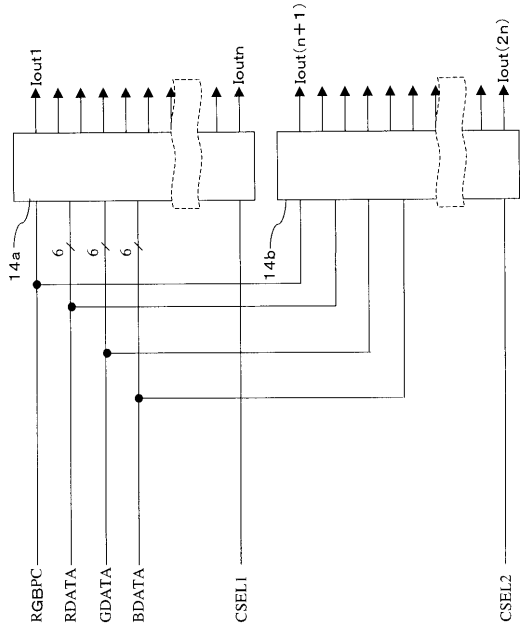
【図２３６】



【図２３７】



【図２３８】



【図２３９】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	L	H	H	H	H	L	L	H	H	L	L	L
P出力	×	×	○	×	○	○	○	○	×	×	○	○	○	×	×

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	H
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図２４０】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	H	H	L	H	H	H	H	L	L	H	H	H	L	H
P出力	×	○	○	×	○	○	○	○	×	×	○	○	○	×	○

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	H
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図２４１】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P出力	×	○	○	×	○	○	×	○	×	×	○	○	○	×	○

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図２４２】

(a)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	L	H	H	L	H	L	L	H	H	H	L	L
P出力	×	×	○	×	○	○	×	○	×	×	○	○	○	×	×

(b)

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	L
P出力	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×

【図２４３】

行番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
R画像データ	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	L
P出力	×	×	○	×	○	○	○	○	×	×	○	○	○	×	×
G画像データ	12	10	3	22	39	12	0	21	2	27	7	7	5	1	12
PEN	L	L	H	L	L	L	H	L	H	L	H	H	H	L	L
P出力	×	×	○	×	×	×	○	×	○	×	○	○	○	○	×
B画像データ	7	5	1	21	39	7	5	1	2	27	39	12	39	12	0
PEN	H	H	H	L	L	H	H	H	H	L	L	L	L	L	H
P出力	○	○	○	×	×	○	○	○	○	×	×	×	×	×	○

【図２４４】

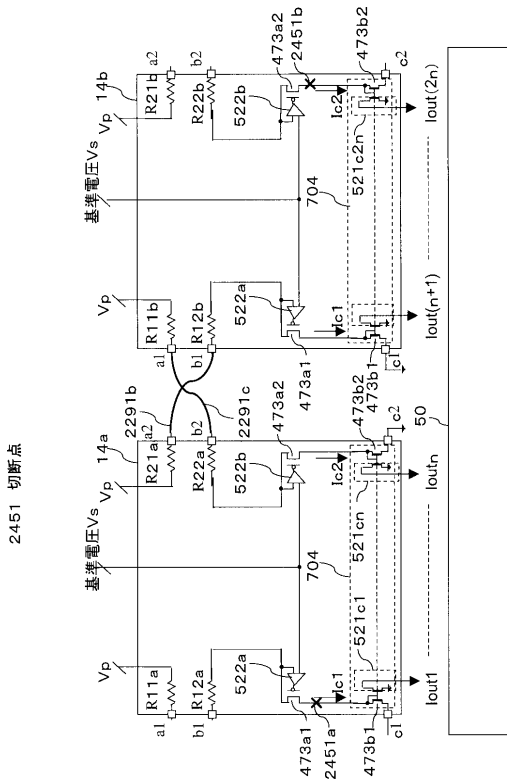
(a)

フレーム番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	0	0	0	7	0	21	27	0	0	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	H	L	H	L	H	L	L	H	H	L	L	L
カウント	0	0	1	2	3	4	0	1	0	0	1	2	0	0	0
P出力	×	×	×	×	○	○	×	×	×	×	×	×	×	×	×

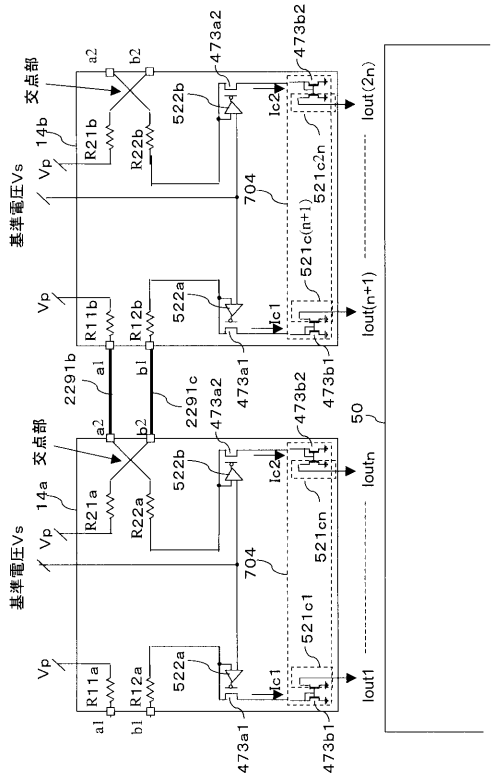
(b)

フレーム番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
画像データ	39	12	0	0	0	0	7	0	21	27	0	0	1	61	12
PSL	H	H	H	H	L	H	H	H	H	H	H	L	H	H	H
PEN	L	L	H	H	H	H	L	H	L	L	H	H	L	L	L
カウント	0	0	1	2	2	3	0	1	0	0	1	1	0	0	0
P出力	×	×	×	×	×	○	×	×	×	×	×	×	×	×	×

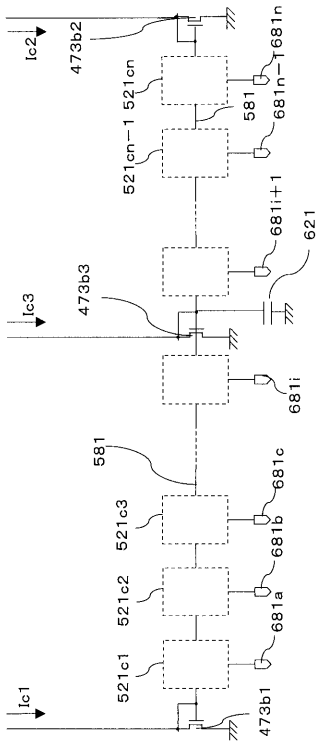
【図２４５】



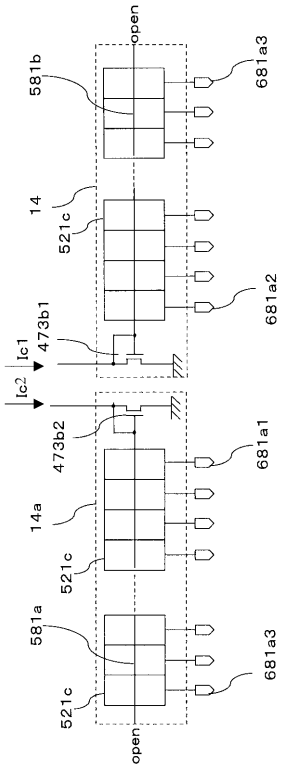
【図２４６】



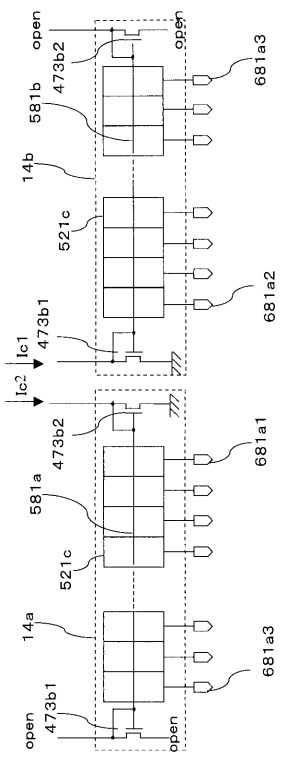
【図２４７】



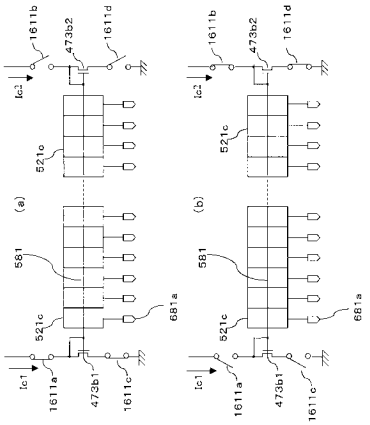
【図２４８】



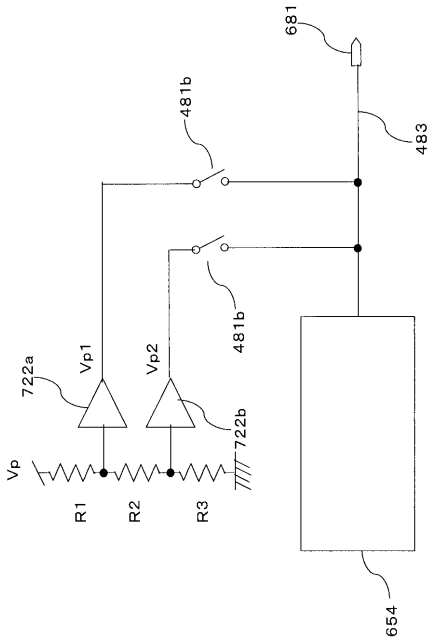
【図２４９】



【図２５０】



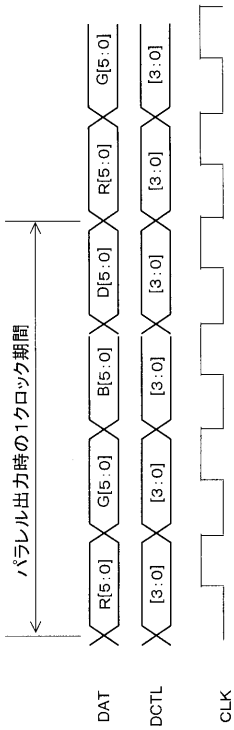
【図２５１】



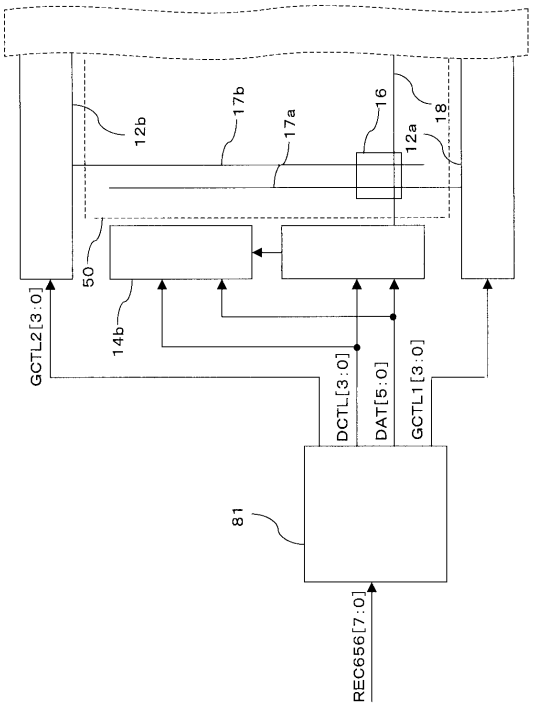
【図２５２】

データ識別 DCTL[3:0]				設定データ DAT[5:0]						
3	2	1	0	5	4	3	2	1	0	
0	0	0	プリチャージR	映像信号データR [5:0]						
0	0	1	プリチャージG	映像信号データG [5:0]						
0	1	0	プリチャージB	映像信号データB [5:0]						
0	1	1	X	X						
1	0	0	0	電子ボリューム基準電流設定		R[5:0]				
1	0	0	1	電子ボリューム基準電流設定		G[5:0]				
1	0	1	0	電子ボリューム基準電流設定		B[5:0]				
1	0	1	1	X						
1	1	0	0	X	X	電子ボリュームプリチャージ電圧設定				R[3:0]
1	1	0	1	X	X	電子ボリュームプリチャージ電圧設定				G[3:0]
1	1	1	0	X	X	電子ボリュームプリチャージ電圧設定				B[3:0]
1	1	1	1	X						

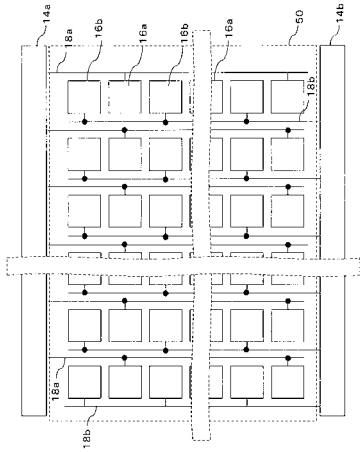
【図２５３】



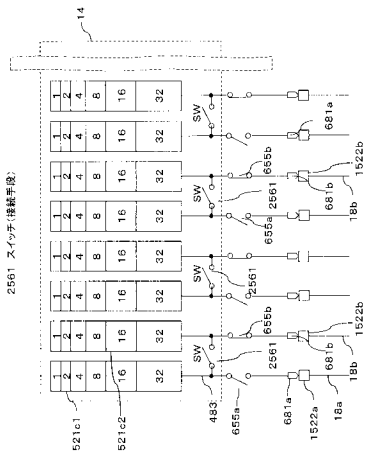
【図２５４】



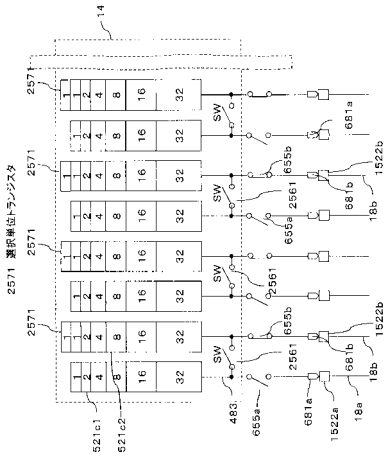
【図２５５】



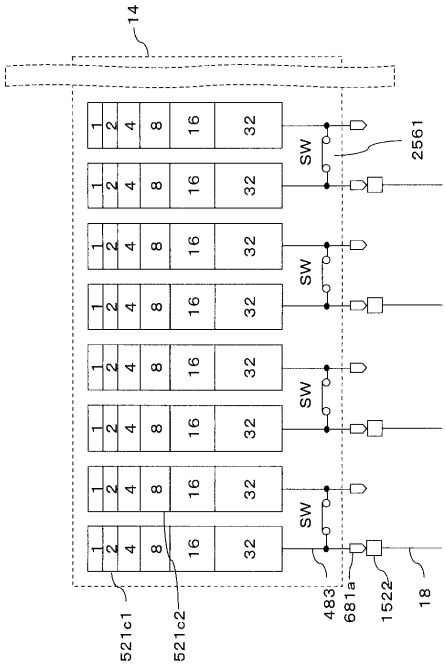
【図２５６】



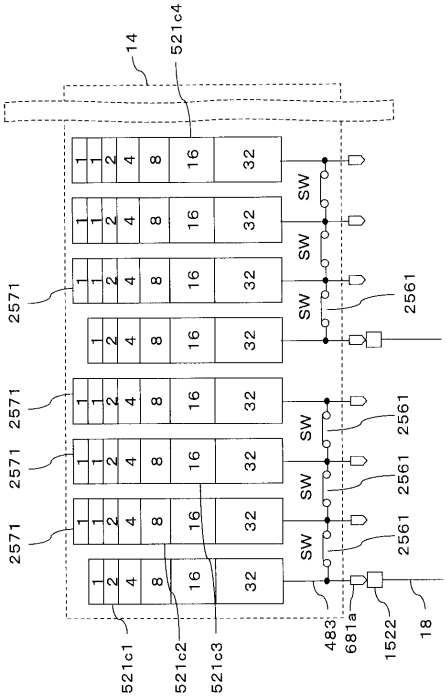
【図２５７】



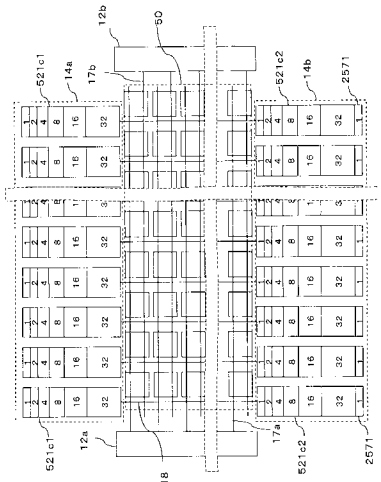
【図２５８】



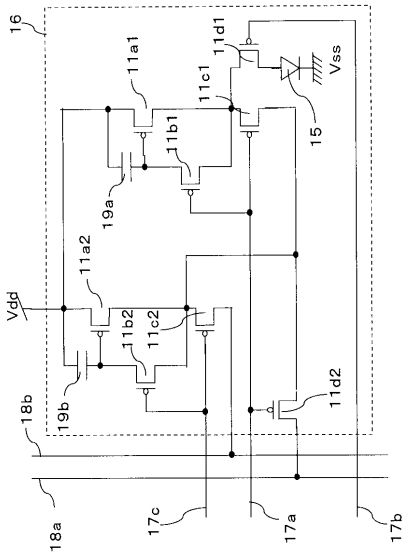
【図２５９】



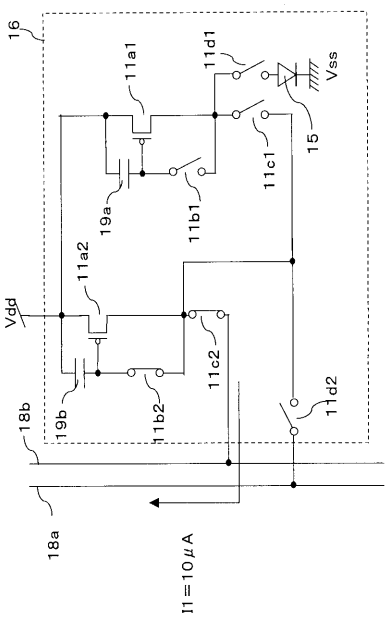
【図２６０】



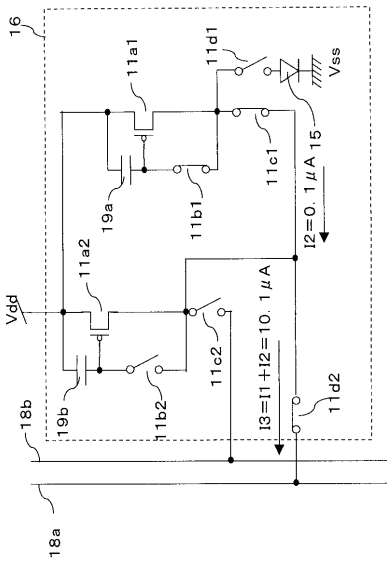
【図２６１】



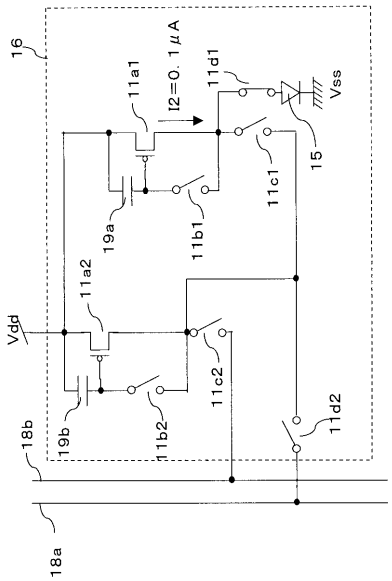
【図２６２】



【図２６３】



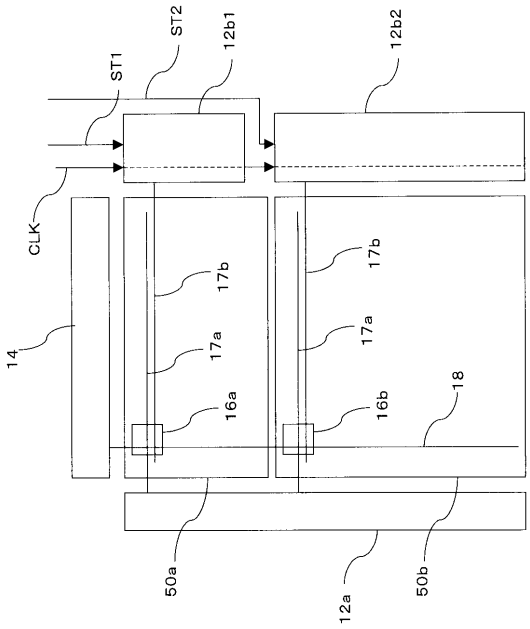
【図２６４】



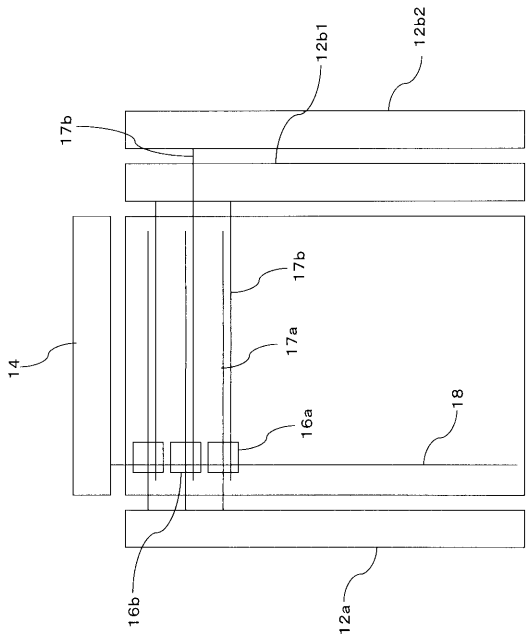
【図２６５】

	11c2	11b2	11d2	11b1	11d1	11c1
1	close	close	open	open	open	open
2	open	open	close	close	open	close
3	open	open	open	open	close	open

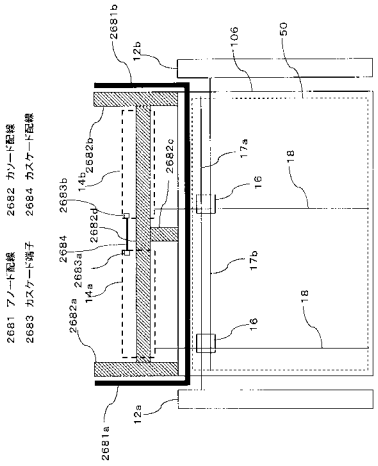
【図２６６】



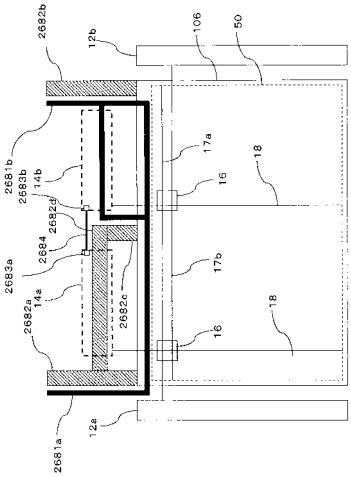
【図２６７】



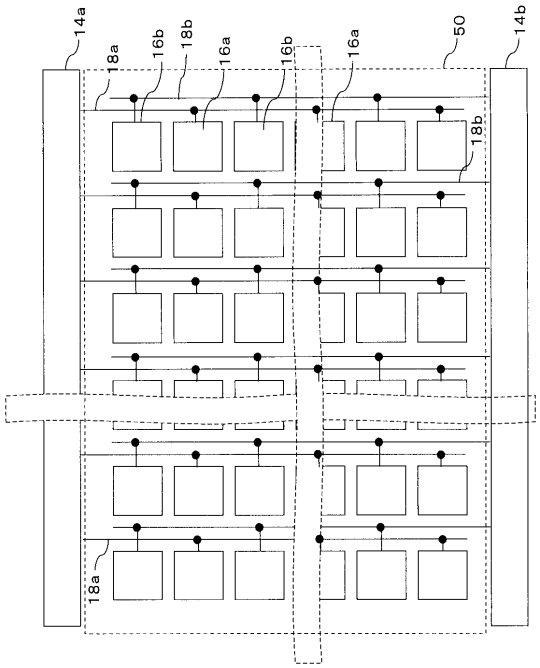
【図２６８】



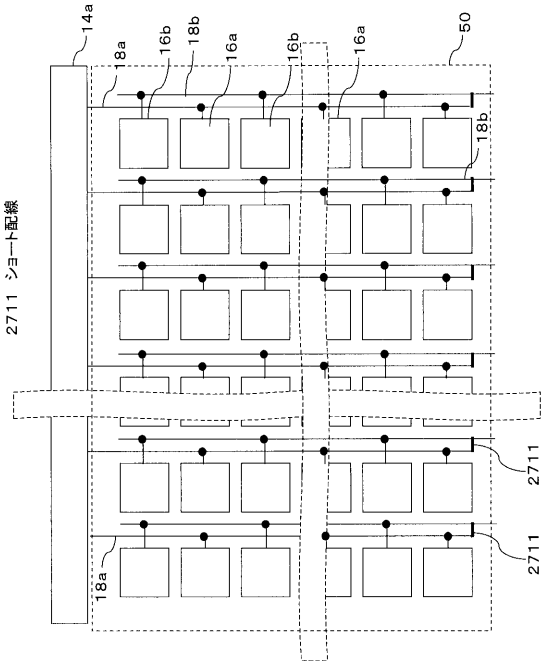
【図２６９】



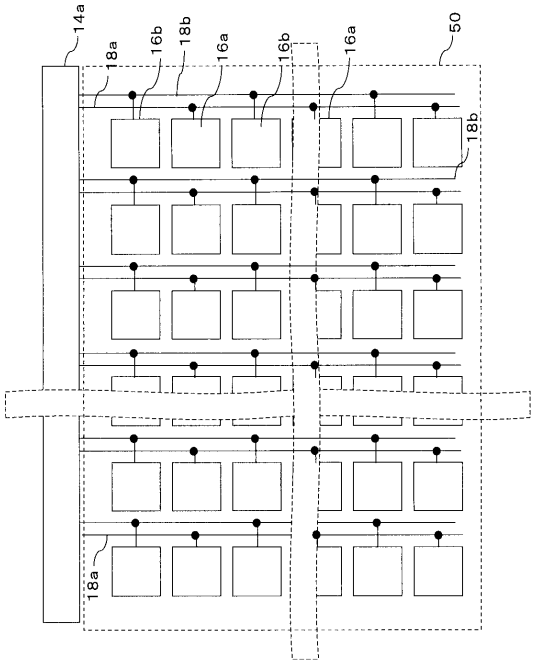
【図２７０】



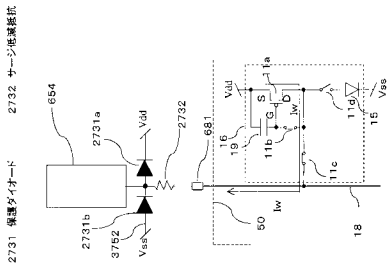
【図２７１】



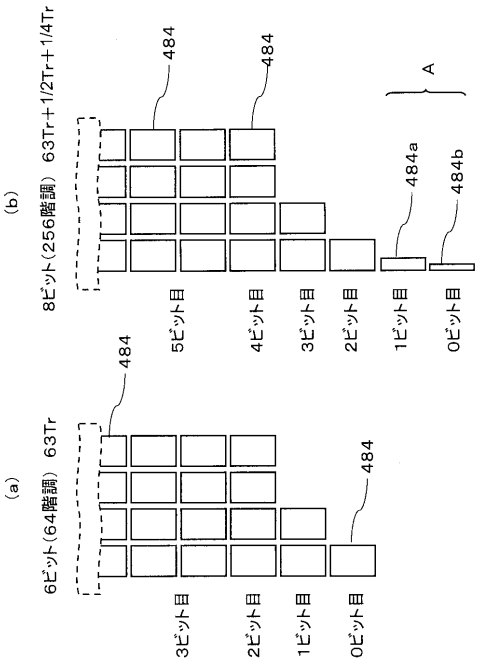
【図２７２】



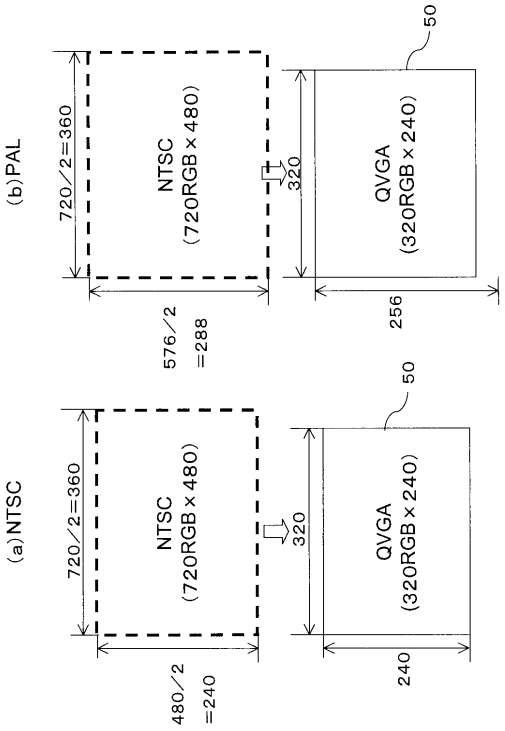
【図２７３】



【図２７４】



【図２７５】



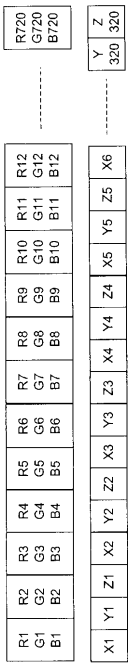
【図２７６】

画素データ変換 9画素	画素データ変換 8画素演算	備考
1	1/2+1/4+1/8	1画素目
2	1/8	
2	1/2+1/4	2画素目
3	1/4	
3	1/2+1/8	3画素目
4	1/4+1/8	
4	1/2	4画素目
5	1/2	
5	1/4+1/8	5画素目
6	1/2+1/8	
6	1/4	6画素目
7	1/2+1/4	
7	1/8	7画素目
8	1/2+1/4+1/8	
8	0	8画素目
9	1/1	
-	-	

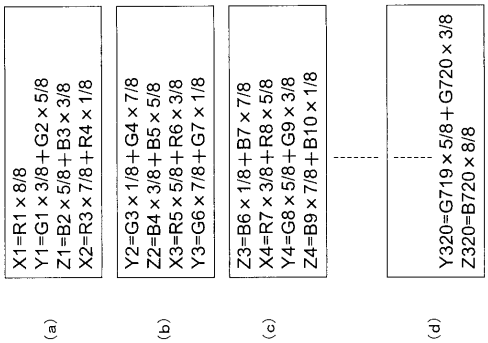
【図２７７】

画素データ変換 5画素	画素データ変換 4画素演算	備考
1	1/2+1/4	1画素目
2	1/4	
2	1/2	2画素目
3	1/2	
3	1/4	3画素目
4	1/2+1/4	
4	0	4画素目
5	1/1	

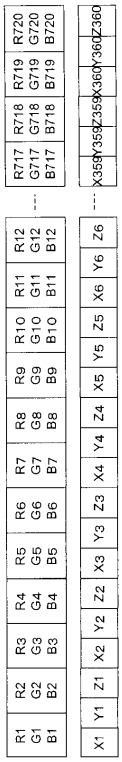
【図２７８】



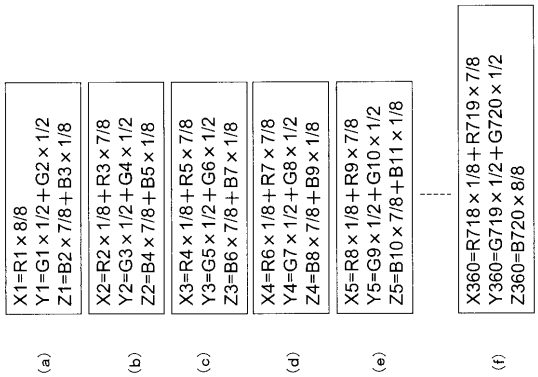
【図２７９】



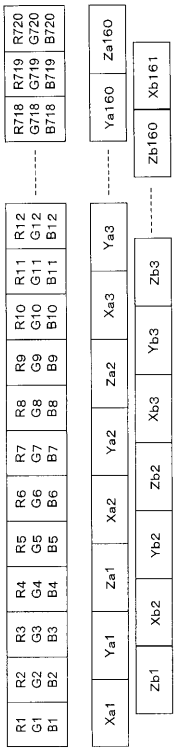
【図２８０】



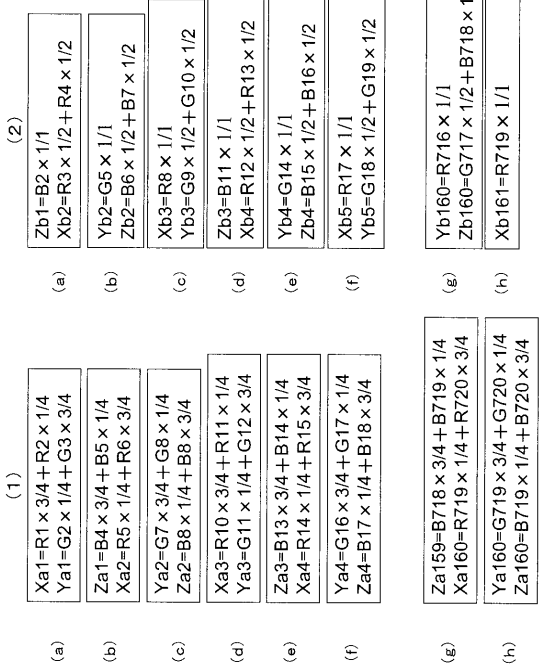
【図２８１】



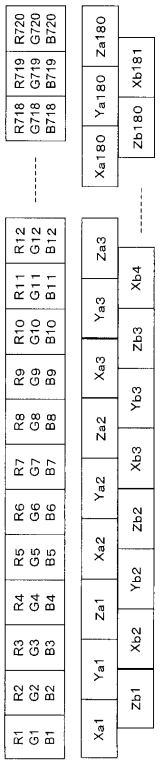
【図２８２】



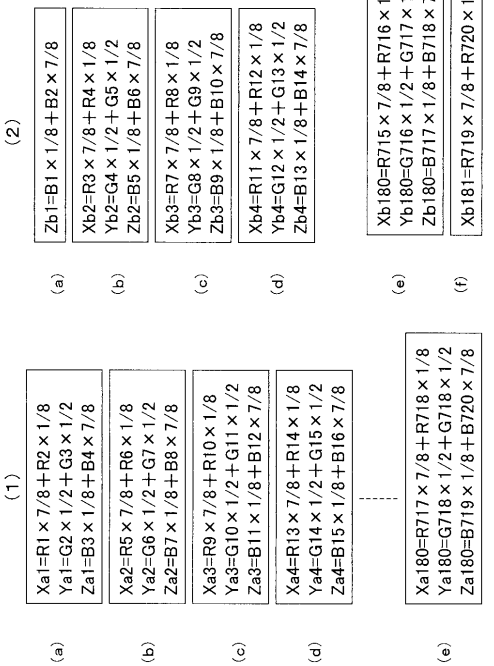
【図２８３】



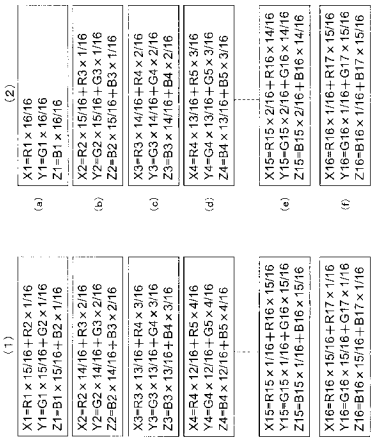
【図２８４】



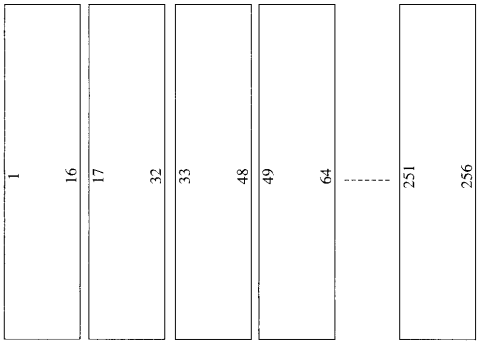
【図２８５】



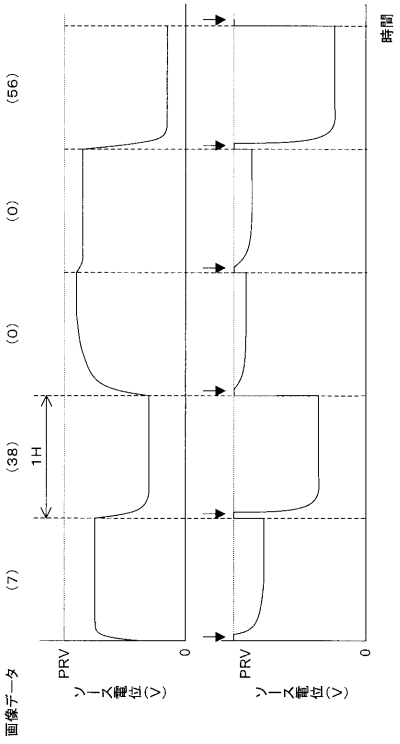
【図２８６】



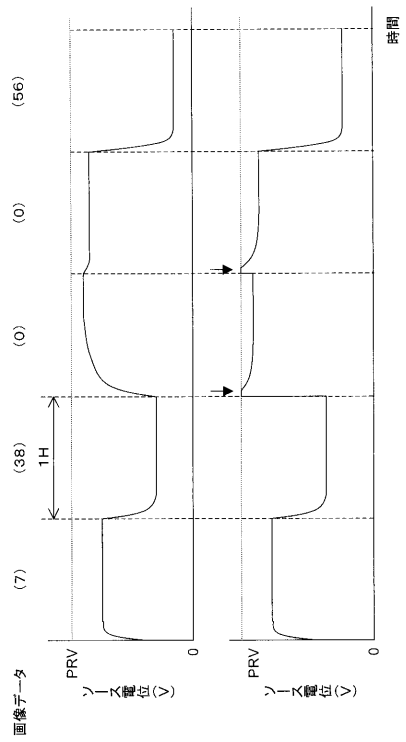
【図２８７】



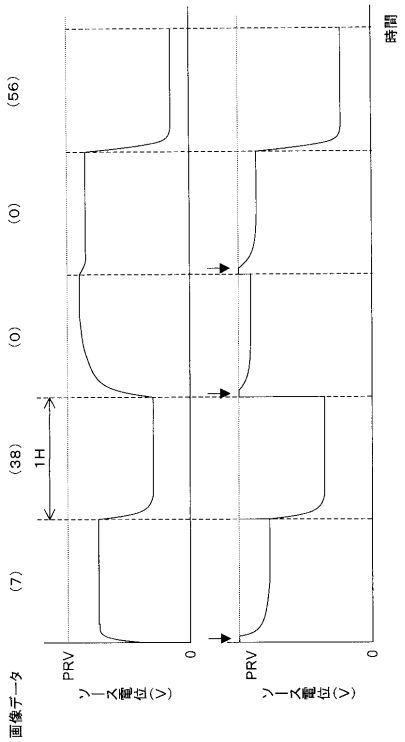
【図２８８】



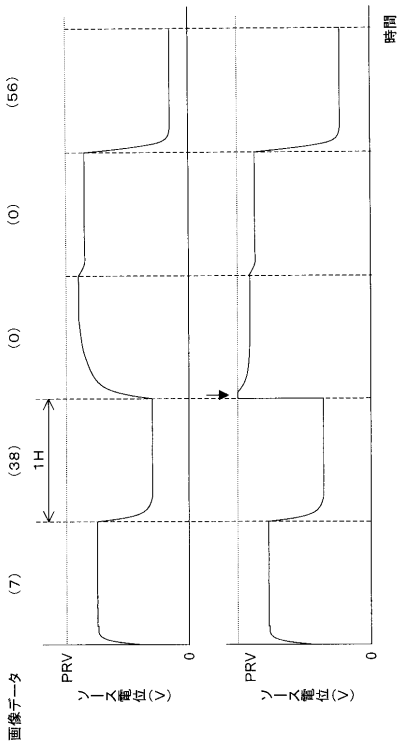
【図２８９】



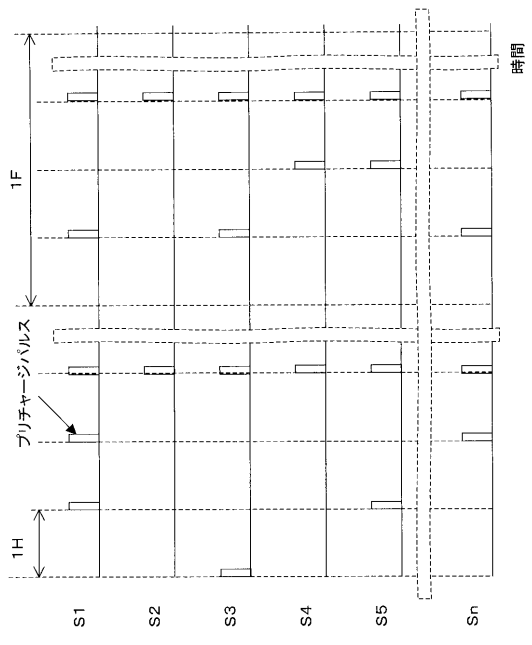
【図２９０】



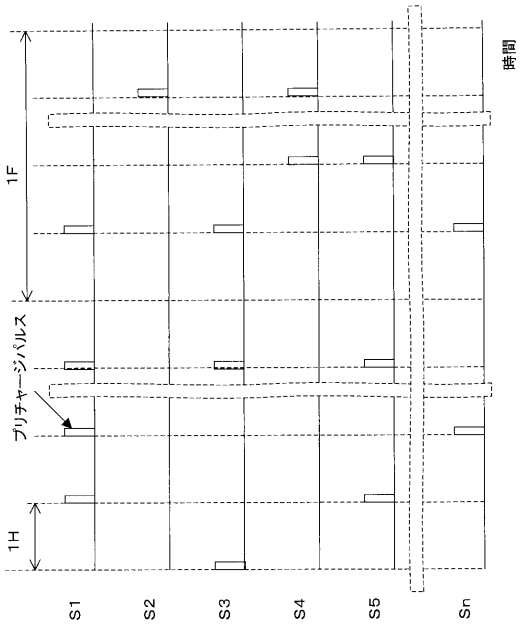
【図２９１】



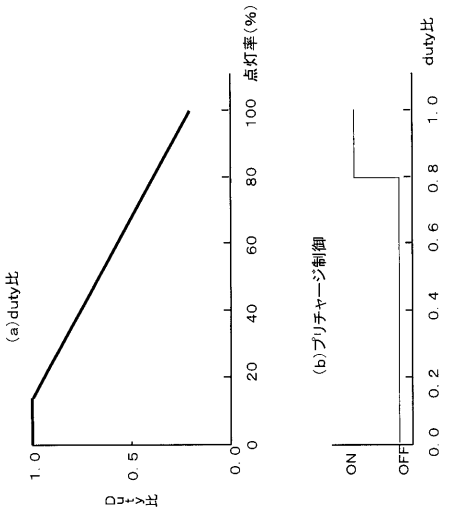
【図２９２】



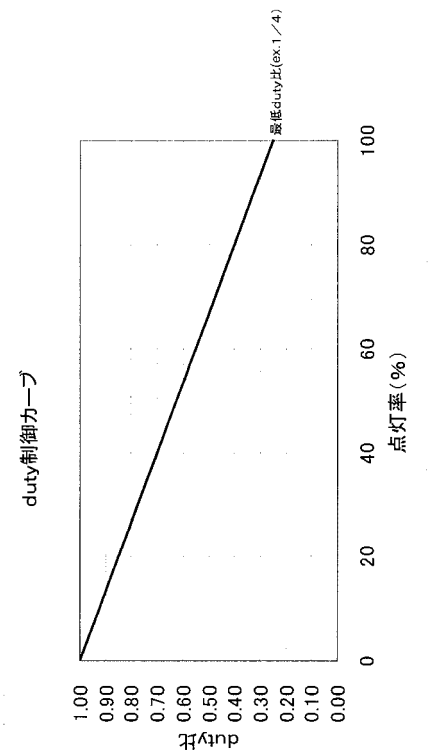
【図２９３】



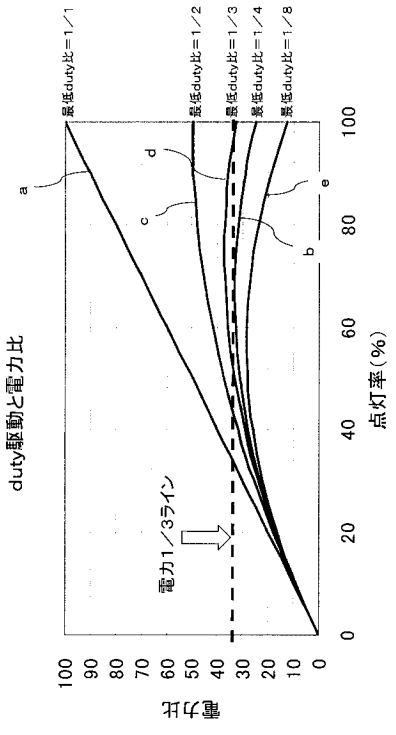
【図２９４】



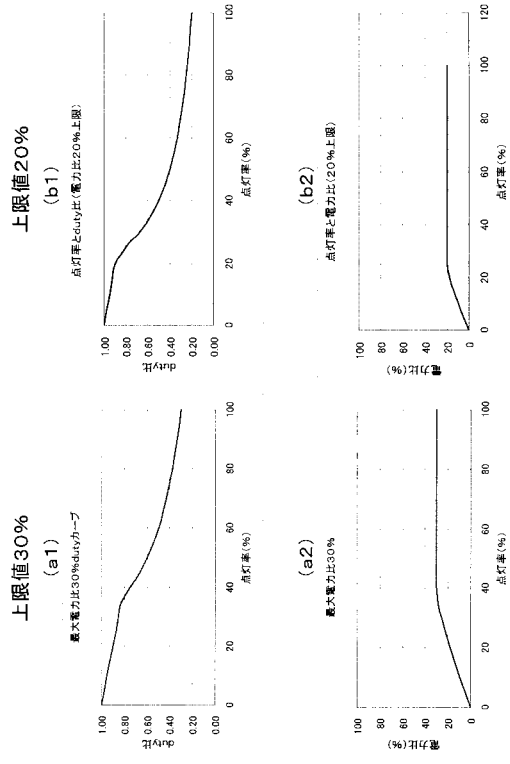
【図２９５】



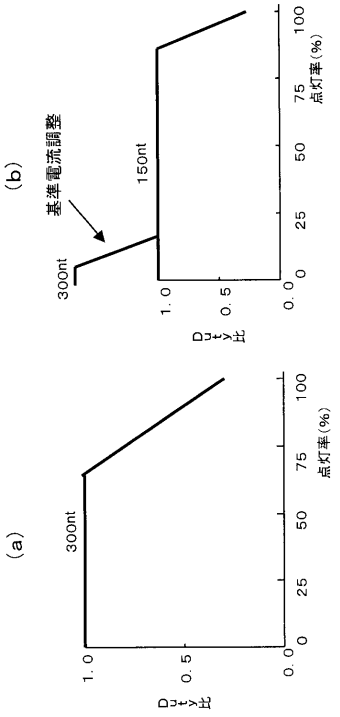
【図２９６】



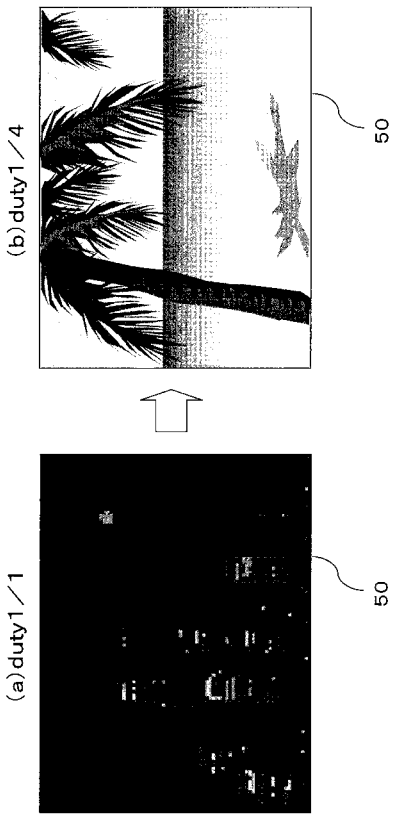
【図２９７】



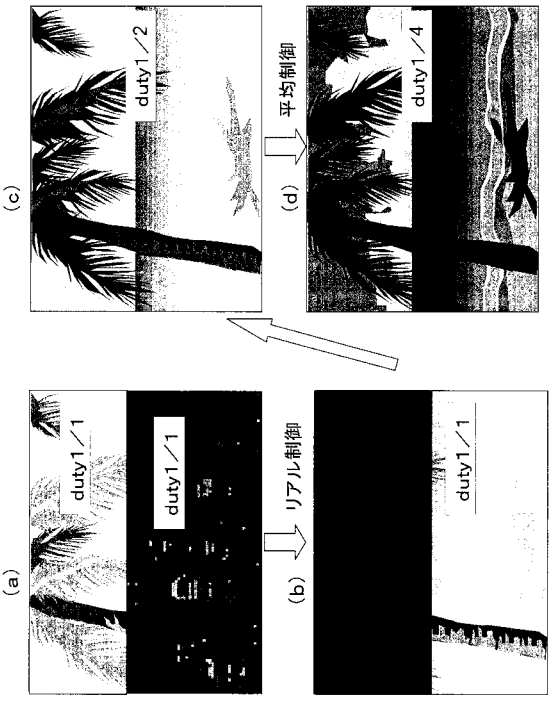
【図２９８】



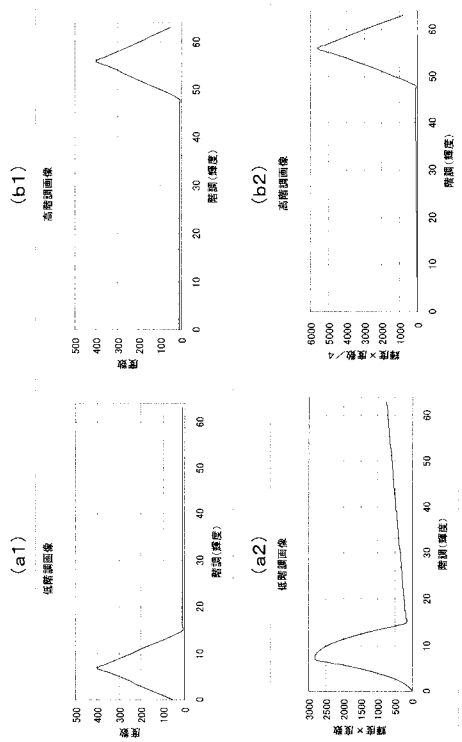
【図２９９】



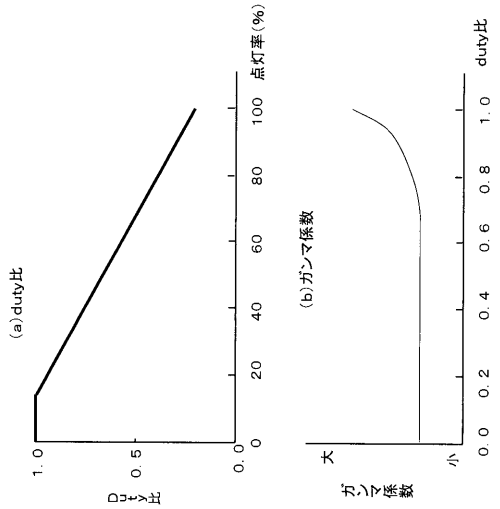
【図３００】



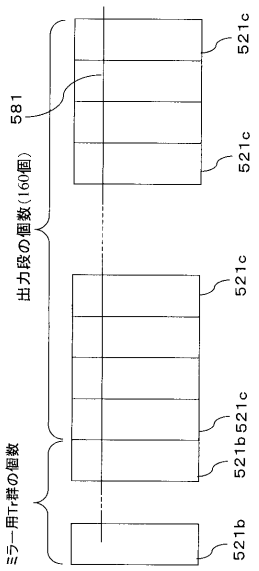
【図３０１】



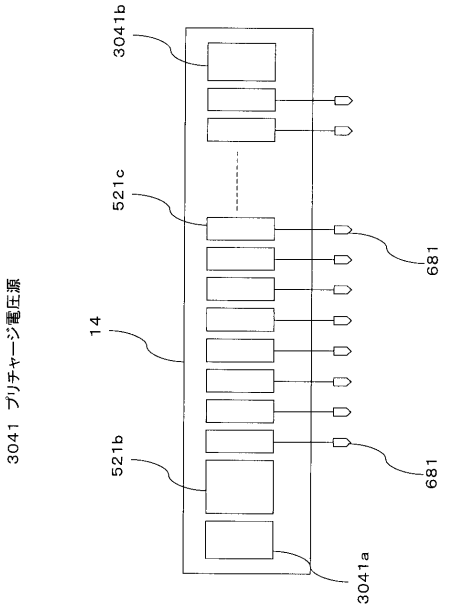
【図３０２】



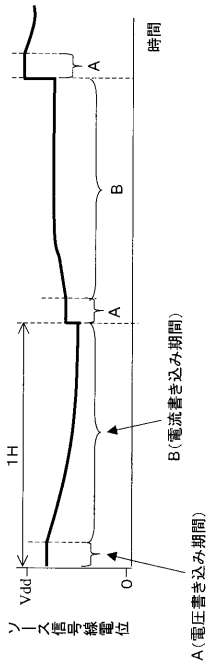
【図３０３】



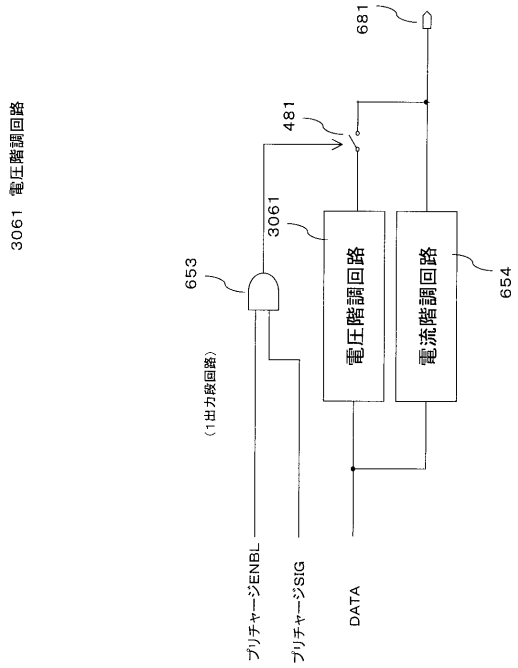
【図３０４】



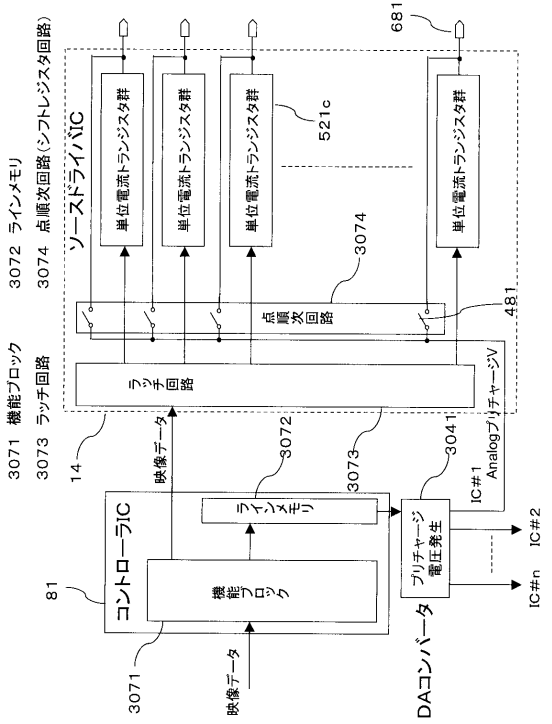
【図３０５】



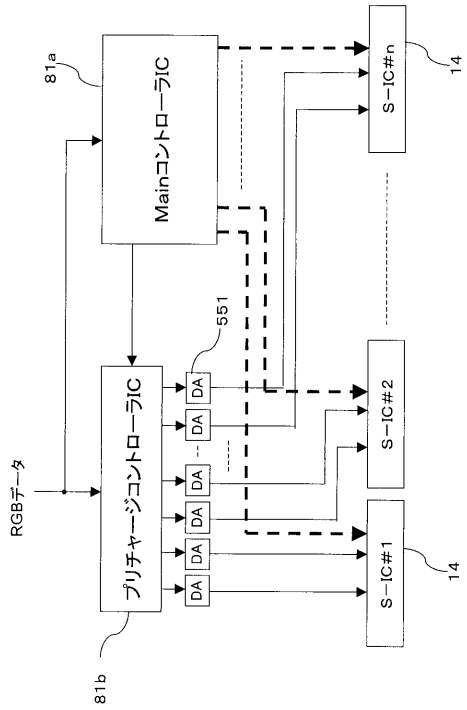
【図３０６】



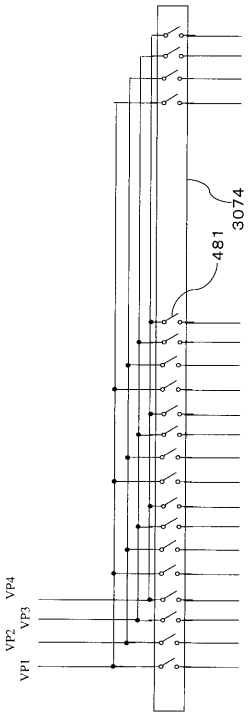
【図３０７】



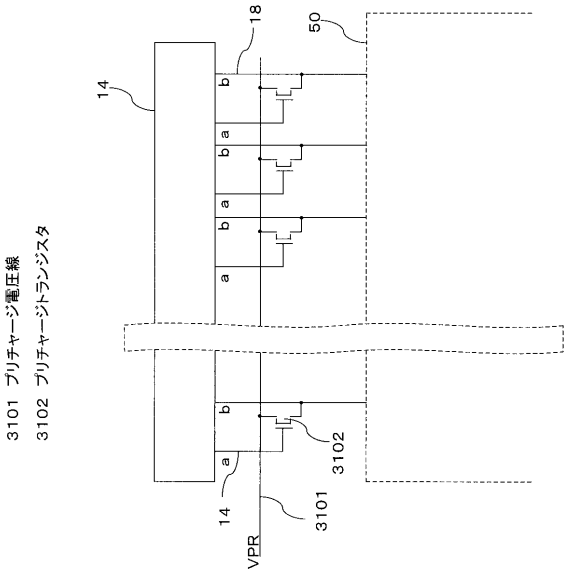
【図３０８】



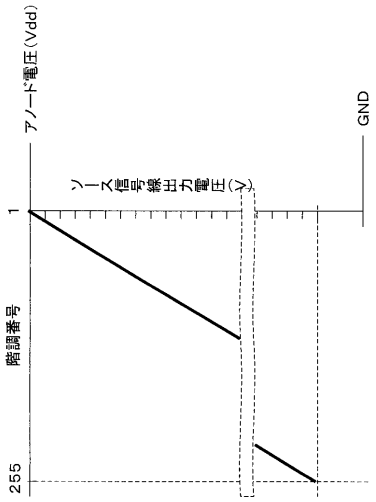
【図３０９】



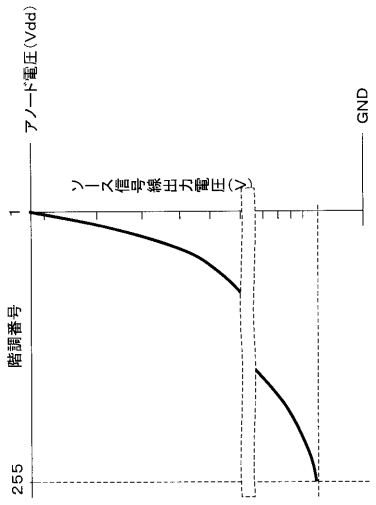
【図３１０】



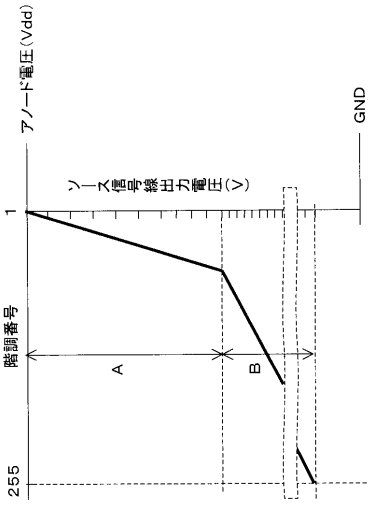
【図３１１】



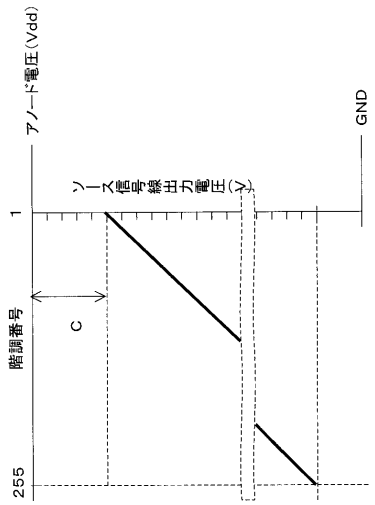
【図３１２】



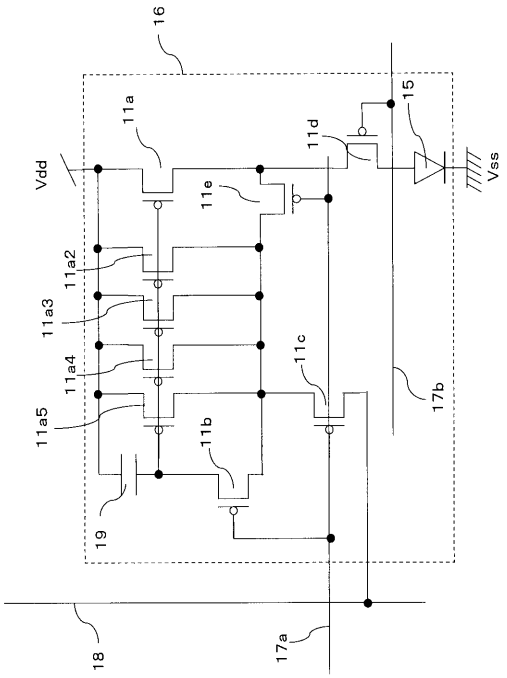
【図３１３】



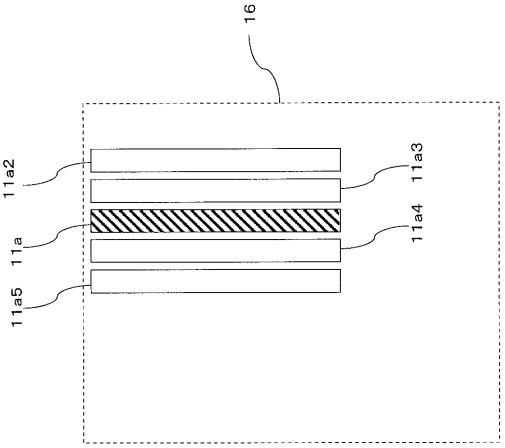
【図３１４】



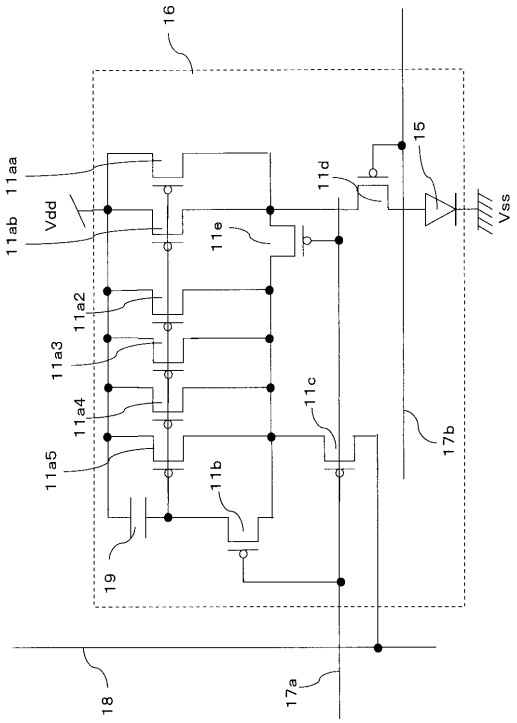
【図３１５】



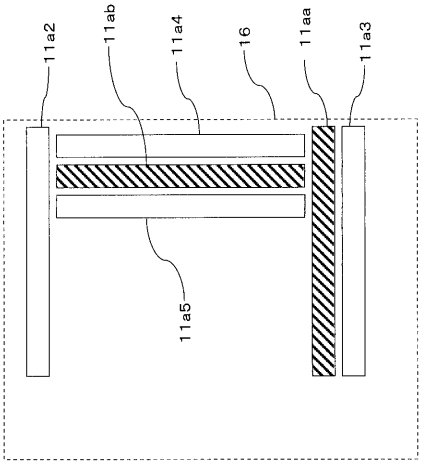
【図３１６】



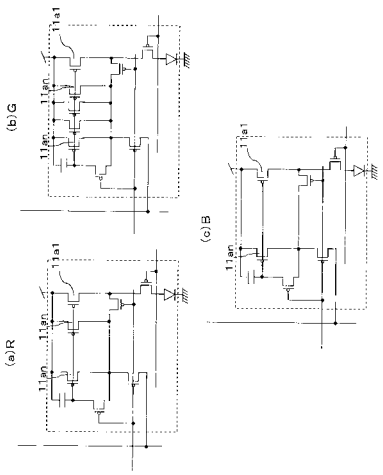
【図３１７】



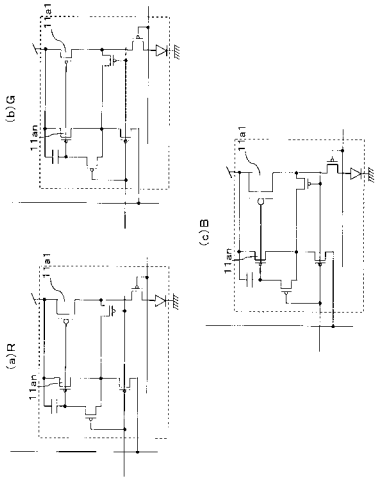
【図３１８】



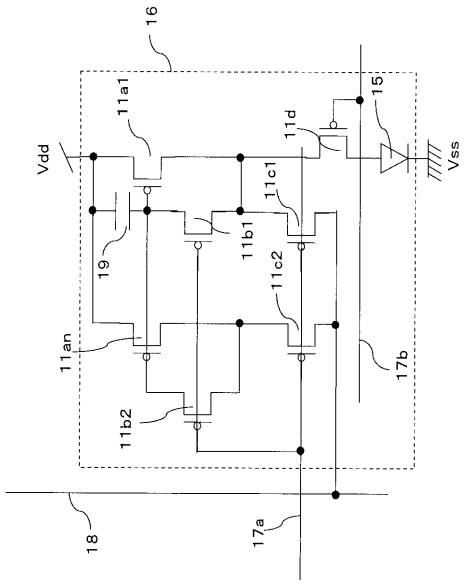
【図３１９】



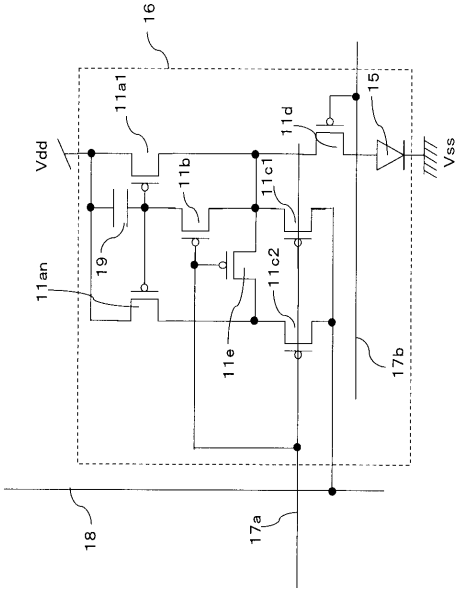
【図３２０】



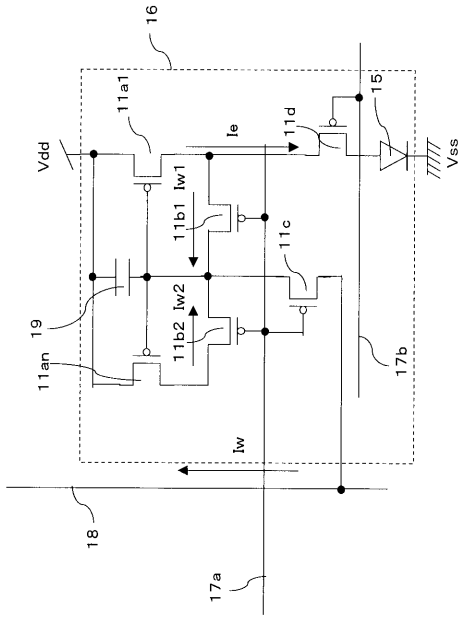
【図３２１】



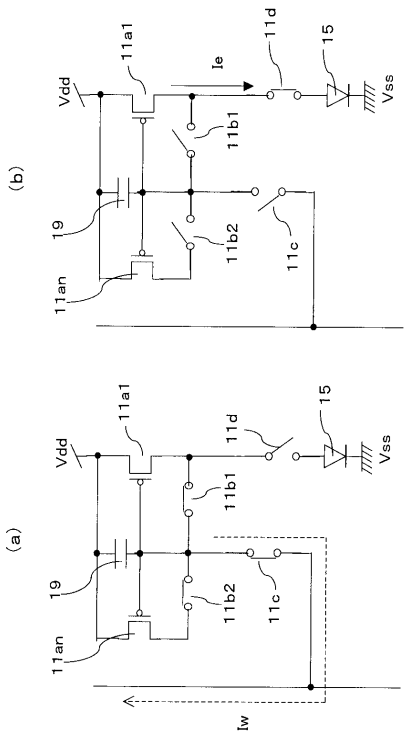
【図３２２】



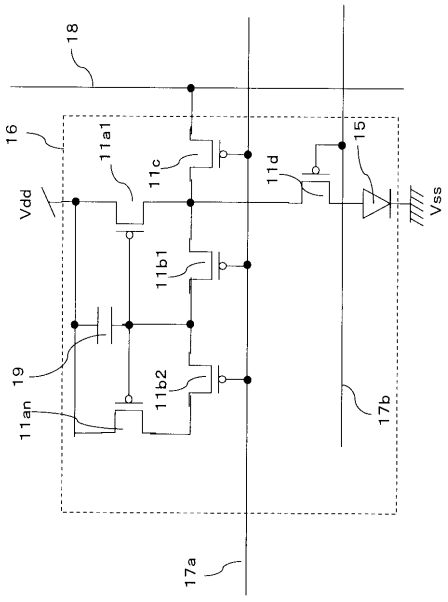
【図３２３】



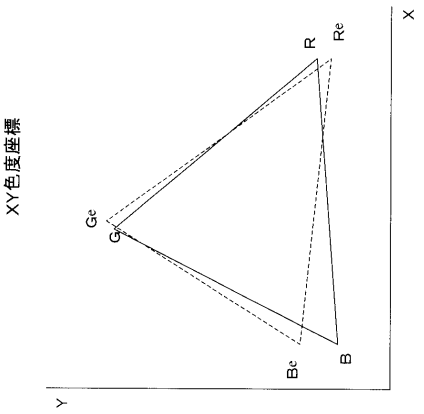
【図３２４】



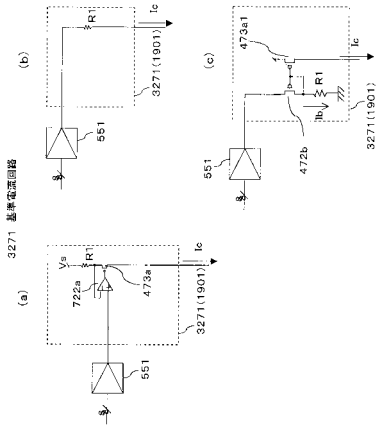
【図３２５】



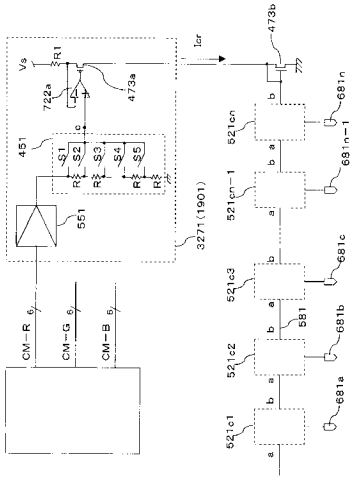
【図３２６】



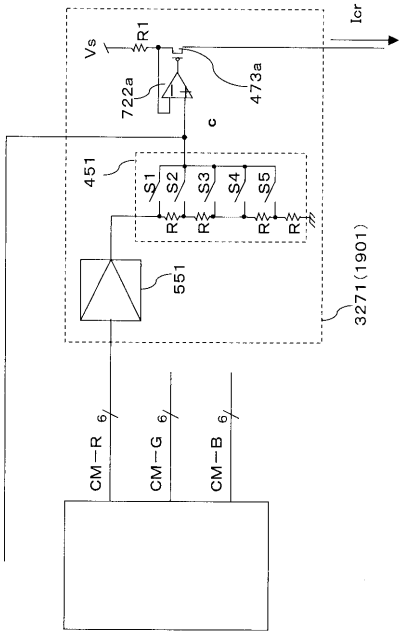
【図３２７】



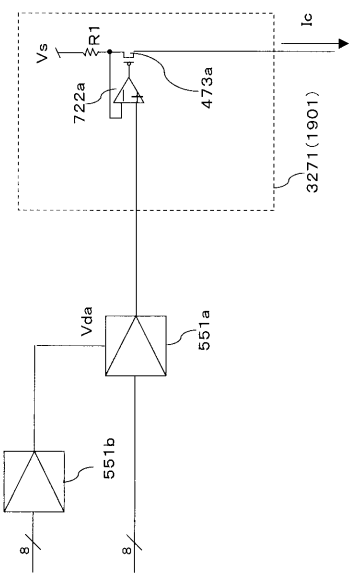
【図３２８】



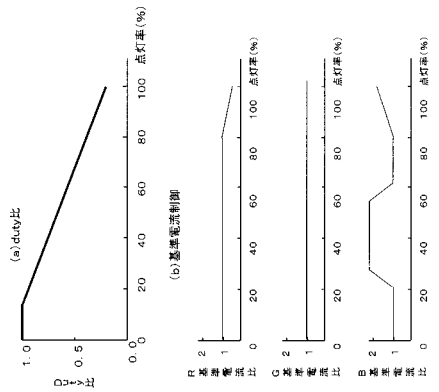
【図３２９】



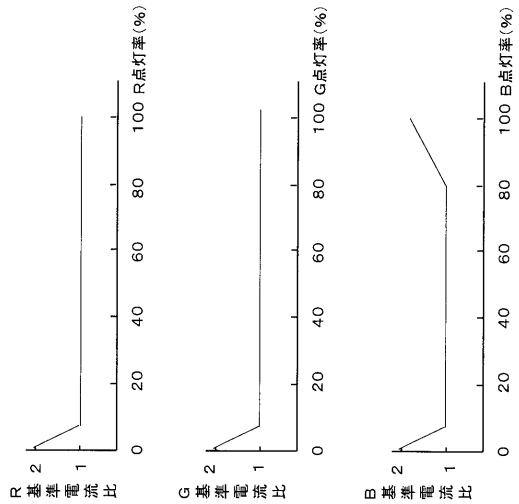
【図３３０】



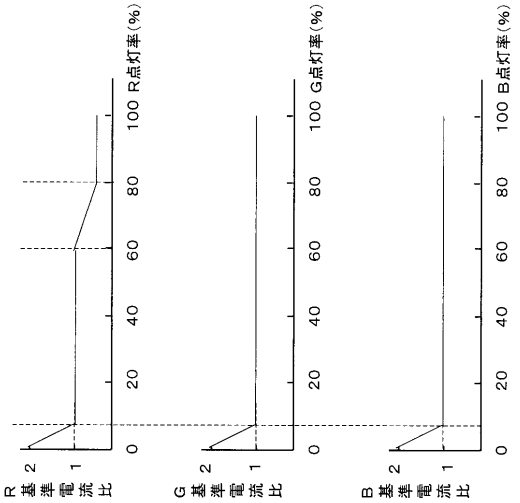
【図３３１】



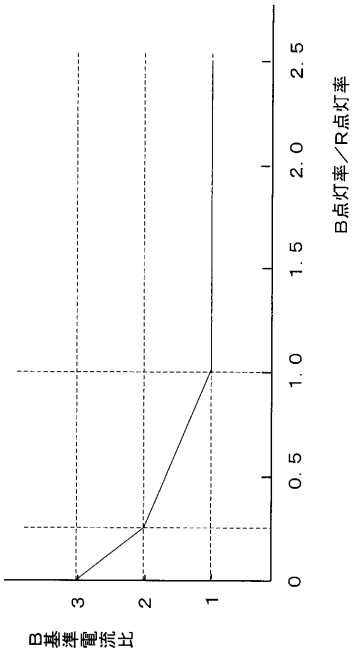
【図３３２】



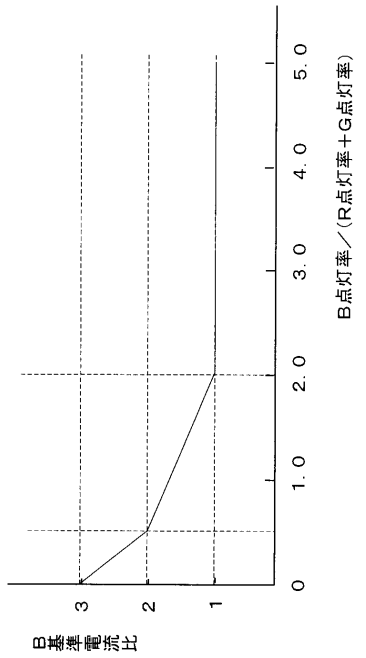
【図３３３】



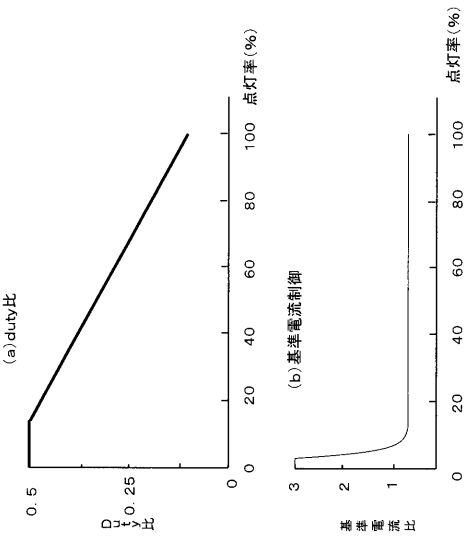
【図３３４】



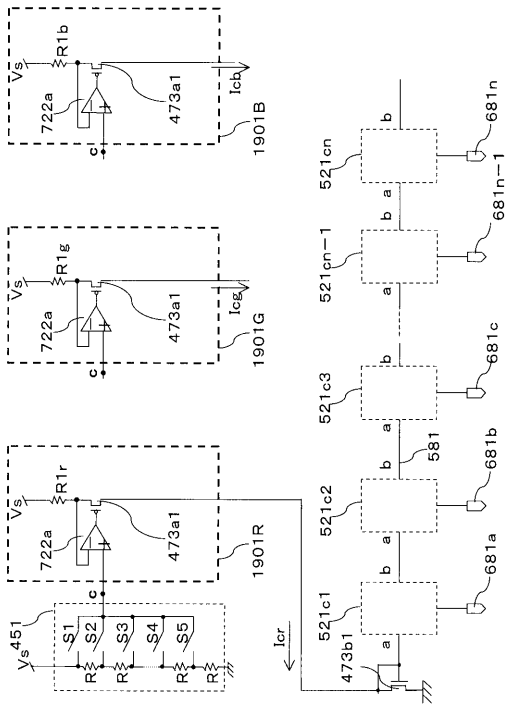
【図３３５】



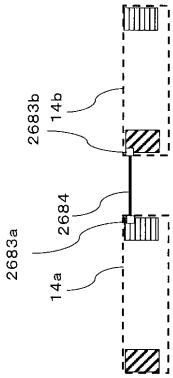
【図３３６】



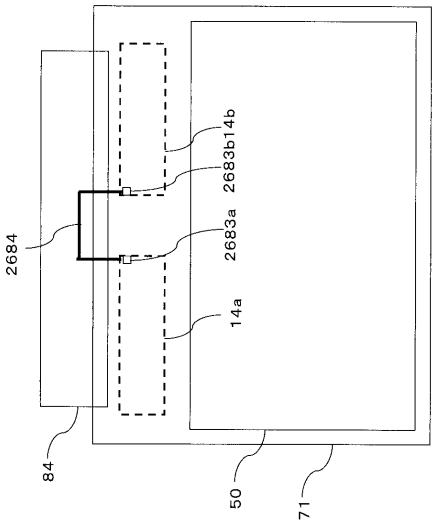
【図３３７】



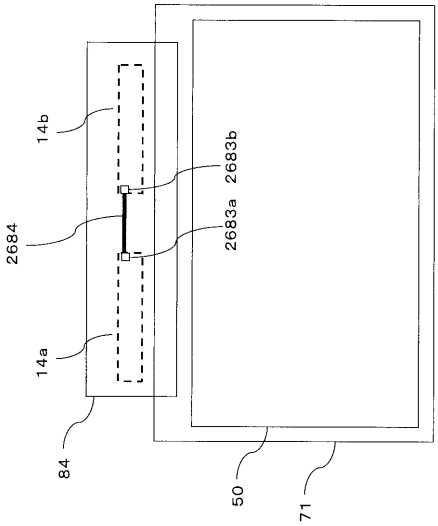
【図３３８】



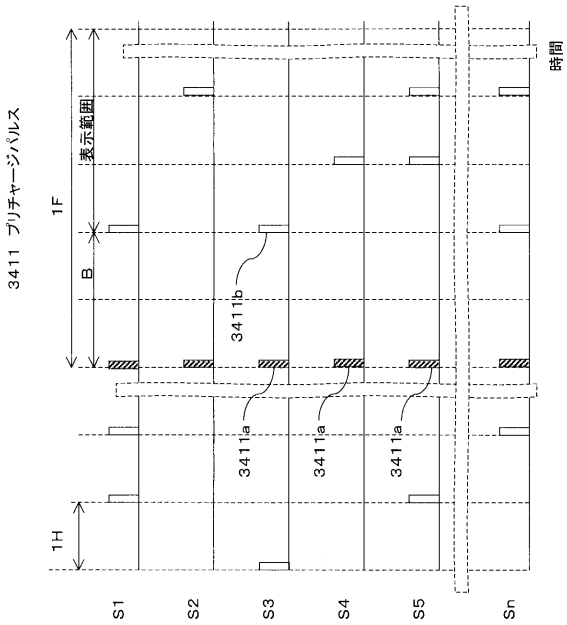
【図３３９】



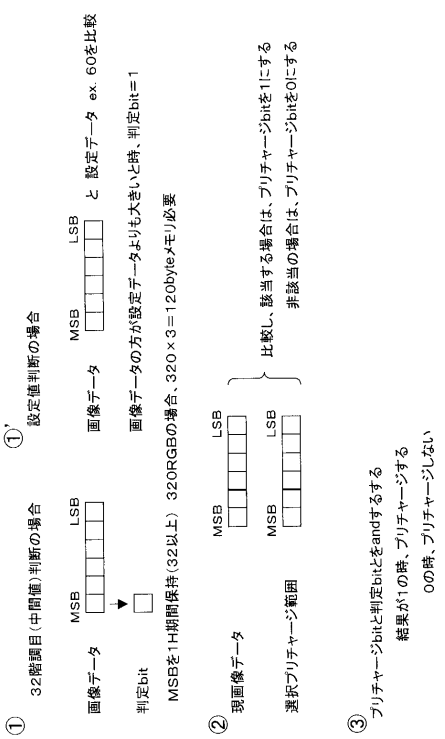
【図３４０】



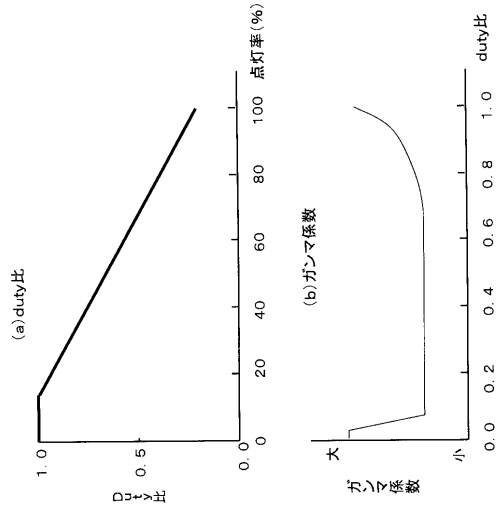
【図３４１】



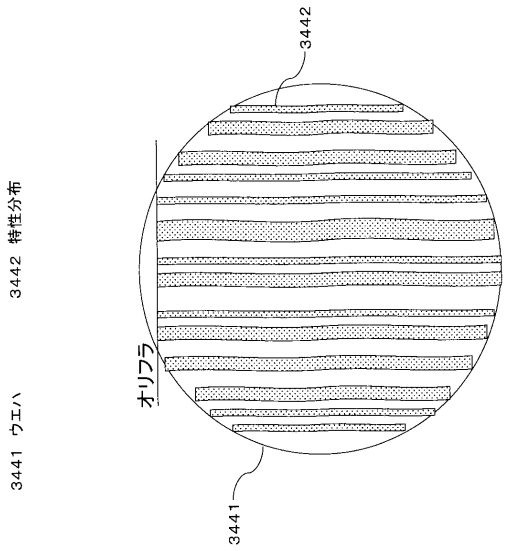
【図３４２】



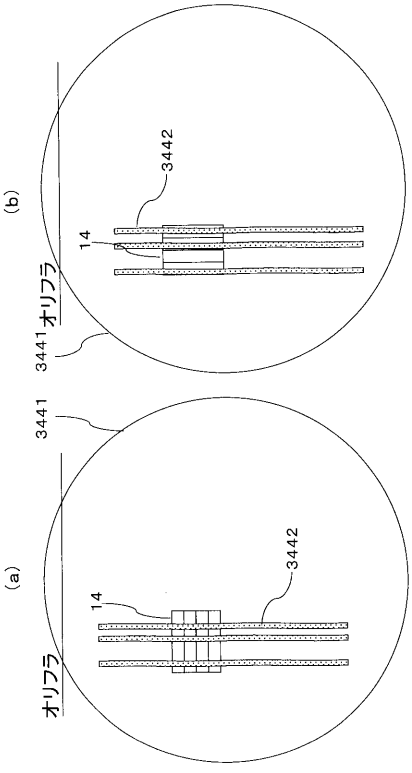
【図３４３】



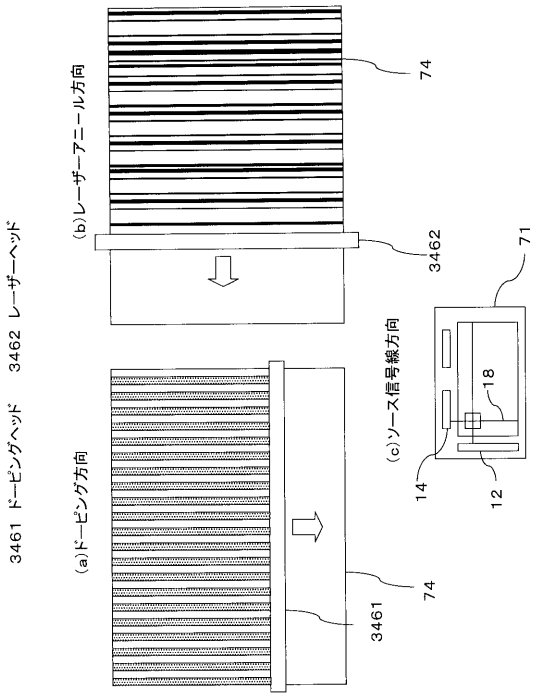
【図３４４】



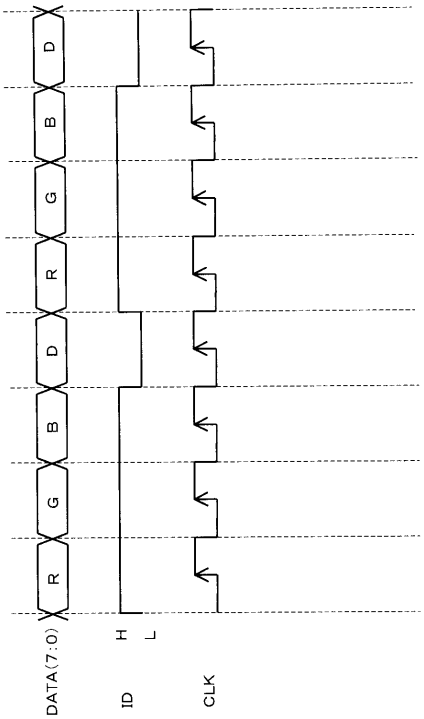
【図３４５】



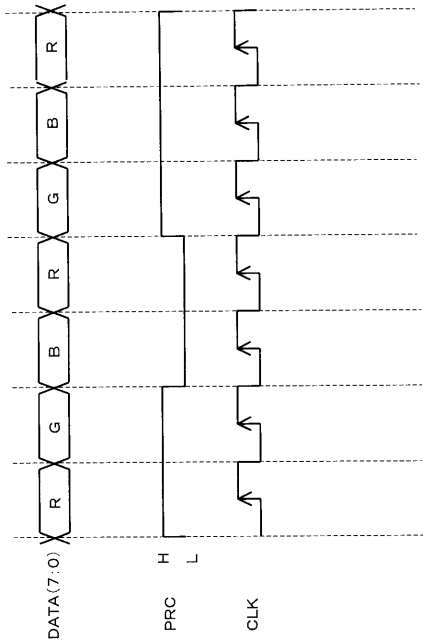
【図３４６】



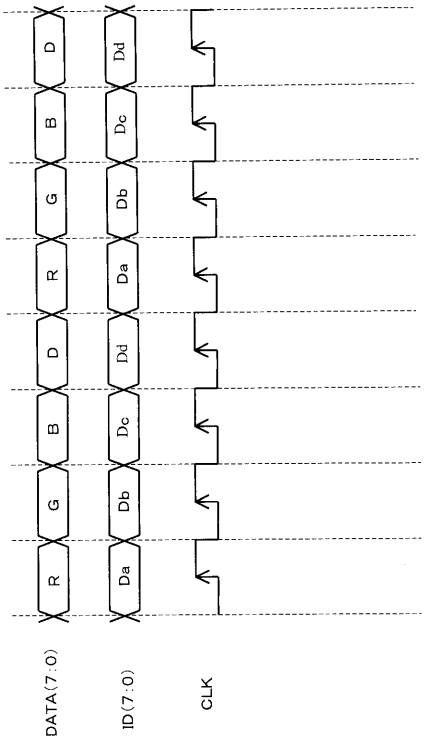
【図３４７】



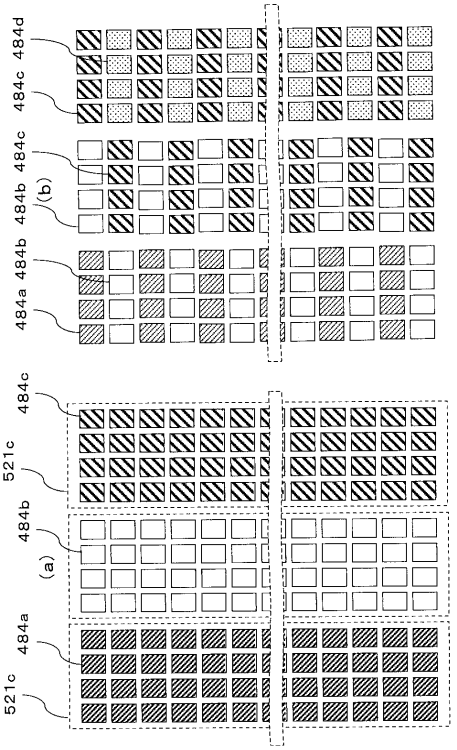
【図３４８】



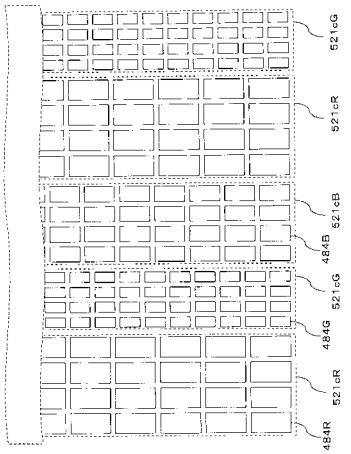
【図３４９】



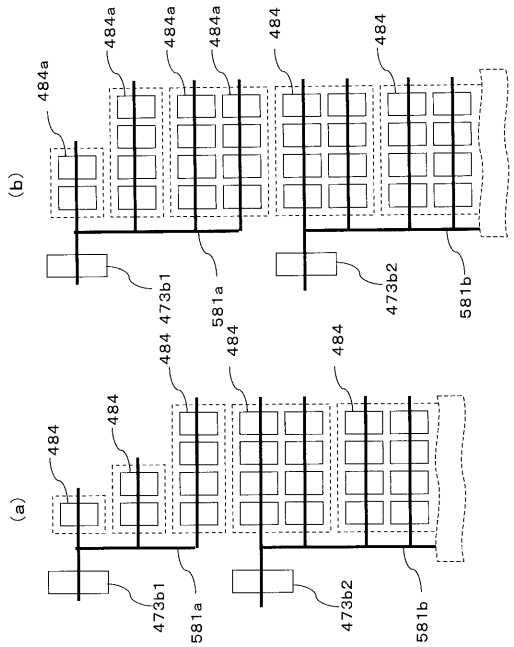
【図３５０】



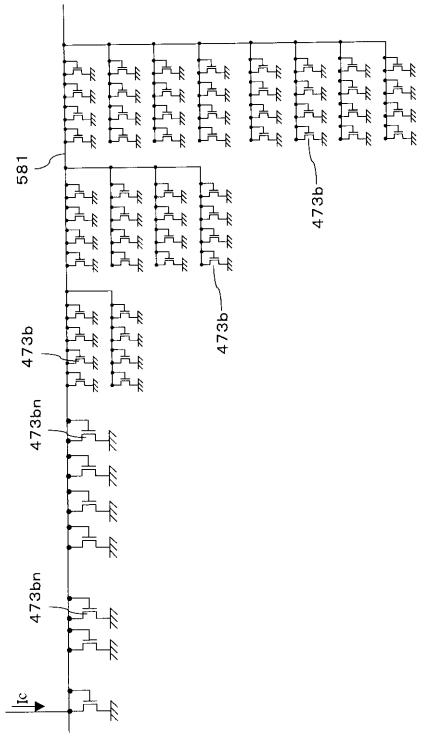
【図３５１】



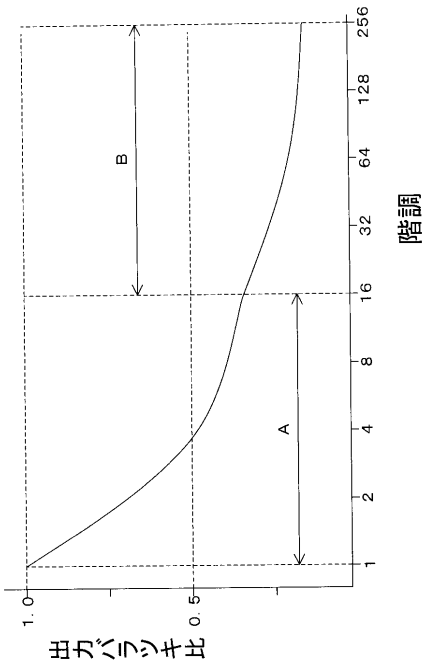
【図３５２】



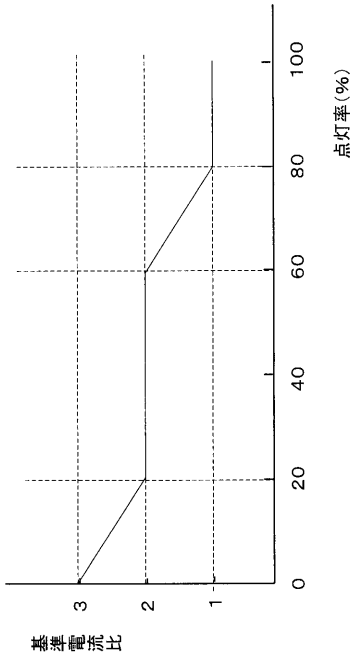
【図３５３】



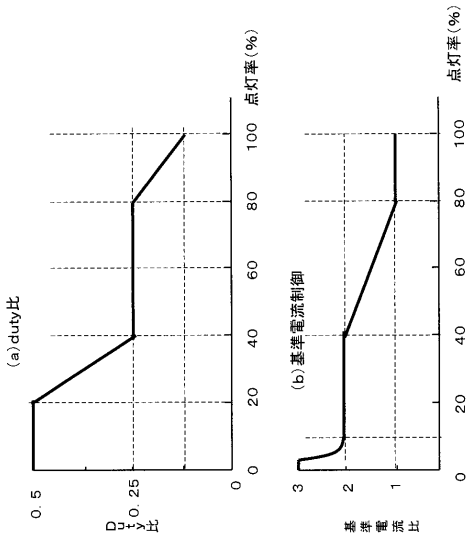
【図３５４】



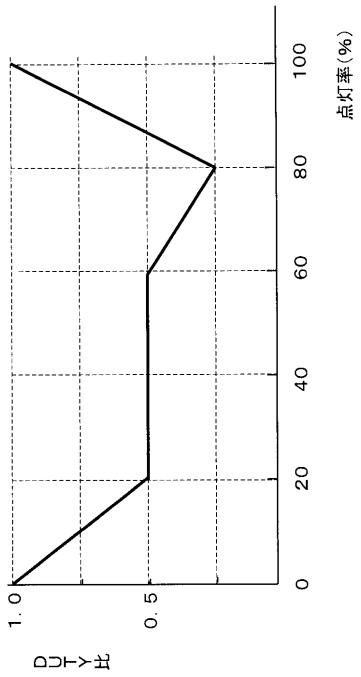
【図３５５】



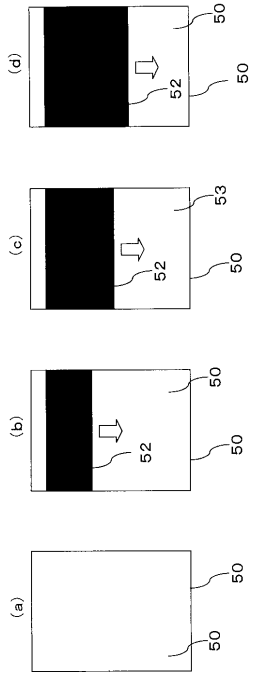
【図３５６】



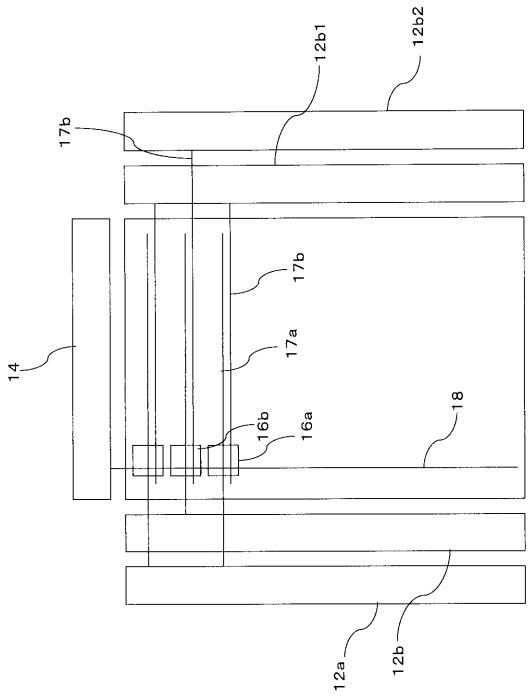
【図３５７】



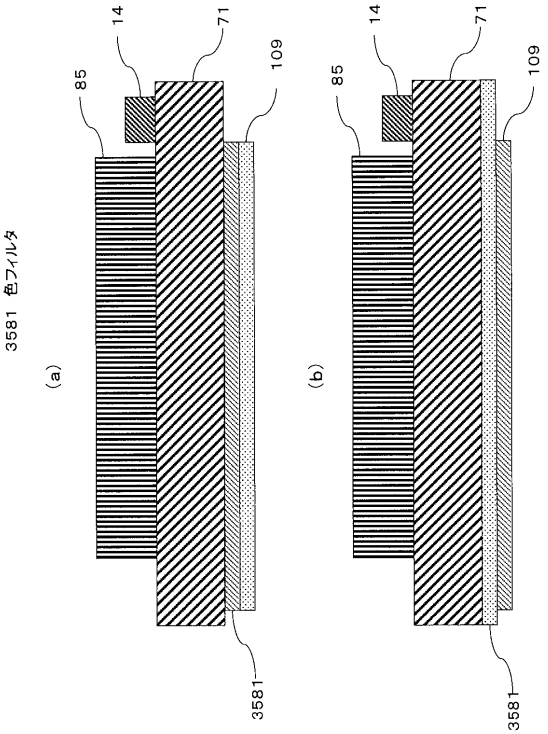
【図３５８】



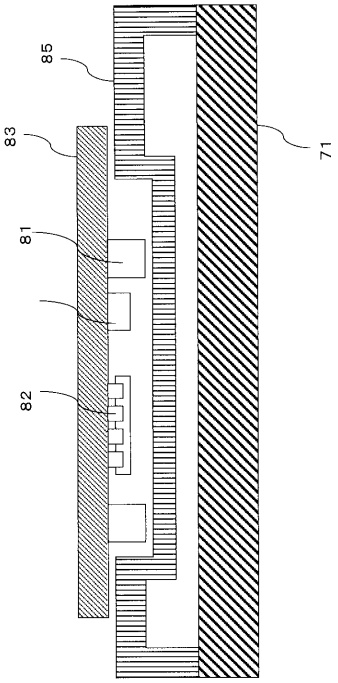
【図３５９】



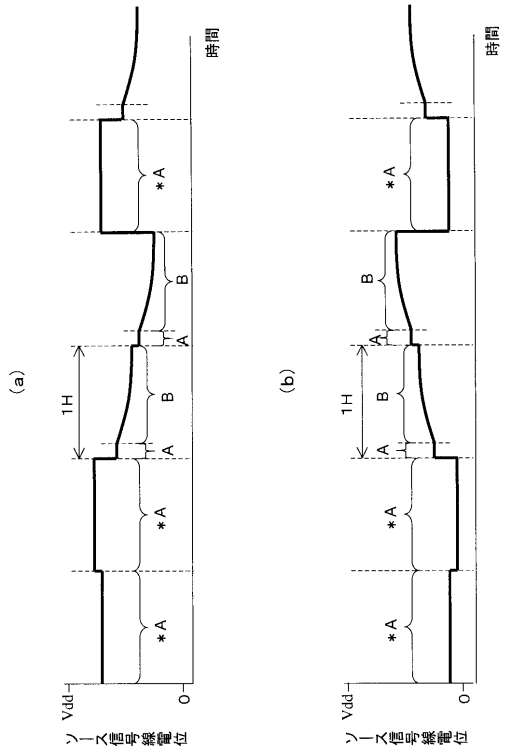
【図３６０】



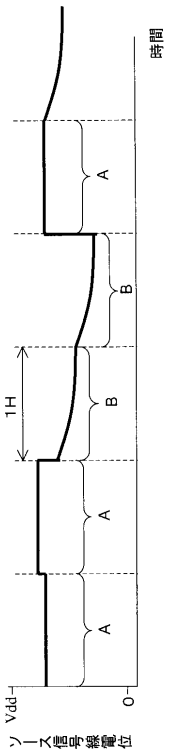
【図３６１】



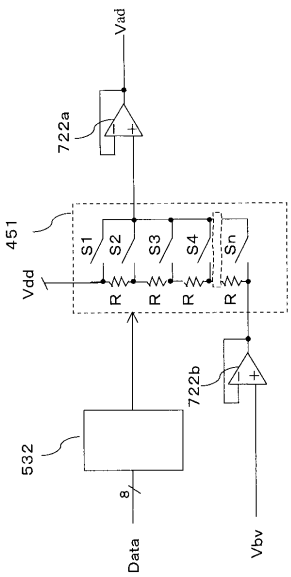
【図３６２】



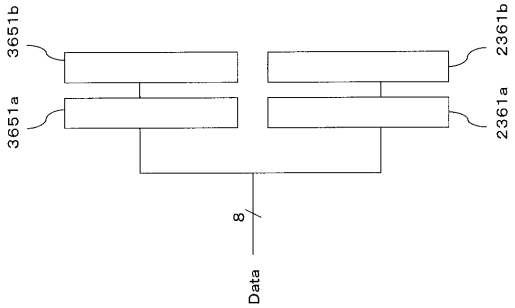
【図３６３】



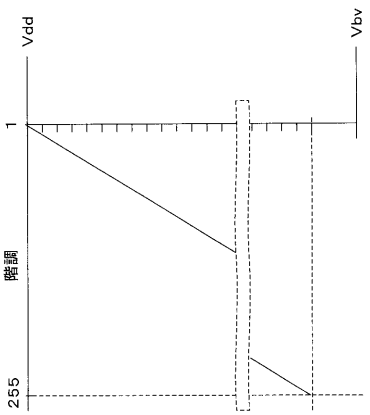
【図３６４】



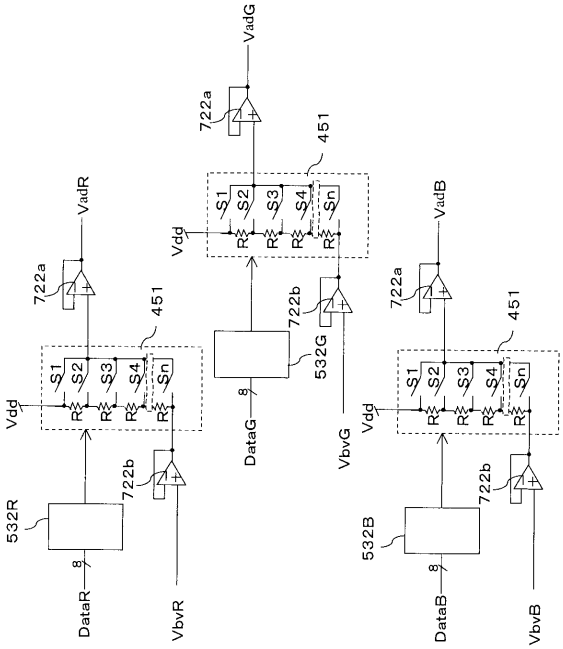
【図３６５】



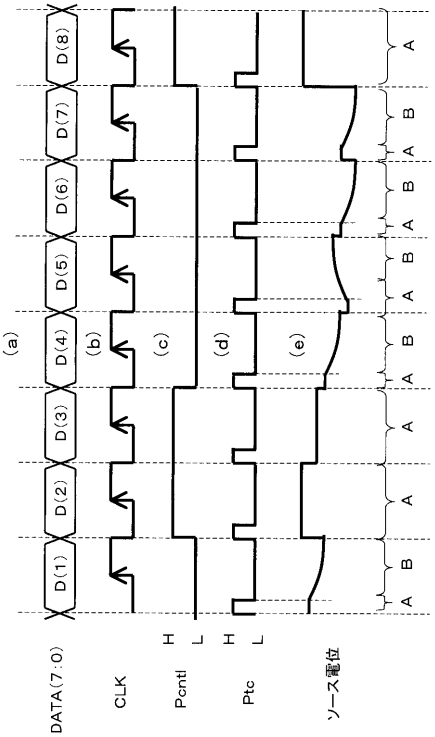
【図３６６】



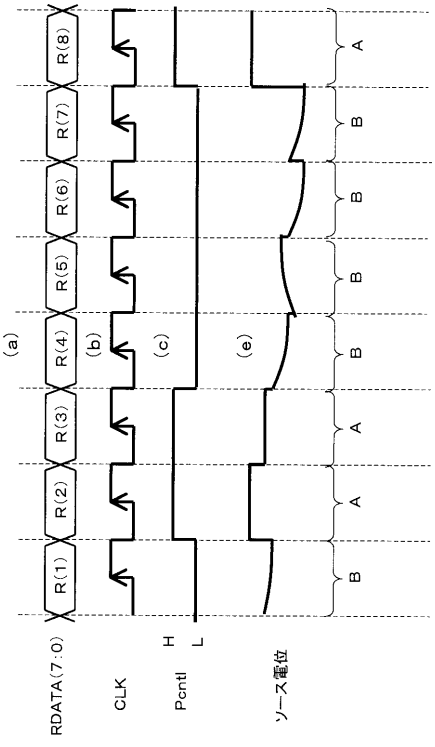
【図３６７】



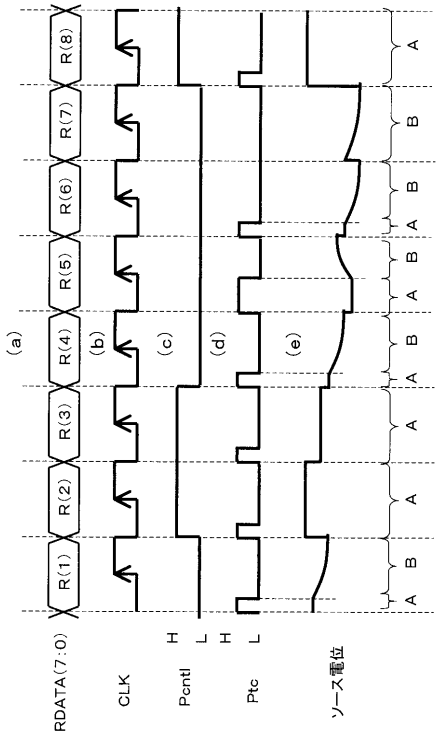
【図３６８】



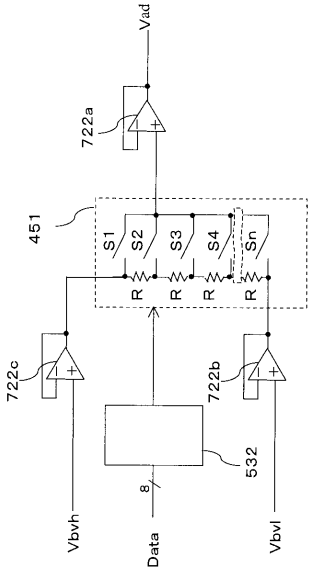
【図３６９】



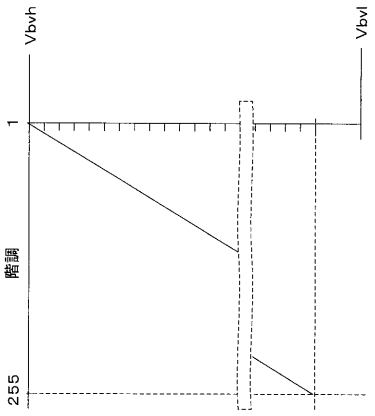
【図３７０】



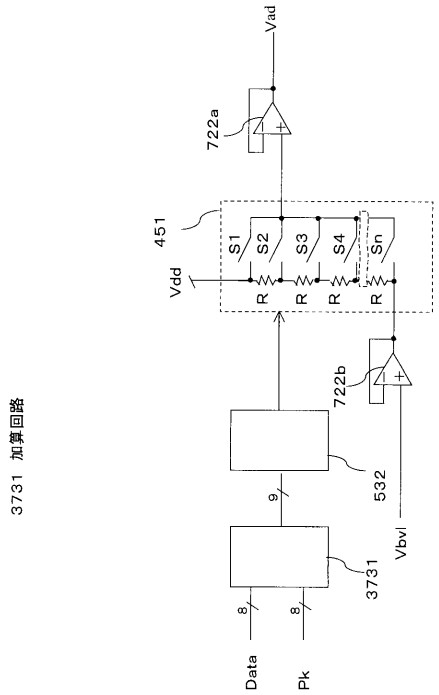
【図３７１】



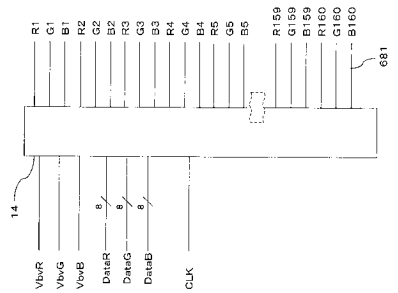
【図３７２】



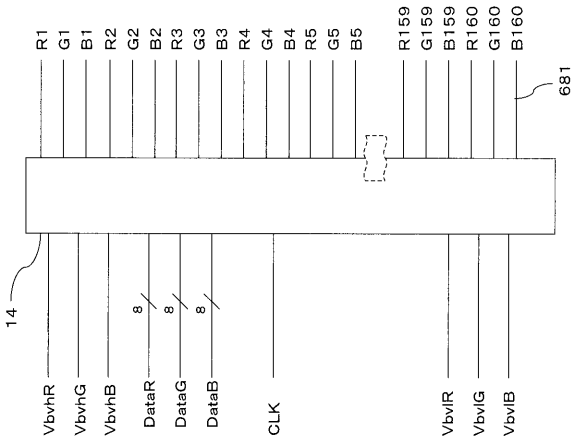
【図３７３】



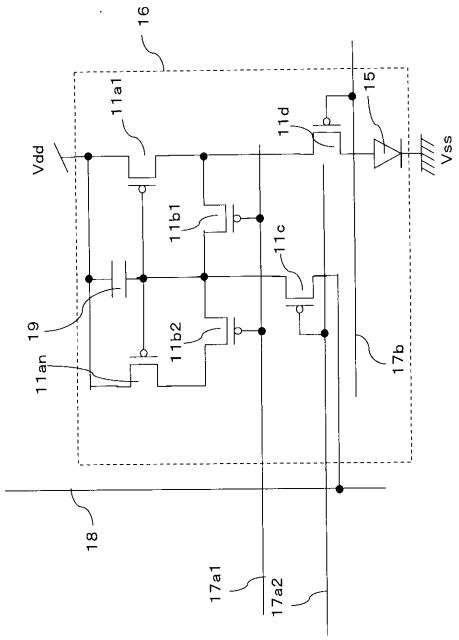
【図３７４】



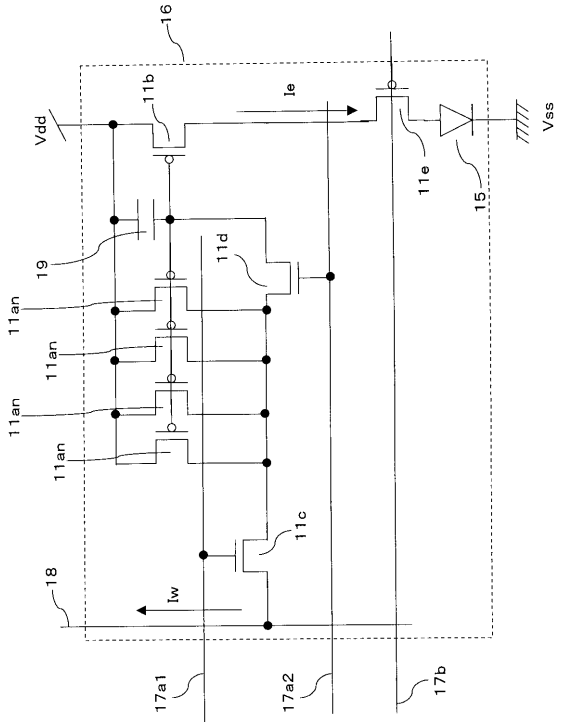
【図３７５】



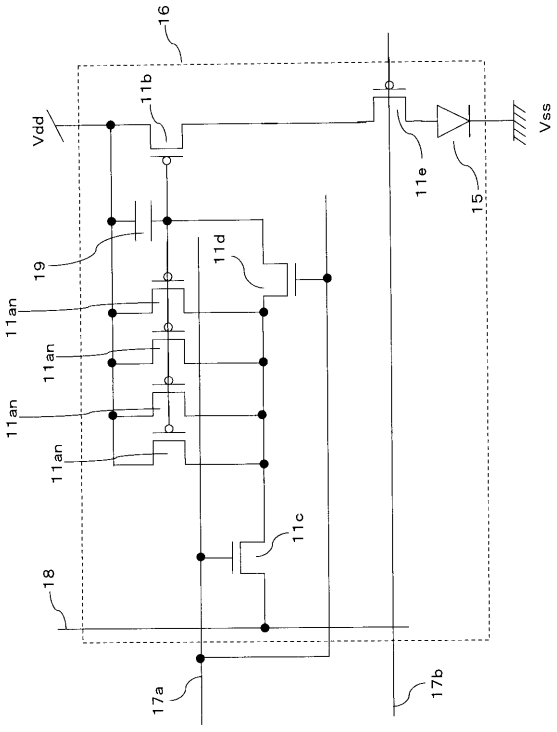
【図３７６】



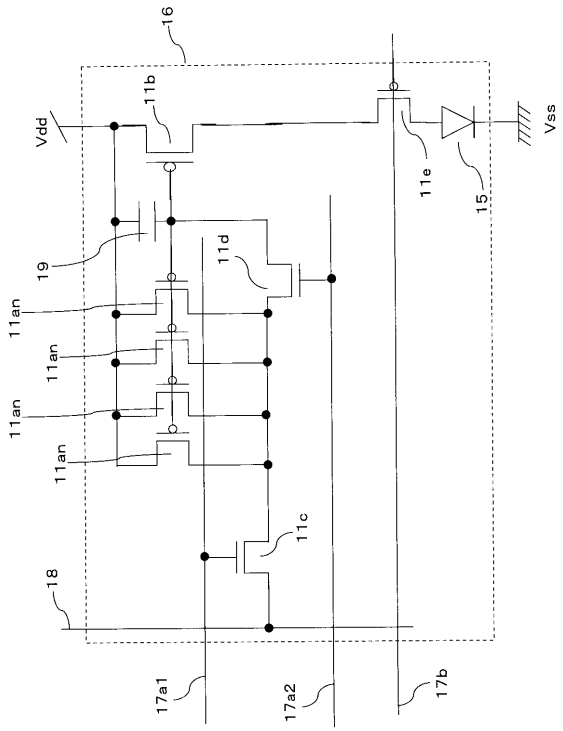
【図３７７】



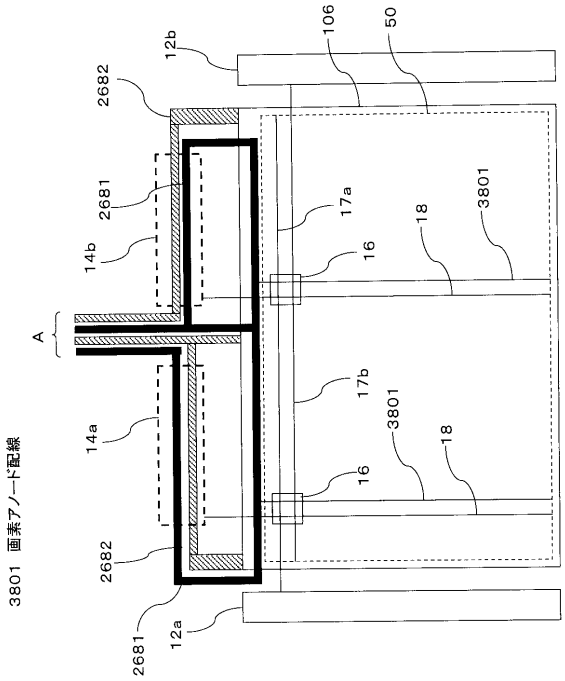
【図３７８】



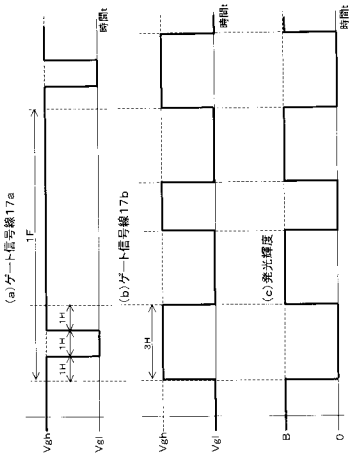
【図３７９】



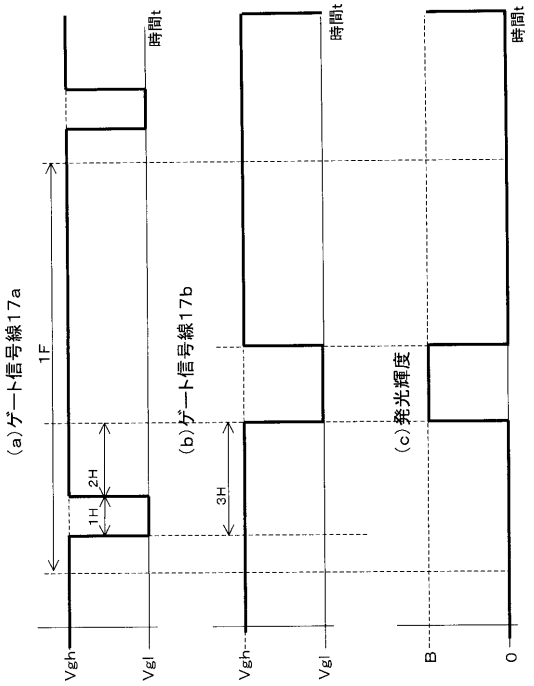
【図３８０】



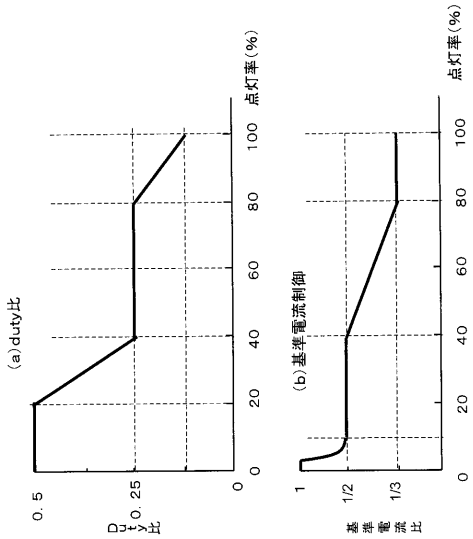
【図３８１】



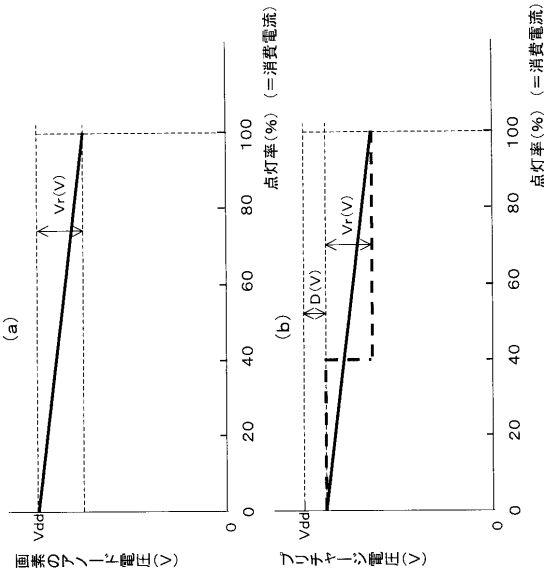
【図３８２】



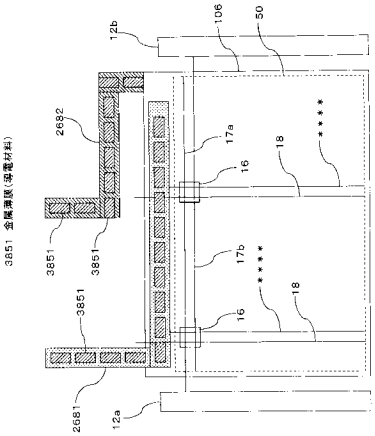
【図３８３】



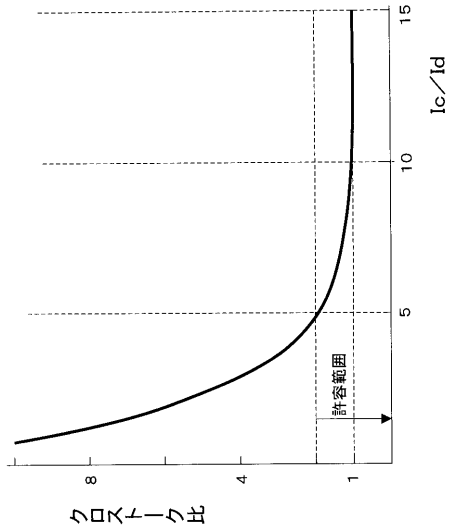
【図３８４】



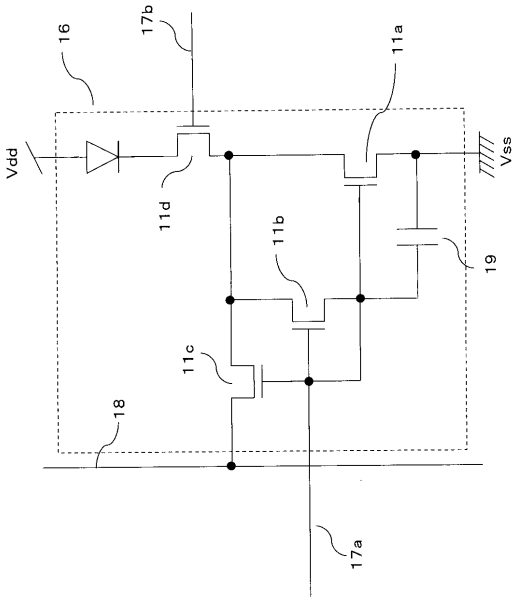
【図３８５】



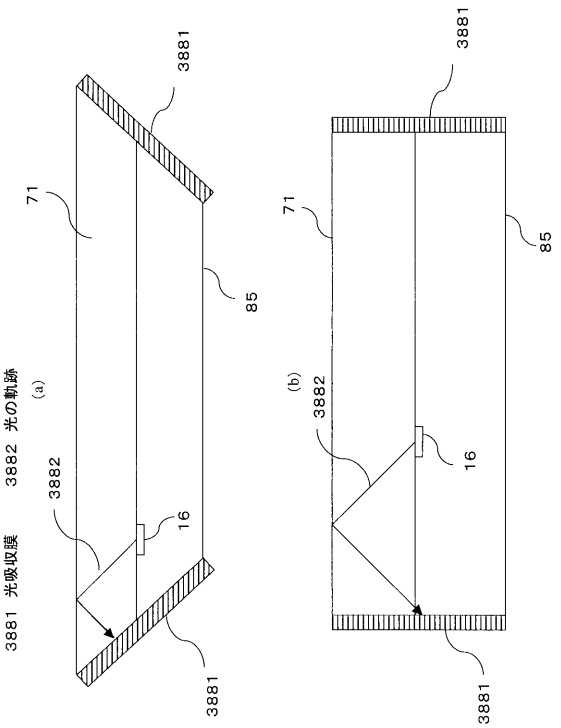
【図３８６】



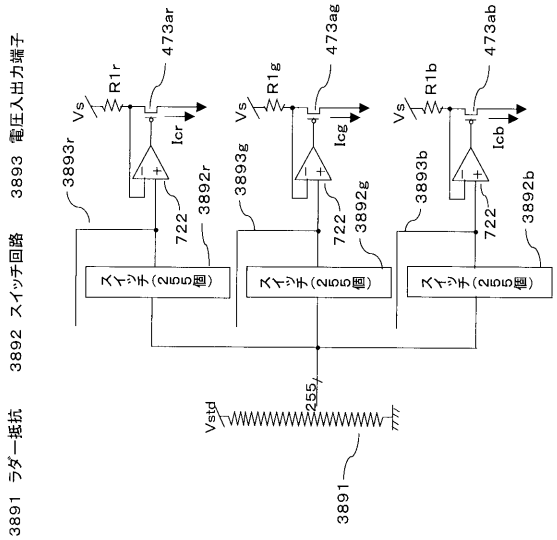
【図３８７】



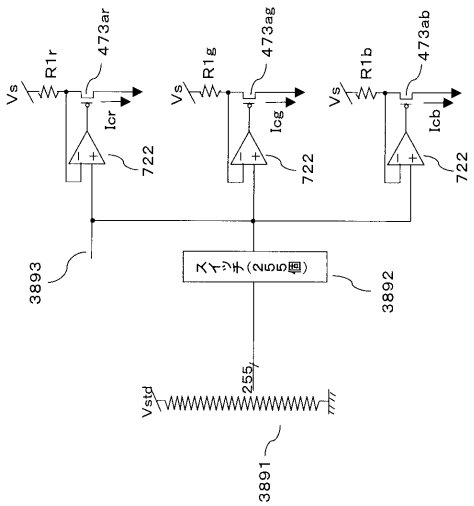
【図３８８】



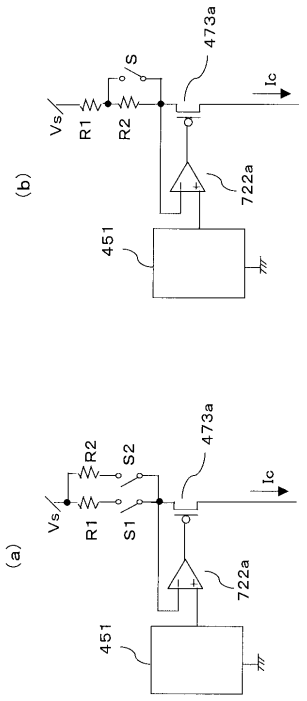
【図３８９】



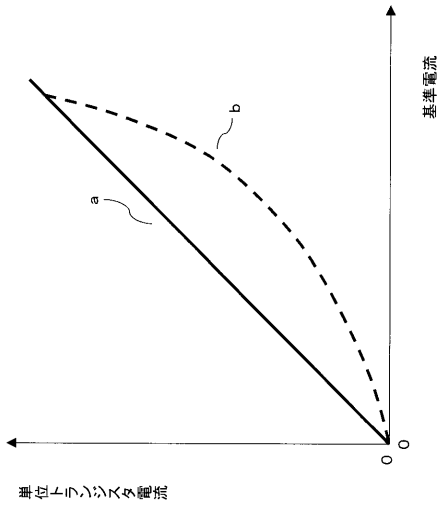
【図３９０】



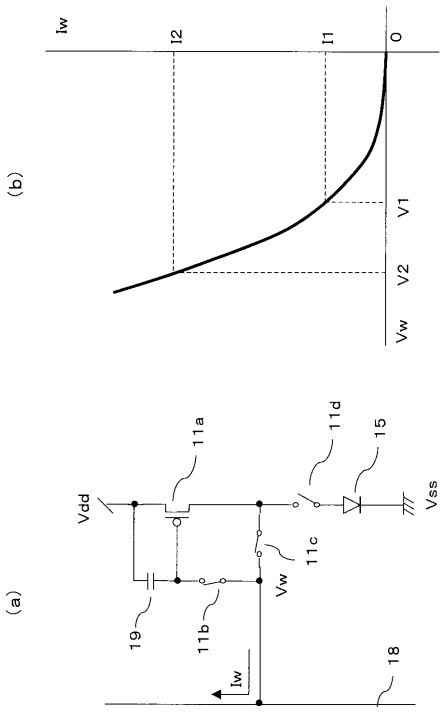
【図３９１】



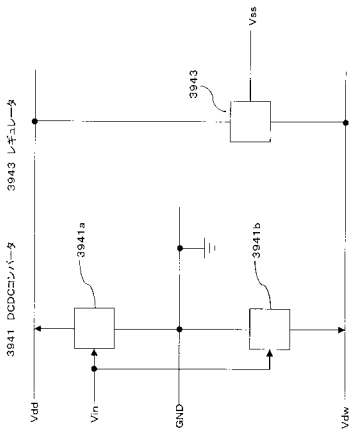
【図３９２】



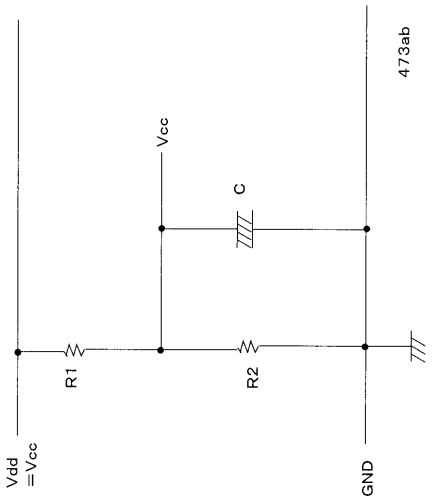
【図３９３】



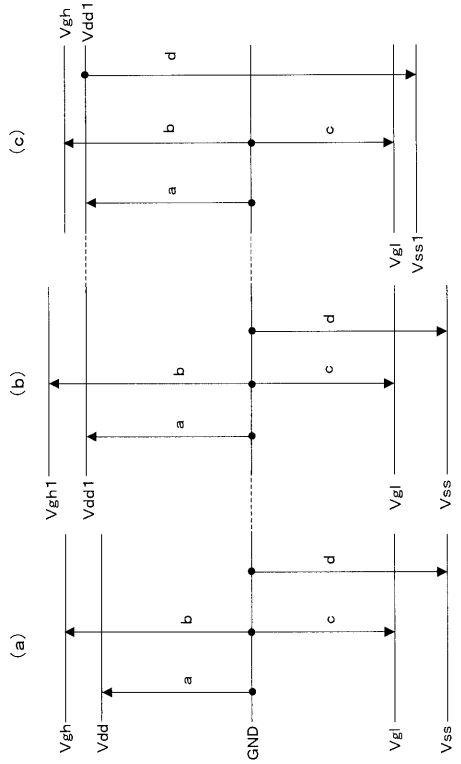
【図３９４】



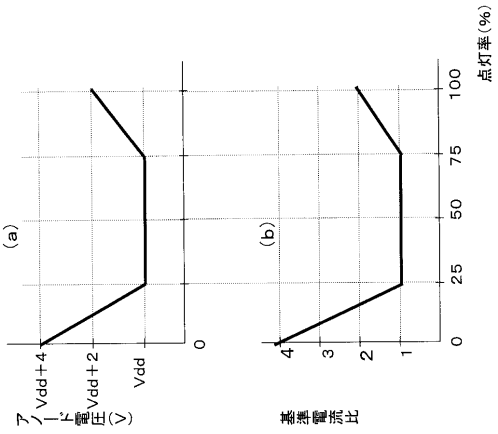
【図３９５】



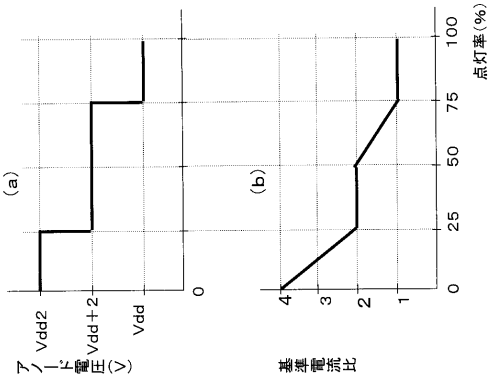
【図３９６】



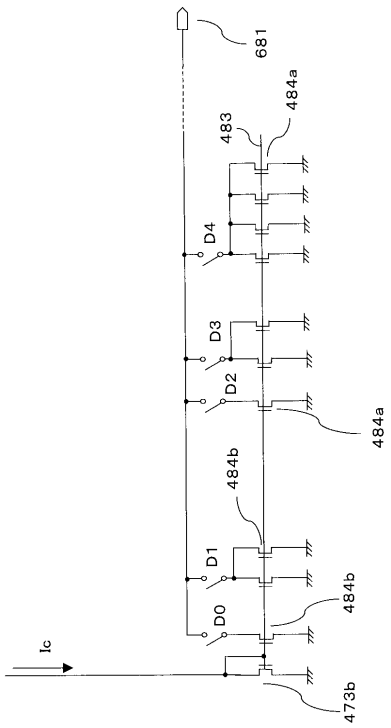
【図３９７】



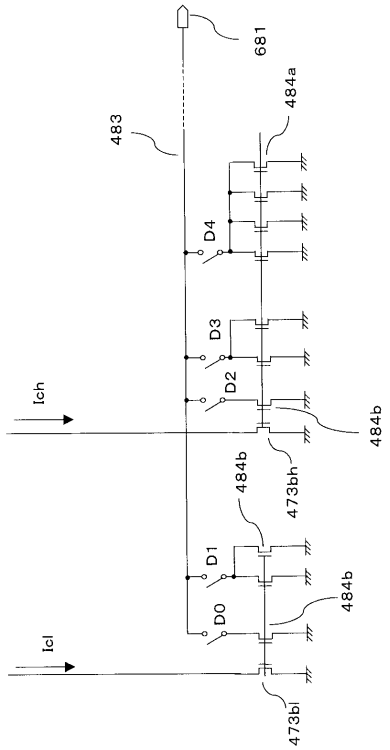
【図３９８】



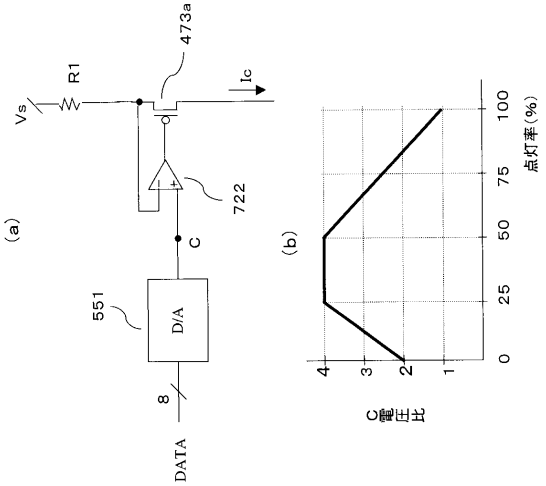
【図３９９】



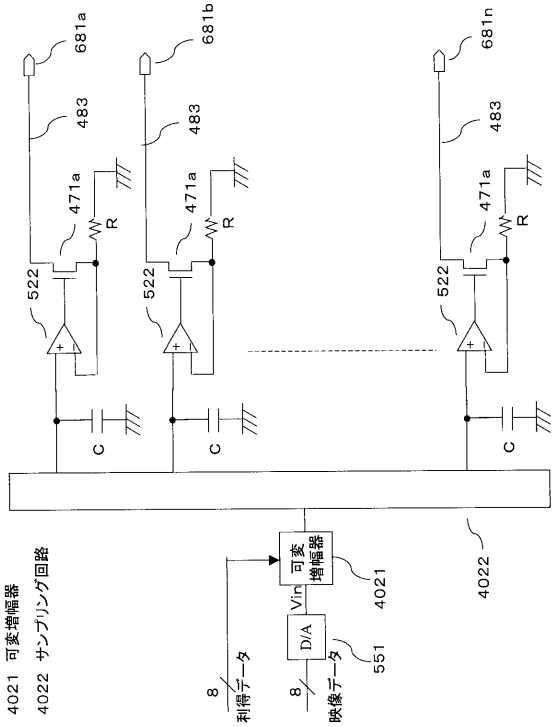
【図４００】



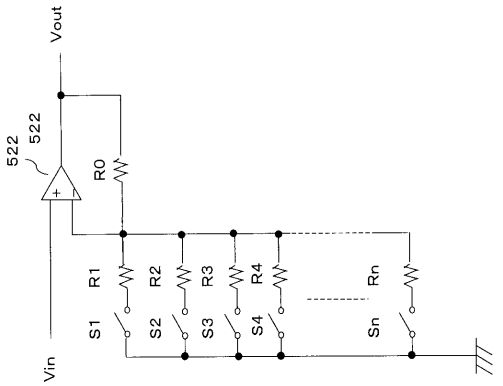
【図４０１】



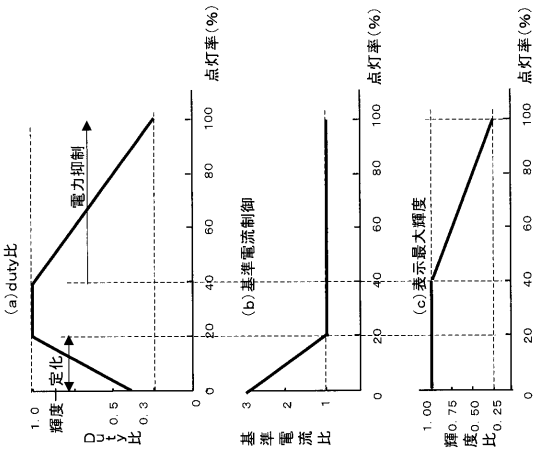
【図４０２】



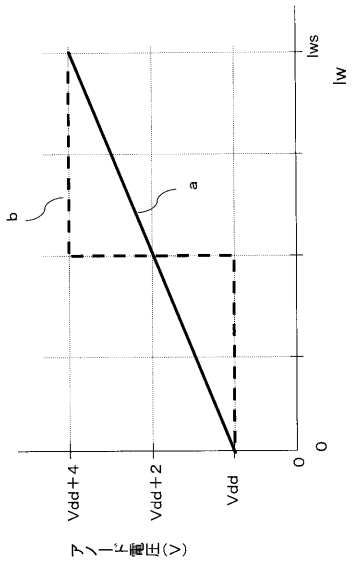
【図４０３】



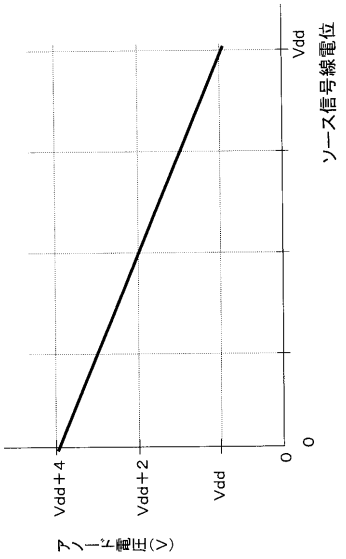
【図４０４】



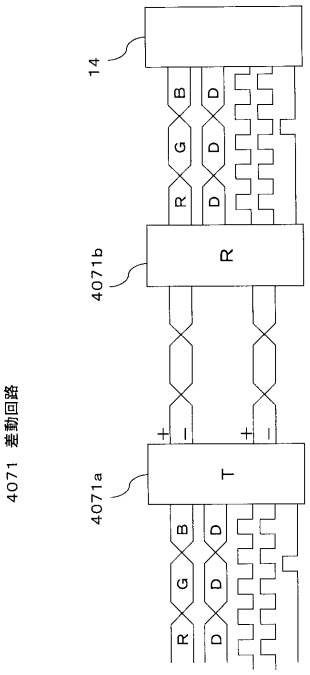
【図４０５】



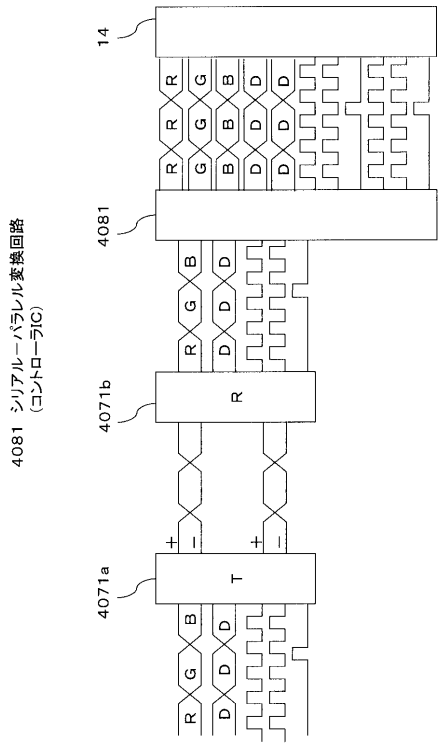
【図４０６】



【図４０７】


4071 差動回路
14
4071b
R
4071a
T
R
G
B
D
+
−

【図４０８】


4081 シリアル－パラレル変換回路
（コントローラIC）
14
4081
4071b
R
4071a
T
R
G
B
D
+
−

フロントページの続き

(51)Int.Cl.[7]	FI			テーマコード（参考）
	Ｇ０９Ｇ	3/20	６２３Ｃ	
	Ｇ０９Ｇ	3/20	６４２Ａ	
	Ｇ０９Ｇ	3/20	６４２Ｐ	
	Ｈ０５Ｂ	33/14	Ａ	

专利名称(译)	EL表示装置		
公开(公告)号	JP2005055726A	公开(公告)日	2005-03-03
申请号	JP2003287297	申请日	2003-08-06
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.H G09G3/20.611.A G09G3/20.611.H G09G3/20.612.E G09G3/20.622.C G09G3/20.623.C G09G3/20.642.A G09G3/20.642.P H05B33/14.A G09G3/3216 G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD04 5C080/DD05 5C080/DD20 5C080/DD26 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK43 3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC02 3K107/CC14 3K107/CC32 3K107/CC33 3K107/CC43 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB05 5C380/AB06 5C380/AB08 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB31 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB39 5C380/AB46 5C380/AB47 5C380/AC02 5C380/AC07 5C380/AC08 5C380/AC10 5C380/AC11 5C380/AC12 5C380/AC16 5C380/AC18 5C380/BA03 5C380/BA08 5C380/BA10 5C380/BA11 5C380/BA17 5C380/BA19 5C380/BA23 5C380/BA24 5C380/BA25 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BA42 5C380/BA43 5C380/BA46 5C380/BA47 5C380/BA48 5C380/BB02 5C380/BB08 5C380/BB09 5C380/BB13 5C380/BB15 5C380/BB16 5C380/BB17 5C380/BB22 5C380/BB23 5C380/BC02 5C380/BC07 5C380/BC13 5C380/BC14 5C380/BC15 5C380/BE04 5C380/BE05 5C380/BE06 5C380/CA02 5C380/CA04 5C380/CA05 5C380/CA06 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA13 5C380/CA17 5C380/CA26 5C380/CA29 5C380/CA30 5C380/CA35 5C380/CA36 5C380/CA42 5C380/CA47 5C380/CA48 5C380/CA49 5C380/CA57 5C380/CB02 5C380/CB05 5C380/CB09 5C380/CB14 5C380/CB16 5C380/CB18 5C380/CB24 5C380/CB25 5C380/CB27 5C380/CB30 5C380/CB34 5C380/CC04 5C380/CC13 5C380/CC14 5C380/CC17 5C380/CC18 5C380/CC19 5C380/CC27 5C380/CC28 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC45 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CC77 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CD017 5C380/CD018 5C380/CD028 5C380/CE02 5C380/CE03 5C380/CE05 5C380/CE06 5C380/CE08 5C380/CE22 5C380/CF02 5C380/CF03 5C380/CF05 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF18 5C380/CF19 5C380/CF22 5C380/CF24 5C380/CF27 5C380/CF32 5C380/CF33 5C380/CF36 5C380/CF42 5C380/CF44 5C380/CF46 5C380/CF48 5C380/CF49 5C380/CF56 5C380/CF62 5C380/CF64 5C380/CF67 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA10 5C380/DA13 5C380/DA16 5C380/DA19 5C380/DA30 5C380/DA32 5C380/DA33 5C380/DA34 5C380/DA35 5C380/DA41 5C380/DA42 5C380/DA47 5C380/DA58 5C380/EA02 5C380/EA05 5C380/EA11 5C380/EA15 5C380/FA03 5C380/FA06 5C380/FA10 5C380/FA11 5C380/FA12 5C380/FA13 5C380/FA24 5C380/FA25 5C380/GA14 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA06 5C380/HA07 5C380/HA08 5C380/HA11 5C380/HA13 5C380/HA18		
代理人(译)	松田 正道		
其他公开文献	JP2005055726A5		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种EL显示装置，该EL显示装置能够抑制颜色不均匀的发生，降低功耗，并且减小尺寸和重量。 DCDC转换器3941a从电池单元的电压Vin产生阳极电压Vdd。 此外，参考电压Vdw也由DCDC转换器3941b使用电压Vin产生。 调节器3943从阳极电压Vdd和参考电压Vdw产生阴极电压Vss。 在EL显示面板的矩阵中形成的像素的P沟道晶体管以阳极电压Vdd为基准进行操作。 当流经EL显示面板的电流较大时，请增加阳极电压Vdd。 当改变阳极电压Vdd时，阴极电压Vss也被互锁和移位。 [选择图]图394