

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-20704

(P2004-20704A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int.Cl.⁷

G09F 9/30

H05B 33/14

F I

G09F 9/30 338

G09F 9/30 310

G09F 9/30 365Z

H05B 33/14 A

テーマコード (参考)

3K007

5C094

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2002-172728 (P2002-172728)

(22) 出願日 平成14年6月13日 (2002.6.13)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100098785

弁理士 藤島 洋一郎

(72) 発明者 小竹 良太

東京都品川区北品川6丁目7番35号

ソニー株式会社内

Fターム(参考) 3K007 AB18 BB07 DB03 GA00

5C094 AA42 AA43 AA45 BA03 BA27

CA19 DB01 EA04 EA07

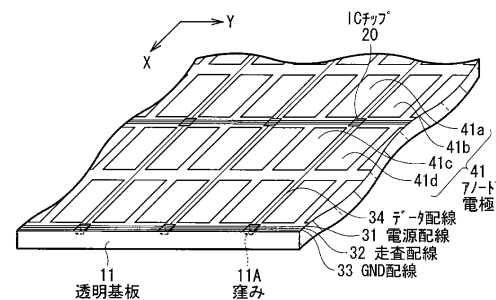
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】透明基板に配設するＩＣチップの数を少なくすることができ、製造の歩留まりを向上させることができると共にコストの低減を図ることができる表示装置を提供する。

【解決手段】１個のＩＣチップ２０により複数の有機ＥＬ素子を一括して駆動させる。ＩＣチップ２０は例えば４つの画素駆動端子を備えている。全体として透明基板１１に配設されるＩＣチップ２０の数が少なくなり、ＩＣチップ２０そのもののサイズを大きくすることができる。透明基板１１に形成された窪み１１ＡへのＩＣチップ２０の実装時間が削減される。データ配線３４および走査配線３２の本数が少なくなると共に、これらの配線と接続される駆動回路の出力本数が少なくなる。

【選択図】 図２



【特許請求の範囲】

【請求項 1】

基板と、
前記基板の上にマトリックス状に配置されると共に複数の組に分割された多数の表示素子と、
各々前記分割された表示素子を組ごとに一括して駆動する複数の駆動素子と
を備えたことを特徴とする表示装置。

【請求項 2】

前記駆動素子は複数の駆動端子を有し、各駆動端子を通じて互いに異なる表示素子を個別に駆動する
ことを特徴とする請求項 1 記載の表示装置。

10

【請求項 3】

前記駆動素子は、各組の表示素子の数と同じ数の駆動端子を有する
ことを特徴とする請求項 2 記載の表示装置。

【請求項 4】

前記駆動素子は IC チップである
ことを特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記表示素子は有機 EL 素子である
ことを特徴とする請求項 1 記載の表示装置。

20

【請求項 6】

前記 IC チップは、一对の対向する上面および下面を有し、前記上面が前記下面よりも大きな面積を有する
ことを特徴とする請求項 4 記載の表示装置。

【請求項 7】

前記基板には複数の窪みが形成され、前記窪みに前記 IC チップが配設されている
ことを特徴とする請求項 6 記載の表示装置。

【請求項 8】

前記基板は透明基板である
ことを特徴とする請求項 1 記載の表示装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素として有機 EL (Electro Luminescence) 素子等が形成された表示装置に係り、特に同一基板上に各画素の発光制御を行うための駆動素子を有する表示装置に関する。

【0002】

【従来の技術】

表示装置には、発光素子として、例えば有機 EL 素子がマトリックス状に多数配置されており、これら有機 EL 素子のそれぞれが 1 つの画素を構成している。この表示装置では、各画素が映像信号に応じて選択的に駆動されることによって、画像や文字の表示が行われる。

40

【0003】

このような表示装置の各画素に設けられた有機 EL 素子の駆動方式には、アクティブマトリックス方式がある。このアクティブマトリックス方式の表示装置には、有機 EL 素子毎に発光制御を行う駆動素子が設けられている。

【0004】

駆動素子としては、一般的に、直接基板に半導体プロセスを施すことによって形成された TFT (Thin Film Transistor) などのトランジスタが用いられている。これに対して、近年、駆動素子としてブロック状のマイクロ IC チップを用い、こ

50

のマイクロＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）チップを基板に形成された窪みに配設する技術が提案されている。なお、基板の窪みにマイクロＩＣチップを配設する手法としては、多くの駆動素子が形成されたシリコンウエハを、表示装置の画素の数に対応した個数となるように、非常に小さなブロック状のマイクロＩＣチップに分割した後、これらマイクロＩＣチップを窪みに配設するといったものがある（特表平９－５０６７４２号公報参照）。なお、マイクロＩＣチップは、一对の対向する上面および下面を有し、その上面の面積が下面のよりも大きなものである。

【０００５】

図７は、駆動素子としてマイクロＩＣチップ１２０を適用した表示装置１００の構成を表し、図８はマイクロＩＣチップ１２０を拡大して表したものである。表示装置１００では、透明基板１１１に多数の窪み１１１Ａが形成されており、これらの窪み１１１ＡのそれぞれにマイクロＩＣチップ１２０が配設されている。マイクロＩＣチップ１２０の上面には画素駆動端子１２５が設けられている。また、透明基板１１１の上には、マイクロＩＣチップ１２０の画素駆動端子１２５を通じて駆動されるアノード電極１４１がマトリックス状に形成されている。

10

【０００６】

マイクロＩＣチップ１２０の上面におけるＸ方向縁部には、画素駆動端子１２５の他に、電源配線１３１と接続される電源端子１２１、走査配線１３２と接続される走査信号入力端子１２２、および、ＧＮＤ配線１３３と接続されるＧＮＤ端子１２３がそれぞれ設けられている。また、マイクロＩＣチップ１２０の上面における一对の対向するＹ方向の縁部のそれぞれには、データ配線１３４と接続されるデータ信号端子１２４ａおよびデータ信号端子１２４ｂが設けられている。なお、図７では、データ配線１３４および走査配線１３２のそれぞれに接続される駆動回路、および、有機ＥＬ素子の有機ＥＬ層より上の構成は省略されている。

20

【０００７】

【発明が解決しようとする課題】

ところで、上述のような表示装置１００では、例えばＸＧＡ表示のような高精細な表示を行うためには２，３５９，２９６個の画素が必要とされる。しかし、図８に示したマイクロＩＣチップ１２０では画素駆動端子１２５が１個しか設けられていないために、１個のマイクロＩＣチップ１２０につき１つの画素だけしか駆動することができない。そのため、その画素の数に対応した数、すなわち２，３５９，２９６個のマイクロＩＣチップ１２０が必要となる。

30

【０００８】

このように従来が表示装置１００では、画素の数に対応して多くのマイクロＩＣチップ１２０を透明基板１１１に配設しなければならないため、マイクロＩＣチップ１２０のサイズが小さくなり、マイクロＩＣチップ１２０を窪み１１１Ａに配設する等のプロセスにおいて、その作業が困難となる。また、データ配線１３４および走査配線１３２のそれぞれと駆動回路との接続ピッチが小さくなるため配線形成のプロセスが困難となり、その結果、製造の歩留まりが低下するという問題があった。

【０００９】

また、１つのマイクロチップ１２０の大きさが例えば８０μｍの場合、２，３５９，２９６個のマイクロＩＣチップ１２０をシリコンウエハに作製するために必要な面積は１５，０００ｍｍ^２程度となり、これは１２０ｍｍ^２程度のダイの面積に相当することになりダイの面積が非常に大きくなってしまふ。更に、データ配線１３４および走査配線１３２のそれぞれの本数が多くなり、また、これらの配線と接続される駆動回路の出力本数が多くなってしまふ。その結果、コストが増大するという問題があった。

40

【００１０】

本発明はかかる問題点に鑑みてなされたもので、その目的は、表示素子を駆動するための駆動素子の数を低減でき、製造の歩留まりを向上させることができると共にコストの低減を図ることができる表示装置を提供することにある。

50

【 0 0 1 1 】

【課題を解決するための手段】

本発明による表示装置は、基板と、基板の上にマトリックス状に配置されると共に複数の組に分割された多数の表示素子と、各々前記分割された表示素子を組ごとに一括して駆動する複数の駆動素子とを備えたものであり、1の駆動素子によって複数の表示素子が一括して駆動される。

【 0 0 1 2 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【 0 0 1 3 】

図1は本発明の一実施の形態に係る表示装置10の構成を表すものである。この表示装置10は表示素子として例えば有機EL素子40を有している。有機EL素子40は透明基板11の上に配設されている。図2は、マイクロICチップ20（以下、ICチップ20という）が配設された透明基板11の構成を表すものである。図3はICチップ20を拡大して表したものである。

10

【 0 0 1 4 】

表示装置10は例えばプラスチックからなる透明基板11を備えており、この透明基板11には複数の窪み11AがY方向およびX方向のそれぞれに、例えば数十 μm の間隔をあけて等間隔に設けられている。ここで、複数の窪み11Aが、従来と比較してY方向およびX方向のそれぞれにおいて倍のピッチで形成されており、これら窪み11Aの個数は、全体として従来のものの4分の1となっている。

20

【 0 0 1 5 】

窪み11Aには、有機EL素子40の駆動素子として、ICチップ20が配設されている。このICチップ20は、例えば、複数の駆動素子が形成されたシリコンウエハが上面と下面を有するブロック状に分割されたものである。このICチップ20は、上面の面積は下面のよりも大きくなっており、その上面の大きさは80 μm 程度である。

【 0 0 1 6 】

ICチップ20の上面には、このICチップ20の上面での4隅のそれぞれに画素駆動端子25a~25dが設けられている。ICチップ20の上面において、X方向の縁部のうち、画素駆動端子25a、25cの間には、外部から電力を供給するための電源端子21、走査信号が入力される走査信号入力端子22、およびGND端子23のそれぞれが設けられている。また、ICチップ20の上面において、一対の対向するY方向の縁部のそれぞれには、データ信号入力端子24aおよびデータ信号入力端子24bが設けられている。

30

【 0 0 1 7 】

このICチップ20では、データ信号入力端子24aからアナログデータ信号電圧が入力され、走査信号入力端子22によって選択されたタイミングのデータ信号を保持されて、画素駆動端子25a~25dのそれぞれからデータ信号電圧に比例したデータ電流が各有機EL素子40に流れるように電圧電流変換がなされる。

【 0 0 1 8 】

これらICチップ20の各端子には、Y方向およびX方向に形成された配線が電氣的に接続されている。例えば、Y方向では、ICチップ20の電源端子21に対して電源配線31、走査信号入力端子22に対して走査配線（ロウ（Row）電極）32、GND端子23に対してGND配線33がそれぞれが接続されている。また、X方向では、データ信号入力端子24aおよびデータ信号入力端子24bに対してデータ配線34（コラム（Column）電極）が接続されている。データ配線34は、データ信号入力端子24aおよびデータ信号入力端子24bのそれぞれに接続されることによって、Y方向の各配線と交わらないようになっている。なお、Y方向に形成された走査配線32は透明基板11のX方向の縁部に設けられたロウ電極駆動回路（図示せず）に電氣的に接続されている。また、X方向に形成されたデータ配線34は透明基板11のY方向の縁部に設けられたコラ

40

50

ム電極駆動回路（図示せず）に電氣的に接続されている。

【0019】

これら Y 方向に形成された各配線および X 方向に形成された配線を避けるようにして、例えば、酸化インジウム錫（Indium Tin Oxide：ITO）からなる多数のアノード電極 41 がマトリックス状に形成されている。これらアノード電極 41 は、IC チップ 20 の画素駆動端子 25 a ~ 25 d のうちの 1 つとそれぞれ電氣的に接続されている。具体的には、アノード電極 41 a ~ 41 d のそれぞれは、これらのアノード電極 41 a ~ 41 d によって囲まれる IC チップ 20 の画素駆動端子 25 a ~ 25 d と接続されている。ここで、Y 方向および X 方向の各配線の数 は 従来と比較して 2 分の 1 となっている。

10

【0020】

アノード電極 41 が形成されていない領域には絶縁膜（図示せず）が形成されている。アノード電極 41 および絶縁膜の上には有機 EL 層 42 が形成されている。なお、有機 EL 層 42 は、正孔が輸送される有機正孔輸送層、電子と正孔が再結合し白色の蛍光が発光される有機発光層、および、電子が輸送される電子輸送層が順に積層された構成を有する。有機 EL 層 42 の上には、アノード電極 41 に対向するようにして、例えばアルミニウム（Al）などの金属からなるカソード電極 43 が形成されている。

【0021】

これらアノード電極 41、有機 EL 層 42 およびカソード電極 43 から有機 EL 素子 40 が構成されており、この有機 EL 素子 40 によって表示パネルが構成される。なお、1 つのアノード電極 41 の形成領域に対応して 1 つの有機 EL 素子 40 が形成されており、この有機 EL 素子 40 によって 1 の画素が構成される。

20

【0022】

本実施の形態では、1 個の IC チップ 20 に 4 つの画素駆動端子 25 a ~ 25 d が設けられると共に、多数の有機 EL 素子 40 が IC チップ 20 の数に対応した複数の組に分割されており、1 組の有機 EL 素子 40、すなわち 1 つの IC チップ 20 を取り囲んでいる 4 つの有機 EL 素子 40 には画素駆動端子 25 a ~ 25 d が個別に接続される。これによって、IC チップ 20 の数は、従来と比較して 4 分の 1 となりダイの面積が小さくなる。また、従来と比較して大きなサイズの IC チップ 20 を透明基板 11 に配設することができる。更に、Y 方向および X 方向の各配線の数 は 従来と比較して 2 分の 1 となるので、画素の面積が大きくなる。加えて、これらの配線と接続される駆動回路の出力本数が少なくなる。更に、これらの配線と駆動回路との接続ピッチを大きくすることができる。

30

【0023】

次に、このような構成を有する表示装置 10 の製造方法について、図 4 および図 1 乃至図 3 を参照して説明する。

【0024】

まず、透明基板 11 に、エンボス加工法によって、上面と下面を有する数十 μm の大きさの複数の窪み 11 A を X 方向および Y 方向のそれぞれに数十 μm の間隔をあけて等間隔に形成する。この窪み 11 A の上面は下面の面積よりも大きいものとする。続いて、セルフアSEMBル法を用いて、図 4 に示したように、複数の窪み 11 A のそれぞれに IC チップ 20 を嵌合して固定する。このとき、従来と比較して、透明基板 11 に搭載する IC チップ 20 の数が少なくなるので、IC チップ 20 の実装時間が削減される。また、IC チップ 20 のサイズを大きくすることが可能となり、これにより IC チップ 20 の窪み 11 A への実装が容易となる。

40

【0025】

ここで、これら IC チップ 20 は、表示装置 10 の窪み 11 A の数に対応した個数になるように、駆動素子が形成されたシリコンウエハをブロック状に分割することによって作製する。このとき、IC チップ 20 の上面に、この IC チップ 20 の上面での 4 隅のそれぞれに画素駆動端子 25 a ~ 25 d を設ける。IC チップ 20 上面において、X 方向の縁部のうち、画素駆動端子 25 a、25 c の間に、外部から電力が供給される電源端子 21、

50

走査信号が入力される走査信号入力端子 22 および GND 端子 23 のそれぞれを設ける。また、IC チップ 20 の上面において、一対の対向する Y 方向の縁部のそれぞれに、データ信号入力端子 24 a およびデータ信号入力端子 24 b を設ける。

【0026】

次に、フォトリソグラフィ法や印刷法を用いることによって、透明基板 11 の Y 方向および X 方向のそれぞれに、IC チップ 20 の各端子と電氣的に接続するようにして各配線を形成する。

【0027】

具体的に、Y 方向には、IC チップ 20 の電源端子 21 に接続される電源配線 31、走査信号入力端子 22 に接続される走査配線 32、および GND 端子 23 に接続される GND 配線 33 を形成する。また、X 方向には、IC チップ 20 のデータ信号入力端子 24 a およびデータ信号入力端子 24 b に接続されるデータ配線 34 を形成する。このデータ配線 34 は、Y 方向の各配線と交わらないようにするために、データ信号入力端子 24 a およびデータ信号入力端子 24 b のそれぞれに接続させる。このとき、透明基板 11 にデータ配線 34 および走査配線 32 のそれぞれを形成する本数が少なくなるので、これらの配線と接続される駆動回路の出力本数が少なくなり、また、これらの配線と駆動回路との接続ピッチを大きくすることが可能となる。

【0028】

続いて、スパッタ法によって、透明基板 11 の上に、これら Y 方向に形成された各配線、および、X 方向に形成された配線を避けるようにして、例えば、酸化インジウム錫からなる多数のアノード電極 41 をマトリックス状に形成する。これらアノード電極 41 は、IC チップ 20 の画素駆動端子 25 a ~ 25 d のうちの 1 つと電氣的に接続されるように形成する。

【0029】

次いで、アノード電極 41 が形成されていない領域に、絶縁膜（図示せず）を形成する。絶縁膜を形成した後、蒸着法や、印刷法、スピコート法などを用いて、アノード電極 41 および絶縁膜の上に、有機 EL 層 42 を形成する。この有機 EL 層 42 は、正孔が輸送される有機正孔輸送層、電子と正孔が再結合して白色の蛍光が発光される有機発光層、および、電子が輸送される電子輸送層が順に積層された構成を有する。最後に、有機 EL 層 42 の上に、アノード電極 41 に対向するようにして、カソード電極 43 を形成する。このカソード電極 43 は、例えばアルミニウムなどの金属とする。以上のようにして、図 1 に示した表示装置 10 が作製される。

【0030】

次に、この表示装置 10 の動作および駆動方法について、図 5 および図 6 を参照して、従来の表示装置 100 と比較して説明する。なお、図 5 は、本実施の形態の表示装置 10 の一部を模式的に表したものであり、マトリックス状に形成された多数の画素の位置のそれぞれを例えば (1, 1) のように (x, y) 座標で表している。なお、(1, 1) はサブピクセルである。

【0031】

従来の表示装置 100 では、図 9 に示したように、1 つの IC チップ 120 に、1 つの画素が電氣的に接続されている。このような表示装置 100 の駆動方式では、図 10 (A) に示したように、データ配線 134 A を通じて、アナログデータ信号が、X 方向に (1, 1)、(2, 1)、・・・のように連続的に送られる。また、データ配線 134 B ~ 134 D のそれぞれにおいても、データ配線 134 A と同様に、アナログデータ信号が X 方向に連続的に送られる (図 10 (B), (C), (D))。

【0032】

このとき、図 10 (E) に示したように、ラッチパルスが、走査配線 132 A を通じてデータ配線 134 A に連続的に送られたアナログデータ信号を (1, 1)、(1, 2)、・・・の各画素に取り込むようなタイミングで順次走査される。また、走査配線 132 B ~ 132 D のそれぞれにおいても、走査配線 132 A と同様に、ラッチパルスが Y 方向に連

続的に送られる（図10（F）、（G）、（H））。これにより各走査配線のラッチパルスによってラッチされたデータ信号がICチップ120に設けられた画素駆動端子125に送られる。

【0033】

これに対して、本実施の形態の表示装置10では、図5に示したように、1つのICチップ20に、1組の画素、すなわち1つのICチップ20を取り囲んでいる4つの画素が電氣的に接続されている。このような表示装置10の駆動方式において、各データ配線では、アナログデータ信号の周波数が、従来方式の1本のデータ配線での周波数の倍のものとなり、従来方式の2本分のデータ配線のアナログデータ信号が1本のデータ配線に混合されて入力される。他方、各走査配線では、従来方式の4本分の走査配線のラッチパルスが1本の走査配線に入力される。

10

【0034】

具体的には、図6（A）に示したように、データ配線34Aを通じて、アナログデータ信号が、X方向に（1，1）、（1，2）、（2，1）、（2，2）、・・・のように連続的に送られる。また、データ配線34Bにおいても、データ配線34Aと同様に、アナログデータ信号がX方向に連続的に送られる（図6（B））。このとき、図6（C）に示したように、ラッチパルスが、走査配線32Aを通じて、データ配線34Aに連続的に送られたアナログデータ信号を（1，1）、（1，2）、（2，1）、（2，2）、・・・の各画素に取り込むようなタイミングで順次走査されている。また、走査配線32Bにおいても、走査配線32Aと同様に、ラッチパルスがY方向に連続的に送られる（図6（D））。

20

【0035】

本実施の形態の表示装置10では、データ配線34A，34Bのそれぞれに連続的に送られたアナログデータ信号が走査配線32A，32Bのそれぞれでラッチされ、このラッチされたデータ信号が1つのICチップ20に設けられた4つ画素駆動端子25a～25dのそれぞれに送られる。このとき、ICチップ20では、画素駆動端子25a～25dのそれぞれに送られたデータ信号が、これらデータ信号に比例したデータ電流が各画素に流れるように電圧電流変換がなされる。これにより各画素に配設された有機EL素子40に電流が供給され、この有機EL素子40の有機EL層42が発光する。この発光した光が透明基板11を通じて透過されて画像表示がなされる。

30

【0036】

このように本実施の形態によれば、1個のICチップ20によって4個の有機EL素子40を一括して駆動するようにしたので、全体としてICチップ20の数を少なくすることができる。よって、ICチップ20のサイズを大きくすることが可能となり、これによって透明基板11に形成された窪み11AへのICチップ20の実装時間を削減することができる。また、ダイの面積を小さくすることが可能となる。更に、データ配線34および走査配線32の本数を少なくすることができ、これらの配線と接続される駆動回路の出力本数を少なくすることができる。加えて、これらの配線と駆動回路との接続ピッチを大きくすることができる。その結果、製造の歩留まりを向上させることができ、また、コストの低減を図ることもできる。

40

【0037】

以上、実施の形態を挙げて本発明を説明したが、本発明は上記実施の形態に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態では、1個のICチップ20によって4個の有機EL素子40を一括して駆動するようにしたが、数は限定されるものではなく、例えば2個の有機EL素子を一括して駆動させるようにしてもよい。また、表示素子としては、有機EL素子に限らず、その他の素子、例えば液晶素子やLED（Light Emitting Diode）素子を適用するようにしてもよい。

【0038】

【発明の効果】

以上説明したように本発明の表示装置によれば、1の駆動素子によって複数の表示素子を

50

一括して駆動させるようにしたので、全体として駆動素子の数を削減することができる。よって、駆動素子のサイズを大きくすることが可能となり、これにより基板に形成された窪みへの駆動素子の実装時間等の作業時間を短くすることができる。また、ダイの面積を小さくすることも可能となる。更に、データ配線および走査配線のそれぞれの本数を削減することができ、これらの配線と接続される駆動回路の出力本数を少なくすることが可能となる。加えて、これらの配線と駆動回路との接続ピッチを大きくすることができる。その結果、製造の歩留まりを向上させることができると共にコストの低減を図ることが可能になる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態に係る表示装置の概略構成図である。

10

【図 2】図 1 に示した表示装置の IC チップが配設された透明基板の概略構成図である。

【図 3】図 1 に示した表示装置の IC チップの概略構成図である。

【図 4】図 1 に示した表示装置の製造方法を説明するための工程図である。

【図 5】図 1 に示した表示装置の駆動方法を説明するための表示装置の模式図である。

【図 6】図 1 に示した表示装置の駆動方法を説明するためのタイムチャート図である。

【図 7】従来の表示装置のマイクロ IC チップが配設された透明基板の概略構成図である。

【図 8】図 7 に示した表示装置のマイクロ IC チップの概略構成図である。

【図 9】従来の表示装置の駆動方法を説明するための表示装置の模式図である。

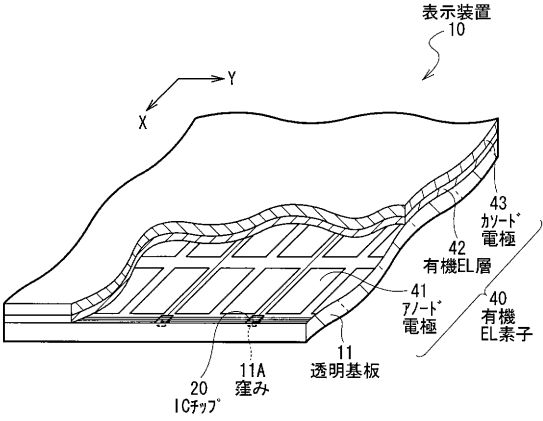
【図 10】従来の表示装置の駆動方法を説明するためのタイムチャート図である。

20

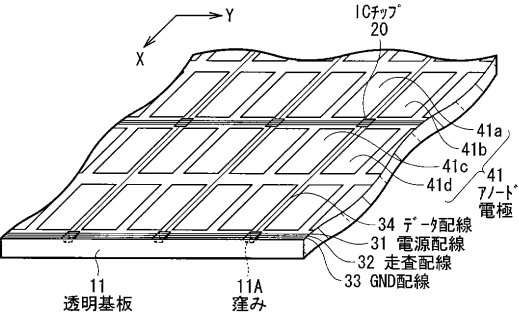
【符号の説明】

10・・・表示装置、11・・・透明基板、11A・・・窪み、20・・・IC チップ、21・・・電源端子、22・・・走査信号入力端子、23・・・GND 端子、24a, 24b・・・データ信号入力端子、25a, 25b, 25c, 25d・・・画素駆動端子、31・・・電源配線、32・・・走査配線、33・・・GND 配線、34・・・データ配線、40・・・有機 EL 素子、41・・・アノード電極、42・・・有機 EL 層、43・・・カソード電極

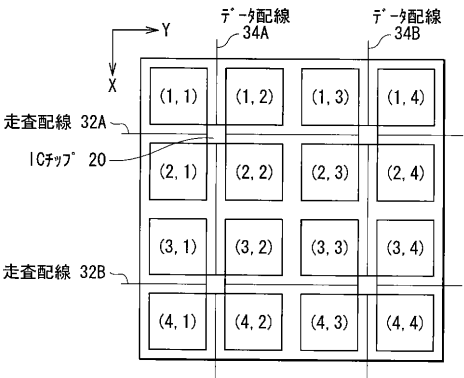
【 図 1 】



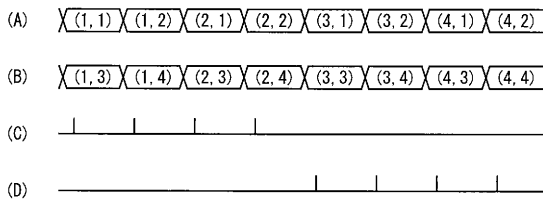
【 図 2 】



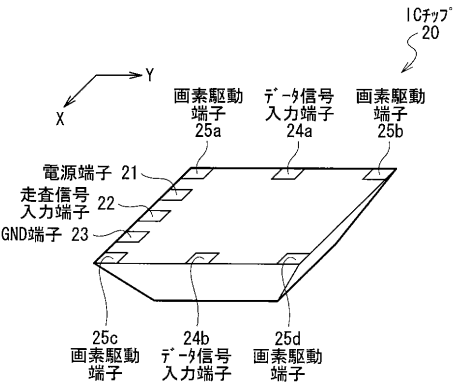
【 図 5 】



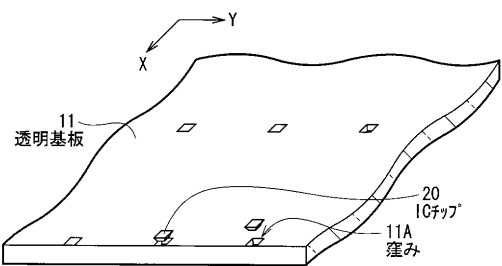
【 図 6 】



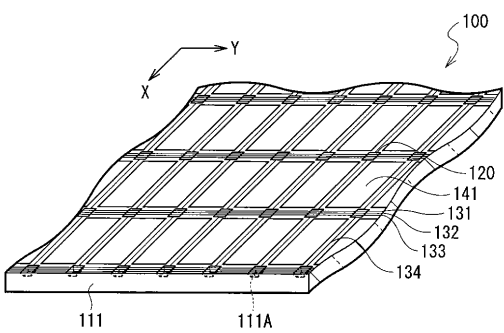
【 図 3 】



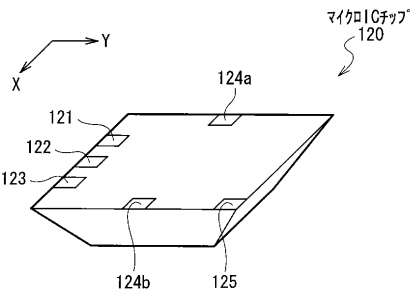
【 図 4 】



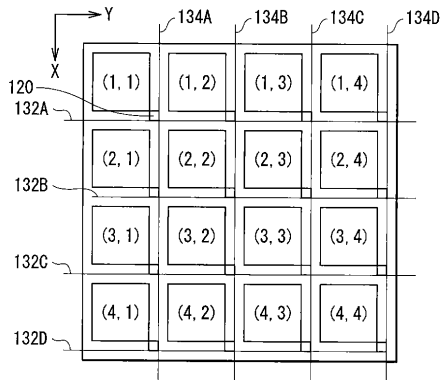
【 図 7 】



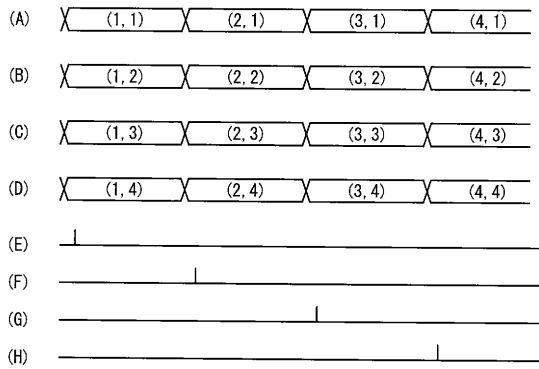
【 図 8 】



【 図 9 】



【 図 10 】



专利名称(译)	表示装置		
公开(公告)号	JP2004020704A	公开(公告)日	2004-01-22
申请号	JP2002172728	申请日	2002-06-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	小竹良太		
发明人	小竹 良太		
IPC分类号	H01L51/50 G09F9/30 H01L27/32 H05B33/14		
FI分类号	G09F9/30.338 G09F9/30.310 G09F9/30.365.Z H05B33/14.A G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB18 3K007/BB07 3K007/DB03 3K007/GA00 5C094/AA42 5C094/AA43 5C094/AA45 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB01 5C094/EA04 5C094/EA07 3K107/AA01 3K107/BB01 3K107/CC45 3K107/DD02 3K107/DD11 3K107/DD38 3K107/DD39 3K107/EE03 3K107/EE58		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置，该显示装置能够减少布置在透明基板上的IC芯片的数量，提高制造成品率并降低成本。 解决方案：多个有机EL元件由一个IC芯片20共同驱动。 IC芯片20具有例如四个像素驱动端子。 总体上，减少了布置在透明基板11上的IC芯片20的数量，并且可以增加IC芯片20自身的尺寸。 IC芯片20在透明基板11中形成的凹部11A中的安装时间减少。 减少了数据配线34和扫描配线32的数量，并且减少了连接到这些配线的驱动电路的输出的数量。 [选择图]图2

