

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6561290号  
(P6561290)

(45) 発行日 令和1年8月21日(2019.8.21)

(24) 登録日 令和1年8月2日(2019.8.2)

(51) Int.Cl.

F I

H05B 33/10 (2006.01)

H05B 33/10

H01L 51/50 (2006.01)

H05B 33/14

A

H05B 33/12 (2006.01)

H05B 33/12

Z

H05B 33/22 (2006.01)

H05B 33/12

B

H05B 33/26 (2006.01)

H05B 33/22

Z

請求項の数 6 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2015-216157 (P2015-216157)  
 (22) 出願日 平成27年11月2日(2015.11.2)  
 (65) 公開番号 特開2017-91628 (P2017-91628A)  
 (43) 公開日 平成29年5月25日(2017.5.25)  
 審査請求日 平成30年5月22日(2018.5.22)

(73) 特許権者 514188173  
 株式会社 J O L E D  
 東京都千代田区神田錦町三丁目2 3 番地  
 (74) 代理人 100189430  
 弁理士 吉川 修一  
 (74) 代理人 100190805  
 弁理士 傍島 正朗  
 (72) 発明者 鬼丸 俊昭  
 東京都千代田区神田錦町三丁目2 3 番地  
 株式会社 J O L E D 内  
 (72) 発明者 近藤 哲郎  
 東京都千代田区神田錦町三丁目2 3 番地  
 株式会社 J O L E D 内

審査官 横川 美穂

最終頁に続く

(54) 【発明の名称】 表示パネルの製造方法および表示パネル

(57) 【特許請求の範囲】

【請求項 1】

有機エレクトロルミネッセンス素子を有する画素を含む表示パネルの製造方法であって、

前記表示パネルは、複数の半導体素子を有し、  
 前記半導体素子の上方に形成された平坦化膜の上に、前記画素ごとに下部電極を形成する工程と、  
 前記下部電極の上に発光層を含む有機層を形成する工程と、  
 前記有機層の上に、上部電極を形成する工程と、  
 欠陥を含む前記下部電極を検出する工程と、  
 前記平坦化膜の上または前記下部電極の上に、前記下部電極と前記上部電極とを接続するための凸部を形成する工程とを含み、  
 前記画素ごとに形成された前記下部電極の少なくとも1つは欠陥を含み、  
 前記凸部を形成する工程において、前記凸部を、欠陥を含む前記下部電極の上に形成する

表示パネルの製造方法。

【請求項 2】

有機エレクトロルミネッセンス素子を有する画素を含む表示パネルの製造方法であって、

前記表示パネルは、複数の半導体素子を有し、

前記半導体素子の上方に形成された平坦化膜の上に、前記画素ごとに下部電極を形成する工程と、

前記下部電極の上に発光層を含む有機層を形成する工程と、

前記有機層の上に、上部電極を形成する工程と、

欠陥を含む前記半導体素子を検出する工程と、

前記平坦化膜の上または前記下部電極の上に、前記下部電極と前記上部電極とを接続するための凸部を形成する工程とを含み、

前記複数の半導体素子のうちの少なくとも1つは欠陥を含み、

前記凸部を形成する工程において、前記凸部を、欠陥を含む前記半導体素子の上方の前記平坦化膜または前記下部電極の上に形成する

10

表示パネルの製造方法。

【請求項3】

前記凸部を形成する工程において、導電性材料を塗布することにより前記凸部を形成する

請求項1または2に記載の表示パネルの製造方法。

【請求項4】

有機エレクトロルミネッセンス素子を有する画素を含む表示パネルであって、

基板上に形成された複数の半導体素子と、

前記複数の半導体素子の上方に形成された平坦化膜と、

前記平坦化膜の上に前記画素毎に形成された下部電極と、

前記下部電極の上に形成された発光層を含む有機層と、

前記有機層の上に形成された上部電極と、

前記平坦化膜の上または前記下部電極の上に形成され、前記下部電極と前記上部電極とを接続するための凸部とを備え、

前記画素ごとに形成された前記下部電極の少なくとも1つは欠陥を含み、

前記凸部は、欠陥を含む前記下部電極の上に形成されている

表示パネル。

20

【請求項5】

有機エレクトロルミネッセンス素子を有する画素を含む表示パネルであって、

基板上に形成された複数の半導体素子と、

前記複数の半導体素子の上方に形成された平坦化膜と、

前記平坦化膜の上に前記画素毎に形成された下部電極と、

前記下部電極の上に形成された発光層を含む有機層と、

前記有機層の上に形成された上部電極と、

前記平坦化膜の上または前記下部電極の上に形成され、前記下部電極と前記上部電極とを接続するための凸部とを備え、

前記複数の半導体素子のうちの少なくとも1つは欠陥を含み、

前記凸部は、欠陥を含む前記半導体素子の上方の前記平坦化膜または前記下部電極の上に形成されている

表示パネル。

30

40

【請求項6】

前記凸部は、導電性材料により形成されている

請求項4または5に記載の表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルの製造方法および表示パネルに関する。

【背景技術】

【0002】

従来、アノード（陽極）とカソード（陰極）との間に発光層を含む有機層が介在されて

50

なる有機エレクトロルミネッセンス（以下、有機ＥＬと称する）素子を備えた表示パネルが知られている。有機ＥＬ素子を備えた表示パネルにおいて、製造工程で表示パネルの有機ＥＬ素子に導電性の異物が混入して陽極と陰極とが短絡したり、陽極と陰極との間に形成される発光層の欠落により陽極と陰極とが直接短絡する等の欠陥が生じることがある。この場合、欠陥を含む欠陥画素は、常時点灯しない滅点状態、常時点灯している輝点状態、または、点灯状態が安定しない等の不具合が生じることとなる。このような不具合が生じる場合、当該短絡が有機ＥＬ素子の動作に影響しないようにリペア（解消）する技術がある（例えば、特許文献１～４参照）。

【０００３】

特許文献１～４に開示された技術では、欠陥画素にレーザーを照射し、例えば、陽極、陰極または陽極と陰極との間に形成された発光層を高抵抗化または破壊することによって欠陥画素をリペアしている。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２００４－２２７８５２号公報

【特許文献２】特開２００３－１７８８７１号公報

【特許文献３】特開２００５－２７６６００号公報

【特許文献４】特開２００８－２３５１７７号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

しかし、上述したようにレーザーを照射してリペアする方法では、半導体素子または下部電極など基板表面から深い位置に欠陥がある場合、欠陥箇所にレーザーが届かず、欠陥画素をレーザーによってリペアすることが困難なことがある。

【０００６】

そこで、上述の課題に鑑み、本発明は、レーザーを照射することが困難な場合であっても欠陥画素をリペアすることができる表示パネルの製造方法および表示パネルを提供することを目的とする。

【課題を解決するための手段】

【０００７】

上述の課題を解決するために、本発明の一形態にかかる表示パネルの製造方法は、有機エレクトロルミネッセンス素子を有する画素を含む表示パネルの製造方法であって、前記表示パネルは、複数の半導体素子を有し、前記半導体素子の上方に形成された平坦化膜の上に、前記画素ごとに下部電極を形成する工程と、前記下部電極の上に発光層を含む有機層を形成する工程と、前記有機層の上に、上部電極を形成する工程と、欠陥を含む前記半導体素子または前記下部電極を検出する工程と、前記平坦化膜の上または前記下部電極の上に、前記下部電極と前記上部電極とを接続するための凸部を形成する工程とを含む。

【０００８】

また、上述の課題を解決するために、本発明の一形態にかかる表示パネルは、有機エレクトロルミネッセンス素子を有する画素を含む表示パネルであって、基板上に形成された複数の半導体素子と、前記複数の半導体素子の上方に形成された平坦化膜と、前記平坦化膜の上に前記画素毎に形成された下部電極と、前記下部電極の上に形成された発光層を含む有機層と、前記有機層の上に形成された上部電極と、前記平坦化膜の上または前記下部電極の上に形成され、前記下部電極と前記上部電極とを接続するための凸部とを備え、前記画素ごとに形成された前記下部電極の少なくとも１つは欠陥を含み、前記凸部は、欠陥を含む前記下部電極の上に形成されている。

【０００９】

また、上述の課題を解決するために、本発明の一形態にかかる表示パネルは、有機エレクトロルミネッセンス素子を有する画素を含む表示パネルであって、基板上に形成された

10

20

30

40

50

複数の半導体素子と、前記複数の半導体素子の上方に形成された平坦化膜と、前記平坦化膜の上に前記画素毎に形成された下部電極と、前記下部電極の上に形成された発光層を含む有機層と、前記有機層の上に形成された上部電極と、前記平坦化膜の上または前記下部電極の上に形成され、前記下部電極と前記上部電極とを接続するための凸部とを備え、前記複数の半導体素子のうちの少なくとも１つは欠陥を含み、前記凸部は、欠陥を含む前記半導体素子の上方の前記平坦化膜または前記下部電極の上に形成されている。

【発明の効果】

【 0 0 1 0 】

本発明にかかる表示パネルの製造方法によれば、レーザーを照射することが困難な場合であっても欠陥画素をリペアすることができる表示パネルの製造方法および表示パネルを提供することができる。

10

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】下部電極に欠陥を含む表示パネルの断面概略図

【図 2】実施の形態 1 にかかる表示パネルの構成を示す断面概略図

【図 3】実施の形態 1 にかかる表示パネルの製造工程を示すフローチャート

【図 4】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

【図 5】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

【図 6】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

【図 7】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

20

【図 8】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

【図 9】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

【図 10】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

【図 11】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

【図 12】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

【図 13】実施の形態 1 にかかる表示パネルの製造工程を示す断面概略図

【図 14】半導体素子に欠陥を含む表示パネルの断面概略図

【図 15】実施の形態 2 にかかる表示パネルの構成を示す断面概略図

【図 16】実施の形態 2 にかかる表示パネルの製造工程を示すフローチャート

【図 17】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

30

【図 18】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

【図 19】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

【図 20】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

【図 21】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

【図 22】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

【図 23】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

【図 24】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

【図 25】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

【図 26】実施の形態 2 にかかる表示パネルの製造工程を示す断面概略図

【図 27】有機 EL 表示パネルを備えた薄型フラットパネルシステムの概略構成図

40

【発明を実施するための形態】

【 0 0 1 2 】

本発明にかかる表示パネルの製造方法は、有機エレクトロルミネッセンス素子を有する画素を含む表示パネルの製造方法であって、前記表示パネルは、複数の半導体素子を有し、前記半導体素子の上方に形成された平坦化膜の上に、前記画素ごとに下部電極を形成する工程と、前記下部電極の上に発光層を含む有機層を形成する工程と、前記有機層の上に、上部電極を形成する工程と、欠陥を含む前記半導体素子または前記下部電極を検出する工程と、前記平坦化膜の上または前記下部電極の上に、前記下部電極と前記上部電極とを接続するための凸部を形成する工程とを含む。

【 0 0 1 3 】

50

本態様によると、半導体素子または下部電極など基板表面から深い位置に欠陥がありレーザーによってリペアすることが困難な場合であっても、下部電極と上部電極とを短絡して欠陥画素をリペアすることができる。

【0014】

また、前記画素ごとに形成された前記下部電極の少なくとも1つは欠陥を含み、前記凸部を形成する工程において、前記凸部を、欠陥を含む前記下部電極の上に形成してもよい。

【0015】

本態様によると、下部電極に欠陥がある場合に、下部電極の上に凸部を形成することにより、下部電極と上部電極とを凸部により短絡することができる。これにより、欠陥画素をリペアすることができる。

10

【0016】

また、前記複数の半導体素子のうちの少なくとも1つは欠陥を含み、前記凸部を形成する工程において、前記凸部を、欠陥を含む前記半導体素子の上方の前記平坦化膜の上に形成してもよい。

【0017】

本態様によると、半導体素子に欠陥がある場合に、半導体素子の上方の平坦化膜の上に凸部を形成することにより、凸部の上に形成される下部電極を凸部の形状に沿って形成することができる。これにより、凸部の形状に沿って形成された下部電極と上部電極とを短絡することができるので、欠陥画素をリペアすることができる。

20

【0018】

また、前記凸部を形成する工程において、導電性材料を塗布することにより前記凸部を形成してもよい。

【0019】

本態様によると、凸部を容易に形成することができると共に、上部電極と下部電極とを容易に短絡することができる。

【0020】

また、本発明にかかる表示パネルは、有機エレクトロルミネッセンス素子を有する画素を含む表示パネルであって、基板上に形成された複数の半導体素子と、前記複数の半導体素子の上方に形成された平坦化膜と、前記平坦化膜の上に前記画素毎に形成された下部電極と、前記下部電極の上に形成された発光層を含む有機層と、前記有機層の上に形成された上部電極と、前記平坦化膜の上または前記下部電極の上に形成され、前記下部電極と前記上部電極とを接続するための凸部とを備え、前記画素ごとに形成された前記下部電極の少なくとも1つは欠陥を含み、前記凸部は、欠陥を含む前記下部電極の上に形成されている。

30

【0021】

本態様によると、下部電極に欠陥がある場合に、下部電極の上に形成された凸部により下部電極と上部電極とを短絡することができる。これにより、欠陥画素をリペアすることができる。

【0022】

40

また、本発明にかかる表示パネルは、有機エレクトロルミネッセンス素子を有する画素を含む表示パネルであって、基板上に形成された複数の半導体素子と、前記複数の半導体素子の上方に形成された平坦化膜と、前記平坦化膜の上に前記画素毎に形成された下部電極と、前記下部電極の上に形成された発光層を含む有機層と、前記有機層の上に形成された上部電極と、前記平坦化膜の上または前記下部電極の上に形成され、前記下部電極と前記上部電極とを接続するための凸部とを備え、前記複数の半導体素子のうちの少なくとも1つは欠陥を含み、前記凸部は、欠陥を含む前記半導体素子の上方の前記平坦化膜または前記下部電極の上に形成されている。

【0023】

本態様によると、半導体素子に欠陥がある場合に、半導体素子の上方の平坦化膜の上に

50

凸部を形成することにより、凸部の形状に沿って形成された下部電極と上部電極とを短絡することができる。これにより、欠陥画素をリペアすることができる。

【 0 0 2 4 】

また、前記凸部は、導電性材料により形成されていてもよい。

【 0 0 2 5 】

本態様によると、上部電極と下部電極とを容易に短絡することができる。

【 0 0 2 6 】

以下、本発明の実施の形態にかかる表示パネルの製造方法および表示パネルについて図面に基づき説明する。なお、以下で説明する実施の形態は、いずれも一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。なお、以下では、全ての図を通じて同一または相当する要素には同じ符号を付して、その重複する説明を省略する。

【 0 0 2 7 】

( 実施の形態 1 )

以下に、本発明の実施の形態 1 について、図面を参照しながら説明する。本実施の形態では、下部電極に欠陥を含む有機 E L 素子を備えた有機 E L 表示パネルを例として、本実施の形態にかかる表示パネルの製造方法および表示パネルについて説明する。

【 0 0 2 8 】

はじめに、本発明の課題についてより具体的に説明する。図 1 は、下部電極に欠陥を含む有機 E L 表示パネル 1 の断面概略図である。

【 0 0 2 9 】

図 1 に示すように、有機 E L 表示パネル 1 は、基板 1 0 上に半導体層 1 2 と、平坦化膜 1 4 と、下部電極 1 6 と、有機層 2 0 と、上部電極 2 2 とを備えている。半導体層 1 2 には、複数の半導体素子 1 3 が形成されている。また、下部電極 1 6 は、複数の半導体素子 1 3 の少なくとも 1 つに接続されている。

【 0 0 3 0 】

平坦化膜 1 4 上には隔壁 1 8 が形成され、隔壁 1 8 によって囲まれた各領域が画素となる。ここで、有機層 2 0 の下に形成された下部電極 1 6 は、通常、画素ごとに隔壁 1 8 によって分離されている。しかし、下部電極 1 6 を形成する際のパターンニング不良等により、有機 E L 表示パネル 2 は、隣接する画素の下部電極 1 6 同士が導通したショート不良箇所 1 6 a を有することとなる。

【 0 0 3 1 】

下部電極 1 6 にショート不良箇所 1 6 a が存在すると、隣接する画素は、各画素での発光状態は互いに影響し合うため、それぞれの所望の明るさで点灯することができないこととなる。これを解消するために、本実施の形態にかかる有機 E L 表示パネル 2 は以下のような構成をしている。

【 0 0 3 2 】

[ 1 - 1 . 有機 E L 素子の構成 ]

以下、本実施の形態にかかる有機 E L 素子の構成について説明する。図 2 は、本実施の形態にかかる有機 E L 表示パネル 2 の構成を示す断面概略図である。

【 0 0 3 3 】

図 2 に示すように、有機 E L 表示パネル 2 は、基板 1 0 の上に、平坦化膜 1 4 と、下部電極 1 6 と、有機層 2 0 と、隔壁 1 8 と、上部電極 2 2 とを備えている有機機能デバイスである。なお、本開示において、隔壁 1 8 で分離された領域に配置された平坦化膜 1 4 、下部電極 1 6 、有機層 3 0 、上部電極 2 2 、薄膜封止層、封止用樹脂層および透明ガラスを、画素と称する。また、下部電極 1 6 と、有機層 2 0 と、上部電極 2 2 とを有機 E L 素子と称する。

## 【0034】

基板10は、例えば、サファイアで構成される基板である。

## 【0035】

基板10の上には、半導体層12が形成されている。半導体層12には、複数の半導体素子13が形成されている。半導体素子13は、例えば駆動用の薄膜トランジスタ(TFT: Thin Film Transistor)である。

## 【0036】

半導体層12の上には、平坦化膜14が形成されている。平坦化膜14は、一例として、絶縁性の有機材料で構成されている。また、平坦化膜14において、半導体素子13の上方には、平坦化膜14の上面から半導体素子13まで貫通する貫通孔に導電性材料が充填されたビア15が形成されている。

10

## 【0037】

平坦化膜14の上には、ビア15を覆うように複数の下部電極16が形成されている。複数の下部電極16のそれぞれは、ビア15を介して複数の半導体素子13の少なくとも1つと接続されている。

## 【0038】

下部電極16は、正孔が供給される陽極、つまり、外部回路から電流が流れ込むアノードである。下部電極16は、平坦化膜14の上に画素ごとに形成されている。すなわち、有機EL表示パネル2において、下部電極16は、平坦化膜14の上に複数形成されている。下部電極16は、例えば、Al、あるいは銀合金APC(銀-パラジウム-銅合金)などからなる反射電極が平坦化膜14上に積層された構造となっている。この場合、反射電極の厚みは、一例として500nm以下である。なお、下部電極16は、例えばITO(Indium Tin Oxide)と銀合金APCなどからなる2層構造であってもよい。

20

## 【0039】

有機層20は、下部電極16および上部電極22間に電圧が印加されることにより発光する発光層を含んでいる。発光層の厚みは、一例として150nm以下である。

## 【0040】

発光層は、例えば、下層として $\alpha$ -NPD(Bis[N-(1-naphthyl)-N-phenyl]benzidine)、上層としてAlq<sub>3</sub>(tris-(8-hydroxyquinoline)aluminum)が積層された構造となっている。

30

## 【0041】

なお、有機層20は、発光層と下部電極16との間に正孔注入層を、発光層と上部電極22との間に電子注入層を備えていてもよい。この場合、正孔注入層、発光層、電子注入層を合わせて有機層20と称する。さらに、有機層20は、正孔注入層と発光層との間に正孔輸送層を、電子注入層と発光層との間に電子輸送層を備えていてもよい。この場合、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層を合わせて有機層20と称する。このとき、有機層20の厚さは、一例として、100nm以上200nm以下である。

## 【0042】

正孔注入層は、正孔注入性の材料を主成分とする層である。正孔注入性の材料とは、下部電極16側から注入された正孔を安定的に、または正孔の生成を補助して有機層20へ注入する機能を有する材料であり、例えば、PEDOT(ポリエチレンジオキシチオフェン)、アニリンなどの化合物が使用される。

40

## 【0043】

電子注入層は、電子注入性の材料を主成分とする層である。電子注入性の材料とは、上部電極22から注入された電子を安定的に、または電子の生成を補助して有機層20へ注入する機能を有する材料であり、例えば、ポリフェニレンビニレン(PPV)が使用される。

## 【0044】

50

正孔輸送層とは、正孔輸送性の材料を主成分とする層である。正孔輸送性の材料とは、電子ドナー性を持ち陽イオン（正孔）になりやすい性質と、生じた正孔を分子間の電荷移動反応により伝達する性質を併せ持ち、下部電極 16 から有機層 20 までの電荷輸送に対して適性を有する材料のことである。

【0045】

電子輸送層とは、電子輸送性の材料を主成分とする層である。電子輸送性の材料とは、電子アクセプター性を有し陰イオンになりやすい性質と、発生した電子を分子間の電荷移動反応により伝達する性質を併せ持ち、上部電極 22 から有機層 20 までの電荷輸送に対して適性を有する材料のことである。

【0046】

上部電極 22 は、電子が供給される陰極、つまり、外部回路へ電流が流れ出すカソードである。上部電極 22 は、単一の層で構成されてもよいし、複数の層が積層された構成であってもよい。例えば、上部電極 22 は、透明金属酸化物である ITO 層と金属層とが積層された構成であってもよい。この場合、ITO 層は、Mg、Ag 等の材料により形成される。金属層は、ITO 層よりも屈折率の高い材料、例えば銀（Ag）、銀合金 APC、マグネシウム（Mg）等の材料により形成される。これにより、金属層において、有機 EL 表示パネル 2 から出射される光が集光するように屈折されるので、有機 EL 表示パネル 2 の強キャビティ化を実現することができる。なお、ITO 層の厚さは、一例として 30 nm 以上 90 nm 以下、金属層の厚さは、一例として 15 nm 以上 30 nm 以下であり、上部電極 22 の厚さは、一例として 45 nm 以上 120 nm 以下である。

【0047】

隔壁 18 は、有機層 20 を複数の画素に分離するための壁であり、例えば、感光性の樹脂からなる。

【0048】

また、有機 EL 表示パネル 2 は、上部電極 22 の上に、さらに、図示を省略した薄膜封止層と、封止用樹脂層と、透明ガラスとを備えている。

【0049】

薄膜封止層は、例えば、窒化珪素からなり、上述した有機層 20 や上部電極 22 を水蒸気や酸素から遮断する機能を有する。薄膜封止層を形成することにより、有機 EL 表示パネル 2 は、有機層 20 そのものや上部電極 22 が水蒸気や酸素にさらされることにより劣化（酸化）してしまうことを防止することができる。

【0050】

封止用樹脂層は、アクリルまたはエポキシ系の樹脂であり、上述した基板上に形成された平坦化膜 14 から薄膜封止層までの一体形成された層と、透明ガラスとを接合する機能を有する。

【0051】

透明ガラスは、発光パネルの発光表面を保護する基板であり、例えば、厚みが 0.5 mm である透明の無アルカリガラスである。

【0052】

また、有機 EL 表示パネル 2 は、さらに、隔壁 18 で分離された各画素を覆うように、透明ガラスの下面に、赤、緑および青の色調整を行うカラーフィルターを備える構成であってもよい。

【0053】

上述した下部電極 16、有機層 20 および上部電極 22 の構成は有機 EL 表示パネル 2 の基本構成であり、このような構成により、下部電極 16 と上部電極 22 との間に適当な電圧が印加されると、下部電極 16 側から正孔、上部電極 22 側から電子がそれぞれ有機層 20 に注入される。これらの注入された正孔および電子が有機層 20 で再結合して生じるエネルギーにより、有機層 20 の発光材料が励起され発光する。

【0054】

さらに、図 2 に示した有機 EL 表示パネル 2 では、製造工程において、複数の下部電極

10

20

30

40

50

16の少なくとも1つに欠陥を含んでいる。具体的には、隣接する画素の下部電極16同士が接続され、短絡しているという欠陥を含んでいる。この短絡により、下部電極16が短絡されている画素同士が影響し合い、所望の明るさで点灯できない等の発光の不具合を生じる。この不具合を解消するために、有機EL表示パネル2は、欠陥を含む下部電極16の上に凸部24を備えている。

#### 【0055】

凸部24は、例えば、インジウム等の導電性材料で構成されている。凸部24は、欠陥を含む下部電極16の上に凸状に形成され、凸部24が形成された下部電極16とその上方に形成された上部電極22とを電氣的に接続している。凸部24により下部電極16と上部電極22とが短絡しているので、欠陥を含む下部電極16を含む画素では有機層20に電流は流れず、滅点となる。したがって、下部電極16が短絡されている画素同士が影響し合い、所望の明るさで点灯できない等の発光の不具合を解消することができる。

10

#### 【0056】

##### [1-2. 有機EL素子の製造方法]

以下、有機EL表示パネル2の製造方法について、図3～図13を用いて説明する。図3は、本実施の形態にかかる有機EL素子の製造工程を示すフローチャートである。図4～図13は、本実施の形態にかかる有機EL素子の製造工程を示す断面概略図である。

#### 【0057】

以下、図3のフローチャートに沿って説明する。

#### 【0058】

20

はじめに、図4に示すように、基板10を用意する。基板10は、例えばサファイア基板である。

#### 【0059】

次に、図5に示すように、基板10の上に半導体素子13を含む半導体層12を形成する(ステップS10)。半導体素子13は、例えばTFTであり、半導体材料を所定の位置および形状に成膜およびパターニングすることにより、半導体素子13を形成する。

#### 【0060】

次に、図6に示すように、半導体層12の上に、絶縁性の有機材料からなる平坦化膜14を形成する(ステップS10)。その後、図7に示すように、複数の半導体素子13の位置に、平坦化膜14の表面から半導体素子13まで貫通する貫通孔を形成する。さらに、貫通孔に導電性材料を充填する。これにより、ビア15が完成する。

30

#### 【0061】

続けて、図8に示すように、平坦化膜14上に下部電極16を形成する(ステップS11)。下部電極16は、成膜およびパターニングにより形成する。まず、スパッタリング法により平坦化膜14上にAlを300nm成膜する。続けて、フォトリソグラフィとウエットエッチングにより、成膜したAlを所定の形状にパターニングする。このとき、複数の半導体素子13の少なくとも1つと接続する形状にAlをパターニングする。これにより、複数の下部電極16が完成する。

#### 【0062】

ここで、図8に示すように、上述した下部電極16を形成する際に、パターニング不良等により隣接する画素の下部電極16同士が導通したショート不良箇所16aが生じる場合がある。そこで、下部電極16の形成後、欠陥を含む下部電極16を検出する(ステップS12)。

40

#### 【0063】

欠陥を含む下部電極16は、例えば、顕微鏡付き撮像装置により下部電極16の形成が終了した基板の平面を撮像し、撮像した画像から下部電極16同士が導通した箇所を目視により検出する。なお、欠陥を含む下部電極16は、撮像の目視に限らず、例えば、プローブを当接して電流が流れることを検出する等の電氣的な方法であってもよい。

#### 【0064】

次に、図9に示すように、平坦化膜14および下部電極16の上に隔壁18を形成する

50

。隔壁 18 は、隣接する下部電極 16 の間に露出した平坦化膜 14 を覆うように表面感光性樹脂を塗布することにより形成する。このとき、下部電極 16 の一部の上にも隔壁 18 が形成される。なお、上述したショート不良箇所 16 a では平坦化膜 14 は露出していないので、ショート不良箇所 16 a の上に隔壁 18 を形成する。

#### 【0065】

続けて、図 10 および図 11 に示すように、ショート不良箇所 16 a を有する下部電極 16 の上に凸部 24 を形成する（ステップ S13）。凸部 24 は、例えば、隔壁 18 または有機層 20 を形成する際にこれらの材料を塗布するための塗布針 26 を使用して形成する。塗布針 26 により、ショート不良箇所 16 a を有する下部電極 16 の上の少なくとも一部に凸部 24 を構成する材料である導電性ペーストを滴下する。そして、滴下した導電ペーストを乾燥することにより、凸部 24 が完成する。

10

#### 【0066】

さらに、図 12 に示すように、隔壁 18 により、複数の画素に分離された下部電極 16 のそれぞれの上に、有機層 20（20a、20b および 20c）を形成する（ステップ S14）。なお、凸部 24 が形成された下部電極 16 では、凸部 24 を覆うように下部電極 16 上に有機層 20 を形成する。ここでは、発光層の他に正孔注入層および電子注入層を有する有機層を例として説明する。

#### 【0067】

まず、下部電極 16 の上に正孔注入層を形成する。正孔注入層を構成する材料として、例えば、キシレンよりなる溶剤に PEDOT を溶かした PEDOT 溶液を生成する。そして、生成した PEDOT 溶液を下部電極 16 の上にスピンコートする。さらに、スピンコートした PEDOT 溶液を乾燥させることにより、正孔注入層が完成する。

20

#### 【0068】

次に、正孔注入層の上に発光層を形成する。例えば、真空蒸着法により発光層を構成する材料である  $\alpha$ -NPD および Alq<sub>3</sub> を正孔注入層の上に積層することにより、発光層が完成する。

#### 【0069】

次に、発光層の上に電子注入層を形成する。電子注入層を構成する材料として、例えば、キシレンまたはクロロホルムよりなる溶剤にポリフェニレンビニレン（PPV）を溶かした PPV 溶液を生成する。そして、生成した PPV 溶液を発光層の上にスピンコートする。さらに、スピンコートした PPV 溶液を乾燥させることにより、電子注入層が完成する。以上により、有機層 20 が完成する。なお、有機層 20 は、配置される R、G、B のカラーフィルターに合わせて、有機層 20a、20b および 20c ごとに厚さを変更してもよい。

30

#### 【0070】

続けて、図 13 に示すように、有機層 20 の上に上部電極 22 を形成する（ステップ S15）。上部電極 22 は、例えば、有機層 20 を形成した後、有機層 20 が形成された基板を大気曝露させることなく連続して形成する。ここでは、ITO 層と金属層とが積層された構成の上部電極 22 を例として説明する。

#### 【0071】

まず、有機層 20 の上に ITO 層を形成する。具体的には、有機層 20 を構成する電子注入層の上に、スパッタリング法により ITO を積層する。このときの ITO の厚さは、例えば 75 nm である。また、このときの ITO 層は、アモルファス状態になっている。

40

#### 【0072】

次に、ITO 層の上に、金属層を形成する。具体的には、ITO 層の上に、スパッタリング法により、金属層を構成する金属、例えば Ag を積層する。このときの金属層の厚さは、例えば 20 nm である。これにより、上部電極 22 が完成する。

#### 【0073】

さらに、上部電極 22 の上に、薄膜封止層、封止用樹脂層、カラーフィルターおよび透明ガラスを順に形成する。

50

## 【 0 0 7 4 】

上述のような製造工程により、有機 E L 表示パネル 2 が完成する。

## 【 0 0 7 5 】

なお、下部電極 1 6、正孔注入層、有機層 2 0、電子注入層、上部電極 2 2 の形成工程は、本実施の形態により限定されるものではない。

## 【 0 0 7 6 】

また、上述した実施の形態では、下部電極 1 6 の形成後、欠陥を含む下部電極 1 6 を検出し、続けて隔壁 1 8 を形成し、その後凸部 2 4 を形成する工程としたが、下部電極 1 6 の不具合を検出した後、隔壁 1 8 を形成する前に凸部 2 4 を形成し、その後隔壁 1 8 を形成することとしてもよい。

10

## 【 0 0 7 7 】

## [ 1 - 3 . 効果等 ]

以上、本実施の形態にかかる表示パネルの製造方法によると、下部電極 1 6 に欠陥がある場合に、下部電極 1 6 の上に凸部 2 4 を形成することにより、下部電極 1 6 と上部電極 2 2 とを凸部 2 4 により短絡することができる。これにより、欠陥画素を減点化することができる。したがって、レーザーを照射することが困難な場合であっても欠陥画素をリペアすることができる。

## 【 0 0 7 8 】

## ( 実施の形態 2 )

次に、実施の形態 2 について説明する。上述した実施の形態 1 では、有機 E L 表示パネル 2 は、下部電極 1 6 に欠陥を含んでいたのに対し、本実施の形態にかかる有機 E L 表示パネルは、T F T 1 3 に欠陥を含んでいる点が異なっている。

20

## 【 0 0 7 9 】

図 1 4 は、T F T に欠陥を含む有機 E L 表示パネル 3 の断面概略図である。

## 【 0 0 8 0 】

図 1 4 に示すように、有機 E L 表示パネル 3 は、実施の形態 1 に示した有機 E L 表示パネル 1 と同様、基板 1 0 上に半導体層 1 2 と、平坦化膜 1 4 と、下部電極 1 6 と、有機層 2 0 と、上部電極 2 2 とを備えている。半導体層 1 2 には、複数の半導体素子 3 3 が形成されている。下部電極 1 6 は、複数の半導体素子 3 3 の少なくとも 1 つに接続されている。また、平坦化膜 1 4 上には隔壁 1 8 が形成され、隔壁 1 8 によって囲まれた各領域が画素となる。

30

## 【 0 0 8 1 】

ここで、複数の半導体素子 3 3 には、製造工程においてパターニング不良等により所望の半導体素子 3 3 が形成されず、欠陥を含む半導体素子 3 3 a も存在する。したがって、欠陥を含む半導体素子 3 3 a が形成された画素は、所望の明るさで点灯することができないこととなる。これを解消するために、本実施の形態にかかる有機 E L 表示パネル 4 は以下のような構成をしている。

## 【 0 0 8 2 】

## [ 2 - 1 . 有機 E L 素子の構成 ]

以下、本実施の形態にかかる有機 E L 素子の構成について説明する。図 1 5 は、本実施の形態にかかる有機 E L 表示パネル 2 の構成を示す断面概略図である。

40

## 【 0 0 8 3 】

図 1 5 に示すように、有機 E L 表示パネル 4 は、基板 1 0 の上に、平坦化膜 1 4 と、下部電極 1 6 と、有機層 2 0 と、隔壁 1 8 と、上部電極 2 2 とを備えている有機機能デバイスである。これらの構成は、上述した実施の形態 1 に示した有機 E L 表示パネル 2 と同様であるため、詳細な説明は省略する。有機 E L 表示パネル 4 の構成により、下部電極 1 6 と上部電極 2 2 との間に適当な電圧が印加されると、下部電極 1 6 側から正孔、上部電極 2 2 側から電子がそれぞれ有機層 2 0 に注入される。これらの注入された正孔および電子が有機層 2 0 で再結合して生じるエネルギーにより、有機層 2 0 の発光材料が励起され発光する。

50

## 【 0 0 8 4 】

ここで、図 1 5 に示した有機 E L 表示パネル 4 では、製造工程において、複数の半導体素子 3 3 の少なくとも 1 つに欠陥を生じている。この欠陥は、例えば、半導体素子 3 3 のゲート電極、ソース電極、ドレイン電極をパターニングにより形成したときのパターニング不良や部材の欠落などである。これにより、半導体素子 3 3 a は正常に動作しないので、この半導体素子 3 3 a を有する画素は、所望の明るさで点灯できない等の発光の不具合を生じる。

## 【 0 0 8 5 】

この不具合を解消するために、有機 E L 表示パネル 4 は、欠陥を含む半導体素子 3 3 a が形成された画素における上部電極 1 6 と下部電極 2 2 とを短絡させて画素を滅点化する。画素を滅点化するために、有機 E L 表示パネル 4 は、欠陥を含む半導体素子 3 3 a が配置された画素における平坦化膜 1 4 の上に凸部 3 4 を備えている。

10

## 【 0 0 8 6 】

凸部 3 4 は、例えば、インジウム等の導電性材料で構成されている。凸部 3 4 が形成された部分では、凸部 3 4 の上に形成される下部電極 1 6 は、凸部 3 4 の形状に沿って盛り上がった形状に形成される。これにより、下部電極 1 6 と、その上方に形成された上部電極 2 2 とは接続している。したがって、下部電極 1 6 と上部電極 2 2 との間は短絡し、短絡された下部電極 1 6 を含む画素では有機層 2 0 は発光せず、滅点となる。よって、平坦化膜 1 4 の上に凸部 3 4 を形成することにより、欠陥を含む半導体素子 3 3 a が形成された画素の発光の不具合を解消することができる。

20

## 【 0 0 8 7 】

なお、凸部 3 4 は、導電性材料でなくてもよく、例えば、ポリイミド、アクリル、または、無機材料もしくは有機材料からなるペーストで形成してもよい。

## 【 0 0 8 8 】

## [ 2 - 2 . 有機 E L 素子の製造方法 ]

以下、有機 E L 表示パネル 4 の製造方法について、図 1 6 ~ 図 2 6 を用いて説明する。図 1 6 は、本実施の形態にかかる有機 E L 表示パネル 4 の製造工程を示すフローチャートである。図 1 7 ~ 図 2 6 は、本実施の形態にかかる有機 E L 素子の製造工程を示す断面概略図である。

## 【 0 0 8 9 】

以下、図 1 6 のフローチャートに沿って説明する。

30

## 【 0 0 9 0 】

はじめに、実施の形態 1 に示した有機 E L 表示パネル 2 と同様、図 1 7 に示すように、基板 1 0 を用意する。続けて、図 1 8 に示すように、基板 1 0 の上に半導体素子 3 3 を含む半導体層 1 2 を形成する（ステップ S 2 0）。このとき、パターニング不良等により欠陥を含む半導体素子 3 3 a が形成される場合がある。

## 【 0 0 9 1 】

次に、図 1 9 に示すように、半導体層 1 2 の上に、絶縁性の有機材料からなる平坦化膜 1 4 を形成する（ステップ S 2 0）。その後、図 2 0 に示すように、複数の半導体素子 3 3 の位置に、平坦化膜 1 4 の表面から半導体素子 3 3 まで貫通する貫通孔を形成する。さらに、貫通孔に導電性材料を充填する。これにより、ビア 1 5 が完成する。

40

## 【 0 0 9 2 】

ここで、欠陥を含む半導体素子 3 3 a を検出する（ステップ S 2 1）。欠陥を含む半導体素子 3 3 a は、例えば、顕微鏡付き撮像装置により半導体素子 3 3 を形成した基板の平面を撮像し、撮像した画像において、パターニング不良により欠陥を含む半導体素子 3 3 a を目視により検出する。なお、欠陥を含む半導体素子 3 3 a は、撮像の目視に限らず、例えば、プローブを当接して検出する等の電氣的な方法であってもよい。

## 【 0 0 9 3 】

続けて、図 2 1 および図 2 2 に示すように、欠陥を含む半導体素子 3 3 a が形成された画素の平坦化膜 1 4 の上に凸部 3 4 を形成する（ステップ S 2 2）。凸部 3 4 は、例えば

50

、隔壁 18 または有機層 20 を形成する際にこれらの材料を塗布するための塗布針 26 を使用して形成する。塗布針 26 により、欠陥を含む半導体素子 33a を有する下部電極 16 の上の少なくとも一部に凸部 34 を構成する材料である導電性ペーストを滴下する。そして、滴下した導電ペーストを乾燥することにより、凸部 34 が完成する。

【0094】

なお、凸部 34 は、導電性ペーストに代えて、ポリイミド、アクリル、または、無機材料もしくは有機材料からなるペーストで形成してもよい。

【0095】

続けて、図 23 に示すように、平坦化膜 14 上に下部電極 16 を形成する（ステップ S23）。下部電極 16 は、成膜およびパターニングにより形成する。平坦化膜 14 上に凸部 34 が形成された部分では、凸部 34 の上に下部電極 16 を形成する。

10

【0096】

まず、スパッタリング法により平坦化膜 14 および凸部 34 の上に Al を 300 nm 成膜する。続けて、フォトリソグラフィとウエットエッチングにより、成膜した Al を所定の形状にパターニングする。これにより、複数の下部電極 16 が完成する。

【0097】

次に、実施の形態 1 に示した有機 EL 表示パネル 2 と同様、図 24 に示すように、平坦化膜 14 および下部電極 16 の上に隔壁 18 を形成する。さらに、図 25 に示すように、隔壁 18 により、複数の画素に分離された下部電極 16 のそれぞれの上に、有機層 20a、20b および 20c を形成する（ステップ S24）。なお、有機層 20 は、発光層の他に正孔注入層および電子注入層を有する構成であってもよい。

20

【0098】

続けて、図 26 に示すように、有機層 20 の上に上部電極 22 を形成する（ステップ S25）。上部電極 22 は、ITO 層と金属層とが積層された構成であってもよい。

【0099】

さらに、上部電極 22 の上に、薄膜封止層、封止用樹脂層、カラーフィルターおよび透明ガラスを順に形成する。

【0100】

上述のような製造工程により、有機 EL 表示パネル 4 が完成する。

【0101】

30

なお、下部電極 16、正孔注入層、有機層 20、電子注入層、上部電極 22 の形成工程は、本実施の形態により限定されるものではない。

【0102】

また、上述した実施の形態では、欠陥を含む半導体素子 33a の検出を半導体素子 33 の上に平坦化膜 14 を形成しさらにビア 15 を形成した後としたが、これに限らず、半導体素子 33 の形成直後、または、平坦化膜 14 の製造直後としてもよい。

【0103】

また、上述した実施の形態では、平坦化膜 14 の上に凸部 34 を形成する構成としたが、凸部 34 は平坦化膜 14 の上に限らず、下部電極 16 と上部電極 22 とを短絡することができる構成であればどの位置に形成してもよい。例えば、実施の形態 1 に示した凸部 24 と同様に、上部電極 16 の上に形成してもよい。

40

【0104】

[2-3. 効果等]

以上、本実施の形態にかかる表示パネルの製造方法によると、半導体素子 33 に欠陥がある場合に、欠陥を含む半導体素子 33a の上方の平坦化膜 14 の上に凸部 34 を形成することにより、凸部 34 の上に形成される下部電極 16 を凸部 34 の形状に沿って形成することができる。これにより、凸部 34 の形状に沿って形成された下部電極 16 と上部電極 22 とを短絡することができる。したがって、欠陥画素を減点化することができる。よって、レーザーを照射することが困難な場合であっても欠陥画素をリペアすることができる。

50

## 【 0 1 0 5 】

(その他の実施の形態)

なお、本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々の改良、変形を行ってもよい。

## 【 0 1 0 6 】

例えば、上述した実施の形態では、下部電極を陽極、上部電極を陰極とする構成について示したが、下部電極を陰極、上部電極を陽極とする構成であってもよい。また、有機ＥＬ素子の構成である平坦化膜、陽極、正孔注入層、発光層、隔壁、電子注入層、陰極、薄膜封止層、封止用樹脂層、透明ガラスは、上記した実施の形態に示した構成に限らず、材料や構成、形成方法を変更してもよい。例えば、正孔注入層と発光層との間に正孔輸送層があってもよいし、電子注入層と発光層との間に電子輸送層があってもよい。また、隔壁で分離された各画素を覆うように、透明ガラスの下面に、赤、緑および青の色調整を行うカラーフィルターを備える構成であってもよい。

10

## 【 0 1 0 7 】

また、本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の範囲内に含まれる。例えば、図２７に示すような、本発明にかかる有機ＥＬ素子を備えた薄型フラットテレビシステムも本発明に含まれる。

## 【産業上の利用可能性】

## 【 0 1 0 8 】

本発明にかかる有機ＥＬ素子の製造方法および有機ＥＬ素子は、特に、大画面および高解像度が要望される薄型テレビおよびパーソナルコンピュータのディスプレイなどの技術分野に有用である。

20

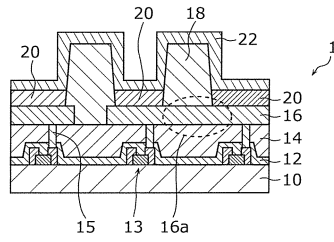
## 【符号の説明】

## 【 0 1 0 9 】

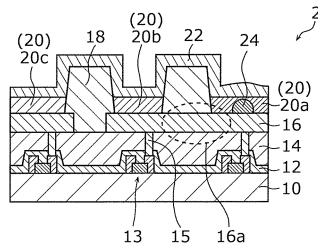
- 1、2、3、4      有機ＥＬ表示パネル（表示パネル）
- 12      半導体層
- 13、13a、33、33a      半導体素子
- 14      平坦化膜
- 15      ピア
- 16      下部電極
- 16a      ショート不良箇所
- 18      隔壁
- 20、20a、20b、20c      有機層
- 22      上部電極
- 24、34      凸部
- 26      塗布針

30

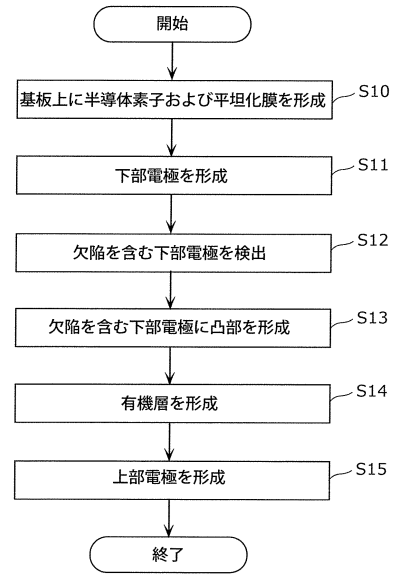
【図 1】



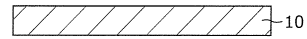
【図 2】



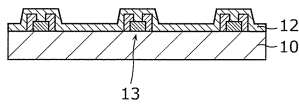
【図 3】



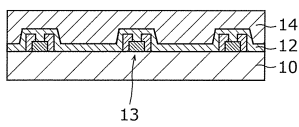
【図 4】



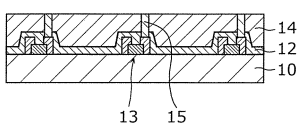
【図 5】



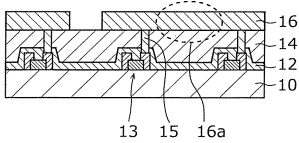
【図 6】



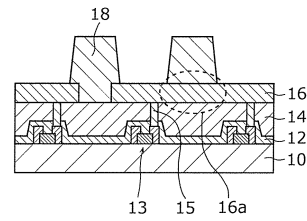
【図 7】



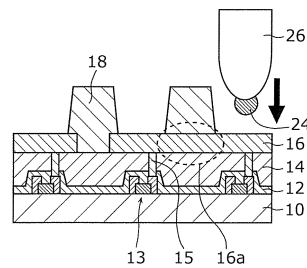
【図 8】



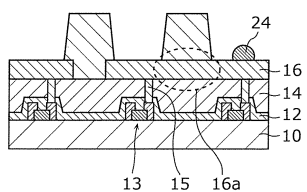
【図 9】



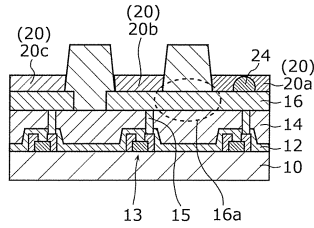
【図 10】



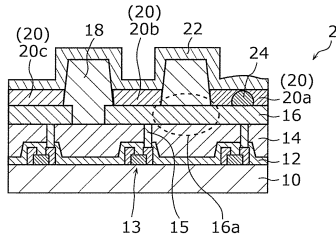
【図 11】



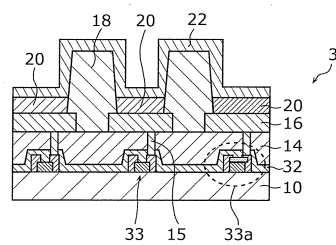
【図 1 2】



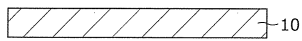
【図 1 3】



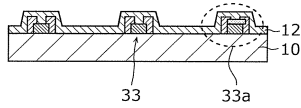
【図 1 4】



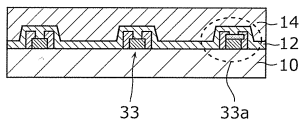
【図 1 7】



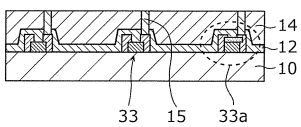
【図 1 8】



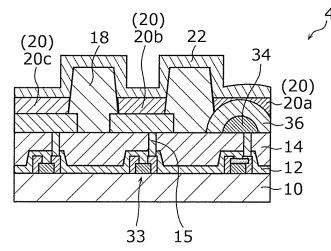
【図 1 9】



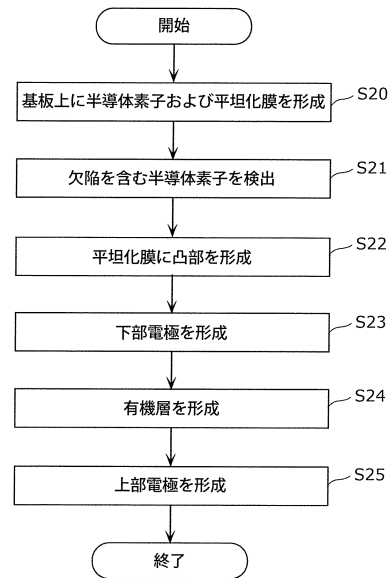
【図 2 0】



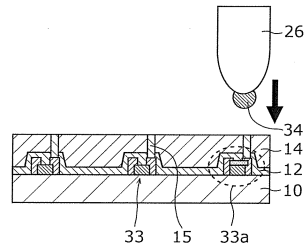
【図 1 5】



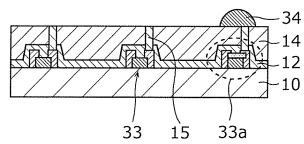
【図 1 6】



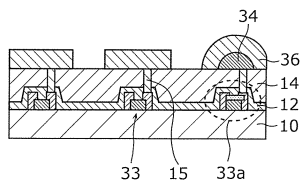
【図 2 1】



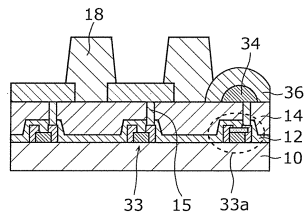
【図 2 2】



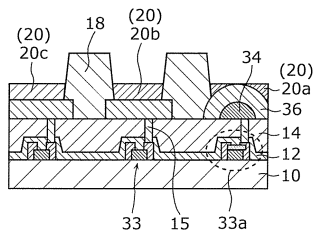
【図 2 3】



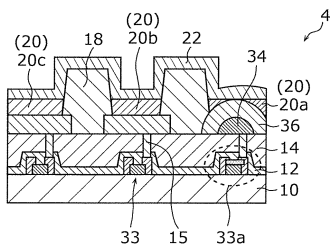
【図 2 4】



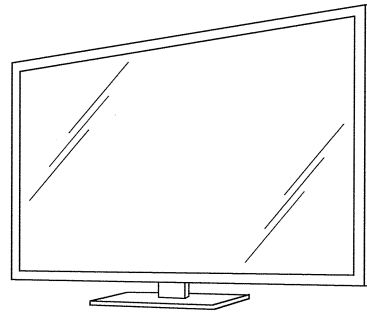
【図 2 5】



【図 2 6】



【図 2 7】



## フロントページの続き

|                |              |                  |                    |
|----------------|--------------|------------------|--------------------|
| (51)Int.Cl.    |              | F I              |                    |
| <b>H 0 5 B</b> | <b>33/02</b> | <b>(2006.01)</b> | H 0 5 B 33/26 Z    |
| <b>H 0 1 L</b> | <b>27/32</b> | <b>(2006.01)</b> | H 0 5 B 33/02      |
| <b>G 0 9 F</b> | <b>9/30</b>  | <b>(2006.01)</b> | H 0 1 L 27/32      |
| <b>G 0 9 F</b> | <b>9/00</b>  | <b>(2006.01)</b> | G 0 9 F 9/30 3 6 5 |
|                |              |                  | G 0 9 F 9/00 3 5 2 |

(56)参考文献 国際公開第2013/190841(WO, A1)  
 米国特許出願公開第2015/0221709(US, A1)  
 特開2011-108369(JP, A)  
 特開2010-050081(JP, A)  
 特開2006-330469(JP, A)  
 特開2009-181766(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 5 B 33/00 - 33/28  
 G 0 9 F 9/00  
 G 0 9 F 9/30  
 H 0 1 L 27/32  
 H 0 1 L 51/50 - 51/56

|                |                                                                                                                                                                                  |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示面板制造方法和显示面板                                                                                                                                                                    |         |            |
| 公开(公告)号        | <a href="#">JP6561290B2</a>                                                                                                                                                      | 公开(公告)日 | 2019-08-21 |
| 申请号            | JP2015216157                                                                                                                                                                     | 申请日     | 2015-11-02 |
| [标]申请(专利权)人(译) | 日本有机雷特显示器股份有限公司<br>株式会社日本显示器                                                                                                                                                     |         |            |
| 申请(专利权)人(译)    | 株式会社JOLED<br>有限公司日本显示器                                                                                                                                                           |         |            |
| 当前申请(专利权)人(译)  | 株式会社JOLED                                                                                                                                                                        |         |            |
| [标]发明人         | 鬼丸俊昭<br>近藤哲郎                                                                                                                                                                     |         |            |
| 发明人            | 鬼丸 俊昭<br>近藤 哲郎                                                                                                                                                                   |         |            |
| IPC分类号         | H05B33/10 H01L51/50 H05B33/12 H05B33/22 H05B33/26 H05B33/02 H01L27/32 G09F9/30 G09F9/00                                                                                          |         |            |
| FI分类号          | H05B33/10 H05B33/14.A H05B33/12.Z H05B33/12.B H05B33/22.Z H05B33/26.Z H05B33/02 H01L27/32 G09F9/30.365 G09F9/00.352 H05B33/28                                                    |         |            |
| F-TERM分类号      | 3K107/AA01 3K107/BB01 3K107/CC29 3K107/CC45 3K107/DD03 3K107/DD23 3K107/DD27 3K107/DD39 3K107/DD47Z 3K107/DD89 3K107/DD90 3K107/EE03 3K107/FF15 3K107/GG06 3K107/GG28 3K107/GG56 |         |            |
| 代理人(译)         | 吉川修<br>Sobashima正雄                                                                                                                                                               |         |            |
| 其他公开文献         | JP2017091628A                                                                                                                                                                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                        |         |            |

摘要(译)

提供一种有机EL显示面板的制造方法。有机EL显示面板包括多个半导体元件。该方法包括：在形成在半导体元件上方的平坦化膜上形成与像素一一对应的下电极;在下部电极上形成包括发光层的有机层;在有机层上形成上电极;检测包括缺陷的任何下电极;在平坦化膜或包括缺陷的任何下电极上形成用于连接下电极和上电极的突起。

|                                                                                                                                       |                                                                                        |                                        |
|---------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------|----------------------------------------|
| (19) 日本国特許庁 (JP)                                                                                                                      | (12) 特 許 公 報 (B2)                                                                      | (11) 特許番号<br>特許第6561290号<br>(P6561290) |
| (45) 発行日 令和1年8月21日 (2019. 8. 21)                                                                                                      | (24) 登録日 令和1年8月2日 (2019. 8. 2)                                                         |                                        |
| (51) Int. Cl.<br>H05B 33/10 (2006.01)<br>H01L 51/50 (2006.01)<br>H05B 33/12 (2006.01)<br>H05B 33/22 (2006.01)<br>H05B 33/26 (2006.01) | FI<br>H05B 33/10<br>H05B 33/14<br>H05B 33/12<br>H05B 33/12<br>H05B 33/22<br>H05B 33/22 | A<br>Z<br>B<br>Z                       |
| 請求項の数 6 (全 18 頁) 最終頁に続く                                                                                                               |                                                                                        |                                        |
| (21) 出願番号 特願2015-216157 (P2015-216157)                                                                                                | (73) 特許権者 514188173<br>株式会社 J O L E D                                                  |                                        |
| (22) 出願日 平成27年11月2日 (2015. 11. 2)                                                                                                     |                                                                                        |                                        |
| (65) 公開番号 特開2017-91628 (P2017-91628A)                                                                                                 | (74) 代理人 100189430<br>弁理士 吉川 修一                                                        |                                        |
| (43) 公開日 平成29年5月25日 (2017. 5. 25)                                                                                                     | (74) 代理人 100190805<br>弁理士 横島 正朗                                                        |                                        |
| 審査請求日 平成30年5月22日 (2018. 5. 22)                                                                                                        | (72) 発明者 鬼丸 俊昭<br>東京都千代田区神田錦町三丁目2 3 番地<br>株式会社 J O L E D 内                             |                                        |
|                                                                                                                                       | (72) 発明者 近藤 哲郎<br>東京都千代田区神田錦町三丁目2 3 番地<br>株式会社 J O L E D 内                             |                                        |
|                                                                                                                                       | 審査官 横川 美穂                                                                              | 最終頁に続く                                 |

(54) 【発明の名称】 表示パネルの製造方法および表示パネル