

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4296492号
(P4296492)

(45) 発行日 平成21年7月15日(2009.7.15)

(24) 登録日 平成21年4月24日(2009.4.24)

(51) Int.Cl.			F I		
G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	622E
G11C	19/00	(2006.01)	G09G	3/20	623G
H03K	3/356	(2006.01)	G09G	3/20	623H
H03K	19/096	(2006.01)	G11C	19/00	J

請求項の数 5 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2003-401274 (P2003-401274)	(73) 特許権者	000002185
(22) 出願日	平成15年12月1日(2003.12.1)		ソニー株式会社
(65) 公開番号	特開2005-164802 (P2005-164802A)		東京都港区港南1丁目7番1号
(43) 公開日	平成17年6月23日(2005.6.23)	(74) 代理人	100102185
審査請求日	平成17年3月4日(2005.3.4)		弁理士 多田 繁範
		(72) 発明者	山下 淳一
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	内野 勝秀
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	石田 勝

最終頁に続く

(54) 【発明の名称】 ラッチ回路、シフトレジスタ回路、表示装置の駆動回路、表示装置

(57) 【特許請求の範囲】

【請求項1】

全てのトランジスタが同一チャンネルのトランジスタであって、入力信号と前記入力信号の反転信号とを入力し、前記入力信号をクロックでラッチした出力信号と前記出力信号の反転信号とを出力するラッチ回路であって、

前記入力信号を入力する第1の系統と、前記入力信号の反転信号を入力する第2の系統とを有し、

前記第1の系統は、

クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に前記入力信号を入力すると共に、他端に前記出力信号を入力する第1の直列回路と、

前記第1の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号の反転信号を出力する1組のトランジスタによる第1のインバータ回路とを少なくとも有し、

前記第2の系統は、

クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に前記入力信号の反転信号を入力すると共に、他端に前記出力信号の反転信号を入力する第2の直列回路と、

前記第2の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号を出力する1組のトランジスタによる第2のインバータ回路とを少なくとも有し、

前記第1のインバータ回路は、

前記 1 組のトランジスタの他方のトランジスタのゲートに、前記第 2 の直列回路の接続中点を接続し、

前記第 2 のインバータ回路は、

前記 1 組のトランジスタの他方のトランジスタのゲートに、前記第 1 の直列回路の接続中点を接続する

ラッチ回路。

【請求項 2】

前記第 1 の系統は、

前記第 1 のインバータ回路の出力信号を一方のトランジスタのゲートに入力し、前記第 2 のインバータ回路の出力信号を他方のトランジスタのゲートに入力し、前記出力信号を出力する 1 組のトランジスタによる第 3 のインバータ回路を有し、

前記第 2 の系統は、

前記第 2 のインバータ回路の出力信号を一方のトランジスタのゲートに入力し、前記第 1 のインバータ回路の出力信号を他方のトランジスタのゲートに入力し、前記出力信号の反転信号を出力する 1 組のトランジスタによる第 4 のインバータ回路を有する

請求項 1 に記載のラッチ回路。

【請求項 3】

ラッチ回路により順次駆動信号を転送するシフトレジスタ回路において、

前記ラッチ回路は、

全てのトランジスタが同一チャンネルのトランジスタであって、前記駆動信号による入力信号と前記入力信号の反転信号とを入力し、前記入力信号をクロックでラッチした出力信号と前記出力信号の反転信号とを出力するラッチ回路であって、

前記入力信号を入力する第 1 の系統と、前記入力信号の反転信号を入力する第 2 の系統とを有し、

前記第 1 の系統は、

クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に前記入力信号を入力すると共に、他端に前記出力信号を入力する第 1 の直列回路と、

前記第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号の反転信号を出力する 1 組のトランジスタによる第 1 のインバータ回路とを少なくとも有し、

前記第 2 の系統は、

クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に前記入力信号の反転信号を入力すると共に、他端に前記出力信号の反転信号を入力する第 2 の直列回路と、

前記第 2 の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号を出力する 1 組のトランジスタによる第 2 のインバータ回路とを少なくとも有し、

前記第 1 のインバータ回路は、

前記 1 組のトランジスタの他方のトランジスタのゲートに、前記第 2 の直列回路の接続中点を接続し、

前記第 2 のインバータ回路は、

前記 1 組のトランジスタの他方のトランジスタのゲートに、前記第 1 の直列回路の接続中点を接続する

シフトレジスタ回路。

【請求項 4】

マトリクス状に画素を配置してなる表示装置の駆動回路において、

ラッチ回路によるシフトレジスタ回路により順次駆動信号を転送して前記画素の駆動信号を生成し、

前記ラッチ回路は、

全てのトランジスタが同一チャンネルのトランジスタであって、前記駆動信号による入力信号と前記入力信号の反転信号とを入力し、前記入力信号をクロックでラッチした出力

10

20

30

40

50

信号と前記出力信号の反転信号とを出力するラッチ回路であって、

前記入力信号を入力する第1の系統と、前記入力信号の反転信号を入力する第2の系統とを有し、

前記第1の系統は、

クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に前記入力信号を入力すると共に、他端に前記出力信号を入力する第1の直列回路と、

前記第1の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号の反転信号を出力する1組のトランジスタによる第1のインバータ回路とを少なくとも有し、

前記第2の系統は、

クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に前記入力信号の反転信号を入力すると共に、他端に前記出力信号の反転信号を入力する第2の直列回路と、

前記第2の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号を出力する1組のトランジスタによる第2のインバータ回路とを少なくとも有し、

前記第1のインバータ回路は、

前記1組のトランジスタの他方のトランジスタのゲートに、前記第2の直列回路の接続中点を接続し、

前記第2のインバータ回路は、

前記1組のトランジスタの他方のトランジスタのゲートに、前記第1の直列回路の接続中点を接続する

表示装置の駆動回路。

【請求項5】

マトリクス状に画素を配置してなる表示装置において、

ラッチ回路によるシフトレジスタ回路により駆動信号を順次転送して前記画素の駆動信号を生成し、

前記ラッチ回路は、

全てのトランジスタが同一チャンネルのトランジスタであって、前記駆動信号による入力信号と前記入力信号の反転信号とを入力し、前記入力信号をクロックでラッチした出力信号と前記出力信号の反転信号とを出力するラッチ回路であって、

前記入力信号を入力する第1の系統と、前記入力信号の反転信号を入力する第2の系統とを有し、

前記第1の系統は、

クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に前記入力信号を入力すると共に、他端に前記出力信号を入力する第1の直列回路と、

前記第1の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号の反転信号を出力する1組のトランジスタによる第1のインバータ回路とを少なくとも有し、

前記第2の系統は、

クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に前記入力信号の反転信号を入力すると共に、他端に前記出力信号の反転信号を入力する第2の直列回路と、

前記第2の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号を出力する1組のトランジスタによる第2のインバータ回路とを少なくとも有し、

前記第1のインバータ回路は、

前記1組のトランジスタの他方のトランジスタのゲートに、前記第2の直列回路の接続中点を接続し、

前記第2のインバータ回路は、

前記1組のトランジスタの他方のトランジスタのゲートに、前記第1の直列回路の接続中点を接続する

10

20

30

40

50

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ラッチ回路、シフトレジスタ回路、表示装置の駆動回路、表示装置に関し、例えば有機EL (Electro Luminescence) 素子によるフラットディスプレイ装置に適用することができる。本発明は、相補的に動作を切り換える1組のトランジスタによるスイッチ回路により直列回路を形成すると共に、この直列回路の接続中点出力をインバータ回路に出力し、この直列回路の一端に入力信号を入力すると共に、この直列回路の接続中点出力に対応するインバータ回路による出力信号を他端に供給することにより、単チャンネルのトランジスタのみで動作することができるようにする。

10

【背景技術】

【0002】

従来、フラットディスプレイ装置においては、例えば特開平5 - 265411号公報に開示されているように、垂直駆動回路に設けたシフトレジスタ回路により順次駆動信号を転送して各画素の駆動信号を生成するようになされている。このようなシフトレジスタ回路は、例えば特開平5 - 241201号公報に開示されているように、クロックを基準にして入力信号をラッチして出力するラッチ回路を直列接続して形成されるようになされている。

【0003】

20

図8は、このラッチ回路を示す接続図である。このラッチ回路1は、PチャンネルMOSトランジスタTR1、TR2、NチャンネルMOSトランジスタTR3、TR4を電源Vcc及びアース間に直列接続して、図9(A)に示すように、電源Vcc及びアース側のトランジスタTR1及びTR4に前段から入力信号INが入力され、また内側のトランジスタTR2及びTR3にそれぞれクロックCK及びクロックCKの反転信号によるクロックCKXが入力され(図9(B)及び(C))、これによりこれらトランジスタTR1~TR4によりクロックCKを基準にして動作するクロックドインバータ回路2が形成される。

【0004】

30

また同様に、PチャンネルMOSトランジスタTR5、TR6、NチャンネルMOSトランジスタTR7、TR8を電源Vcc及びアース間に直列接続して、トランジスタTR1~TR4とは逆に、内側のトランジスタTR6及びTR7にそれぞれクロックCKX及びクロックCKが入力され、これによりこれらトランジスタTR5~TR8によりクロックCKとは逆極性のクロックCKXを基準にして動作するクロックドインバータ回路3が形成される。

【0005】

ラッチ回路1は、PチャンネルMOSトランジスタTR9及びNチャンネルMOSトランジスタTR10を電源Vcc及びアース間に直列接続してなるインバータ回路4に、これらクロックドインバータ回路2及び3の出力が入力され、またこのインバータ回路4の出力がクロックドインバータ回路3の入力に帰還され、これらにより入力信号INをクロックCKによりラッチするラッチ回路が形成され、このインバータ回路4の出力OUT(図9(D))を次段に出力するようになされている。

40

【0006】

シフトレジスタ回路は、このようなクロックCKの立ち上がりにより入力信号INをラッチして次段に出力するラッチ回路1と、このラッチ回路1に対してクロックCK及びCKXの接続を入れ換えてなるラッチ回路とが交互に直列に接続されて形成され、また最前段のラッチ回路には、タイミングジェネレータにより生成された駆動信号が供給され、これによりこの駆動信号を順次転送して各画素の駆動信号を生成するようになされている。

【0007】

このようなシフトレジスタ回路を構成するラッチ回路は、ガラス基板上に形成可能なア

50

モルファスシリコンによる T F T (Thin Film Transistor) によっては作成困難な欠点がある。すなわちアモルファスシリコンによる T F T (Thin Film Transistor) は、単結晶シリコン、ポリシリコンによるトランジスタに比して、移動度が 1 / 1 0 0 程度と小さく、また P チャンネルのトランジスタを作成することができない欠点がある。

【 0 0 0 8 】

このためアモルファスシリコンを用いて画素を構成するフラットディスプレイ装置においては、この画素を配置してなる画素部をガラス基板上に形成し、単結晶シリコン、ポリシリコン等を用いて別工程で作成した駆動回路をこのガラス基板上の画素部に接続して形成されるようになされている。

【 0 0 0 9 】

すなわち図 1 0 に示すように、この種のフラットディスプレイ装置 1 1 においては、画素をマトリックス状に配置してなる画素部 1 2 がガラス基板 1 3 上に形成される。また単結晶シリコン、ポリシリコン等を用いて、別工程により、この画素部 1 2 の各画素をライン単位で順次駆動する垂直駆動回路 1 4 A 及び 1 4 B による集積回路がシフトレジスタにより形成され、この垂直駆動回路 1 4 A 及び 1 4 B の集積回路が、各画素の階調を設定する水平駆動回路 1 5 の集積回路と共にこのガラス基板 1 3 の周囲に配置されて形成されるようになされている。

【 0 0 1 0 】

ところでこのようなシフトレジスタ回路による駆動回路をアモルファスシリコンによる T F T により作成することができれば、この種の駆動回路と各画素とをガラス基板上に一体に作成することができ、その分、この種のフラットディスプレイ装置の製造工程を簡略化することができると考えられる。このためにはアモルファスシリコンによる T F T により作成することが可能な単チャンネルのトランジスタのみで動作するクロックインバータ回路、ラッチ回路が必要になる。

【特許文献 1】特開平 5 - 2 6 5 4 1 1 号公報

【特許文献 2】特開平 5 - 2 4 1 2 0 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

本発明は以上の点を考慮してなされたもので、単チャンネルのトランジスタのみで動作するラッチ回路、このラッチ回路によるシフトレジスタ回路、表示装置の駆動回路、表示装置を提案しようとするものである。

【課題を解決するための手段】

【 0 0 1 3 】

かかる課題を解決するため請求項 1 の発明においては、全てのトランジスタが同一チャンネルのトランジスタであって、入力信号と前記入力信号の反転信号とを入力し、前記入力信号をクロックでラッチした出力信号と前記出力信号の反転信号とを出力するラッチ回路に適用する。前記入力信号を入力する第 1 の系統と、前記入力信号の反転信号を入力する第 2 の系統とを有し、前記第 1 の系統は、クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に前記入力信号を入力すると共に、他端に前記出力信号を入力する第 1 の直列回路と、前記第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号の反転信号を出力する 1 組のトランジスタによる第 1 のインバータ回路とを少なくとも有し、前記第 2 の系統は、クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に入力信号の反転信号を入力すると共に、他端に前記出力信号の反転信号を入力する第 2 の直列回路と、前記第 2 の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号を出力する 1 組のトランジスタによる第 2 のインバータ回路とを少なくとも有し、前記第 1 のインバータ回路は、前記 1 組のトランジスタの他方のトランジスタのゲートに、前記第 2 の直列回路の接続中点を接続し、前記第 2 のインバータ回路は、前記 1 組のトランジスタの他方のトランジスタのゲートに、前記第 1 の直列回路の接続中点を接続する。

10

20

30

40

50

【0014】

また請求項3の発明においては、ラッチ回路により順次駆動信号を転送するシフトレジスタ回路に適用して、ラッチ回路は、全てのトランジスタが同一チャンネルのトランジスタであって、前記駆動信号による入力信号と前記入力信号の反転信号とを入力し、前記入力信号をクロックでラッチした出力信号と前記出力信号の反転信号とを出力するラッチ回路であって、前記入力信号を入力する第1の系統と、前記入力信号の反転信号を入力する第2の系統とを有し、前記第1の系統は、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に前記入力信号を入力すると共に、他端に前記出力信号を入力する第1の直列回路と、前記第1の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号の反転信号を出力する1組のトランジスタによる第1のインバータ回路とを少なくとも有し、前記第2の系統は、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号の反転信号を入力すると共に、他端に前記出力信号の反転信号を入力する第2の直列回路と、前記第2の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号を出力する1組のトランジスタによる第2のインバータ回路とを少なくとも有し、前記第1のインバータ回路は、前記1組のトランジスタの他方のトランジスタのゲートに、前記第2の直列回路の接続中点を接続し、前記第2のインバータ回路は、前記1組のトランジスタの他方のトランジスタのゲートに、前記第1の直列回路の接続中点を接続する。

10

【0015】

また請求項4の発明においては、マトリクス状に画素を配置してなる表示装置の駆動回路に適用して、ラッチ回路は、ラッチ回路によるシフトレジスタ回路により順次駆動信号を転送して画素の駆動信号を生成し、全てのトランジスタが同一チャンネルのトランジスタであって、前記駆動信号による入力信号と前記入力信号の反転信号とを入力し、前記入力信号をクロックでラッチした出力信号と前記出力信号の反転信号とを出力するラッチ回路であって、前記入力信号を入力する第1の系統と、前記入力信号の反転信号を入力する第2の系統とを有し、前記第1の系統は、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に前記入力信号を入力すると共に、他端に前記出力信号を入力する第1の直列回路と、前記第1の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号の反転信号を出力する1組のトランジスタによる第1のインバータ回路とを少なくとも有し、前記第2の系統は、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号の反転信号を入力すると共に、他端に前記出力信号の反転信号を入力する第2の直列回路と、前記第2の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号を出力する1組のトランジスタによる第2のインバータ回路とを少なくとも有し、前記第1のインバータ回路は、前記1組のトランジスタの他方のトランジスタのゲートに、前記第2の直列回路の接続中点を接続し、前記第2のインバータ回路は、前記1組のトランジスタの他方のトランジスタのゲートに、前記第1の直列回路の接続中点を接続する。

20

30

【0016】

また請求項5の発明においては、マトリクス状に画素を配置してなる表示装置に適用して、ラッチ回路によるシフトレジスタ回路により駆動信号を順次転送して画素の駆動信号を生成し、前記ラッチ回路は、全てのトランジスタが同一チャンネルのトランジスタであって、前記駆動信号による入力信号と前記入力信号の反転信号とを入力し、前記入力信号をクロックでラッチした出力信号と前記出力信号の反転信号とを出力するラッチ回路であって、前記入力信号を入力する第1の系統と、前記入力信号の反転信号を入力する第2の系統とを有し、前記第1の系統は、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に前記入力信号を入力すると共に、他端に前記出力信号を入力する第1の直列回路と、前記第1の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号の反転信号を出力する1組のトランジスタによる第1のインバータ回路とを少なくとも有し、前記第2の系統は、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号の反転信号を入力する

40

50

と共に、他端に前記出力信号の反転信号を入力する第2の直列回路と、前記第2の直列回路の接続中点を一方のトランジスタのゲートに接続して、前記出力信号を出力する1組のトランジスタによる第2のインバータ回路とを少なくとも有し、前記第1のインバータ回路は、前記1組のトランジスタの他方のトランジスタのゲートに、前記第2の直列回路の接続中点を接続し、前記第2のインバータ回路は、前記1組のトランジスタの他方のトランジスタのゲートに、前記第1の直列回路の接続中点を接続する。

【0017】

請求項1、請求項3、請求項4、又は請求項5の構成によれば、例えば全てのトランジスタをNチャンネル型により形成して、一端側のスイッチ回路のオン動作により第1の直列回路の出力を入力信号に対応するように設定した後、他端側のスイッチ回路のオン動作により、この第1の直列回路の出力を維持するように第1の直列回路の出力を設定し得、これらにより一端側のスイッチ回路のオン状態により取り込んだ入力信号の信号レベルを、引き続いて保持することができる。これにより例えば全てのトランジスタをNチャンネル型により形成してクロックドインバータ回路を形成することができる。

10

【発明の効果】

【0019】

本発明によれば、単チャンネルのトランジスタのみで動作するクロックドインバータ回路、ラッチ回路、このラッチ回路によるシフトレジスタ回路、このシフトレジスタ回路による表示装置の駆動回路、表示装置を得ることができる。

【発明を実施するための最良の形態】

20

【0020】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0021】

(1) 実施例の構成

図2は、本発明の実施例に係るフラットディスプレイ装置を示すブロック図である。このフラットディスプレイ装置21は、有機EL素子による画素をマトリクス状に配置してなる画素部22、この画素部22に水平方向に延長するように設けられた走査線を介して画素部22に駆動信号を出力する垂直駆動回路23A、23B、この画素部22に垂直方向に延長するように設けられた信号線を介して各画素の階調を設定する水平駆動回路24がアモルファスシリコンによるNチャンネル側のTFTによりガラス基板25上に一体に作成されるようになされている。このフラットディスプレイ装置21は、垂直駆動回路23A、23B、水平駆動回路24の動作に必要な各種駆動信号、クロック等をタイミングジェネレータ(TG)26により生成してこのガラス基板25上の垂直駆動回路23A、23B、水平駆動回路24に供給し、また各画素の階調を示す階調データD1を水平駆動回路24に供給し、これにより所望の画像を表示するようになされている。なおこの実施例は、本願発明の前提の構成を示すものである。

30

【0022】

図1は、垂直駆動回路23Aを示す接続図である。垂直駆動回路23Aは、タイミングジェネレータ26から出力される駆動信号INを順次ラッチ回路31A、31B、31A、...により画素部22の垂直方向に転送し、各ラッチ回路31A、31B、31A、...の出力信号をそれぞれバッファ回路32により画素部22の各走査線に出力する。なお垂直駆動回路23Bにおいては、この転送に供するタイミングジェネレータ26から出力される駆動信号が異なる点を除いて、垂直駆動回路23Aと同一に構成されることにより、以下においては垂直駆動回路23Bについての説明は省略する。

40

【0023】

この垂直駆動回路23Aは、デューティ比がほぼ50〔%〕であるクロックCKにより入力信号をラッチするラッチ回路31Aと、このクロックCKの反転信号によるクロックCKXにより入力信号をラッチするラッチ回路31Bとを交互に直列接続して形成され、先頭段のラッチ回路31Aにタイミングジェネレータ26で生成される駆動信号INが

50

入力される。

【 0 0 2 4 】

ここでクロック C K により入力信号をラッチするラッチ回路 3 1 A は、トランジスタ T R 1 及び T R 2 のゲートをそれぞれクロック C K 及び C K X により駆動することにより、それぞれトランジスタ T R 1 及び T R 2 により相補的に動作を切り換えてオンオフ動作するスイッチ回路を形成し、このスイッチ回路を直列に接続してスイッチ回路による直列回路が形成される。先頭段のラッチ回路 3 1 A は、この直列回路の一端、クロック C K によりオン動作するトランジスタ T R 1 側に、タイミングジェネレータ 2 6 から出力される駆動信号 I N を入力し、先頭段以外のラッチ回路 3 1 A においては、この一端に、前段のラッチ回路 3 1 B の出力信号が入力される。またラッチ回路 3 1 A は、この直列回路の他端
10
この直列回路の接続中点出力に対応して信号レベルが変化する出力信号を入力する。この実施例においては、この出力信号に、後述する第 2 のインバータ回路 3 4 の出力信号が適用される。

【 0 0 2 5 】

すなわちラッチ回路 3 1 A においては、電源 V c c 1 及びアース間に、トランジスタ T R 3 及び T R 4 を直列接続して第 1 のインバータ回路 3 3 が形成され、また同様のトランジスタ T R 5 及び T R 6 を直列接続して第 2 のインバータ回路 3 4 が形成される。これら第 1 及び第 2 のインバータ回路 3 3、3 4 は、電源電圧 V c c 1 側のトランジスタ T R 4 及び T R 6 のゲートがそれぞれ基準電圧 V c c 2 に接続され、前段側のインバータ回路 3
20
3 においては、アース側トランジスタ T R 3 のゲートがトランジスタ T R 1 及び T R 2 の接続中点に接続され、また後段側のインバータ 3 4 においては、同様に、アース側トランジスタ T R 5 のゲートに前段のトランジスタ T R 3 及び T R 4 によるインバータ回路 3 3 の出力が入力されるようになされ、この第 2 のインバータ回路 3 4 の出力がこのラッチ回路 3 1 A の出力 O U T に設定されるようになされている。

【 0 0 2 6 】

これによりラッチ回路 3 1 A においては、図 3 及び図 4 に示すように、所定のタイミングで信号レベルが立ち上がる入力信号 I N (図 3 (A)) を入力して、クロック C K 及び C K X の立ち上がり及び立ち下がりにより (図 3 (B) 及び (C))、トランジスタ T R 1 によるスイッチ回路を介してトランジスタ T R 3、T R 4 によるインバータ回路 3 3、トランジスタ T R 5、T R 6 によるインバータ回路 3 4 による直列回路に入力信号 I N を
30
与え、入力信号 I N の立ち上がりに対応して出力信号 O U T (図 3 (C)) を立ち上げるようになされている。

【 0 0 2 7 】

またこのようにして出力信号 O U T を立ち上げた後において、クロック C K 及び C K X がそれぞれ立ち下がり及び立ち上がると、図 5 に示すように、トランジスタ T R 1 及び T R 2 によるスイッチ回路がそれぞれオフ状態及びオン状態に切り換わり、この場合、このオン状態に切り換わった側に入力される第 2 のインバータ回路 3 4 の出力信号においては、ゲート容量によりトランジスタ T R 1 がオフ状態に切り換わった後も、H レベルに保持され、これによりこの H レベルに保持されてなる第 2 のインバータ回路 3 4 の出力信号が
40
いち早くトランジスタ T R 2 によるスイッチ回路を介してインバータ回路 3 3、3 4 による直列回路に入力され、これによりクロック C K により取り込んだ入力信号 I N の信号レベルが保持される。

【 0 0 2 8 】

しかしてラッチ回路 3 1 A においては、入力信号 I N が立ち下がった後においては、同様にクロック C K 及び C K X の立ち上がり及び立ち下がりによりこの入力信号 I N の信号レベルが取り込まれて保持されることになる。

【 0 0 2 9 】

これに対してクロック C K X を基準にして動作するラッチ回路 3 1 B においては、トランジスタ T R 1 及び T R 2 によるスイッチ回路をそれぞれ駆動するクロックが、ラッチ回路 3 1 A の場合とは逆に、クロック C K X 及び C K に設定され、これにより前段のラッチ
50

回路 3 1 A のラッチ結果をクロック C K の 1 / 2 周期だけ遅延させて出力するようになされている。

【 0 0 3 0 】

これらにより垂直駆動回路 2 3 A においては、シフトレジスタ回路を構成し、順次、タイミングジェネレータ 2 6 から出力される駆動信号 I N をクロック C K の 1 / 2 周期だけ遅延させて出力するようになされている。

【 0 0 3 1 】

このようにしてインバータ 3 3、3 4 の直列回路により入力信号 I N を遅延させて出力するにつき、このラッチ回路 3 1 A においては、これらインバータ 3 3、3 4 の出力において、出力信号を十分な信号レベルに立ち下げることができるように、アース側のトランジスタ T R 2、T R 4 が電源 V c c 側のトランジスタ T R 4、T R 5 に比して大きな形状により作成されて、オン抵抗が小さくなるようになされている。

【 0 0 3 2 】

また電源 V c c 側トランジスタ T R 4、T R 6 のしきい値電圧の分、電源 V c c の電圧に比してインバータ回路 3 3、3 4 の基準電圧 V c c 2 が高い電圧に設定され、これによりインバータ回路 3 3、3 4 において、出力をカットオフしないようになされている。

【 0 0 3 3 】

これらによりこの実施例において、トランジスタ T R 1 及び T R 2 は、相補的にオン状態に切り換わる 1 組のトランジスタによる第 1 の直列回路を構成し、またトランジスタ T R 3、T R 4 は、この第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路を構成するようになされている。またトランジスタ T R 5、T R 6 は、入力信号 I N に対して、遅延して信号レベルが切り換わる入力信号の同相信号を出力する 1 対のトランジスタによる第 2 のインバータ回路を構成し、この実施例では、第 1 の直列回路の一端に、入力信号 I N を入力し、第 1 の直列回路の他端に同相信号を入力するようになされている。

【 0 0 3 4 】

(2) 実施例の動作

以上の構成において、このフラットディスプレイ装置 2 1 では (図 2)、垂直駆動回路 2 3 A、2 3 B から出力される駆動信号により画素部 2 2 に設けられた画素がライン単位で駆動され、水平駆動回路 2 4 から各信号線に出力される駆動信号により各画素の階調が順次設定され、これにより所望の画像が表示される。フラットディスプレイ装置 2 1 では (図 1)、このような垂直駆動回路 2 3 A、2 3 B による画素の駆動が、タイミングジェネレータ 2 6 から出力される駆動信号 I N をシフトレジスタにより画素部 2 2 の垂直方向に順次転送し、シフトレジスタの各段の出力信号を画素部 2 2 の各走査線にそれぞれ出力して実行される。フラットディスプレイ装置 2 1 では、このシフトレジスタがラッチ回路 3 1 A、3 1 B、3 1 A、3 1 B …… の直列回路により形成される。

【 0 0 3 5 】

このラッチ回路 3 1 A においては、タイミングジェネレータ 2 6 から出力される駆動信号 I N 又は前段のラッチ回路 3 1 B から出力される駆動信号が、相補的にオンオフ動作するトランジスタ T R 1、T R 2 のスイッチ回路による第 1 の直列回路に供給され、この第 1 の直列回路の接続中点出力が、第 1 及び第 2 のインバータ回路 3 3、3 4 を介して次段に出力される。このラッチ回路 3 1 A においては、この第 1 の直列回路のトランジスタ T R 1 を介して入力信号 I N が入力され、これによりラッチ回路 3 1 A の出力 O U T においては、このトランジスタ T R 1 をオンオフ制御するクロック C K の立ち上がりにより、インバータ 3 3、3 4 の動作時間だけ遅延して入力信号 I N の信号レベルに設定され、これにより入力信号 I N の信号レベルがクロック C K を基準にして取得される。

【 0 0 3 6 】

またこのクロック C K が立ち下がると、このクロック C K の反転信号であるクロック C K X によりトランジスタ T R 2 がオン状態に切り換わり、インバータ回路 3 3、3 4 の動作時間だけ遅延してなる出力信号 O U T がこのトランジスタ T R 2 を介して第 1 の直列回

10

20

30

40

50

路に入力され、これによりクロックC Kの立ち上がりにより設定された出力信号O U Tの信号レベルが維持される。

【0037】

これによりこのラッチ回路31Aにおいては、Nチャンネル型のトランジスタT R 1 ~ T R 6により入力信号I Nをラッチして出力することができる。

【0038】

シフトレジスタ回路においては、このようなクロックC Kにより入力信号をラッチするラッチ回路31Aと、このラッチ回路31Aに対してクロックC K及びC K Xを入れ換えて、クロックC Kの反転信号であるクロックC K Xにより入力信号をラッチするラッチ回路31Bとが交互に直列接続して形成され、これによりクロックC Kの1/2周期により
10 タイミングジェネレータ26から出力される駆動信号を順次転送し、これらによりこのシフトレジスタ回路においても、全てのトランジスタをNチャンネル型により形成して駆動信号を生成することができる。

【0039】

これによりこのフラットディスプレイ装置21、このフラットディスプレイ装置21に係る駆動回路である垂直駆動回路を、アモルファスシリコンによるT F Tにより形成し得、駆動回路と画素部とを一体にガラス基板上に形成して簡易な工程によりフラットディスプレイ装置を作成することができる。

【0040】

(3) 実施例の効果

以上の構成によれば、相補的に動作を切り換える1組のトランジスタによるスイッチ回路により直列回路を形成すると共に、この直列回路の接続中点出力をインバータ回路に出力し、この直列回路の一端に入力信号を入力すると共に、この直列回路の接続中点出力に対応するインバータ回路による出力信号を他端に供給することにより、単チャンネルのトランジスタのみで動作するラッチ回路、このラッチ回路によるシフトレジスタ回路、表示装置の駆動回路、表示装置を得ることができる。

【0041】

また直列回路の接続中点出力を入力する第1のインバータ回路に対して、この第1のインバータ回路の出力信号を一方のトランジスタのゲートに入力する第2のインバータ回路を設け、この第2のインバータ回路の出力信号を直列回路の他端に入力することにより、
30 入力信号に対して遅延してなる信号を簡易な構成により作成することができる。

【実施例2】

【0042】

図6は、本発明の実施例2に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。この垂直駆動回路40A、40Bにおいては、実施例1について上述したラッチ回路31A、31Bに代えて、ラッチ回路41A、41Bが適用される。なおこの実施例においては、このラッチ回路41A、41Bの構成が異なる点を除いて、実施例1について上述したフラットディスプレイ装置21と同一に構成されることにより、以下においては、重複した説明は省略する。

【0043】

ここで実施例1について上述したラッチ回路31A、31Bにおいては、十分なダイナミックレンジによる出力信号O U Tを確保するためには、各インバータ回路33、34のアース側トランジスタT R 3、T R 5を大型に作成してオン抵抗を十分に小さくする必要がある。またこのアース側トランジスタT R 3、T R 5のオン動作により電源V c cからアースに向かって電流が流れることにより、消費電力が大きくなる。また図3(E)に示すように、出力信号O U Tの立ち上がり、立ち下がりが鈍ってしまう欠点もある。この実施例においては、これら実施例1に係る欠点を解消する。

【0044】

すなわちこの実施例において、ラッチ回路41Aは、実施例1に係るラッチ回路31Aと同様に、入力信号I N又は前段の出力信号を一端に入力し、第2のインバータ回路34
50

の出力信号を他端に入力するトランジスタTR1、TR2による第1の直列回路が設けられ、またこの直列回路の接続中点出力を入力するトランジスタTR3、TR4によるインバータ回路33、このインバータ回路33の出力信号を入力するトランジスタTR5、TR6による第2のインバータ回路34が設けられる。

【0045】

ラッチ回路41Aは、これら第1の直列回路、第1のインバータ回路33、第2のインバータ回路34による第1の系統に対して、これら第1の直列回路、第1のインバータ回路33、第2のインバータ回路34に対応する第1の直列回路、第1のインバータ回路33A、第2のインバータ回路34Aによる第2の系統が設けられる。

【0046】

ここで第2の系統においては、第1の系統と同様に、クロックCK、CKXにより相補的にオンオフ動作して動作を切り換えるトランジスタTR7、TR8によるスイッチ回路により第1の直列回路が形成され、第1のインバータ回路33Aにおいては、トランジスタTR9、TR10を直列に接続して、トランジスタTR7、TR8による直列回路の接続中点出力をアース側トランジスタTR9のゲートに入力するようになされている。また第2のインバータ回路34Aにおいては、トランジスタTR9、TR10を直列に接続して、第1のインバータ回路33Aの出力信号をアース側トランジスタTR11のゲートに入力し、さらにこの第2のインバータ回路34Aの出力信号がトランジスタTR7、TR8による直列回路の他端に帰還されるようになされている。

【0047】

第2の系統においては、このように第1の系統に対応するように形成されて、トランジスタTR7、TR8による直列回路のクロックCK側の一端に、第1の系統に入力される入力信号INに対して、極性を反転してなる入力信号INXが入力され、これにより第1の系統に対応する各部で、第1の系統とは逆極性の信号を生成するようになされている。

【0048】

ラッチ回路41Aは、この逆極性の信号により第1の系統における第1及び第2のインバータ回路33、34の電源側トランジスタTR4、TR6をオンオフ制御し、これによりこれらインバータ回路33、34において、それぞれ電源側トランジスタTR4、TR6とアース側トランジスタTR3、TR5とを相補的にオンオフ動作させ、これによりこれらインバータ回路33、34の出力信号における立ち上がり、立ち下りの鈍りを防止すると共に消費電力を低減し、さらにはインバータ回路33、34のトランジスタTR3～TR6を小型に形成しても十分なダイナミックレンジにより出力信号OUTを出力できるようになされている。

【0049】

またラッチ回路41Aは、第2の系統における第1及び第2のインバータ回路33A、34Aについても、同様に、第1の系統における逆極性の信号により電源側トランジスタTR10、TR12をオンオフ制御し、これによりこれらインバータ回路33A、34Aにおいても、それぞれ電源側トランジスタTR10、TR12とアース側トランジスタTR9、TR11とを相補的にオンオフ動作させ、これによりこれらインバータ回路33A、34Aの出力信号における立ち上がり、立ち下りの鈍りを防止すると共に消費電力を低減し、さらにはインバータ回路33A、34AのトランジスタTR9～TR12を小型に形成しても十分なダイナミックレンジにより出力信号を出力できるようになされている。

【0050】

すなわちラッチ回路41Aにおいて、第1の系統に係る第1のインバータ回路33においては、電源側トランジスタTR4のベースに、第2の系統のトランジスタTR7、TR8の接続中点出力が入力され、またこの第1の系統に係る第2のインバータ回路34においては、電源側トランジスタTR6のベースに、第2の系統の第1のインバータ回路34Aの出力信号が入力される。また同様に、第2の系統に係る第1のインバータ回路33Aにおいては、電源側トランジスタTR10のベースに、第1の系統のトランジスタTR1

10

20

30

40

50

、TR2の接続中点出力が入力され、またこの第2の系統に係る第2のインバータ回路34Aにおいては、電源側トランジスタTR12のベースに、第1の系統の第1のインバータ回路34の出力信号が入力される。

【0051】

これらによりこのラッチ回路41Aにおいては、各トランジスタTR1～TR12が、ほぼ同一の大きさにより小型に形成されるようになされている。なお入力信号INの反転信号INXは、タイミングジェネレータ26により生成されるようになされている。

【0052】

またラッチ回路41Aは、これら第1及び第2の系統による出力信号を次段のラッチ回路41Bに出力し、この次段のラッチ回路41Bにおいては、クロックCKにより入力信号をラッチするラッチ回路41Aに対して、クロックCK及びCKXが入れ換えられて形成されるようになされている。

10

【0053】

これらによりこの実施例においては、これらラッチ回路41A、41B、41A、……により順次クロックCKの1/2周期ずつ駆動信号INを遅延させて転送し、各走査線にバッファ回路32を介してこの駆動信号を出力するようになされている。

【0054】

図6の構成によれば、第1の系統に対応する第2の系統を形成して第1の系統と第2の系統とで逆極性の信号を生成し、この逆極性の信号により第1及び第2の系統におけるインバータ回路の電源側トランジスタをオンオフ制御することにより、消費電力を低減して出力信号の遷移を改善し、小型のトランジスタにより形成して、実施例1と同様の効果を得ることができる。

20

【実施例3】

【0055】

図7は、本発明の実施例3に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。この垂直駆動回路50A、50Bにおいては、実施例1について上述したラッチ回路31A、31Bに代えて、ラッチ回路51A、51Bが適用される。なおこの実施例においては、このラッチ回路51A、51Bに係る構成が異なる点を除いて、実施例1について上述したフラットディスプレイ装置21と同一に構成されることにより、以下においては、重複した説明は省略する。

30

【0056】

ここでこのラッチ回路51Aは、実施例1に係るラッチ回路31Aと同様に、入力信号IN又は前段の出力信号を一端に入力するトランジスタTR1、TR2による第1の直列回路が設けられ、この第1の直列回路の接続中点出力を入力するトランジスタTR3、TR4によるインバータ回路33が設けられる。

【0057】

さらにラッチ回路51Aは、第1の直列回路と同様に、クロックCK、CKXによりオンオフ動作して相補的に動作を切り換えるトランジスタTR5、TR6のスイッチ回路により第2の直列回路が形成され、この第2の直列回路のクロックCK側端に、入力信号INの反転信号INX又は前段の出力信号OUTの反転信号が入力される。またトランジスタTR7、TR8によりインバータ回路33Bが形成され、このインバータ回路33Bのアース側トランジスタTR7に第2の直列回路による接続中点出力が入力されるようになされている。

40

【0058】

これによりラッチ回路51Aは、トランジスタTR1、TR2による第1の直列回路、インバータ回路33による系統に対して、トランジスタTR5、TR6による第2の直列回路、インバータ33Bにより、逆極性の対応する信号を生成するようになされている。また第1の直列回路の接続中点出力に対応する出力信号を第2の直列回路に係るインバータ回路33Bにより生成し、第2の直列回路の接続中点出力に対応する出力信号を第1の直列回路に係るインバータ回路33により生成するようになされている。

50

【 0 0 5 9 】

これらによりラッチ回路 5 1 A は、インバータ回路 3 3 B の出力信号を第 1 の直列回路の他端に入力し、またインバータ回路 3 3 の出力信号を第 2 の直列回路の他端に入力する。またインバータ回路 3 3 の電源側トランジスタ T R 4 に第 2 の直列回路の接続中点出力を入力し、インバータ回路 3 3 B の電源側トランジスタ T R 8 に第 1 の直列回路の接続中点出力を入力するようになされている。またこれらインバータ回路 3 3、3 3 B の出力信号を次段に出力するようになされている。

【 0 0 6 0 】

またクロック C K X に係るラッチ回路 5 1 B においては、クロック C K、C K X が入れ換えられて、このクロック C K に係るラッチ回路 5 1 A と同一に構成される。また垂直駆動回路 5 0 A、5 0 B は、このラッチ回路 5 1 A、5 1 B の構成に対応して、各バッファ回路 3 2 への入力が、クロック C K によるラッチ回路 5 1 A とクロック C K X によるラッチ回路 5 1 B とで、切り換えられるようになされている。

【 0 0 6 1 】

この実施例においては、ラッチ回路の構成を簡略化して実施例 2 と同様の効果を得ることができる。

【 実施例 4 】

【 0 0 6 2 】

なお上述の実施例においては、入力信号に対して同相の出力信号を出力することを目的に垂直駆動回路であるシフトレジスタを形成する場合について述べたが、本発明はこれに限らず、例えばバッファ回路をインバータ回路により構成して入力信号に対して逆相により出力信号を出力するようにしてもよい。なおこの場合、実施例 1 の構成においては、第 1 のインバータ回路 3 3 の出力信号をバッファ回路に出力するようにして構成し得、また実施例 2 の構成においては、第 2 の系統側の出力信号をバッファ回路に出力するようにして構成し得、さらに実施例 3 の構成においては、ラッチ回路 5 1 A 及び 5 1 B において、それぞれインバータ回路 3 3、3 3 B 側の出力信号をバッファ回路に出力するようにして構成することができる。しかしてこの場合、各実施例の構成においては、クロック C K により入力信号 I N を取得して反転信号を出力するクロックドインバータ回路の直列接続によりシフトレジスタ回路を構成することになる。

【 0 0 6 3 】

また上述の実施例においては、タイミングジェネレータから出力される駆動信号と同極性により各走査線を駆動する場合について述べたが、本発明はこれに限らず、逆極性により駆動する場合にも広く適用することができる。

【 0 0 6 4 】

また上述の実施例においては、インバータ回路において、前段の出力をアース側のトランジスタに入力する場合について述べたが、本発明はこれに限らず、これとは逆に電源側のトランジスタに入力するようにしてもよい。

【 0 0 6 5 】

また上述の実施例においては、Nチャンネル型のトランジスタによりラッチ回路を構成する場合について述べたが、本発明はこれに限らず、Pチャンネル型により作成する場合等、同一の極性のトランジスタによりラッチ回路を構成する場合に広く適用することができる。なおこの場合、アモルファス工程により作成困難となる場合もあるが、同一の極性のトランジスタにより作成できることにより、その分、工程を簡略化することができる。

【 0 0 6 6 】

また上述の実施例においては、ガラス基板上に画素部と一体に駆動回路を作成する場合について述べたが、本発明はこれに限らず、別工程により作成する場合、さらには単結晶シリコン、ポリシリコンにより作成する場合にも広く適用することができる。なおこの場合、同一の極性のトランジスタにより作成できることにより、その分、工程を簡略化することができる。

【 0 0 6 7 】

また上述の実施例においては、本発明に係るラッチ回路をフラットディスプレイ装置の駆動回路に適用する場合について述べたが、本発明はこれに限らず、種々の駆動回路、論理回路に広く適用することができる。

【 0 0 6 8 】

また上述の実施例においては、本発明を有機 E L 素子によるフラットディスプレイ装置に適用した場合について述べたが、本発明はこれに限らず、液晶表示装置等、種々のディスプレイ装置に広く適用することができる。

【産業上の利用可能性】

【 0 0 6 9 】

本発明は、例えば有機 E L 素子によるフラットディスプレイ装置に適用することができる。

【図面の簡単な説明】

【 0 0 7 0 】

【図 1】本発明の実施例 1 に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。

【図 2】本発明の実施例 1 に係るフラットディスプレイ装置を示すブロック図である。

【図 3】図 1 の垂直駆動回路におけるラッチ回路の動作の説明に供するタイムチャートである。

【図 4】図 1 の垂直駆動回路におけるラッチ回路の動作の説明に供する接続図である。

【図 5】図 4 の続きの動作の説明に供する接続図である。

【図 6】本発明の実施例 2 に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。

【図 7】本発明の実施例 3 に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。

【図 8】従来のフラットディスプレイ装置の垂直駆動回路に適用されるクロックインバータ回路を示す接続図である。

【図 9】図 8 のクロックインバータ回路の動作の説明に供するタイムチャートである。

【図 10】従来のフラットディスプレイ装置の構成を示すブロック図である。

【符号の説明】

【 0 0 7 1 】

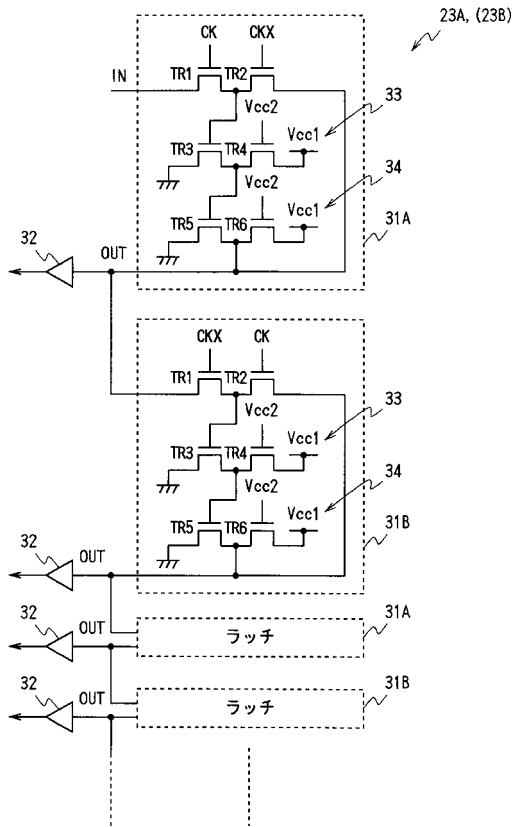
1、3 1 A、3 1 B、4 1 A、4 1 B、5 1 A、5 1 B ラッチ回路、2、3 クロックインバータ回路、4、3 3、3 3 A、3 3 B、3 4、3 4 A インバータ回路、1 1、2 1 フラットディスプレイ装置、1 2、2 2 画素部、1 3、2 5 ガラス基板、1 4 A、1 4 B、2 3 A、2 3 B、4 0 A、4 0 B、5 0 A、5 0 B 垂直駆動回路、1 5、2 4 水平駆動回路、2 6 タイミングジェネレータ、3 2 バッファ回路、T R 1 ~ T R 1 2 トランジスタ

10

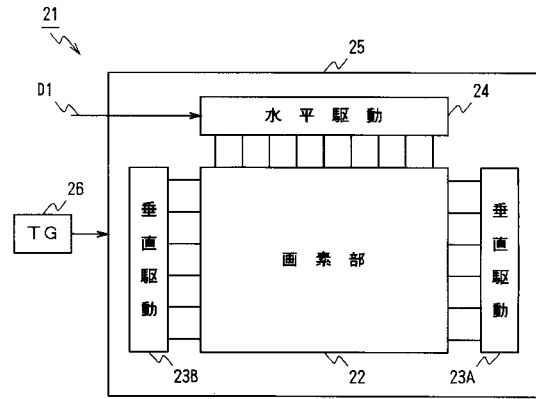
20

30

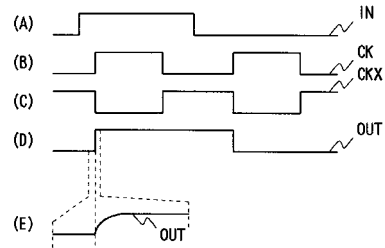
【図1】



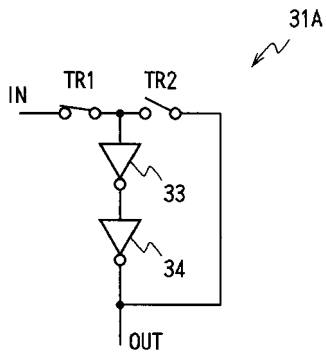
【図2】



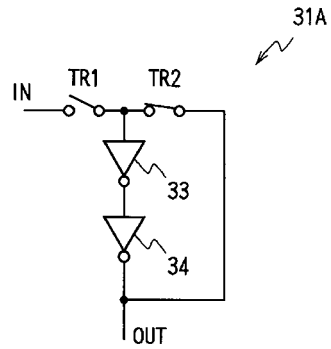
【図3】



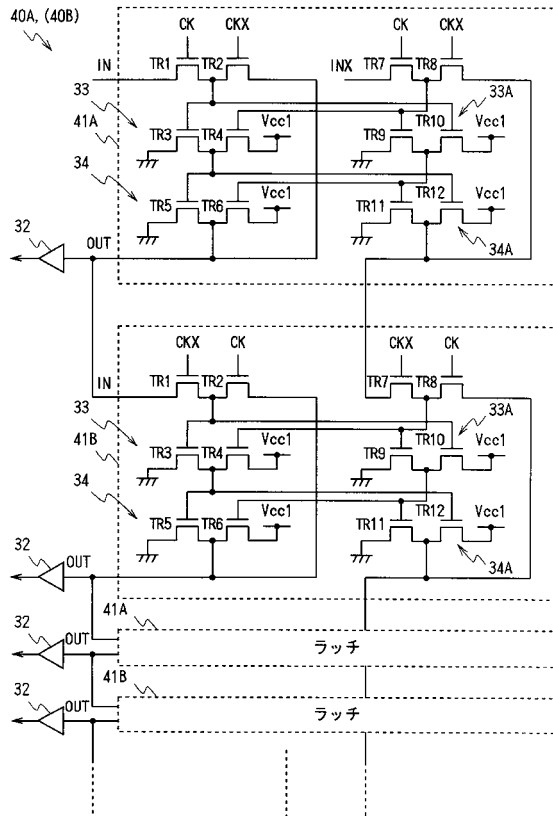
【図4】



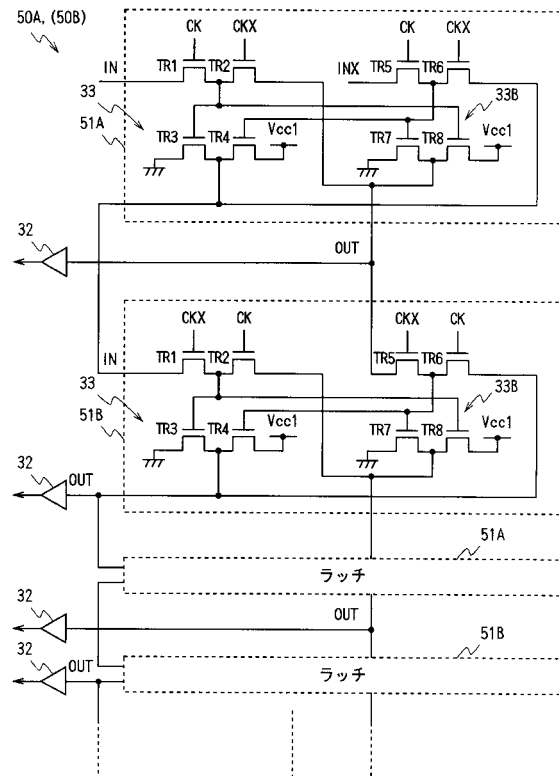
【図5】



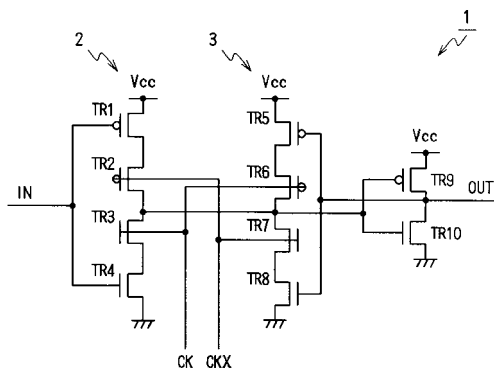
【図6】



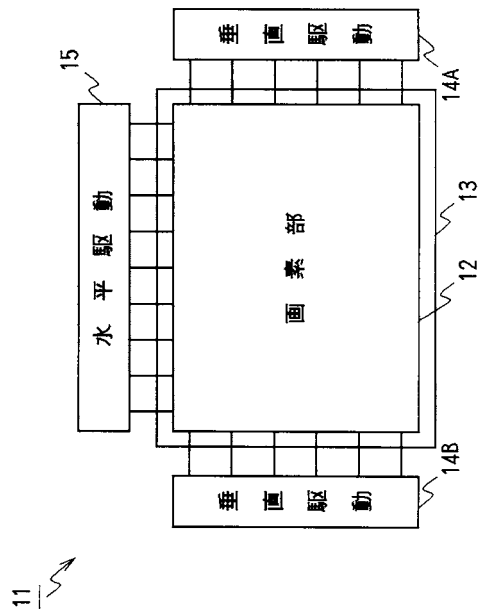
【図7】



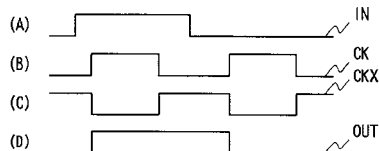
【図8】



【図10】



【図9】



 フロントページの続き

(51) Int.Cl.		F I	
<i>H 0 1 L 51/50</i>	<i>(2006.01)</i>	H 0 3 K	3/356 D
		H 0 3 K	19/096 A
		H 0 5 B	33/14 A

(56) 参考文献 特開平 5 - 1 0 2 3 1 2 (J P , A)
 特開平 5 - 2 5 9 8 3 4 (J P , A)
 特開平 9 - 2 0 0 0 0 0 (J P , A)
 特開平 9 - 2 2 3 9 4 8 (J P , A)
 特開昭 6 1 - 2 0 6 3 0 8 (J P , A)
 特開昭 5 4 - 1 6 1 2 8 8 (J P , A)
 特開 2 0 0 0 - 1 3 4 0 6 7 (J P , A)
 B.Razavi 著、黒田忠広監訳、「アナログ CMOS 集積回路の設計」、日本、丸善株式会社、2 0
 0 3 年 3 月 3 0 日、7 0 ~ 7 2 頁、電流源負荷を有するソース接地増幅段

(58) 調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0
 G 1 1 C 1 9 / 0 0
 H 0 1 L 5 1 / 5 0
 H 0 3 K 3 / 3 5 6
 H 0 3 K 1 9 / 0 9 6
 H 0 3 K 5 / 0 0 - 5 / 0 2 ; 5 / 0 8 - 5 / 1 2 ; 5 / 1 5 - 5 / 2 6

