

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-271337

(P2009-271337A)

(43) 公開日 平成21年11月19日(2009.11.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 670K	
	G09G 3/20 621K	
	G09G 3/20 612G	

審査請求 有 請求項の数 6 O L (全 24 頁) 最終頁に続く

(21) 出願番号	特願2008-122000 (P2008-122000)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成20年5月8日 (2008.5.8)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	富田 昌嗣 東京都港区港南1丁目7番1号 ソニー ーエムシーエス株式会社内
		(72) 発明者	浅野 慎 東京都港区港南1丁目7番1号 ソニー 株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC21 CC26 EE03 HH04 HH05

最終頁に続く

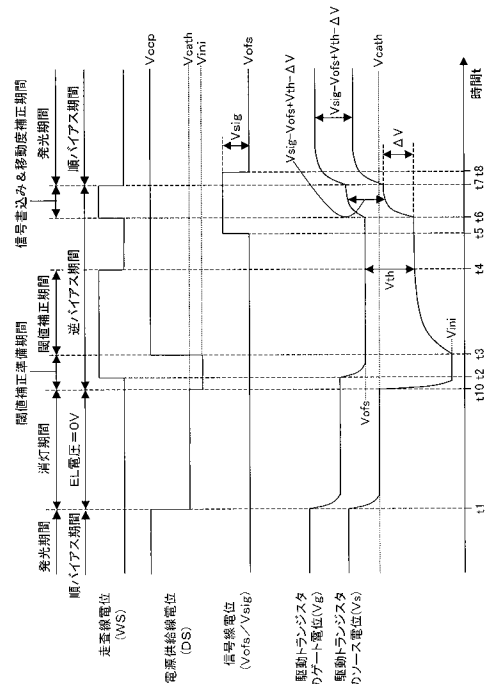
(54) 【発明の名称】 表示装置、表示装置の駆動方法および電子機器

(57) 【要約】

【課題】電気光学素子の消灯時に逆バイアスがかかることによって電気光学素子に与えられるストレスを軽減できるようにする。

【解決手段】有機EL素子の非発光期間の一部で電源供給線の電源電位DSを有機EL素子のカソード電位に設定することで、駆動トランジスタの電源供給線側と反対側の電極の電位も有機EL素子のカソード電位になる。これにより、有機EL素子のアノード-カソード間の電圧が0Vになり、非発光期間の一部では有機EL素子に逆バイアスがかからないため、電源電位DSをカソード電位Vcathに設定しない場合に比べて逆バイアス期間を大幅に短縮できる。その結果、逆バイアスがかかることによって有機EL素子に与えられるストレスを軽減できるため、逆バイアスがかかることによるストレスに起因して、有機EL素子の特性が変化したり、減点となったりするのを抑えることができる。

【選択図】 図10



【特許請求の範囲】**【請求項 1】**

電気光学素子と、
映像信号を書き込む書込みトランジスタと、
前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、
前記保持容量に保持された前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタと

を有する画素が行列状に配置された画素アレイ部と、
前記駆動トランジスタに電流を供給する電源供給線の電源電位を切り替えることによって前記電気光学素子の発光／非発光の制御を行なうとともに、前記電気光学素子の非発光期間の一部で前記電源電位を前記電気光学素子のカソード電位に設定する電源供給部と
を備える表示装置。

10

【請求項 2】

前記電源供給部は、前記駆動トランジスタの前記電源供給線側と反対側の電極の電位の初期化を行うまで前記電源供給線への前記電源電位の供給を停止する
請求項 1 記載の表示装置。

【請求項 3】

前記電源供給部は、前記駆動トランジスタの前記電源供給線側と反対側の電極の電位を初期化する際に前記電源電位を前記電気光学素子に対して逆バイアスを与える電位とし、
前記電気光学素子の発光時に前記電源電位を前記電気光学素子に対して順バイアスを与える電位とする

20

請求項 2 記載の表示装置。

【請求項 4】

前記電源供給部は、前記電気光学素子に対して順バイアスを与える時間を変えることによって前記電気光学素子の発光期間と非発光期間の割合を制御する

請求項 3 記載の表示装置。

【請求項 5】

電気光学素子と、
映像信号を書き込む書込みトランジスタと、
前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、
前記保持容量に保持された前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタと

30

を有する画素が行列状に配置された表示装置の駆動に当たって、
前記駆動トランジスタに電流を供給する電源供給線の電源電位を切り替えることによって前記電気光学素子の発光／非発光の制御を行なうとともに、前記電気光学素子の非発光期間の一部で前記電源電位を前記電気光学素子のカソード電位に設定する

表示装置の駆動方法。

【請求項 6】

電気光学素子と、
映像信号を書き込む書込みトランジスタと、
前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、
前記保持容量に保持された前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタと

40

を有する画素が行列状に配置された画素アレイ部と、
前記駆動トランジスタに電流を供給する電源供給線の電源電位を切り替えることによって前記電気光学素子の発光／非発光の制御を行なうとともに、前記電気光学素子の非発光期間の一部で前記電源電位を前記電気光学素子のカソード電位に設定する電源供給部と

を備える表示装置を有する電子機器。

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、表示装置、表示装置の駆動方法および電子機器に関し、特に、画素が行列状（マトリクス状）に2次元配置された平面型（フラットパネル型）の表示装置、当該表示装置の駆動方法および当該表示装置を有する電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素（画素回路）が行列状に配置されてなる平面型の表示装置が急速に普及している。平面型の表示装置の一つとして、デバイスに流れる電流値に応じて発光輝度が変化するいわゆる電流駆動型の電気光学素子を画素の発光素子として用いた表示装置がある。電流駆動型の電気光学素子としては、有機薄膜に電

10

【0003】

画素の電気光学素子として有機EL素子を用いた有機EL表示装置は次のような特長を持っている。すなわち、有機EL素子は、10V以下の印加電圧で駆動できるために低消費電力である。有機EL素子は、自発光素子であるために、画素ごとに液晶にて光源からの光強度を制御することによって画像を表示する液晶表示装置に比べて、画像の視認性が高く、しかもバックライト等の照明部材を必要としないために軽量化および薄型化が容易である。さらに、有機EL素子の応答速度が数 μ s程度と非常に高速であるために動画表示時の残像が発生しない。

20

【0004】

有機EL表示装置では、液晶表示装置と同様に、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、電気光学素子の発光期間が走査線（即ち、画素数）の増加によって減少するために、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。

【0005】

そのため、近年、電気光学素子に流れる電流を、当該電気光学素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタによって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。絶縁ゲート型電界効果トランジスタとしては、一般には、TFT（Thin Film Transistor；薄膜トランジスタ）が用いられる。アクティブマトリクス方式の表示装置は、電気光学素子が1フレームの期間に亘って発光を持続するために、大型でかつ高精細な表示装置の実現が容易である。

30

【0006】

ところで、一般的に、有機EL素子のI-V特性（電流-電圧特性）は、時間が経過すると劣化（いわゆる、経時劣化）することが知られている。有機EL素子を電流駆動するトランジスタ（以下、「駆動トランジスタ」と記述する）として特にNチャネル型のTFTを用いた画素回路では、有機EL素子のI-V特性が経時劣化すると、駆動トランジスタのゲート-ソース間電圧 V_{gs} が変化する。その結果、有機EL素子の発光輝度が変化する。これは、駆動トランジスタのソース電極側に有機EL素子が接続されることに起因

40

【0007】

このことについてより具体的に説明する。駆動トランジスタのソース電位は、駆動トランジスタと有機EL素子の動作点で決まる。そして、有機EL素子のI-V特性が劣化すると、駆動トランジスタと有機EL素子の動作点が変わってしまうために、駆動トランジスタのゲート電極に同じ電圧を印加したとしても駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース-ゲート間電圧 V_{gs} が変化するために、駆動トランジスタに流れる電流値が変化する。その結果、有機EL素子に流れる電流値も変化するために、有機EL素子の発光輝度が変化することになる。

【0008】

50

また、特にポリシリコンTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動トランジスタのトランジスタ特性が経時的に変化したり、製造プロセスのばらつきによってトランジスタ特性が画素ごとに異なったりする。すなわち、画素個々に駆動トランジスタのトランジスタ特性にばらつきがある。トランジスタ特性としては、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャンネルを構成する半導体薄膜の移動度 μ （以下、単に「駆動トランジスタの移動度 μ 」と記述する）等が挙げられる。

【0009】

駆動トランジスタのトランジスタ特性が画素ごとに異なると、画素ごとに駆動トランジスタに流れる電流値にばらつきが生じるために、駆動トランジスタのゲート電極に画素間で同じ電圧を印加しても、有機EL素子の発光輝度に画素間でばらつきが生じる。その結果、画面のユニフォームティ（一様性）が損なわれる。

10

【0010】

そこで、有機EL素子のI-V特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化等の影響を受けることなく、有機EL素子の発光輝度を一定に維持するために、各種の補正（補償）機能を画素回路に持たせている（例えば、特許文献1参照）。

【0011】

補正機能としては、有機EL素子の特性変動に対する補償機能、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正機能、駆動トランジスタの移動度 μ の変動に対する補正機能などが挙げられる。以下、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正を「閾値補正」と呼び、駆動トランジスタの移動度 μ の変動に対する補正を「移動度補正」と呼ぶこととする。

20

【0012】

このように、画素回路の各々に、各種の補正機能を持たせることで、有機EL素子のI-V特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化の影響を受けることなく、有機EL素子の発光輝度を一定に保つことができる。その反面、画素回路を構成する素子数が多いために、画素サイズの微細化、ひいては表示装置の高精細化の妨げになるという問題がある。

【0013】

これに対して、例えば、駆動トランジスタに電流を供給する電源供給線の電源電位を切り替え可能とし、当該電源電位の切り替えによって電気光学素子の発光/非発光を制御するトランジスタを省略した画素回路が提案されている（例えば、特許文献2参照）。有機EL素子の発光/非発光を制御するトランジスタを省略することで、画素回路を構成する素子数や配線数の削減を図ることができる。この画素回路では、駆動トランジスタのソース電位を初期化するトランジスタと、駆動トランジスタのゲート電位を初期化するトランジスタについても省略されている。

30

【0014】

【特許文献1】特開2006-133542号公報

【特許文献2】特開2007-310311号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0015】

特許文献2の従来技術によれば、画素回路を構成する素子数を削減できるため、画素サイズの微細化、ひいては表示装置の高精細化を図ることができる。この画素回路の場合、電源供給線の電源電位の切り替えによって電気光学素子の発光/非発光の制御を行う構成を採っており、電気光学素子の消灯（非発光）時には、電源電位を低電位に切り替えて電気光学素子に対して逆バイアスがかかるようにしている。

【0016】

しかしながら、電気光学素子を逆バイアス状態にすると、電気光学素子が発光することはないものの、電気光学素子にストレスが加わる。そして、電気光学素子にストレスを与

50

える時間が長いと、電気光学素子の特性が変化したり、滅点（点灯しない点欠陥）となったりして、画質を損ねる一因となる。

【0017】

そこで、本発明は、電気光学素子の消灯時に逆バイアスがかかることによって電気光学素子に与えられるストレスを軽減できるようにした表示装置、当該表示装置の駆動方法および当該表示装置を用いた電子機器を提供することを目的とする。

【課題を解決するための手段】

【0018】

上記目的を達成するために、本発明は、
電気光学素子と、
映像信号を書き込む書込みトランジスタと、
前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、
前記保持容量に保持された前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタと

を有する画素が行列状に配置された表示装置の駆動に当たって、
前記駆動トランジスタに電流を供給する電源供給線の電源電位を切り替えることによって前記電気光学素子の発光/非発光の制御を行なうとともに、前記電気光学素子の非発光期間の一部で前記電源電位を前記電気光学素子のカソード電位に設定する。

【0019】

電気光学素子の非発光期間の一部で電源供給線の電源電位を電気光学素子のカソード電位に設定することで、駆動トランジスタの電源供給線側と反対側の電極の電位も電気光学素子のカソード電位になる。これにより、電気光学素子のアノード-カソード間の電圧が0Vになり、非発光期間の一部では電気光学素子に逆バイアスがかからないため、逆バイアスがかかる期間を短縮できる。その結果、逆バイアスがかかることによって電気光学素子に与えられるストレスを軽減できる。

【発明の効果】

【0020】

本発明によれば、逆バイアスがかかることによって電気光学素子に与えられるストレスを軽減できるため、当該ストレスに起因する電気光学素子の特性が変化したり、滅点となったりするのを抑えることができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0022】

[システム構成]

図1は、本発明が適用されるアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子を画素（画素回路）の発光素子として用いたアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明するものとする。

【0023】

図1に示すように、本適用例に係る有機EL表示装置10は、発光素子を含む複数の画素20と、当該画素20が行列状に2次元配置された画素アレイ部30と、当該画素アレイ部30の周辺に配置された駆動部とを有する構成となっている。駆動部は、画素アレイ部30の各画素20を駆動する。この駆動部として、例えば、書込み走査回路40、電源供給走査回路50および信号出力回路60が設けられている。

【0024】

ここで、有機EL表示装置10がカラー表示対応の場合は、1つの画素は複数の副画素（サブピクセル）から構成され、この副画素が画素20に相当することになる。より具体的には、カラー表示用の表示装置では、1つの画素は、赤色光（R）を発光する副画素、

10

20

30

40

50

緑色光 (G) を発光する副画素、青色光 (B) を発光する副画素の 3 つの副画素から構成される。

【 0 0 2 5 】

ただし、1 つの画素としては、R G B の 3 原色の副画素の組み合わせに限られるものではなく、3 原色の副画素にさらに 1 色あるいは複数色の副画素を加えて 1 つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色光 (W) を発光する副画素を加えて 1 つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも 1 つの副画素を加えて 1 つの画素を構成したりすることも可能である。

【 0 0 2 6 】

画素アレイ部 3 0 には、m 行 n 列の画素 2 0 の配列に対して、行方向 (画素行の画素の配列方向) に沿って走査線 3 1 - 1 ~ 3 1 - m と電源供給線 3 2 - 1 ~ 3 2 - m とが画素行ごとに配線されている。さらに、列方向 (画素列の画素の配列方向) に沿って信号線 3 3 - 1 ~ 3 3 - n が画素列ごとに配線されている。

10

【 0 0 2 7 】

走査線 3 1 - 1 ~ 3 1 - m は、書込み走査回路 4 0 の対応する行の出力端にそれぞれ接続されている。電源供給線 3 2 - 1 ~ 3 2 - m は、電源供給走査回路 5 0 の対応する行の出力端にそれぞれ接続されている。信号線 3 3 - 1 ~ 3 3 - n は、信号出力回路 6 0 の対応する列の出力端にそれぞれ接続されている。

【 0 0 2 8 】

画素アレイ部 3 0 は、通常、ガラス基板などの透明絶縁基板上に形成されている。これにより、有機 E L 表示装置 1 0 は、平面型 (フラット型) のパネル構造となっている。画素アレイ部 3 0 の各画素 2 0 の駆動回路は、アモルファスシリコン T F T または低温ポリシリコン T F T を用いて形成することができる。低温ポリシリコン T F T を用いる場合には、書込み走査回路 4 0 、電源供給走査回路 5 0 および信号出力回路 6 0 についても、画素アレイ部 3 0 を形成する表示パネル (基板) 7 0 上に実装することができる。

20

【 0 0 2 9 】

書込み走査回路 4 0 は、クロックパルス c k に同期してスタートパルス s p を順にシフト (転送) するシフトレジスタ等によって構成されている。この書込み走査回路 4 0 は、画素アレイ部 3 0 の各画素 2 0 への映像信号の書込みに際して、走査線 3 1 - 1 ~ 3 1 - m に順次書込み走査信号 W S (W S 1 ~ W S m) を供給することによって画素アレイ部 3 0 の各画素 2 0 を行単位で順番に走査 (線順次走査) する。

30

【 0 0 3 0 】

電源供給走査回路 5 0 は、クロックパルス c k に同期してスタートパルス s p を順にシフトするシフトレジスタ等によって構成されている。この電源供給走査回路 5 0 は、書込み走査回路 4 0 による線順次走査に同期して、第 1 電源電位 V c c p と当該第 1 電源電位 V c c p よりも低い第 2 電源電位 V i n i で切り替わる電源電位 D S (D S 1 ~ D S m) を電源供給線 3 2 - 1 ~ 3 2 - m に供給する。この電源電位 D S の V c c p / V i n i の切替えにより、画素 2 0 の発光 / 非発光の制御が行なわれる。

【 0 0 3 1 】

信号出力回路 6 0 は、信号供給源 (図示せず) から供給される輝度情報に応じた映像信号の信号電圧 (以下、単に「信号電圧」と記述する場合もある) V s i g と基準電位 V o f s のいずれか一方を適宜選択して出力する。信号出力回路 6 0 から出力される信号電圧 V s i g / 基準電位 V o f s は、信号線 3 3 - 1 ~ 3 3 - n を介して画素アレイ部 3 0 の各画素 2 0 に対して行単位で書き込まれる。すなわち、信号出力回路 6 0 は、信号電圧 V s i g を行 (ライン) 単位で書き込む線順次書き込みの駆動形態を採っている。

40

【 0 0 3 2 】

(画素回路)

図 2 は、画素 (画素回路) 2 0 の具体的な回路構成を示す回路図である。

【 0 0 3 3 】

図 2 に示すように、画素 2 0 は、デバイスに流れる電流値に応じて発光輝度が変化する

50

電流駆動型の電気光学素子、例えば有機EL素子21と、当該有機EL素子21を駆動する駆動回路とによって構成されている。有機EL素子21は、全ての画素20に対して共通に配線（いわゆる、ベタ配線）された共通電源供給線34にカソード電極が接続されている。

【0034】

有機EL素子21を駆動する駆動回路は、駆動トランジスタ22、書込みトランジスタ23および保持容量24を有する構成となっている。ここでは、駆動トランジスタ22および書込みトランジスタ23としてNチャネル型のTFTを用いている。ただし、駆動トランジスタ22および書込みトランジスタ23の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

10

【0035】

なお、駆動トランジスタ22および書込みトランジスタ23としてNチャネル型のTFTを用いると、アモルファスシリコン（a-Si）プロセスを用いることができる。a-Siプロセスを用いることで、TFTを作成する基板の低コスト化、ひいては本有機EL表示装置10の低コスト化を図ることが可能になる。また、駆動トランジスタ22および書込みトランジスタ23を同じ導電型の組み合わせにすると、両トランジスタ22、23を同じプロセスで作成することができるため低コスト化に寄与できる。

【0036】

駆動トランジスタ22は、一方の電極（ソース/ドレイン電極）が有機EL素子21のアノード電極に接続され、他方の電極（ドレイン/ソース電極）が電源供給線32（32-1～32-m）に接続されている。

20

【0037】

書込みトランジスタ23は、一方の電極（ソース/ドレイン電極）が信号線33（33-1～33-n）に接続され、他方の電極（ドレイン/ソース電極）が駆動トランジスタ22のゲート電極に接続されている。また、書込みトランジスタ23のゲート電極は、走査線31（31-1～31-m）に接続されている。

【0038】

駆動トランジスタ22および書込みトランジスタ23において、一方の電極とは、ソース/ドレイン領域に電氣的に接続された金属配線を言い、他方の電極とは、ドレイン/ソース領域に電氣的に接続された金属配線を言う。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

30

【0039】

保持容量24は、一方の電極が駆動トランジスタ22のゲート電極に接続され、他方の電極が駆動トランジスタ22の他方の電極および有機EL素子21のアノード電極に接続されている。

【0040】

なお、有機EL素子21の駆動回路としては、駆動トランジスタ22および書込みトランジスタ23の2つのトランジスタと保持容量24の1つの容量素子とからなる回路構成のものに限られるものではない。例えば、一方の電極が有機EL素子21のアノード電極に、他方の電極が固定電位にそれぞれ接続されることで、有機EL素子21の容量不足分を補う補助容量を必要に応じて設けた回路構成を採ることも可能である。

40

【0041】

上記構成の画素20において、書込みトランジスタ23は、書込み走査回路40から走査線31を通してゲート電極に印加されるHighアクティブの書込み走査信号WSに回答して導通状態となる。これにより、書込みトランジスタ23は、信号線33を通して信号出力回路60から供給される輝度情報に応じた映像信号の信号電圧Vsigまたは基準電位Vofsをサンプリングして画素20内に書き込む。この書き込まれた信号電圧Vsigまたは基準電位Vofsは、駆動トランジスタ22のゲート電極に印加されるとともに保持容量24に保持される。

50

【0042】

駆動トランジスタ22は、電源供給線32(32-1~32-m)の電位DSが第1電源電位Vccpにあるときには、一方の電極がドレイン電極、他方の電極がソース電極となって飽和領域で動作する。これにより、駆動トランジスタ22は、電源供給線32から電流の供給を受けて有機EL素子21を電流駆動にて発光駆動する。より具体的には、駆動トランジスタ22は、飽和領域で動作することにより、保持容量24に保持された信号電圧Vsigの電圧値に応じた電流値の駆動電流を有機EL素子21に供給し、当該有機EL素子21を電流駆動することによって発光させる。

【0043】

駆動トランジスタ22はさらに、電源電位DSが第1電源電位Vccpから第2電源電位Viniに切り替わったときには、一方の電極がソース電極、他方の電極がドレイン電極となってスイッチングトランジスタとして動作する。これにより、駆動トランジスタ22は、有機EL素子21への駆動電流の供給を停止し、有機EL素子21を非発光状態にする。すなわち、駆動トランジスタ22は、有機EL素子21の発光/非発光を制御するトランジスタとしての機能をも併せ持っている。

10

【0044】

この駆動トランジスタ22のスイッチング動作により、有機EL素子21が非発光状態となる期間(非発光期間)を設け、有機EL素子21に対して順バイアスを与える時間を変えることによって有機EL素子21の発光期間と非発光期間の割合(デューティ)を制御することができる。このデューティ制御により、1フレーム期間に亘って画素が発光することに伴う残像ボケを低減できるために、特に動画の画品位をより優れたものとする

20

【0045】

ここで、信号出力回路60から信号線33を通して選択的に供給される基準電位Vofsは、輝度情報に応じた映像信号の信号電圧Vsigの基準となる電位(例えば、映像信号の黒レベルに相当する電位)である。

【0046】

電源供給走査回路50から電源供給線32を通して選択的に供給される第1、第2電源電位Vccp、Viniのうち、第1電源電位Vccpは有機EL素子21を発光駆動する駆動電流を駆動トランジスタ22に供給するための電源電位である。また、第2電源電位Viniは、有機EL素子21に対して逆バイアスを掛けるための電源電位である。この第2電源電位Viniは、基準電位Vofsよりも低い電位、例えば、駆動トランジスタ22の閾値電圧をVthとするときVofs-Vthよりも低い電位、好ましくはVofs-Vthよりも十分に低い電位に設定される。

30

【0047】

(画素構造)

図3は、画素20の断面構造の一例を示す断面図である。図3に示すように、ガラス基板201上には、駆動トランジスタ22等を含む駆動回路が形成されている。そして、画素20は、ガラス基板201上に絶縁膜202、絶縁平坦化膜203およびウインド絶縁膜204がその順に形成され、当該ウインド絶縁膜204の凹部204Aに有機EL素子21が設けられた構成となっている。ここでは、駆動回路の各構成素子のうち、駆動トランジスタ22のみを図示し、他の構成素子については省略している。

40

【0048】

有機EL素子21は、アノード電極205と、有機層(電子輸送層、発光層、ホール輸送層/ホール注入層)206と、カソード電極207とから構成されている。アノード電極205は、ウインド絶縁膜204の凹部204Aの底部に形成された金属等からなる。有機層206は、アノード電極205上に形成されている。カソード電極207は、有機層206上に全画素共通に形成された透明導電膜等からなる。

【0049】

この有機EL素子21において、有機層206は、アノード電極205上にホール輸送

50

層/ホール注入層 2061、発光層 2062、電子輸送層 2063 および電子注入層（図示せず）が順次堆積されることによって形成される。そして、図 2 の駆動トランジスタ 22 による電流駆動の下に、駆動トランジスタ 22 からアノード電極 205 を通して有機層 206 に電流が流れることで、当該有機層 206 内の発光層 2062 において電子と正孔が再結合する際に発光するようになっている。

【0050】

駆動トランジスタ 22 は、ゲート電極 221 と、半導体層 222 の両側に設けられたソース/ドレイン領域 223, 224 と、半導体層 222 のゲート電極 221 と対向する部分のチャンネル形成領域 225 とから構成されている。ソース/ドレイン領域 223 は、コンタクトホールを介して有機 EL 素子 21 のアノード電極 205 と電氣的に接続されている。

10

【0051】

そして、図 3 に示すように、ガラス基板 201 上に、絶縁膜 202、絶縁平坦化膜 203 およびウインド絶縁膜 204 を介して有機 EL 素子 21 が画素単位で形成された後は、パッシベーション膜 208 を介して封止基板 209 が接着剤 210 によって接合される。この封止基板 209 によって有機 EL 素子 21 が封止されることにより表示パネル 70 が形成される。

【0052】

（有機 EL 表示装置の回路動作）

次に、上記構成の画素 20 が行列状に 2 次元配置されてなる有機 EL 表示装置 10 の回路動作について、図 4 のタイミング波形図を基に図 5 および図 6 の動作説明図を用いて説明する。なお、図 5 および図 6 の動作説明図では、図面の簡略化のために、書込みトランジスタ 23 をスイッチのシンボルで図示している。また、有機 EL 素子 21 の等価容量 25 についても図示している。

20

【0053】

図 4 のタイミング波形図には、走査線 31 (31-1 ~ 31-m) の電位（書込み走査信号）WS の変化、電源供給線 32 (32-1 ~ 32-m) の電位（電源電位）DS の変化、駆動トランジスタ 22 のゲート電位 Vg およびソース電位 Vs の変化を示している。また、ゲート電位 Vg の波形を一点鎖線で示し、ソース電位 Vs の波形を点線で示すことで、両者を識別できるようにしている。

30

【0054】

< 前フレームの発光期間 >

図 4 のタイミング波形図において、時刻 t1 以前は、前のフレーム（フィールド）における有機 EL 素子 21 の発光期間となる。この前フレームの発光期間では、電源供給線 32 の電位 DS が第 1 電源電位（以下、「高電位」と記述する）Vccp にあり、また、書込みトランジスタ 23 が非導通状態にある。

【0055】

このとき、駆動トランジスタ 22 は飽和領域で動作するように設計されている。これにより、図 5 (A) に示すように、駆動トランジスタ 22 のゲート-ソース間電圧 Vgs に応じた駆動電流（ドレイン-ソース間電流）Ids が、電源供給線 32 から駆動トランジスタ 22 を通して有機 EL 素子 21 に供給される。よって、有機 EL 素子 21 が駆動電流 Ids の電流値に応じた輝度で発光する。

40

【0056】

< 閾値補正準備期間 >

時刻 t1 になると、線順次走査の新しいフレーム（現フレーム）に入る。そして、図 5 (B) に示すように、電源供給線 32 の電位 DS が高電位 Vccp から、信号線 33 の基準電位 Vofs に対して Vofs - Vth よりも十分に低い第 2 電源電位（以下、「低電位」と記述する）Vini に切り替わる。

【0057】

ここで、有機 EL 素子 21 の閾値電圧を Vthel、共通電源供給線 34 の電位（カソ

50

ード電位)を V_{cath} とする。このとき、低電位 V_{ini} を $V_{ini} < V_{thel} + V_{cath}$ とすると、駆動トランジスタ22のソース電位 V_s が低電位 V_{ini} にほぼ等しくなるために、有機EL素子21は逆バイアス状態となって消光する。

【0058】

次に、時刻 t_2 で走査線31の電位 W_S が低電位側から高電位側に遷移することで、図5(C)に示すように、書込みトランジスタ23が導通状態となる。このとき、信号出力回路60から信号線33に対して基準電位 V_{ofs} が供給されているために、駆動トランジスタ22のゲート電位 V_g が基準電位 V_{ofs} になる。また、駆動トランジスタ22のソース電位 V_s は、基準電位 V_{ofs} よりも十分に低い電位 V_{ini} にある。

【0059】

このとき、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} は $V_{ofs} - V_{ini}$ となる。ここで、 $V_{ofs} - V_{ini}$ が駆動トランジスタ22の閾値電圧 V_{th} よりも大きくないと、後述する閾値補正処理を行うことができないために、 $V_{ofs} - V_{ini} > V_{th}$ なる電位関係に設定する必要がある。

【0060】

このように、駆動トランジスタ22のゲート電位 V_g を基準電位 V_{ofs} に、ソース電位 V_s を低電位 V_{ini} にそれぞれ固定して(確定させて)初期化する処理が、後述する閾値補正処理を行う前の準備(閾値補正準備)の処理である。したがって、基準電位 V_{ofs} および低電位 V_{ini} が、駆動トランジスタ22のゲート電位 V_g およびソース電位 V_s の各初期化電位となる。

【0061】

< 閾値補正期間 >

次に、時刻 t_3 で、図5(D)に示すように、電源供給線32の電位 D_S が低電位 V_{ini} から高電位 V_{ccp} に切り替わると、駆動トランジスタ22のゲート電位 V_g が保たれた状態で閾値補正処理が開始される。すなわち、ゲート電位 V_g から駆動トランジスタ22の閾値電圧 V_{th} を減じた電位に向けて駆動トランジスタ22のソース電位 V_s が上昇を開始する。

【0062】

ここでは、便宜上、駆動トランジスタ22のゲート電極の初期化電位 V_{ofs} を基準として、当該初期化電位 V_{ofs} から駆動トランジスタ22の閾値電圧 V_{th} を減じた電位に向けてソース電位 V_s を変化させる処理を閾値補正処理と呼んでいる。この閾値補正処理が進むと、やがて、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が駆動トランジスタ22の閾値電圧 V_{th} に収束する。この閾値電圧 V_{th} に相当する電圧は保持容量24に保持される。

【0063】

なお、閾値補正処理を行う期間(閾値補正期間)において、電流が専ら保持容量24側に流れ、有機EL素子21側には流れないようにするために、有機EL素子21がカットオフ状態となるように共通電源供給線34の電位 V_{cath} を設定しておくこととする。

【0064】

次に、時刻 t_4 で走査線31の電位 W_S が低電位側に遷移することで、図6(A)に示すように、書込みトランジスタ23が非導通状態となる。このとき、駆動トランジスタ22のゲート電極が信号線33から電氣的に切り離されることによってフローティング状態になる。しかし、ゲート-ソース間電圧 V_{gs} が駆動トランジスタ22の閾値電圧 V_{th} に等しいために、当該駆動トランジスタ22はカットオフ状態にある。したがって、駆動トランジスタ22にドレイン-ソース間電流 I_{ds} は流れない。

【0065】

< 信号書込み & 移動度補正期間 >

次に、時刻 t_5 で、図6(B)に示すように、信号線33の電位が基準電位 V_{ofs} から映像信号の信号電圧 V_{sig} に切り替わる。続いて、時刻 t_6 で、走査線31の電位 W_S が高電位側に遷移することで、図6(C)に示すように、書込みトランジスタ23が導

10

20

30

40

50

通状態になって映像信号の信号電圧 V_{sig} をサンプリングして画素 20 内に書き込む。

【0066】

この書込みトランジスタ 23 による信号電圧 V_{sig} の書込みにより、駆動トランジスタ 22 のゲート電位 V_g が信号電圧 V_{sig} となる。そして、映像信号の信号電圧 V_{sig} による駆動トランジスタ 22 の駆動の際に、当該駆動トランジスタ 22 の閾値電圧 V_{th} が保持容量 24 に保持された閾値電圧 V_{th} に相当する電圧と相殺される。この閾値キャンセルの原理の詳細については後述する。

【0067】

このとき、有機 EL 素子 21 はカットオフ状態（ハイインピーダンス状態）にある。したがって、映像信号の信号電圧 V_{sig} に応じて電源供給線 32 から駆動トランジスタ 22 に流れる電流（ドレイン - ソース間電流 I_{ds} ）は有機 EL 素子 21 の等価容量 25 に流れ込み、当該等価容量 25 の充電が開始される。

【0068】

有機 EL 素子 21 の等価容量 25 の充電により、駆動トランジスタ 22 のソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきがキャンセルされており、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 22 の移動度 μ に依存したものとなる。

【0069】

ここで、映像信号の信号電圧 V_{sig} に対する保持容量 24 の保持電圧 V_{gs} の比率、即ち書込みゲイン G が 1（理想値）であると仮定する。すると、駆動トランジスタ 22 のソース電位 V_s が $V_{ofs} - V_{th} + V$ の電位まで上昇することで、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ となる。

【0070】

すなわち、駆動トランジスタ 22 のソース電位 V_s の上昇分 V は、保持容量 24 に保持された電圧（ $V_{sig} - V_{ofs} + V_{th}$ ）から差し引かれるように、換言すれば、保持容量 24 の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 V は負帰還の帰還量となる。

【0071】

このように、駆動トランジスタ 22 に流れるドレイン - ソース間電流 I_{ds} に応じた帰還量 V でゲート - ソース間電圧 V_{gs} に負帰還をかけることで、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。この打ち消す処理が、駆動トランジスタ 22 の移動度 μ の画素ごとのばらつきを補正する移動度補正処理である。

【0072】

より具体的には、駆動トランジスタ 22 のゲート電極に書き込まれる映像信号の信号振幅 V_{in} （ $= V_{sig} - V_{ofs}$ ）が高いほどドレイン - ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量 V の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正処理が行われる。

【0073】

また、映像信号の信号振幅 V_{in} を一定とした場合、駆動トランジスタ 22 の移動度 μ が大きいほど負帰還の帰還量 V の絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。したがって、負帰還の帰還量 V は移動度補正の補正量とも言える。移動度補正の原理の詳細については後述する。

【0074】

<発光期間>

次に、時刻 t_7 で走査線 31 の電位 W_S が低電位側に遷移することで、図 6（D）に示すように、書込みトランジスタ 23 が非導通状態となる。これにより、駆動トランジスタ 22 のゲート電極は、信号線 33 から電氣的に切り離されるためにフローティング状態になる。

【0075】

10

20

30

40

50

ここで、駆動トランジスタ 22 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 22 のゲート - ソース間に保持容量 24 が接続されていることにより、駆動トランジスタ 22 のソース電位 V_s の変動に連動してゲート電位 V_g も変動する。このように、駆動トランジスタ 22 のゲート電位 V_g がソース電位 V_s の変動に連動して変動する動作が、保持容量 24 によるブートストラップ動作である。

【0076】

駆動トランジスタ 22 のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} が有機 EL 素子 21 に流れ始めることにより、当該電流 I_{ds} に応じて有機 EL 素子 21 のアノード電位が上昇する。

【0077】

そして、有機 EL 素子 21 のアノード電位が $V_{thel} + V_{cath}$ を越えると、有機 EL 素子 21 に駆動電流が流れ始めるため有機 EL 素子 21 が発光を開始する。また、有機 EL 素子 21 のアノード電位の上昇は、即ち駆動トランジスタ 22 のソース電位 V_s の上昇に他ならない。駆動トランジスタ 22 のソース電位 V_s が上昇すると、保持容量 24 のブートストラップ動作により、駆動トランジスタ 22 のゲート電位 V_g も連動して上昇する。

【0078】

このとき、ブートストラップゲインが 1 (理想値) であると仮定した場合、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ で一定に保持される。そして、時刻 t_8 で信号線 33 の電位が映像信号の信号電圧 V_{sig} から基準電位 V_{ofs} に切り替わる。

【0079】

以上説明した一連の回路動作において、閾値補正準備、閾値補正、信号電圧 V_{sig} の書込み (信号書込み) および移動度補正の各処理動作は、1 水平走査期間 (1H) において実行される。また、信号書込みおよび移動度補正の各処理動作は、時刻 $t_6 - t_7$ の期間において並行して実行される。

【0080】

(閾値キャンセルの原理)

ここで、駆動トランジスタ 22 の閾値キャンセル (即ち、閾値補正) の原理について説明する。駆動トランジスタ 22 は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機 EL 素子 21 には駆動トランジスタ 22 から、次式 (1) で与えられる一定のドレイン - ソース間電流 (駆動電流) I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、 W は駆動トランジスタ 22 のチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量である。

【0081】

図 7 に、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} 対ゲート - ソース間電圧 V_{gs} の特性を示す。

【0082】

この特性図に示すように、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきに対するキャンセル処理を行わないと、閾値電圧 V_{th} が V_{th1} のとき、ゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds1} になる。

【0083】

これに対して、閾値電圧 V_{th} が V_{th2} ($V_{th2} > V_{th1}$) のとき、同じゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds2} ($I_{ds2} < I_{ds1}$) になる。すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} が変動すると、ゲート - ソース間電圧 V_{gs} が一定であってもドレイン - ソース間電流 I_{ds} が変動する。

【0084】

一方、上記構成の画素 (画素回路) 20 では、先述したように、発光時の駆動トランジ

10

20

30

40

50

スタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ である。したがって、これを式 (1) に代入すると、ドレイン - ソース間電流 I_{ds} は、次式 (2) で表される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - V)^2 \dots \dots (2)$$

【0085】

すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} の項がキャンセルされており、駆動トランジスタ 22 から有機 EL 素子 21 に供給されるドレイン - ソース間電流 I_{ds} は、駆動トランジスタ 22 の閾値電圧 V_{th} に依存しない。その結果、駆動トランジスタ 22 の製造プロセスのばらつきや経時変化により、駆動トランジスタ 22 の閾値電圧 V_{th} が画素ごとに変動したとしても、ドレイン - ソース間電流 I_{ds} が変動しないために、有機 EL 素子 21 の発光輝度を一定に保つことができる。

10

【0086】

(移動度補正の原理)

次に、駆動トランジスタ 22 の移動度補正の原理について説明する。図 8 に、駆動トランジスタ 22 の移動度 μ が相対的に大きい画素 A と、駆動トランジスタ 22 の移動度 μ が相対的に小さい画素 B とを比較した状態で特性カーブを示す。駆動トランジスタ 22 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度 μ がばらつくことは避けられない。

20

【0087】

画素 A と画素 B で移動度 μ にばらつきがある状態で、駆動トランジスタ 22 のゲート電極に例えば両画素 A, B に同レベルの信号振幅 $V_{in} (= V_{sig} - V_{ofs})$ を書き込んだ場合を考える。この場合、何ら移動度 μ の補正を行わないと、移動度 μ の大きい画素 A に流れるドレイン - ソース間電流 I_{ds1} と移動度 μ の小さい画素 B に流れるドレイン - ソース間電流 I_{ds2} との間には大きな差が生じてしまう。このように、移動度 μ の画素ごとのばらつきに起因してドレイン - ソース間電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォームリティが損なわれる。

【0088】

ここで、先述した式 (1) のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン - ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 V は移動度 μ が大きくなるほど大きくなる。図 8 に示すように、移動度 μ の大きな画素 A の帰還量 V_1 は、移動度の小さな画素 B の帰還量 V_2 に比べて大きい。

30

【0089】

そこで、移動度補正処理によって駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} に応じた帰還量 V でゲート - ソース間電圧 V_{gs} に負帰還をかけることにより、移動度 μ が大きいほど負帰還が大きくかかることになる。その結果、移動度 μ の画素ごとのばらつきを抑制することができる。

【0090】

具体的には、移動度 μ の大きな画素 A で帰還量 V_1 の補正をかけると、ドレイン - ソース間電流 I_{ds} は I_{ds1} から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素 B の帰還量 V_2 は小さいために、ドレイン - ソース間電流 I_{ds} は I_{ds2} から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素 A のドレイン - ソース間電流 I_{ds1} と画素 B のドレイン - ソース間電流 I_{ds2} とはほぼ等しくなるために、移動度 μ の画素ごとのばらつきが補正される。

40

【0091】

以上をまとめると、移動度 μ の異なる画素 A と画素 B があつた場合、移動度 μ の大きい画素 A の帰還量 V_1 は移動度 μ の小さい画素 B の帰還量 V_2 に比べて大きくなる。つまり、移動度 μ が大きい画素ほど帰還量 V が大きく、ドレイン - ソース間電流 I_{ds} の減少量が大きくなる。

【0092】

50

したがって、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} に応じた帰還量 V で、ゲート - ソース間電圧 V_{gs} に負帰還をかけることで、移動度 μ の異なる画素のドレイン - ソース間電流 I_{ds} の電流値が均一化される。その結果、移動度 μ の画素ごとのばらつきを補正することができる。すなわち、駆動トランジスタ 22 に流れる電流（ドレイン - ソース間電流 I_{ds} ）に応じた帰還量 V で、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} に負帰還をかける処理が移動度補正処理となる。

【0093】

ここで、図 2 に示した画素（画素回路）20 において、閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタ 22 のドレイン・ソース間電流 I_{ds} との関係について図 9 を用いて説明する。

10

【0094】

図 9 において、(A) は閾値補正および移動度補正を共に行わない場合、(B) は移動度補正を行わず、閾値補正のみを行った場合、(C) は閾値補正および移動度補正を共に行った場合をそれぞれ示している。図 9 (A) に示すように、閾値補正および移動度補正を共に行わない場合には、閾値電圧 V_{th} および移動度 μ の画素 A, B ごとのばらつきに起因してドレイン - ソース間電流 I_{ds} に画素 A, B 間で大きな差が生じることになる。

【0095】

これに対し、閾値補正のみを行った場合は、図 9 (B) に示すように、ドレイン - ソース間電流 I_{ds} のばらつきをある程度低減できるものの、移動度 μ の画素 A, B ごとのばらつきに起因する画素 A, B 間でのドレイン - ソース間電流 I_{ds} の差は残る。そして、閾値補正および移動度補正を共に行うことで、図 9 (C) に示すように、閾値電圧 V_{th} および移動度 μ の画素 A, B ごとのばらつきに起因する画素 A, B 間でのドレイン - ソース間電流 I_{ds} の差をほぼ無くすることができる。したがって、どの階調においても有機 EL 素子 21 の輝度ばらつきは発生せず、良好な画質の表示画像を得ることができる。

20

【0096】

また、図 2 に示した画素 20 は、閾値補正および移動度補正の各補正機能に加えて、先述した保持容量 24 によるブートストラップ動作の機能を備えていることで、次のような作用効果を得ることができる。

【0097】

すなわち、有機 EL 素子 21 の I - V 特性の経時変化に伴って駆動トランジスタ 22 のソース電位 V_s が変化したとしても、保持容量 24 によるブートストラップ動作により、駆動トランジスタ 22 のゲート - ソース間電位 V_{gs} を一定に維持することができる。したがって、有機 EL 素子 21 に流れる電流は変化せず一定となる。その結果、有機 EL 素子 21 の発光輝度も一定に保たれるために、有機 EL 素子 21 の I - V 特性が経時変化したとしても、それに伴う輝度劣化のない画像表示を実現できる。

30

【0098】

（非発光時に有機 EL 素子に与えられるストレスについて）

先述した回路動作の説明から明らかなように、有機 EL 素子 21 の消灯（非発光）期間（ $t_1 - t_2$ ）では、電源供給線 32 の電位 D_S を低電位 V_{ini} に切り替えて有機 EL 素子 21 を逆バイアス状態にするようにしている。有機 EL 素子 21 を逆バイアス状態にすることで、有機 EL 素子 21 が発光しないため確実に消灯状態となる。

40

【0099】

しかしながら、有機 EL 素子 21 を逆バイアス状態にすると、当該有機 EL 素子 21 にストレスがかかる。そして、前にも述べたように、有機 EL 素子 21 にストレスを与える時間が長いと、当該ストレスに起因して有機 EL 素子 21 の特性が変化したり、滅点となったりして、表示画像の画質を損ねる一因となる。ここに、滅点とは、有機 EL 素子 21 が点灯しない点欠陥を言う。

【0100】

〔実施形態〕

そこで、本実施形態では、有機 EL 素子 21 の非発光（消灯）期間の一部で当該有機 E

50

L素子21にストレスを与えない駆動を実現する。この駆動は、電源供給部としての電源供給走査回路50による制御の下に実行される。以下に、有機EL素子21にストレスを与えない駆動法について具体的に説明する。

【0101】

図10は、本実施形態に係る有機EL表示装置の回路動作の説明に供するタイミング波形図である。このタイミング波形図に示すように、電源供給走査回路50は、有機EL素子21の非発光期間の一部で電源供給線32の電源電位DSを有機EL素子21のカソード電位Vcathに設定するようにする。ここで言う有機EL素子21の非発光期間の一部とは、駆動トランジスタ22の電源供給線32側と反対側の電極の電位、即ちソース電位Vsを低電位Viniに初期化するまでの期間、即ち図10におけるt1 - t10の期間である。

10

【0102】

このように、有機EL素子21の非発光期間の一部で電源供給線32の電位DSを有機EL素子21のカソード電位Vcathに設定することで、駆動トランジスタ22の電源供給線32側と反対側の電極の電位、即ちソース電位Vsもカソード電位Vcathになる。これにより、有機EL素子21のアノード - カソード間の電圧が0Vになる。

【0103】

このとき、有機EL素子21には逆バイアスがかけられないために、電源電位DSをカソード電位Vcathに設定しない場合に比べて逆バイアス期間を大幅に短縮できる。これにより、逆バイアスがかけられることによって有機EL素子21に与えられるストレスを軽減できる。その結果、逆バイアスがかけられることによるストレスに起因して、有機EL素子21の特性が変化したり、滅点となったりするのを抑えることができるため、画質の向上を図ることができる。

20

【0104】

(電源供給走査回路)

次に、有機EL素子21の非発光期間の一部で電源供給線32の電源電位DSを有機EL素子21のカソード電位Vcathに設定する電源供給走査回路50の具体的な構成について説明する。

【0105】

図11は、電源供給走査回路50の具体的な構成例を示す構成図である。本例に係る電源供給走査回路50は、第一シフトレジスタ51、第二シフトレジスタ52および波形整形論理回路53を有し、電源供給線32の電源電位DSとして、3値の電位Vccp, Vcath, Viniを設定可能な構成となっている。

30

【0106】

第一シフトレジスタ51は、書込み走査回路40(図1参照)による垂直走査(書込み走査)に同期して、電源電位DSを切り替えるための走査パルスSPを出力する。第二シフトレジスタ52は、第一シフトレジスタ51による走査に同期して、電源供給線32への電源電位DSの供給停止の制御を行うための制御パルスCPを出力する。波形整形論理回路53は、走査パルスSPおよび制御パルスCPに基づいて3値の電位Vccp, Vcath, Viniを適宜出力する。

40

【0107】

図12は、波形整形論理回路53の構成の一例を示す回路図である。本例に係る波形整形論理回路53は、2つのNAND回路521, 522と、1つのAND回路523と、3つのインバータ524, 525, 526と、2つのPchMOSトランジスタ527, 528と、1つのNchMOSトランジスタ529とから構成されている。

【0108】

NAND回路521は、入力端子in1を介して入力される走査パルスSPを一方の入力とし、入力端子in2を介して入力され、インバータ525で論理反転される制御パルスCPを他方の入力とする。NAND回路522は、入力端子in1を介して入力され、インバータ524で論理反転される走査パルスSPを一方の入力とし、入力端子in2

50

を介して入力される制御パルスCPを他方の入力とする。AND回路523は、入力端子in1を介して入力され、インバータ524で論理反転される走査パルスSPを一方の入力とし、入力端子in2を介して入力され、インバータ526で論理反転される制御パルスCPを他方の入力とする。

【0109】

PchMOSトランジスタ527は、NAND回路521の出力をゲート入力とし、当該出力がLowレベルのときに導通状態となって電源電位VDDを高電位Vccpとして出力端子outを通して出力する。PchMOSトランジスタ528は、NAND回路522の出力をゲート入力とし、当該出力がLowレベルのときに導通状態となってカソード電位Vcathを電源電位DSとして出力端子outを通して出力する。NchMOSトランジスタ527は、AND回路523の出力をゲート入力とし、当該出力がHighレベルのときに導通状態となって電源電位VSSを低電位Viniとして出力端子outを通して出力する。

10

【0110】

図13に、電源供給線32の電源電位DS、走査パルスSPおよび制御パルスCPのタイミング関係を示す。

【0111】

走査パルスSPがHighレベルで、制御パルスCPがLowレベルのとき、即ち時刻t1までと時刻t2以降は、PchMOSトランジスタ527が導通状態となり、正側電源電位VDDを高電位Vccpとして電源供給線32に供給する。走査パルスSPがLowレベルで、制御パルスCPがHighレベルのとき、即ち時刻t1から時刻t10までの期間は、PchMOSトランジスタ528が導通状態となり、カソード電位Vcathを電源供給線32の電位DSとして設定する。走査パルスSPおよび制御パルスCPが共にLowレベルのとき、即ち時刻t10から時刻t2までの期間は、NchMOSトランジスタ529が導通状態となり、負側電源電位VSSを低電位Viniとして電源供給線32に供給する。

20

【0112】

上記構成の電源供給走査回路50を用いることにより、画素20に特別な制御素子を追加しなくても、有機EL素子21の非発光期間の一部で当該有機EL素子21に逆バイアスがかからないようにすることができる。

30

【0113】

なお、電源供給走査回路50としては、上記構成のものに限られるものではなく、有機EL素子21の非発光期間の一部で電源供給線32の電位DSとして有機EL素子21のカソード電位Vcathを設定できる構成のものであればその構成は問わない。

【0114】

[変形例]

上記実施形態では、有機EL素子21の駆動回路が、基本的に、駆動トランジスタ22および書込みトランジスタ23の2つのトランジスタからなる画素構成の場合を例に挙げて説明したが、本発明はこの画素構成への適用に限られるものではない。例えば、駆動トランジスタ22のゲート電極に基準電位Vofsを選択的に書き込むスイッチングトランジスタを有する画素構成など、種々の画素構成のものが考えられる。

40

【0115】

また、上記実施形態では、画素20の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。具体的には、本発明は、無機EL素子、LED素子、半導体レーザー素子など、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子(発光素子)を用いた表示装置全般に対して適用可能である。

【0116】

[適用例]

以上説明した本発明による表示装置は、電子機器に入力された映像信号、若しくは、電

50

子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。一例として、図14～図18に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなどの表示装置に適用することが可能である。

【0117】

このように、あらゆる分野の電子機器の表示装置として本発明による表示装置を用いることにより、各種の電子機器において高品位な画像表示を行うことができる。すなわち、先述した実施形態の説明から明らかなように、本発明による表示装置は、逆バイアスが加かることによって電気光学素子に与えられるストレスを軽減できることで、当該ストレスに起因して有機EL素子の特性が変化したり、滅点となったりするのを抑えることができるため、高品質な表示画像を得ることができる。

10

【0118】

本発明による表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部30に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。なお、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0119】

以下に、本発明が適用される電子機器の具体例について説明する。

20

【0120】

図14は、本発明が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明による表示装置を用いることにより作成される。

【0121】

図15は、本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本発明による表示装置を用いることにより作製される。

30

【0122】

図16は、本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本発明による表示装置を用いることにより作製される。

【0123】

図17は、本発明が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本発明による表示装置を用いることにより作製される。

40

【0124】

図18は、本発明が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用例に係る携帯電話機は、上側筐体141、下側筐体142、連結部（ここではヒンジ部）143、ディスプレイ144、サブディスプレイ145、ピクチャーライト146、カメラ147等を含んでいる。そして、ディスプレイ144やサブディスプレイ145として本発明による表示装置を用いることにより本適用例に係る携帯電話機が作製される。

【図面の簡単な説明】

50

【 0 1 2 5 】

【図 1】本発明が適用される有機 E L 表示装置の構成の概略を示すシステム構成図である。

【図 2】本適用例に係る有機 E L 表示装置の画素の回路構成を示す回路図である。

【図 3】画素の断面構造の一例を示す断面図である。

【図 4】本適用例に係る有機 E L 表示装置の回路動作の説明に供するタイミング波形図である。

【図 5】本適用例に係る有機 E L 表示装置の回路動作の説明図（その 1）である。

【図 6】本適用例に係る有機 E L 表示装置の回路動作の説明図（その 2）である。

【図 7】駆動トランジスタの閾値電圧 V_{th} のばらつきに起因する課題の説明に供する特性図である。

10

【図 8】駆動トランジスタの移動度 μ のばらつきに起因する課題の説明に供する特性図である。

【図 9】閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタのドレイン・ソース間電流 I_{ds} との関係の説明に供する特性図である。

【図 10】本実施形態に係る有機 E L 表示装置の回路動作の説明に供するタイミング波形図である。

【図 11】電源供給走査回路の具体的な構成例を示す構成図である。

【図 12】電源供給走査回路における波形整形論理回路の構成の一例を示す回路図である。

20

【図 13】電源供給線の電源電位 D_S 、走査パルス S_P および制御パルス C_P のタイミング関係を示すタイミング波形図である。

【図 14】本発明が適用されるテレビジョンセットの外観を示す斜視図である。

【図 15】本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A) は表側から見た斜視図、(B) は裏側から見た斜視図である。

【図 16】本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図 17】本発明が適用されるビデオカメラの外観を示す斜視図である。

【図 18】本発明が適用される携帯電話機を示す外観図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

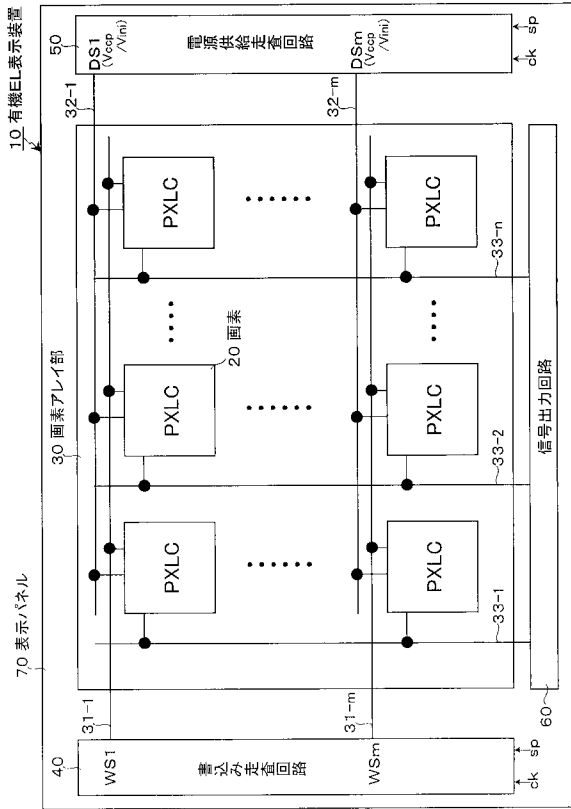
30

【符号の説明】

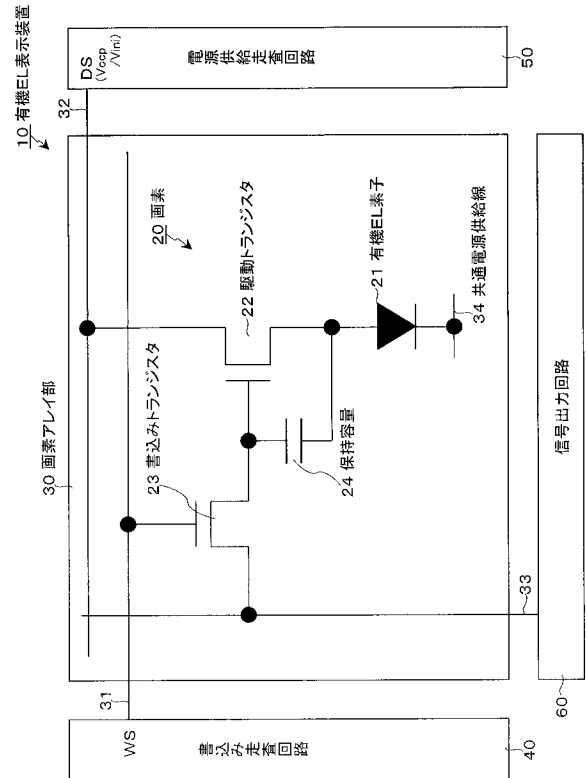
【 0 1 2 6 】

10 ... 有機 E L 表示装置、20 ... 画素、21 ... 有機 E L 素子、22 ... 駆動トランジスタ、23 ... 書込みトランジスタ、24 ... 保持容量、30 ... 画素アレイ部、31 (31-1 ~ 31-m) ... 走査線、32 (32-1 ~ 32-m) ... 電源供給線、33 (33-1 ~ 33-n) ... 信号線、34 ... 共通電源供給線、40 ... 書込み走査回路、50 ... 電源供給走査回路、51 ... 第一シフトレジスタ、52 ... 第二シフトレジスタ、53 ... 波形整形論理回路、60 ... 信号出力回路、70 ... 表示パネル

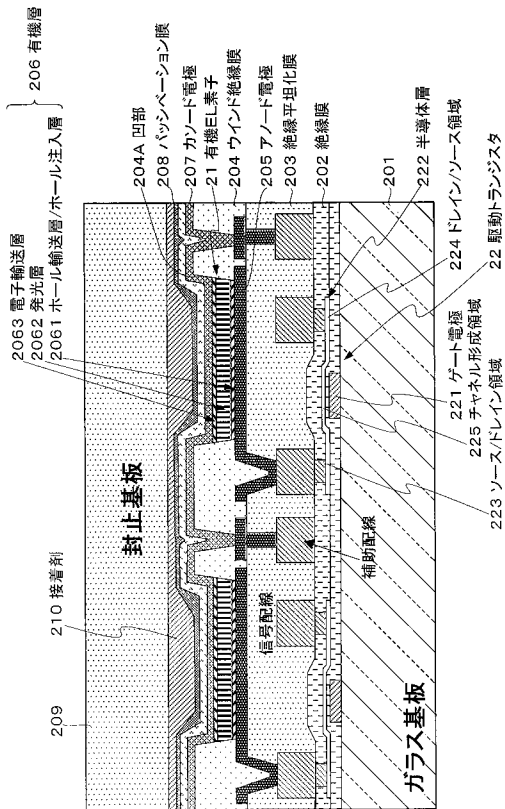
【 図 1 】



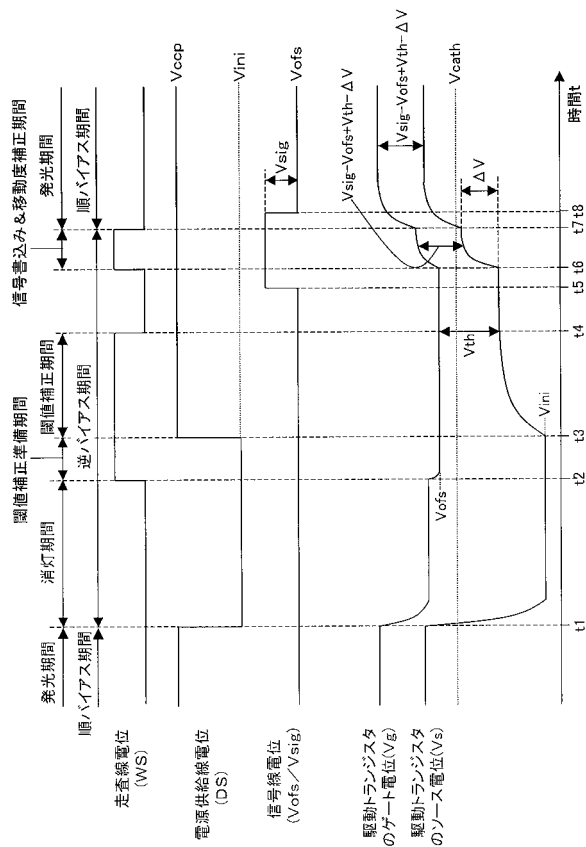
【 図 2 】



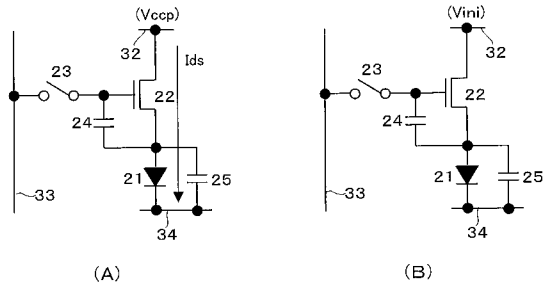
【 図 3 】



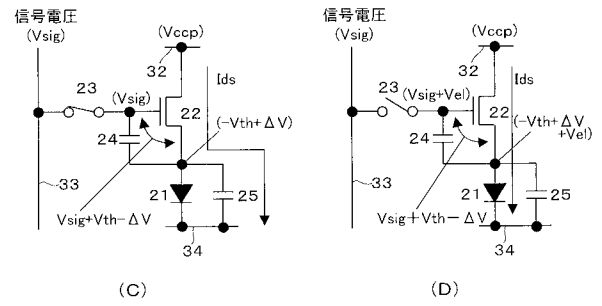
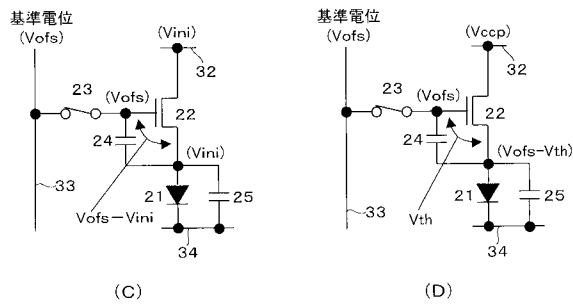
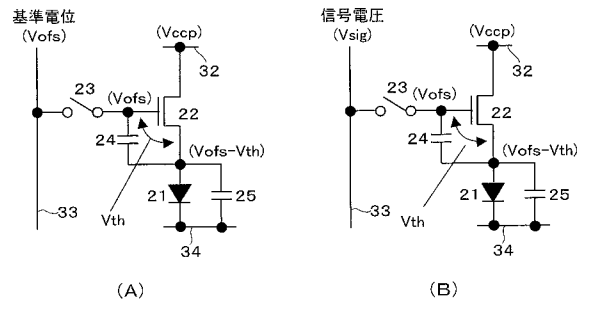
【 図 4 】



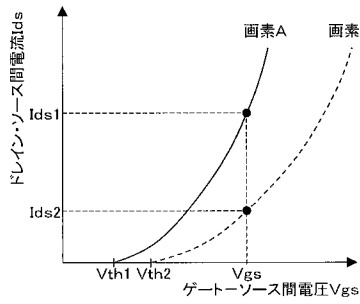
【 図 5 】



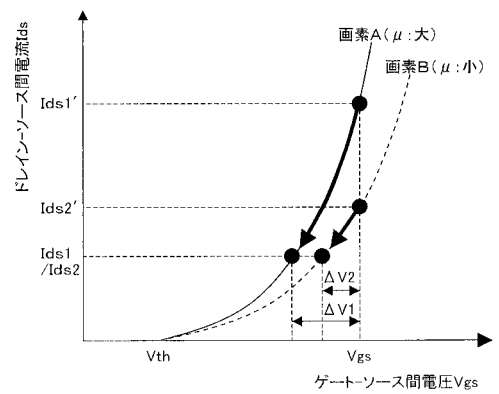
【 図 6 】



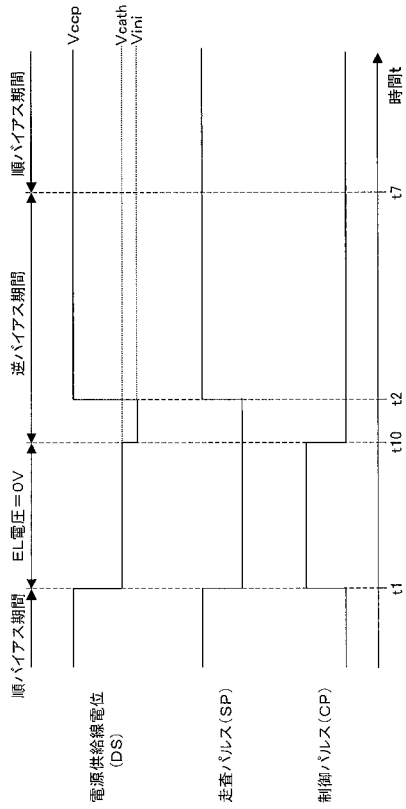
【 図 7 】



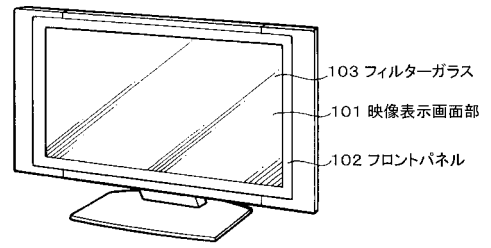
【 図 8 】



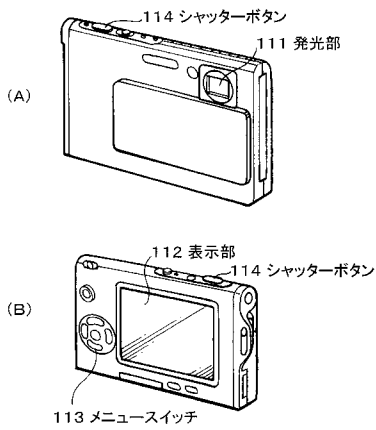
【 図 1 3 】



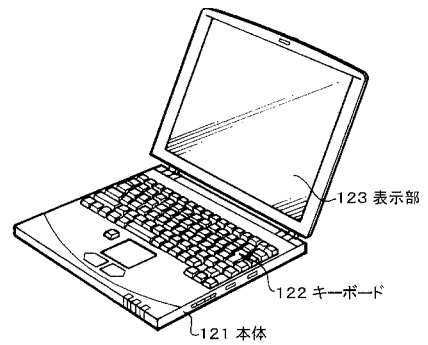
【 図 1 4 】



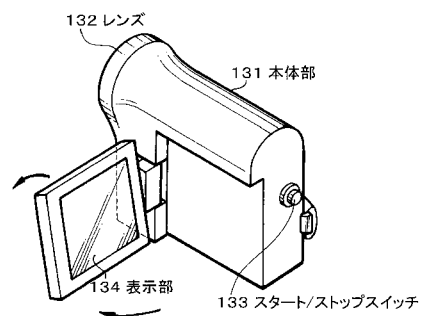
【 図 1 5 】



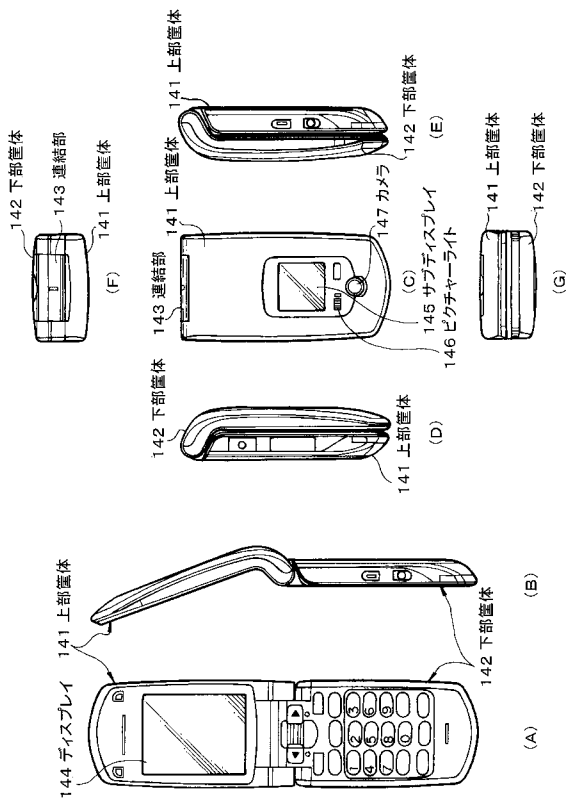
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 G
H 0 5 B 33/14 A

Fターム(参考) 5C080 AA06 BB05 DD05 DD22 DD29 EE29 FF03 FF07 FF11 HH09
JJ02 JJ03 JJ04 JJ05 JJ06 KK01 KK07 KK43 KK47

专利名称(译)	显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	JP2009271337A	公开(公告)日	2009-11-19
申请号	JP2008122000	申请日	2008-05-08
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	富田昌嗣 浅野慎		
发明人	富田 昌嗣 浅野 慎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0465 G09G2300/0842 G09G2300/0866 G09G2310/0256 G09G2320/043 G09G2330/02 G09G2330/028		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.670.K G09G3/20.621.K G09G3/20.612.G G09G3/20.622.G H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC26 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB36 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA38 5C380/BA39 5C380/BB01 5C380/BD09 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CF07 5C380/CF32 5C380/DA06 5C380/DA47 5C380/HA11		
代理人(译)	船桥 国则		
其他公开文献	JP4640443B2		
外部链接	Espacenet		

摘要(译)

当电光元件的断开的反向偏置，以便能够减少通过采取施加于电光元件的应力。在有机EL元件的非发光周期的一部分的电源线通过设置在有机EL元件的阴极电位，对置电极的电位与所述驱动晶体管的所述电源线侧的电源电位DS它成为有机EL元件的阴极电位。因此，有机EL元件的阳极 - 阴极之间的电压变到0V，而且由于一些非发光时段的不施加反向偏压施加到有机EL元件中，反向与电源电位DS不设置到阴极电势Vcath的情况相比，偏差期可以大大缩短。其结果是，能够减少由反向偏置，由于由一反向偏压被施加应力，的有机EL元件的变化特性，或者以或暗点施加到有机EL元件的应力可以抑制。 .The 10

