

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
H 0 5 B 33/08		H 0 5 B 33/08	3 K 0 0 7
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	612		
	670		
3/30		3/30	H
		審査請求 未請求	請求項の数 4 O L (全 7 数)

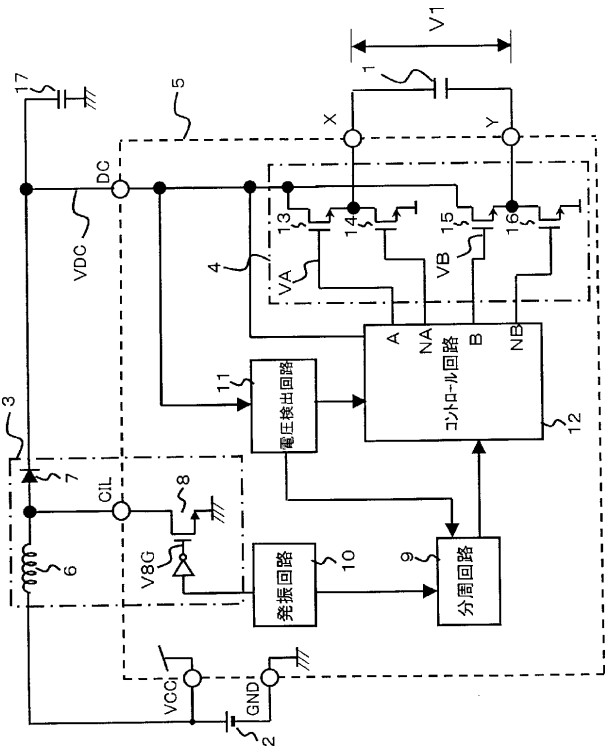
(21)出願番号	特願2001－114470(P2001－114470)	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成13年4月12日(2001.4.12)	(72)発明者	國松 崇 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74)代理人	100095555 弁理士 池内 寛幸 (外 5 名)
		Fターム (参考)	3K007 AB05 AB17 GA01 GA03 GA04 5C080 AA06 DD06 DD09 DD19 HH21 JJ02 JJ04 JJ05

(54)【発明の名称】 E L表示装置

(57)【要約】

【課題】 E L表示装置において、E L素子の大きさを変更する場合や接続が開放状態に置かれた場合に、内部のトランジスタ等の素子破壊を防止し、かつ電源電圧が低下した場合や消費電流を低減した場合に、E L素子のちらつきや不点灯を防止する。

【解決手段】 E L素子1に印加される昇圧電圧VDCが所定の設定電圧以上になった場合、電圧検出回路11が、分周回路9によって設定された極性反転周期にかかわらず、コントロール回路12にE L素子への印加電圧の極性反転を行わせる。また、E L素子1に印加される昇圧電圧VDCが所定の設定電圧未満の場合、分周回路9によって、必ずE L素子への印加電圧の極性が反転される。



【特許請求の範囲】

【請求項1】 パルス信号に応じて電源電圧を昇圧して昇圧電圧を生成する昇圧回路と、前記昇圧回路からの昇圧電圧を受けて、EL素子に印加される昇圧電圧の極性を反転するスイッチング回路と、前記スイッチング回路による昇圧電圧の極性反転タイミングを制御するコントロール回路と、前記昇圧回路に対してパルス信号を出力する発振回路と、前記スイッチング回路による昇圧電圧の極性反転周期を設定するために、前記発振回路からのパルス信号を分周して、前記コントロール回路に出力する分周回路と、前記EL素子に印加される昇圧電圧を所定の設定電圧と比較し、比較結果を前記コントロール回路及び前記分周回路に出力する電圧検出回路とを備えたことを特徴とするEL表示装置。

【請求項2】 前記電圧検出回路は、昇圧電圧が前記所定の設定電圧以上になった場合、前記分周回路によって設定された前記極性反転周期にかかわらず、前記コントロール回路に、前記EL素子への印加電圧の極性反転を行わせることを特徴とする請求項1記載のEL表示装置。

【請求項3】 前記所定の設定電圧は、前記昇圧回路及び前記スイッチング回路を構成するスイッチング素子の耐圧よりも低く設定されることを特徴とする請求項1または2記載のEL表示装置。

【請求項4】 前記昇圧回路は、一端に電源電圧が供給されるコイルと、前記コイルの他端にアノードが接続され、カソードから前記昇圧電圧を前記スイッチング回路に供給するダイオードと、前記発振回路からのパルス信号を受けて、前記コイルに蓄積されたエネルギーをスイッチングする昇圧用スイッチ素子とを含むことを特徴とする請求項1記載のEL表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、EL素子の駆動回路で構成されたEL表示装置に関し、特に昇圧コイル等を外付けした半導体装置を用いたEL表示装置に関する。

【0002】

【従来の技術】まず、従来のEL駆動回路によるEL表示装置について説明する。図4は、従来のEL駆動回路によるEL表示装置の構成を示す回路ブロック図である。図4において、53は、直流電源52を昇圧してEL素子51に印加する電圧を生成する昇圧信号生成手段としての昇圧回路、55は半導体基板上に集積化される領域を示している。

【0003】昇圧回路53は、一端が直流電源52に接

続されたコイル56と、アノードがコイル56の他端に接続され、カソードはスイッチング回路54が接続されるDC端子(図4中のDC)に接続され、コイル56に対して逆方向の電圧が印加されるのを阻止するためのダイオード57と、ソース電極が接地され、主電極としてのドレイン電極がコイル56とダイオード57の共通接続部(図4中CIL)に接続されたNチャネルMOSFETよりなる昇圧用トランジスタ58とから構成されている。

【0004】67はコンデンサであり、EL素子51の発光輝度を高くするために昇圧回路3の出力端に接続される。また、コンデンサ67は、昇圧用トランジスタ8のスイッチング周期と同期したノイズも低減する。

【0005】60は、昇圧用トランジスタ58のスイッチの周波数を決定している発振回路、59は、発振回路60の出力周波数を分周し、スイッチング回路54に出力するEL素子51への印加電圧の極性を反転させるタイミングの周波数を決める分周回路である。

【0006】スイッチング回路54は、高耐圧NチャネルMOSFETからなり、EL素子51に対して昇圧電圧で充電を行なう極性反転用トランジスタ63、65、及びEL素子51に対する放電用の極性反転用トランジスタ64、66から構成される。また、各極性反転用トランジスタ63、64、65、66のゲート電極を制御する信号は分周回路59からの出力信号で決定される。また、極性反転用トランジスタ63、64と、極性反転用トランジスタ65、66とのゲート電極にそれぞれ印加される信号の極性を互いに反転させるために反転器62がある。

【0007】極性反転用トランジスタ63と64のゲート電圧は逆相で動作し、極性反転用トランジスタ63のゲート電圧は、極性反転用トランジスタ66のゲート電圧と同相であり、極性反転用トランジスタ64のゲート電圧は、極性反転用トランジスタ65と同相で動作する構成である。

【0008】次に、図4の回路構成による動作について、図5のタイミング図を参照して説明する。昇圧用トランジスタ58のゲート電圧の周波数は、発振回路60で決定され、該ゲート電圧V58Gの時間変化を図5に示す。

【0009】図5において、Tはゲート電圧V58Gの周期を示す。また、EL素子51に印加される電圧V51の極性反転の周波数(例えば、400Hz程度)は分周回路59により決定される。例えば、分周回路59を16分周する構成にした場合には、EL素子51への印加電圧V51の周期は $16 \times T$ となる。

【0010】まず、 $t = 0 \sim 8 \times T$ の期間(図中の期間a)では、極性反転用トランジスタ63のゲート電圧V63はハイレベルであるため、極性反転用トランジスタ63、66はオン、極性反転用トランジスタ64、65

はオフとなる。このとき、EL素子51の端子名を図4に示すようにX、Yとすると、端子Y側がGNDとなり、端子X側が、コイル56と昇圧用トランジスタ58により、例えば50～80V程度の電圧VDCにまで昇圧される。図5において、EL素子51への印加電圧（以下、EL電圧と略称する）V51はEL素子51の端子Y側を基準としている。

【0011】次に、 $t = 8 \times T \sim 16 \times T$ の期間（図中の期間b）では、極性反転用トランジスタ65のゲートに印加される反転器62の出力電圧V65はハイレベルであるため、極性反転用トランジスタ64、65はオン、極性反転用トランジスタ63、66はオフとなる。このとき昇圧されたEL電圧V51は、極性反転用トランジスタ64により放電され、期間aとは逆に、EL素子51の端子X側がGNDとなり、端子Y側が昇圧される。

【0012】このように、従来のEL表示装置は、分周回路59で決定される一定周期によりEL素子51に対する印加電圧を昇圧し、且つ極性を反転させるEL駆動回路で構成されている。

【0013】また、他の従来例として、特開平10-79296号公報に開示されているEL表示装置は、EL素子に出力される昇圧信号を検出する電圧検出回路を備え、電圧検出回路からの出力信号によりEL素子への印加電圧の極性を反転させてEL素子に昇圧信号を供給している。

【0014】

【発明が解決しようとする課題】しかしながら、前記従来のEL表示装置の構成では、一定周期でEL素子への印加電圧の極性を反転しているために、以下の問題がある。

【0015】まず、第1として、EL素子を交換する場合やEL素子の接続が何らかの理由で外れた場合には、スイッチ素子の容量よりも圧倒的に大きな容量が失われ、容量と電圧とは比例するために、高耐圧トランジスタで構成される各スイッチ素子のドレイン電圧が該トランジスタの耐圧を越える程に上昇するため、該トランジスタが破壊してしまうという問題を有している。

【0016】すなわち、EL素子を交換する場合やEL素子の接続が何らかの理由で外れた場合には、負荷として、図4において、高耐圧NチャンネルMOS型トランジスタ58、63～66のドレイン容量のみとなり、該容量値が数pF～数10pFであって、EL素子51の約1000pF以上の容量値と比べると極端に小さいので、コイル56によって昇圧される印加電圧により、各高耐圧NチャンネルMOS型トランジスタ58、63～66のドレイン電圧がそのドレイン耐圧以上まで昇圧される。つまり、高耐圧NチャンネルMOS型トランジスタのドレインにドレイン耐圧以上の電圧が印加される状態で動作する可能性がある。

【0017】第2に、使用するEL素子の大きさに応じて周波数条件を変更する必要があるという問題である。例えば、面積が50cm²のEL素子から10cm²のEL素子に変更した場合に、同じ周波数条件で使用すると、面積が50cm²のEL素子への印加電圧は、高耐圧NチャンネルMOS型トランジスタのドレイン耐圧以下であっても、面積が10cm²のEL素子では、EL素子の容量値が1/5になるため印加電圧はさらに高電圧になり、高耐圧NチャンネルMOS型トランジスタのドレイン耐圧を越える場合がある。

【0018】さらに、特開平10-79296号公報に開示されているEL表示装置では、上記2つの問題は解決できるが、別の問題がある。すなわち、電源電圧が低下した場合や、消費電流を低減するために大きなインダクタンスのコイルを使用した場合には、コイルで生成される昇圧エネルギーが低下するため、昇圧回路で生成された昇圧電圧が電圧検出回路の検出電圧に達しなくなり、EL素子への印加電圧の極性が反転せずに、EL素子がちらついたり、点灯しなくなる。

【0019】本発明は、EL素子の大きさを変更する場合や、接続が開放状態に置かれた場合における内部のトランジスタ等の素子の破壊を防止することを目的とし、さらに、電源電圧が低下した場合や消費電流を低減した場合に、EL素子のちらつきや不点灯を防止することを目的とする。

【0020】

【課題を解決するための手段】前記の目的を達成するため、本発明に係るEL表示装置は、パルス信号に応じて電源電圧を昇圧して昇圧電圧を生成する昇圧回路と、昇圧回路からの昇圧電圧を受けて、EL素子に印加される昇圧電圧の極性を反転するスイッチング回路と、前記スイッチング回路による昇圧電圧の極性反転タイミングを制御するコントロール回路と、昇圧回路に対してパルス信号を出力する発振回路と、スイッチング回路による昇圧電圧の極性反転周期を設定するために、発振回路からのパルス信号を分周して、コントロール回路に出力する分周回路と、EL素子に印加される昇圧電圧を所定の設定電圧と比較し、比較結果をコントロール回路及び分周回路に出力する電圧検出回路とを備えたことを特徴とする。

【0021】このEL表示装置において、電圧検出回路は、昇圧電圧が所定の設定電圧以上になった場合、分周回路によって設定された極性反転周期にかかわらず、コントロール回路に、EL素子への印加電圧の極性反転を行わせることが好ましい。

【0022】また、所定の設定電圧は、昇圧回路及びスイッチング回路を構成するスイッチング素子の耐圧以下に設定されることが好ましい。

【0023】また、昇圧回路は、一端に電源電圧が供給されるコイルと、コイルの他端にアノードが接続され、

カソードから昇圧電圧をスイッチング回路に供給するダイオードと、発振回路からのパルス信号を受けて、コイルに蓄積されたエネルギーをスイッチングする昇圧用スイッチ素子とを含む。

【0024】上記の構成により、電圧検出回路が、昇圧回路により生成される昇圧電圧を検出し、検出電圧が所定の設定電圧に達した場合、コントロール回路にE L素子への印加の極性を反転させる信号を出力するため、E L素子への印加電圧がスイッチング回路内の各トランジスタの耐圧以上になる前に、E L素子への印加電圧の極性を反転させることができる。

【0025】これによって、E L素子のサイズを変更した場合や、E L素子の接続が何らかの理由で外れた場合においても、駆動回路を構成する各トランジスタには、所定の設定電圧以上の電圧が印加されないで、該各トランジスタが破壊されることがない。

【0026】また、E L素子への印加電圧がスイッチング回路内の各トランジスタの耐圧未満である場合は、E L素子への印加電圧の極性の反転は、分周回路で設定された極性反転周期により決定されるので、E L素子への印加電圧の極性は必ず反転される。

【0027】これによって、電源電圧が低下した場合や、消費電流を低減するために大きなインダクタンスのコイルを使用した場合に、コイルで生成される昇圧エネルギーが低下するため、昇圧回路で生成された昇圧電圧が電圧検出回路の検出電圧に達しなくなり、E L素子への印加電圧の極性が反転せずにE L素子がちらついたり、点灯しなくなることはない。

【0028】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0029】図1は、本発明の一実施の形態としてのE L駆動回路によるE L表示装置の構成を示す回路ブロック図である。

【0030】図1において、1はE L素子、2は直流電源、3は、直流電源2を昇圧してE L素子1に印加する電圧を生成する昇圧信号生成手段としての昇圧回路、5は半導体基板上に集積化される領域を示している。

【0031】昇圧回路3は、一端が直流電源2に接続されたコイル6と、アノードがコイル6の他端に接続され、カソードはスイッチング回路4が接続されるDC端子(図1中のDC)に接続され、コイル6に対して逆方向の電圧が印加されるのを阻止するためのダイオード7と、ソース電極が接地され、主電極としてのドレイン電極がコイル6とダイオード7の共通接続部(図1中C I L)に接続された高耐圧NチャネルMOS FETよりなる昇圧用トランジスタ8とから構成されている。

【0032】17はコンデンサであり、E L素子1の発光輝度を高くするために昇圧回路3の出力端に接続される。また、コンデンサ17は、昇圧用トランジスタ8の

スイッチング周期と同期したノイズも低減する。

【0033】10は発振回路で、昇圧用トランジスタ8のスイッチング周波数を決定している。9は分周回路で、発振回路10の出力周波数を分周し、後述するコントロール回路12に出力して、E L素子1への印加電圧の極性を反転させるタイミングの周波数を決める。

【0034】11は昇圧回路3からの昇圧電圧を検出する電圧検出回路で、その入力端子が、ダイオード7のカソードとスイッチング回路4が接続されているDC端子(図4中のDC)に接続され、その第1の出力端子が後述するコントロール回路12に接続され、その第2の出力端子が分周回路9に接続されている。

【0035】12はコントロール回路で、分周回路9からの出力信号もしくは電圧検出回路11からの出力信号を受け、スイッチング回路4にE L素子1の印加電圧の極性を反転させるためのタイミングを決める信号を出力する。

【0036】スイッチング回路4は、E L素子1への印加電圧の極性を反転させるスイッチである各々高耐圧Nチャネル型MOSトランジスタからなる第1の極性反転用トランジスタ13と、第2の極性反転用トランジスタ15と、第3の極性反転用トランジスタ14と、第4の極性反転用トランジスタ16とで構成される。

【0037】第1の極性反転用トランジスタ13及び第2の極性反転用トランジスタ15は、それぞれ、ドレイン電極が昇圧回路3におけるダイオード7のカソードに共に接続され、ソース電極が第1の出力端子X及び第2の出力端子Yに接続されている。

【0038】第3の極性反転用トランジスタ14及び第4の極性反転用トランジスタ16は、ソース電極が共に接地され、ドレイン電極が第1の極性反転用トランジスタ13及び第2の極性反転用トランジスタ15のソース電極に接続され、各極性反転用トランジスタ13～16のゲート電極はコントロール回路12に接続されている。

【0039】なお、コントロール回路12により、極性反転用トランジスタ13と15のゲート電極に印加される制御信号の極性は逆相であり、極性反転用トランジスタ13と16のゲート電極に印加される制御信号の極性は同相であり、また、極性反転用トランジスタ14と15のゲート電極に印加される制御信号の極性は同相で動作する。

【0040】以下、このように構成された駆動回路を有するE L表示装置の動作について、図2及び図3を参照して説明する。

【0041】図2及び図3は、本発明の一実施形態によるE L表示装置におけるE L駆動回路のタイミング図である。図2及び図3において、V8Gは発振回路10から出力される昇圧用トランジスタ8のゲート電圧を示し、VAは第1の極性反転用トランジスタ13のゲート

電圧を示し、VBは第2の極性反転用トランジスタ15のゲート電圧を示し、VDCはダイオード7のカソード、スイッチング回路4、及び電圧検出回路11の各端子が接続されている図1中のDC端子の電圧を示し、V1はEL素子1への第2の出力端子Yを基準とした場合のEL素子1に対する印加電圧を示す。

【0042】また、VDSは昇圧用トランジスタ8、極性反転用トランジスタ13～16のドレイン耐圧であり、VPEAKは電圧検出回路11で設定される検出電圧である。図示のように、電圧検出回路11で設定して

いる検出電圧VPEAKは、昇圧用トランジスタ8、極性反転用トランジスタ13～16のドレイン耐圧VDSよりも十分低い電圧である。

【0043】EL素子1のサイズが大きい場合や、消費

電流を低減した場合など、DC端子の電圧VDCが、電圧検出回路11で設定している検出電圧VPEAKより

も低い電圧で動作する場合は、図2に示す動作となる。

【0044】すなわち、昇圧用トランジスタ8のゲート電圧の周波数は発振回路10で決定され、その周期をTで示す。また、EL素子1への印加電圧の極性反転の周波数（例えば、400Hz程度）は分周回路9により決定される。例えば、分周回路9を16分周する構成にした場合には、 $16 \times T$ の周期でコントロール回路12に信号が出力される。

【0045】図2のすべての期間において、DC端子の電圧VDCは電圧検出回路11の検出電圧VPEAK以下であるので、電圧検出回路11からコントロール回路12に信号は出力されず、コントロール回路12の出力信号はすべて分周回路9からの出力信号により決定される。

【0046】まず、 $t = 0 \sim 8 \times T$ の期間（図中の期間a）では、第1の極性反転用トランジスタ13のゲート電圧VAはハイレベルであるため、第1及び第4の極性反転用トランジスタ13、16はオン、第2及び第3の極性反転用トランジスタ14、15はオフとなる。このとき、EL素子1の端子名を図2に示すようにX、Yとすると、端子Y側がGNDとなり、端子X側が、コイル5と昇圧用トランジスタ8により、例えば50～80V程度の電圧VDCにまで昇圧される。

【0047】次に、 $t = 8 \times T \sim 16 \times T$ の期間（図中の期間b）では、第2の極性反転用トランジスタ15のゲート電圧VBはハイレベルであるため、第2及び第3の極性反転用トランジスタ14、15はオン、第1及び第4の極性反転用13、16はオフとなる。このとき、昇圧されたEL電圧V1は、第3の極性反転用トランジスタ14により放電され、期間aとは逆に、EL素子1の端子X側がGNDとなり、端子Y側が昇圧される。

【0048】このように、DC端子の電圧VDCが電圧検出回路11の検出電圧VPEAK以下の場合には、発振回路10と分周回路9で決定される一定周期によりE

L素子1に対する印加電圧を昇圧し、且つ極性を反転させる構成となっている。

【0049】次に、EL素子1のサイズを小さくした場合や、EL素子の交換時やEL素子の接続が何らかの理由で外れた場合など、分周回路9で決定する期間（図2中の8T）までに、DC端子の電圧VDCが電圧検出回路11の検出電圧VPEAKよりも高くなった場合、図3に示す動作になる。

【0050】すなわち、図3に示すように、VDCがVPEAKに達するまでの期間（図中の期間c（ $c < a = 8T$ ））では、第1及び第4の極性反転用トランジスタ13、16はオンとなり、第2及び第3の極性反転用トランジスタ14、15はオフとなる。このとき、図1に示すEL素子1への2つの出力端子のうち第2の出力端子YがGNDとなり、第1の出力端子Xがコイル6と昇圧用トランジスタ8とにより昇圧される。

【0051】DC端子電圧VDCが検出電圧VPAEKに達すると、電圧検出回路11はその電圧を検出し、信号をコントロール回路12に出力する。その結果、コントロール回路12は、第1及び第4の極性反転用トランジスタ13、16をオフとし、第2及び第3の極性反転用トランジスタ14、15をオンとする。このとき、図1に示すEL素子1への2つの出力端子のうち第1の出力端子XがGNDとなり、出力端子Xに蓄積された電圧は放電され、EL素子1への印加電圧の極性が反転されるため、DC端子電圧VDCは検出電圧VPEAKで一定となる。

【0052】また、電圧検出回路11からの信号は分周回路9にも出力されて、分周回路9からコントロール回路12への出力信号はすべてオフとなる。これ以降の期間、コントロール回路12は、電圧検出回路11からの出力信号により、EL素子1への印加電圧の極性を反転させるタイミングを決定する。

【0053】次に、EL素子1の第2の出力端子Yに電圧が印加される期間（図3中の期間d、 $d < b = 8T$ ）では、期間cとは逆に、第1及び第4の極性反転用トランジスタ13、16はオフとなり、第2及び第3の極性反転用トランジスタ14、15はオンとなる。このとき、図1に示すEL素子1への2つの出力端子のうち第1の出力端子XがGNDとなり、第2の出力端子Yがコイル6と昇圧用トランジスタ8とにより昇圧される。

【0054】また、電圧検出回路11は、ツェナーダイオードを用いた回路、抵抗分割を用いた回路、又はコンパレータ等で構成されるが、高精度で且つ安価なツェナーダイオードを用いた回路が好ましい。この場合には、EL素子1に対する印加電圧V1のばらつきは、ツェナーダイオード自体の特性のばらつきにまで抑えることができる。

【0055】このように、本実施形態によると、電圧検出回路11により、DC端子の電圧VDCが所定の検出

電圧VPEAKまで昇圧されるのをモニターし、昇圧用トランジスタ8、極性反転用13～16トランジスタのドレイン耐圧以下に設定された所定の検出電圧VPEAKを検出した場合に、EL素子1への印加電圧V1の極性を反転するため、EL素子1のサイズを変更した場合や、EL素子1の接続が何らかの理由で外れた場合においても、駆動回路を構成する各トランジスタには、所定の検出電圧VPEAK以上の電圧が印加されないで、該各トランジスタが破壊されることがない。

【0056】また、DC端子の電圧VDCが電圧検出回路11で設定された所定の検出電圧VPEAKに達するまでに、分周回路9より出力信号がコントロール回路12に出力された場合は、その周期によりEL素子1の印加電圧の極性を反転するタイミングが決定されるので、必ずEL素子1の印加電圧の極性は反転される。

【0057】そのため、電源電圧が低下した場合や、消費電流を低減するために大きなインダクタンスのコイルを使用した場合に、コイルで生成される昇圧エネルギーが低下するため、昇圧回路3で生成された昇圧電圧が電圧検出回路11の検出電圧に達しなくなり、EL素子1への印加電圧の極性が反転せずにEL素子がちらついたり、点灯しなくなることはない。

【0058】

【発明の効果】以上説明したように、本発明によれば、EL素子の大きさを変更する場合や、その接続が開放状態に置かれた場合における内部のトランジスタ等の素子破壊を防止することが可能になるとともに、電源電圧が低下した場合や消費電流を低減した場合に、EL素子のちらつきや不点灯を防止することが可能になる。

【図面の簡単な説明】

30

【図1】 本発明の一実施形態によるEL表示装置の回路ブロック図

【図2】 図1のEL表示装置において、電圧VDCが検出電圧VPEAKよりも低い電圧で動作する場合の各部信号のタイミング図

【図3】 図1のEL表示装置において、電圧VDCが検出電圧VPEAKに達した場合の各部信号のタイミング図

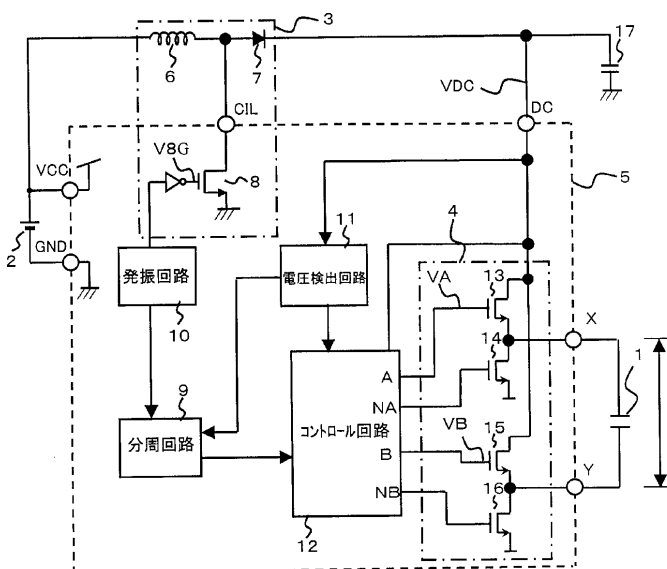
【図4】 従来のEL表示装置の回路ブロック図

【図5】 図5のEL表示装置における各部信号のタイミング図

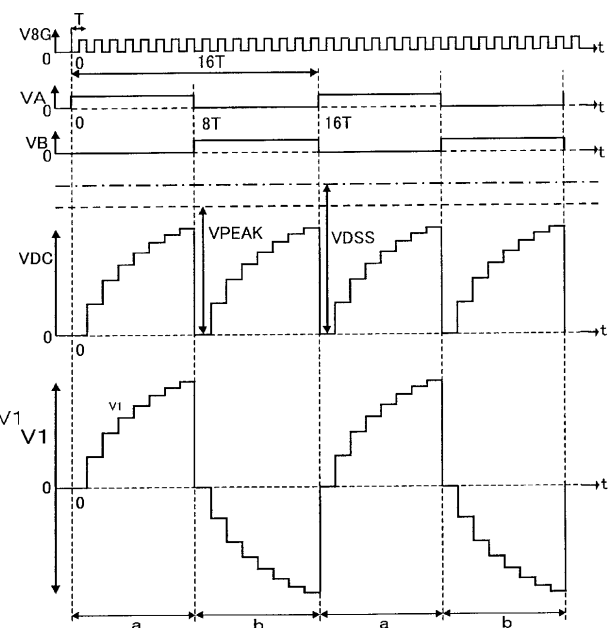
【符号の説明】

- 1 EL素子
- 2 直流電源
- 3 昇圧回路
- 4 スwitchング回路
- 5 半導体基板上に集積化される領域
- 6 コイル
- 7 ダイオード
- 8 昇圧用トランジスタ
- 9 分周回路
- 10 発振回路
- 11 電圧検出回路
- 12 コントロール回路
- 13 第1の極性反転用トランジスタ
- 14 第3の極性反転用トランジスタ
- 15 第2の極性反転用トランジスタ
- 16 第4の極性反転用トランジスタ
- 17 コンデンサ

【図1】



【図2】



解决的问题：在改变EL元件的尺寸或在EL显示设备中将连接置于打开状态时，以及在电源电压降低或电流消耗低时，为了防止诸如内部晶体管之类的元件损坏。当降低EL时，可以防止EL元件闪烁和不发光。解决方案：当施加到EL元件1的升压电压VDC等于或高于预定设置电压时，电压检测电路11会控制控制电路12，而与分频电路9设置的极性反转周期无关。施加到EL元件的电压的极性相反。此外，当施加到EL元件1的升压电压VDC小于预定的设定电压时，施加到EL元件的电压的极性总是由分频电路反转。

