

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02016/027436

発行日 平成29年6月1日 (2017.6.1)

(43) 国際公開日 平成28年2月25日 (2016.2.25)

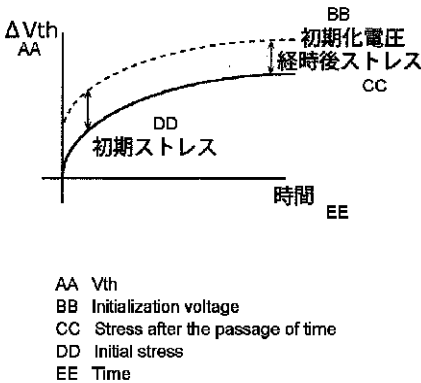
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3 K 1 0 7
G09G 3/20 (2006.01)	G09G 3/20 6 7 O K	5 C 0 8 0
H01L 51/50 (2006.01)	G09G 3/20 6 1 2 E	5 C 3 8 0
	G09G 3/20 6 2 4 B	
	G09G 3/20 6 1 1 H	
審査請求 有 予備審査請求 未請求 (全 17 頁) 最終頁に続く		

出願番号	特願2016-543807 (P2016-543807)	(71) 出願人	514188173
(21) 国際出願番号	PCT/JP2015/004018		株式会社 J O L E D
(22) 国際出願日	平成27年8月10日 (2015.8.10)		東京都千代田区神田錦町三丁目2 3 番地
(31) 優先権主張番号	特願2014-169704 (P2014-169704)	(74) 代理人	100189430
(32) 優先日	平成26年8月22日 (2014.8.22)		弁理士 吉川 修一
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100190805
			弁理士 傍島 正朗
		(72) 発明者	前田 智之
			日本国東京都千代田区神田錦町三丁目2 3 番地 株式会社 J O L E D 内
		(72) 発明者	松井 雅史
			日本国東京都千代田区神田錦町三丁目2 3 番地 株式会社 J O L E D 内
		F ターム (参考)	3K107 AA01 BB01 CC21 CC33 EE03 EE57 HH05
			最終頁に続く

(54) 【発明の名称】 表示装置の駆動方法及び表示装置

(57) 【要約】

複数の画素回路 (2 0) が行列状に配置された表示装置 (1 0) の駆動方法であって、画素回路 (2 0) は、供給される電流の大きさに応じた光量で発光する発光素子 (E L) と、映像信号の大きさに応じた電流を発光素子 (E L) に供給する駆動トランジスタ (T r d) と、を備え、表示装置 (1 0) の駆動方法は、駆動トランジスタ (T r d) を初期化するための初期化期間において、初期化電圧調整部 (3 0) により、駆動トランジスタ (T r d) の閾値電圧よりも高く駆動トランジスタ (T r d) の劣化状態に応じた初期化電圧を、駆動トランジスタ (T r d) のゲート - ソース間に印加する。



【特許請求の範囲】**【請求項 1】**

複数の画素が行列状に配置された表示装置の駆動方法であって、

前記画素は、供給される電流の大きさに応じた光量で発光する発光素子と、映像信号の大きさに応じた電流を前記発光素子に供給する駆動トランジスタと、を備え、

前記表示装置の駆動方法は、

前記駆動トランジスタを初期化するための初期化期間において、初期化電圧調整部により、前記駆動トランジスタの閾値電圧よりも高く前記駆動トランジスタの劣化状態に応じた初期化電圧を、前記駆動トランジスタのゲート - ソース間に印加する、
表示装置の駆動方法。

10

【請求項 2】

前記初期化電圧は、前記駆動トランジスタの閾値電圧に、前記閾値電圧の変化量と同じ変化量で変化する所定の電圧を加えた電圧値である、
請求項 1 に記載の表示装置の駆動方法。

【請求項 3】

前記初期化電圧は、時間の経過と共に増加される、
請求項 1 または 2 に記載の表示装置の駆動方法。

【請求項 4】

前記初期化電圧調整部により、前記駆動トランジスタの劣化状態に応じて前記初期化期間の長さを調整する、
請求項 1 ~ 3 のいずれか 1 項に記載の表示装置の駆動方法。

20

【請求項 5】

前記駆動トランジスタのゲート - ソース間に前記初期化電圧を印加する前に、前記初期化電圧調整部により、前記発光素子の発光により得られた映像データから前記駆動トランジスタの劣化状態を類推し前記初期化電圧を設定する、
請求項 1 ~ 4 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 6】

前記駆動トランジスタのゲート - ソース間に前記初期化電圧を印加する前に、前記初期化電圧調整部により、前記駆動トランジスタの閾値電圧または前記駆動トランジスタを流れる電流の測定データから前記駆動トランジスタの劣化状態を類推し前記初期化電圧を設定する、
請求項 1 ~ 4 のいずれか 1 項に記載の表示装置の駆動方法。

30

【請求項 7】

行列表に配置され、供給される電流の大きさに応じた光量で発光する発光素子と映像信号の大きさに応じた電流を前記発光素子に供給する駆動トランジスタとをそれぞれ有する複数の画素と、

前記駆動トランジスタを初期化するための初期化電圧を前記駆動トランジスタに印加する初期化電圧調整部と、を備え、

前記初期化電圧調整部は、前記駆動トランジスタの閾値電圧よりも高く前記駆動トランジスタの劣化状態に応じた初期化電圧を、前記駆動トランジスタのゲート - ソース間に印加する、
表示装置。

40

【請求項 8】

前記初期化電圧調整部は、前記駆動トランジスタの劣化状態に応じて、前記駆動トランジスタに前記初期化電圧を印加する初期化期間の長さを調整する、
請求項 7 に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、画素毎に配置された発光素子に電流を流し画像データを表示する、表示装置

50

の駆動方法及び表示装置に関する。

【背景技術】

【0002】

特許文献1は、画素の輝度レベルに対して適応的に駆動トランジスタの移動度補正を行う表示装置について開示する。この表示装置では、スイッチングトランジスタがオン状態となる第一タイミングに対して、サンプリングトランジスタがオフ状態となる第二タイミングを信号電位に応じて自動的に調整する。具体的には、信号線から供給される映像信号の信号電荷が高いとき駆動トランジスタの移動度の補正期間が短くなり、信号線に供給される映像信号の信号電荷が低いとき駆動トランジスタの移動度の補正期間が長くなるように、トランジスタに印加する信号を制御する。これにより、表示装置における画素の一様性（ユニフォームティ）を改善する。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-310352号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本開示は、画素の初期化の際に画素を構成するトランジスタにかかるストレスを軽減し、トランジスタの劣化を抑えることを目的とする。

20

【課題を解決するための手段】

【0005】

本開示の一態様に係るEL表示装置は、複数の画素が行列状に配置された表示装置の駆動方法であって、前記画素は、供給される電流の大きさに応じた光量で発光する発光素子と、映像信号の大きさに応じた電流を前記発光素子に供給する駆動トランジスタと、を備え、前記表示装置の駆動方法は、前記駆動トランジスタを初期化するための初期化期間において、初期化電圧調整部により、前記駆動トランジスタの閾値電圧よりも高く前記駆動トランジスタの劣化状態に応じた初期化電圧を、前記駆動トランジスタのゲート・ソース間に印加する。

30

【発明の効果】

【0006】

本開示によれば、画素の初期化の際に画素を構成するトランジスタにかかるストレスを軽減し、トランジスタの劣化を抑えることができる。

【図面の簡単な説明】

【0007】

【図1】図1は、本開示の基礎となった知見について説明するための駆動TFTの電流量を示した図である。

【図2】図2は、本開示の基礎となった知見に係る画素回路の構成を示す概略図である。

【図3】図3は、本開示の実施の形態に係る画素回路の模式図である。

【図4】図4は、図3に示した画素回路の動作を説明するためのタイミングチャートである。

40

【図5】図5は、駆動トランジスタに一定電流を流すために必要なゲート・ソース間電圧の時間変化を示す図である。

【図6】図6は、駆動トランジスタに一定電流を流すために必要なゲート・ソース間電圧と初期化電圧の時間変化を示す図である。

【図7】図7は、駆動トランジスタに一定電流を流すために必要なゲート・ソース間電圧と初期化電圧の時間変化を示す図である。

【発明を実施するための形態】

【0008】

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細

50

な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

【0009】

なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するものであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

【0010】

(本開示の基礎となった知見)

以下、本開示の詳細を説明する前に、本開示の基礎となった知見について説明する。

10

【0011】

図1は、本開示の基礎となった知見について説明するための駆動TFTの電流量を示した図である。図2は、本開示の基礎となった知見に係る画素回路2の構成を示す概略図である。

【0012】

TFT(Thin Film Transistor)素子では、電圧を印加すると閾値電圧や移動度が経時的に変化するという問題が存在する。OLED(Organic Light Emitting Diode)の画素回路では、画素を点灯させるために初期化期間が必要であり、その初期化期間に印加する電圧でも駆動トランジスタが劣化してしまうという問題が存在する。

20

【0013】

具体的には、図2に示す一般的な画素回路2について説明する。画素回路2は、駆動トランジスタTrdと、スイッチングトランジスタTrgと、駆動トランジスタTrdのゲートとスイッチングトランジスタTrgのドレインとの間に静電容量Csとを備えている。この画素回路2において、駆動トランジスタTrdのゲート-ソース間に映像信号(電圧Vdata)を印加する。

【0014】

駆動トランジスタTrdの劣化が生じた場合、図1に示すように、駆動トランジスタTrdに電圧Vdataを印加しても、駆動トランジスタTrdに流れる実電流は、駆動トランジスタTrdの劣化が生じる前の初期カーブにおける目標電流値を達成することはできず、目標電流値よりも少ないものとなる。

30

【0015】

ここで、初期化期間は、画像データを表示するときのみ必要であるので、非発光期間など表示状態によっては初期化期間を短くしたり印加電圧を小さくしたりすることで駆動トランジスタTrdの劣化を抑制することが可能になる。

【0016】

また、初期化電圧は、駆動トランジスタTrdの劣化を想定して、駆動トランジスタTrdの閾値のシフト後を想定した電圧を印加することが必要である。劣化していない初期状態では、より大きな電圧を印加する必要がある、画素にストレスがかかる。これにより、初期化を行う際に画素を構成するトランジスタに大きな劣化を引き起こす。そこで、トランジスタの劣化状態に応じて初期化電圧の大きさを変更することにより、初期化の際に駆動トランジスタTrdに係るストレスを軽減し、劣化を抑える。

40

【0017】

以下、本実施の形態について説明する。

【0018】

(実施の形態)

以下、図3～図7を用いて、本開示の実施の形態に係る表示装置10について説明する。

【0019】

[1-1. 表示装置の構成]

50

はじめに、表示装置 10 の構成について説明する。

【0020】

図 3 は、本実施の形態に係る表示装置 10 の構成を示す概略図である。

【0021】

図 3 に示すように、表示装置 10 は、複数の画素回路 20 が行列状に配列された画素アレイと、初期化電圧調整部 30 とを備えている。

【0022】

画素回路 20 は、発光素子 EL と、サンプリングトランジスタ Tr1 と、駆動トランジスタ Trd2 と、第 1 スイッチングトランジスタ Tr2 と、第 2 スイッチングトランジスタ Tr3 と、第 3 スイッチングトランジスタ Tr4 と、画素容量 Cs とを備えている。

10

【0023】

発光素子 EL は、例えばアノード及びカソードを備えたダイオード形の有機エレクトロルミネセンス（有機 EL）デバイスである。発光素子 EL は、所定の発光期間中、駆動トランジスタ Trd から供給される出力電流 Ids により映像信号の信号電位に応じた輝度で発光する。なお、発光素子 EL は有機 EL デバイスに限られず、一般的に電流駆動で発光する全てのデバイスを含む。

【0024】

サンプリングトランジスタ Tr1 は、走査線 WS から供給される制御信号に応じ導通して、信号線 SL から供給された映像信号の信号電位を画素容量 Cs にサンプリングする。

【0025】

20

画素容量 Cs は、サンプリングされた映像信号の信号電位に応じて、駆動トランジスタ Trd のゲート G に入力電圧 Vgs を印加する。

【0026】

駆動トランジスタ Trd は、オン状態で、入力電圧 Vgs に応じた出力電流 Ids を発光素子 EL に供給する。

【0027】

第 1 スイッチングトランジスタ Tr2 は、走査線 AZ1 から供給される制御信号に応じオン状態（導通）となり、駆動トランジスタ Trd のソース S を第 1 電位 Vss1 に設定する。

【0028】

30

第 2 スイッチングトランジスタ Tr3 は、走査線 AZ2 から供給される制御信号に応じオン状態（導通）となり、駆動トランジスタ Trd のソース S を第 2 電位 Vss2 に設定する。

【0029】

第 3 スイッチングトランジスタ Tr4 は、走査線 DS から供給される制御信号に応じてオン状態（導通）となり、駆動トランジスタ Trd を電源 Vcc に接続する。これにより、第 3 スイッチングトランジスタ Tr4 は、駆動トランジスタ Trd の閾値電圧 Vth に相当する電圧を画素容量 Cs に保持させて、閾値電圧 Vth の影響を補正する。さらに、第 3 スイッチングトランジスタ Tr4 は、発光期間に再び走査線 DS から供給される制御信号に応じてオン状態（導通）となり、駆動トランジスタ Trd を電源 Vcc に接続して出力電流 Ids を発光素子 EL に流す。

40

【0030】

ここで、サンプリングトランジスタ Tr1、第 1 のスイッチングトランジスタ Tr2、第 2 のスイッチングトランジスタ Tr3 及び駆動トランジスタ Trd は、N チャネル型のポリシリコン TFT である。また、第 3 のスイッチングトランジスタ Tr4 は、P チャネル型のポリシリコン TFT である。なお、各トランジスタの導電型は上記したものに限られず、N チャネル型と P チャネル型の TFT を適宜混在させてもよい。

【0031】

なお、図 3 においては、サンプリングトランジスタ Tr1 によってサンプリングされる映像信号の信号電位 Vgs、駆動トランジスタ Trd の入力電圧 Vgs 及び出力電流 Id

50

s、発光素子ELが有する容量成分C o l e dも示されている。

【0032】

また、表示装置10は、さらに、初期化電圧調整部30を備えている。初期化電圧調整部30は、第1のスイッチングトランジスタTr2において、駆動トランジスタTrdのゲートGが接続された一端と反対側の他端に接続されている。

【0033】

初期化電圧調整部30は、駆動トランジスタTrdのゲートGに印加される初期化電圧の電圧値および印加時間（初期化期間）の長さを調整し、当該初期化電圧を駆動トランジスタTrdのゲートGに出力する。

【0034】

以下、図3に示した画素回路20を備えた表示装置10の動作について説明する。

【0035】

[1-2.表示装置の動作]

図4は、図3に示した画素回路20の動作を説明するためのタイミングチャートである。なお、図4では、時間軸Tに沿って各走査線WS、AZ1、AZ2及びDSに印加させる制御信号の波形が表されている。表記を簡略化するため、制御信号は、対応する走査線の符号と同じ符号で表している。

【0036】

サンプリングトランジスタTr1、第1のスイッチングトランジスタTr2、第2のスイッチングトランジスタTr3は、Nチャネル型であるため、走査線WS、AZ1、AZ3がそれぞれハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。

【0037】

一方、第3のスイッチングトランジスタTr4は、Pチャネル型であるため、走査線DSがハイレベルのときにオフ状態となり、ローレベルのときにオン状態となる。

【0038】

なお、図4に示したタイミングチャートは、各制御信号WS、AZ1、AZ2、DSの波形と共に、駆動トランジスタTrdのゲートGの電位変化及びソースSの電位変化も表している。

【0039】

図4におけるタイミングチャートでは、タイミングT1～T8までを1フィールド（1f）としている。1フィールドの間に、複数の画素回路20が行列状に配置された画素アレイの各行が一回順次走査される。当該タイミングチャートは、一行分の画素に印加される各制御信号WS、AZ1、AZ2の波形も示している。

【0040】

ここで、図4に示すように、フィールド1fが始まる前のタイミングT0では、全ての制御信号WS、AZ1、AZ3、DSがローレベルとなっている。この状態では、Nチャネル型のトランジスタであるサンプリングトランジスタTr1、第1のスイッチングトランジスタTr2、第2のスイッチングトランジスタTr3は、オフ状態となっている。一方、Pチャネル型のトランジスタである第3のスイッチングトランジスタTr4は、オン状態となっている。

【0041】

したがって、駆動トランジスタTrdは、オン状態の第3のスイッチングトランジスタTr4を介して電源Vccに接続される。これにより、駆動トランジスタTrdは、所定の入力電圧Vgsに応じて、出力電流Idsを発光素子ELに供給する。よって、タイミングT0において、発光素子ELは発光している。このとき、駆動トランジスタTrdに印加される入力電圧Vgsは、ゲートGの電位とソースSの電位との差で表される。

【0042】

フィールド1fが始まるタイミングT1では、制御信号DSがローレベルからハイレベルに切り替わる。これにより、第3のスイッチングトランジスタTr4がオフ状態となり、駆動トランジスタTrdは電源Vccから切り離される。したがって、発光素子ELの

10

20

30

40

50

発光は停止し、非発光期間となる。よって、タイミングT1になると、サンプリングトランジスタTr1、第1のスイッチングトランジスタTr2、第2のスイッチングトランジスタTr3、第3のスイッチングトランジスタTr4の全てがオフ状態となる。

【0043】

タイミングT1の後、タイミングT21において、制御信号AZ2がハイレベルになると、第2のスイッチングトランジスタTr3がオン状態となる。これにより、駆動トランジスタTrdのソースSは所定の電位Vss2に初期化される。続いて、タイミングT22において、制御信号AZ1がハイレベルになると、第1のスイッチングトランジスタTr2がオン状態となる。これにより、駆動トランジスタTrdのゲートGが所定の電位Vss1に初期化される。この結果、駆動トランジスタTrdのゲートGが基準電圧Vss1に接続され、ソースSが基準電圧Vss2に接続される。

10

【0044】

ここで、基準電圧Vss1、基準電圧Vss2、閾値電圧Vthの関係は、 $Vss1 - Vss2 > Vth$ を満たしており、 $Vss1 - Vss2 = Vgs > Vth$ とすることで、その後タイミングT3において行われるVth補正の準備を行う。なお、タイミングT21からタイミングT3の期間が、駆動トランジスタTrdの初期化期間である。また、初期化期間は、1フィールド毎に必ず設けられる。

【0045】

また、発光素子ELの閾値電圧をVthELとすると、発光素子ELの閾値電圧VthELと基準電圧Vss2との関係は、 $VthEL > Vss2$ に設定されている。これにより、発光素子ELにはマイナスバイアスが印加され、発光素子ELはいわゆる逆バイアス状態となる。

20

【0046】

さらに、制御信号AZ2がローレベルになった後、タイミングT3では、制御信号DSがローレベルになる。これにより、トランジスタTr3がオフ状態となり、第3のスイッチングトランジスタTr4はオン状態となる。これにより、ドレイン電流Idsが画素容量Csに流れ込み、Vth補正動作が開始される。

【0047】

このとき、駆動トランジスタTrdのゲートGは、Vss1に保持されており、駆動トランジスタTrdがカットオフするまで、駆動トランジスタTrdにはドレイン電流Idsが流れる。駆動トランジスタTrdがカットオフすると、駆動トランジスタTrdのソースSの電位は $Vss1 - Vth$ となる。

30

【0048】

続いて、駆動トランジスタTrdがカットオフした後、タイミングT4において、制御信号DSが再びハイレベルになると、第3のスイッチングトランジスタTr4がオフ状態となる。さらに、制御信号AZ1がローレベルになると、第1のスイッチングトランジスタTr2がオフ状態となる。これにより、画素容量Csに閾値電圧Vthが保持固定される。

【0049】

このように、タイミングT3からタイミングT4の期間は、駆動トランジスタTrdの閾値電圧Vthを検出する期間である。なお、タイミングT3からタイミングT4の間を、Vth補正期間という。

40

【0050】

その後、タイミングT4において、制御信号DSが再びローレベルからハイレベルとなり、制御信号AZ1がハイレベルからローレベルになる。その後、タイミングT5において制御信号WSがローレベルからハイレベルになる。これにより、映像信号の信号電位Vsigが画素容量Csに書き込まれる。さらに、タイミングT6において、制御信号DSがハイレベルからローレベルになる。これにより、発光素子ELの発光が開始する。

【0051】

さらに、上記したフィールド1fを繰り返すことで、信号電位Vsigに応じて行列状

50

に配置された発光素子 E L が順次発光し、映像データが得られる。

【 0 0 5 2 】

ここで、駆動トランジスタ T r d の初期化電圧について説明する。

【 0 0 5 3 】

図 5 ~ 図 7 は、駆動トランジスタ T r d に一定電流を流すために必要なゲート - ソース間電圧の時間変化を示す図である。

【 0 0 5 4 】

駆動トランジスタ T r d は、時間の経過と共に劣化する。すなわち、駆動トランジスタ T r d のゲートに一定の電圧を印加した場合、ソース - ドレイン間を流れる電流 I d s は、時間の経過と共に減少する。したがって、駆動トランジスタ T r d に所定の電流を一定に流すために必要なゲート - ソース間電圧は、図 5 に示すように、時間の経過と共に増加する。

10

【 0 0 5 5 】

ここで、図 6 に示すように、従来のように初期化電圧を時間の経過に関係なく一定に設定した場合、駆動初期において駆動トランジスタ T r d に一定電流を流すために必要なゲート - ソース間電圧（図 6 における実線）と初期化電圧（図 6 における破線）との差（初期ストレス）は、所定時間経過後において駆動トランジスタ T r d に一定電流を流すために必要なゲート - ソース間電圧と初期化電圧との差（経時後ストレス）よりも大きくなる。したがって、駆動初期には駆動トランジスタのゲート - ソース間に過剰な電圧が印加されるため、駆動トランジスタ T r d には大きなストレス（電圧）が印加され、駆動トランジスタ T r d の劣化は、経時後よりも大きくなる。

20

【 0 0 5 6 】

そこで、図 7 に示すように、時間の経過による駆動トランジスタ T r d の劣化状態に応じた初期化電圧を駆動トランジスタ T r d に印加する。

【 0 0 5 7 】

具体的には、初期化電圧は、駆動トランジスタ T r d の閾値電圧 V t h に、閾値電圧の変化量 $\Delta V t h$ と同じ変化量で変化する所定の電圧を加えた電圧値である。したがって、図 7 に示すように、駆動トランジスタ T r d の閾値電圧（実線）と初期化電圧（破線）との差は、一定となる。したがって、駆動初期に駆動トランジスタ T r d に高いストレスが印加されるのを抑制することができる。

30

【 0 0 5 8 】

また、初期化電圧は、駆動初期は小さく、駆動トランジスタ T r d の劣化状態に応じて時間の経過と共に順次増加される。したがって、駆動初期に駆動トランジスタ T r d に高ストレスが印加されるのを防止し、駆動トランジスタ T r d の劣化を抑制することができる。

【 0 0 5 9 】

ここで、図 7 に示すように、駆動初期において駆動トランジスタ T r d に一定電流を流すために必要なゲート - ソース間電圧と初期化電圧との差（初期ストレス）と、所定時間経過後において駆動トランジスタ T r d に一定電流を流すために必要なゲート - ソース間電圧と初期化電圧との差（経時後ストレス）とがほぼ一定になるように、初期化電圧調整部 3 0 により初期化電圧を設定する。この設定した初期化電圧を駆動トランジスタ T r d のゲート - ソース間に印加することにより、駆動初期において駆動トランジスタ T r d に過剰な電圧が印加されることはない。したがって、駆動トランジスタ T r d の劣化を抑制することができる。

40

【 0 0 6 0 】

ここで、初期化電圧調整部 3 0 は、駆動トランジスタ T r d の劣化状態に応じて初期化電圧の値及び初期化期間の少なくともいずれかを変更する。なお、初期化電圧調整部 3 0 は、初期化期間の長さを変更するのが好ましい。

【 0 0 6 1 】

初期化電圧調整部 3 0 は、駆動トランジスタ T r d の劣化状態に応じて、初期化電圧の

50

値及び初期化期間の長さの少なくともいずれかを予め設定する。そして、初期化電圧調整部30は、設定した初期化電圧を駆動トランジスタTrdに印加する。例えば、表示装置10の使用累積時間が0時間、100時間、1000時間と変化していくにつれて、初期化電圧を2V、2.1V、2.5Vとしてもよい。

【0062】

また、初期化電圧調整部30は、設定した初期化期間、初期化電圧を駆動トランジスタTrdのゲート・ソース間に印加してもよい。例えば、表示装置10の使用累積時間が0時間、100時間、1000時間と変化していくにつれて、初期化電圧4Vを、100μsec、200μsec、300μsec印加するとしてもよい。

【0063】

これにより、初期化電圧調整部30は、安定した初期化電圧を駆動トランジスタに印加することができる。

【0064】

ここで、駆動トランジスタTrdの劣化状態は、例えば、過去に取得した電圧または電流の測定データから取得してもよいし、理論値計算を毎回行うことにより取得してもよい。

【0065】

初期化電圧調整部30は、初期化電圧の値及び初期化期間の長さの少なくともいずれかを決定するに際し、駆動トランジスタTrdのゲート・ソース間に初期化電圧を印加する前に、映像データから駆動トランジスタTrdの劣化状態を類推する。そして、類推した駆動トランジスタの劣化状態に応じた初期化電圧を設定する。すなわち、映像データにおいて、発光素子ELの輝度の変化を目視またはカメラ等により観察することで、駆動トランジスタTrdの劣化状態を簡便に類推し、最適な初期化電圧を駆動トランジスタTrdのゲート・ソース間に印加することができる。

【0066】

なお、初期化電圧調整部30は、初期化電圧の値を予め設定するに際し、映像データに限らず、駆動トランジスタTrdの閾値電圧又は駆動トランジスタTrdを流れる電流を測定した測定データから、駆動トランジスタTrdの劣化状態を類推し、類推した駆動トランジスタの劣化状態に応じた初期化電圧を設定してもよい。これにより、初期化電圧調整部30は、駆動トランジスタTrdの劣化状態を精度よく類推し、最適な初期化電圧を駆動トランジスタTrdのゲート・ソース間に印加することができる。電流を測定する手段としては、パネル内の画素に電流を測定できる経路を設計しても良いし、パネル内の表示エリア外、もしくはパネル外に電流を測定するための画素を有しても良い。

【0067】

以上のように、本実施の形態に係る表示装置によると、初期化電圧を、駆動トランジスタTrdの劣化状態に応じて駆動初期から順次大きくすることにより、駆動初期に駆動トランジスタTrdに高ストレスが印加されるのを防止し、駆動トランジスタTrdの劣化を抑制することができる。

【0068】

[1-3. 効果等]

以上のように、本開示の一態様に係る表示装置の駆動方法は、複数の画素が行列状に配置された表示装置の駆動方法であって、前記画素は、供給される電流の大きさに応じた光量で発光する発光素子と、映像信号の大きさに応じた電流を前記発光素子に供給する駆動トランジスタと、を備え、前記表示装置の駆動方法は、前記駆動トランジスタを初期化するための初期化期間において、初期化電圧調整部により、前記駆動トランジスタの閾値電圧よりも高く前記駆動トランジスタの劣化状態に応じた初期化電圧を、前記駆動トランジスタのゲート・ソース間に印加する。

【0069】

この構成によれば、駆動初期において駆動トランジスタに過剰な電圧が印加されることはない。したがって、駆動トランジスタの劣化を抑制することができる。

10

20

30

40

50

【 0 0 7 0 】

また、前記初期化電圧は、前記駆動トランジスタの閾値電圧に、前記閾値電圧の変化量と同じ変化量で変化する所定の電圧を加えた電圧値であってもよい。

【 0 0 7 1 】

この構成によれば、駆動トランジスタ T_{rd} の閾値電圧（実線）と初期化電圧（破線）との差は、一定となる。したがって、駆動初期に駆動トランジスタ T_{rd} に高いストレスが印加されるのを抑制することができる。

【 0 0 7 2 】

また、前記初期化電圧は、時間の経過と共に増加されてもよい。

【 0 0 7 3 】

10

この構成によれば、駆動トランジスタを流れる電流が時間の経過と共に低くなる劣化を有する駆動トランジスタであっても、駆動トランジスタに一定の電流を流すことができる。

【 0 0 7 4 】

また、前記初期化電圧調整部により、前記駆動トランジスタの劣化状態に応じて前記初期化期間の長さを調整してもよい。

【 0 0 7 5 】

この構成によれば、安定した初期化電圧を駆動トランジスタに印加することができる。このため、駆動トランジスタの劣化をより抑制することができる。

【 0 0 7 6 】

20

また、前記駆動トランジスタのゲート - ソース間に前記初期化電圧を印加する前に、前記初期化電圧調整部により、前記発光素子の発光により得られた映像データから前記駆動トランジスタの劣化状態を類推し前記初期化電圧を設定してもよい。

【 0 0 7 7 】

この構成によれば、駆動トランジスタの劣化状態を簡便に類推し、最適な初期化電圧を駆動トランジスタに印加することができる。

【 0 0 7 8 】

また、前記駆動トランジスタのゲート - ソース間に前記初期化電圧を印加する前に、前記初期化電圧調整部により、前記駆動トランジスタの閾値電圧または前記駆動トランジスタを流れる電流の測定データから前記駆動トランジスタの劣化状態を類推し前記初期化電圧を設定してもよい。

30

【 0 0 7 9 】

この構成によれば、駆動トランジスタの劣化状態を精度よく類推し、最適な初期化電圧を駆動トランジスタに印加することができる。

【 0 0 8 0 】

また、本開示の一態様に係る表示装置は、行列状に配置され、供給される電流の大きさに応じた光量で発光する発光素子と映像信号の大きさに応じた電流を前記発光素子に供給する駆動トランジスタとをそれぞれ有する複数の画素と、前記駆動トランジスタを初期化するための初期化電圧を前記駆動トランジスタに印加する初期化電圧調整部と、を備え、前記初期化電圧調整部は、前記駆動トランジスタの閾値電圧よりも高く前記駆動トランジスタの劣化状態に応じた初期化電圧を、前記駆動トランジスタのゲート - ソース間に印加する。

40

【 0 0 8 1 】

この構成によれば、駆動初期において駆動トランジスタに過剰な電圧が印加されることはない。したがって、駆動トランジスタの劣化を抑制することができる。

【 0 0 8 2 】

また、前記初期化電圧調整部は、前記駆動トランジスタの劣化状態に応じて、前記駆動トランジスタに前記初期化電圧を印加する初期化期間の長さを調整してもよい。

【 0 0 8 3 】

この構成によれば、安定した初期化電圧を駆動トランジスタに印加することができる。

50

このため、駆動トランジスタの劣化をより抑制することができる。

【 0 0 8 4 】

(他の実施の形態)

以上のように、本出願において開示する技術の例示として、実施の形態を説明した、しかしながら、本開示における技術は、これに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。また、上記実施の形態で説明した各構成要素を組み合わせ、新たな実施の形態とすることも可能である。

【 0 0 8 5 】

そこで、以下、他の実施の形態をまとめて説明する。

【 0 0 8 6 】

例えば、本開示に係る表示装置 1 0 における画素回路 2 0 は、上記した画素回路 2 0 に限らず、他の構成を有する画素回路 2 0 であってもよい。また、画素回路 2 0 の動作は、上記したタイミングチャートに示した動作に限らず、他の動作であってもよい。また、画素回路 2 0 における各トランジスタは、Pチャネル型のトランジスタであってもよいし、Nチャネル型のトランジスタであってもよい。

【 0 0 8 7 】

以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面および詳細な説明を提供した。

【 0 0 8 8 】

したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

【 0 0 8 9 】

また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

【 産業上の利用可能性 】

【 0 0 9 0 】

本開示は、E L 表示装置 (E L 表示パネル) およびその駆動方法に利用できる。具体的には、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンボ等)、コンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置 (具体的には、Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置) などに利用することができる。

【 符号の説明 】

【 0 0 9 1 】

2、2 0 画素回路 (画素)

1 0 表示装置

3 0 初期化電圧調整部

C s 画素容量

E L 発光素子

S L 信号線

T r 1 サンプリングトランジスタ

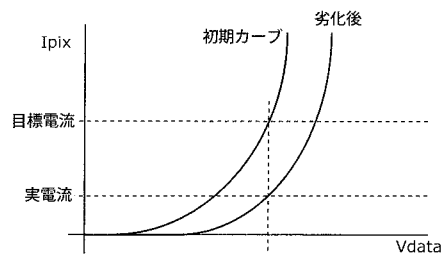
T r 2 第 1 のスイッチングトランジスタ

T r 3 第 2 のスイッチングトランジスタ

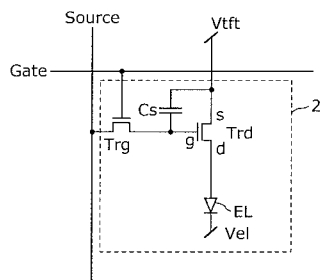
T r 4 第 3 のスイッチングトランジスタ

T r d 駆動トランジスタ

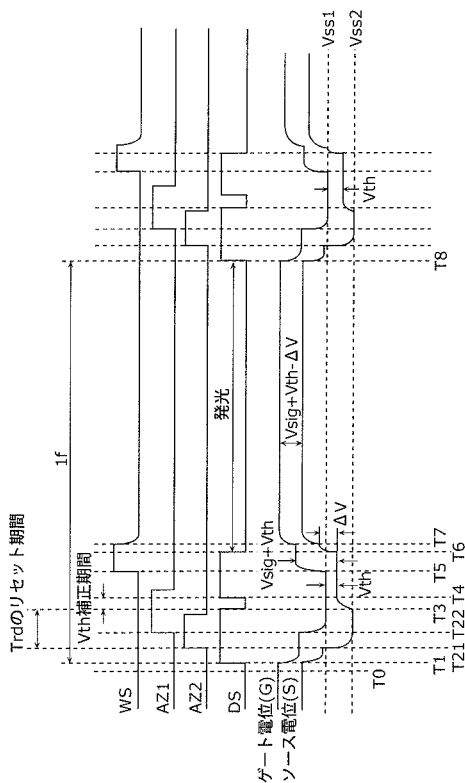
【図 1】



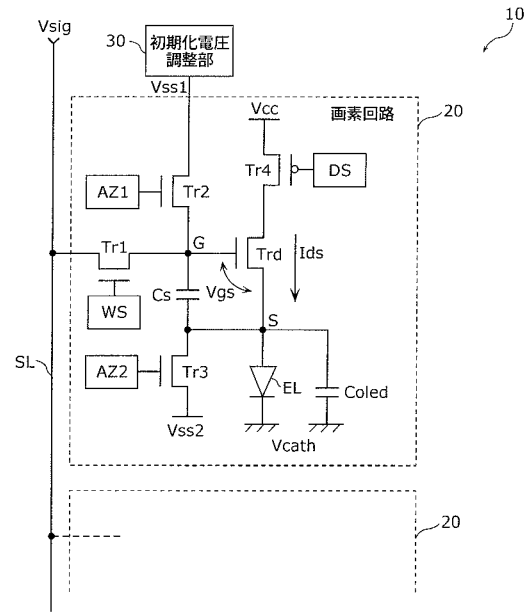
【図 2】



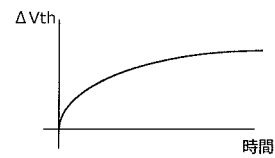
【図 4】



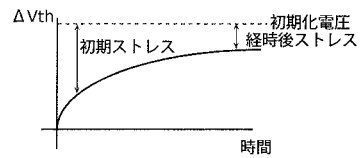
【図 3】



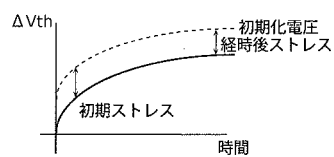
【図 5】



【図 6】



【図 7】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2015/004018																																							
A. CLASSIFICATION OF SUBJECT MATTER G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC																																									
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/30, G09G3/20, H01L51/50 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015 Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																																									
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2010-8718 A (Sony Corp.),</td> <td>1-3, 6-7</td> </tr> <tr> <td>Y</td> <td>14 January 2010 (14.01.2010),</td> <td>4, 8</td> </tr> <tr> <td>A</td> <td>paragraphs [0020] to [0132]; fig. 1 to 14, 20 (Family: none)</td> <td>5</td> </tr> <tr> <td>Y</td> <td>JP 2005-326793 A (Eastman Kodak Co.),</td> <td>4, 8</td> </tr> <tr> <td></td> <td>24 November 2005 (24.11.2005),</td> <td></td> </tr> <tr> <td></td> <td>paragraphs [0066] to [0091]; fig. 5 to 8, 14</td> <td></td> </tr> <tr> <td></td> <td>& WO 2005/116970 A1</td> <td></td> </tr> <tr> <td></td> <td>page 12, line 24 to page 18, line 11</td> <td></td> </tr> <tr> <td>A</td> <td>JP 2014-115543 A (Samsung Display Co., Ltd.),</td> <td>1-8</td> </tr> <tr> <td></td> <td>26 June 2014 (26.06.2014),</td> <td></td> </tr> <tr> <td></td> <td>entire text; all drawings</td> <td></td> </tr> <tr> <td></td> <td>& US 2014/0160185 A1 & KR 10-2014-0075631 A</td> <td></td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	JP 2010-8718 A (Sony Corp.),	1-3, 6-7	Y	14 January 2010 (14.01.2010),	4, 8	A	paragraphs [0020] to [0132]; fig. 1 to 14, 20 (Family: none)	5	Y	JP 2005-326793 A (Eastman Kodak Co.),	4, 8		24 November 2005 (24.11.2005),			paragraphs [0066] to [0091]; fig. 5 to 8, 14			& WO 2005/116970 A1			page 12, line 24 to page 18, line 11		A	JP 2014-115543 A (Samsung Display Co., Ltd.),	1-8		26 June 2014 (26.06.2014),			entire text; all drawings			& US 2014/0160185 A1 & KR 10-2014-0075631 A	
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																																							
X	JP 2010-8718 A (Sony Corp.),	1-3, 6-7																																							
Y	14 January 2010 (14.01.2010),	4, 8																																							
A	paragraphs [0020] to [0132]; fig. 1 to 14, 20 (Family: none)	5																																							
Y	JP 2005-326793 A (Eastman Kodak Co.),	4, 8																																							
	24 November 2005 (24.11.2005),																																								
	paragraphs [0066] to [0091]; fig. 5 to 8, 14																																								
	& WO 2005/116970 A1																																								
	page 12, line 24 to page 18, line 11																																								
A	JP 2014-115543 A (Samsung Display Co., Ltd.),	1-8																																							
	26 June 2014 (26.06.2014),																																								
	entire text; all drawings																																								
	& US 2014/0160185 A1 & KR 10-2014-0075631 A																																								
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.																																									
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																																									
Date of the actual completion of the international search 23 October 2015 (23.10.15)		Date of mailing of the international search report 02 November 2015 (02.11.15)																																							
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.																																							

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/004018

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-154781 A (Semiconductor Energy Laboratory Co., Ltd.), 15 June 2006 (15.06.2006), entire text; all drawings & US 2006/0092108 A1 & US 2008/0088614 A1 & EP 1653433 A2	1-8

国際調査報告		国際出願番号 PCT/J P 2015/004018										
A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i												
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G09G3/30, G09G3/20, H01L51/50												
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2015年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2015年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2015年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2015年	日本国実用新案登録公報	1996-2015年	日本国登録実用新案公報	1994-2015年	
日本国実用新案公報	1922-1996年											
日本国公開実用新案公報	1971-2015年											
日本国実用新案登録公報	1996-2015年											
日本国登録実用新案公報	1994-2015年											
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）												
C. 関連すると認められる文献 <table border="1"> <tr> <th>引用文献の カテゴリ*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> <tr> <td>X Y A</td> <td>JP 2010-8718 A（ソニー株式会社）2010.01.14, [0020] - [0132], 図1-14, 20（ファミリーなし）</td> <td>1-3, 6-7 4, 8 5</td> </tr> <tr> <td>Y</td> <td>JP 2005-326793 A（イーストマンコダックカンパニー）2005.11.24, [0066] - [0091], 図5-8, 14 & W0 2005/116970 A1, 第12頁第24行-第18頁第11行</td> <td>4, 8</td> </tr> </table>				引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X Y A	JP 2010-8718 A（ソニー株式会社）2010.01.14, [0020] - [0132], 図1-14, 20（ファミリーなし）	1-3, 6-7 4, 8 5	Y	JP 2005-326793 A（イーストマンコダックカンパニー）2005.11.24, [0066] - [0091], 図5-8, 14 & W0 2005/116970 A1, 第12頁第24行-第18頁第11行	4, 8
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号										
X Y A	JP 2010-8718 A（ソニー株式会社）2010.01.14, [0020] - [0132], 図1-14, 20（ファミリーなし）	1-3, 6-7 4, 8 5										
Y	JP 2005-326793 A（イーストマンコダックカンパニー）2005.11.24, [0066] - [0091], 図5-8, 14 & W0 2005/116970 A1, 第12頁第24行-第18頁第11行	4, 8										
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。												
* 引用文献のカテゴリ 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献												
国際調査を完了した日 23.10.2015		国際調査報告の発送日 02.11.2015										
国際調査機関の名称及びあて先 日本国特許庁（I S A/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 橋本 直明 電話番号 03-3581-1101 内線 3226										

国際調査報告

国際出願番号 PCT/J P 2 0 1 5 / 0 0 4 0 1 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-115543 A (三星ディスプレイ株式会社) 2014. 06. 26, 全文 全図 & US 2014/0160185 A1 & KR 10-2014-0075631 A	1-8
A	JP 2006-154781 A (株式会社半導体エネルギー研究所) 2006. 06. 15, 全文全図 & US 2006/0092108 A1 & US 2008/0088614 A1 & EP 1653433 A2	1-8

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

H 0 5 B 33/14

A

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

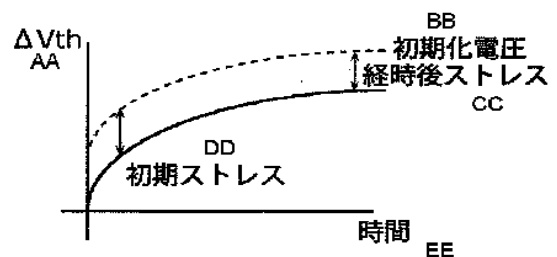
F ターム(参考) 5C080 AA06 BB05 DD05 DD29 EE29 FF03 FF11 FF12 HH09 JJ03
 JJ04 JJ05 KK01 KK07 KK23 KK43 KK47 KK50
 5C380 AA01 AB06 AB23 AC08 AC09 AC11 AC12 BD02 BD04 BD10
 CA08 CA12 CB01 CC02 CC04 CC07 CC27 CC33 CC39 CC61
 CC62 CC65 CD012 CD025 CE08 CE19 CF57 CF66 DA50 FA02
 FA03 FA09

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	用于驱动显示设备的方法和设备		
公开(公告)号	JPWO2016027436A1	公开(公告)日	2017-06-01
申请号	JP2016543807	申请日	2015-08-10
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	前田智之 松井雅史		
发明人	前田 智之 松井 雅史		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50		
CPC分类号	G09G3/3291 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0871 G09G2310/0245 G09G2310/0251 G09G2310/0289 G09G2310/0294 G09G2310/08 G09G2320/043 H01L27/3244		
FI分类号	G09G3/3233 G09G3/20.670.K G09G3/20.612.E G09G3/20.624.B G09G3/20.611.H H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/EE03 3K107/EE57 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK01 5C080/KK07 5C080/KK23 5C080/KK43 5C080/KK47 5C080/KK50 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BD02 5C380/BD04 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC62 5C380/CC65 5C380/CD012 5C380/CD025 5C380/CE08 5C380/CE19 5C380/CF57 5C380/CF66 5C380/DA50 5C380/FA02 5C380/FA03 5C380/FA09		
代理人(译)	吉川修 Sobashima正雄		
优先权	2014169704 2014-08-22 JP		
外部链接	Espacenet		

摘要(译)

一种驱动显示装置 (10) 的方法，其中多个像素电路 (20) 排列成矩阵，其中像素电路 (20) 是发光元件 (EL) 和根据视频信号的大小向发光元件 (EL) 供应电流的驱动晶体管 (Trd)。显示装置 (10) 的驱动方法是初始化驱动晶体管 (Trd)。在用于调整驱动晶体管 (Trd) 的初始化时段中，初始化电压调整单元 (30) 根据驱动晶体管 (Trd) 的劣化状态将初始化电压设置为高于驱动晶体管 (Trd) 的阈值电压。它应用于栅极和源极之间。



AA V_{th}
BB Initialization voltage
CC Stress after the passage of time
DD Initial stress
EE Time