

(19) 日本国特許庁(JP)

再 公 表 特 許(A1)

(11) 国際公開番号
WO2007/063662

発行日 平成21年5月7日 (2009.5.7)

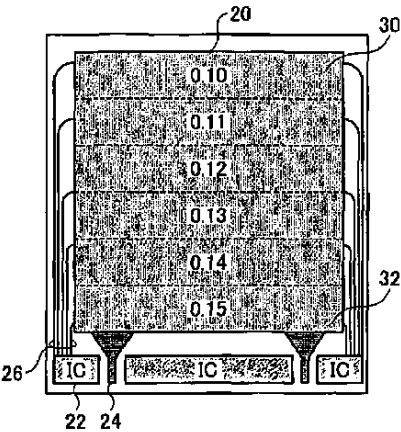
(43) 国際公開日 平成19年6月7日 (2007.6.7)

(51) Int. Cl.	F I	テーマコード (参考)
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/30 K	3 K 1 0 7
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 4 1 D	5 C 0 8 0
H 0 1 L 51/50 (2006.01)	G 0 9 G 3/20 6 4 2 A	
	G 0 9 G 3/20 6 2 4 B	
	G 0 9 G 3/20 6 2 1 A	
審査請求 未請求 予備審査請求 未請求 (全 21 頁) 最終頁に続く		

出願番号 特願2007-515552 (P2007-515552)	(71) 出願人 000006633 京セラ株式会社 京都府京都市伏見区竹田鳥羽殿町 6 番地
(21) 国際出願番号 PCT/JP2006/321574	
(22) 国際出願日 平成18年10月27日 (2006.10.27)	
(31) 優先権主張番号 特願2005-344080 (P2005-344080)	(72) 発明者 高杉 親知 神奈川県大和市下鶴間 1 6 2 3 - 1 4 株 式会社京セラディスプレイ研究所内
(32) 優先日 平成17年11月29日 (2005.11.29)	F ターム (参考) 3K107 AA01 BB01 CC33 EE03 HH02 HH04 HH05 5C080 AA06 BB05 DD05 EE28 EE29 FF11 JJ03 JJ04 JJ06
(33) 優先権主張国 日本国 (JP)	
最終頁に続く	

(54) 【発明の名称】 画像表示装置

(57) 【要約】
画像表示装置において、給電線の電圧降下によって発生する輝度むらの影響を抑制した輝度補償を行うことを目的とし、複数の画素と、複数の画素に対して電源電圧を共通に供給する給電線（24）と、を有する画像表示装置において、各画素は、通電により発光する発光手段（O L E D）と、発光手段（O L E D）の発光を制御するドライバ手段（T d）と、ドライバ手段（T d）に接続されるスイッチング手段（T t h）と、を備え、給電線に生じる電圧降下の大きさに応じてスイッチング手段（T t h）の寄生容量値を所定画素ごとに異ならせる。



【特許請求の範囲】**【請求項 1】**

画像表示装置において、
複数の画素と、複数の前記画素に対して電源電圧を共通に供給する給電線と、備え、
各前記画素は、
通電により発光する発光手段と、
前記発光手段の発光を制御するドライバ手段と、
前記ドライバ手段に接続されるスイッチング手段と、を備え、
前記給電線に生じる電圧降下の大きさに応じて前記スイッチング手段の寄生容量値を所定画素ごとに異ならせることを特徴とする画像表示装置。

10

【請求項 2】

画像表示装置において、
複数の画素と、複数の前記画素に対して電源電圧を共通に供給する給電線と、を備え、
各前記画素は、
通電により発光する発光手段と、
前記発光手段の発光を制御するドライバ手段と、
前記ドライバ手段に接続される容量素子と、を備え、
前記給電線に生じる電圧降下の大きさに応じて前記容量素子の容量値を所定画素ごとに異ならせることを特徴とする画像表示装置。

20

【請求項 3】

画像表示装置において、
複数の画素と、複数の前記画素に対して電源電圧を共通に供給する給電線と、前記各画素に接続される制御線と、を備え、
各前記画素は、
通電により発光する発光手段と、
前記発光手段の発光を制御するドライバ手段と、
前記制御線に電氣的に接続されるスイッチング手段と、を備え、
前記給電線に生じる電圧降下の大きさに応じて前記制御線の電位を所定画素ごとに異ならせることを特徴とする画像表示装置。

30

【請求項 4】

前記容量素子は、画像データ電位を一時的に保持することを特徴とする請求項 2 に記載の画像表示装置。

【請求項 5】

前記ドライバ手段は、第 1 端子と、第 2 端子と、前記第 1 端子と前記第 2 端子との間の通電状態を制御する制御信号が供給される制御端子と、を有し、前記発光手段の発光時に前記ドライバ手段の前記第 1 端子及び前記第 2 端子が前記発光手段に電氣的に接続されており、

前記スイッチング手段は、第 1 端子と、第 2 端子と、前記第 1 端子と前記第 2 端子との間の通電状態を制御する制御信号が供給される制御端子と、を有し、前記スイッチング手段の前記第 1 端子および前記第 2 端子が前記ドライバ手段の前記制御端子と前記第 1 端子との間に接続され、

40

前記制御線は、前記スイッチング手段の前記制御端子に電氣的に接続されることを特徴とする請求項 3 に記載の画像表示装置。

【請求項 6】

前記ドライバ手段に接続され、前記ドライバ手段に印加する画像データ電位を一時的に保持する容量素子を更に備え、

前記スイッチング手段は、前記容量素子に電氣的に接続され、前記容量素子への前記画像データ電位の供給のタイミングを制御することを特徴とする請求項 3 に記載の画像表示装置。

【請求項 7】

50

複数の前記画素はマトリックス状に配列されており、
行方向に配列される画素内の前記発光手段に共通に接続される電源線を更に備え、
前記給電線は、前記電源線に対して略直交する方向に沿って配置され、前記電源線との
交差位置で前記電源線に対して電氣的に接続されることを特徴とする請求項 1～3 のい
ずれか 1 つに記載の画像表示装置。

【請求項 8】

前記給電線に生じる電圧降下の大きさに応じて複数の前記画素を行毎に画素群としてグ
ループ化し、前記画素群ごとに前記スイッチング手段の寄生容量値、前記容量素子の容量
値、または前記制御線の電位を異ならせることを特徴とする請求項 7 に記載の画像表示装
置。

10

【請求項 9】

前記ドライバ手段と前記スイッチング手段が同じ導電型のトランジスタから成り、前記
給電線による電圧降下の大きさが大きい前記所定画素ほど、前記スイッチング手段の寄
生容量値が小さいことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 10】

前記ドライバ手段と前記スイッチング手段が互いに異なる導電型のトランジスタから成
り、前記給電線による電圧降下の大きさが大きい前記所定画素ほど、前記スイッチング手
段の寄生容量値が大きいことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 11】

前記ドライバ手段と前記スイッチング手段が同じ導電型のトランジスタから成り、前記
給電線による電圧降下の大きさが大きい前記所定画素ほど、前記容量素子の容量値が小
さいことを特徴とする請求項 4 に記載の画像表示装置。

20

【請求項 12】

前記ドライバ手段と前記スイッチング手段が互いに異なる導電型のトランジスタから成
り、前記給電線による電圧降下の大きさが大きい前記所定画素ほど、前記容量素子の容
量値が大きいことを特徴とする請求項 4 に記載の画像表示装置。

【請求項 13】

前記ドライバ手段と前記スイッチング手段が同じ導電型のトランジスタから成り、前記
給電線による電圧降下の大きさが大きい前記所定画素ほど、前記制御線の電位変化が小
さいことを特徴とする請求項 5 または請求項 6 に記載の画像表示装置。

30

【請求項 14】

前記ドライバ手段と前記スイッチング手段が互いに異なる導電型のトランジスタから成
り、前記給電線による電圧降下の大きさが大きい前記所定画素ほど、前記制御線の電位
変化が大きいことを特徴とする請求項 6 に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL ディスプレイ装置等の画像表示装置に関するものである。

【背景技術】

【0002】

40

従来から、発光層に注入された正孔と電子とが再結合することによって光を生じる機能
を有する有機 EL (Electroluminescence) 素子を用いた画像表示装
置が提案されている。

【0003】

この種の画像表示装置では、例えばアモルファスシリコンや多結晶シリコン等で形成さ
れた薄膜トランジスタ (Thin Film Transistor: 以下「TFT」と
いう) や有機 EL 素子の一つである有機発光ダイオード (Organic Light
Emitting Diode: 以下「OLED」という) などが各画素を構成しており
、各画素がマトリックス状に配置されている。そして、各画素に適切な電流値が設定され
ることにより、各画素の輝度が制御され、所望の画像が表示される。

50

【非特許文献1】R. M. A. Dawson, et al. (1998). Design of an Improved Pixel for a Polysilicon Active-Matrix Organic LED Display. SID98 Digest, pp. 11-14.

【非特許文献2】S. Ono, et al. (2003). Pixel Circuit for a-Si AM-OLED. Proceedings of IDW '03, pp. 255-258.

【発明の開示】

【発明が解決しようとする課題】

【0004】

10

ところで、このような画像表示装置においては、各画素に電源電圧を供給する給電線は、複数の画素に対して共通に接続されている。かかる給電線内においては電圧降下が生ずるため、各画素への印加電位が前記電圧降下に応じて画素ごとに変動することとなり、表示画像に輝度ムラが生ずることがある。例えば、マトリックス状に配列された各画素に対して下方向から所定の電圧を給電するような給電方式の場合には、下方に位置する画素よりも上方に位置する画素における有機EL素子への印加電圧が低下することになり、下方から上方に向かって輝度が低下するような輝度むらが視認される可能性があった。

【0005】

なお、各画素までの給電線の長さを揃えたり、給電線の抵抗値を揃えたりするなどの手法を採ることも可能ではあるが、画像表示装置を製造する上での制約となり、設計の自由度が阻害され、コスト上昇を余儀なくされるなど、好ましい手法であるとは言い難かった。

20

【0006】

本発明は、上記に鑑みてなされたものであって、給電線の電圧降下に依存して発生する輝度むらの影響を抑制した輝度補償を行うことが可能な画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明にかかる画像表示装置は、複数の画素と、複数の前記画素に対して電源電圧を共通に供給する給電線と、を備え、各前記画素は、通電により発光する発光手段と、前記発光手段の発光を制御するドライバ手段と、前記ドライバ手段に接続されるスイッチング手段と、を備え、前記給電線に生じる電圧降下の大きさに応じて前記スイッチング手段の寄生容量値を所定画素ごとに異ならせる。

30

【0008】

また、本発明にかかる画像表示装置は、複数の画素と、複数の前記画素に対して電源電圧を共通に供給する給電線と、を備え、各前記画素は、通電により発光する発光手段と、前記発光手段の発光を制御するドライバ手段と、前記ドライバ手段に接続される容量素子と、を備え、前記給電線に生じる電圧降下の大きさに応じて前記容量素子の容量値を所定画素ごとに異ならせる。

【0009】

40

また、本発明にかかる画像表示装置は、複数の画素と、複数の前記画素に対して電源電圧を共通に供給する給電線と、前記各画素に電氣的に接続される制御線と、を備え、各前記画素は、通電により発光する発光手段と、前記発光手段の発光を制御するドライバ手段と、前記制御線に電氣的に接続されるスイッチング手段と、を備え、前記給電線に生じる電圧降下の大きさに応じて前記スイッチング手段の駆動を制御する制御線の電位を所定画素ごとに異ならせる。

【発明の効果】

【0010】

本発明によれば、給電線に生じる電圧降下の影響を小さくすることができ、画像表示装置における輝度むらの影響を抑制した輝度補償を行うことができるという効果が得られる。

50

。

【発明を実施するための最良の形態】

【0011】

以下に、本発明の画像表示装置にかかる実施の形態を図面に基づいて詳細に説明する。なお、この実施の形態により本発明が限定されるものではない。

【0012】

図1は、本発明にかかる画像表示装置の一実施形態を説明するための図であり、画像表示装置の表示部における1画素に対応する画素回路の構成例を示す図である。すなわち、画像表示装置は、同図に示すような画素回路がマトリックス状に複数配列した構成を有している。

10

【0013】

図1に示す画素回路は、発光手段の一つである有機発光素子OLEDと、有機発光素子OLEDを駆動するためのドライバ手段である駆動トランジスタTdと、駆動トランジスタTdの閾値電圧を検出するための閾値電圧検出用トランジスタTthと、データ電位（ $-V_{data}$ ）を保持するための保持容量Csと、スイッチングトランジスタTsと、スイッチングトランジスタTmと、を備えた構成を有している。

【0014】

駆動トランジスタTdは、制御端子であるゲートと、第1の端子であるドレインと、第2の端子であるソースと、を備え、ゲートとソースとの間に与えられる電位差に応じて有機発光素子OLEDに流れる電流量を制御するための制御素子（駆動素子）である。

20

【0015】

閾値電圧検出用トランジスタTthは、オン状態となったときに、駆動トランジスタTdのゲートとドレインとを電氣的に接続する。その結果、駆動トランジスタTdのソースに対するゲートの電位が実質的に駆動トランジスタTdの閾値電圧Vthとなるまで、駆動トランジスタTdのゲートからドレインに向かって電流が流れ、駆動トランジスタTdの閾値電圧Vthが検出される。

【0016】

有機発光素子OLEDは、Al、CuまたはITO（Indium Tin Oxide）等の導電材料によって形成されたアノード層およびカソード層と、アノード層とカソード層との間にフタルシアニン、トリスアルミニウム錯体、ベンゾキノリノラトまたはベリリウム錯体等の有機系の材料によって形成された発光層と、を少なくとも備えた構造を有している。そして、有機発光素子OLEDの両端に、OLEDの閾値電圧以上の電位差が印加されると、発光層に注入された正孔と電子とが再結合することによって、発光層から光を生じる機能を有する。

30

【0017】

駆動トランジスタTd、閾値電圧検出用トランジスタTth、スイッチングトランジスタTsおよびスイッチングトランジスタTmは、例えば、薄膜トランジスタとして構成される。なお、以下で参照される各図面においては、各薄膜トランジスタについてのチャネル（n型またはp型）については、特に明示していないが、n型またはp型のいずれを用いてもよい。本実施形態においては、上述したように、各薄膜トランジスタはn型である。また各薄膜トランジスタは、非晶質シリコン、微結晶シリコン、及びポリシリコンのいずれを用いても良い。

40

【0018】

電源線10は、駆動トランジスタTdおよびスイッチングトランジスタTmに所定の電源電圧を供給する。Tth制御線11は、閾値電圧検出用トランジスタTthの駆動を制御するための信号を閾値電圧検出用トランジスタTthに供給する。マージ線12は、スイッチングトランジスタTmの駆動を制御するための信号をスイッチングトランジスタTmに供給する。走査線13は、スイッチングトランジスタTsの駆動を制御するための信号をスイッチングトランジスタTsに供給する。画像信号線14は、画像信号を保持容量Csに供給する。なお、電源線10、Tth制御線11、マージ線12および走査線13

50

は、行方向に配列される各画素回路に対して共通に接続されている。また、画像信号線 14 は、列方向に配列される各画素回路に対して共通に接続されている。

【0019】

なお、図 1 では、有機発光素子 O L E D に所定の電圧を供給するために、有機発光素子 O L E D のアノード側にグラウンド線を、カソード側に電源線 10 を電氣的に接続するようにしているが、有機発光素子 O L E D のアノード側に電源線 10 を、カソード側にグラウンド線を接続するようにしても良い。あるいは有機発光素子 O L E D のアノード側及びカソード側の双方に対して電源線を接続するようにしてもよい。

【0020】

ところで、トランジスタには、一般的にゲート・ソース間およびゲート・ドレイン間に 10 寄生容量が存在する。これらのうち、本実施形態における駆動トランジスタ T d のゲート電位に影響を与えるのは、主として駆動トランジスタ T d のゲート・ソース間容量 C g s T d、駆動トランジスタ T d のゲート・ドレイン間容量 C g d T d、および閾値電圧検出用トランジスタ T t h のゲート・ソース間容量 C g s T t h、閾値電圧検出用トランジスタ T t h のゲート・ドレイン間容量 C g d T t h である。なお、これらの寄生容量と、有機発光素子 O L E D が固有に有している素子容量 C o l e d を加えたものを図 2 に示す。

【0021】

つぎに、本実施の形態の動作について、図 3～図 7 を参照して説明する。ここで、図 3 は、図 2 に示した画素回路の一般的な動作を説明するためのシーケンス図であり、図 4～ 20 図 7 は、4 つの期間に区分された準備期間（図 4）、閾値電圧検出期間（図 5）、書き込み期間（図 6）および発光期間（図 7）の各区間の動作を説明するための図である。なお、以下に説明する動作は、制御部（図示略）の制御下で行われる。

【0022】

（準備期間）

準備期間の動作については、図 3 および図 4 を参照して説明する。準備期間では、電源線 10 が高電位（V p）、マージ線 12 が高電位（V g H）、T t h 制御線 11 が低電位（V g L）、走査線 13 が低電位（V g L）、画像信号線 14 がゼロ電位とされる。これにより、図 4 に示すように、閾値電圧検出用トランジスタ T t h がオフ、スイッチングトランジスタ T s がオフ、駆動トランジスタ T d がオン、スイッチングトランジスタ T m が 30 オンとされ、電源線 10 → 駆動トランジスタ T d → 有機発光素子容量 C o l e d という経路で電流が流れ、有機発光素子容量 C o l e d に電荷が蓄積される。なお、この準備期間で素子容量 C o l e d に電荷を蓄積する理由は、後述する閾値電圧検出期間に駆動トランジスタ T d の閾値電圧 V t h を検出する際に、素子容量 C o l e d を駆動トランジスタ T d のドレイン・ソース間に流す電流（I d s）の供給源として作用させるためである。

【0023】

（閾値電圧検出期間）

つぎに、閾値電圧検出期間の動作について図 3 および図 5 を参照して説明する。閾値電圧検出期間では、電源線 10 がゼロ電位、マージ線 12 が高電位（V g H）、T t h 制御線 11 が高電位（V g H）、走査線 13 が低電位（V g L）、画像信号線 14 がゼロ電位 40 とされる。これにより、図 5 に示すように、閾値電圧検出用トランジスタ T t h がオンとなり、駆動トランジスタ T d のゲートとドレインとが接続される。

【0024】

また、保持容量 C s および素子容量 C o l e d に蓄積された電荷が放電され、駆動トランジスタ T d → 電源線 10 という経路で電流が流れる。そして、駆動トランジスタ T d のソースに対するゲートの電位が閾値電圧 V t h に達すると、駆動トランジスタ T d が実質的にオフとされ、駆動トランジスタ T d の閾値電圧 V t h が検出される。

【0025】

（書き込み期間）

さらに、書き込み期間の動作について図 3 および図 6 を参照して説明する。書き込み期間では、データ電位（-V d a t a）を保持容量 C s に供給することにより、駆動トラン 50

ジスタT_dのゲート電位をデータ電位に応じた所望の電位に変化させることが行われる。具体的には、電源線10がゼロ電位、マージ線12が低電位(V_{gL})、T_{th}制御線11が高電位(V_{gH})、走査線13が高電位(V_{gH})、画像信号線14がデータ電位(-V_{d_at_a})とされる。

【0026】

これにより、図6に示したように、スイッチングトランジスタT_sがオン、スイッチングトランジスタT_mがオフとなり、素子容量C_{oled}に蓄積された電荷が放電され、素子容量C_{oled}→閾値電圧検出用トランジスタT_{th}→保持容量C_sという経路で電流が流れ、保持容量C_sに電荷が蓄積される。すなわち、素子容量C_{oled}に蓄積された電荷は、保持容量C_sに移動する。その結果、駆動トランジスタT_dのゲート電位がデータ電位に対応した電位となる。なお、画像信号線14をデータ電位(-V_{d_at_a})とする期間は、走査線13に走査信号である高電位(V_{gH})とする期間よりも長くすることが好ましい。その理由は、走査線13を高電位にした後、実際に駆動トランジスタT_dのゲート電位が画像信号線14から供給されるデータ電位(-V_{d_at_a})に対応した電位となるまでに少し時間を要するからである。

【0027】

ここで、駆動トランジスタT_dの閾値電圧をV_{th}、保持容量C_sの容量値をC_s、閾値電圧検出用トランジスタT_{th}がオンの場合の全容量(すなわち駆動トランジスタT_dのゲートに接続された静電容量および寄生容量)をC_{all}とすると、駆動トランジスタT_dのゲート電位V_gは、次式で表される(なお、上記仮定は、以下の式についても及ぶものとする)。

【0028】

$$V_g = V_{th} - (C_s / C_{all}) \cdot V_{data} \quad \dots (1)$$

また、保持容量C_sの両端の電位差V_{C_s}は、次式で表される。

【0029】

$$V_{C_s} = V_g - (-V_{data}) = V_{th} + [(C_{all} - C_s) / C_{all}] \cdot V_{data} \quad \dots (2)$$

上記(2)式に示される全容量C_{all}は、閾値電圧検出用トランジスタT_{th}の導通時の全容量であり、次式で表される。

【0030】

$$C_{all} = C_{oled} + C_s + C_{gsT_{th}} + C_{gdT_{th}} + C_{gsT_d} \quad \dots (3)$$

なお、上記(3)式に駆動トランジスタT_dのゲート・ドレイン間容量C_{gdT_d}が含まれていないのは、駆動トランジスタT_dのゲート・ドレイン間が閾値電圧検出用トランジスタT_{th}によって電氣的に接続され、駆動トランジスタT_d両端が略同電位となっているからである。また、保持容量C_sと素子容量C_{oled}とは、C_s < C_{oled}の関係を満足している。

【0031】

(発光期間)

最後に、発光期間の動作について図3および図7を参照して説明する。発光期間では、電源線10がマイナス電位(-V_{DD})、マージ線12が高電位(V_{gH})、T_{th}制御線11が低電位(V_{gL})、走査線13が低電位(V_{gL})、画像信号線14がゼロ電位とされる。

【0032】

これにより、図7に示したように、駆動トランジスタT_dがオン、閾値電圧検出用トランジスタT_{th}がオフ、スイッチングトランジスタT_sがオフとなり、有機発光素子OLED→駆動トランジスタT_d→電源線10という経路で電流が流れ、有機発光素子OLEDが発光する。

【0033】

このとき、駆動トランジスタT_dのドレインからソースに流れる電流(すなわちI_{ds})は、駆動トランジスタT_dの構造および材質から決定され、駆動トランジスタT_dのキャリアの移動度に比例する定数β、駆動トランジスタT_dのソースに対するゲートの電位

V_{gs} 、駆動トランジスタ T_d の閾値電圧 V_{th} を用いて次式で表される。

【0034】

$$I_{ds} = (\beta/2) \cdot (V_{gs} - V_{th})^2 \quad \dots (4)$$

つぎに、駆動トランジスタ T_d のソースに対するゲート電位の V_{gs} と電流 I_{ds} との関係を考えるため、画素回路の寄生容量を考慮しない場合の電位差 V_{gs} を算出する。

【0035】

図7において、発光時には駆動トランジスタ T_d が導通している。また、駆動トランジスタ T_d のゲート電位は、書き込み電位 ($-V_{data}$) に対応する電荷が保持容量 C_s と素子容量 C_{oled} との間で容量に応じて分配された状態となるので、 V_{gs} は、次式で表せる。

10

【0036】

$$V_{gs} = V_{th} + C_{oled} / (C_s + C_{oled}) \cdot V_{data} \quad \dots (5)$$

したがって、駆動トランジスタ T_d のソースに対するゲートの電位 V_{gs} と電流 I_{ds} との関係式は、上記 (4) 式、(5) 式を用いて次式のようにになる。

【0037】

$$\begin{aligned} I_{ds} &= (\beta/2) \cdot (C_{oled} / (C_s + C_{oled}) \cdot V_{data})^2 \\ &= a \cdot V_{data}^2 \quad \dots (6) \end{aligned}$$

(6) 式に示されるように、理論的には、閾値電圧 V_{th} に依存しない電流 I_{ds} を得ることができる。なお、有機発光素子 $OLED$ の輝度は、自身に流れる電流に比例するので、閾値電圧 V_{th} に実質的に依存しない輝度が得られることになる。

20

【0038】

このように、上記画素回路は、駆動トランジスタ T_d の閾値電圧の変化や、駆動トランジスタ T_d を含む各トランジスタが有する寄生容量の影響を補償している。

【0039】

図8は、上述の画素回路を有する画像表示装置の表示部と、表示部以外の領域を示す図である。同図に示す画像表示装置は、大略的に、基板上に、表示部20と、表示部20を構成する各画素回路に電源電圧を供給する給電線24と、各画素回路に接続される T_{th} 制御線11、走査線13及び画像信号線14等への信号の供給を制御する駆動IC22と、 T_{th} 制御線11、走査線13及び画像信号線14等の駆動信号線26と、を具備した構成を有している。なお、給電線24は、表示部20外から表示部20内にかけて上下方向に配置される。給電線24の一端側は、表示部20の領域内において給電線24に対して略直交する方向に配置された各画素回路の電源線10に電氣的に接続される。また給電線24の他端側は、図示しない電極パッドを介して電源電圧の出力端子に電氣的に接続される。

30

【0040】

ところで、図8に示すような給電方式では、給電線24に生ずる電圧降下が給電線24の配線の長さに応じて異なるため、下方に位置する画素回路よりも上方に位置する画素回路の方が画素回路に供給される電圧が低下する傾向にある。それ故、下方から上方に向かって輝度が低下するような輝度むらが視認される可能性があった。

【0041】

40

そこで、本実施の形態では、画素回路上の所定の回路要素の値や、所定の回路要素への制御電圧を画素ごとに異ならせたりすることにより、上記のような輝度むらの発生を抑止するようにしている。以下、その補償手法について説明する。

【0042】

(第1の補償手法—閾値電圧検出用トランジスタ T_{th} のゲート・ソース間容量 $C_{gs} T_{th}$ を調整する手法)

図7、図8における画像表示装置においては、発光時に各画素の有機発光素子 $OLED$ に流れる電流は、電源線10に接続される給電線24を介して供給される。この給電線24が持つ抵抗により、表示部20外における給電線24の任意の基準点 (例えば、給電線24の他端、以下「給電点」という) から各画素の画素回路までの距離に応じて、高電位

50

線（図7の例ではグラウンド線）側の電位が降下し、および／または電源線10の電位が上昇し、有機発光素子OLEDの両端に印加される電圧が降下する。また、発光時において、駆動トランジスタTdのゲートに電氣的に接続される容量要素は、保持容量Cs、駆動トランジスタTdのゲート・ドレイン間容量CgdTd、駆動トランジスタTdのゲート・ソース間容量CgsTd、及び閾値電圧検出用トランジスタTthのゲート・ソース間容量CgsTthである。

【0043】

ここで、グラウンド線の電位降下量をxとすれば、電位降下量xのときの駆動トランジスタTdのソースに対するゲートの電位Vgsの電圧降下量 ΔVgs は、次式で表すことができる。

10

【0044】

$$\Delta Vgs = x \cdot CgdTd / (Cs + CgdTd + CgsTd + CgsTth) \quad \dots (7)$$

一方、電源線10の電位上昇量をyとすれば、電位上昇量yのときの駆動トランジスタTdのソースに対するゲートの電位Vgsの電圧降下量 ΔVgs は、(7)式と同様に、次式で表すことができる。

【0045】

$$\Delta Vgs = y \cdot (CgdTd + CgsTth) / (Cs + CgdTd + CgsTd + CgsTth) \quad \dots (8)$$

(7)式および(8)式に示される ΔVgs が、給電点からの距離に応じて降下するソースに対するゲートの電位Vgsの電圧降下量であるため、この電圧降下量 ΔVgs だけ補償するように補償電圧を駆動トランジスタTdに印加すれば、画像表示装置で視認される輝度むらを抑制することが可能となる。

20

【0046】

また、給電点に最も近い画素回路に印加されるソースに対するゲートの電位Vgsは給電線の電圧降下成分の影響を最も受けないので、駆動トランジスタTdに印加すべき補償電圧は他の画素回路と比べて最も小さくてよい。この給電点に最も近い画素回路に印加されるソースに対するゲートの電位VgsをVgsminとすると、各画素回路の駆動トランジスタTdに印加するソースに対するゲートの電位Vgsは、上記(7)式および／または(8)式で示される電圧降下量 ΔVgs を用いて、次式で表すことができる。

【0047】

$$Vgs = Vgsmin + \Delta Vgs \quad \dots (9)$$

30

(9)式によれば、給電点に最も近い画素に最大輝度を与える電流および給電線の抵抗に基づいて、給電線の電圧降下の影響を受けることなく各画素を最大輝度で発光させるのに必要なゲート・ソース間の電位差(Vgs)の算出が可能となることを意味している。なお、(9)式に示される ΔVgs は、給電点からの距離が長くなる程、その値が増加するので、同式左辺のVgsも ΔVgs の増加にあわせて増加させる必要がある。

【0048】

つぎに、(9)式に示される ΔVgs の制御について説明する。まず、各画素における閾値電圧検出用トランジスタTthのゲート・ソース間容量CgsTthの大きさを調整することを考える。いま、給電点に最も近い画素の閾値電圧検出用トランジスタTthのゲート・ソース間容量CgsTthをCgsTthmaxとし、(9)式の ΔVgs に基づいて決定されるCgsTthの変動量を $\Delta CgsTth$ とすれば、各画素ごとに設定される閾値電圧検出用トランジスタTthのゲート・ソース間容量CgsTthは、これらのCgsTthmaxおよび $\Delta CgsTth$ を用いて、次式で表すことができる。

40

【0049】

$$CgsTth = CgsTthmax - \Delta CgsTth \quad \dots (10)$$

一方、書き込み期間の終了後、閾値電圧検出用トランジスタTthを制御するTth制御線11は、高電位(VgH)から低電位(VgL)に変化するので(図3参照)、駆動トランジスタTdへの印加電圧の変動量は、

$$-(VgH - VgL) \cdot (CgdTth + CgsTthmax - \Delta CgsTth) / (Cs + CgdTd + CgsTd + CgsTthmax - \Delta CgsTth) \quad \dots (11)$$

50

で与えられる。

【0050】

また、上述の画素回路では、 $\Delta C_{gsTth} \ll C_s$ という関係が一般的に成立するので、上記(11)式は、

$$-(V_{gH} - V_{gL}) \cdot (C_{gdTth} + C_{gsTthmax} - \Delta C_{gsTth}) / (C_s + C_{gdTd} + C_{gsTd} + C_{gsTthmax}) \quad \dots (12)$$

のように簡略化することができる。

【0051】

なお、(9)式における右辺第1項の成分が(12)式における「 $C_{gdTth} + C_{gsTthmax}$ 」の項に相当し、また(9)式における右辺第2項の成分が(12)式における「 ΔC_{gsTth} 」の項に相当する。 10

【0052】

したがって、これらの関係と(7)式および(8)式に基づく ΔV_{gs} の成分を用いれば、(9)式の右辺第2項の成分は、次式のように表すことができる。

【0053】

$$\Delta V_{gs} = [-x \cdot C_{gdTd} - y \cdot (C_{gdTd} + C_{gsTthmax}) + (V_{gH} - V_{gL}) \cdot \Delta C_{gsTth}] / (C_s + C_{gdTd} + C_{gsTd} + C_{gsTthmax}) \quad \dots (13)$$

上記(13)式において、 $\Delta V_{gs} = 0$ となるような ΔC_{gsTth} を算出すると、次式で表すことができる。

【0054】

$$\Delta C_{gsTth} = [x \cdot C_{gdTd} + y \cdot (C_{gdTd} + C_{gsTthmax})] / (V_{gH} - V_{gL}) \quad \dots (14)$$

したがって、(14)式を満足するような C_{gsTth} 成分を有する閾値電圧検出用トランジスタ T_{th} を設計すれば、理論的には、各画素における駆動トランジスタ T_d のソースに対するゲートの電位 V_{gs} の変動が最も低減され、表示画面全体で略均一な輝度が得られる。なお、実際には、(14)式に基づいて、給電線の電圧降下の大きさが大きい画素ほど、閾値電圧検出用トランジスタ T_{th} の寄生容量成分 C_{gsTth} が小さくなるようにすれば、各画素における駆動トランジスタ T_d のソースに対するゲートの電位 V_{gs} の変動が低減され、表示画面全体で略均一な輝度が得られる。なお、寄生容量成分 C_{gsTth} は、画素毎に個別に値を異ならせてもよいが、マトリックス状に配列された複数の画素を行毎にグループ分けし、該グループ毎に値を異ならせるようにした方が、生産性の観点から好ましい。 30

【0055】

本実施形態においては、駆動トランジスタ T_d と閾値電圧検出用トランジスタ T_{th} が同じn型のトランジスタであり、両者は同じ導電型のトランジスタであるため、給電線による電圧降下の大きさが大きい画素ほど、閾値電圧検出用トランジスタ T_{th} の寄生容量成分 C_{gsTth} が小さくなるように設定している。駆動トランジスタ T_d と閾値電圧検出用トランジスタ T_{th} がp型のトランジスタである場合も同様である。これに対して、駆動トランジスタ T_d と閾値電圧検出用トランジスタ T_{th} とが異なる導電型のトランジスタである場合(例：駆動トランジスタ T_d がn型、閾値電圧検出用トランジスタ T_{th} がp型の場合、もしくはその逆である場合)、前記給電線による電圧降下の大きさが大きい画素ほど、閾値電圧検出用トランジスタ T_{th} の寄生容量成分 C_{gsTth} が大きくなるようにする。 40

【0056】

なお、実際の設計では、例えば閾値電圧検出用トランジスタ T_{th} のチャネル幅を画素毎に調整することで、この C_{gsTth} の容量値を制御することが可能である。なぜなら、TF T の寄生容量は、ソースまたはドレインとゲートの重なり面積に比例するため、チャネル長方向の重なり距離が同一ならば、チャネル幅方向の重なり距離に比例するからである。なお、この種の手法は、製造工程の変更を小さく抑え、生産性を高く維持することができるという利点を有している。

【0057】

(実施例)

図9は、閾値電圧検出用トランジスタ T_{th} のゲート・ソース間容量 C_{gsTth} を給電点からの距離に応じて調整する設計を行った画像表示装置の一実施例を示す図である。同図において、表示画面上のハッチングで識別した部分の数値は、閾値電圧検出用トランジスタ T_{th} 導通時の全容量(C_{all})に対する閾値電圧検出用トランジスタ T_{th} のゲート・ソース間容量(C_{gsTth})の容量比(C_{gsTth}/C_{all})を示している。なお、同図に示す実施例では、かかる容量比を、例えば表示画面の上部領域30では「0.10」に設定し、表示画面の下部領域32では「0.15」に設定しているが、ごく一例を示したものであり、これらの数値に限定されるものではない。また、同図に示す実施例では、表示画面の行方向(電源線に平行な方向)の数行の画素をグルーピング化した画素群ごとに同一の容量比を設定しているが、行方向の画素ごとに異なる容量比を設定しても構わない。このようにすれば、輝度にかかる表示画面全体の均一度が増加し、さらに良好な視認性が得られる。

【0058】

(第2の補償手法—保持容量 C_s を調整する手法)

第1の補償手法では、閾値電圧検出用トランジスタ T_{th} のゲート・ソース間容量 C_{gsTth} を調整するようにしていたが、保持容量 C_s を調整するようにしてもよい。

【0059】

例えば、閾値電圧検出用トランジスタ T_{th} のゲート・ソース間容量 C_{gsTth} のときと同様に、給電点から遠ざかるにしたがって、すなわち給電線の電圧降下が大きい画素ほど、各画素ごとに設定される保持容量 C_s が減少するように制御すればよい。いま、給電点に最も近い画素回路の保持容量 C_s を C_{smax} とし、上記(9)式の ΔV_{gs} に基づいて決定される保持容量 C_s の変動量を ΔC_s とすれば、各画素ごとに設定される保持容量 C_s は、上記(10)式と同様に次式で表すことができる。

【0060】

$$C_s = C_{smax} - \Delta C_s \quad \dots (15)$$

一方、最大輝度の書き込み電圧を $V_{datamax}$ とすると、駆動トランジスタ T_d のソースに対するゲートの電位 V_{gs} は、この $V_{datamax}$ を用いて、次式のように表すことができる。

【0061】

$$V_{gs} = V_{th} + C_{oled} / (C_{smax} - \Delta C_s + C_{oled}) \cdot V_{datamax} \quad \dots (16)$$

ここで、上記(16)式の第2項の成分が駆動トランジスタ T_d への印加電圧の変動量 ΔV_{gs} に相当するので、この ΔV_{gs} は次式のように表すことができる。

【0062】

$$\begin{aligned} \Delta V_{gs} &= C_{oled} \cdot [1 / (C_{smax} - \Delta C_s + C_{oled}) - 1 / (C_{smax} + C_{oled})] \cdot V_{datamax} \\ &= C_{oled} \cdot \Delta C_s \cdot V_{datamax} / (C_{smax} - \Delta C_s + C_{oled}) \cdot (C_{smax} + C_{oled}) \end{aligned} \quad \dots (17)$$

なお、上述の画素回路では、 $\Delta C_s \ll C_{oled}$ という関係も一般的に成立するので、(16)式は、さらに次式のように近似することができる。

【0063】

$$\Delta V_{gs} = C_{oled} \cdot \Delta C_s \cdot V_{datamax} / (C_{smax} + C_{oled})^2 \quad \dots (18)$$

その結果、画素ごとに設定される保持容量 C_s は、上記(15)式および(18)式の両式に基づいて、次式のように表すことができる。

【0064】

$$C_s = C_{smax} - \Delta V_{gs} \cdot (C_{smax} + C_{oled})^2 / (C_{oled} \cdot V_{datamax}) \quad \dots (19)$$

したがって、保持容量 C_s を、画素ごとに(19)式を満足するような値に設定することにより、各画素における駆動トランジスタ T_d のソースに対するゲートの電位 V_{gs} の変動が低減され、表示画面全体で略均一な輝度が得られる。

【0065】

(19)式を満足するように保持容量 C_s を設定した場合、駆動トランジスタ T_d と閾

10

20

30

40

50

値電圧検出トランジスタ T_{th} が同じ導電型のトランジスタであれば、給電線による電圧降下の大きさが大きい画素ほど、保持容量 C_s の容量値が小さくなる。

【0066】

これに対して、駆動トランジスタ T_d と閾値電圧検出トランジスタ T_{th} が互いに異なる導電型のトランジスタであれば、給電線による電圧降下の大きさが大きい画素ほど、保持容量 C_s の容量値が大きくなる。

【0067】

(第3の補償手法—閾値電圧検出用トランジスタ T_{th} を制御する T_{th} 制御線の制御電圧を調整する手法)

また、上記手法に代えて、閾値電圧検出用トランジスタ T_{th} を制御する T_{th} 制御線 10 の制御電圧を調整するようにしてもよい。

【0068】

例えば、各画素の画素回路において、閾値電圧検出用トランジスタ T_{th} に印加する高電位側の電位 (V_{gH}) の最大値を V_{gHmax} とし、その変動量を ΔV_{gH} とすれば、これらの各要素間には、次式の関係が成立する。

【0069】

$$V_{gH} = V_{gHmax} - \Delta V_{gH} \quad \dots (20)$$

ここで、(20) 式で示される V_{gH} を (11) 式に代入すると、駆動トランジスタ T_d への印加電圧の変動量 ΔV_{gs} は、次式のように表すことができる。

【0070】

$$\begin{aligned} \Delta V_{gs} &= -(V_{gHmax} - \Delta V_{gH} - V_{gL}) \cdot C_{gsTth} / (C_s + C_{gdTd} + C_{gsTd} + C_{gsTth}) \\ &= -(V_{gHmax} - V_{gL}) \cdot C_{gsTth} / (C_s + C_{gdTd} + C_{gsTd} + C_{gsTth}) + \Delta V_{gH} \cdot C_{gsTth} / (C_s + C_{gd} \\ &\quad T_d + C_{gsTd} + C_{gsTth}) \quad \dots (21) \end{aligned}$$

上記 (21) 式において、 $\Delta V_{gs} = 0$ となるような ΔV_{gH} を算出すると、次式で表すことができる。

【0071】

$$\Delta V_{gH} = \Delta V_{gs} \cdot (C_s + C_{gdTd} + C_{gsTd} + C_{gsTth}) / C_{gsTth} \quad \dots (22)$$

したがって、給電点に最も近い画素回路における閾値電圧検出用トランジスタ T_{th} への制御電圧 (高電位値) から、(22) 式を満足するような ΔV_{gH} だけ降下させた制御電圧を閾値電圧検出用トランジスタ T_{th} に印加するようにすれば、各画素における駆動トランジスタ T_d のソースに対するゲートの電位 V_{gs} の変動が低減され、表示画面全体で略均一な輝度が得られる。

【0072】

(22) 式を満足するように制御電圧を変化させた場合、駆動トランジスタ T_d と閾値電圧検出トランジスタ T_{th} が同じ導電型のトランジスタであれば、給電線による電圧降下の大きさが大きい画素ほど、制御電圧の変化量 ΔV_{gH} が小さくなる。

【0073】

一方、駆動トランジスタ T_d と閾値電圧検出トランジスタ T_{th} が互いに異なる導電型のトランジスタであれば、給電線による電圧降下の大きさが大きい画素ほど、制御電圧の変化量 ΔV_{gH} が大きくなる。

【0074】

(第4の補償手法—外部容量を付加する手法)

また、上記手法に代えて、例えば、図12に示すように、閾値電圧検出用トランジスタ T_{th} のゲート・ソース間容量 C_{gsTth} に対して並列に外部容量を付加するようにしてもよい。なお、このときに付加される容量値は、(8) 式に示されるように閾値電圧検出用トランジスタ T_{th} のゲート・ソース間容量 C_{gsTth} に加算されるので、給電点に最も近い画素回路に付加される外部容量を基準とし、給電点からの距離に応じて、すなわち給電線の電圧降下の大きさに応じてその値を所定量だけ低減させた外部容量を付加するようにすればよい。

【0075】

10

20

30

40

50

またこの場合、外部容量の容量値は、駆動トランジスタ T_d と閾値電圧トランジスタ T_{th} が同じ導電型である場合、電圧降下が大きい画素ほど小さくする。また、駆動トランジスタ T_d と閾値電圧トランジスタ T_{th} が異なる導電型である場合、電圧降下が大きい画素ほど大きくする。

【0076】

(他の実施形態－ V_{th} 補償機能を有する回路例)

図10は、図2の画像表示装置とは異なる他の実施形態を説明するための図であり、 V_{th} 補償機能を具備する回路例を示すものである。同図に示す画素回路では、有機発光素子OLEDが低電位側に接続されるとともに、マージ線12に接続されるスイッチングトランジスタ T_m と駆動トランジスタ T_d とが直列に接続されるように配置している。 10

【0077】

この種の画素回路においても、各画素回路上における駆動トランジスタ T_d のソースに対するゲートの電位 V_{gs} の変動を低減させるための原理は同一であり、上述の第1～第4の補償手法をそのまま適用することができる。

【0078】

(他の実施形態－ V_{th} 補償機能を有さない回路例)

図11は、図2及び図10の画像表示装置とは異なる他の実施形態を説明するための図であり、 V_{th} 補償機能を有さない回路例を示すものである。同図に示す画素回路は、 V_{th} 補償機能を有していないため、閾値電圧検出用トランジスタ T_{th} 、スイッチングトランジスタ T_m や、 T_{th} 制御線及びマージ線などの構成要素が存在しない。 20

【0079】

図11に示す画素回路においても、各画素回路上における駆動トランジスタ T_d のソースに対するゲートの電位 V_{gs} の変動を低減させるための原理は、上述した V_{th} 補償機能を有する画素回路と同一である。したがって、制御対象を閾値電圧検出用トランジスタ T_{th} からスイッチングトランジスタ T_m に変更すれば、上述の第1～第4の補償手法を適用することができる。

【0080】

例えば、図11に示す画素回路では、第1の補償手法を適用する場合、スイッチングトランジスタ T_m のゲート・ソース間容量(C_{gdTs})を調整すればよい。また、第2の補償手法を適用して保持容量 C_s の容量値を変化させてもよい。また、第3の補償手法を適用して、スイッチングトランジスタ T_m を制御する走査線13の制御電圧を可変させてもよい。第4の補償手法を適用して、スイッチングトランジスタ T_m のゲート・ソース間容量 C_{gdTs} に対して並列に外部容量を付加するようにしてもよい。 30

【0081】

なお、画像表示装置が、例えば、赤、緑、青の三原色画素が一つの絵素を構成する多色表示あるいは類似の多色表示を行なう場合、閾値電圧検出用トランジスタ T_{th} 導通時の全容量(C_{all})に対する閾値電圧検出用トランジスタ T_{th} のゲート・ソース間容量(C_{gsTh})の容量比は色ごとに異なるのが一般的である。このため、各色ごとに好適な容量比を設定することにより、給電線の長さや抵抗値の差異に依存して発生する輝度むらの影響を抑制した輝度補償各色ごとに実現することができる。また、発光手段として、有機発光素子以外の発光素子、例えば、LEDや無機ELについても本発明を適用できることは言うまでもない。 40

【0082】

また、上述の実施形態においては、給電線は下方より電源電圧を供給する方式であったが、上方より電源電圧を供給する方式または上方及び下方の双方より電源電圧を供給する方式としても構わない。これらいずれの方式であっても、基本的には、給電線に生じる電圧降下の大きさに応じて画素をグループ分けし、そのグループ毎に、トランジスタの寄生容量値や容量素子の容量値、制御線の電位を調整すればよい。また、給電線に生じる電圧降下の大きさのみならず、給電線に接続される電源線に生じる電圧降下に応じて、前記グループ分けされた画素を更に細かく小グループ分けし、該小グループ毎にトランジスタの 50

寄生容量値や容量素子の容量値、制御線の電位を調整するようにしてもよい。

【0083】

また、上述の実施形態においては、給電線と電源線とが略直交するように交差しているが、給電線と電源線とが略平行に配置されている場合、すなわち、給電線が図8において表示部20の左側または右側に配置されている場合、給電線と電源線とを一体化して給電線とみなし、給電線に生じる電圧降下の大きさに応じて複数の画素をグループ分けすることが好ましい。この場合、上述の実施形態とは異なり、列毎に画素のグループ分けが行われる。

【図面の簡単な説明】

【0084】

10

【図1】本発明にかかる画像表示装置の一実施形態を説明するための図であり、画像表示装置の表示部における1画素に対応する画素回路の構成例を示す図である。

【図2】図1に示した画素回路上にトランジスタの寄生容量および素子容量を示した回路構成を示す図である。

【図3】図2に示した画素回路の一般的な動作を説明するためのシーケンス図である。

【図4】図3に示した準備期間の動作を説明する図である。

【図5】図3に示した閾値電圧検出期間の動作を説明する図である。

【図6】図3に示した書き込み期間の動作を説明する図である。

【図7】図3に示した発光期間の動作を説明する図である。

【図8】画像表示装置の表示部と表示部以外の領域とを示す図である。

20

【図9】閾値電圧検出用トランジスタ T_{th} のゲート・ソース間容量 $C_{gsT_{th}}$ を給電点からの距離に応じて可変する設計を行った画像表示装置の一実施例を示す図である。

【図10】本発明にかかる画像表示装置の実施形態を説明するための図である。

【図11】本発明にかかる画像表示装置の他の実施形態を説明するための図である。

【図12】本発明にかかる画像表示装置の他の実施形態を説明するための図である。

【符号の説明】

【0085】

10 電源線

11 T_{th} 制御線

12 マージ線

30

13 走査線

14 画像信号線

20 表示部

22 駆動IC

24 給電線

26 駆動信号線

OLED 有機発光素子

T_d 駆動トランジスタ

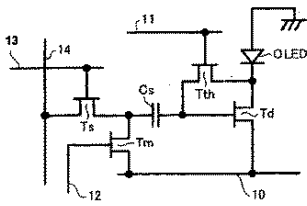
T_{th} 閾値電圧検出用トランジスタ

T_s , T_m スイッチングトランジスタ

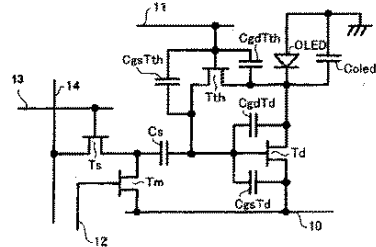
40

C_s 保持容量

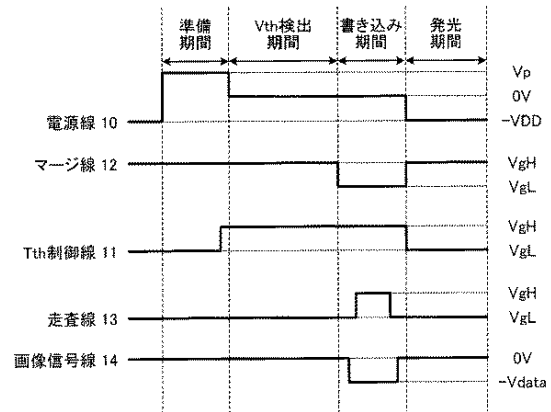
【図 1】



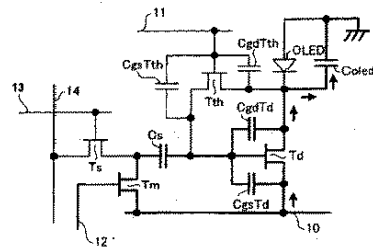
【図 2】



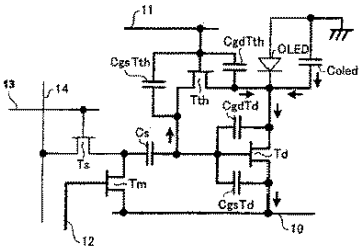
【図 3】



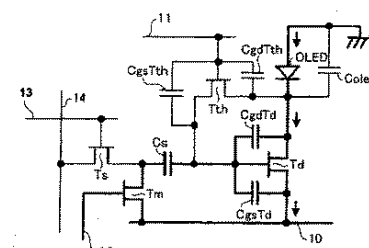
【図 4】



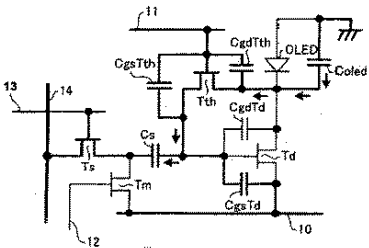
【図 5】



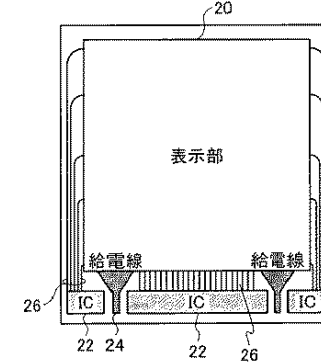
【図 7】



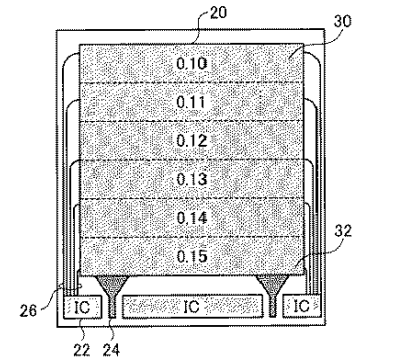
【図 6】



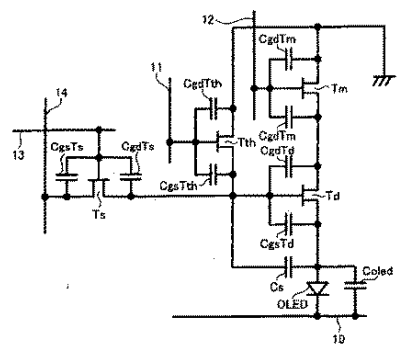
【図 8】



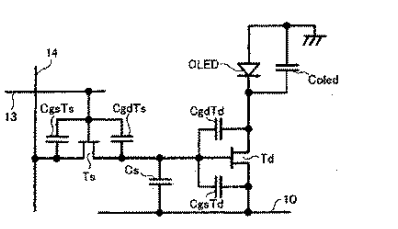
【図 9】



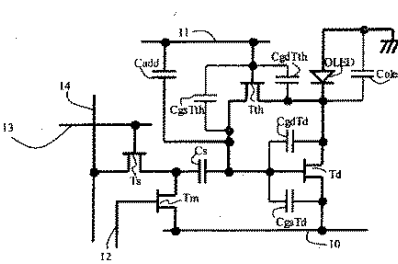
【図 10】



【図 11】



【図 12】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/321574
A. CLASSIFICATION OF SUBJECT MATTER <i>G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i</i> According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) <i>G09G3/00-3/38, G09F9/30</i> Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched <i>Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006</i> <i>Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006</i> Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-280590 A (Sanyo Electric Co., Ltd.), 02 October, 2003 (02.10.03), Full text; all drawings (Family: none)	1-14
A	JP 2004-170815 A (Chi Mei Optoelectronics Corp.), 17 June, 2004 (17.06.04), Par. Nos. [0136] to [0147]; Figs. 11, 15 & US 2004/0100203 A1	1-14
A	JP 2002-189437 A (Sharp Corp.), 05 July, 2002 (05.07.02), Full text; all drawings (Family: none)	1-14
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 November, 2006 (29.11.06)		Date of mailing of the international search report 12 December, 2006 (12.12.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/321574

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-72833 A (Sharp Corp.), 17 March, 1995 (17.03.95), Full text; all drawings & US 5621439 A1 & EP 633516 A1 & CN 1099491 A	1-14
P,A	JP 2006-113548 A (Samsung SDI Co., Ltd.), 27 April, 2006 (27.04.06), Full text; all drawings & US 2006/0107143 A1 & EP 1647967 A1	1-14
P,A	JP 2006-133745 A (Samsung SDI Co., Ltd.), 25 May, 2006 (25.05.06), Full text; all drawings & US 2006/0108937 A1 & KR 2006/0040907 A & CN 1773594 A	1-14
P,A	JP 2006-65281 A (Samsung SDI Co., Ltd.), 09 March, 2006 (09.03.06), Full text; all drawings & US 2006/0044237 A1 & KR 2006/0018762 A	1-14

国際調査報告		国際出願番号 PCT/J P 2 0 0 6 / 3 2 1 5 7 4													
A. 発明の属する分野の分類 (国際特許分類 (I P C)) Int.Cl. G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i															
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (I P C)) Int.Cl. G09G3/00 - 3/38, G09F9/30															
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年				
日本国実用新案公報	1922-1996年														
日本国公開実用新案公報	1971-2006年														
日本国実用新案登録公報	1996-2006年														
日本国登録実用新案公報	1994-2006年														
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)															
C. 関連すると認められる文献															
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号													
A	JP 2003-280590 A (三洋電機株式会社) 2003.10.02, 全文全図 (ファミリー無し)	1-14													
A	JP 2004-170815 A (奇美電子股▲ふん▼有限公司) 2004.06.17, 【0136】 - 【0147】, 【図 11】, 【図 15】 & US 2004/0100203 A1	1-14													
A	JP 2002-189437 A (シャープ株式会社) 2002.07.05, 全文全図 (ファミリー無し)	1-14													
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。															
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>				* 引用文献のカテゴリー	の日の後に公表された文献	「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献														
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの														
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの														
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの														
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献														
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願															
国際調査を完了した日 29.11.2006		国際調査報告の発送日 12.12.2006													
国際調査機関の名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 後藤 亮治	2G 9610												
		電話番号 03-3581-1101 内線 3226													

様式PCT/I S A / 2 1 0 (第2ページ) (2005年4月)

国際調査報告

国際出願番号 PCT/JP2006/321574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-72833 A (シャープ株式会社) 1995.03.17, 全文全図 & US 5621439 A1 & EP 633516 A1 & CN 1099491 A	1-14
P, A	JP 2006-113548 A (三星エスディアイ株式会社) 2006.04.27, 全文全図 & US 2006/0107143 A1 & EP 1647967 A1	1-14
P, A	JP 2006-133745 A (三星エスディアイ株式会社) 2006.05.25, 全文全図 & US 2006/0108937 A1 & KR 2006/0040907 A & CN 1773594 A	1-14
P, A	JP 2006-65281 A (三星エスディアイ株式会社) 2006.03.09, 全文全図 & US 2006/0044237 A1 & KR 2006/0018762 A	1-14

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/30	J
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 2 1 M
	H 0 5 B 33/14	A

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM), EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,L A,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,ME,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	画像表示装置		
公开(公告)号	JPWO2007063662A1	公开(公告)日	2009-05-07
申请号	JP2007515552	申请日	2006-10-27
[标]申请(专利权)人(译)	京瓷株式会社		
申请(专利权)人(译)	京瓷株式会社		
[标]发明人	高杉親知		
发明人	高杉 親知		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/30 G09G3/3233 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2310/0262 G09G2320/0223		
FI分类号	G09G3/30.K G09G3/20.641.D G09G3/20.642.A G09G3/20.624.B G09G3/20.621.A G09G3/30.J G09G3/20.641.P G09G3/20.621.M H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06		
优先权	2005344080 2005-11-29 JP		
其他公开文献	JP5080248B2		
外部链接	Espacenet		

摘要(译)

图像显示装置包括：多个像素；以及共同向多个像素供电的馈线。在该图像显示装置中，每个像素具有通过提供给发光部的电流而发光的发光部，控制该发光部的发光的驱动器，以及与该发光二极管连接的开关部。司机。根据所述馈线的电压降的量，针对每个像素确定开关部分的寄生电容。

