

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5068434号
(P5068434)

(45) 発行日 平成24年11月7日(2012.11.7)

(24) 登録日 平成24年8月24日(2012.8.24)

(51) Int.Cl.

F 1

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 H
G09G 3/20 611H
G09G 3/20 612F
G09G 3/20 621M
G09G 3/20 623F

請求項の数 18 (全 13 頁) 最終頁に続く

(21) 出願番号

特願2005-184733 (P2005-184733)

(22) 出願日

平成17年6月24日 (2005.6.24)

(65) 公開番号

特開2006-48003 (P2006-48003A)

(43) 公開日

平成18年2月16日 (2006.2.16)

審査請求日

平成20年6月19日 (2008.6.19)

(31) 優先権主張番号

特願2004-189582 (P2004-189582)

(32) 優先日

平成16年6月28日 (2004.6.28)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(74) 代理人 100079555

弁理士 梶山 信是

(74) 代理人 100079957

弁理士 山本 富士男

(72) 発明者 矢熊 宏司

京都市右京区西院溝崎町21番地 ローム
株式会社内

審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】有機EL駆動回路およびこれを用いる有機EL表示装置

(57) 【特許請求の範囲】

【請求項 1】

電流方向がシンクあるいは吐き出しの基準電流に基づいて有機ELパネルの端子ピンに対応に駆動電流を生成して前記有機ELパネルを電流駆動するIC化された有機EL駆動回路において、

このICの外部から前記基準電流と同じシンクあるいは吐き出しの電流で前記基準電流の電流値に相当する電流値の電流を入力するために設けられた第1および第2の入力端子と、

第1および第2の出力端子と、

前記第1の入力端子から入力される電流、前記第2の入力端子から入力される電流、そして前記基準電流のいずれか1つを選択するための基準電流選択回路と、

前記基準電流選択回路により選択された電流をシンクあるいは吐き出しの前記基準電流の電流方向とは逆方向の吐き出しあるいはシンクの電流に反転させる電流反転回路と、

この電流反転回路の電流を入力側トランジスタに受けて第1および第2の出力側トランジスタに前記基準電流の電流値に相当する電流値の電流をそれぞれ生成して前記第1および第2の出力端子に出力するカレントミラー回路とを備え、

前記ICは矩形であって、前記第1および第2の入力端子は、このICと同様な回路構成のICが隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、かつ、前記第1および第2の出力端子も同様に前記両側の辺にそれぞれ配置されている有機EL駆動回路。

10

20

【請求項 2】

さらに前記基準電流を発生する基準電流発生回路を有し、前記カレントミラー回路は、さらに第3の出力側トランジスタを有し、この第3の出力側トランジスタの出力電流に応じて前記駆動電流が生成される請求項1記載の有機EL駆動回路。

【請求項 3】

前記第1および第2の出力側トランジスタは、前記入力側トランジスタに対して前記第3の出力側トランジスタより手前に配置されている請求項2記載の有機EL駆動回路。

【請求項 4】

前記第1あるいは第2の出力側トランジスタの出力電流は、前記ICと同一構成の他のICにおける前記第1の入力端子あるいは前記第2の入力端子に供給される請求項3記載の有機EL駆動回路。10

【請求項 5】

前記第1の入力端子あるいは前記第2の入力端子は、前記ICと同一構成の他のICにおける前記第1あるいは第2の出力側トランジスタの出力電流を受ける請求項3記載の有機EL駆動回路。

【請求項 6】

前記第1の入力端子と前記第1の出力端子が前記両側の一辺に配置され前記第2の入力端子と前記第2の出力端子が前記両側の残りの一辺に配置され、前記第2の入力端子と前記第2の出力端子の前記両側の一方の辺における配置は、前記第1の入力端子と前記第1の出力端子の前記両側の他方の辺における配置に対して位置関係が逆転している請求項2記載の有機EL駆動回路。20

【請求項 7】

前記カレントミラー回路は、前記第3の出力側トランジスタが複数個設けられたD/A変換ブロックを有し、前記入力側トランジスタに入力された電流に対して調整された電流を前記D/A変換ブロックで発生し、前記D/A変換ブロックの出力電流に応じて前記駆動電流が生成される請求項6記載の有機EL駆動回路。

【請求項 8】

前記カレントミラー回路は、PチャネルMOSトランジスタで構成され、前記D/Aブロックの前記出力電流が別のカレントミラー回路に入力され、この別のカレントミラー回路は、これの複数の出力側トランジスタにより構成される別のD/A変換ブロックを前記端子ピン対応に有する請求項7記載の有機EL駆動回路。30

【請求項 9】

前記基準電流選択回路は、製造過程での接続配線の選択によりあるいはこのICの外部から第3の入力端子を介して所定の選択信号を受けることにより前記いずれか1つの電流を選択する請求項2記載の有機EL駆動回路。

【請求項 10】

前記所定の選択信号は、所定の数のビットの信号であり、前記基準電流選択回路は、3個のアナログスイッチで構成され、これらアナログスイッチの1つの一端が前記基準電流発生回路に接続され、これらアナログスイッチの他の1つの一端が前記第1の入力端子に接続され、これらアナログスイッチの残りの1つの一端が前記第2の入力端子に接続され、前記3個のアナログスイッチの他端が共通に前記電流反転回路に接続されて前記ビットの信号により前記3つのアナログスイッチの1つがONにされ、残りの2つがOFFされる請求項9記載の有機EL駆動回路。40

【請求項 11】

電流方向がシンクあるいは吐き出しの基準電流に基づいて有機ELパネルの端子ピンに対応に駆動電流を生成して前記有機ELパネルを電流駆動するICを複数個有する有機EL駆動回路において、

各前記ICは、それぞれ、外部から前記基準電流と同じシンクあるいは吐き出しの電流で前記基準電流の電流値に相当する電流値の電流を入力するために設けられた第1および第2の入力端子と、第1および第2の出力端子と、前記第1の入力端子から入力される電50

流、前記第2の入力端子から入力される電流、そして前記基準電流のいずれか1つを選択するための基準電流選択回路と、前記基準電流選択回路により選択された電流をシングルあるいは吐き出しの前記基準電流の電流方向とは逆方向の吐き出しあるいはシングルの電流に反転させる電流反転回路と、この電流反転回路の電流を入力側トランジスタに受けて第1および第2の出力側トランジスタに前記基準電流の電流値に相当する電流値の電流をそれぞれ生成して前記第1および第2の出力端子に出力するカレントミラー回路とを備え、

各前記ICは矩形であって、前記第1および第2の入力端子は、複数の前記ICが隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、かつ、前記第1および第2の出力端子も同様に前記両側の辺にそれぞれ配置されている有機EL駆動回路。

10

【請求項12】

各前記ICは、さらに前記基準電流を発生する基準電流発生回路を有し、各前記ICの前記カレントミラー回路は、さらに第3の出力側トランジスタをそれぞれ有し、各前記第3の出力側トランジスタの出力電流に応じて前記駆動電流がそれぞれの前記ICにおいて生成される請求項11記載の有機EL駆動回路。

【請求項13】

複数の前記ICの1つの前記第1あるいは第2の出力側トランジスタの出力電流がそれの前記第1あるいは第2出力端子を介して残りの前記ICの少なくとも1つの前記第1あるいは第2の入力端子に入力される請求項11記載の有機EL駆動回路。

【請求項14】

複数の前記ICの前記第1および第2の出力側トランジスタは、それぞれの前記入力側トランジスタに対してそれぞれの前記第3の出力側トランジスタより手前にそれぞれ配置されている請求項13記載の有機EL駆動回路。

20

【請求項15】

電流方向がシングルあるいは吐き出しの基準電流に基づいて有機ELパネルの端子ピンに対応に駆動電流を生成して前記有機ELパネルを電流駆動するICを複数個有する有機EL表示装置において、

各前記ICは、それぞれ、外部から前記基準電流と同じシングルあるいは吐き出しの電流で前記基準電流の電流値に相当する電流値の電流を入力するために設けられた第1および第2の入力端子と、第1および第2の出力端子と、前記第1の入力端子から入力される電流、前記第2の入力端子から入力される電流、そして前記基準電流のいずれか1つを選択するための基準電流選択回路と、前記基準電流選択回路により選択された電流をシングルあるいは吐き出しの前記基準電流の電流方向とは逆方向の吐き出しあるいはシングルの電流に反転させる電流反転回路と、この電流反転回路の電流を入力側トランジスタに受けて第1および第2の出力側トランジスタに前記基準電流の電流値に相当する電流値の電流をそれぞれ生成して前記第1および第2の出力端子に出力するカレントミラー回路とを備え、

各前記ICは矩形であって、前記第1および第2の入力端子は、複数の前記ICが隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、かつ、前記第1および第2の出力端子も同様に前記両側の辺にそれぞれ配置されている有機EL表示装置。

30

【請求項16】

各前記ICは、さらに前記基準電流を発生する基準電流発生回路を有し、各前記ICの前記カレントミラー回路は、さらに第3の出力側トランジスタをそれぞれ有し、各前記第3の出力側トランジスタの出力電流に応じて前記駆動電流がそれぞれの前記ICにおいて生成される請求項15記載の有機EL表示装置。

【請求項17】

複数の前記ICの1つの前記第1あるいは第2の出力側トランジスタの出力電流がそれの前記第1あるいは第2出力端子を介して残りの前記ICの少なくとも1つの前記第1あるいは第2の入力端子に入力される請求項16記載の有機EL表示装置。

【請求項18】

40

50

複数の前記 I C の前記第 1 および第 2 の出力側トランジスタは、それぞれの前記入力側トランジスタに対してそれぞれの前記第 3 の出力側トランジスタより手前にそれぞれ配置されている請求項 17 記載の有機 E L 表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、有機 E L 駆動回路およびこれを用いる有機 E L 表示装置に関し、詳しくは、携帯電話機等で使用される有機 E L 表示装置において、カラムドライバ I C 間での特性の相違による有機 E L 表示装置の画面上での輝度むらを低減でき、カラムドライバ I C の製造コストを低減でき、特に、高輝度カラー表示に適した有機 E L 駆動回路および有機 E L 表示装置に関する。 10

【背景技術】

【0002】

携帯電話機用のアクティブ型あるいはパッシブ型の有機 E L 表示装置の有機 E L 表示パネルでは、カラムライン（有機 E L 素子の陽極側駆動ラインあるいはデータ線）の数が 396 個（ 132×3 ）の端子ピン、ローラインが 162 個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような端子ピン数の増加により、特に、カラムライン側では複数のカラムドライバ I C が必要になる。例えば、Q V G A のフルカラーでは三原色の R , G , B 各 120 端子ピンの 360 端子ピンとなり、現在ところ 3 ドライバは必要になる。そのためカラムドライバ I C 相互間の特性の相違、特に、その駆動電流のばらつきにより、有機 E L 表示装置の画面上に輝度むらが発生する問題がある。 20

このような問題を解決するための発明として、出願人は、特開 2003 - 288045 号「有機 E L 駆動回路およびこれを用いる有機 E L 表示装置」を出願している（特許文献 1）。これは、集積されたペア抵抗の抵抗値が実質的に等しいことを利用してカラムドライバ I C 間での駆動電流のばらつきを抑える技術である。

【特許文献 1】特開 2003 - 288045 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、特許文献 1 のカラムドライバ I C は、マスター・チップとスレーブ・チップでそれぞれ基準電流発生回路の構成が相違するために、それぞれにドライバ I C を製造しなければならない。そのため、ドライバ I C の製造コストが高くなる問題がある。 30

一方、有機 E L パネルは、大型化の傾向にあって、パネルが大きい場合には、カラムドライバ I C は 3 個か、それ以上必要になる。その上、端子ピン数の増加は、端子ピン間の駆動電流のばらつきも大きくするので、より精度の高い駆動電流が要求される。前記のペア抵抗を利用する駆動電流の制御は、ペア抵抗の抵抗値のばらつきが駆動電流値に影響を与えるので、現在の輝度むら低減の要求には十分応えられなくなっている。

この発明の目的は、このような従来技術の問題点を解決するものであって、有機 E L パネルを電流駆動するカラムドライバ I C 間での特性の相違による有機 E L 表示装置の画面上での輝度むらを低減でき、カラムドライバ I C の製造コストを低減できる有機 E L 駆動回路を提供することにある。 40

この発明の他の目的は、有機 E L パネルを電流駆動するカラムドライバ I C 間での特性の相違による有機 E L 表示装置の画面上での輝度むらを低減でき、カラムドライバ I C の製造コストを低減できる有機 E L 表示装置を提供することにある。

【課題を解決するための手段】

【0004】

このような目的を達成するためのこの発明の有機 E L 駆動回路あるいはこれを用いる有機 E L 表示装置の特徴は、電流方向がシンクあるいは吐き出しの基準電流に基づいて有機 E L パネルの端子ピンに対応に駆動電流を生成して有機 E L パネルを電流駆動する I C 化さ 50

れた有機 E L 駆動回路において、

この I C の外部から基準電流と同じシンクあるいは吐き出しの電流で基準電流の電流値に相当する電流値の電流を入力するために設けられた第 1 および第 2 の入力端子と、第 1 および第 2 の出力端子と、第 1 の入力端子から入力される電流、第 2 の入力端子から入力される電流、そして基準電流のいずれか 1 つを選択するための基準電流選択回路と、基準電流選択回路により選択された電流を基準電流の電流方向とは逆方向の吐き出しあるいはシンクの電流に反転させる電流反転回路と、この電流反転回路の電流を入力側トランジスタに受けて第 1 および第 2 の出力側トランジスタに基準電流の電流値に相当する電流値の電流をそれぞれ生成して第 1 および第 2 の出力端子に出力するカレントミラー回路とを備えていて、

前記 I C は矩形であって、第 1 および第 2 の入力端子は、この I C と同様な回路構成の I C が隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、かつ、第 1 および第 2 の出力端子も同様に前記両側の辺にそれぞれ配置されているものである。

【発明の効果】

【0005】

このように、この発明にあっては、第 1 および第 2 の入力端子が、この I C と同様な I C が隣接して配置されたときに隣接することになる両側の辺にそれぞれ配置され、第 1 および第 2 の出力端子も同様に前記両側の辺にそれぞれ配置されているので、この I C を有機 E L パネルのカラムライン側の辺に沿って複数個隣接して配置した場合に、基準電流を発生している I C (マスター・チップ) からこれの右側の I C (スレーブ・チップ) 、これの左側の I C (スレーブ・チップ) 、そしてこれら両側の I C (スレーブ・チップ) のいずれかの I C に、発生した基準電流あるいはこれに対応する電流を第 1 あるいは第 2 の出力端子を介して送出することができる。隣接するいずれかの I C は、第 1 あるいは第 2 の出力端子から送出される電流を隣接する辺に設けられた第 1 あるいは第 2 の入力端子を介して受けられることができ、自己の基準電流選択回路によりそれを自己のドライバ I C における基準電流として利用することができる。

この場合、入力端子と出力端子とは各 I C において相互に隣接した辺に設けられているので、I C 間の端子接続ラインは短くなり、送出する電流値の変動はほとんど生じない。

これにより、隣接配置される I C の基準電流の電流値を、基準電流を発生している I C の基準電流の電流値に実質的に揃えることができるので、有機 E L パネルを電流駆動するカラムドライバ I C 間での特性の相違による有機 E L 表示装置の画面上での輝度むらを低減できる。さらに、マスターであっても、スレーブであっても同一構成 I C を使用でき、これらを接近させて多数配列できるので、カラムドライバ I C の製造コストを低減できる。

その結果、この発明は、携帯電話機等において、有機 E L パネルの端子ピン数が増加することによって、有機 E L パネルのカラムライン側の辺に沿って複数の I C を配列した場合であっても、有機 E L パネルを電流駆動するカラムドライバ I C 間での特性の相違による有機 E L 表示装置の画面上での輝度むらを低減でき、カラムドライバ I C の製造コストを低減できる。

なお、この明細書におけるカラムドライバは、アクティブマトリックス型の有機 E L パネルにおいてデータ線を駆動するドライバであってもパッシブマトリックス型の有機 E L パネルのカラムラインを駆動するドライバであってもよいので、これらを区別していない。

【発明を実施するための最良の形態】

【0006】

図 2において 10 は、アクティブマトリックス型の有機 E L 表示装置であって、11、12、13 は、その有機 E L 駆動回路のカラムドライバ I C (以下ドライバ I C) である。

ドライバ I C 11 ~ 13 は、同一の回路構成の有機 E L 駆動回路を有し、それぞれが隣

接して配置されている。これら3個のドライバICは、水平1ライン分の有機ELパネル5のカラム方向の端子ピンの駆動を分割して受け持つ。これら3個のドライバICには、それぞれに、IC外部から供給される電流と内部で発生した電流のいずれかを選択してそれを基準電流として内部回路に供給するために基準電流発生回路1と基準電流選択回路2、そして隣接するICの1つあるいは2つへ基準電流を転送するための2つの出力端子、基準電流を隣接するICの1つから受けるための2つの入力端子とが設けられている。

なお、図2において、ドライバIC12は、マスタードライバであって、この両側にあるドライバIC11とドライバIC13とがスレーブドライバである。

【0007】

ドライバIC11～13は、図1にドライバ12を例としてその詳細を示すように、それぞれ基準電流発生回路1と、基準電流選択回路2、ホワイトバランス調整回路3、基準電流分配型D/A変換回路4等とからなる。基準電流分配型D/A変換回路4には、有機ELパネルの各端子ピンに対応に設けられたD/A変換ブロック(D/A)4a, … 4i, … 4nが設けられている。10

基準電流分配型D/A変換回路4は、トランジスタTNaを入力側トランジスタとし、D/A変換ブロック4a～4nのそれぞれを構成する出力側トランジスタ群を有する1つのカレントミラー回路で構成されていて、この1つのカレントミラー回路が電流スイッチングD/A変換回路になっている。このカレントミラー回路の出力側トランジスタ群と各出力側トランジスタにそれぞれ接続されたスイッチ回路群(図示せず)でD/A変換ブロック4a～4nを構成する。このことで、トランジスタTNaを駆動する基準駆動電流が端子ピンに対応のD/A変換ブロック4a～4nにそれぞれ分配されるとともに、各D/A変換ブロック4a～4nは、基準駆動電流に従って自己に対応して与えられた表示データDATに応じてスイッチ回路群をON/OFFすることで表示データDATのD/A変換をして端子ピンに対応に各D/A変換ブロック4a～4nがそれぞれに表示データDATの値に対応するアナログ変換電流を生成する。20

なお、図1における出力端子P1, … Pi, … Pnは、有機ELパネル5の端子ピンに対応して設けられたドライバIC12の出力端子であり、SWは、出力端子P1, … Pi, … Pnに対応して設けられたリセットスイッチである。

【0008】

ホワイトバランス調整回路3は、R, G, Bに対応にそれぞれ設けられていて、レジスタ7に記憶されたR, G, Bに対応のデータがそれぞれにこれに内蔵されたD/A変換ブロック(D/Aブロック)3aに設定される。これは、R, G, BそれぞれにデータをD/A変換することでホワイトバランス調整された基準駆動電流をそれぞれに生成する回路である。基準電流発生回路1から基準電流分配型D/A変換回路4までの各回路は、それぞれ表示色(三原色)のR, G, Bに対応に設けられているが、ここでは、発明がR, G, Bのそれぞれに直接関係していないことと、これら回路が同じ回路構成であるので、R, G, Bの区別せずに以下説明する。30

なお、レジスタ7に記憶されるデータは、装置外部から入力データとしてMPU9に供給されたR, G, Bに対応のデータをMPU9が受けて一旦内部の不揮発性メモリに記憶し、このデータをMPU9がレジスタ7に転送することでレジスタ7に設定される。40

【0009】

図2に戻り、12a～12cは、それぞれドライバIC12の入力端子(図面上の黒角端子)であり、入力端子12a, 12cは前段ドライバIC11側に隣接する辺にそれぞれ設けられ、入力端子12bは後段ドライバIC13側に隣接する辺に設けられている。12d, 12eは、それぞれ、出力端子P1, … Pi, … Pnとは別の、ドライバIC12の出力端子(図面上の白角端子)である。出力端子12dは前段ドライバIC11側に隣接する辺に設けられ、出力端子12eは後段ドライバIC13側に隣接する辺に設けられている。そしてドライバIC12の左右の辺では入力端子と出力端子との上下の位置関係が入れ替わっている。

すなわち、入力端子12bは、後段ドライバIC13側の隣接する辺の出力端子13d50

とその位置が対応していて、出力端子 12e は、後段ドライバ IC 13 側の隣接する辺の入力端子 13a とその位置が対応している。入力端子 12a は、前段ドライバ IC 12 側の隣接する辺の出力端子 11e とその位置が対応していて、出力端子 12d は、前段ドライバ IC 11 側の隣接する辺の入力端子 11b とに位置が対応している。これにより隣接する IC 間で出力端子（白角端子）と入力端子（黒角端子）がそれに対応する位置関係で配置されることになる。

【0010】

ドライバ IC 11, 13 の各入力端子 11a ~ 11c, 13a, 13b（図示せず）, 13c と各出力端子 11d, 11e, 13d, 13e（図示せず）とは、各入力端子 12a ~ 12c と各出力端子 12d, 12e にそれぞれ対応する端子である。それぞれ前記の入力端子 12a ~ 12b と出力端子 12d ~ 12e と同様の関係で配置されている。入力端子 11a ~ 11b, 12a ~ 12b, 13a ~ 13b と、出力端子 11d ~ 11e, 12d ~ 12e, 13d ~ 13e とは、基準電流値に相当する電流 Ir を IC 間で授受するための端子である。ここでは、これら入力端子と出力端子とがそれぞれ矩形の各辺に配置されるドライバ IC の端子ピンのうちの IC が隣接して配置されたときに相互に隣接することになる辺において実質的に対応する位置にあるものが選択され、割当てられている。

これにより、出力端子 12d は、入力端子 11b に隣接し、短い配線ライン 14 によりこれら端子が接続される。出力端子 12e は、入力端子 13a に隣接し、短い配線ライン 15 によりこれら端子が接続される。

なお、入力端子 11c, 12c, 13c は、それぞれマスター / スレーブの設定信号 SEL が入力される端子であり、隣接する IC と対応関係である必要がないので任意の辺の端子ピンが割当てられてもよい。また、IC は矩形であるが、その矩形は、通常の IC とは異なり、有機 EL パネル 5 のカラム方向の端子ピンに沿って細長い、短冊状ものとなる。なお、図 2 では、設定信号 SEL を設定するために必要なクロック CLK の入力端子 12f（図 1 参照）は省略してある。

【0011】

図 2 に示すように、基準電流分配型 D / A 変換回路 4 の各 D / A 変換ブロック 4a ~ 4n は、MPU 9 からレジスタ 6 を介して表示データ DAT を受けてホワイトバランス調整回路 3（その D / A ブロック 3a）から供給された基準駆動電流を表示データ値分増幅してそのときどきの表示輝度に応じた駆動電流（通常はシンク電流）を生成する。そして、生成されたそれぞれの駆動電流は、カラム（データ線）側の出力端子 P1, ... Pi, ... Pn を介してそれにアクティブマトリックス型の有機 EL パネル 5 のピクセル回路 5a に送出されてピクセル回路 5a に内蔵されたコンデンサ C を充電しする。これによりピクセル回路 5a の有機 EL 素子 5b を駆動する電流が生成される。

また、図 2 に示すように、有機 EL パネル 5 における Xa...Xi...Xn, X2a...X2i...X2n, X3a...X3i...X3n は、それぞれドライバ IC 11 ~ 13 の出力端子 P1...Pi...Pn に対応するデータ線（カラムライン）である。

【0012】

図 1, 図 2 に示すように、基準電流発生回路 1 は、基準電流源 1a と電流反転回路 1b とからなり、これらの間に基準電流選択回路 2 が設けられている。

基準電流選択回路 2 は、コントロール回路 8 からマスター / スレーブの設定信号 SEL を受けて内部の基準電流 Irref か、前段 IC からの電流 Ir か、後段 IC からの電流 Ir かの、3 者のうちいずれか 1 つの電流を基準電流として選択する回路である。

これは、アナログスイッチ（トランスマッショングート）2a ~ 2c とシフトレジスタ 2d とからなる。シフトレジスタ 2d は、フリップフロップ（FF）を 3 段従属接続した回路である。なお、設定信号 SEL は、後述するように 3 ビットデータとしてクロック CLK に応じてシフトレジスタ 2d に設定される。

アナログスイッチ 2a, 2b は、それぞれ入力端子 12a, 12b に対応して設けられ、それぞれその一端がこれら入力端子 12a, 12b にそれぞれ接続されている。アナログスイッチ 2c の一端は、基準電流源 1a に接続され、これから基準電流 Irref を受ける

10

20

30

40

50

。アナログスイッチ 2 a ~ 2 c の他端は共通に接続されて電流反転回路 1 b の入力端子に接続されている。

【0013】

シフトレジスタ 2 d は、初段フリップフロップの入力端子側が入力端子 12 c に接続され、フリップフロップの各段の Q 出力がアナログスイッチ 2 a ~ 2 c の ON / OFF コントロール信号として非反転側入力端子に、Q バー出力 (Q 出力の反転出力側) が反転側入力端子にそれぞれ接続されている。そこで、アナログスイッチ 2 a ~ 2 c は、そのうち、データ “1” にセットされたフリップフロップに対応するスイッチが駆動される。シフトレジスタ 2 d の初段フリップフロップはアナログスイッチ 2 a に対応し、次段フリップフロップはアナログスイッチ 2 b に対応し、最終段フリップフロップはアナログスイッチ 2 c に対応している。そこで、“1” がセットされたフリップフロップに対応するアナログスイッチが ON となり、データ “0” がセットされたフリップフロップにより駆動されるアナログスイッチが OFF となる。10

シフトレジスタ 2 d は、クロック入力端子 2 f (図 2 には図示せず) からシフトクロック CL を受けて、初段に入力されたデータ “1” を順次シフトして各段のフリップフロップに 3 ビットのデータを記憶する。これにより設定信号 SEL が各ドライバ I C に設定されてマスター / スレーブの選択が行われる。なお、シフトレジスタ 2 d は、初期状態では “0” リセットされている。

そこで、アナログスイッチ 2 a を ON とし、他のスイッチを OFF とするときには、シフトレジスタ 2 d に設定信号 SEL = “001” が設定される。アナログスイッチ 2 b を ON とし、他のスイッチを OFF とするときには、シフトレジスタ 2 d に設定信号 SEL = “010” が設定される。アナログスイッチ 2 c を ON とし、他のスイッチを OFF とするときには、シフトレジスタ 2 d に設定信号 SEL = “100” が設定される。これらの 3 ビットデータは、コントロール回路 8 から入力端子 12 c にシフトクロック CL とともに送出される。20

なお、ドライバ I C 11, 12 の入力端子 11 c, 13 c にも同時にコントロール回路 8 からそれぞれドライバ I C に基準電流を選択する 3 ビットのデータが入力される。

【0014】

基準電流選択回路 2 は、初段のフリップフロップが “1” にセットされたときには、ON したアナログスイッチ 2 a を介して入力端子 12 a から入力される前段 I C から送出される電流 Ir を選択し、そのドライバ I C がスレーブチップとなる。次段のフリップフロップが “1” にセットされたときには、ON したアナログスイッチ 2 b を介して入力端子 12 b から入力される後段 I C から送出される電流 Ir を選択し、そのドライバ I C がスレーブチップとなる。最終段のフリップフロップが “1” にセットされたときには、ON したアナログスイッチ 2 c を介して基準電流源 1 a の基準電流 I ref を選択する。これによりそのドライバ I C はマスターチップとなる。なお、基準電流源 1 a は、+VDD の電源ラインに接続され電力供給を受ける。30

基準電流選択回路 2 により選択された電流は、電流反転回路 1 b に加えられる。電流反転回路 1 b は、N チャネルの入力側 MOS トランジスタ TN1 と出力側 MOS トランジスタ TN2 からなるカレントミラー回路で構成されている。ダイオード接続のトランジスタ TN1 は、そのドレインがアナログスイッチ 2 a ~ 2 c の共通の出力側端子に接続され、そのソースが接地されている。40

トランジスタ TN2 は、そのドレインがホワイトバランス調整回路 3 のカレントミラー回路の入力側トランジスタ TPa のドレインに接続され、そのソースが接地されている。

これにより、基準電流源 1 a の基準電流 I ref あるいは入力端子 12 a, 12 b から吐き出される基準電流 I ref と同相の電流 Ir のいずれかの電流が電流反転回路 1 b に入力されて、電流反転回路 1 b は、シンク電流 (逆相の電流) をミラー電流として発生してホワイトバランス調整回路 3 の入力側トランジスタ TPa のドレインに供給する。

【0015】

ホワイトバランス調整回路 3 は、入力側の電流をミラー電流として出力側に複製して出50

力端子 1 2 d , 1 2 e と基準電流分配型 D / A 変換回路 4 とにそれぞれ電流を出力する回路である。これは、ダイオード接続の P チャネルの入力側 M O S トランジスタ T Pa と、2 個の出力側 P チャネルの M O S トランジスタ T P1 , T P2 、そして多数の出力側トランジスタで構成される D / A ブロック 3 a とからなる 1 つのカレントミラー回路で構成された電流スイッチング D / A である。D / A ブロック 3 a の出力側トランジスタ群にはスイッチ回路（図示せず）がそれぞれ直列に接続されている。トランジスタ T P1 , T P2 は、スレーブチップとなるドライバに基準電流値に相当する電流値の電流 I r を前段 I C と後段 I C に送出する回路である。

出力側の各トランジスタ T P1 , T P2 のソースと D / A 3 a の出力側トランジスタ T P c ~ T P m のソースは、電源ライン + V DD より高い電圧の電源ライン + V cc に接続されている。
各トランジスタ T P1 , T P2 のドレンは、それぞれドライバ I C 1 2 の両側辺にある出力端子 1 2 d , 1 2 e に接続されている。

D / A 変換ブロック 3 a は、レジスタ 7 に記憶されたデータを受けてそれを D / A 変換してホワイトバランス調整された基準駆動電流 I ro を生成してこれを基準電流分配型 D / A 変換回路 4 に送出する。

ここで、トランジスタ T Pa と各トランジスタ T P1 , T P2 とのチャネル幅（ゲート幅）は、1 : 1 で等しい。各トランジスタ T P1 , T P2 のドレンからは、それぞれ出力端子 1 2 d , 1 2 e に基準電流 I ref と実質的に等しい電流値の電流 I r が基準電流 I ref と同相の吐き出し電流として出力される。トランジスタ T P1 , T P2 は、図面左側の入力側トランジスタ T Pa に対して D / A 3 a よりも手前に配置されている。これにより高い精度で基準電流 I ref と実質的に等しい電流値の電流 I r を発生することができる。

【 0 0 1 6 】

各 D / A 変換ブロック 4 は、電流スイッチング D / A として 8 ビットの表示データの重み桁に対応する重み桁の多数の出力側トランジスタとこれに直列に接続されたスイッチ回路（図示せず）とで構成されている。重み桁に対応する各スイッチ回路がレジスタ 6 の表示データ D A T に応じて O N / O F F されて、選択された出力側トランジスタの出力電流を合計した電流値をアナログ変換値として発生する。その合計電流値の出力が駆動電流として出力端子 P 1 , ... P i , ... P n にそれぞれ出力される。

【 0 0 1 7 】

さて、ここでは、駆動電流を生成する基礎となる基準電流の発生に関しては、前記した設定信号 S E L の 3 ビットのデータ設定によりドライバ I C 1 2 がマスター・チップ、ドライバ I C 1 1 , 1 3 がスレーブ・チップとなっている。

ドライバ I C 1 2 の出力端子 1 2 d は、配線ライン 1 4 （図 2 参照）を介してスレーブ・チップ 1 1 の入力端子 1 1 b に接続され、ドライバ I C 1 2 の出力端子 1 2 e は、配線ライン 1 5 （図 2 参照）を介してスレーブ・チップ 1 3 の入力端子 1 3 a に接続されている。配線ライン 1 4 , 1 5 は、隣接する端子間を接続するもので非常に短いものである。

そこで、マスター・チップのドライバ I C 1 2 のトランジスタ T P1 のドレンの電流が出力端子 1 2 d , 配線ライン 1 4 を介してスレーブ・チップのドライバ 1 1 の入力端子 1 1 b に短いパスで入力される。また、トランジスタ T P2 のドレンの電流が出力端子 1 2 e , 配線ライン 1 5 を介してスレーブ・チップのドライバ I C 1 3 の入力端子 1 3 a に短いパスで入力される。

出力端子 1 2 a , 1 2 b は、グランド G N D に接続されている。なお、このとき各トランジスタ T P1 , T P2 の出力電流は、 μ A オーダーのものであるので、直接グランド G N D へ流しても、全体の消費電力はほとんど増加しない。スレーブ・チップのドライバ I C 1 1 の出力端子 1 1 a , 1 1 d , 1 1 e およびスレーブ・チップのドライバ I C 1 3 の出力端子 1 3 b , 1 3 d , 1 3 e も同様にグランド G N D に接続されている。

【 0 0 1 8 】

ドライバ I C 1 2 は、マスター・チップであるので、入力端子 1 2 a からの電流の入力はない。そこで、コントロール回路 8 から設定信号 S E L = “ 1 0 0 ” を受けてそれがシフトレジスタ 2 d に記憶されている。これにより、基準電流源 1 a が選択され、基準電流 I

10

20

30

40

50

refがアナログスイッチ2cを介して電流反転回路1bに入力される。

一方、スレーブチップのドライバIC11は、コントロール回路8から設定信号SEL = “010”を受けてそれがシフトレジスタ2dに記憶されている。これにより、入力端子11bを選択して、自己の基準電流源1aからの基準電流Irefではなく、後段のマスターードライバIC12のトランジスタTP1のドレインから送出された、その基準電流電流Irefに対応する電流値の電流Irを入力端子11b、アナログスイッチ2bを介してこの電流反転回路1bに受ける。

スレーブチップのドライバIC13もコントロール回路8から設定信号SEL = “001”を受けてそれがシフトレジスタ2dに記憶されている。これにより、入力端子13aを選択して、前段のドライバIC12のトランジスタTP2のドレインから送出された基準電流Irefに対応する電流値の電流Irを入力端子13a、アナログスイッチ2aを介してこの電流反転回路1bに受ける。
10

【0019】

これにより、ドライバIC11, 13は、ドライバIC12の基準電流発生回路1の基準電流源1aの基準電流Irefの電流値に相当するこれと同相の電流値の電流Irを基準電流として自己の内部回路に供給する。ドライバIC11, 13は、この電流Ir(基準電流Ir)により、ドライバIC12と同様に同じ各ドライバ11, 13の電流反転回路1bを経てそれぞれのホワイトバランス調整回路3の入力側PチャネルのMOSトランジスタTPaがそれぞれ駆動される。

その結果、スレーブチップのドライバIC11, 13のホワイトバランス調整回路3は、それぞれ基準電流Irに基づいてD/A3aにおいて基準駆動電流Iroをそれぞれ生成して、それぞれにそれぞれの基準電流分配型D/A変換回路4を駆動する。それにより、有機ELパネル5の端子ピンに送出する駆動電流がそれぞれのドライバIC11, 13で生成される。
20

このように、ドライバIC12の基準電流発生回路1aの基準電流Irefを基準として短い配線ライン14, 15を介して両隣のスレーブチップのドライバIC11, 13が実質的に同じ電流値の基準電流により同じ回路構成の回路を経て駆動電流を発生するので、各駆動電流のばらつきが低減される。

【0020】

ところで、実施例では、電流反転回路1bをカレントミラー回路としているが、これは、例えば、オペアンプ等で構成される一般的な電流反転アンプが用いられてもよい。いずれの場合も、電流反転回路1bの入力電流値と出力電流値とが等しくなくてもよい。それぞれのドライバICにおいて、マスター・チップにおける基準電流源1aの基準電流Irefの電流値に相当する電流値の電流がそれぞれの入力端子、出力端子に得られる関係にあればよい。
30

また、実施例における出力端子12d, 12e等に基準電流Irを出力する回路は、基準電流Irefあるいは基準電流Irにより入力側トランジスタが駆動され、出力側トランジスタに基準電流Irを発生するカレントミラー回路であれば、ホワイトバランス調整回路であることに限定されるものではない。

また、実施例で説明したホワイトバランス調整回路3は、R, G, B対応にそれぞれ設けられているとしているが、ホワイトバランス調整回路3を1つとしてD/A3aをR, G, B対応にそれぞれ設けて1個のカレントミラー回路として構成してもよい。この場合には、基準電流発生回路1からホワイトバランス調整回路3までをR, G, Bに対して共通の回路とすることができる。
40

【0021】

さらに、実施例における入力端子12a, 12bと出力端子12d, 12eとは、それぞれ隣接して配置されたICにおける隣接する辺において対応する位置に入力端子と出力端子とが配置されるように左右の辺において上下の位置関係を逆にして対応させているが、これら端子は、対応する位置でなく、単に隣接する辺に配置しても端子間の接続ラインが多少長くなるだけか、配線がクロスするだけである。そこで、これら端子は、複数のI
50

Cを隣接配置した際に必ずしも対応する位置関係で配置される必要はない。

また、実施例の基準電流選択回路2は、コントロール回路8からマスター／スレーブの設定信号S E Lを受けて内部の基準電流I refか、外部から入力される電流I rかのいずれかを選択している。しかし、この基準電流選択回路2は、R O Mデータと同一層にコンタクト配線パターンを形成してそのデータの書き込みと同時に選択すべき側のコンタクトに接続するようにすることができる。このようにすれば、製造工程のR O Mのデータ書き込みの際のマスクオプション処理で選択される選択回路とすることができる。したがって、この場合には選択するためのビットデータを基準電流選択回路2に入力する必要がない。しかも、この接続については、特別な論理回路等を伴うハードウェア回路が不要である。また、選択回路は、各配線ラインにヒューズを設けておき、製造過程で一方のヒューズを遮断するような回路であってもよい。10

なお、実施例のように基準電流選択回路2がデータ設定によって、基準電流について自己の基準電流源1 aの基準電流I refか、外部から入力された電流I rかの選択をするものであれば、スレーブチップのドライバI Cについては、表示装置にドライバI Cが組み込まれ、画面を表示したときの、画面上の輝度むらを見て後から各I C内部の基準電流I refを選択してマスターチップから切り離して動作させることができる。

【産業上の利用可能性】

【0022】

以上説明してきたが、実施例では、有機E L表示装置に3個のドライバI Cを設けた例を挙げているが、さらにドライバI C1 1の前段にスレーブドライバI Cを設けて、ドライバI C1 1の出力端子1 1 aを前段のスレーブドライバI Cの入力端子に接続することで、前段のスレーブドライバI CにドライバI C1 1の電流I rを送出することが可能である。同様に、ドライバI C1 3の後段にスレーブドライバI Cをさらに設けてもドライバI C1 3の電流I rを送出することが可能である。この場合には、スレーブドライバI Cは、スレーブドライバであるとともにマスタードライバとなる。スレーブドライバI Cの出力端子はグランドG N Dには接続されない。20

したがって、この発明は、4個か、それ以上のドライバI Cが有機E L表示装置に設けられていても適用できる。もちろん、スレーブチップは、ドライバI C1 1, 1 3のいずれか1つだけであってもよい。

また、実施例では、M O S F E Tトランジスタを主体として構成しているが、バイポーラトランジスタを主体として構成してもよいことはもちろんである。また、実施例のNチャンネル型（あるいはn p n型トランジスタ）は、Pチャンネル型（あるいはp n p型）トランジスタに、Pチャンネル型（あるいはp n p型）トランジスタは、Nチャンネル（あるいはn p n型）トランジスタに置き換えることができる。30

【図面の簡単な説明】

【0023】

【図1】図1は、この発明の有機E L駆動回路を適用した一実施例の有機E L表示装置のカラムドライバの内部構成の説明図である。

【図2】図2は、有機E L表示装置の全体的な構成を示すブロック図である。

【符号の説明】

【0024】

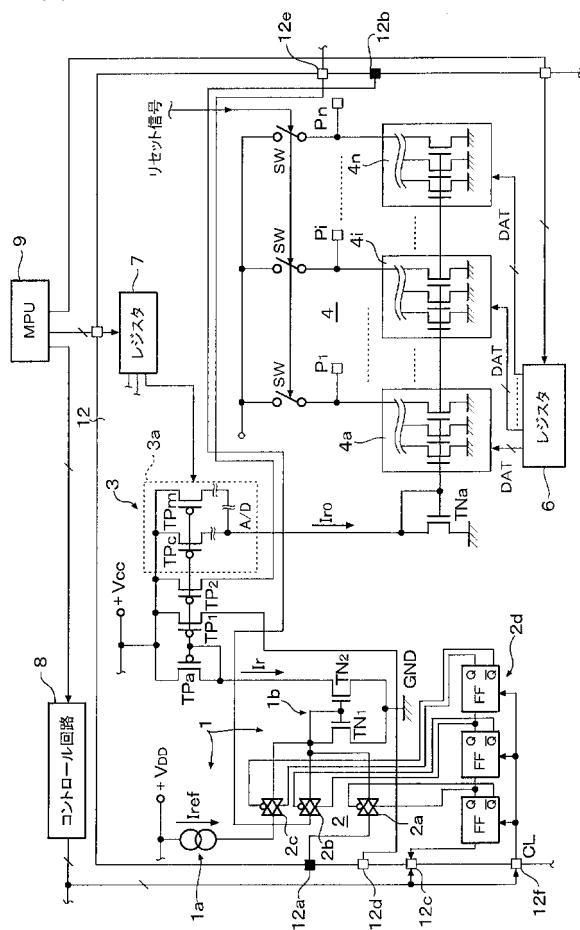
- 1 ... 基準電流発生回路、 2 ... 基準電流選択回路、
- 3 ... ホワイトバランス調整回路、
- 4 ... 基準電流分配型D / A変換回路、
- 5 ... 有機E Lパネル、 5 a ... ピクセル回路、
- 5 b ... 有機E L素子、 6 , 7 ... レジスタ、
- 8 ... コントロール回路、 9 ... M P U、
- 9 ... ピクセル回路、 9 a ... 有機E L素子、
- 10 ... 有機E L表示装置、
- 12, 11, 13 ... カラムドライバI C、

40

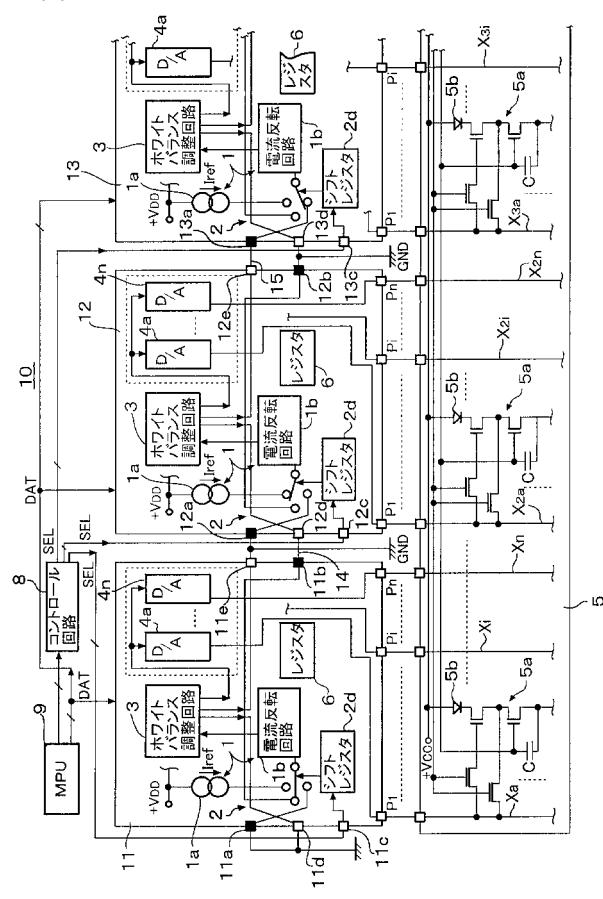
50

14, 15...配線ライン、
TN1, TN2...NチャネルMOSトランジスタ、
TP1, TP2, TPa...PチャネルMOSトランジスタ。

〔 1 〕



〔 2 〕



フロントページの続き

(51)Int.Cl.

F I
G 09 G 3/20 623V
G 09 G 3/20 641D
G 09 G 3/20 642B

(56)参考文献 特開2004-334124 (JP, A)

特開2000-293245 (JP, A)

特開2001-42827 (JP, A)

特開2003-91261 (JP, A)

特開2003-131620 (JP, A)

特開2003-288045 (JP, A)

国際公開第03/092165 (WO, A1)

特開2004-109163 (JP, A)

特開2005-352460 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 20 - 3 / 38

专利名称(译)	有机EL驱动电路和使用其的有机EL显示装置		
公开(公告)号	JP5068434B2	公开(公告)日	2012-11-07
申请号	JP2005184733	申请日	2005-06-24
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
当前申请(专利权)人(译)	ROHM株式会社		
[标]发明人	矢熊宏司		
发明人	矢熊 宏司		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.H G09G3/20.611.H G09G3/20.612.F G09G3/20.621.M G09G3/20.623.F G09G3/20.623.V G09G3/20.641.D G09G3/20.642.B G09G3/20.623.R G09G3/20.642.A G09G3/20.680.G G09G3/30.J G09G3/30.K G09G3/3216 G09G3/325 G09G3/3275 G09G3/3283 H05B33/14.A		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/ /BB01 3K107/CC02 3K107/CC33 3K107/CC42 3K107/CC45 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD25 5C080/DD28 5C080/EE29 5C080/FF11 5C080 /HH09 5C080/JJ03 5C380/AA01 5C380/AB05 5C380/AB06 5C380/AB34 5C380/AB45 5C380/AC11 5C380/BA12 5C380/BA14 5C380/BA19 5C380/BA28 5C380/BA37 5C380/BB02 5C380/BB05 5C380 /BB12 5C380/BB15 5C380/CA04 5C380/CA13 5C380/CA35 5C380/CA36 5C380/CA42 5C380/CA43 5C380/CA44 5C380/CA46 5C380/CA47 5C380/CA49 5C380/CA57 5C380/CC13 5C380/CC27 5C380 /CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CD014 5C380/CE04 5C380/CE06 5C380/CE08 5C380/CF05 5C380/CF06 5C380/CF07 5C380/CF10 5C380/CF23 5C380/CF25 5C380/CF26 5C380 /CF48 5C380/CF51 5C380/CF62 5C380/CF70 5C380/DA02 5C380/DA06 5C380/DA46 5C380/DA58 5C380/GA18		
代理人(译)	梶山 信是 山本富士雄		
审查员(译)	小川博		
优先权	2004189582 2004-06-28 JP		
其他公开文献	JP2006048003A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种驱动电路，通过降低由于用于有机EL面板的电流驱动的列驱动器IC之间的特性差异导致的亮度差异，可以降低IC的制造成本。解决方案：从芯片的驱动器IC 11和13的白平衡调节电路3基于相应的参考驱动电流Ir（作为相位的相位的电流值，分别在D / A 3a中产生参考驱动电流Iro）。对于其的参考驱动电流1a的参考电流Iref的电流值，并分别驱动它们各自的参考电流分布型D / A转换电路4。结果，要传送到有机EL面板5的端子引脚的驱动电流由相应的驱动器IC 11和13产生。由于两侧的下一个从芯片的驱动器IC 11和13产生驱动电流通过基于驱动器IC 12的参考电流产生电路1a的参考电流Iref经由短配线14和15，通过基本相同的电流值的参考电流获得相同电路的电路，每个驱动电流的变化减小。 Ž

【 図 1 】

