

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-27883

(P2020-27883A)

(43) 公開日 令和2年2月20日(2020.2.20)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 51/50 (2006.01)	HO 5 B 33/22 D	3 K 1 0 7
HO 1 L 27/32 (2006.01)	HO 5 B 33/14 A	5 C 0 9 4
HO 5 B 33/10 (2006.01)	HO 1 L 27/32	5 G 4 3 5
HO 5 B 33/12 (2006.01)	HO 5 B 33/10	
HO 5 B 33/22 (2006.01)	HO 5 B 33/12 B	
審査請求 未請求 請求項の数 14 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2018-152218 (P2018-152218)
 (22) 出願日 平成30年8月13日 (2018. 8. 13)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 長沼 智彦
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 Fターム(参考) 3K107 AA01 BB01 CC04 CC33 DD71
 DD89 EE06 FF15 GG04 GG33
 5C094 AA25 BA27 CA24 DA13 EA04
 GB10
 5G435 AA16 BB05 KK05

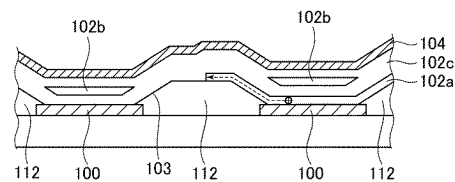
(54) 【発明の名称】 有機EL表示装置および有機EL表示装置の製造方法

(57) 【要約】

【課題】 有機EL表示装置において、隣接する画素間でのキャリアリークを抑制する。

【解決手段】 有機EL表示装置であって、基材と、前記基材の上に位置する複数の画素と、前記複数の画素のそれぞれが備える下部電極と、前記複数の画素を区画するバンクと、前記下部電極上および前記バンク上に配置され、複数の層を含む有機材料層と、前記有機材料層上に配置された上部電極と、を有し、前記有機材料層の一部の層には、分断され、または、他の部位よりも厚みが薄い、非存在領域が形成され、前記非存在領域は、前記バンクで囲まれた前記画素の有効領域の少なくとも一部に形成されている。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

基材と、

前記基材の上に位置する複数の画素と、

前記複数の画素のそれぞれが備える下部電極と、

前記複数の画素を区画するバンクと、

前記下部電極上および前記バンク上に配置され、複数の層を含む有機材料層と、

前記有機材料層上に配置された上部電極と、を有し、

前記有機材料層の一部の層には、分断され、または、他の部位よりも厚みが薄い、非存在領域が形成され、

前記非存在領域は、前記バンクで囲まれた前記画素の有効領域の少なくとも一部に形成されている、

有機 E L 表示装置。

10

【請求項 2】

前記非存在領域は、第 1 の色の画素に形成され、前記第 1 の色より画素面積が大きい第 2 の色の画素に形成されていない、請求項 1 に記載の有機 E L 表示装置。

【請求項 3】

前記第 2 の色が青色である、請求項 2 に記載の有機 E L 表示装置。

【請求項 4】

前記非存在領域は、青色の画素に形成されている、請求項 1 に記載の有機 E L 表示装置

20

【請求項 5】

前記非存在領域は、第 1 の方向に並ぶ複数の画素の 1 つおきに形成されている、請求項 1 に記載の有機 E L 表示装置。

【請求項 6】

前記非存在領域は、前記バンクの周縁を跨いで形成されている、請求項 1 から 5 のいずれかに記載の有機 E L 表示装置。

【請求項 7】

前記有機材料層の一部の層がホール注入層を含む、請求項 1 から 6 のいずれかに記載の有機 E L 表示装置。

30

【請求項 8】

基材上に、複数の画素のそれぞれに対応する下部電極と、前記複数の画素を区画するバンクとを形成すること、

前記下部電極上および前記バンク上に、複数の層を含む有機材料層を形成すること、および、

前記有機材料層上に上部電極を形成すること、を含み、

前記有機材料層の一部の層は、開口を有するマスクを介して成膜材料を付着させて成膜され、

前記有機材料層の一部の層には、分断され、または、他の部位よりも厚みが薄い、非存在領域が形成され、

40

前記非存在領域は、前記バンクで囲まれた前記画素の有効領域の少なくとも一部に形成される、

有機 E L 表示装置の製造方法。

【請求項 9】

前記非存在領域は、第 1 の色の画素に形成され、前記第 1 の色より画素面積が大きい第 2 の色の画素に形成されない、請求項 8 に記載の製造方法。

【請求項 10】

前記第 2 の色が青色である、請求項 9 に記載の製造方法。

【請求項 11】

前記非存在領域は、青色の画素に形成される、請求項 8 に記載の製造方法。

50

【請求項 1 2】

前記非存在領域は、第 1 の方向に並ぶ複数の画素の 1 つおきに形成される、請求項 8 に記載の製造方法。

【請求項 1 3】

前記非存在領域は、前記バンクの周縁を跨いで形成される、請求項 8 から 1 2 のいずれかに記載の製造方法。

【請求項 1 4】

前記有機材料層の一部の層がホール注入層を含む、請求項 8 から 1 3 のいずれかに記載の製造方法。

【発明の詳細な説明】

10

【技術分野】**【0001】**

本発明は、有機 E L 表示装置および有機 E L 表示装置の製造方法に関する。

【背景技術】**【0002】**

近年、有機発光ダイオード (O L E D : Organic Light Emitting Diode) と呼ばれる自発光体を用いた画像表示装置 (以下、「有機 E L (Electro luminescent) 表示装置」という。) が実用化されている。有機 E L 表示装置は、例えば、液晶表示装置と比較して、自発光体を用いているため、視認性、応答速度の点で優れているだけでなく、バックライトのような照明装置を要しないため、薄型化が可能となっている。

20

【0003】

有機 E L 表示装置は、基材上に薄膜トランジスタ (T F T) や O L E D などが形成された表示パネルを有する。O L E D は、発光層等を含む有機材料層を一对の電極間に配置することにより構成される。有機材料層は、代表的には、画素を区画するために予め設けられた凸状のバンクで囲まれた領域に形成される。ここで、例えば、下記特許文献 1 や特許文献 2 に開示されるように、有機材料層を構成する層を複数の画素に共通に設ける場合がある。

【先行技術文献】**【特許文献】****【0004】**

30

【特許文献 1】特開 2 0 1 6 - 8 5 7 9 6 号公報

【特許文献 2】特開 2 0 1 7 - 9 2 2 1 3 号公報

【発明の概要】**【発明が解決しようとする課題】****【0005】**

しかし、有機材料層の形成において、導電性の材料を複数の画素に共通に設けると、隣接する画素間でキャリアがリークしてしまう (リーク電流が流れてしまう) という問題がある。具体的には、キャリアリークにより本来発光すべきでない隣接の画素が発光し、表示特性 (例えば、輝度、コントラスト、色純度) の低下や本来発光すべき画素の発光効率の低下を招くという問題がある。

40

【0006】

本発明は、上記に鑑み、隣接する画素間でのキャリアリークが抑制された有機 E L 表示装置の提供を目的とする。

【課題を解決するための手段】**【0007】**

本発明の 1 つの局面によれば、有機 E L 表示装置が提供される。本発明に係る有機 E L 表示装置は、基材と、前記基材の上に位置する複数の画素と、前記複数の画素のそれぞれが備える下部電極と、前記複数の画素を区画するバンクと、前記下部電極上および前記バンク上に配置され、複数の層を含む有機材料層と、前記有機材料層上に配置された上部電極と、を有し、前記有機材料層の一部の層には、分断され、または、他の部位よりも厚み

50

が薄い、非存在領域が形成され、前記非存在領域は、前記バンクで囲まれた前記画素の有効領域の少なくとも一部に形成されている。

【 0 0 0 8 】

本発明の別の局面によれば、有機 E L 表示装置の製造方法が提供される。本発明に係る有機 E L 表示装置の製造方法は、基材上に、複数の画素のそれぞれに対応する下部電極と、前記複数の画素を区画するバンクとを形成すること、前記下部電極上および前記バンク上に、複数の層を含む有機材料層を形成すること、および、前記有機材料層上に上部電極を形成すること、を含み、前記有機材料層の一部の層は、開口を有するマスクを介して成膜材料を付着させて成膜され、前記有機材料層の一部の層には、分断され、または、他の部位よりも厚みが薄い、非存在領域が形成され、前記非存在領域は、前記バンクで囲まれた前記画素の有効領域の少なくとも一部に形成される。

10

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】本発明の 1 つの実施形態に係る有機 E L 表示装置の概略の構成を示す模式図である。

【 図 2 】図 1 に示す有機 E L 表示装置の表示パネルの一例を示す模式的な平面図である。

【 図 3 】図 2 の III - III 断面の一例を示す図である。

【 図 4 】図 3 に示す表示パネルの画素の配置の一例を示す図である。

【 図 5 】図 4 の I - I 断面を示す図である。

【 図 6 】図 3 に示す表示パネルの画素の配置の変形例 1 を示す図である。

20

【 図 7 】図 3 に示す表示パネルの画素の配置の変形例 2 を示す図である。

【 図 8 】図 3 に示す表示パネルの画素の配置の変形例 3 を示す図である。

【 発明を実施するための形態 】

【 0 0 1 0 】

以下、本発明の実施形態について、図面を参照しつつ説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に評される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して詳細な説明を適宜省略することがある。

30

【 0 0 1 1 】

図 1 は、本発明の 1 つの実施形態に係る有機 E L 表示装置の概略の構成を示す模式図である。有機 E L 表示装置 2 は、画像を表示する画素アレイ部 4 と、画素アレイ部 4 を駆動する駆動部とを備える。有機 E L 表示装置 2 は、基材上に薄膜トランジスタ (T F T) や有機発光ダイオード (O L E D) などの積層構造が形成されて構成される。なお、図 1 に示した概略図は一例であって、本実施形態はこれに限定されるものではない。

【 0 0 1 2 】

画素アレイ部 4 には、画素に対応して O L E D 6 および画素回路 8 がマトリクス状に配置される。画素回路 8 は複数の T F T 1 0 , 1 2 やキャパシタ 1 4 で構成される。

40

【 0 0 1 3 】

上記駆動部は、走査線駆動回路 2 0、映像線駆動回路 2 2、駆動電源回路 2 4 および制御装置 2 6 を含み、画素回路 8 を駆動し O L E D 6 の発光を制御する。

【 0 0 1 4 】

走査線駆動回路 2 0 は、画素の水平方向の並び (画素行) ごとに設けられた走査信号線 2 8 に接続されている。走査線駆動回路 2 0 は、制御装置 2 6 から入力されるタイミング信号に応じて走査信号線 2 8 を順番に選択し、選択した走査信号線 2 8 に、点灯 T F T 1 0 をオンする電圧を印加する。

【 0 0 1 5 】

映像線駆動回路 2 2 は、画素の垂直方向の並び (画素列) ごとに設けられた映像信号線

50

30に接続されている。映像線駆動回路22は、制御装置26から映像信号を入力され、走査線駆動回路20による走査信号線28の選択に合わせて、選択された画素行の映像信号に応じた電圧を各映像信号線30に出力する。当該電圧は、選択された画素行にて点灯TFT10を介してキャパシタ14に書き込まれる。駆動TFT12は、書き込まれた電圧に応じた電流をOLED6に供給し、これにより、選択された走査信号線28に対応する画素のOLED6が発光する。

【0016】

駆動電源回路24は、画素列ごとに設けられた駆動電源線32に接続され、駆動電源線32および選択された画素行の駆動TFT12を介してOLED6に電流を供給する。

【0017】

ここで、OLED6の下部電極は、駆動TFT12に接続される。一方、各OLED6の上部電極は、全画素のOLED6に共通の電極で構成される。下部電極を陽極（アノード）として構成する場合は、高電位が入力され、上部電極は陰極（カソード）となって低電位が入力される。下部電極を陰極（カソード）として構成する場合は、低電位が入力され、上部電極は陽極（アノード）となって高電位が入力される。

【0018】

図2は、図1に示す有機EL表示装置の表示パネルの一例を示す模式的な平面図である。表示パネル40の表示領域42に、図1に示した画素アレイ部4が設けられ、上述したように画素アレイ部4にはOLED6が配列される。上述したようにOLED6を構成する上部電極は、各画素に共通に形成され、表示領域42全体を覆う。

【0019】

矩形である表示パネル40の一辺には、部品実装領域46が設けられ、表示領域42につながる配線が配置される。部品実装領域46には、駆動部を構成するドライバIC48が搭載されたり、フレキシブルプリント基板（FPC）50が接続されたりする。FPC50は、制御装置26やその他の回路20, 22, 24等に接続されたり、その上にICを搭載されたりする。

【0020】

図3は、図2のIII-III断面の一例を示す図である。表示パネル40は、基材70の上に、TFT72などが形成された回路層74、OLED6およびOLED6を封止する封止層106などが積層された構造を有する。基材70は、例えば、ガラス板、ポリイミド系樹脂などの樹脂を含む樹脂膜で構成される。樹脂膜で構成される場合、基材70は、例えば、樹脂材料を塗布により成膜して形成される。封止層106の上には保護膜114が積層される。具体的には、封止層106の上に接着層を介してシート状、あるいはフィルム状の保護膜114を貼り合わせる。本実施形態においては、画素アレイ部4はトップエミッション型であり、OLED6で生じた光は、基材70側とは反対側（図3において上向き）に出射される。

【0021】

表示領域42の回路層74には、上述した画素回路8、走査信号線28、映像信号線30、駆動電源線32などが形成される。駆動部の少なくとも一部分は、基材70上に回路層74として表示領域42に隣接する領域に形成することができる。上述したように、駆動部を構成するドライバIC48やFPC50を、部品実装領域46にて、回路層74の配線116に接続することができる。

【0022】

図3に示すように、基材70上には、無機絶縁材料で形成された下地層80が配置されている。無機絶縁材料としては、例えば、窒化シリコン（SiN_y）、酸化シリコン（SiO_x）およびこれらの複合体が用いられる。

【0023】

表示領域42においては、下地層80を介して、基材70上には、トップゲート型のTFT72のチャンネル部およびソース・ドレイン部となる半導体領域82が形成されている。半導体領域82は、例えば、ポリシリコン（p-Si）で形成される。半導体領域82

10

20

30

40

50

は、例えば、基材 70 上に半導体層 (p - S i 膜) を設け、この半導体層をパターニングし、回路層 74 で用いる箇所を選択的に残すことにより形成される。

【 0 0 2 4 】

T F T 7 2 のチャネル部の上には、ゲート絶縁膜 84 を介してゲート電極 86 が配置されている。ゲート絶縁膜 84 は、代表的には、T E O S で形成される。ゲート電極 86 は、例えば、スパッタリング等で形成した金属膜をパターニングして形成される。ゲート電極 86 上には、ゲート電極 86 を覆うように層間絶縁層 88 が配置されている。層間絶縁層 88 は、例えば、上記無機絶縁材料で形成される。T F T 7 2 のソース・ドレイン部となる半導体領域 82 (p - S i) には、イオン注入により不純物が導入され、さらにそれらに電氣的に接続されたソース電極 90 a およびドレイン電極 90 b が形成され、T F T 7 2 が構成される。

10

【 0 0 2 5 】

T F T 7 2 上には、層間絶縁膜 92 が配置されている。層間絶縁膜 92 の表面には、配線 94 が配置される。配線 94 は、例えば、スパッタリング等で形成した金属膜をパターニングすることにより形成される。配線 94 を形成する金属膜と、ゲート電極 86、ソース電極 90 a およびドレイン電極 90 b の形成に用いた金属膜とで、例えば、配線 116 および図 1 に示した走査信号線 28、映像信号線 30、駆動電源線 32 を多層配線構造で形成することができる。この上に、平坦化膜 96 およびパッシベーション膜 98 が形成され、表示領域 42 において、パッシベーション膜 98 上に O L E D 6 が形成されている。平坦化膜 96 は、例えば、樹脂材料で形成される。パッシベーション膜 98 は、例えば、S i N_y 等の無機絶縁材料で形成される。

20

【 0 0 2 6 】

O L E D 6 は、下部電極 100、有機材料層 102 および上部電極 104 を含む。O L E D 6 は、代表的には、下部電極 100、有機材料層 102 および上部電極 104 を基材 70 側からこの順に積層して形成される。本実施形態では、下部電極 100 が O L E D 6 の陽極 (アノード) であり、上部電極 104 が陰極 (カソード) である。

【 0 0 2 7 】

図 3 に示す T F T 7 2 が、n チャネルを有した駆動 T F T 1 2 であるとする、下部電極 100 は、T F T 7 2 のソース電極 90 a に接続される。具体的には、上述した平坦化膜 96 の形成後、下部電極 100 を T F T 7 2 に接続するためのコンタクトホール 110 が形成され、例えば、平坦化膜 96 表面およびコンタクトホール 110 内に形成した導電部をパターニングすることにより、T F T 7 2 に接続された下部電極 100 が画素ごとに形成される。下部電極 100 は、例えば、I T O (I n d i u m T i n O x i d e)、I Z O (I n d i u m Z i n c O x i d e) 等の透明金属酸化物、A g、A l 等の金属で形成される。

30

【 0 0 2 8 】

上記構造上には、画素を区画するバンク 112 が配置されている。例えば、下部電極 100 の形成後、画素境界にバンク 112 を形成し、バンク 112 で囲まれた画素の有効領域 (下部電極 100 の露出する領域) に、有機材料層 102 および上部電極 104 が積層される。有機材料層 102 は、代表的には、複数の層を含む。具体的には、有機材料層 102 は、アノード側から順に、ホール輸送層、発光層および電子輸送層を積層して形成されている。また、有機材料層 102 は、その他の層を含み得る。その他の層としては、例えば、アノードと発光層との間に配置されるホール注入層や電子ブロック層、カソードと発光層との間に配置される電子注入層やホールブロック層が挙げられる。上部電極 104 は、透過性導電膜で構成される。透過性導電膜は、例えば、M g と A g の極薄合金や I T O、I Z O 等の透明金属酸化物で形成される。

40

【 0 0 2 9 】

上部電極 104 上には、表示領域 42 全体を覆うように封止層 106 が配置されている。封止層 106 は、第 1 封止膜 161、封止平坦化膜 160 および第 2 封止膜 162 をこの順で含む積層構造を有している。第 1 封止膜 161 および第 2 封止膜 162 は、無機材

50

料（例えば、無機絶縁材料）で形成される。具体的には、化学気相成長（CVD）法によりSiN_y膜を成膜することにより形成される。封止平坦化膜160は、有機材料（例えば、硬化性樹脂組成物等の樹脂材料）を用いて形成される。一方、部品実装領域46では、封止層106は配置されていない。

【0030】

例えば、表示パネル40の表面の機械的な強度を確保するため、表示領域42の表面に保護膜114が積層される。一方、部品実装領域46にはICやFPCを接続し易くするため保護膜114配置されていない。

【0031】

上述のとおり、表示パネル40は、その表示領域42に水平方向および垂直方向に並んで配置された複数の画素PXを有している。一例では、図4に示すように、画素PXの単位配列Pは、青画素PX（b）、緑画素PX（g）および赤画素PX（r）によって構成され、右上および右下に青画素PX（b）それぞれ配置され、右上の青画素PX（b）の左隣に上から赤画素PX（r）、緑画素PX（g）が配置され、右下の青画素PX（b）の左隣に上から緑画素PX（g）、赤画素PX（r）が配置されている。青画素PX（b）は輝度が低い傾向にあることから、その画素面積（バンクの開口面積）は、赤画素PX（r）および緑画素PX（g）よりも大きく設計されている。なお、単位配列Pを構成する画素の数、その面積および並びは特に限定されない。

【0032】

図5は、図3に示す表示パネルの一部を拡大して示す図であり、図4のI-I断面に相当する図である。なお、図5においては、図3に示す下部電極100より下に配置される構造を下部構造層108と簡略化して示し、上部電極104より上に配置される構造を省略している。

【0033】

バンク112は、各画素PXに対応して設けられ、下部電極100を電氣的に分離する。バンク112は、下部電極100の周縁を上面から側面にかけて覆うように形成されている。バンク112は、代表的には、有機絶縁材料（例えば、感光性樹脂組成物等の樹脂材料）を用いて形成される。バンク112の側面は下部電極100側に向かうにつれて下部構造層108（基材70）側に傾斜する斜面を有している。

【0034】

有機材料層102の一部は、各画素PX間で共通に設けられている。具体的には、下部電極100の上面だけでなく、バンク112の上にも設けられ、下部電極100の上面からバンク112の側面にかけて連続して設けられている。一方で、有機材料層102に含まれる発光層102bは、画素PXの有効領域に各画素PXに対応する材料を用いて（塗り分けして）形成されている。発光層102bは、例えば、マスクを用いて個別に蒸着形成される。

【0035】

有機材料層102は、その最下層（下部電極100側の層）として、ホール注入層102aを有している。ホール注入層102aは、例えば、アリルアミン系材料により形成される。ホール注入層102aの厚みは、例えば、5nm～20nmである。ホール注入層102aは、分断されて、全ての画素PXの有効領域には設けられていない。具体的には、ホール注入層102aは非存在領域103を有する。図示例では、図4の破線で示すように、緑画素PX（g）を囲むようにホール注入層102aの非存在領域103を形成している。ここで、非存在とは、実質的にホール注入層102aが形成されていない状態も含む。具体的には、膜厚が他の部位よりも薄い状態（例えば、3nm以下）で、抵抗が高い状態も含む。ホール注入の観点から、下部電極100に接するホール注入層102aに、抵抗の高い材料を用いることが困難であり、隣接する画素間でキャリアークが生じやすい。このようなホール注入層102aに、非存在領域103を画素の有効領域に形成することで、隣接する画素へのキャリアの侵入を効果的に抑制し得る。また、高精細化にも寄与し得る。

10

20

30

40

50

【 0 0 3 6 】

有機材料層 1 0 2 の他の層 1 0 2 c を構成する層としては、例えば、ホール輸送層、電子ブロック層、ホールブロック層、電子輸送層、電子注入層が挙げられる。有機材料層 1 0 2 を構成する各層は、通常、スピコート法、蒸着法等のコーティング法により順次形成される。

【 0 0 3 7 】

非存在領域 1 0 3 が形成されたホール注入層 1 0 2 a は、例えば、開口を有するマスクを介して、成膜材料を蒸着等により付着させて成膜される。成膜時にマスクの開口から内側に成膜材料が回り込み、マスクの開口部に加えてマスク内側の回り込み部にもホール注入層 1 0 2 a が形成され得る。この回り込み部では、マスク開口部に比べて膜厚は薄く形成され得るため、抵抗が高くキャリアリークを抑制し得る。マスクにおいて、隣接する開口パターン間の距離が近い場合は、得られるホール注入層 1 0 2 a の薄膜化によるキャリアリークの抑制効果が期待され得る。

10

【 0 0 3 8 】

図 4 に示すように、発光色によって画素面積（バンクの開口面積）が異なる場合、キャリアリークの度合いが異なる。具体的には、画素面積が小さい画素ほど、画素面積に対する画素外周長の割合が大きいため、隣接する画素からのキャリアリークによる影響を受けやすい。したがって、1 つの実施形態では、画素面積が小さい緑画素 P X (g) および/または赤画素 P X (r) にホール注入層 1 0 2 a の非存在領域 1 0 3 が形成される。なお、図 4 に示す例では、視認性が高い傾向にある緑画素 P X (g) に、ホール注入層 1 0 2 a の非存在領域 1 0 3 が形成されている。

20

【 0 0 3 9 】

また、隣接する画素間の距離が短いほど、隣接する画素からのキャリアリークによる影響を受けやすい。図 4 に示す例では、緑画素 P X (g) と赤画素 P X (r) との距離は、青画素 P X (b) と赤画素 P X (r) との距離よりも短い。図示例では、赤画素 P X (r) に対して画素間の距離が短い緑画素 P X (g) と赤画素 P X (r) との間でホール注入層 1 0 2 a を分断している。なお、ホール注入層 1 0 2 a の非存在領域 1 0 3 は、全ての緑画素 P X (g) に形成してもよいし、一部の緑画素 P X (g) に形成してもよい。

【 0 0 4 0 】

図 6 は、図 3 に示す表示パネルの画素の配置の変形例 1 を示す図である。一般的に、発光色によって駆動電圧は異なり、例えば、青画素 P X (b) は、緑画素 P X (g) および赤画素 P X (r) よりも駆動電圧が高い。駆動電圧が高い画素ほど、隣接する画素へのキャリアリークによる影響を及ぼしやすい。したがって、本変形例では、駆動電圧が高い青画素 P X (b) にホール注入層 1 0 2 a の非存在領域 1 0 3 が形成されている。なお、非存在領域 1 0 3 は全ての青画素 P X (b) に形成してもよいし、一部の青画素 P X (b) に形成してもよい。

30

【 0 0 4 1 】

図 7 は、図 3 に示す表示パネルの画素の配置の変形例 2 を示す図である。本変形例では、画素 P X の単位配列 P は、青画素 P X (b)、緑画素 P X (g) および赤画素 P X (r) によって構成され、各画素 P X の画素面積の差はなく、格子状に配置されている。具体的には、右側には、上から緑画素 P X (g)、青画素 P X (b)、青画素 P X (b)、緑画素 P X (g) の順に配置され、左側には、上から赤画素 P X (r)、緑画素 P X (g)、緑画素 P X (g)、赤画素 P X (r) の順に配置されている。

40

【 0 0 4 2 】

1 つの実施形態では、表示パネル 4 0 全体の表示特性を考慮して、特定の色にこだわらずに、ホール注入層 1 0 2 a に非存在領域 1 0 3 を形成する。図 7 に示す例では、市松模様を形成するように、画素行および画素列において、画素一つおきにホール注入層 1 0 2 a の非存在領域 1 0 3 を形成している。このような構成によれば、最も効果的に隣接する画素へのキャリアリークを抑制することができる。

【 0 0 4 3 】

50

図 8 は、図 3 に示す表示パネルの画素の配置の変形例 3 を示す図である。本変形例では、ホール注入層 102a の非存在領域 103 が、各画素 P X の上端部および下端部に形成されている。具体的には、各画素 P X (バンク 112) の周縁の一部を跨いで配置され、画素 P X の中央部にはホール注入層 102a が形成されている。このような構成によれば、上下に位置する画素から、および / または、上下に位置する画素へのキャリアークを抑制し得る。なお、図示例では、全ての画素 P X に非存在領域 103 を形成しているが、一部の画素 P X 間に形成する形態も採用し得る。

【0044】

本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。例えば、上記実施形態で示した構成と実質的に同一の構成、同一の作用効果を奏する構成または同一の目的を達成することができる構成で置き換えることができる。具体的には、本実施形態では、ホール注入層に非存在領域を形成する場合を例示したが、有機材料層のその他層（例えば、電子ブロック層）に非存在領域を形成し得る。

10

【0045】

本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。例えば、前述の各実施形態に対して、当業者が適宜、構成要素の追加、削除若しくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

【符号の説明】

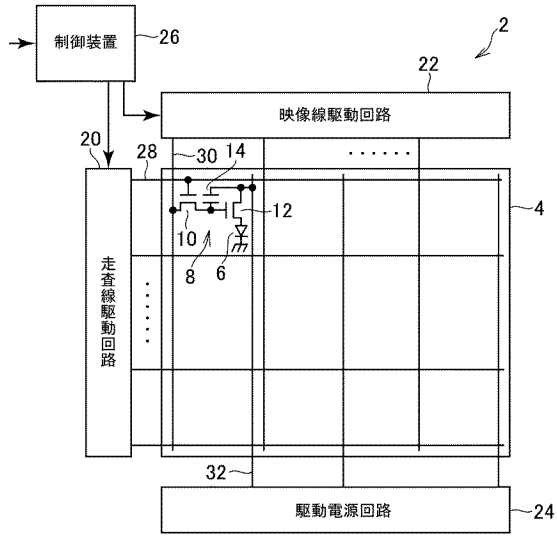
20

【0046】

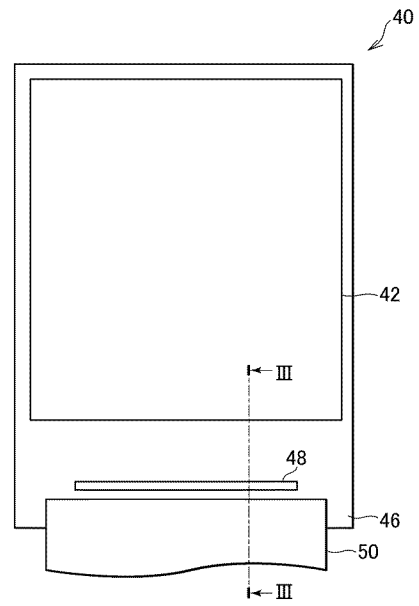
2 有機 E L 表示装置、4 画素アレイ部、6 O L E D、8 画素回路、10 点灯 T F T、12 駆動 T F T、14 キャパシタ、20 走査線駆動回路、22 映像線駆動回路、24 駆動電源回路、26 制御装置、28 走査信号線、30 映像信号線、32 駆動電源線、40 表示パネル、42 表示領域、46 部品実装領域、48 ドライバ I C、50 F P C、70 基材、72 T F T、74 回路層、80 下地層、82 半導体領域、84 ゲート絶縁膜、86 ゲート電極、88 層間絶縁膜、90 a ソース電極、90 b ドレイン電極、92 層間絶縁膜、94 配線、96 平坦化膜、98 パッシベーション膜、100 下部電極、102 有機材料層、103 非存在領域、104 上部電極、106 封止層、108 下部構造層、110 コンタクトホール、112 バンク、114 保護膜、116 配線。

30

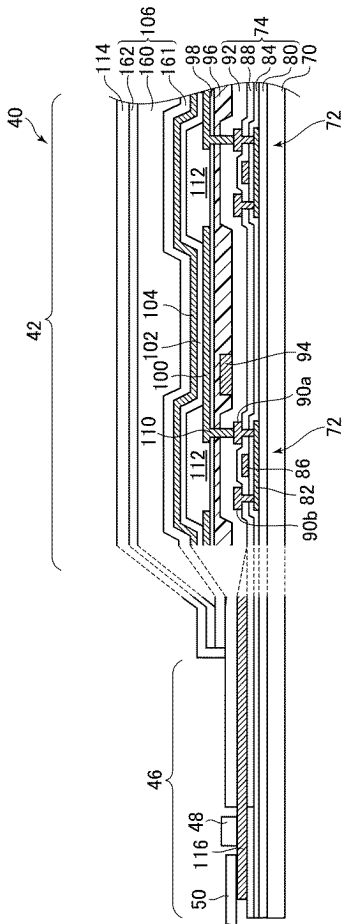
【 図 1 】



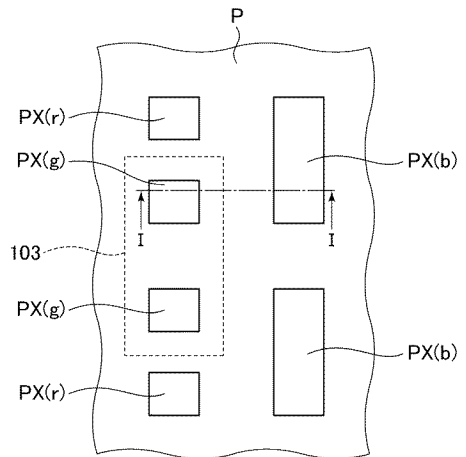
【 図 2 】



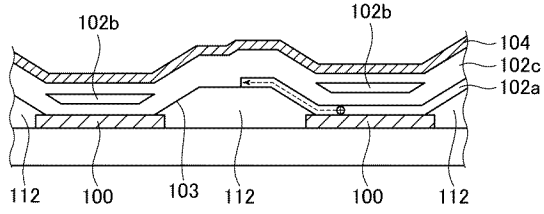
【 図 3 】



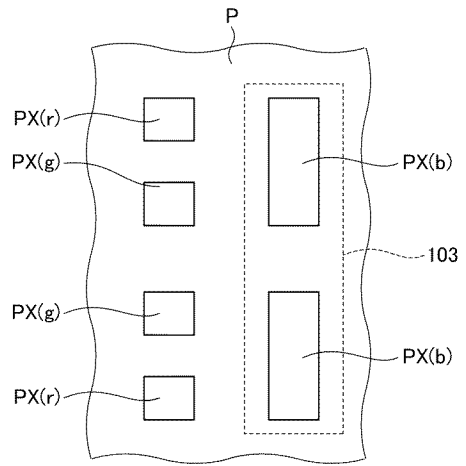
【 図 4 】



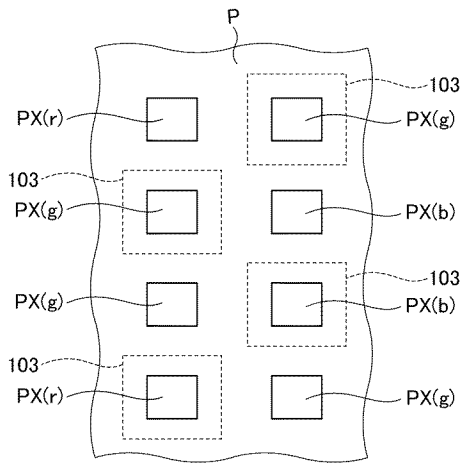
【 図 5 】



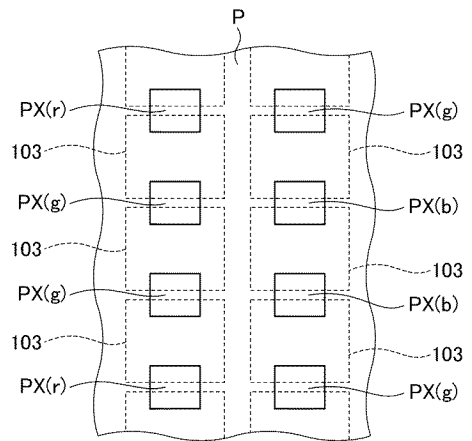
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)		
G 0 9 F 9/00 (2006.01)	H 0 5 B	33/22				Z
G 0 9 F 9/30 (2006.01)	G 0 9 F	9/00		3 3 8		
	G 0 9 F	9/30		3 6 5		

专利名称(译)	有机EL显示装置及其制造方法		
公开(公告)号	JP2020027883A	公开(公告)日	2020-02-20
申请号	JP2018152218	申请日	2018-08-13
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	長沼智彦		
发明人	長沼 智彦		
IPC分类号	H01L51/50 H01L27/32 H05B33/10 H05B33/12 H05B33/22 G09F9/00 G09F9/30		
CPC分类号	H01L27/3216 H01L27/3218 H01L27/3246 H01L51/5056 H01L51/5088 H01L27/3244 H01L51/0011 H01L51/56 H01L2251/558		
FI分类号	H05B33/22.D H05B33/14.A H01L27/32 H05B33/10 H05B33/12.B H05B33/22.Z G09F9/00.338 G09F9/30.365		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC04 3K107/CC33 3K107/DD71 3K107/DD89 3K107/EE06 3K107/FF15 3K107/GG04 3K107/GG33 5C094/AA25 5C094/BA27 5C094/CA24 5C094/DA13 5C094/EA04 5C094/GB10 5G435/AA16 5G435/BB05 5G435/KK05		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制有机EL显示设备中相邻像素之间的载流子泄漏。在有机EL显示装置中，基材，位于该基材上的多个像素，设置在多个像素的每一个中的下部电极，以及划分多个像素的堤坝。有机材料层设置在下部电极和堤上，有机材料层包括多个层，并且上部电极设置在有机材料层上。形成不存在的区域，该不存在的区域被划分为或具有比其他部分小的厚度，并且不存在的区域形成在由堤围包围的像素的有效区域的至少一部分中。[选择图]图5

