

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-123414

(P2012-123414A)

(43) 公開日 平成24年6月28日(2012.6.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 670J	
	G09G 3/20 611H	
	G09G 3/20 660P	
審査請求 有 請求項の数 7 O L (全 58 頁) 最終頁に続く		

(21) 出願番号	特願2012-33865 (P2012-33865)	(71) 出願人	000153878
(22) 出願日	平成24年2月20日 (2012.2.20)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2006-219873 (P2006-219873)		神奈川県厚木市長谷398番地
原出願日	平成18年8月11日 (2006.8.11)	(72) 発明者	山崎 舜平
(31) 優先権主張番号	特願2005-234649 (P2005-234649)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成17年8月12日 (2005.8.12)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	木村 肇
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	梅崎 敦司
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	吉田 泰則
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

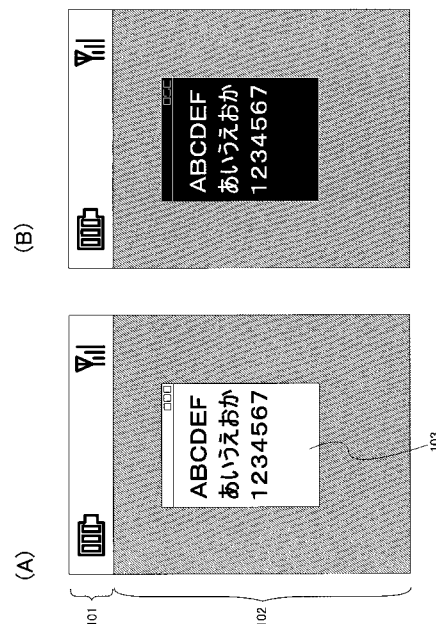
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】有機EL素子などの表示素子は、発光によって劣化が進み、表示素子に同じ電圧を印加しても発光輝度が低下する。よって、経時的に使用することにより、画素毎に発光のバラツキが生じるため、いわゆる「焼き付き」現象が生じてしまう。そこで、画素毎の表示素子の劣化の差を小さくし、画素の表示素子の発光のバラツキを低減する表示装置を提供することを課題とする。

【解決手段】特定の画素のみ累積点灯時間が長くならないようにする。そのため、表示パターンの階調を変化させ、画素毎の表示素子の劣化の差が大きくなるようにする。または、特定の表示パターンを特定の領域で固定表示しないようにする。または、画素毎の累積点灯時間が等しくなるように、劣化の遅れている画素を劣化させる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 のトランジスタと、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、表示素子と、第 1 の電流源回路と、を有し、

前記第 1 のスイッチの第 1 の端子は、第 1 の配線と電氣的に接続され、

前記第 1 のスイッチの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 2 のスイッチの第 1 の端子は、第 2 の配線と電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、前記第 1 のトランジスタのソース及びドレインの一方と電氣的に接続され、

10

前記第 3 のスイッチの第 1 の端子は、前記第 1 の電流源回路と電氣的に接続され、

前記第 3 のスイッチの第 2 の端子は、前記第 1 のトランジスタのソース及びドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの他方は、前記表示素子と電氣的に接続されることを特徴とする表示装置。

【請求項 2】

請求項 1 において、

前記第 1 の電流源回路は、前記表示素子の劣化の程度に応じた電流を供給する機能を有することを特徴とする表示装置。

【請求項 3】

20

請求項 1 又は請求項 2 において、

前記表示素子の劣化の程度が大きいほど、前記第 1 の電流源回路の電流は小さくなることを特徴とする表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

充電中において、前記第 1 の電流源から前記発光素子に電流が供給されることを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の電流源回路は、第 2 のトランジスタと、第 4 のスイッチと、第 5 のスイッチと、を有し、

30

前記第 1 のスイッチの第 1 の端子は、前記第 2 の配線と電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 2 のスイッチの第 1 の端子は、第 3 の配線と電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、前記第 2 のトランジスタのソース及びドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの一方は、前記第 3 のスイッチの第 1 の端子と電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの他方は、前記第 2 の配線と電氣的に接続されていることを特徴とする表示装置。

40

【請求項 6】

請求項 5 において、

第 2 の電流源回路を有し、

前記第 2 の電流源回路は、前記第 3 の配線と電氣的に接続されていることを特徴とする表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項に記載の表示装置と、操作スイッチとを有することを特徴とする電子機器。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は表示装置及びその表示方法に関し、特に、複数の画素がマトリクスに配置されたアクティブマトリクス型表示装置における画素の劣化により生じる焼き付き現象を低減する技術に関する。

【背景技術】

【0002】

液晶などの表示素子で形成した表示装置である液晶ディスプレイ（LCD）が広く普及している。しかし、近年、画素に発光ダイオード（LED）などの表示素子を備える、いわゆる自発光型の表示装置、つまり、発光装置が注目を浴びている。このような自発光型の表示装置に用いられる表示素子としては、有機発光ダイオード（OLED（Organic Light Emitting Diode））、有機EL素子、エレクトロルミネッセンス（Electro Luminescence：EL）素子などとも言う）が注目を集めており、ELディスプレイなどに用いられるようになってきている。OLEDなどの表示素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い等の利点がある。

10

【発明の概要】

【発明が解決しようとする課題】

【0003】

ところで、有機EL素子などの表示素子は、発光によって劣化が進むと、表示素子に同じ電圧を印加しても発光輝度が低下する。よって、経時的に使用することにより、画素毎に発光のパラツキが生じるため、いわゆる「焼き付き」現象が生じてしまう。

20

【0004】

そこで本発明は、画素毎の表示素子の劣化の差を小さくし、画素毎の表示素子の発光のパラツキを低減する表示装置を提供することを課題とする。また、その表示方法を提供することを課題とする。

【課題を解決するための手段】

【0005】

そこで、特定の画素のみ累積点灯時間が長くなるようにする。そのため、表示パターンの階調を変化させ、画素毎の表示素子の劣化の差が大きくなるようにする。または、特定の表示パターンを特定の領域で固定表示しないようにする。または、画素毎の累積点灯時間が等しくなるように、劣化の遅れている画素を劣化させる。

30

【0006】

まず、表示パターンの階調を変化させ、画素毎の劣化の差が大きくなるようにする具体的構成を以下に示す。

【0007】

本発明の表示装置は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字を白表示とし、文字の背景を黒表示とする白文字モードとのモード切り替え可能な画像処理回路と、前記画像処理回路の切り替えを制御する制御回路と、を有する。

40

【0008】

また、本発明の表示装置は、上記構成において、前記制御回路は、周囲の明るさによりモードを切り替える。

【0009】

また、本発明の表示装置は、上記構成において、前記制御回路は、日毎にモードを切り替える。

【0010】

また、本発明の表示装置は、上記構成において、前記制御回路は、時間毎にモードを切り替える。

【0011】

また、本発明の表示装置は、上記構成において、前記制御回路は、電池の残量でモードを

50

切り替える。

【 0 0 1 2 】

また、本発明の表示装置は、上記構成において、前記制御回路は、一定期間操作しないとモードを切り替える。

【 0 0 1 3 】

また、本発明の表示装置は、上記構成において、前記制御回路は、電源投入の度にモードを切り替える。

【 0 0 1 4 】

また、本発明の表示装置は、上記構成において、前記制御回路は、電子メールの受信と送信とでモードを切り替える。

10

【 0 0 1 5 】

また、本発明の表示装置は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字の芯を白表示とし、文字の芯周辺を囲むように縁を黒表示とし、文字の芯及び文字の芯の縁の背景を白表示とする黒縁白抜きモードとのモード切り替え可能な画像処理回路と、前記画像処理回路の切り替えを制御する制御回路と、を有する。

【 0 0 1 6 】

また、本発明の表示装置は、上記構成において、前記制御回路は、日毎にモードを切り替える。

【 0 0 1 7 】

また、本発明の表示装置は、上記構成において、前記制御回路は、時間毎にモードを切り替える。

20

【 0 0 1 8 】

また、本発明の表示装置は、上記構成において、前記制御回路は、一定期間操作しないとモードを切り替える。

【 0 0 1 9 】

また、本発明の表示装置は、上記構成において、前記制御回路は、電源投入の度にモードを切り替える。

【 0 0 2 0 】

また、本発明の表示装置は、上記構成において、前記制御回路は、電子メールの受信と送信とでモードを切り替える。

30

【 0 0 2 1 】

本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字を白表示とし、文字の背景を黒表示とする白文字モードと、を周囲の明るさにより切り替える。

【 0 0 2 2 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字を白表示とし、文字の背景を黒表示とする白文字モードと、を日毎に切り替える。

【 0 0 2 3 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字を白表示とし、文字の背景を黒表示とする白文字モードと、を時間毎に切り替える。

40

【 0 0 2 4 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字を白表示とし、文字の背景を黒表示とする白文字モードと、を電池の残量で切り替える。

【 0 0 2 5 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字を白表示とし、文字の背景を黒表示とする白文字モードと、を一定期間操作しないと切り替える。

50

【 0 0 2 6 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字を白表示とし、文字の背景を黒表示とする白文字モードと、を電源投入の度に切り替える。

【 0 0 2 7 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字を白表示とし、文字の背景を黒表示とする白文字モードと、を電子メールの受信と送信とで切り替える。

【 0 0 2 8 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字の芯を白表示とし、文字の芯周辺を囲むように縁を黒表示とし、文字の芯及び文字の芯の縁の背景を白表示とする黒縁白抜きモードと、を日毎に切り替えることを特徴とする表示方法。

10

【 0 0 2 9 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字の芯を白表示とし、文字の芯周辺を囲むように縁を黒表示とし、文字の芯及び文字の芯の縁の背景を白表示とする黒縁白抜きモードと、を時間毎に切り替える。

【 0 0 3 0 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字の芯を白表示とし、文字の芯周辺を囲むように縁を黒表示とし、文字の芯及び文字の芯の縁の背景を白表示とする黒縁白抜きモードと、を一定期間操作しないと切り替える。

20

【 0 0 3 1 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字の芯を白表示とし、文字の芯周辺を囲むように縁を黒表示とし、文字の芯及び文字の芯の縁の背景を白表示とする黒縁白抜きモードと、を電源投入の度に切り替える。

【 0 0 3 2 】

また、本発明の表示方法は、文字を黒表示とし、文字の背景を白表示とする黒文字モードと、文字の芯を白表示とし、文字の芯周辺を囲むように縁を黒表示とし、文字の芯及び文字の芯の縁の背景を白表示とする黒縁白抜きモードと、を電子メールの受信と送信とで切り替える。

30

【 0 0 3 3 】

また、特定の表示パターンを特定の領域で固定表示しないようにする本発明の具体的構成を以下に示す。

【 0 0 3 4 】

また、本発明の表示装置は、文字の書体を変更する画像処理が可能な画像処理回路と、該画像処理回路の動作を制御する制御回路と、を有する。

【 0 0 3 5 】

また、本発明の表示装置は、上記構成において、該制御回路は、日毎に文字の書体を変更させる。

40

【 0 0 3 6 】

また、本発明の表示装置は、上記構成において、該制御回路は、時間毎に文字の書体を変更させる。

【 0 0 3 7 】

また、本発明の表示装置は、上記構成において、該制御回路は、一定期間操作しないと文字の書体を変更させる。

【 0 0 3 8 】

また、本発明の表示装置は、上記構成において、該制御回路は、電源投入の度に文字の書体を変更させる。

【 0 0 3 9 】

50

また、本発明の表示装置は、上記構成において、該制御回路は、電子メールの受信と送信とで文字の書体を変更させる。

【0040】

また、本発明の表示装置は、文字をシフトさせる画像処理が可能な画像処理回路と、該画像処理回路の動作を制御する制御回路と、を有する。

【0041】

また、本発明の表示装置は、上記構成において、該制御回路は、日毎に文字をシフトさせる。

【0042】

また、本発明の表示装置は、上記構成において、該制御回路は、時間毎に文字をシフトさせる。

10

【0043】

また、本発明の表示装置は、上記構成において、該制御回路は、一定期間操作しないと文字をシフトさせる。

【0044】

また、本発明の表示装置は、上記構成において、該制御回路は、電源投入の度に文字をシフトさせる。

【0045】

また、本発明の表示装置は、上記構成において、該制御回路は、文字を入力する度に文字をシフトさせる。

20

【0046】

また、本発明の表示装置は、上記構成において、該制御回路は、一行分の文字を入力する度に文字をシフトさせる。

【0047】

また、本発明の表示装置は、上記構成において、該文字を構成する矩形型の画素のブロックの横方向の長さを a 、縦方向の長さを b とし、該シフトさせる移動範囲の横方向を x 、縦方向を y とすると、移動範囲の横方向 x 及び縦方向 y は、それぞれ $a < x \leq 3a$ 及び $b < y \leq 3b$ である。

【0048】

また、本発明の表示装置は、アイコンをシフトする画像処理が可能な画像処理回路と、該画像処理回路の動作を制御する制御回路と、を有する。

30

【0049】

また、本発明の表示装置は、上記構成において、該制御回路は、日毎にアイコンをシフトさせる。

【0050】

また、本発明の表示装置は、上記構成において、該制御回路は、時間毎にアイコンをシフトさせる。

【0051】

また、本発明の表示装置は、上記構成において、該制御回路は、一定期間操作しないとアイコンをシフトさせる。

40

【0052】

また、本発明の表示装置は、上記構成において、該制御回路は、電源投入の度にアイコンをシフトさせる。

【0053】

また、本発明の表示装置は、アイコンの累積表示時間及びアイコンの表示されない画素累積点灯時間をカウントするカウンタと、該カウンタによりカウントされたデータを記憶する記憶回路部と、該記憶回路部に記憶されたデータを用いて、該アイコン部の画素の輝度と該アイコンの表示されない画素との輝度を等しくなるように画像信号を補正する補正回路とを有する。

【0054】

50

また、本発明の表示装置は、ピクトをシフトさせる画像処理が可能な画像処理回路と、該画像処理回路の動作を制御する制御回路と、を有する。

【 0 0 5 5 】

また、本発明の表示装置は、上記構成において、該制御回路は、日毎にピクトをシフトさせる。

【 0 0 5 6 】

また、本発明の表示装置は、上記構成において、該制御回路は、時間毎にピクトをシフトさせる。

【 0 0 5 7 】

また、本発明の表示装置は、上記構成において、該制御回路は、一定期間操作しないとピクトをシフトさせる。 10

【 0 0 5 8 】

また、本発明の表示装置は、上記構成において、該制御回路は、電源投入の度にピクトをシフトさせる。

【 0 0 5 9 】

本発明の表示方法は、日毎に文字の書体を変更させる。

【 0 0 6 0 】

また、本発明の表示方法は、時間毎に文字の書体を変更させる。

【 0 0 6 1 】

また、本発明の表示方法は、一定期間操作しないと文字の書体を変更させる。 20

【 0 0 6 2 】

また、本発明の表示方法は、電源投入の度に文字の書体を変更させる。

【 0 0 6 3 】

また、本発明の表示方法は、電子メールの受信と送信とで文字の書体を変更させる。

【 0 0 6 4 】

また、本発明の表示方法は、日毎に文字をシフトさせる。

【 0 0 6 5 】

また、本発明の表示方法は、時間毎に文字をシフトさせる。

【 0 0 6 6 】

また、本発明の表示方法は、一定期間操作しないと文字をシフトさせる。 30

【 0 0 6 7 】

また、本発明の表示方法は、電源投入の度に文字をシフトさせる。

【 0 0 6 8 】

また、本発明の表示方法は、文字を入力する度に文字をシフトさせる。

【 0 0 6 9 】

また、本発明の表示方法は、一行分の文字を入力する度に文字をシフトさせる。

【 0 0 7 0 】

また、本発明の表示方法は、上記構成において、該文字のブロックの横方向の長さを a 、縦方向の長さを b とし、該シフトさせる移動範囲の横方向を x 、縦方向を y とすると、移動範囲の横方向 x 及び縦方向 y は、それぞれ $a < x \leq 3a$ 及び $b < y \leq 3b$ である。 40

【 0 0 7 1 】

また、本発明の表示方法は、日毎にアイコンをシフトさせる。

【 0 0 7 2 】

また、本発明の表示方法は、時間毎にアイコンをシフトさせる。

【 0 0 7 3 】

また、本発明の表示方法は、一定期間操作しないとアイコンをシフトさせる。

【 0 0 7 4 】

また、本発明の表示方法は、電源投入の度にアイコンをシフトさせる。

【 0 0 7 5 】

また、本発明の表示方法は、日毎にピクトをシフトさせる。 50

【0076】

また、本発明の表示方法は、時間毎にピクトをシフトさせる。

【0077】

また、本発明の表示方法は、一定期間操作しないとピクトをシフトさせる。

【0078】

なお、明細書に示すピクト（ピクトグラムともいう）とは図形、絵、文字等の予め定められたパターンをいい、ピクト表示領域とは、そのパターンの表示に寄与する画素が配置された領域をいう。

【0079】

なお、本発明に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ V_{ss} 、GND、0Vなど）に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源（ V_{dd} など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。

【0080】

なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、Pチャネル型かNチャネル型のどちらかのスイッチが導通すれば電流を流すことができるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。また、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

なお、スイッチとしてトランジスタを用いる場合は、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合は、導通を制御する端子を有していない場合がある。そのため、端子を制御するための配線を少なくすることが出来る。

【0081】

なお、本発明において接続されているとは、電氣的に接続されていることと同義である。したがって、間に別の素子やスイッチなどが配置されていてもよい。

【0082】

なお、表示素子や表示装置や発光素子や発光装置は、様々な形態を用いたり、様々な素子を有したりすることが出来る。例えば、表示素子や表示装置や発光素子や発光装置としては、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた

表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【0083】

なお、本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFT）、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板、プラスチック基板などに配置することが出来る。

10

【0084】

なお、すでに述べたように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、回路の全てがガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にTFTを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG（Chip On Glass）で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB（Tape Auto Bonding）やプリント基板を用いてガラス基板と接続してもよい。

20

【0085】

なお、本発明においては、一画素とは画像の最小単位を示すものとする。よって、R（赤）G（緑）B（青）の色要素からなるフルカラー表示装置の場合には、一画素とはRの色要素のドットとGの色要素のドットとBの色要素のドットとから構成されるものとする。なお、色要素は、三色に限定されず、それ以上の数を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW（Wは白）としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加したものでもよい。また、例えばRGBの中の少なくとも一色について、類似した色を追加してもよい。例えば、R、G、B₁、B₂としてもよい。B₁とB₂とは、どちらも青色であるが、少し周波数が異なっている。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減したりすることが出来る。なお、一画素に、ある色の色要素のドットが複数あってもよい。そのとき、その複数の色要素は、各々、表示に寄与する領域の大きさが異なってもよい。また、複数ある、ある色の色要素のドットを各々制御することによって、階調を表現してもよい。これを、面積階調方式と呼ぶ。あるいは、複数ある、ある色の色要素のドットを用いて、各々のドットに供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。

30

【0086】

なお、本発明において、画素は、マトリクス状に配置（配列）されている場合を含んでいる。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、直線上に並んで配置されている場合や、ギザギザな線上に並んでいる場合を含んでいる。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三つの色要素のドットがいわゆるデルタ配置されている場合も含むものとする。さらに、ベイヤー配置されている場合も含んでいる。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）や、RGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、消費電力を低下させたり、表示素子の寿命を延ばしたりすることが出来る。

40

50

【 0 0 8 7 】

トランジスタとは、それぞれ、ゲート電極と、ドレイン領域と、ソース領域とを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル形成領域を有する。ここで、ソース領域とドレイン領域とは、トランジスタの構造や動作条件等によって変わるため、いずれがソース領域またはドレイン領域であるかを限定することが困難である。そこで、本形態においては、ソース領域及びドレイン領域として機能する領域を、それぞれ第 1 端子、第 2 端子と表記する。

【 0 0 8 8 】

なお、本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。

10

【 0 0 8 9 】

また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、液晶素子や E L 素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。また、ワイヤボンディングやパンプなどによって基板上に配置された周辺駆動回路、いわゆるチップオンガラス（C O G）を含んでいても良い。さらに、フレキシブルプリントサーキット（F P C）やプリント配線基盤（P W B）が取り付けられたもの（I C や抵抗素子や容量素子やインダクタやトランジスタなど）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでいても良い。さらに、バックライトユニット（導光板やプリズムシートや拡散シートや反射シートや光源（L E D や冷陰極管など）を含んでいても良い）を含んでいても良い。

20

【 0 0 9 0 】

また、発光装置とは、特に E L 素子や F E D で用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

【 発明の効果 】

【 0 0 9 1 】

本発明は、画素毎の表示素子の発光のパラツキを低減し、いわゆる「焼き付き」現象を低減することができる。

【 図面の簡単な説明 】

30

【 0 0 9 2 】

【 図 1 】（ A ）黒文字モードを説明する図、（ B ）白文字モードを説明する図。

【 図 2 】（ A ）黒文字モードを説明する図、（ B ）白文字モードを説明する図。

【 図 3 】（ A ）黒縁白抜き文字モードを説明する図、（ B ）白縁黒抜き文字モードを説明する図。

【 図 4 】 A ）黒縁白抜き文字モードを説明する図、（ B ）白縁黒抜き文字モードを説明する図。

【 図 5 】文字のシフトを説明する図。

【 図 6 】文字のシフトを説明する図。

【 図 7 】文字のシフトを説明する図。

40

【 図 8 】画像のシフトを説明する図。

【 図 9 】文字の書体の変更を説明する図。

【 図 1 0 】文字の大きさの変更を説明する図。

【 図 1 1 】アイコンのシフトを説明する図。

【 図 1 2 】アイコンの回転を説明する図。

【 図 1 3 】アイコンのシフトを説明する図。

【 図 1 4 】アイコンのシフトを説明する図。

【 図 1 5 】ピクトのシフトを説明する図。

【 図 1 6 】ピクト表示領域の白黒反転を説明する図。

【 図 1 7 】本発明の表示装置の構成を説明する図。

50

- 【図 18】本発明の表示装置に適用可能な画素構成を示す図。
- 【図 19】本発明の表示装置に適用可能な画素構成を示す図。
- 【図 20】本発明の表示方法を説明する図。
- 【図 21】本発明の表示方法を説明する図。
- 【図 22】本発明の表示装置の構成を説明する図。
- 【図 23】文字の書体を説明する図。
- 【図 24】文字の書体を説明する図。
- 【図 25】文字の書体の変更を説明する図。
- 【図 26】本発明の表示装置に適用可能な画素構成を示す図。
- 【図 27】時間階調法の駆動方法を説明する図。 10
- 【図 28】画素のドットを説明する図。
- 【図 29】表示画面のシフトを説明する図。
- 【図 30】スタートパルス信号のタイミングチャート。
- 【図 31】本発明の表示装置のブロック図。
- 【図 32】遅延回路の構成を示す図。
- 【図 33】DFFの構成を示す図。
- 【図 34】本発明の表示装置のブロック図。
- 【図 35】本発明の表示装置を示す図。
- 【図 36】本発明の表示装置のブロック図。
- 【図 37】本発明の表示パネルを説明する図。 20
- 【図 38】本発明の表示装置に適用可能な発光素子を説明する図。
- 【図 39】本発明の表示パネルを説明する図。
- 【図 40】本発明の表示パネルを説明する図。
- 【図 41】本発明の画素に適用可能なトランジスタや容量素子の構成を説明する図。
- 【図 42】本発明の画素に適用可能なトランジスタや容量素子の構成を説明する図。
- 【図 43】本発明の表示パネルを説明する図。
- 【図 44】本発明の表示パネルを説明する図。
- 【図 45】本発明の画素に適用可能なトランジスタや容量素子の構成を説明する図。
- 【図 46】本発明の画素に適用可能なトランジスタや容量素子の構成を説明する図。
- 【図 47】本発明の画素に適用可能なトランジスタや容量素子の構成を説明する図。 30
- 【図 48】本発明の画素に適用可能なトランジスタや容量素子の構成を説明する図。
- 【図 49】本発明の表示装置が適用可能な電子機器を説明する図。
- 【図 50】ELモジュールの例を示す図。
- 【図 51】ELテレビ受像機の主要な構成を示すブロック図。
- 【図 52】携帯電話機の構成例を示す図。
- 【図 53】本発明の表示装置のブロック図。
- 【図 54】記憶回路部へデータを記憶させるフローチャート。
- 【図 55】記憶回路部へデータを記憶させるフローチャート。
- 【図 56】焼き付き補正のフローチャート。
- 【図 57】焼き付き補正のフローチャート。 40
- 【発明を実施するための形態】
- 【0093】
- 以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。
- 【0094】
- 本発明の表示装置の主要な構成のブロック図を図 36 に示す。
- 【0095】
- 本発明の表示装置は、画像処理回路 3601 と、制御回路 3602 と、コントローラ 36 50

03と、表示パネル3604とを有する。

【0096】

画像処理回路3601及び制御回路3602には、画像信号が入力される。そして、制御回路3602は画像処理回路3601の動作を制御する。そして、画像処理回路3601は、制御回路3602に従って、入力された画像信号を画像処理を施した信号へ変換する。

【0097】

そして、画像処理回路3601から出力された信号がコントローラ3603に入力され、コントローラ3603から表示パネル3604に信号が入力される。

【0098】

ここで、画像処理回路3601で画像処理が行われることにより、画素毎の表示素子の劣化の差を小さくする処理を行うことができる。

【0099】

以下の実施の形態において、画素毎の表示素子の劣化の差を小さくするための表示方法、すなわち、画像処理回路3601によって画像処理を行うことにより実現する表示方法について説明する。

【0100】

(実施の形態1)

本実施の形態では、条件を設定し、その条件を満たしたら表示画像の階調を反転させる。つまり、表示画像の明暗を反転させる。そして、画素毎の表示素子の劣化の差を小さくすることで画素毎の輝度のバラツキを低減する。

【0101】

例えば、64階調の表示の表示装置において、階調反転させる場合には、階調反転前の点灯が階調0、階調1、階調2、階調3、・・・階調62、階調63の画素は、反転後はそれぞれ階調63、階調62、階調61、階調60、・・・階調1、階調0の点灯にする。つまり、階調数Nの表示の表示装置において、階調反転前の階調を階調Xとし、階調反転後の階調を階調Yとすると、 $Y = N - X$ を満たす。

【0102】

また、表示画面に文字(ひらがな、カタカナ、漢字、数字、アルファベットなど)を表示する場合においては、文字を白表示とする白文字モードと文字を黒表示とする黒文字モードとを設定された条件を満たす毎に切り替える。図2(A)には「あ」という文字の黒文字モードの例を示している。そして、図2(B)には「あ」という文字の白文字モードの例を示している。なお、文字を構成する画素数や文字の書体は例であってこれに限定されない。

【0103】

なお、図2(A)、(B)において、四角形で表された1マスが1画素を示すものとする。また、画素の表示素子の発光領域の形状はこのような四角形に限らず、他の多角形であってもよいし、円形であってもよい。また、1画素は複数の色要素のドットから構成されていてもよい。

【0104】

なお、ここでの白表示とは、最も輝度の高い階調でなくともよい。つまり、黒表示よりも輝度の高い階調であればよい。また、黒表示も最も輝度の低い階調でなくともよい。つまり、白表示よりも輝度の低い階調であればよい。

【0105】

例えば、携帯電話機などの携帯端末機で文字を表示する場合において、周囲が明るいとき(外光や室内光の得られる下)には、図2(B)のように、文字の背景を黒表示とし、文字を白表示にする。そして、周囲が暗いとき(夜間の暗闇の中)には、図2(A)に示すように文字の背景を白表示とし、文字を黒表示にする。なお、ここでは文字及び文字の背景を階調反転させた図をしめしたが、文字のみ階調反転させたり、文字の背景のみ階調反転させてもよい。

10

20

30

40

50

【0106】

こうすることで、外光や室内光の得られるような明るいところでは白文字モードにより消費電力を低減できるとともに、焼き付き現象を低減することができる。つまり、文字の背景は黒表示であるため焼き付き現象は生じないし、文字を表示するための画素の点灯領域は狭く、焼き付き現象は視認しにくい。

【0107】

また、夜間の暗闇の中では、文字の背景を白表示にし、文字を黒表示にすることで、字を見やすくすることができるし、白文字モードとは異なる領域（文字と文字の行間や文字と文字の間隔の領域など）の画素を白表示にするため画素毎の表示素子の劣化の差を小さくすることができる。よって、焼き付き現象を低減することができる。

10

【0108】

また、白文字モードから黒文字モードに切り替わってから、文字の背景の白表示は徐々に又は段階的に輝度を低くするようにしてもよい。つまり、暗闇の中で目が慣れてくれば、コントラストを低くしても見えるようになるので、白表示の輝度を低くして消費電力の低減を図ることができる。

【0109】

なお、階調反転表示の条件は上述したものに限らない。例えば、奇数日は白文字表示、偶数日は黒文字表示にするなど日毎に切り替えてもいいし、奇数時間のときは白文字表示、偶数時間のときは黒文字表示にするなど時間毎に切り替えてもいいし、電池の残量が充分にあるときには、黒文字表示、電池の残量が少なくなると白文字表示にするなど電池の残量によって切り替えてもいいし、電子機器を一定期間操作しないと黒文字表示から白文字表示に切り替えるようにしてもいいし、電源の投入の度に白文字表示と黒文字表示を切り替えてもいいし、電子メールの受信と送信のときで白文字表示と黒文字表示を切り替えてもいい。

20

【0110】

なお、このような階調反転表示は画面上に現れる、あるウインドウ内で行うようにしてもよいし、表示画面全体で階調反転するようにしてもよい。画面上のウインドウ内で階調反転表示を行う場合の例を図1(A)、(B)に示す。図1(A)はピクト表示領域101と、メイン表示領域102とを有し、メイン表示領域102にウインドウ103が表示されている。なお、ピクト表示領域101には、携帯端末機の状態（電池残量や電波受信状態など）を表すピクトなどが表示される。そして、メイン表示領域102とは、携帯端末機を操作して動画や静止画などを表示させることができるメインの表示領域をいう。また、ウインドウ103とは、操作画面内にそれぞれ異なった情報を表示できる領域であって、その中に画像や文書を表示する機能を有する。なお、ピクト表示領域101とメイン表示領域102とは区別されていなくてもよい。つまり、メイン表示領域102にピクトが表示されていてもよい。

30

【0111】

図1(A)において、ウインドウ103は、文字が黒で背景が白である黒文字モードである。そして、図1(B)においては、ウインドウ103は文字が白で背景が黒である白文字モードである。ここで、ウインドウ103外のメイン表示領域102に表示される画像は黒文字モードと白文字モードとで変化させなくてもいいし、階調反転させてもいい。また、ピクト表示領域101も黒文字モードと白文字モードとで変化させなくてもいいし、階調反転させてもいい。

40

【0112】

そして、文字以外の画像を階調反転させるときには、階調数の中間を境に反転させる。例えば、簡単に説明するため8階調のグラデーション（明暗の段階的变化）を用いて説明する。図21(A)の第1領域2101、第2領域2102、第3領域2103、第4領域2104、第5領域2105、第6領域2106は、それぞれ階調6、階調5、階調4、階調3、階調2、階調1の表示を示し、第7領域2107は、背景を階調7とし、ピクトを階調0で表示している。そして、図21(A)の表示を階調反転させた表示は図21(

50

B) に示すように第 1 領域 2 1 0 1、第 2 領域 2 1 0 2、第 3 領域 2 1 0 3、第 4 領域 2 1 0 4、第 5 領域 2 1 0 5、第 6 領域 2 1 0 6 は、それぞれ階調 1、階調 2、階調 3、階調 4、階調 5、階調 6 の表示を示し、第 7 領域 2 1 0 7 は、背景を階調 0 とし、ピクトを階調 7 として表示している。

【0113】

なお、R (赤)、G (緑)、B (青) の色要素を用いて、フルカラー表示を行う場合においても反転表示を行うことができる。この場合には、例えば R のドットのみ点灯していた画素は、反転表示のとき、G と B のドットを点灯にし、R のドットを非点灯にする。また、R (赤)、G (緑)、B (青)、W (白) の色要素を用いてフルカラー表示を行う場合には、白表示を R G B のドットを点灯させるか、W のドットを点灯させるかを条件によって切り替えてもよい。例えば、文字を表示する場合のように、焼き付きがシャープに見えてしまうようなときに、劣化のしにくい色要素のドットを点灯させて白表示をする。または、白表示の輝度の半分は、R G B のドットの発光を用い、また半分は W のドットの発光を用いてもよい。図 2 8 (a)、(b)、(c) に R のドット、G のドット、B のドット、W のドットでなる画素において、白表示を行う三通りの場合を示す。なお、点灯しているドットは点線で示しており、非点灯のドットは線で示してある。図 2 8 (a) に示す場合には、R G B のドット及び W のドットを点灯させて白表示をしている。図 2 8 (b) に示す場合には、W のドットは非点灯の状態で、R G B のドットを点灯させて白表示をしている。図 2 8 (c) に示す場合には、R G B のドットは非点灯の状態で、W のドットを点灯させて白表示をしている。

10

20

【0114】

よって、本実施の形態で示したように階調反転表示を行うことで、画素毎の表示素子の劣化の差を小さくすることができるため、画素の発光のパラツキを低減することができる。つまり、焼き付きを低減することができる。

【0115】

なお、本実施の形態において示したような表示方法は、ハードウェアやソフトウェアを用いて実現できる。ハードウェアとしては、C P U やメモリなどの機能回路、ソフトウェアとしては、メモリなどに記憶された手順や命令などの情報を含むプログラムがある。

【0116】

(実施の形態 2)

本実施の形態では、表示画面に文字 (ひらがな、カタカナ、漢字、数字、アルファベット など) を表示する場合において、条件を設定し、その条件を満たしたら、文字を黒色とする黒文字モードと、文字の芯を白色とし文字の芯周辺を囲むように縁を黒色とした黒縁白抜き文字モードとを切り替える。または、文字を白色とする白文字モードと、文字の芯を黒色とし、文字の芯周辺を囲むように縁を白色とした白縁黒抜き文字モードとを切り替える。図 4 (A) には「あ」という文字の黒縁白抜き文字モードの例を示している。また、図 4 (B) には「あ」という文字の白縁黒抜き文字モードの例を示している。

30

【0117】

このように切り替えることにより、画素毎の表示素子の劣化の差を小さくすることができる。というのも、図 2 (A) と図 4 (A) を見ればわかるように、黒文字モードと黒縁白抜き文字モードとを切り替える場合、黒文字モードで黒となっている文字を黒縁白抜き文字モードでは白にすることができる。また、図 2 (B) と図 4 (B) を見ればわかるように、白文字モードと白縁黒抜き文字モードとを切り替える場合、白文字モードで白となっている文字を白縁黒抜き文字モードでは黒にすることができる。つまり、文字の画素を白黒反転することができるので、焼き付き現象を低減することができる。

40

【0118】

また、このようなモードの切り替えは、画面上に現れる、あるウインドウ内で行うようにしてもよいし、表示画面全体で行うようにしてもよい。画面上のウインドウ内で白黒反転表示を行う場合の例を図 3 (A)、(B) に示す。図 3 (A) はピクト表示領域 1 0 1 と、メイン表示領域 1 0 2 とを有し、メイン表示領域 1 0 2 にウインドウ 1 0 3 が表示され

50

ている。また、図3(A)のウィンドウ103には黒縁白抜き表示の表示例を示し、図3(B)のウィンドウ103には白縁黒抜き表示の表示例を示している。

【0119】

なお、モードの切り替えの条件は上述したものに限らない。例えば、奇数日は白文字モード、偶数日は白縁黒抜き文字モードにする、または奇数日は黒文字モード、偶数日は黒縁白抜き文字モードにするなど日毎に切り替えてもいいし、奇数時間のときは白文字モード、偶数時間は白縁黒抜き文字モードにする、または奇数時間は黒文字モード、偶数時間は黒縁白抜き文字モードにするなど時間毎に切り替えてもいいし、電池の残量が充分にあるときには、黒縁白抜き文字モード、電池の残量が少なくなると白縁黒抜き文字モードにするなど電池の残量によって切り替えてもいいし、電子機器を一定期間操作しないと黒縁白抜き文字モードから白縁黒抜き文字モードに切り替えるようにしてもいい。

10

【0120】

(実施の形態3)

本実施の形態では、画像をシフトさせることにより、焼き付き現象を低減する。特に、表示画像が文字(ひらがな、カタカナ、漢字、数字、アルファベットなど)のようにグラデーションの境界がはっきりしている場合などに有効である。

【0121】

図5に、「あ」という文字を右に一画素、下に一画素シフトさせたときの図を示す。シフト前の文字「あ」は画素が斜線で塗られ、シフト後の文字「あ」は画素が黒で塗られている。一例としてここでは、1文字を構成する文字ブロックを縦×横:7×7の矩形型に配置された画素としている。なお、ここで、文字ブロックとは、同じ書体であり、同じサイズの文字において、全ての種類の文字の一を表示することができる最少の矩形型の画素の集まりをいうものとする。そして、シフト前の文字「あ」は文字ブロック501で構成され、シフト後の文字「あ」は文字ブロック502で構成される。つまり、シフト前の文字ブロック501の中心の画素は*i*行*j*列であり、シフト後の文字ブロック502の中心の画素(*i*+1)行(*j*+1)列となる。

20

【0122】

なお、文字(文字ブロック)と文字(文字ブロック)の間には余白(文字を構成する画素とは白黒反転表示する画素)がある。そして、黒文字モードの場合その余白は文字を構成しないため白表示に偏ってしまう。もちろん文字が白文字表示のときには余白は黒表示に偏ってしまう。また、文字ブロック内においても、中心付近と、四隅とでは、白表示になるか黒表示になるかの確率が偏ってしまう。

30

【0123】

そこで、図5に示すように文字をシフトさせることにより、画素毎の表示素子の劣化の差が小さくなり、画素毎の発光のパラツキを低減することができる。なお、文字のシフト量は、図6に示すように、縦横斜めによりあう一文字ブロック分までシフトさせてもいいし、図7に示すように二つの文字ブロック分までシフトさせてもいい。

【0124】

つまり、文字ブロックの横の長さを*a*とし、縦の長さを*b*とすると、図6の場合の文字「あ」の移動範囲601の横の移動幅*x*と縦の移動幅*y*はそれぞれ、 $a < x \leq 3a$ 、 $b < y \leq 3b$ となる。よって、図6のような移動範囲であれば、最大でシフトしたときには、シフト前の文字とシフト後の文字が重ならないため画素の累積点灯時間を平均化しやすい。また、図7の場合の文字「あ」の移動範囲601の横の移動幅*x'*と縦の移動幅*y'*はそれぞれ、 $a < x' \leq 5a$ 、 $b < y' \leq 5b$ となる。図7のような移動範囲であれば、より画素の累積点灯時間を平均化しやすい。

40

【0125】

また、文字のシフトのさせ方は色要素(1ドット)ずつシフトさせてもいいし、一画素ずつシフトさせてもいいし、数画素ずつシフトさせてもいい。例えば、図8に示すようにR(赤)の色要素と、G(緑)の色要素と、B(青)の色要素で画素を構成する場合には、右に1ドットシフトし、下に1画素シフトしていてもよい。つまり、シフト前の点灯領域

50

801、シフト後の点灯領域802とすると、シフト前は左からRGBで1画素を構成しており、シフト後は左からGBRで1画素を構成している。

【0126】

なお、画像をシフトさせる条件は上述したものに限らない。例えば、日毎にシフトさせてもいいし、時間毎にシフトさせてもいいし、電子機器を一定期間操作しないとシフトするようにしてもいい。

【0127】

また、文字のシフトのさせ方としては、ソフトウェアを用いて、文字の背景画像を動かさずに、文字情報の位置座標を変えることで文字をシフトさせることができる。また、ウィンドウ単位で画像をシフトさせてもよい。つまり、文字の表示されるウィンドウ毎シフトさせてもよい。

10

【0128】

また、画素部において、表示画面に必要な画素より冗長に画素を設け、画素部内で表示画面として用いる画素領域を変更することにより表示画面自体をシフトさせてもよい。

【0129】

また、文字入力可能なウィンドウ内で文字をシフトさせる場合、文字を入力する度に文字をシフトさせてもいいし、一行分の文字を入力したら文字全体をシフトさせてもいい。また、複数のウィンドウを表示しているとき、いずれか一のウィンドウを選択する度、文字がシフトするようにしてもよい。

20

【0130】

(実施の形態4)

本実施の形態では、表示画面に文字(ひらがな、カタカナ、漢字、数字、アルファベットなど)を表示する場合において、条件を設定し、その条件を満たしたら、文字の書体(フォント)や大きさ(サイズ)を変更する。そして、書体の変更前後で文字を構成する画素の重複を少なくすれば画素毎の表示素子の劣化の差を小さくすることができる。よって、画素毎の発光のパラツキを低減することができる。

【0131】

まず、文字の書体を変更する場合について説明する。例えば、縦×横:10×10の画素で文字ブロックを構成する場合において、「あ」という文字を表示したときを例に説明する。あるときには、例えば図23のような書体の「あ」を表示する。そして、ある条件を満たしたら、図24に示すような「あ」という文字の書体に変更する。すると、図23の書体のときには「あ」を構成する画素は41個が黒表示となっている。また、図24の書体のときには「あ」を構成する画素は38個が黒表示となっている。そして、図25には、図23の書体の「あ」が右斜線で塗られた画素で構成され、図24の書体の「あ」が左斜線で塗られた画素で構成され、それぞれの書体の「あ」が重なっている画素が黒で塗られている。つまり、ある条件を満たしたら、図23の書体の「あ」から図24の書体の「あ」に変更すれば、どちらのときの文字も構成する画素は13個の画素となる。つまり、劣化の進行が進みやすい画素の数が減り、文字を構成する画素として用いられる画素が分散する。よって、画素毎の表示素子の劣化の差を小さくし、焼き付き現象を低減することができる。

30

40

【0132】

次に、文字の大きさを変更する場合について説明する。なお、図10には、縦×横:10×10の画素で文字ブロック1001を構成する場合から縦×横:7×7の画素で文字ブロック1002を構成する場合へと変更する場合について示している。文字ブロック1001の大きさの文字「あ」は、右斜線で塗られた画素で構成され、文字ブロック1002の大きさの文字「あ」は、左斜線で塗られた画素で構成され、それぞれの大きさの文字「あ」が重なっている画素が黒で塗られている。文字ブロック1001の大きさの文字「あ」は38個が黒表示となり、文字ブロック1002の大きさの文字「あ」は25個が黒表示となる。つまり、ある条件を満たしたら、文字ブロック1001の「あ」から文字ブロック1002の「あ」に変更すれば、どちらのときの文字も構成する画素は9個の画素と

50

なる。つまり、劣化の進行が進みやすい画素の数が減り、文字を構成する画素として用いられる画素が分散する。よって、画素毎の表示素子の劣化の差を小さくし、焼き付き現象を低減することができる。

【0133】

例えば、文字の書体の変更や大きさの変更はウインドウ内で行うようにしてもよい。図9 (A) はピクト表示領域101と、メイン表示領域102とを有し、メイン表示領域102にウインドウ103が表示されている。図9 (A) において、ウインドウ103には、黒文字モードで文字が表示されている。そして、ある条件を満たしたら図9 (B) のようにウインドウ103内に表示されている文字の書体を変更する。こうすることにより、劣化の進行が進みやすい画素の数が減り、文字を構成する画素として用いられる画素が分散する。よって、画素毎の表示素子の劣化の差を小さくし、焼き付き現象を低減することができる。

10

【0134】

また、大きさを工夫することにより、面内の画素の累積点灯時間が概略等しくなるようにするとよい。

【0135】

なお、書体の変更や大きさの変更の条件は上述したものに限らない。例えば、奇数日と、偶数日とで変更するなど日毎に切り替えてもいいし、奇数時間と、偶数時間とで変更するなど時間毎に切り替えてもいいし、電子機器を一定期間操作しないと変更するようにしてもいい。

20

【0136】

(実施の形態5)

本実施の形態では、処理の内容や対象を小さな絵や記号で表現したもの(以下アイコンという)のように、表示画面上に特定のパターンとして表示されることにより、そのパターンが焼き付いてしまうのを低減する方法を説明する。

【0137】

表示画面は、図11のように、ピクト表示領域101と、メイン表示領域102とを有し、メイン表示領域102にはアイコン1101やアイコン1102が表示されている。なお、メイン表示領域102にはアイコン1101やアイコン1102の背景に背景画像が表示されていてもよい。アイコン1101やアイコン1102は、ある条件を満たしたら移動するようにする。移動方向としては、縦横斜めのいずれでもよい。

30

【0138】

なお、アイコンのシフト量としては、図13に示すように、アイコンをブロックとして、縦横斜めによりあうブロック分までシフトさせてもいいし、図14に示すように二つのブロック分までシフトさせてもいい。なお、ここで、アイコンのブロックとは、アイコンを構成することができる最少の矩形型の画素の集まりをいうものとする。

【0139】

つまり、アイコンのブロックの横の長さを a とし、縦の長さを b とすると、図13の場合のアイコンの移動範囲1301の横の移動幅 x と縦の移動幅 y はそれぞれ、 $a < x \leq 3a$ 、 $b < y \leq 3b$ となる。よって、図13のような移動範囲であれば、最大でシフトしたときには、シフト前のアイコンとシフト後のアイコンが重ならないため画素の累積点灯時間を平均化しやすい。また、図14の場合のアイコンの移動範囲1401の横の移動幅 x' と縦の移動幅 y' はそれぞれ、 $a < x' \leq 5a$ 、 $b < y' \leq 5b$ となる。図14のような移動範囲であれば、より画素の累積点灯時間を平均化しやすい。

40

【0140】

また、文字のシフトのさせ方は色要素(1ドット)ずつシフトさせてもいいし、一画素ずつシフトさせてもいいし、数画素ずつシフトさせてもいい。例えば、図8に示すようにR(赤)の色要素と、G(緑)の色要素と、B(青)の色要素で画素を構成する場合には、右に1ドットシフトし、下に1画素シフトしていてもよい。つまり、シフト前の点灯領域801、シフト後の点灯領域802とすると、シフト前は左からRGBで1画素を構成し

50

ており、シフト後は左から G B R で 1 画素を構成している。

【 0 1 4 1 】

また、移動しなくても、図 1 2 (A) に示すように、アイコン自身が回転してもよい。図 1 2 (A) において、平面上に表示されるアイコン 1 1 0 1 は表裏方向に回転している。そして、平面上に表示されるアイコン 1 1 0 2 は平面上の中心を軸として回転している。よって、ある瞬間のアイコン 1 1 0 1 は図 1 2 (B) に示すように幅が狭くなっている。また、ある瞬間のアイコン 1 1 0 2 は図 1 2 (B) に示すようにアイコン 1 1 0 2 は傾いている。

【 0 1 4 2 】

なお、アイコンをシフトさせる条件は上述したものに限らない。例えば、常に上下左右に数画素分ずつシフトするようにしてもいいし、日毎にシフトさせてもいいし、時間毎にシフトさせてもいいし、電子機器を一定期間操作しないとシフトするようにしてもいい。また、シフトする度に色を変えてもいいし、点滅させながらシフトさせてもいい。また、携帯端末機がカメラ機能を搭載しているのであれば、シャッターを押すたびにシフトするようにしてもいい。そして、露光スピードよりも速く動くようにするとよい。

【 0 1 4 3 】

また、アイコンを半透明表示にしたり、アイコンをグラデーション表示にして、グラデーションを変化させてもいい。

【 0 1 4 4 】

また、図 20 に示すようにメイン表示領域 1 0 2 の背景画上にアイコン 1 1 0 1 やアイコン 1 1 0 2 が表示されている場合において、携帯端末機を操作しない状態が続くとアイコン 1 1 0 1 やアイコン 1 1 0 2 が表示されなくなるようにしてもよい。例えば、携帯端末機を使用してから 5 分 ~ 1 0 分くらい操作しない状態が続いたらアイコン 1 1 0 1 やアイコン 1 1 0 2 が表示されなくなるようにし、ボタンを押したり、携帯端末機を操作したときに、アイコン 1 1 0 1 やアイコン 1 1 0 2 が表示されるようにしてもよい。また、ボタンを押すたびアイコン 1 1 0 1 やアイコン 1 1 0 2 の色が変わるようにしてもよい。

【 0 1 4 5 】

また、起動時や設定した月日によって、アイコンの表示場所が変わるようにしてもいい。

【 0 1 4 6 】

また、画素単位ではなく、アイコン単位でアイコンの表示時間をカウントし、アイコンを構成する画素へ入力する信号の補正を行ってもよい。つまり、アイコンの表示累積時間と、アイコンの表示されない領域の画素（以下、リファレンス画素という）の点灯累積時間とをカウントして、累積時間からアイコン部の画素とリファレンス画素の表示素子の劣化の差を求める。そして、アイコン部の画素とリファレンス画素の輝度が同じになるように補正する。なお、画素の輝度の補正は、表示素子に印加する電流若しくは電圧または発光時間などを制御して行うことができる。

【 0 1 4 7 】

ここで、アイコン単位でアイコンの表示時間をカウントし、アイコンを構成する画素へ入力する信号の補正を行うことが可能な表示装置のブロック図を図 5 3 に示す。

【 0 1 4 8 】

表示装置は、カウンタ 5 3 0 1、補正回路 5 3 0 2、揮発性メモリ 5 3 0 3、不揮発性メモリ 5 3 0 4、表示パネル 5 3 0 5 及び補正データ格納部 5 3 0 6 を有する。

【 0 1 4 9 】

まず、表示パネルの有する表示素子の輝度特性の経時変化のデータを、補正データ格納部 5 3 0 6 にあらかじめ記憶させておく。このデータはアイコン部の画素とリファレンス画素との輝度を同じにするため信号を補正する際に用いる。

【 0 1 5 0 】

そして、カウンタ 5 3 0 1 は、定期的に画像信号をサンプリングし、アイコンの表示、非表示のデータと、リファレンス画素の点灯非点灯のデータをカウントする。カウンタ 5 3 0 1 によりカウントされたデータは、順次記憶回路部に記憶されていく。ここで、このデ

10

20

30

40

50

ータは累積していくため、記憶回路は不揮発性メモリを用いて構成するのが好ましいが、不揮発性メモリは一般にその書き込み回数が限られているため、図53に示すように、表示装置の動作中は揮発性メモリ5303を用いて記憶を行い、一定時間毎に（例えば1時間毎、あるいは電源のシャットダウン時など）に不揮発性メモリ5304に書き込むようにしてもよい。

【0151】

ここで、電源をシャットダウンするまでの、アイコンの表示時間及びリファレンス画素の点灯時間のカウント動作と、表示時間と点灯時間のデータを記憶回路部へ記憶するまでのフローチャートを図54及び図55に示す。

【0152】

図54の場合には、定期的にアイコンの表示時間及びリファレンス画素の点灯時間をカウントし、そのデータを揮発性メモリに記憶させる。そして、電源をシャットダウンするときには揮発性メモリに記憶されたデータを不揮発性メモリに記憶させる。

【0153】

図55の場合には、定期的にアイコンの表示時間及びリファレンス画素の点灯時間をカウントし、そのデータを揮発性メモリに記憶させる。そして、一定の期間が経過したら揮発性メモリに記憶されたデータを不揮発性メモリに記憶させる。そして、電源をシャットダウンしなければ、また上述の動作を繰り返す。なお、電源をシャットダウンするときにも、揮発性メモリに記憶されたデータを不揮発性メモリに記憶させてもよい。

【0154】

また、表示素子を用いて階調表現が輝度制御によっても行われる場合には、そのときの表示素子の点灯時間と点灯強度を共に検出し、点灯時間と点灯強度との両方から劣化の状態を判断するとよい。この場合には、補正用のデータもそれに合わせて作成する。

【0155】

また、記憶回路に用いるメモリの種類としてはスタティックメモリ、ダイナミックメモリ、強誘電体メモリ、フラッシュメモリなどがあげられるが、本発明の表示装置に適用することができる記憶回路はこれに限定されない。ただし、揮発性メモリにダイナミックメモリを用いる場合には、定期的なリフレッシュ機能を付加する必要がある。

【0156】

次に、画像信号の補正動作に移る。補正回路5302には画像信号と、アイコンの累積表示時間と、リファレンス画素の累積点灯時間とのデータが入力される。補正回路5302は、アイコン累積表示時間とリファレンス画素の累積点灯時間のデータから、アイコン部の画素とリファレンス画素との劣化の差を求め、あらかじめ補正データ格納部5306に記憶されたデータを参照し、入力された画像信号の補正を行う。このようにして補正された画像信号が表示パネル5305へ入力される。なお、このときの補正とは、アイコン部の画素とリファレンス画素との輝度の差が小さくなるようにすることをいう。

【0157】

電源遮断時には揮発性の記憶回路に記憶されている、アイコンの累積表示時間と、リファレンス画素の累積点灯時間とを、不揮発性の記憶回路に記憶されているアイコンの累積表示時間と、リファレンス画素の累積点灯時間とにそれぞれ加算して記憶しておく。これにより、次の電源投入後、継続してアイコンの表示時間とリファレンス画素の点灯時間が累積してカウントされる。

【0158】

以上のようにして、定期的にアイコンの表示時間とリファレンス画素の点灯時間の検出を行い、累積表示時間と累積点灯時間を記憶しておくことで、表示頻度の高いアイコン部の画素の劣化に対して補正をすることができる。つまり、画像信号を補正することにより、アイコン部の画素の輝度と、リファレンス画素の輝度とを同等にすることができ、アイコンのパターンの焼き付きを低減することができる。

【0159】

また、リファレンス画素は複数あってもよい。つまり、複数のリファレンス画素の平均の

10

20

30

40

50

点灯累積時間とアイコンの表示累積時間とから、複数のリファレンス画素の平均とアイコン部の画素との劣化の差を求めてもよい。また、どのアイコンをティーチングするかユーザーが指定するようにしてもよい。

【0160】

また、アイコンの設定をユーザーが変えられるようにしてもよい。つまり、アイコンの表示位置や色、輝度、アイコンの形、種類、大きさなどをユーザーが変更できるようにしてもよい。さらに、アイコンを点滅させたり、回転させたり、動く範囲を設定したりできるようにしてもよい。また、アニメーション（アイコンの形を連続的に変化（変化の前後で動きにつながりがあれば不連続でもよい）させるような動き）の作成をユーザーができるようにしてもよい。

10

【0161】

（実施の形態6）

本実施の形態においては、ピクト表示領域に表示されるピクトのパターンが焼き付くのを低減する方法について説明する。

【0162】

図15に示すように、ピクト1501やピクト1502がピクト表示領域101をシフトするようにしてもいい。なお、ここで、ピクトがシフトするとは、ピクトの表示に寄与する画素の組み合わせを変化させることをいう。なお、シフト方向は、図15に示すように横方向でなくとも縦方向であってもよい。また、ピクト1501やピクト1502が回転するようにしてもよい。また、図16に示すように、ピクト表示領域を白黒反転させてもよい。ある条件を満たすまでは図16（A）のようにピクト表示領域101の背景を白表示とし、ピクト1501やピクト1502を黒表示とする。そしてある条件を満たしたら、図16（B）に示すようにピクト表示領域の背景を黒表示とし、ピクト1501やピクト1502を白表示とする。よって、本実施の形態で示したように白黒反転表示を行うことで、画素毎の劣化の差を小さくすることができるため、画素の発光のバラツキを低減することができる。

20

【0163】

なお、ピクトをシフトさせる条件は上述したものに限らない。例えば、日毎にシフトさせてもいいし、時間毎にシフトさせてもいいし、電子機器を一定期間操作しないとシフトするようにしてもいい。

30

【0164】

また、ピクトの焼き付きパターンをあらかじめ用意しておき、その部分の輝度をユーザーが変えられるようにしてもよい。つまり、図16（A）のように、ピクト表示領域の背景が白表示でピクト1501やピクト1502が黒表示の場合には、ユーザーの操作により、背景の輝度を高くすることができる。また、図16（B）のように、ピクト表示領域の背景が黒表示でピクト1501やピクト1502が白表示の場合には、ユーザーの操作により、ピクト1501やピクト1502のそれぞれ輝度を高くすることができる。

【0165】

例えば、ボタンを押すたびにピクトやピクト表示領域の背景の輝度が変化するようにしたり、タッチパネル方式でタッチしたところの輝度が変化するようにしてもよい。以下にフローチャートを用いて簡単に説明する。

40

【0166】

まず、ボタン操作によりピクトパターンの焼き付きを補正する場合のフローチャートを図57に示す。図57に示すように、ピクトパターンの焼き付きが発生したら、その焼き付きパターンの生じたピクト部の輝度を補正するためのボタンを押す。ボタンを押すたびにピクト又はピクトの背景の輝度が変化するようにする。そして、ピクトパターンの焼き付きが低減されるまでボタンを押す。こうして、ピクトパターンの焼き付きが視認できなくなるまでユーザーが自由にピクトパターンの焼き付き補正を行うことができる。

【0167】

また、タッチパネル式を採用し、タッチ操作によりピクトパターンの焼き付きを補正する

50

場合のフローチャートを図 5 6 に示す。図 5 6 に示すように、ピクトパターンの焼き付きが発生したら、その焼き付きパターンの生じたピクト部をタッチする。そのピクト部をタッチするたびにピクト又はピクトの背景の輝度が変化するようにする。そして、ピクトパターンの焼き付きが低減されるまでそのピクト部をタッチする。こうして、ピクトパターンの焼き付きが視認できなくなるまでユーザーが自由にピクトパターンの焼き付き補正を行うことができる。

【 0 1 6 8 】

(実施の形態 7)

本実施の形態においては、画素毎に発光のパラツキが生じ、焼き付きが生じたら、エージングを行う。なお、ここで、エージングとは画素の表示素子に電流を流し、画素の表示素子を積極的に劣化させることをいう。つまり、充電などを行う際に、画素を点灯させ、画素の表示素子を劣化させる。そして、劣化の進行の遅れている画素の表示素子を積極的に劣化させることにより、画素部内の各画素の表示素子の劣化の差を縮める。

10

【 0 1 6 9 】

本実施の形態に示す表示装置の画素構成を図 1 8 に示す。画素は、トランジスタ 1 8 0 1 と、第 1 のスイッチ 1 8 0 2 と、容量素子 1 8 0 3 と、表示素子 1 8 0 4 と、電流源回路 1 8 0 5 と、第 2 のスイッチ 1 8 0 6 と、第 3 のスイッチ 1 8 0 7 と、第 1 の配線 1 8 0 9 と、第 2 の配線 1 8 1 0 と、第 3 の配線 1 8 1 1 とを有する。なお、トランジスタ 1 8 0 1 は P チャネル型トランジスタである。

20

【 0 1 7 0 】

第 1 のスイッチ 1 8 0 2 は、トランジスタ 1 8 0 1 のゲート端子と第 2 の配線 1 8 1 0 との導通または非導通を制御するように接続されている。そして、第 1 のスイッチ 1 8 0 2 の制御端子には第 1 の配線 1 8 0 9 に供給される信号が入力される。そして、この信号により第 1 のスイッチ 1 8 0 2 がオンまたはオフする。第 1 のスイッチ 1 8 0 2 がオンするときには第 2 の配線 1 8 1 0 とトランジスタ 1 8 0 1 のゲート端子が導通し、第 1 のスイッチ 1 8 0 2 がオフするときには第 2 の配線 1 8 1 0 とトランジスタ 1 8 0 1 のゲート端子は非導通となる。

【 0 1 7 1 】

また、トランジスタ 1 8 0 1 は、ゲート端子が容量素子 1 8 0 3 を介して第 3 の配線 1 8 1 1 と接続され、第 1 端子 (ソース端子またはドレイン端子の一方) が第 2 のスイッチ 1 8 0 6 を介して第 3 の配線 1 8 1 1 と接続され、第 2 端子 (ソース端子またはドレイン端子の他方) が表示素子 1 8 0 4 の画素電極と接続されている。つまり、トランジスタ 1 8 0 1 の第 1 端子と第 3 の配線 1 8 1 1 との導通または非導通を制御するように第 2 のスイッチ 1 8 0 6 が接続され、第 2 のスイッチ 1 8 0 6 がオンするときにはトランジスタ 1 8 0 1 の第 1 端子と第 3 の配線 1 8 1 1 が導通し、第 2 のスイッチ 1 8 0 6 がオフするときにはトランジスタ 1 8 0 1 の第 1 端子と第 3 の配線 1 8 1 1 とは非導通となる。

30

【 0 1 7 2 】

また、直列に接続された第 3 のスイッチ 1 8 0 7 及び電流源回路 1 8 0 5 が、第 2 のスイッチ 1 8 0 6 と並列に接続されている。つまり、第 3 のスイッチ 1 8 0 7 がオンすると、電流源回路 1 8 0 5 とトランジスタ 1 8 0 1 の第 1 端子とが導通する。

40

【 0 1 7 3 】

なお、表示素子 1 8 0 4 の対向電極 1 8 0 8 には所定の電位が入力されている。

【 0 1 7 4 】

続いて、本画素の動作について説明する。

【 0 1 7 5 】

画素への書き込み動作時には第 1 のスイッチ 1 8 0 2 と第 2 のスイッチ 1 8 0 6 をオンにする。そして、第 2 の配線 1 8 1 0 からビデオ信号に相当する電圧分の電荷を容量素子 1 8 0 3 に蓄積する。つまり、この電圧はトランジスタ 1 8 0 1 のゲートソース間電圧となる。よって、この電圧によってトランジスタ 1 8 0 1 のオンオフが制御される。なお、トランジスタ 1 8 0 1 がオンするために入力されるビデオ信号はトランジスタ 1 8 0 1 が線

50

形領域で動作するような電圧である。

【0176】

そして、トランジスタ1801がオンするときは、第3の配線1811に供給される電位と表示素子1804の対向電極1808に印加される電位との電位差となる電圧が表示素子1804の両電極間に印加されることになる。そして画素は点灯状態になる。

【0177】

各画素毎にビデオ信号を入力すると、信号の書き込み動作が完了し、各画素は点灯または非点灯の2状態となる。したがって、このままでは2階調しか表現できない。そこで、時間階調法や面積階調法などを用いることによって多階調表示を行うことができる。

【0178】

ここでは、デジタル時間階調法について図27を用いて説明する。

【0179】

図27は時間経過に伴った1フレーム期間の動作について説明する図である。図27において、横方向は時間経過を表し、縦方向は走査線の走査行数を表している。

【0180】

画像表示を行うとき、書き込み動作と発光動作とが繰り返し行われる。一画面(1フレーム)分の書き込み動作と発光動作を行う期間を1フレーム期間という。1フレーム分の信号の処理について特に限定はないが、画像をみる人がちらつき(フリッカ)を感じないように少なくとも1秒間に60回程度とすることが好ましい。

【0181】

1フレーム期間は、図27に示すように、アドレス期間 T_{a1} 、 T_{a2} 、 T_{a3} 、 T_{a4} とサスティン期間 T_{s1} 、 T_{s2} 、 T_{s3} 、 T_{s4} とを含む4つのサブフレーム期間に時分割されている。つまり、それぞれの画素行については、書き込み時間 T_{b1} 、 T_{b2} 、 T_{b3} 、 T_{b4} と発光時間 $T_{s1}(i)$ 、 $T_{s2}(i)$ 、 $T_{s3}(i)$ 、 $T_{s4}(i)$ とに時分割されている。発光するための信号が入力された画素の発光素子は、サスティン期間において発光状態となっている。各々のサブフレーム期間における発光時間の長さの比は、 $T_{s1}(i) : T_{s2}(i) : T_{s3}(i) : T_{s4}(i) = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ となっている。これによって4ビット階調を表現することができる。但し、ビット数及び階調数はここに記すものに限定されず、例えば8つのサブフレーム期間を設け8ビット階調を行えるようにしてもよい。

【0182】

1フレーム期間における動作について説明する。まず、アドレス期間 T_{a1} において、1行目から最終行まで、それぞれの行の書き込み時間 T_{b1} に書き込み動作が行われる。つまり、1行目から順に走査線に走査信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力され、その電位によってサスティン期間 T_{s1} における各画素の点灯、非点灯が制御される。従って、行によって画素の書き込み動作の開始時間が異なる。書き込み動作が終了した行から順にサスティン期間 T_{s1} へと移る。当該サスティン期間において、発光するための信号が入力されている画素の発光素子は発光状態となっている。また、サスティン期間 T_{s1} が終了した行から順に次のサブフレーム期間の信号書き込み動作に移り、それぞれの信号書き込み時間 T_{b2} において、同様に1行目から最終行まで順に書き込み動作が行われる。このように、同様にアドレス期間 T_{a2} 、 T_{a3} 、 T_{a4} において画素へビデオ信号が入力され、その電位によってサスティン期間 T_{s2} 、 T_{s3} 、 T_{s4} における各画素の点灯、非点灯が制御される。以上のような動作を繰り返し、サスティン期間 T_{s4} 迄終了する。

【0183】

このように、各サブフレーム期間において発光した時間の積算時間が、1フレーム期間における各々の画素の発光時間となり、これによって階調が表現される。

【0184】

なお、サブフレーム期間におけるサスティン期間の長いものから順に並んでいるが、必ずしもこのような並びにする必要はなく、例えばサスティン期間の短いものから順に並べ

10

20

30

40

50

られていてもよいし、またはサスティン期間の長いものと短いものとがランダムに並んでいてもよい。

【0185】

以上が表示中の画素の動作である。続いて、本発明の画素を有する表示装置を画素部に有する電子機器を充電するときにエージングを行う場合の画素の動作について説明する。充電を行う際には、まず、第1のスイッチ1802及び第2のスイッチ1806をオンにし、第2の配線1810から画素を点灯にするビデオ信号を入力する。そしてトランジスタ1801をオンにする。すると、表示素子1804に電流が流れる。このときの電流値を測定する。そして、全部の画素の電流値を測定した上で、互いの画素の表示素子に流れる電流値から画素の表示素子の劣化の程度を比較する。そして、画素の表示素子の劣化に応じた電流値を電流源回路1805にプログラミングする。この画素の表示素子の劣化に応じた電流値とは、ある画素の表示素子が他の画素の表示素子に流れる電流値より大きいときには、ある画素の表示素子は他の画素の表示素子よりも劣化していないことになるので、ある画素へのプログラミングの電流値は他の画素へのプログラミングの電流値よりも大きくする。これらの画素毎の比較は、まず一番劣化している画素を基準に行うのがよい。つまり、劣化の激しい画素にはこれ以上劣化させる必要がないためプログラミングによる電流値は0にしてよいからである。

10

【0186】

こうして画素の電流源回路1805へのプログラミングが完了すると、第2のスイッチ1806をオフにし、第3のスイッチ1807をオンにする。そして、第1のスイッチ1802をオンにし、画素を点灯にする信号をトランジスタ1801のゲート端子に入力する。こうして、画素の劣化の程度に応じたエージングを行うことができるため、画素毎の劣化の差を小さくすることができる。よって、焼き付きを低減することができる。

20

【0187】

なお、図18の画素を有する表示装置を図17に示す。信号線駆動回路1701と、走査線駆動回路1702と、画素部1703とを有する。信号線駆動回路1701から画素部1703へ信号線S1～Snが延長し、走査線駆動回路1702から画素部1703へ走査線G1～Gmが延長し、信号線S1～Snと走査線G1～Gmに対応してマトリクスに画素1704が配置されている。また、信号線S1～Snに対応して電源線P1～Pjが配置されている。また、対向電極1706が画素部1703を覆って形成されている。

30

【0188】

なお、画素1704には、図18で示した画素を適用することができる。このとき、第1の配線1809が走査線Gi（走査線G1～Gmのうちいずれか）に相当し、第2の配線1810が信号線Sj（信号線S1～Snのうちいずれか）に相当する。また、第3の配線1811が電源線Pj（電源線P1～Pnのうちいずれか）に相当する。よって、i行j列の画素は、走査線Giにより選択され、信号線Sjから信号が書き込まれる、そして、電源線Pjから電源が供給される。また、図18で示した対向電極1808は図17の対向電極1706の一部をさすものとする。

【0189】

信号の書き込みは、走査線G1～Gmにより順次画素が選択され、それぞれの信号線S1～Snからビデオ信号がそれぞれの画素1704に供給されて行われる。

40

【0190】

また、エージングを行う際には、各画素1704へ順々に画素を点灯にする信号を入力し、そのときに電源線と対向電極の間に流れる電流値を電流計1705により測定する。電流計1705によって測定した電流値の情報を含むデータはメモリ1707に記憶される。そして、メモリ1707に記憶されたデータはプログラミング電流設定回路1708に入力される。そして、プログラミング電流設定回路1708は、電流値の情報を含むデータから各画素毎の表示素子の劣化の進み具合を割り出す。そして、各画素へ一定の時間電流を流すと劣化の差が小さくなるように、それぞれの画素に応じた電流値を設定する。このプログラミング電流設定回路1708により設定された電流値が、画素1704内の電

50

流源回路にプログラミングされる。そして、エージング中において、各画素の表示素子には各画素の表示素子の劣化の差が小さくなるように一定時間電流が供給される。こうして、充電中に焼き付きを低減することができる。

【0191】

なお、図18で示した画素の電流源回路1805の構成の一例を示す画素を図19に示す。図18と共通するところは共通の符号を用いてその説明を省略する。

【0192】

電流源回路1805はトランジスタ1901と容量素子1902と第4のスイッチ1903と第5のスイッチ1904とを有する。なお、トランジスタ1901はNチャネル型トランジスタである。トランジスタ1901は、第1端子(ソース端子またはドレイン端子の一方)が第3のスイッチ1807を介してトランジスタ1801の第1端子と接続され、第2端子(ソース端子またはドレイン端子の他方)が第3の配線1811と接続されている。また、トランジスタ1901のゲート端子は第4のスイッチ1904を介して第3の配線1811と接続され、さらに容量素子1902を介してトランジスタ1901の第1端子と接続されている。また、トランジスタ1901の第1端子は第5のスイッチ1903を介して第4の配線1905と接続されている。

10

【0193】

よって、プログラミングのとき、第4のスイッチ1903及び第5のスイッチ1904をオンにする。すると、電流源1906から第4の配線1905に供給される電流が電流源回路1805に書き込まれる。つまり、このとき、トランジスタ1901の第1端子がソース端子となり、トランジスタ1901のゲートソース間電圧分の電荷が容量素子1902に蓄積される。そして、第4のスイッチ1903及び第5のスイッチ1904をオフにすると、容量素子1902はトランジスタ1901のゲートソース間電圧を保持する。こうして、電流源回路1805へのプログラミングが完了する。

20

【0194】

(実施の形態8)

本実施の形態では、実施の形態7とは異なる方法でエージングを行うときの表示装置の構成とその駆動方法について説明する。

【0195】

まず、本実施の形態の表示装置に適用可能な画素について説明する。

30

【0196】

画素は、トランジスタ2601と、スイッチ2602と、容量素子2603と、表示素子2604と、第1の配線2605と、第2の配線2606と、第3の配線2607とを有する。なお、トランジスタ2601はPチャネル型トランジスタである。スイッチ2602は第2の配線2606とトランジスタ2601のゲート端子とを導通または非導通を制御するように接続されている。つまり、第1の配線2605に供給される信号により、スイッチ2602がオンオフする。そして、スイッチ2602がオンするときは第2の配線2606とトランジスタ2601のゲート端子が導通し、スイッチ2602がオフするときは第2の配線2606とトランジスタ2601のゲート端子は非導通となる。また、トランジスタ2601は、第1端子(ソース端子またはドレイン端子の一方)が第3の配線2607と接続され、第2の端子(ソース端子またはドレイン端子の他方)は表示素子2604の画素電極と接続されている。そして、トランジスタ2601のゲート端子はさらに容量素子2603を介して第3の配線2607と接続されている。なお、表示素子2604の対向電極2608には所定の電位が印加されている。

40

【0197】

画素への書き込み動作時にはスイッチ2602をオンにする。そして、第2の配線2606からビデオ信号に相当する電圧分の電荷を容量素子2603に蓄積する。つまり、この電圧はトランジスタ2601のゲートソース間電圧となる。よって、この電圧によってトランジスタ2601のオンオフが制御される。なお、トランジスタ2601がオンするために入力されるビデオ信号はトランジスタ2601が線形領域で動作するような電圧であ

50

る。

【0198】

そして、トランジスタ2601がオンするときは、第3の配線2607に供給される電位と表示素子2604の対向電極2608に印加される電位との電位差となる電圧が表示素子2604の両電極間に印加されることになる。そして画素は点灯状態になる。

【0199】

各画素毎にビデオ信号を入力すると、信号の書き込み動作が完了し、各画素は点灯または非点灯の2状態となる。したがって、このままでは2階調しか表現できない。そこで、時間階調法や面積階調法などを用いることによって多階調表示を行うことができる。

【0200】

続いて、図26に示した画素を有する本実施の形態の表示装置について図22を用いて説明する。表示装置は、信号線駆動回路2201と、走査線駆動回路2202と、画素部2203とを有する。信号線駆動回路2201から画素部2203へ信号線S1～Snが延長し、走査線駆動回路2202から画素部2203へ延長して走査線G1～Gmが延長している。そして、信号線S1～Snと走査線G1～Gmに対応して複数の画素2204がマトリクスに配置されている。また、画素部2203を覆うように全面に対向電極2206が形成されている。

【0201】

なお、画素2204には、図26で示した画素を適用することができる。このとき、第1の配線2605が走査線Gi（走査線G1～Gmのうちいずれか）に相当し、第2の配線2606が信号線Sj（信号線S1～Snのうちいずれか）に相当する。また、第3の配線2607が電源線Pj（電源線P1～Pnのうちいずれか）に相当する。よって、i行j列の画素は、走査線Giにより選択され、信号線Sjにより信号が書き込まれる、そして、電源線Pjから電源が供給される。また、図26で示した対向電極2608は図22の対向電極2206の一部をさすものとする。

【0202】

信号の書き込みは、走査線G1～Gmにより順次画素が選択され、それぞれの信号線S1～Snからビデオ信号がそれぞれの画素2204に供給されて行われる。

【0203】

また、エージングを行う際には、各画素2204へ順々に画素を点灯にする信号を入力し、そのときに電源線と対向電極の間に流れる電流値を電流計2205により測定する。電流計2205によって測定した電流値の情報を含むデータはメモリ2207に記憶される。そして、メモリ2207に記憶されたデータは補正回路2208に入力される。そして、補正回路2208は、電流値の情報を含むデータから各画素毎の表示素子の劣化の進み具合を割り出す。そして、各画素へそれぞれの画素の劣化に応じた時間、点灯させるための信号を生成する。つまり、この信号は、上述したデジタル時間階調法の各サブフレーム期間のうち、どのサブフレーム期間に画素を点灯させるかを制御する各ビットの信号である。そして、補正回路2208によって生成されたこの信号がフレームメモリ2209に記憶される。そして、エージング中において、フレームメモリ2209に記憶された各画素へ入力する信号が補正回路2208から走査線駆動回路2202及び信号線駆動回路2201に入力される。そして、各画素の表示素子には各画素の表示素子の劣化の差が小さくなるようにそれぞれの画素の点灯時間が制御される。こうして、充電中に焼き付きを低減することができる。

【0204】

（実施の形態9）

本実施の形態に示す表示装置の表示パネルは、画素数が表示画素数よりも冗長に設けられた構成とする。つまり1フレームのデータに対応する画素数よりも多くの画素を表示パネルに設ける。そして、1フレームのデータを入力する画素を選択することにより表示画面をあるタイミングに従ってシフトさせる。

【0205】

10

20

30

40

50

本実施の形態の表示パネルについて図 29 を用いて説明する。表示パネル 2900 は画素が複数設けられた画素部 2901 を有している。なお、画素部 2901 において、表示に寄与する領域、つまり表示画面となる領域を表示領域という。そして、表示パネルが表示中において、あるときは表示領域 2902 が図 29 (a) のように画素部 2901 の左斜め上にシフトしており、そしてまたあるときには、図 29 (b) のように表示領域 2902 が画素部 2901 の右斜め上にシフトしており、そしてまたあるときには図 29 (c) のように画素部 2901 の左下、図 29 (d) のように画素部 2901 の右下というように表示領域 2902 がシフトする。

【0206】

こうすることで、表示画面の焼き付きを低減することができる。

10

【0207】

なお、図 29 では表示領域 2902 が両角に最大限シフトしている図を示しているが、もちろん画素部 2901 の中心に表示領域が位置しても良く、画素部 2901 の中で様々な方向にシフトするようにする。

【0208】

例えば、解像度が QVGA (320 × 240 = 76800 画素) の表示パネルを用いて、表示パネルの画素数を行列の各方向に 4 画素分の画素を冗長に設け、(324 × 244 = 79056 画素) の表示パネルとする。

【0209】

そして、表示領域をあるタイミングに従ってシフトさせる。例えば、シフトさせるタイミングとしては、表示装置の電源投入の度にシフトさせる。なお、その度にシフト量をずらすようにしてもよい。行方向及び列方向のそれぞれに 4 画素分、つまり、行方向に ±2 画素、列方向に ±2 画素分の画素を冗長に設けた表示パネルにおいて、表示領域のシフト量の幅は、行方向及び列方向とも ±2 画素である。そして、シフトパターンは、行方向に (-2, -1, 0, 1, 2) の 5 種類、列方向に (-2, -1, 0, 1, 2) の 5 種類で、計 25 種類の組み合わせとなる。

20

【0210】

表示領域のシフトは走査開始信号 SP のタイミングをずらして行うことが出来る。表示領域のシフト方法について図 30 のタイミングチャートを用いて説明する。クロック信号 CLK、DATA 信号に対して、走査開始信号 SP として、図 30 に示すように信号 SP1、SP2、SP3、SP4、SP5 を生成することができるようにする。つまり、信号 SP1 のときには +2 シフトし、信号 SP2 のときには +1 シフトし、信号 SP3 のときにはシフトせず、信号 SP4 のときには -1 シフトし、信号 SP5 のときには -2 シフトする。

30

【0211】

ここで、本実施の形態の表示装置のブロック図の一例について図 31 を用いて説明する。図 31 に示す表示装置は表示パネル 3101、コントローラ 3102、遅延回路 3103、メモリ 3104 を有する。

【0212】

コントローラ 3102 に VIDEO 信号が入力される。そして、コントローラ 3102 は表示パネルに DATA 信号及び CLK 信号を入力する。また、コントローラ 3102 は遅延回路 3103 に SP 信号を入力する。そして、遅延回路 3103 は SP 信号をメモリ 3104 から入力される遅延量に従って遅延させる。そして、その遅延させた SP' 信号を表示パネル 3101 に入力する。このとき、メモリ 3104 から出力される遅延量は、例えば前回の表示装置の電源投入時の遅延量などをメモリ 3104 に記憶させ、それに応じて前回とは異なる遅延量を決定すればよい。

40

(実施の形態 10)

【0213】

本実施の形態では、実施の形態 9 で示した表示装置の表示領域のシフトさせるタイミングとは異なるタイミングで表示領域をシフトさせる方法について図 34 に示す表示装置のブ

50

ロック図を用いて説明する。

【0214】

本実施の形態で示す表示装置は表示パネル3401、コントローラ3402、遅延回路3403、メモリ3404、カウンタ3405を有する。

【0215】

コントローラ3402にVIDEO信号が入力される。そして、コントローラ3402は表示パネルにDATA信号及びCLK信号を入力する。また、コントローラ3402は遅延回路3403にSP信号を入力する。そして、遅延回路3403はSP信号をメモリ3404から入力される遅延量に従って遅延させる。そして、その遅延させたSP'信号を表示パネル3401に入力する。

10

【0216】

なお、メモリ3404から遅延回路3403に入力される遅延量は次のように決定される。カウンタ3405は表示装置の表示累積時間をカウントする。そして、カウンタ3405によってカウントされた表示累積時間のデータがメモリ3404に入力される。この表示累積時間のデータに基づき、メモリ3404は遅延量を決定し、遅延回路3403にこの遅延量を入力する。

【0217】

このように遅延量を決定すれば、各々の遅延パターンにおいての表示時間が平均化され、より表示画面の焼き付きが低減される。

【0218】

20

この遅延量を決定する経過時間は例えば、1分単位や、約5分単位や、約10分単位や、約30分単位や、約1時間単位等に設定するのが好ましい。短ければ短いほど遅延パターン毎の表示時間が頻繁に平均化され焼き付きの防止の効果は大きい、あまり、短すぎると画面がちらついてしまうからである。

【0219】

なお、本実施の形態では、表示装置は表示中にも表示領域がシフトするため、シフトは少しずつしていくようにして、シフトが目立たないようにするのが好ましい。

【0220】

(実施の形態11)

本実施の形態では、実施の形態9及び10の表示装置の具体的構成について説明する。

30

【0221】

まず、本発明をアクティブマトリクス型表示装置に適用した場合について、図35を用いて説明する。

【0222】

図35のアクティブマトリクス型表示装置は行方向に配置されたゲート信号線 $G_1 \sim G_m$ に信号を出力するゲート信号線駆動回路3502と、列方向に配置されたソース信号線 $S_1 \sim S_n$ へ信号を出力するソース信号線駆動回路3501と、ゲート信号線 $G_1 \sim G_m$ とソース信号線 $S_1 \sim S_n$ に対応してマトリクスに複数の画素3504が配置された画素部3503を備えている。この画素3504は、1フレーム分の画素より行方向及び列方向共、冗長に設けられている。好ましくは、画素部3503の画素数の1～10%の画素数を冗長に設ける。より好ましくは画素部3503の画素数の1.5%～7%、さらに好ましくは表示パネルの画素数の約3%の画素数を冗長に設けるようにするとよい。例えば、解像度がQVGA(320×240)の時は行方向及び列方向のそれぞれに2～10画素分、CIF(352×288)の時は行方向及び列方向のそれぞれに4～10画素分、QCIF(176×144)の時は行方向及び列方向のそれぞれに2～5画素分、VGA(640×480)の時は行方向及び列方向のそれぞれに5～20画素分、SVGA(800×600)の時は行方向及び列方向のそれぞれに10～30画素分、XGA(1024×768)の時は行方向及び列方向のそれぞれに13～35画素分、SXGA(1280×1024)の時は行方向及び列方向のそれぞれに15～40画素分、UXGA(1600×1200)の時は行方向及び列方向のそれぞれに、20～50画素分、QXGA(

40

50

2048×1536)の時は行方向及び列方向のそれぞれに25～60画素分の画素を冗長に設けると良い。

【0223】

ソース信号線駆動回路3501にはシリアルにDATA信号が入力される。そしてパルス出力回路3505にはSCK信号、SCKB信号が入力される。また、SSP信号が遅延回路3511を介してパルス出力回路に入力され、第1のラッチ回路3506の各列に順次パルスが出力される。

【0224】

ここで、遅延回路3511では入力されたSSP信号を任意のタイミングに遅延させ、パルス出力回路3505に入力する。つまり、メモリ3509により遅延量が入力され、その遅延量にしたがって、SSP信号を遅延させる。こうして、メモリ3509の遅延量により画素部において表示に寄与する画素列をシフトすることができる。

【0225】

つまり、このパルス出力回路3505から出力された信号に従って第1のラッチ回路3506にDATA信号が平行に保存されることになる。そして、このとき、SSP信号の遅延量に従って、DATA信号が入力されない画素列が決定される。

【0226】

そして、第2のラッチ回路3507にSLAT信号が入力されると、この第1のラッチ回路3506に保存されたDATA信号は第2のラッチ回路3507に転送される。この第2のラッチ回路3507に保存されたDATA信号がソース信号線駆動回路3501から出力される。

【0227】

また、ゲート信号線駆動回路3502にはGCK信号、GCKB信号が入力される。また、GSP信号が遅延回路3508を介してゲート信号線駆動回路3502に入力される。すると、ゲート信号線駆動回路3502からゲート信号線G₁～G_mに順次パルスが出力される。そして、順次ゲート信号線G₁～G_mを選択する。

【0228】

ここで、遅延回路3508では入力されたGSP信号を任意のタイミングに遅延させ、ゲート信号線駆動回路3502に出力する。この遅延させるタイミングはメモリ3510により遅延量が入力され、その遅延量にしたがって、GSP信号を遅延させる。こうして、メモリ3510からの遅延量により画素部において表示画面の表示に寄与する画素行をシフトすることができる。つまり、GSP信号の遅延量に従って、DATA信号が入力されない画素行が決定される。

【0229】

こうして、表示に寄与する画素行をシフトさせることができる。よって、表示装置の表示画面の焼き付きを低減することができる。

【0230】

本実施の形態の表示装置に適用可能な遅延回路の構成の一例を図32を用いて説明する。なお、本実施例に示す遅延回路は例えば図31の表示装置のブロック図における遅延回路3103や図34の遅延回路3403に用いることができる。

【0231】

本実施の形態に示す遅延回路はDFF3201～3208が直列に接続されている。前列のDFFにSP信号が入力される。すると出力2から信号が出力されるときにはSP信号が1パルス分遅延することになる。そして、さらに、出力3から信号が出力されるときにはSP信号が2パルス分遅延する。このように出力4、出力5となるにつれてさらに1パルス分ずつ遅延する。つまり、SP信号が図30のタイミングチャートのSP1信号であるとする、出力2から出力される信号はSP2、出力3から出力される信号はSP3、出力4から出力される信号はSP4、出力5から出力される信号はSP5に対応することになる。

【0232】

10

20

30

40

50

つまり、上述したように表示装置の電源投入の度に遅延量を異ならせる場合には、電源投入時に遅延回路からの出力として出力１、出力２、出力３、出力４、出力５のいずれかを選択するようにすればよい。

【０２３３】

続いて、図３２に示した遅延回路のＤＦＦ３２０１～３２０８の構成の一例を図３３に示す。ＤＦＦ３３０１は、クロックインバータ３３０２とクロックインバータ３３０３とインバータ３３０４とを有する。

【０２３４】

クロックインバータ３３０２の入力端子にはＳＰ信号が入力され、出力端子はインバータ３３０４の入力端子に接続されている。インバータ３３０４の出力端子は次の列のＤＦＦの入力端子と接続されている。また、クロックインバータ３３０３の入力端子はインバータ３３０４の出力端子と接続され、出力端子はインバータ３３０４の入力端子及びクロックインバータ３３０２の出力端子と接続されている。

10

【０２３５】

なお、本実施の形態の表示装置の遅延回路に適用可能な構成はこれに限られないことは言うまでもなく、図３２には一例として遅延回路の構成を示している。

【０２３６】

（実施の形態１２）

本実施の形態では、表示素子としてＥＬ素子を適用した表示パネルの構成について図３７（ａ）、（ｂ）を用いて説明する。

20

【０２３７】

なお、図３７（ａ）は、表示パネルを示す上面図、図３７（ｂ）は図３７（ａ）をＡ－Ａ'で切断した断面図である。点線で示された信号線駆動回路３７０１、画素部３７０２、第１の走査線駆動回路３７０３、を有する。また、封止基板３７０４、シール材３７０５を有し、シール材３７０５で囲まれた内側は、空間３７０７になっている。

【０２３８】

なお、配線３７０８は第１の走査線駆動回路３７０３及び信号線駆動回路３７０１に入力される信号を伝送するための配線であり、外部入力端子となるＦＰＣ（フレキシブルプリントサーキット）３７０９からビデオ信号、クロック信号（ＣＬＫ）、スタートパルス信号（ＳＰ）等を受け取る。ＦＰＣ３７０９と表示パネルとの接続部上にはＩＣチップ（メモリ回路や、バッファ回路などが形成された半導体チップ）３７１９、３７２２がＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）等で実装されている。なお、ここではＦＰＣしか図示されていないが、このＦＰＣにはプリント配線基盤（ＰＷＢ）が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体だけでなく、それにＦＰＣもしくはＰＷＢが取り付けられた状態をも含むものとする。

30

【０２３９】

次に、断面構造について図３７（ｂ）を用いて説明する。基板３７１０上には画素部３７０２とその周辺駆動回路（走査線駆動回路３７０３、及び信号線駆動回路３７０１）が形成されているが、ここでは、信号線駆動回路３７０１と、画素部３７０２が示されている。

40

【０２４０】

なお、信号線駆動回路３７０１はＴＦＴ３７２０やＴＦＴ３７２１を有している。また、本実施の形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をＩＣチップなどに形成し、ＣＯＧなどで実装しても良い。

【０２４１】

また、画素部３７０２はＴＦＴ３７１１と、ＴＦＴ３７１２とを有している。なお、ＴＦＴ３７１２のソース電極は第１の電極（画素電極）３７１３と接続されている。また、第１の電極３７１３の端部を覆って絶縁物３７１４が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

50

【0242】

また、カバレッジを良好なものとするため、絶縁物3714の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物3714の材料としてポジ型の感光性アクリルを用いた場合、絶縁物3714の上端部のみに曲率半径(0.2 μ m~3 μ m)を有する曲面を持たせることが好ましい。また、絶縁物3714として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0243】

第1の電極3713上には、有機化合物を含む層3716、および第2の電極(対向電極)3717がそれぞれ形成されている。ここで、陽極として機能する第1の電極3713に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

10

【0244】

また、有機化合物を含む層3716は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層3716には、元素周期表第4族金属錯体をその一部に用いることとし、その他、組み合わせて用いることのできる材料としては、低分子系材料であっても高分子系材料であっても良い。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施の形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

20

【0245】

さらに、有機化合物を含む層3716上に形成される第2の電極3717に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCa₃N₂)を用いればよい。なお、有機化合物を含む層3716で生じた光が第2の電極3717を透過させる場合には、第2の電極(陰極)3717として、膜厚を薄くした金属薄膜と、透明導電膜(ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In₂O₃ ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。

30

【0246】

さらにシール材3705で封止基板3704を基板3710と貼り合わせることで、基板3710、封止基板3704、およびシール材3705で囲まれた空間3707にEL素子3718が備えられた構造になっている。なお、空間3707には、不活性気体(窒素やアルゴン等)が充填される場合の他、シール材3705で充填される構成も含むものとする。

【0247】

なお、シール材3705にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板3704に用いる材料としてガラス基板や石英基板の他、FRP(Fiber glass-Reinforced Plastics)、PVF(ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

40

【0248】

以上のようにして、本発明の画素構成を有する表示パネルを得ることができる。なお、上述した構成は一例であって本発明の表示パネルの構成はこれに限定されない。

【0249】

図37示すように、信号線駆動回路3701、画素部3702及び第1の走査線駆動回路3703及びを一体形成することで、表示装置の低コスト化が図れる。

50

【0250】

なお、表示パネルの構成としては、図37(a)に示したように信号線駆動回路3701、画素部3702及び走査線駆動回路3703を一体形成した構成に限られず、信号線駆動回路3701に相当する図43に示す信号線駆動回路4301をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。なお、図43(a)の基板4300、画素部4302、走査線駆動回路4303、FPC4305、ICチップ4306、ICチップ4307、封止基板4308、シール材4309は図37(a)の基板3710、画素部3702、走査線駆動回路3703、FPC3709、ICチップ3719、ICチップ3722、封止基板3704、シール材3705に相当する。

【0251】

つまり、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

【0252】

そして、走査線駆動回路4303を画素部4302と一体形成することで、低コスト化を図れる。

【0253】

こうして、高精細な表示装置の低コスト化を図れる。また、FPC4305と基板4300との接続部において機能回路(メモリやバッファ)が形成されたICチップを実装することで基板面積を有効利用することができる。

【0254】

また、図43(a)の信号線駆動回路4301、走査線駆動回路4303に相当する図43(b)の信号線駆動回路4311、走査線駆動回路4313をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするためには、画素部に用いられるトランジスタの半導体層にはポリシリコンを用いることが望ましい。なお、図43(b)の基板4310、画素部4312、FPC4315、ICチップ4316、ICチップ4317、封止基板4318、シール材4319は図43(a)の基板4300、画素部4302、FPC4305、ICチップ4306、ICチップ4307、封止基板4308、シール材4309に相当する。

【0255】

また、画素部4312のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

【0256】

また、画素の行方向及び列方向のそれぞれに信号線駆動回路及び走査線駆動回路を設けなくても良い。例えば、図44(a)に示すようにICチップ上に形成された周辺駆動回路4401が図43(b)に示す、走査線駆動回路4313及び信号線駆動回路4311の機能を有するようにしても良い。なお、図44(a)の基板4400、画素部4402、FPC4404、ICチップ4405、ICチップ4406、封止基板4407、シール材4408は図43(b)の基板4310、画素部4312、FPC4315、ICチップ4316、ICチップ4317、封止基板4318、シール材4319に相当する。

【0257】

なお、図44(a)の表示装置の配線の接続を説明する模式図を図44(b)に示す。基板4410、周辺駆動回路4411、画素部4412、FPC4413、FPC4414有する。FPC4413より周辺駆動回路4411に外部からの信号及び電源電位が入力される。そして、周辺駆動回路4411からの出力は、画素部4412の有する画素に接続された行方向及び列方向の配線に入力される。

【0258】

さらに、EL素子3718に適用可能なEL素子の例を図38(a)、(b)に示す。つ

10

20

30

40

50

まり、実施の形態 1、実施の形態 2、実施の形態 3、実施の形態 4 及び本実施の形態で示した画素に適用可能な EL 素子の構成について図 38 (a)、(b) を用いて説明する。

【0259】

図 38 (a) の EL 素子は、基板 3801 の上に陽極 3802、正孔注入材料からなる正孔注入層 3803、その上に正孔輸送材料からなる正孔輸送層 3804、発光層 3805、電子輸送材料からなる電子輸送層 3806、電子注入材料からなる電子注入層 3807、そして陰極 3808 を積層させた素子構造である。ここで、発光層 3805 は、一種類の発光材料のみから形成されることもあるが、2 種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。

【0260】

また、図 38 (a) で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を二つの領域にわけることによって得られる白色 EL 素子などにも応用可能である。

【0261】

図 38 (a) に示す本発明の素子作製方法は、まず、陽極 3802 (ITO) を有する基板 3801 に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極 3808 を蒸着で形成する。

【0262】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【0263】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン (以下「 H_2Pc 」と記す)、銅フタロシアニン (以下「 $CuPc$ 」と記す) などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸 (以下「 PSS 」と記す) をドーブしたポリエチレンジオキシチオフェン (以下「 $PEDOT$ 」と記す) や、ポリアニリンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド (以下「 PI 」と記す) がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム (以下「アルミナ」と記す) の超薄膜などがある。

【0264】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系 (すなわち、ベンゼン環 - 窒素の結合を有するもの) の化合物である。広く用いられている材料として、4, 4' - ビス (ジフェニルアミノ) - ビフェニル (以下、「 TAD 」と記す) や、その誘導体である 4, 4' - ビス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - ビフェニル (以下、「 TPD 」と記す)、4, 4' - ビス [N - (1 - ナフチル) - N - フェニル - アミノ] - ビフェニル (以下、「 $-NPD$ 」と記す) がある。4, 4', 4'' - トリス (N, N - ジフェニル - アミノ) - トリフェニルアミン (以下、「 $TDATA$ 」と記す)、4, 4', 4'' - トリス [N - (3 - メチルフェニル) - N - フェニル - アミノ] - トリフェニルアミン (以下、「 $MTDATA$ 」と記す) などのスターバースト型芳香族アミン化合物が挙げられる。

【0265】

電子輸送材料としては、金属錯体がよく用いられ、先に述べた Alq 、 $BAlq$ 、トリス (4 - メチル - 8 - キノリノラト) アルミニウム (以下、「 $Almq$ 」と記す)、ビス (10 - ヒドロキシベンゾ [h] - キノリノラト) ベリリウム (以下、「 $BeBq$ 」と記す) などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス [2 - (2 - ヒドロキシフェニル) - ベンゾオキサゾラト] 亜鉛 (以下、「 $Zn (BO$

10

20

30

40

50

X)₂」と記す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾール]亜鉛(以下、「Zn(BTZ)₂」と記す)などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ビフェニリル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(以下、「PBD」と記す)、OXD-7などのオキサジアゾール誘導体、TAZ、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニリル)-2,3,4-トリアゾール(以下、「p-EtTAZ」と記す)などのトリアゾール誘導体、バソフェナントロリン(以下、「BPhen」と記す)、BCPなどのフェナントロリン誘導体が電子輸送性を有する。

【0266】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート(以下、「Li(acac)」と記す)や8-キノリノラト-リチウム(以下、「LiQ」と記す)などのアルカリ金属錯体も有効である。

【0267】

発光材料としては、先に述べたAlq、Almq、BeBq、BAIq、Zn(BOX)₂、Zn(BTZ)₂などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の4,4'-ビス(2,2'-ジフェニル-ビニル)-ビフェニルや、赤橙色の4-(ジシアノメチレン)-2-メチル-6-(p-ジメチルアミノスチリル)-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス(2-フェニルピリジン)イリジウム、ビス(2-(4'-トリル)ピリジナト-N,C^{2'})アセチルアセトナトイリジウム(以下「acacIr(tpy)₂」と記す)、2,3,7,8,12,13,17,18-オクタエチル-21H,23Hポルフィリン-白金などが知られている。

【0268】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性のEL素子を作製することができる。

【0269】

また、図38(b)に示すように図38(a)とは逆の順番に層を形成したEL素子を用いることができる。つまり、基板3811の上に陰極3818、電子注入材料からなる電子注入層3817、その上に電子輸送材料からなる電子輸送層3816、発光層3815、正孔輸送材料からなる正孔輸送層3814、正孔注入材料からなる正孔注入層3813、そして陽極3812を積層させた素子構造である。

【0270】

また、EL素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にTFT及びEL素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造のEL素子があり、本発明の画素構成はどの射出構造のEL素子にも適用することができる。

【0271】

上面射出構造のEL素子について図39(a)を用いて説明する。

【0272】

基板3900上に駆動用TFT3901が形成され、駆動用TFT3901のソース電極に接して第1の電極3902が形成され、その上に有機化合物を含む層3903と第2の電極3904が形成されている。

【0273】

また、第1の電極3902はEL素子の陽極である。そして第2の電極3904はEL素子の陰極である。つまり、第1の電極3902と第2の電極3904とで有機化合物を含

10

20

30

40

50

む層 3 9 0 3 が挟まれているところが E L 素子となる。

【 0 2 7 4 】

また、ここで、陽極として機能する第 1 の電極 3 9 0 2 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タンゲステン膜、Zn 膜、Pt 膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との 3 層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【 0 2 7 5 】

また、陰極として機能する第 2 の電極 3 9 0 4 に用いる材料としては、仕事関数の小さい材料 (Al、Ag、Li、Ca、またはこれらの合金 MgAg、MgIn、AlLi、CaF₂、または Ca₃N₂) からなる金属薄膜と、透明導電膜 (ITO (インジウムスズ酸化物)、インジウム亜鉛酸化物 (IZO)、酸化亜鉛 (ZnO) 等) との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【 0 2 7 6 】

こうして、図 3 9 (a) の矢印に示すように E L 素子からの光を上面に取り出すことが可能になる。つまり、図 3 7 の表示パネルに適用した場合には、封止基板 3 7 0 4 側に光が射出することになる。従って上面射出構造の E L 素子を表示装置に用いる場合には封止基板 3 7 0 4 は光透過性を有する基板を用いる。

【 0 2 7 7 】

また、光学フィルムを設ける場合には、封止基板 3 7 0 4 に光学フィルムを設ければよい。

【 0 2 7 8 】

なお、第 1 の電極 3 9 0 2 を陰極として機能する MgAg、MgIn、AlLi 等の仕事関数の小さい材料からなる金属膜を用いることができる。そして、第 2 の電極 3 9 0 4 には ITO (インジウムスズ酸化物) 膜、インジウム亜鉛酸化物 (IZO) などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

【 0 2 7 9 】

また、下面射出構造の E L 素子について図 3 9 (b) を用いて説明する。射出構造以外は図 3 9 (a) と同じ構造の E L 素子であるため同じ符号を用いて説明する。

【 0 2 8 0 】

ここで、陽極として機能する第 1 の電極 3 9 0 2 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO (インジウムスズ酸化物) 膜、インジウム亜鉛酸化物 (IZO) 膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【 0 2 8 1 】

また、陰極として機能する第 2 の電極 3 9 0 4 に用いる材料としては、仕事関数の小さい材料 (Al、Ag、Li、Ca、またはこれらの合金 MgAg、MgIn、AlLi、CaF₂、または Ca₃N₂) からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

【 0 2 8 2 】

こうして、図 3 9 (b) の矢印に示すように E L 素子からの光を下面に取り出すことが可能になる。つまり、図 3 7 の表示パネルに適用した場合には、基板 3 7 1 0 側に光が射出することになる。従って下面射出構造の E L 素子を表示装置に用いる場合には封止基板 3 7 0 4 は光透過性を有する基板を用いる。

【 0 2 8 3 】

また、光学フィルムを設ける場合には、基板 3 7 1 0 に光学フィルムを設ければよい。

10

20

30

40

50

【0284】

両面射出構造のEL素子について図39(c)を用いて説明する。射出構造以外は図39(a)と同じ構造のEL素子であるため同じ符号を用いて説明する。

【0285】

ここで、陽極として機能する第1の電極3902に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0286】

また、陰極として機能する第2の電極3904に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、またはCa₃N₂)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、酸化インジウム酸化亜鉛合金(In₂O₃ ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

10

【0287】

こうして、図39(c)の矢印に示すようにEL素子からの光を両面に取り出すことが可能になる。つまり、図37の表示パネルに適用した場合には、基板3710側と封止基板3704側に光が射出することになる。従って両面射出構造のEL素子を表示装置に用いる場合には基板3710および封止基板3704は、ともに光透過性を有する基板を用いる。

20

【0288】

また、光学フィルムを設ける場合には、基板3710および封止基板3704の両方に光学フィルムを設ければよい。

【0289】

また、白色のEL素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【0290】

図40に示すように、基板4000上に下地膜4002が形成され、その上に駆動用TFT4001が形成され、駆動用TFT4001のソース電極に接して第1の電極4003が形成され、その上に有機化合物を含む層4004と第2の電極4005が形成されている。

30

【0291】

また、第1の電極4003はEL素子の陽極である。そして第2の電極4005はEL素子の陰極である。つまり、第1の電極4003と第2の電極4005とで有機化合物を含む層4004が挟まれているところがEL素子となる。図40の構成では白色光を発光する。そして、EL素子の上部に赤色のカラーフィルター4006R、緑色のカラーフィルター4006G、青色のカラーフィルター4006Bを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス(BMともいう)4007が設けられている。

40

【0292】

上述したEL素子の構成は組み合わせて用いることができ、本発明の画素構成を有する表示装置に適宜用いることができる。また、上述した表示パネルの構成や、EL素子は例示であり、もちろん本発明の画素構成は他の構成の表示装置に適用することもできる。

【0293】

次に、表示パネルの画素部の部分断面図を示す。

【0294】

まず、トランジスタの半導体層に結晶性半導体膜(ポリシリコン(p-Si)膜)を用いた場合について図41及び図42を用いて説明する。

【0295】

50

ここで、半導体層は、例えば基板上にアモルファスシリコン（ $a-Si$ ）膜を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0296】

そして、アモルファスシリコン膜をレーザ結晶化法や、RTAやファーネスアニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化法などにより結晶化させる。もちろん、これらを組み合わせて行っても良い。

【0297】

上述した結晶化によって、非晶質半導体膜に部分的に結晶化された領域が形成される。

10

【0298】

さらに、部分的に結晶性が高められた結晶性半導体膜を所望の形状にパターンニングして、結晶化された領域から島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層に用いる。なお、パターンニングとは、膜を形状加工することをいい、フォトリソグラフィ技術によって膜のパターンを形成すること（例えば、感光性アクリルにコンタクトホールを形成することや、感光性アクリルをスペーサとなるように形状加工することを含む）や、フォトリソグラフィ技術によってマスクパターンを形成し、当該マスクパターンを用いてエッチング加工を行うことなどを含む。

【0299】

図41に示すように、基板4101上に下地膜4102が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ4118のチャネル形成領域4103及びソース又はドレイン領域となる不純物領域4105、並びに容量素子4119の下部電極となるチャネル形成領域4106、LDD領域4107及び不純物領域4108を有する。なお、チャネル形成領域4103及びチャネル形成領域4106にはチャネルドーピングが行われていても良い。

20

【0300】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜4102としては、窒化アルミニウム（ AlN ）や酸化珪素（ SiO_2 ）、酸化窒化珪素（ SiO_xN_y ）などの単層やこれらの積層を用いることができる。

【0301】

半導体層上にはゲート絶縁膜4109を介してゲート電極4110及び容量素子の上部電極4111が形成されている。

30

【0302】

駆動トランジスタ4118及び容量素子4119を覆って層間絶縁膜4112が形成され、層間絶縁膜4112上にコンタクトホールを介して配線4113が不純物領域4105と接している。配線4113に接して画素電極4114が形成され、画素電極4114の端部及び配線4113を覆って絶縁物4115が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。そして、画素電極4114上に有機化合物を含む層4116及び対向電極4117が形成され、画素電極4114と対向電極4117とで有機化合物を含む層4116が挟まれた領域ではEL素子4120が形成されている。

40

【0303】

また、図41（b）に示すように、容量素子4119の下部電極の一部を構成するLDD領域が、上部電極4111と重なるような領域4123を設けても良い。なお、図41（a）と共通するところは共通の符号を用い、説明は省略する。

【0304】

また、図42（a）に示すように、駆動トランジスタ4118の不純物領域4105と接する配線4113と同じ層に形成された第2の上部電極4121を有していても良い。なお、図41（a）と共通するところは共通の符号を用い、説明は省略する。第2の上部電極4121と上部電極4111とで層間絶縁膜4112を挟みこみ、第2の容量素子を構

50

成している。また、第2の上部電極4121は不純物領域4108と接しているため、上部電極4111とチャンネル形成領域4106とでゲート絶縁膜4109を挟みこんで構成される第1の容量素子と、上部電極4111と第2の上部電極4121とで層間絶縁膜4112を挟みこんで構成される第2の容量素子と、が並列に接続され、第1の容量素子と第2の容量素子からなる容量素子4122を構成している。この容量素子4122の容量は第1の容量素子と第2の容量素子の容量を加算した合成容量であるため、小さい面積で大きな容量の容量素子を形成することができる。つまり、本発明の画素構成の容量素子として用いるとより開口率の向上が図れる。

【0305】

また、図42(b)に示すような容量素子の構成としても良い。基板4201上に下地膜4202が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ4218のチャンネル形成領域4203及びソース又はドレイン領域となる不純物領域4205を有する。なお、チャンネル形成領域4203はチャンネルドーピングが行われていても良い。

【0306】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜4102としては、窒化アルミニウム(AlN)や酸化珪素(SiO_2)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0307】

半導体層上にはゲート絶縁膜4206を介してゲート電極4207及び第1の電極4208が形成されている。

【0308】

駆動トランジスタ4218及び第1の電極4208を覆って第1の層間絶縁膜4209が形成され、第1の層間絶縁膜4209上にコンタクトホールを介して配線4210が不純物領域4205と接している。また、配線4210と同じ材料からなる同層の第2の電極4211が形成される。

【0309】

さらに、配線4210及び第2の電極4211を覆うように第2の層間絶縁膜4212が形成され、第2の層間絶縁膜4212上にコンタクトホールを介して、配線4210と接して画素電極4213が形成されている。また、画素電極4213のと同じ材料からなる同層の第3の電極4214が形成されている。ここで、第1の電極4208、第2の電極4211及び第3の電極4214からなる容量素子4219が形成される。

【0310】

画素電極4213と第3の電極4214の端部を覆って絶縁物4215が形成され、第3の絶縁物4215及び第3の電極4214上に有機化合物を含む層4216及び対向電極4217が形成され、画素電極4213と対向電極4217とで有機化合物を含む層4216が挟まれた領域ではEL素子4220が形成されている。

【0311】

上述したように、結晶性半導体膜を半導体層に用いたトランジスタの構成は図41及び図42に示したような構成が挙げられる。なお、図41及び図42に示したトランジスタの構造はトップゲートの構造のトランジスタの一例である。つまり、トランジスタはP型でもN型でもよい。N型の場合には、LDD領域はゲート電極と重なっていても良いし、ゲート電極と重なっていなくても良いし、又はLDD領域の一部の領域が重なっていてもよい。さらに、ゲート電極はテーパ形状でもよく、ゲート電極のテーパ部の下部にLDD領域が自己整合的に設けられていても良い。また、ゲート電極は二つに限られず三以上のマルチゲート構造でも良いし、一つのゲート電極でも良い。

【0312】

また、半導体層にポリシリコン($p-Si$)を用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲートのトランジスタを適用した表示パネルの部分断面を図45に示す。

10

20

30

40

50

【0313】

基板4501上に下地膜4502が形成されている。さらに下地膜4502上にゲート電極4503が形成されている。また、ゲート電極と同層に同じ材料からなる第1の電極4504が形成されている。ゲート電極4503の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0314】

また、ゲート電極4503及び第1の電極4504を覆うようにゲート絶縁膜4505が形成されている。ゲート絶縁膜4505としては酸化珪素膜や窒化珪素膜などが用いられる。

10

【0315】

また、ゲート絶縁膜4505上に、半導体層が形成されている。半導体層は駆動トランジスタ4522のチャンネル形成領域4506、LDD領域4507及びソース又はドレイン領域となる不純物領域4508、並びに容量素子4523の第2の電極となるチャンネル形成領域4509、LDD領域4510及び不純物領域4511を有する。なお、チャンネル形成領域4506及びチャンネル形成領域4509はチャンネルドープが行われていても良い。

【0316】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜4502としては、窒化アルミニウム(AlN)や酸化珪素(SiO_2)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

20

【0317】

半導体層を覆って第1の層間絶縁膜4512が形成され、第1の層間絶縁膜4512上にコンタクトホールを介して配線4513が不純物領域4508と接している。また、配線4513と同層に同じ材料で第3の電極4514が形成されている。第1の電極4504、第2の電極、第3の電極4514によって容量素子4523が構成されている。

【0318】

また、第1の層間絶縁膜4512には開口部4515が形成されている。駆動トランジスタ4522、容量素子4523及び開口部4515を覆うように第2の層間絶縁膜4516が形成され、第2の層間絶縁膜4516上にコンタクトホールを介して、画素電極4517が形成されている。また、画素電極4517の端部を覆って絶縁物4518が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、画素電極4517上に有機化合物を含む層4519及び対向電極4520が形成され、画素電極4517と対向電極4520とで有機化合物を含む層4519が挟まれた領域ではEL素子4521が形成されている。そして、EL素子4521の下部に開口部4515が位置している。つまり、EL素子4521からの発光を基板側から取り出すときには開口部4515を有するため透過率を高めることができる。

30

【0319】

また、図45(a)において画素電極4517と同層に同じ材料を用いて第4の電極4524を形成して、図45(b)のような構成としてもよい。すると、第1の電極4504、第2の電極、第3の電極4514及び第4の電極4524によって構成される容量素子4525を形成することができる。

40

【0320】

次に、トランジスタの半導体層にアモルファスシリコン($a-Si:H$)膜を用いた場合について説明する。図46にはトップゲートのトランジスタ、図47及び図45にはボトムゲートのトランジスタの場合について示す。

【0321】

アモルファスシリコンを半導体層に用いた順スタガ構造のトランジスタの断面を図46(a)に示す。に示すように、基板4601上に下地膜4602が形成されている。さらに下地膜4602上に画素電極4603が形成されている。また、画素電極4603と同層

50

に同じ材料からなる第 1 の電極 4 6 0 4 が形成されている。

【 0 3 2 2 】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜 4 6 0 2 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO_2) 、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【 0 3 2 3 】

また、下地膜 4 6 0 2 上に配線 4 6 0 5 及び配線 4 6 0 6 が形成され、画素電極 4 6 0 3 の端部が配線 4 6 0 5 で覆われている。配線 4 6 0 5 及び配線 4 6 0 6 の上部に N 型の導電性を有する N 型半導体層 4 6 0 7 及び N 型半導体層 4 6 0 8 が形成されている。また、配線 4 6 0 6 と配線 4 6 0 5 の間であって、下地膜 4 6 0 2 上に半導体層 4 6 0 9 が形成されている。そして、半導体層 4 6 0 9 の一部は N 型半導体層 4 6 0 7 及び N 型半導体層 4 6 0 8 上にまで延長されている。なお、この半導体層はアモルファスシリコン (a-Si:H) 、微結晶半導体 ($\mu\text{-Si:H}$) 等の非結晶性を有する半導体膜で形成されている。また、半導体層 4 6 0 9 上にゲート絶縁膜 4 6 1 0 が形成されている。また、ゲート絶縁膜 4 6 1 0 と同層の同じ材料からなる絶縁膜 4 6 1 1 が第 1 の電極 4 6 0 4 上にも形成されている。なお、ゲート絶縁膜 4 6 1 0 としては酸化珪素膜や窒化珪素膜などが用いられる。

【 0 3 2 4 】

また、ゲート絶縁膜 4 6 1 0 上に、ゲート電極 4 6 1 2 が形成されている。また、ゲート電極と同層に同じ材料でなる第 2 の電極 4 6 1 3 が第 1 の電極 4 6 0 4 上に絶縁膜 4 6 1 1 を介して形成されている。第 1 の電極 4 6 0 4 及び第 2 の電極 4 6 1 3 で絶縁膜 4 6 1 1 を挟まれた容量素子 4 6 1 9 が形成されている。また、画素電極 4 6 0 3 の端部、駆動トランジスタ 4 6 1 8 及び容量素子 4 6 1 9 を覆い、層間絶縁膜 4 6 1 4 が形成されている。

【 0 3 2 5 】

層間絶縁膜 4 6 1 4 及びその開口部に位置する画素電極 4 6 0 3 上に有機化合物を含む層 4 6 1 5 及び対向電極 4 6 1 6 が形成され、画素電極 4 6 0 3 と対向電極 4 6 1 6 とで有機化合物を含む層 4 6 1 5 が挟まれた領域では EL 素子 4 6 1 7 が形成されている。

【 0 3 2 6 】

また、図 4 6 (a) に示す第 1 の電極 4 6 0 4 を図 4 6 (b) に示すように第 1 の電極 4 6 2 0 で形成してもよい。第 1 の電極 4 6 2 0 は配線 4 6 0 5 及び 4 6 0 6 と同層の同一材料で形成されている。

【 0 3 2 7 】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示パネルの部分断面を図 4 7 に示す。

【 0 3 2 8 】

基板 4 7 0 1 上に下地膜 4 7 0 2 が形成されている。さらに下地膜 4 7 0 2 上にゲート電極 4 7 0 3 が形成されている。また、ゲート電極と同層に同じ材料からなる第 1 の電極 4 7 0 4 が形成されている。ゲート電極 4 7 0 3 の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【 0 3 2 9 】

また、ゲート電極 4 7 0 3 及び第 1 の電極 4 7 0 4 を覆うようにゲート絶縁膜 4 7 0 5 が形成されている。ゲート絶縁膜 4 7 0 5 としては酸化珪素膜や窒化珪素膜などが用いられる。

【 0 3 3 0 】

また、ゲート絶縁膜 4 7 0 5 上に、半導体層 4 7 0 6 が形成されている。また、半導体層 4 7 0 6 と同層に同じ材料からなる半導体層 4 7 0 7 が形成されている。

【 0 3 3 1 】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることがで

10

20

30

40

50

きる。また、下地膜 4702 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO_2)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0332】

半導体層 4706 上には N 型の導電性を有する N 型半導体層 4708、4709 が形成され、半導体層 4707 上には N 型半導体層 4710 が形成されている。

【0333】

N 型半導体層 4708、4709、4710 上にはそれぞれ配線 4711、4712 が形成され、N 型半導体層 4710 上には配線 4711 及び 4712 と同層の同一材料からなる導電層 4713 が形成されている。

【0334】

半導体層 4707、N 型半導体層 4710 及び導電層 4713 からなる第 2 の電極が構成される。なお、この第 2 の電極と第 1 の電極 4704 でゲート絶縁膜 4705 を挟み込んだ構造の容量素子 4720 が形成されている。

【0335】

また、配線 4711 の一方の端部は延在し、その延在した配線 4711 上部に接して画素電極 4714 が形成されている。

【0336】

また、画素電極 4714 の端部、駆動トランジスタ 4719 及び容量素子 4720 を覆うように絶縁物 4715 が形成されている。

【0337】

画素電極 4714 及び絶縁物 4715 上には有機化合物を含む層 4716 及び対向電極 4717 が形成され、画素電極 4714 と対向電極 4717 とで有機化合物を含む層 4716 が挟まれた領域では EL 素子 4718 が形成されている。

【0338】

容量素子の第 2 の電極の一部となる半導体層 4707 及び N 型半導体層 4710 は設けなくても良い。つまり第 2 の電極は導電層 4713 とし、第 1 の電極 4704 と導電層 4713 でゲート絶縁膜 4705 が挟まれた構造の容量素子としてもよい。

【0339】

なお、図 47 (a) において、配線 4711 を形成する前に画素電極 4714 を形成することで、図 47 (b) に示すような、画素電極 4714 からなる第 2 の電極 4721 と第 1 の電極 4704 でゲート絶縁膜 4705 が挟まれた構造の容量素子 4722 を形成することができる。

【0340】

なお、図 47 では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図 48 (a)、(b) を用いて説明する。

【0341】

図 48 (a) に示すチャネル保護型構造のトランジスタは図 47 (a) に示したチャネルエッチ構造の駆動トランジスタ 4719 の半導体層 4706 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 4801 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0342】

また、同様に、図 45 (b) に示すチャネル保護型構造のトランジスタは図 47 (b) に示したチャネルエッチ構造の駆動トランジスタ 4719 の半導体層 4706 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 4801 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0343】

画素を構成するトランジスタの半導体層 (チャネル形成領域やソース領域やドレイン領域など) に非晶質半導体膜を用いることで、製造コストを削減することができる。

【0344】

10

20

30

40

50

なお、本発明の表示パネルに適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものをを用いることができる。

【0345】

(実施の形態13)

本発明の表示装置は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

10

【0346】

図49(A)はディスプレイであり、筐体49001、支持台49002、表示部49003、スピーカー部49004、ビデオ入力端子49005等を含む。本発明の表示装置を表示部49003に用いることができる。なお、ディスプレイは、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明の表示装置を表示部49003に用いたディスプレイは、画面の焼き付きを低減することができる。

20

【0347】

近年、ディスプレイの大型化のニーズが強くなっている。そして、ディスプレイの大型化に伴い価格の上昇が問題となっている、よって、いかに製造コストの削減を図り、高品質な製品を少しでも低価格に抑えるかが課題となる。

【0348】

図49(B)はカメラであり、本体49101、表示部49102、受像部49103、操作キー49104、外部接続ポート49105、シャッター49106等を含む。

【0349】

近年、デジタルカメラなどの高性能化に伴い、生産競争は激化している。そして、いかに高性能なものを低価格に抑えるかが重要となる。本発明の表示装置を表示部49102に用いたデジタルカメラは、画面の焼き付きを低減することができる。

30

【0350】

図49(C)はコンピュータであり、本体49201、筐体49202、表示部49203、キーボード49204、外部接続ポート49205、ポインティングマウス49206等を含む。本発明の表示装置を表示部49203に用いたコンピュータは、画面の焼き付きを低減することができる。

【0351】

図49(D)はモバイルコンピュータであり、本体49301、表示部49302、スイッチ49303、操作キー49304、赤外線ポート49305等を含む。本発明の表示装置を表示部49302に用いたモバイルコンピュータは、画面の焼き付きを低減することができる。

40

【0352】

図49(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体49401、筐体49402、表示部A49403、表示部B49404、記録媒体(DVD等)読み込み部49405、操作キー49406、スピーカー部49407等を含む。表示部A49403は主として画像情報を表示し、表示部B49404は主として文字情報を表示することができる。本発明の表示装置を表示部A49403や表示部B49404に用いた画像再生装置は、画面の焼き付きを低減することができる。

【0353】

図49(F)はゴーグル型ディスプレイであり、本体49501、表示部49502、アーム部49503を含む。本発明の表示装置を表示部49502に用いたゴーグル型デ

50

ディスプレイは、画面の焼き付きを低減することができる。

【0354】

図49(G)はビデオカメラであり、本体49601、表示部49602、筐体49603、外部接続ポート49604、リモコン受信部49605、受像部49606、バッテリー49607、音声入力部49608、操作キー49609、接眼部49610等を含む。本発明の表示装置を表示部49602に用いたビデオカメラは、画面の焼き付きを低減することができる。

【0355】

図49(H)は携帯電話機であり、本体49701、筐体49702、表示部49703、音声入力部49704、音声出力部49705、操作キー49706、外部接続ポート49707、アンテナ49708等を含む。

10

【0356】

このように本発明は、あらゆる電子機器に適用することが可能である。

【0357】

(実施の形態14)

本実施の形態において、本発明の表示装置を表示部に有する携帯電話機の構成例について図52を用いて説明する。

【0358】

表示パネル5210はハウジング5200に脱着自在に組み込まれる。ハウジング5200は表示パネル5210のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル5210を固定したハウジング5200はプリント基板5201に嵌入されモジュールとして組み立てられる。

20

【0359】

表示パネル5210はFPC5211を介してプリント基板5201に接続される。プリント基板5201には、スピーカ5202、マイクロフォン5203、送受信回路5204、CPU及びコントローラなどを含む信号処理回路5205が形成されている。このようなモジュールと、入力手段5206、バッテリー5207を組み合わせ、筐体5209に収納する。表示パネル5210の画素部は筐体5209に形成された開口窓から視認できよう配置する。

【0360】

30

表示パネル5210は、画素部と一部の周辺駆動回路(複数の駆動回路のうち動作周波数の低い駆動回路)を基板上にTFTを用いて一体形成し、一部の周辺駆動回路(複数の駆動回路のうち動作周波数の高い駆動回路)をICチップ上に形成し、そのICチップをCOG(Chip On Glass)で表示パネル5210に実装しても良い。あるいは、そのICチップをTAB(Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した表示パネルの構成は図43(a)に一例を示してある。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

40

【0361】

また、本実施の形態に示した構成は携帯電話の一例であって、本発明の表示装置はこのような構成の携帯電話機に限られず様々な構成の携帯電話機に適用することができる。

【0362】

(実施の形態15)

図50は表示パネル5001と、回路基板5002を組み合わせたELモジュールを示している。表示パネル5001は画素部5003、走査線駆動回路5004及び信号線駆動回路5005を有している。回路基板5002には、例えば、コントロール回路5006や信号分割回路5007などが形成されている。表示パネル5001と回路基板5002は接続配線5008によって接続されている。接続配線にはFPC等を用いることがで

50

きる。

【0363】

表示パネル5001は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にTFTを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネル5001に実装するとよい。あるいは、そのICチップをTAB（Tape Auto Bonding）やプリント基板を用いて表示パネル5001に実装しても良い。なお、一部の周辺駆動回路を基板上に画素部と一体形成し、他の周辺駆動回路を形成したICチップをCOG等で実装した構成は図43（a）に一例を示してある。

10

【0364】

また、さらに消費電力の低減を図るため、ガラス基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG（Chip On Glass）表示パネルに実装してもよい。

【0365】

なお、非晶質半導体膜を、画素を構成するトランジスタの半導体層に適用する場合には、基板上にTFTを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG（Chip On Glass）で表示パネルに実装するとよい。なお、基板上に画素部を形成し、その基板上に周辺駆動回路を形成したICチップをCOG等で実装した構成は図43（b）に一例を示してある。

20

【0366】

このELモジュールによりELテレビ受像機を完成させることができる。図51は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ5101は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路5102と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路5103と、その映像信号を駆動回路の入力仕様に換するためのコントロール回路5006により処理される。コントロール回路5006は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路5007を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

【0367】

チューナ5101で受信した信号のうち、音声信号は音声信号増幅回路5104に送られ、その出力は音声信号処理回路5105を経てスピーカ5106に供給される。制御回路5107は受信局（受信周波数）や音量の制御情報を入力部5108から受け、チューナ5101や音声信号処理回路5105に信号を送出する。

30

【0368】

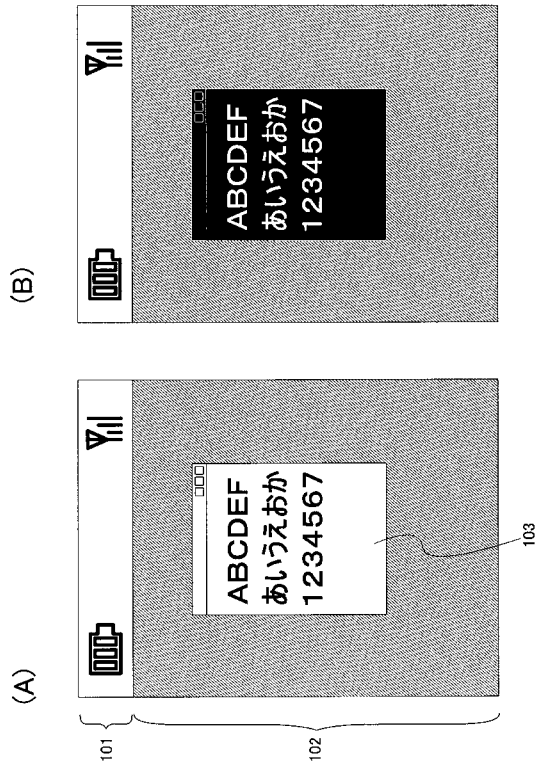
図49（A）に示すように、図50のELモジュールを筐体49001に組みこんで、テレビ受像機を完成させることができる。ELモジュールにより、表示部49003が形成される。また、スピーカ部49004、ビデオ入力端子49005などが適宜備えられている。

【0369】

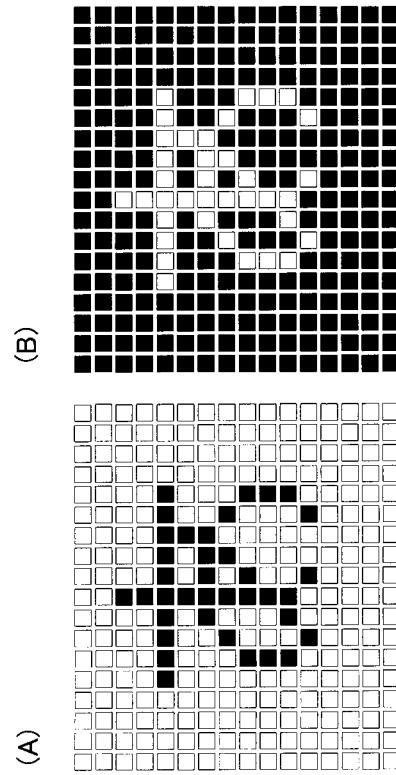
勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

40

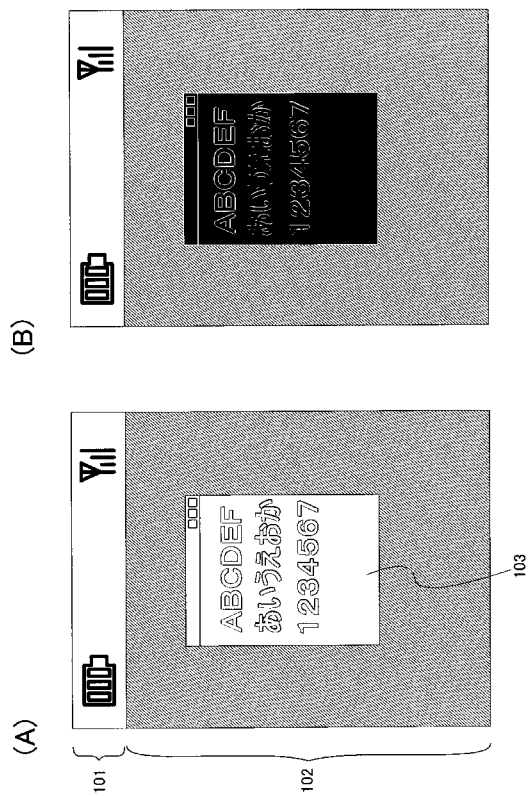
【図 1】



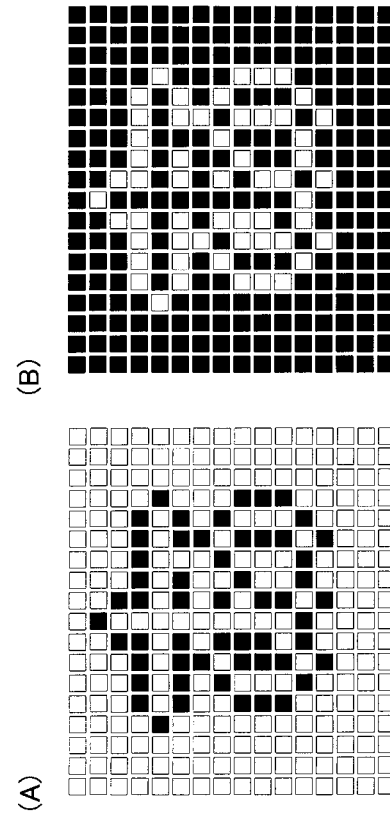
【図 2】



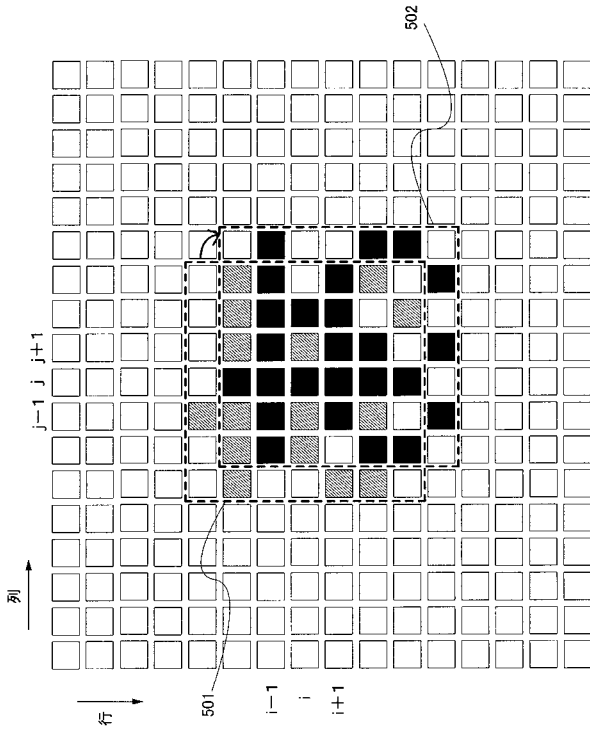
【図 3】



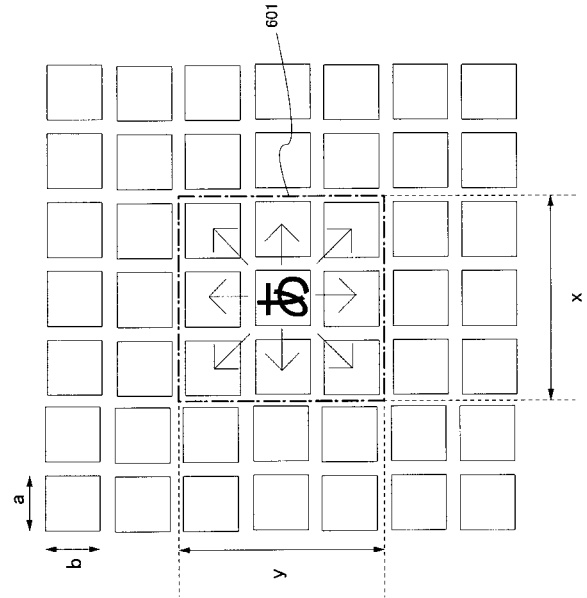
【図 4】



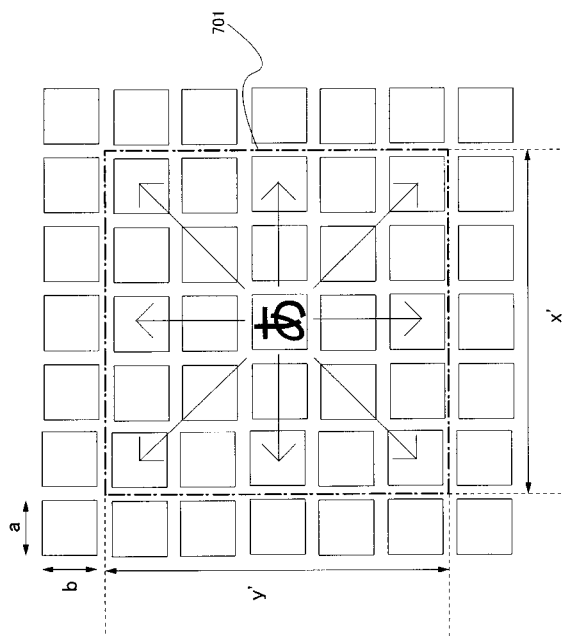
【図 5】



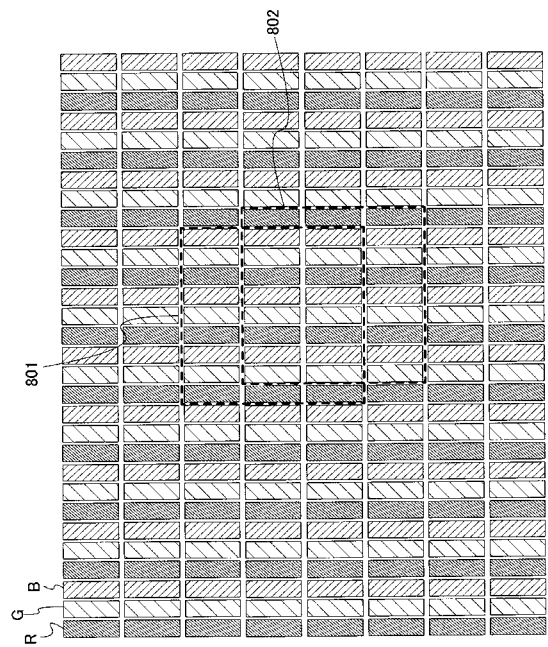
【図 6】



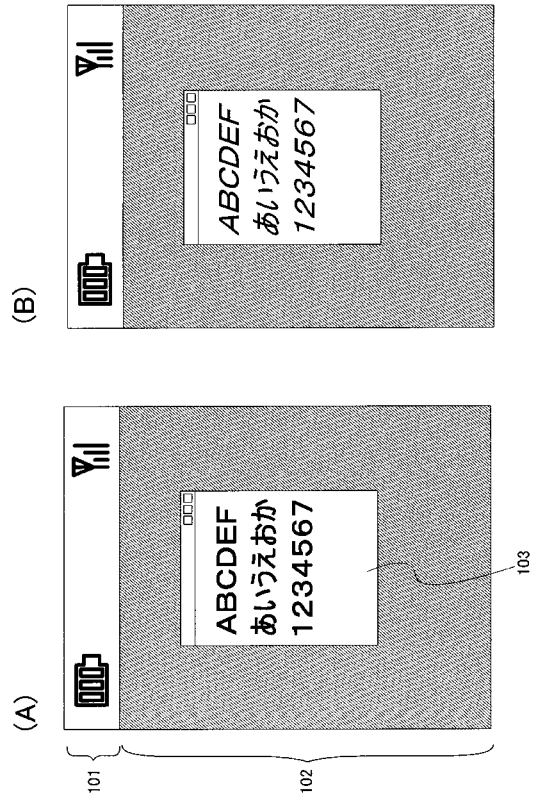
【図 7】



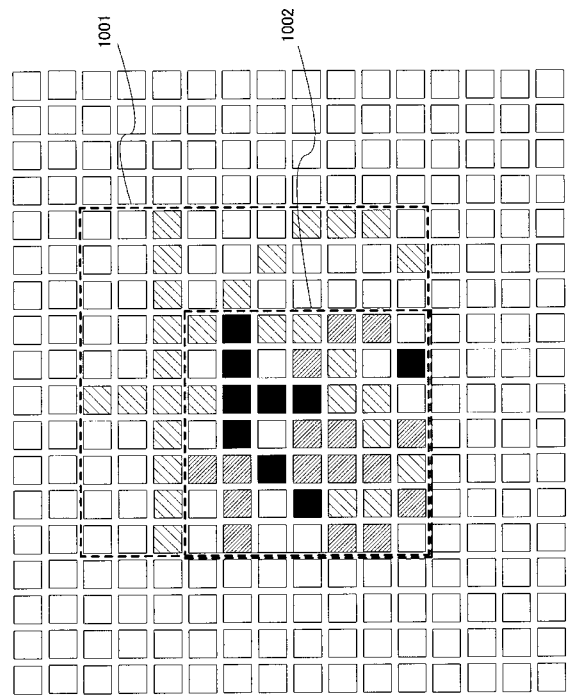
【図 8】



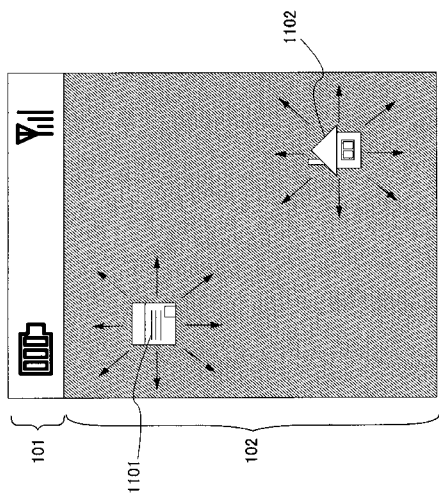
【図 9】



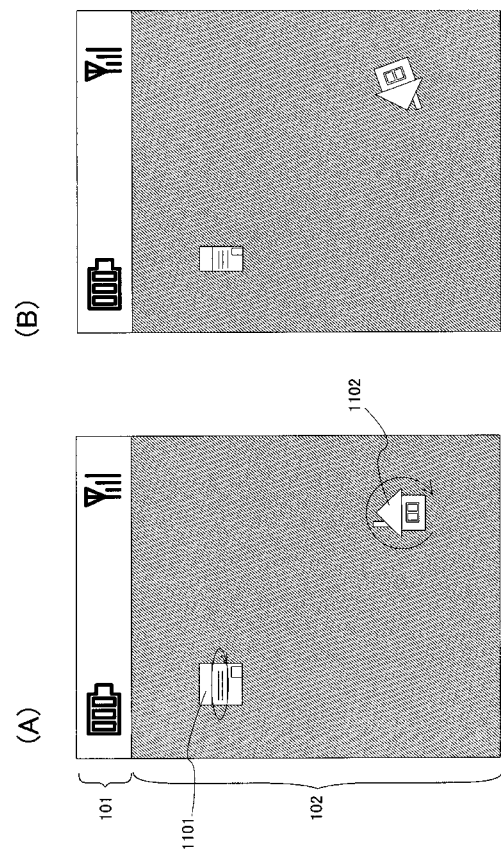
【図 10】



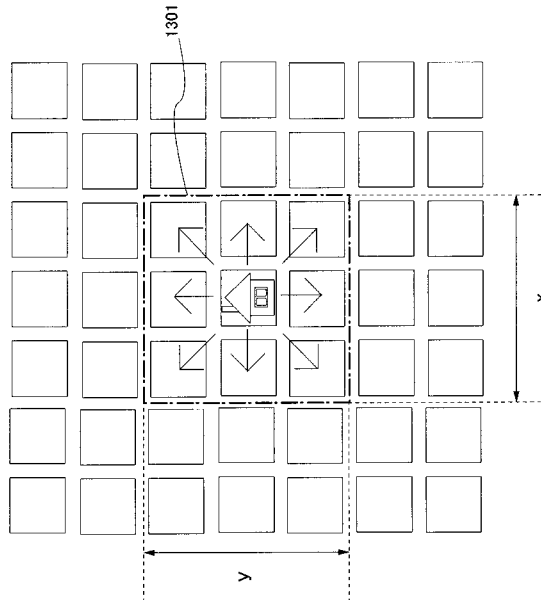
【図 11】



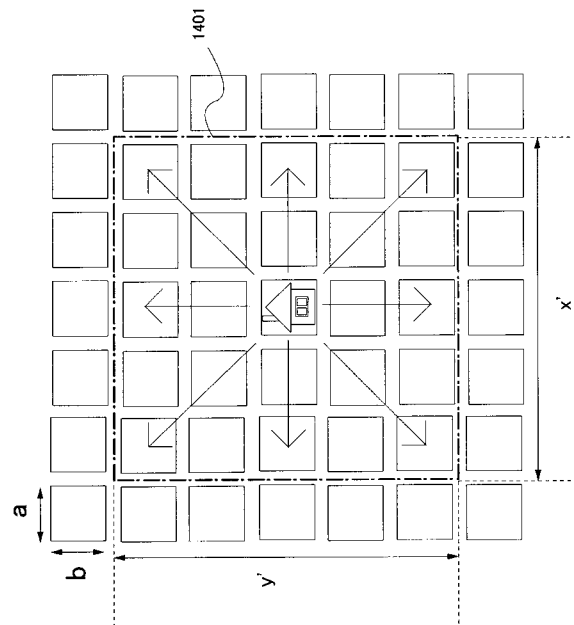
【図 12】



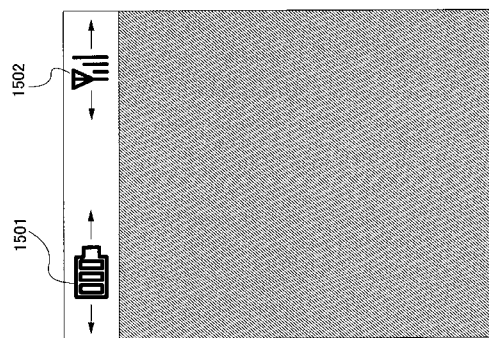
【図 13】



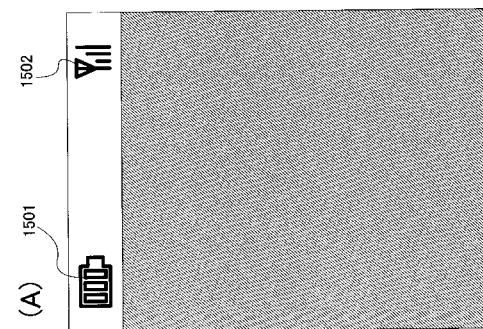
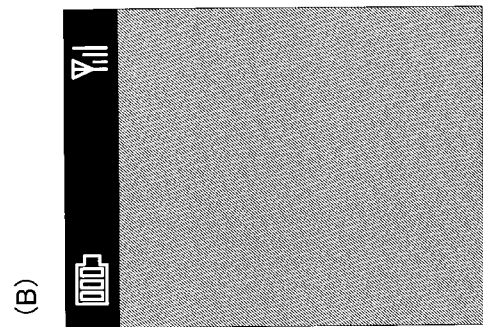
【図 14】



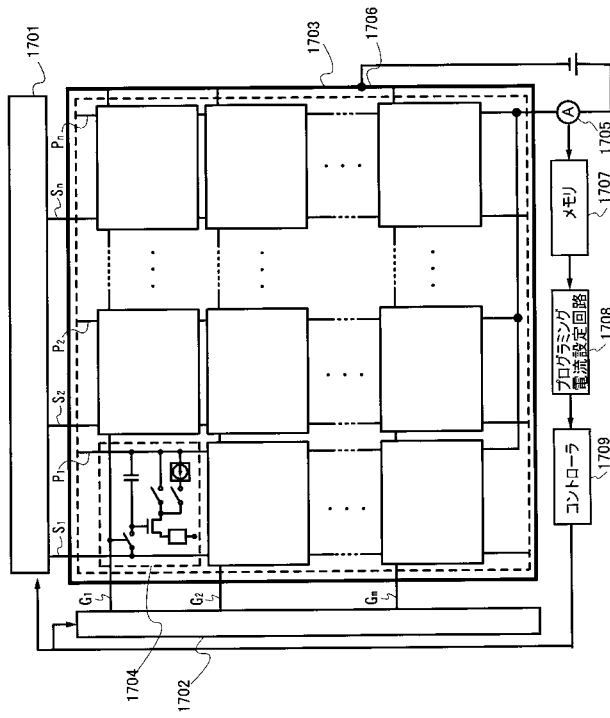
【図 15】



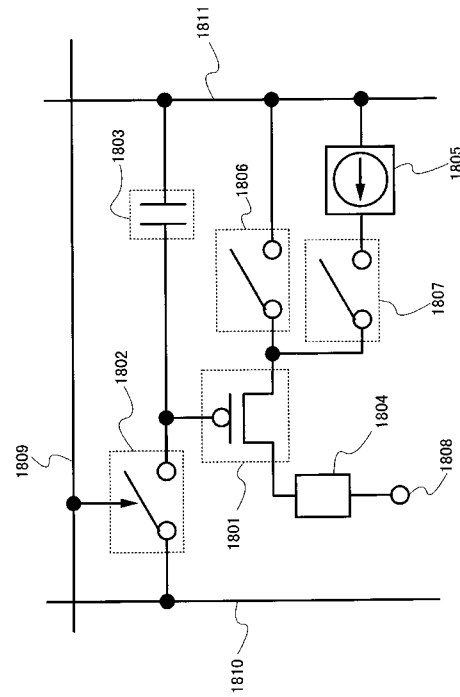
【図 16】



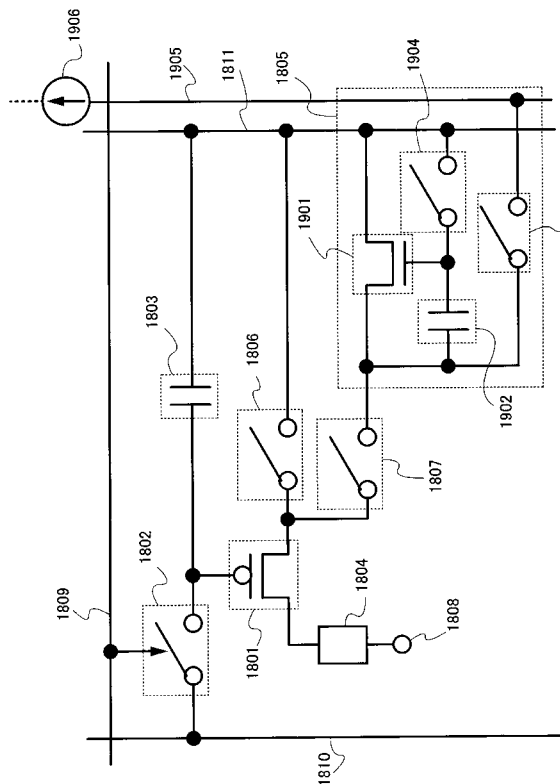
【図 17】



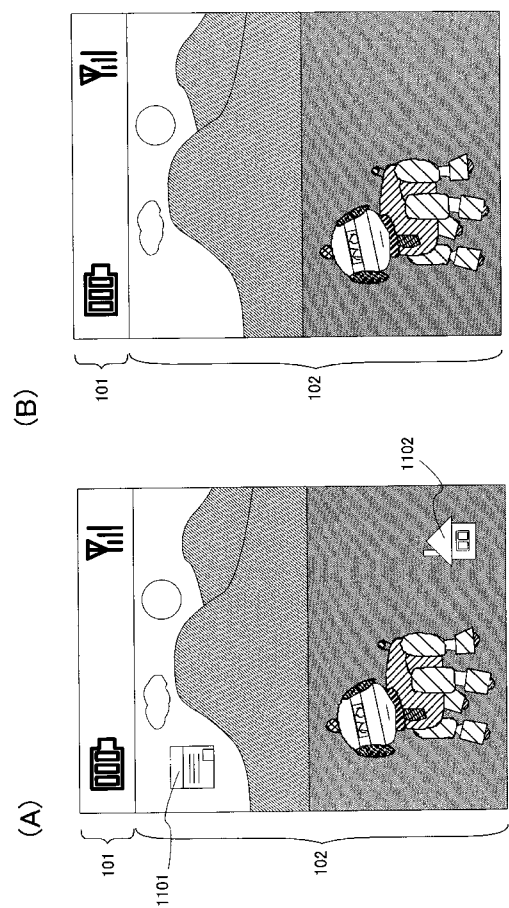
【図 18】



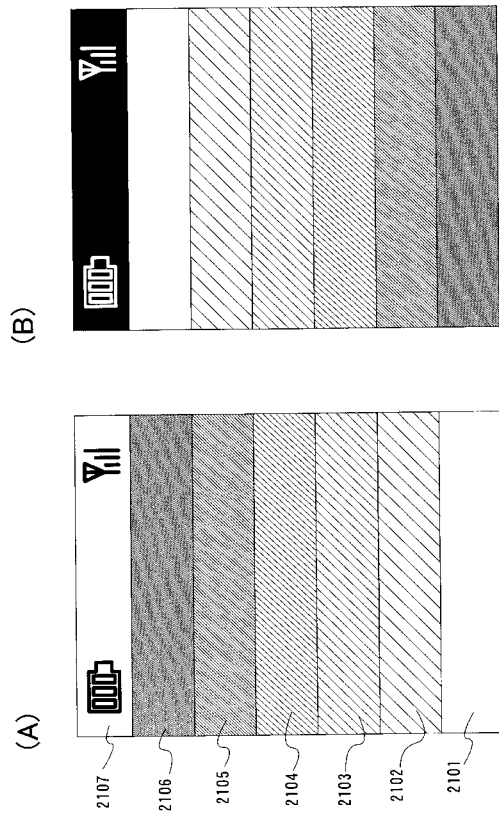
【図 19】



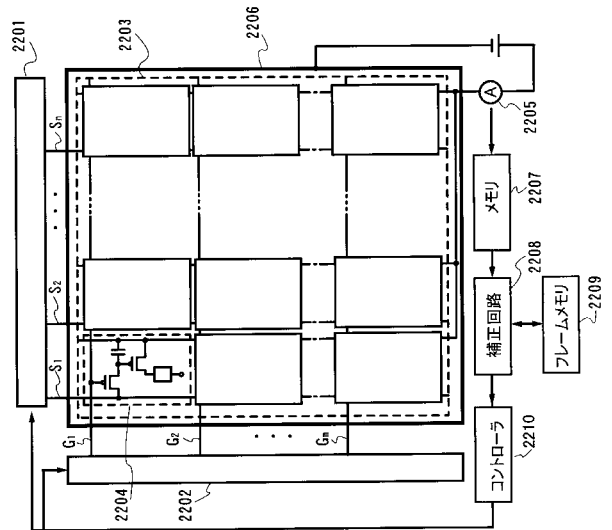
【図 20】



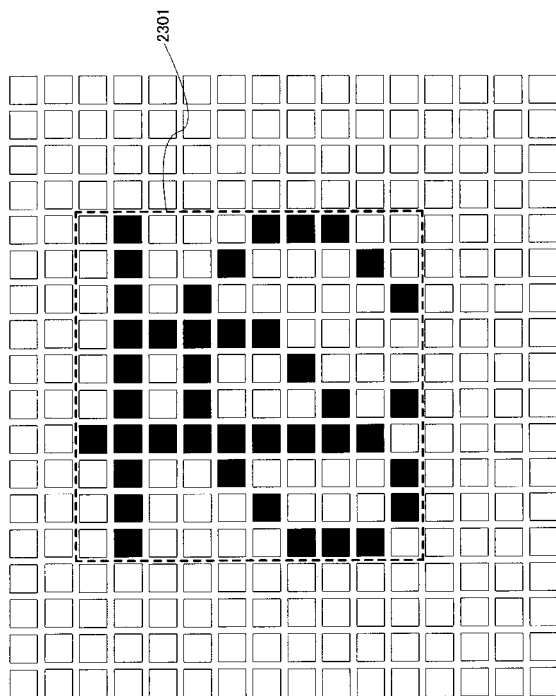
【図 2 1】



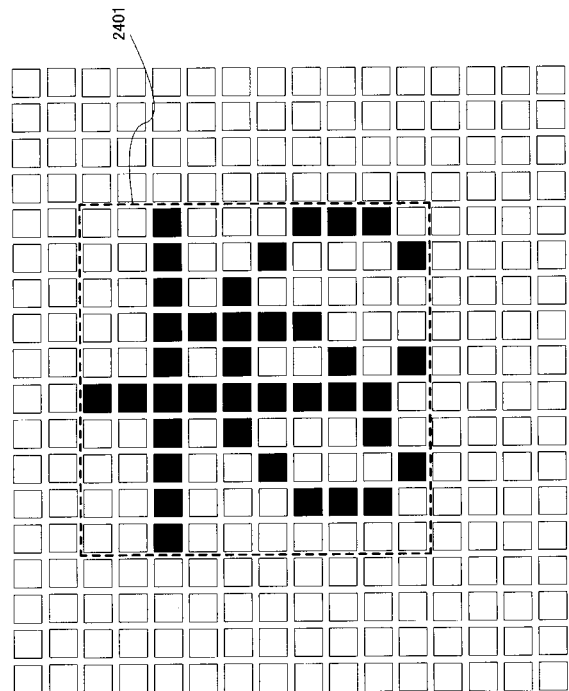
【図 2 2】



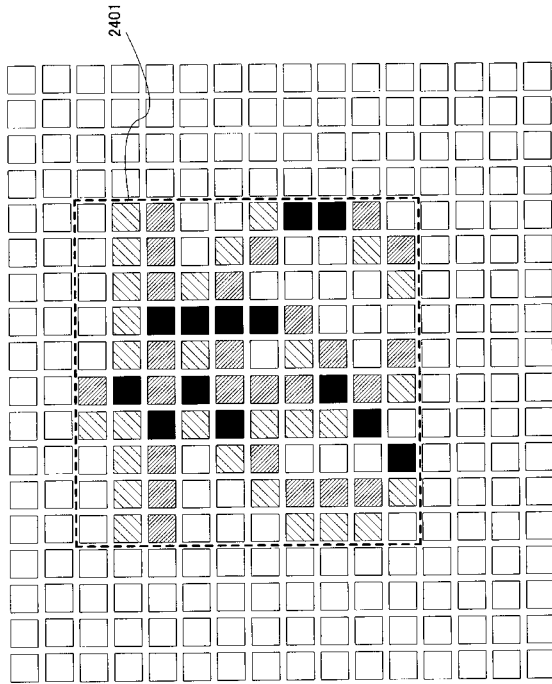
【図 2 3】



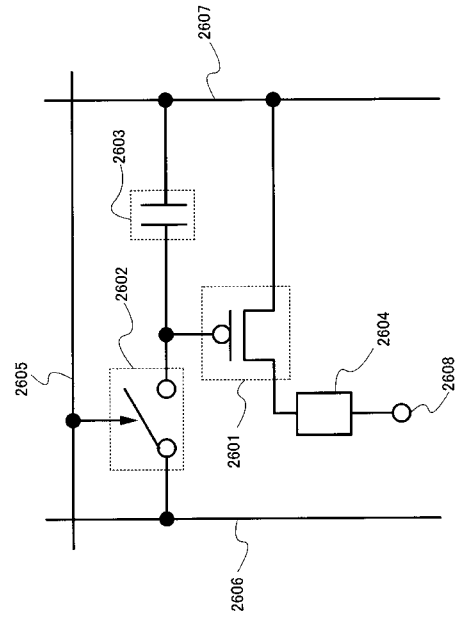
【図 2 4】



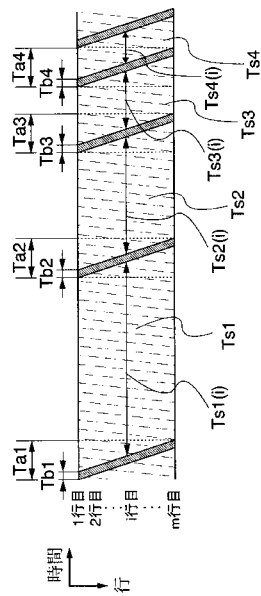
【図 25】



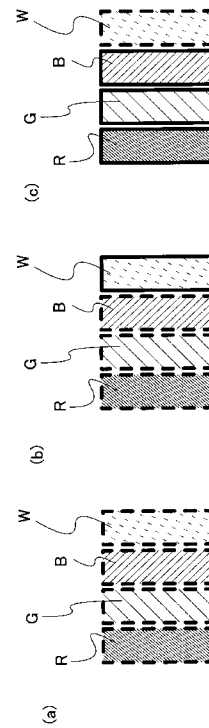
【図 26】



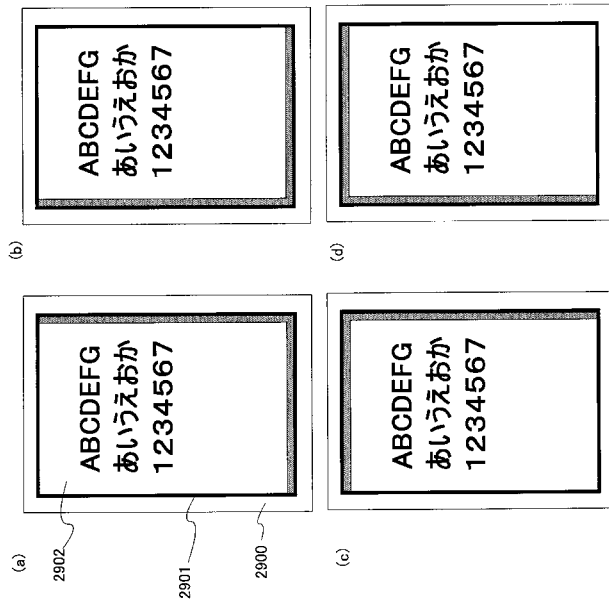
【図 27】



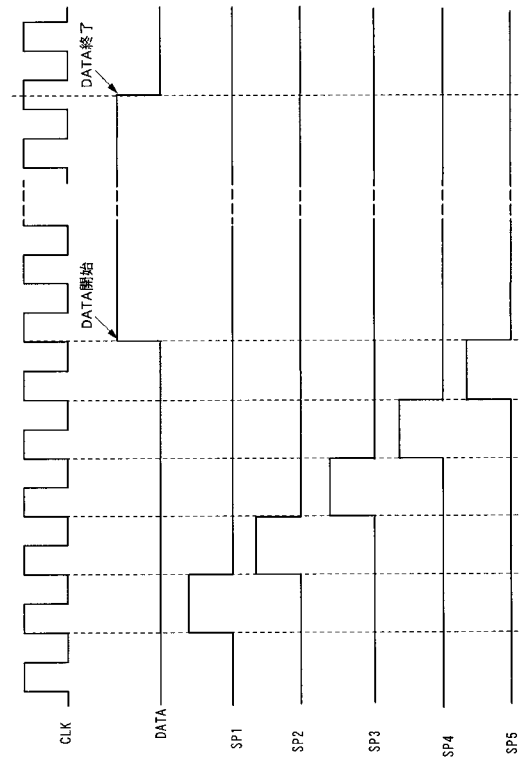
【図 28】



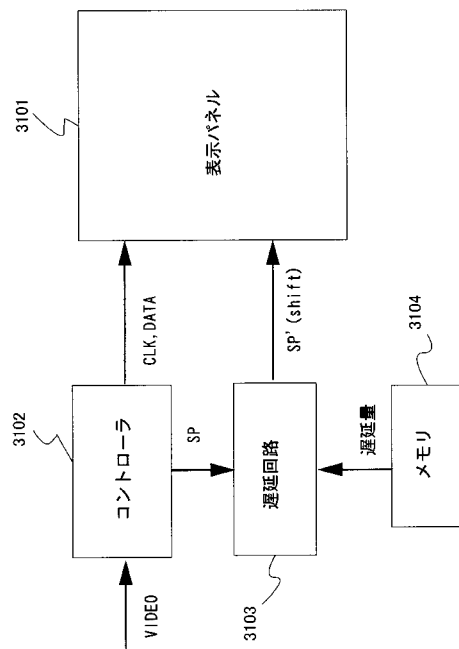
【図 29】



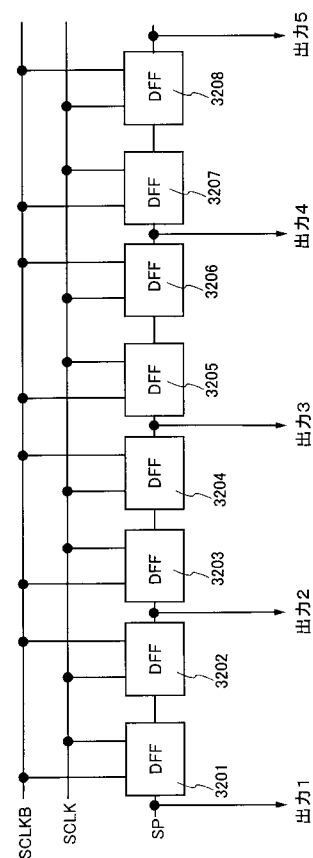
【図 30】



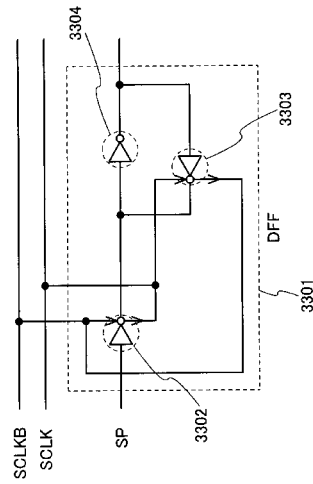
【図 31】



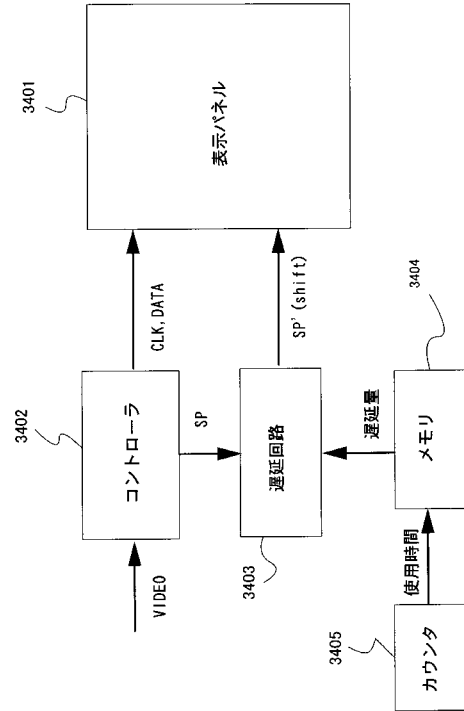
【図 32】



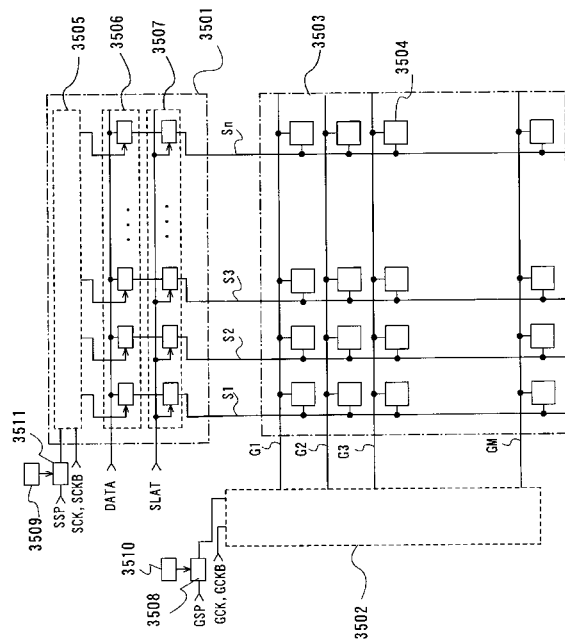
【図 3 3】



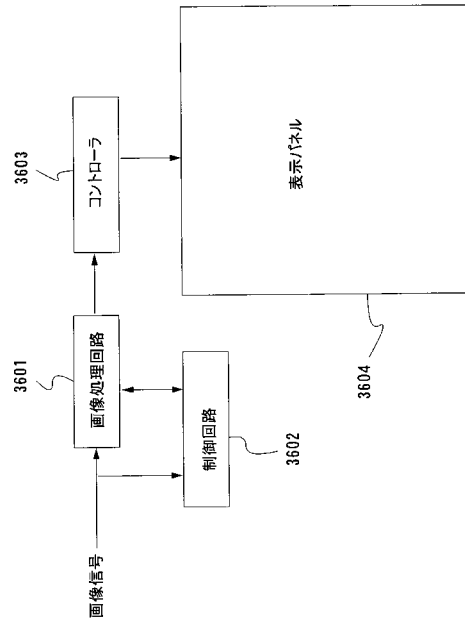
【図 3 4】



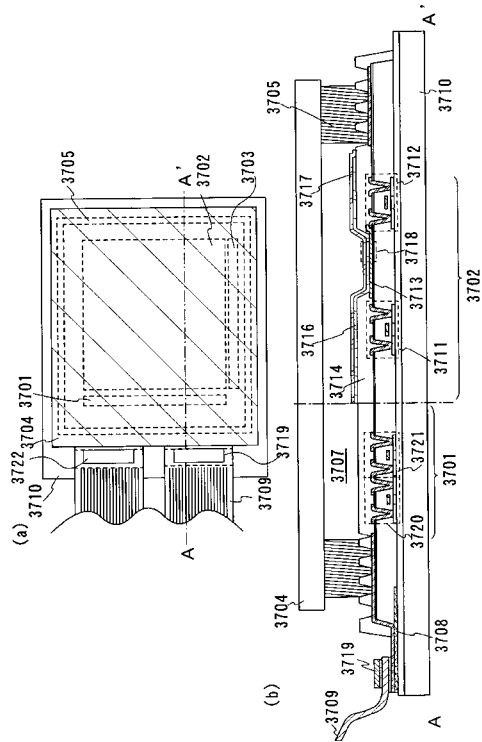
【図 3 5】



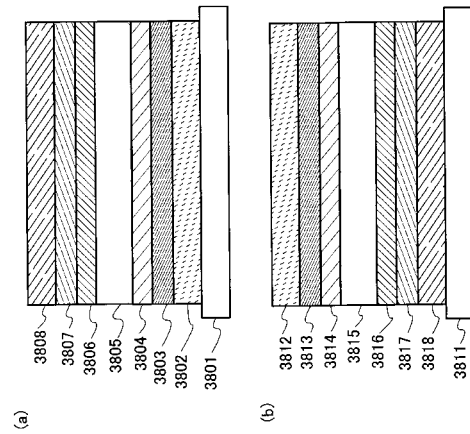
【図 3 6】



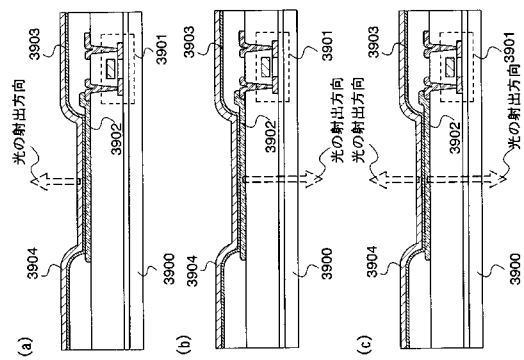
【 図 3 7 】



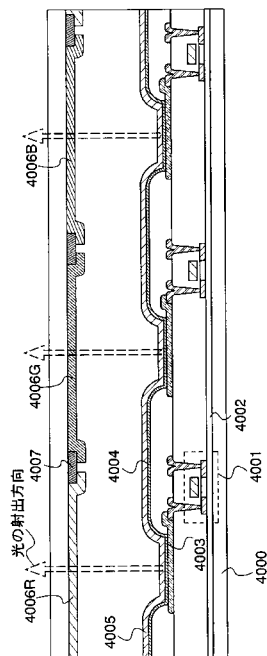
【 図 3 8 】



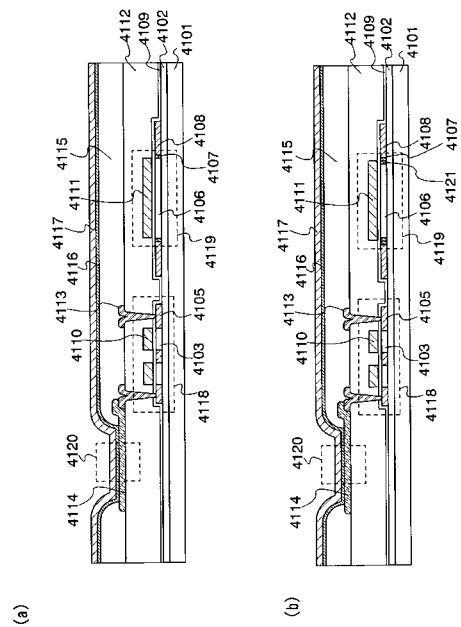
【 図 3 9 】



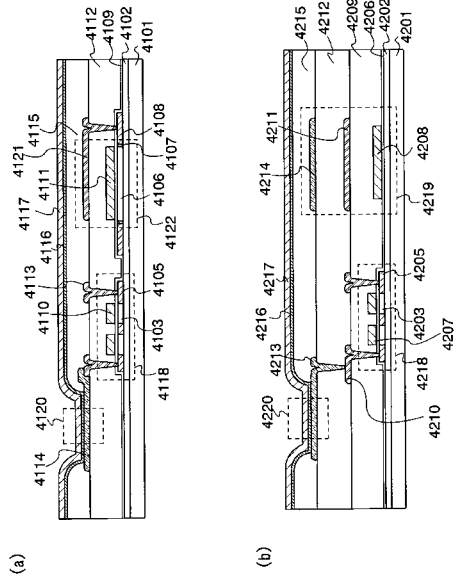
【 図 4 0 】



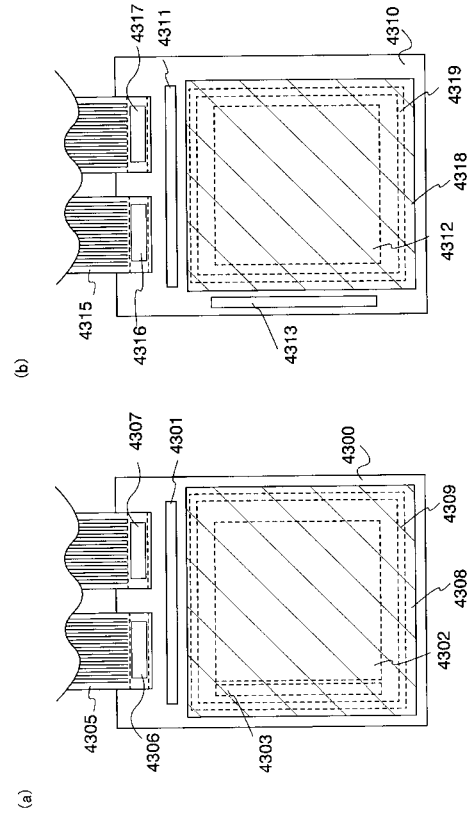
【 図 4 1 】



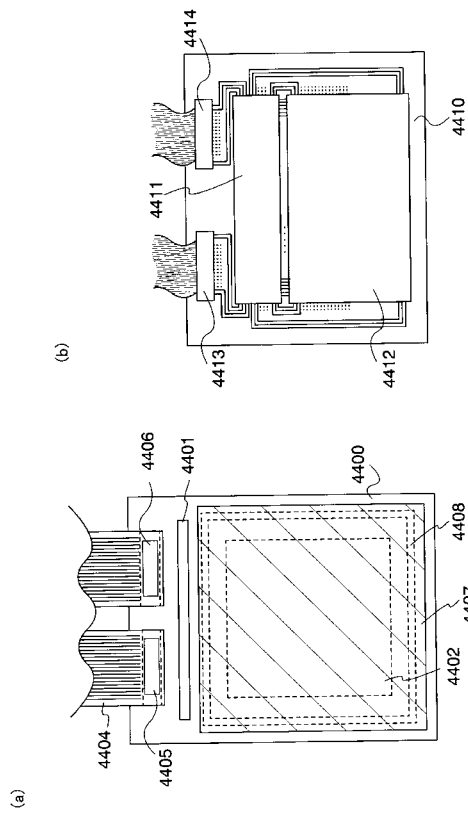
【図 4 2】



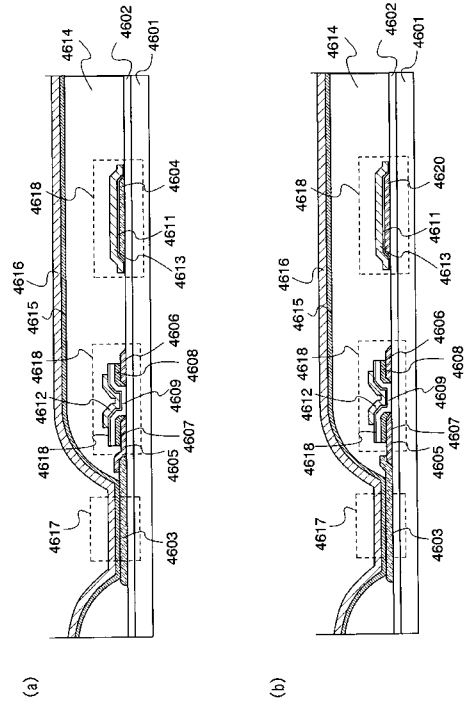
【図 4 3】



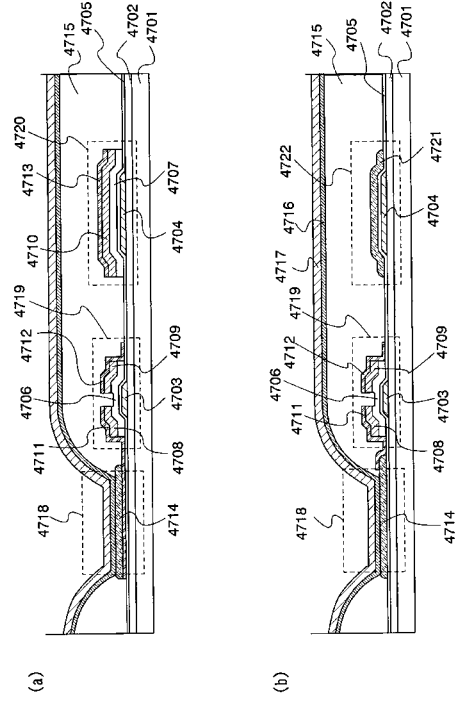
【図 4 4】



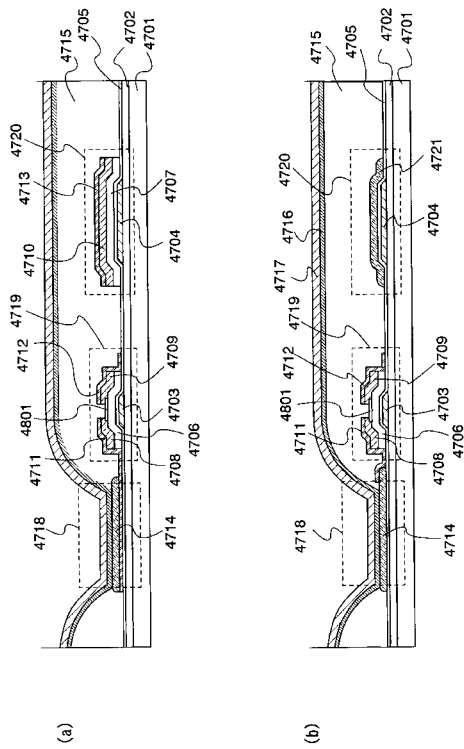
【図 46】



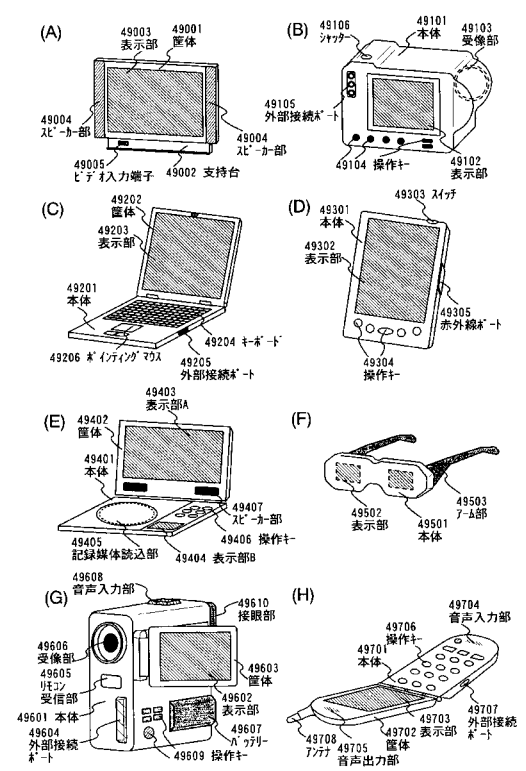
【図 47】



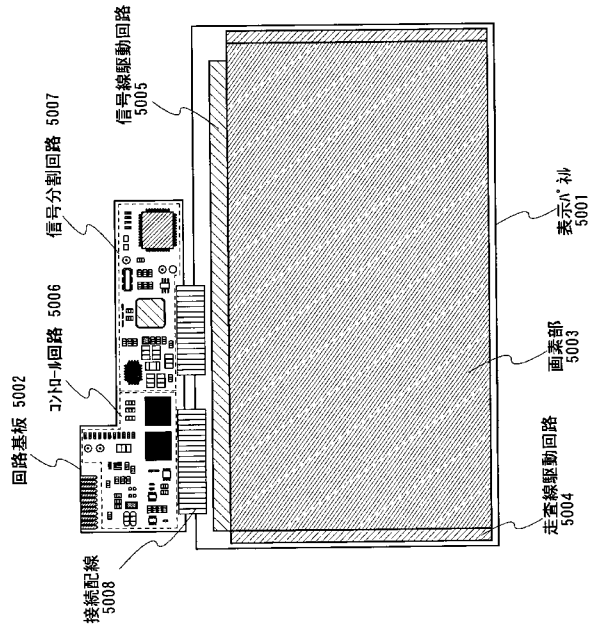
【図 48】



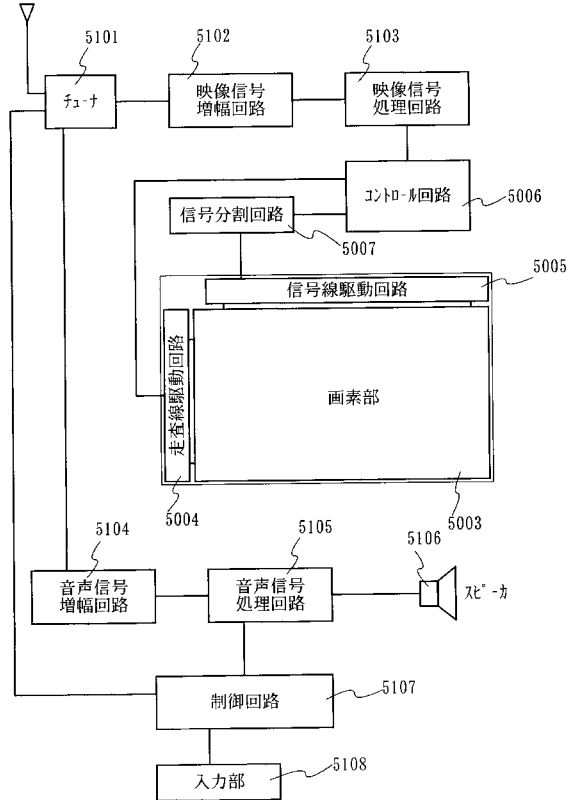
【図 49】



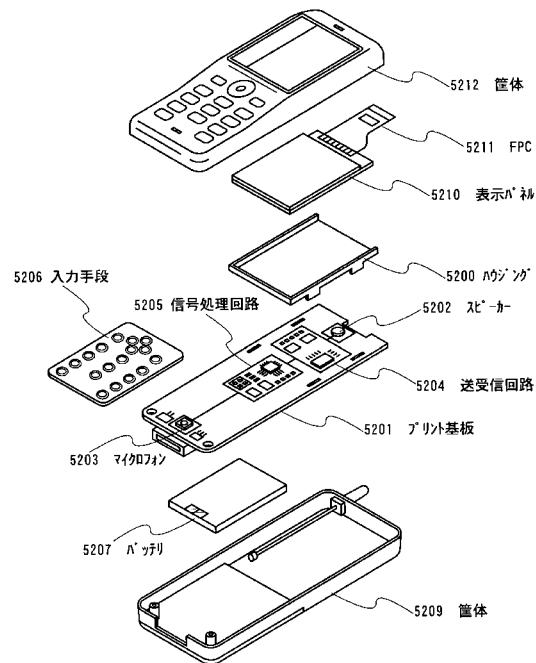
【図 50】



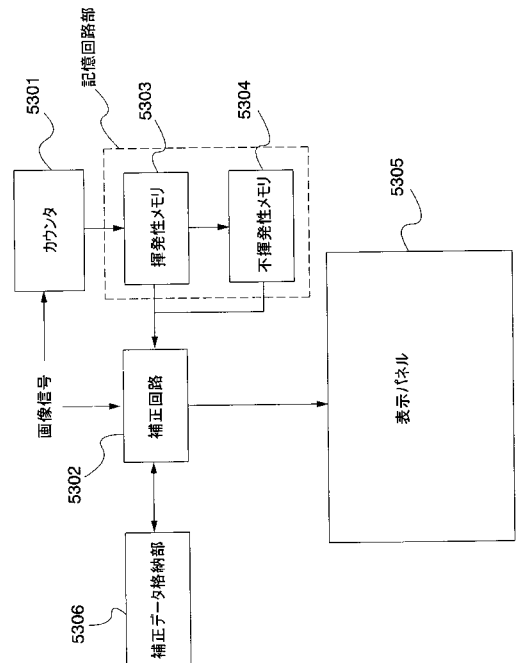
【図 51】



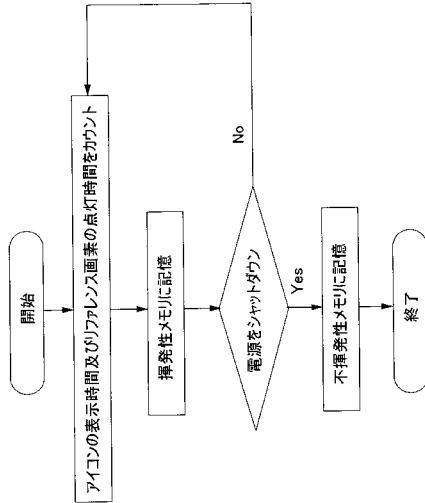
【図 52】



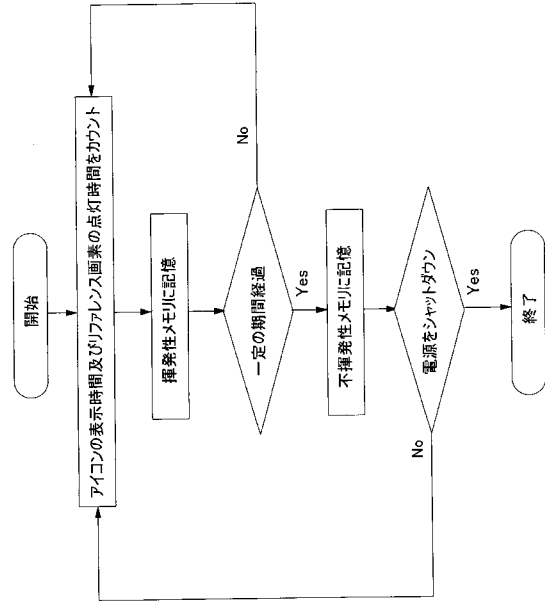
【図 53】



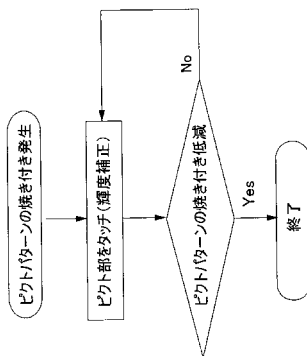
【図 5 4】



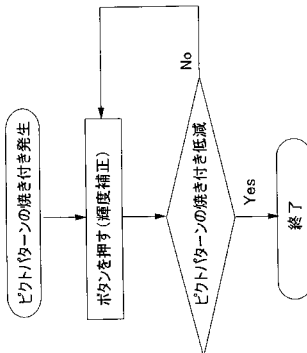
【図 5 5】



【図 5 6】



【図 5 7】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 4 2 F
G 0 9 G	3/20	6 6 0 C
G 0 9 G	3/20	6 6 0 E

(72)発明者 穴戸 英明

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 君嶋 卓也

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 荒井 康行

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 5C080 AA06 AA10 BB05 CC03 DD26 DD29 EE01 EE24 EE25 EE28
 FF11 JJ01 JJ02 JJ03 JJ04 JJ06 JJ07 KK02 KK07 KK23
 KK34 KK36 KK43 KK47 KK50
 5C380 AA01 AA02 AB06 AB08 AB11 AB12 AB13 AB18 AB22 AB23
 AB25 AB34 AB35 AB36 AB37 AB41 AC04 AC07 AC08 AC09
 AC11 AC12 AC13 AC16 BA01 BA36 BA43 BA45 BA48 BD09
 BD11 BD12 BD13 BD14 BD20 CA04 CA13 CA14 CA22 CA26
 CB01 CB17 CC13 CC26 CC33 CC39 CC62 CC64 CC66 CD012
 CD014 CD027 CE02 CF05 CF07 CF09 CF13 CF15 CF22 CF23
 CF56 DA01 DA09 DA11 DA16 DA19 DA21 DA27 DA40 DA58
 EA01 EA02 FA03 FA07 FA09 FA19 FA21 FA28

专利名称(译)	表示装置		
公开(公告)号	JP2012123414A	公开(公告)日	2012-06-28
申请号	JP2012033865	申请日	2012-02-20
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 木村肇 梅崎敦司 吉田泰则 穴戸英明 君嶋卓也 荒井康行		
发明人	山崎 舜平 木村 肇 梅崎 敦司 吉田 泰则 穴戸 英明 君嶋 卓也 荒井 康行		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/007 G09G3/20 G09G3/2022 G09G2300/0809 G09G2300/0819 G09G2310/0275 G09G2320/0295 G09G2320/046 G09G2320/048 G09G2330/022 G09G2340/145 G09G3/006 G09G3/3225 G09G3/3233 G09G2300/0842 G09G2310/0272 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.670.J G09G3/20.611.H G09G3/20.660.P G09G3/20.670.K G09G3/20.611.A G09G3/20.642.F G09G3/20.660.C G09G3/20.660.E G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD29 5C080/EE01 5C080/EE24 5C080/EE25 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK34 5C080/KK36 5C080/KK43 5C080/KK47 5C080/KK50 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB08 5C380/AB11 5C380/AB12 5C380/AB13 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB25 5C380/AB34 5C380/AB35 5C380/AB36 5C380/AB37 5C380/AB41 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA01 5C380/BA36 5C380/BA43 5C380/BA45 5C380/BA48 5C380/BD09 5C380/BD11 5C380/BD12 5C380/BD13 5C380/BD14 5C380/BD20 5C380/CA04 5C380/CA13 5C380/CA14 5C380/CA22 5C380/CA26 5C380/CB01 5C380/CB17 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC62 5C380/CC64 5C380/CC66 5C380/CD012 5C380/CD014 5C380/CD027 5C380/CE02 5C380/CF05 5C380/CF07 5C380/CF09 5C380/CF13 5C380/CF15 5C380/CF22 5C380/CF23 5C380/CF56 5C380/DA01 5C380/DA09 5C380/DA11 5C380/DA16 5C380/DA19 5C380/DA21 5C380/DA27 5C380/DA40 5C380/DA58 5C380/EA01 5C380/EA02 5C380/FA03 5C380/FA07 5C380/FA09 5C380/FA19 5C380/FA21 5C380/FA28		
优先权	2005234649 2005-08-12 JP		
其他公开文献	JP5422686B2		
外部链接	Espacenet		

摘要(译)

诸如有机EL元件之类的显示元件由于发光而劣化，并且相同的电压被施加到显示元件。即使施加电压，发光亮度也会降低。因此，随着时间的流逝，每个像素都会发光 因此，发生所谓的“老化”现象。因此，对于每个像素 一种显示装置，其减小了显示元件的劣化的差异并且减小了像素的显示元件的发光差异。挑战在于提供。防止仅特定像素的累积点亮时间变长。因此，显示模式 改变匝数的灰度，以使每个像素的显示元件的劣化差不会变大。好吧 可替代地，特定的显示图案不应固定地显示在特定的区域中。或每个像素 劣化被延迟的像素劣化，使得累积点亮时间变得相等。 [选型图]图1

