

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2011-145531
(P2011-145531A)

(43) 公開日 平成23年7月28日(2011.7.28)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 9 G 3/30 (2006.01)	G 0 9 G 3/30 J	3 K 1 0 7
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 2 M	5 C 0 8 0
H 0 1 L 51/50 (2006.01)	G 0 9 G 3/20 6 2 2 Q	5 C 3 8 0
	G 0 9 G 3/20 6 2 2 R	
	G 0 9 G 3/20 6 1 2 E	
審査請求 未請求 請求項の数 4 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2010-6990 (P2010-6990)	(71) 出願人	000002185
(22) 出願日	平成22年1月15日 (2010.1.15)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100098785
			弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	三並 徹雄
			東京都港区港南1丁目7番1号 ソニー株式会社内
		最終頁に続く	

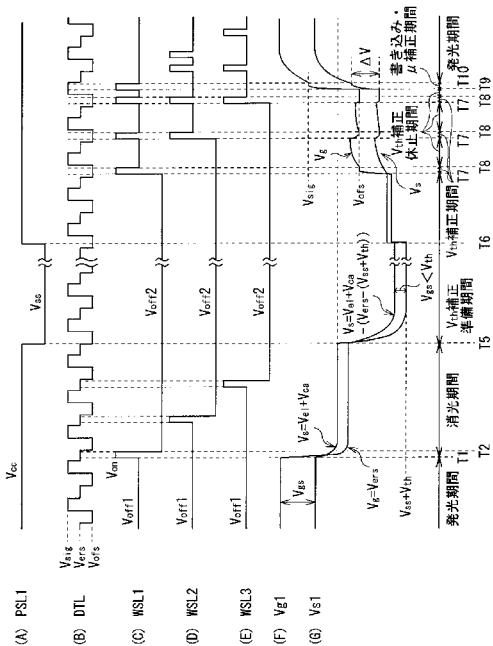
(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

(57) 【要約】

【課題】 ユニットスキャンにおいてスジ状の模様が発生するのを防止することの可能な表示装置およびその駆動方法ならびに電子機器を提供する。

【解決手段】 各ユニットUに含まれる複数の走査線WSLに対して1つの第1パルス信号P1が順番に印加され、複数の有機EL素子11がライン（画素行）ごとに順番に消光される。その後、電源線PSL1の電圧がV_{cc}となっており、かつ信号線DTLの電圧がV_{ers}となっている時であって、かつ電源線PSL1の電圧がV_{cc}からV_{ss}に変化する前に、各書込線WSL1～WSL3に1または複数の第2パルス信号P2が印加される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、
各画素を駆動する駆動部と
を備え、
前記複数の電源線は、複数の画素行を 1 つのユニットとして、前記ユニットごとに 1 つずつ設けられ、
前記駆動部は、前記ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させる
表示装置。

10

【請求項 2】

前記駆動部は、さらに、前記複数のユニットをオッドユニットと、イーブンユニットとに分け、前記オッドユニット内の各走査線の走査方向と、前記イーブンユニット内の各走査線の走査方向とを反転させる
請求項 1 に記載の表示装置。

【請求項 3】

行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備え、
前記複数の電源線は、複数の画素行を 1 つのユニットとして、前記ユニットごとに 1 つずつ設けられた表示装置において、前記ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させる
表示装置の駆動方法。

20

【請求項 4】

表示装置を備え、
前記表示装置は、
行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、
各画素を駆動する駆動部と
を有し、
前記複数の電源線は、複数の画素行を 1 つのユニットとして、前記ユニットごとに 1 つずつ設けられ、
前記駆動部は、前記ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させる
電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに配置した発光素子で画像を表示する表示装置およびその駆動方法に関する。また、本発明は、上記表示装置を備えた電子機器に関する。

40

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度に変化する電流駆動型の光学素子、例えば有機 EL (Electro Luminescence) 素子を用いた表示装置が開発され、商品化が進められている。有機 EL 素子は、液晶素子などと異なり自発光素子である。そのため、有機 EL 素子を用いた表示装置（有機 EL 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

【0003】

有機 EL 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マ

50

トリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を駆動トランジスタによって制御するものである。

【0004】

一般に、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時的に変化したり、製造プロセスのばらつきによって閾値電圧 V_{th} や移動度 μ が画素ごとに異なったりする場合がある。閾値電圧 V_{th} や移動度 μ が画素ごとに異なる場合には、駆動トランジスタに流れる電流値が画素ごとにばらつくので、駆動トランジスタのゲートに同じ電圧を印加しても、有機EL素子の発光輝度がばらつき、画面の一様性（ユニフォーミティ）が損なわれる。そこで、閾値電圧 V_{th} や移動度 μ の変動に対する補正機能を組み込んだ表示装置が開発されている（例えば、特許文献1参照）。

【0005】

ところで、アクティブマトリクス方式の表示装置では、信号線を駆動する信号線駆動回路や、各画素を順次選択する書込線駆動回路、各画素に電力を供給する電源線駆動回路は、いずれも基本的にシフトレジスタ（図示せず）で構成されており、画素の各列または各行に対応して、1段ごとに信号出力部（図示せず）を備えている。そのため、画素の列および行の数が増えると、それに従って信号線やゲート線の本数が増え、シフトレジスタの出力段数もその分増加するので、表示装置の周辺回路の大型化を招いていた。

【0006】

そこで、シフトレジスタの出力段を共用し、周辺回路の大型化を低減する方策が従来から行われている。例えば特許文献2では、信号線を複数の画素で共用化する方式が提案されている。この様にすれば、信号線駆動回路内のシフトレジスタの出力段を複数の画素列で共用化でき、その分回路規模の縮小化、回路面積の縮小化、回路コストの低減化が可能になる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-083272号公報

【特許文献2】特開2006-251322号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献2には、信号線駆動回路内のシフトレジスタの出力段を複数の画素列で共用化することが記載されていたが、書込線駆動回路や電源線駆動回路においてもシフトレジスタの出力段の共用化を図ることは表示装置のコストパフォーマンスを高める上で重要である。特に、電源線駆動回路については、電流供給能力の安定化のため、信号出力部のサイズを大きくとる必要があるので、電源線駆動回路内のシフトレジスタの出力段を複数の画素行で共用化し、信号出力部の数を少なくすることにより、表示装置の低コスト化および小型化を効果的に実現することができる。

【0009】

図17は、電源線駆動回路内の信号出力部が複数の画素行で共用化された表示装置の概略構成を表したものである。図17に記載の表示装置100では、電源線駆動回路140内の個々の信号出力部に電源線PSL（DSL1，DSL2，…）が一つずつ接続されており、個々の電源線PSL（DSL1，DSL2，…）に複数の画素行（図17では3行）に属する画素111が接続されている。一方、信号線駆動回路120内の個々の信号出力部に信号線DTL（DTL1，DTL2，…）が一つずつ接続されており、個々の信号線（DTL1，DTL2，…）に各行の画素111が一つずつ接続されている。また、書込線駆動回路130内の個々の信号出力部に書込線WSL（WSL1，WSL2，…）が一つずつ接続されており、個々の書込線WSL（WSL1，WSL2，…）

10

20

30

40

50

に各列の画素 1 1 1 が一つずつ接続されている。

【0010】

図 18 は、図 17 に記載の表示装置 100 における各種波形の一例を表したものである。図 18 には、電源線 PSL に 2 種類の電圧 (V_{cc} 、 V_{ss}) が、書込線 WSL1 ~ WSL6 に 2 種類の電圧 (V_{on} 、 V_{off}) が印加されている様子が示されている。図 18 からわかるように、表示装置 100 では、複数の画素行 (図 18 では 3 行) を一つのユニットとして、電源線 PSL (DSL1, DSL2, ...) から各画素 1 1 2 にユニットごとに共通のタイミングで V_{cc} と V_{ss} を印加するユニットスキャンが行われている。

【0011】

図 18 に示したように、同一ユニット内において、電源線 PSL の電圧が V_{ss} から V_{cc} に上がった時 (T_1) から閾値補正を開始する時 (T_2) までの時間 (待ち時間) がラインによって異なっている。例えば、同一ユニット内に 30 ライン含まれている場合に、1 ライン目の待ち時間と 30 ライン目の待ち時間との差が 29H となる。この待ち時間の間、画素回路内において電流リークが生じているので、駆動トランジスタのソース電圧は、待ち時間が長ければ長いほど、上昇してしまう。そのため、同一のユニット内において、最後のラインの画素 1 1 1 のゲートソース間電圧は最初のラインの画素 1 1 1 のゲートソース間電圧よりも小さくなる。その結果、同一のユニットに含まれるライン数が多すぎると、時刻 $T_1 \sim T_2$ の間、最後のラインの輝度は最初のラインの輝度よりも暗くなってしまう、隣接するユニット間にスジ状の模様が発生してしまう。

【0012】

また、図 18 に示したように、同一ユニット内において、消光を開始した時 (T_3) から電源線 PSL の電圧が V_{cc} から V_{ss} に下がった時 (T_4) までの時間 (待ち時間) もラインによって異なっている。例えば、同一ユニット内に 30 ライン含まれている場合に、1 ライン目の待ち時間と 30 ライン目の待ち時間との差が 29H となる。この待ち時間の間、ソース電圧が徐々に低下していくが、有機 EL 素子 1 1 1 R 等の容量などに起因してゆっくり低下するので、時刻 $T_3 \sim T_4$ の間、画素回路内には微弱な電流が流れている。その結果、同一のユニットに含まれるライン数が多すぎると、時刻 $T_3 \sim T_4$ の間、最初のラインの輝度が最後のラインの輝度よりも明るくなってしまう、隣接するユニット間にスジ状の模様が発生してしまう。

【0013】

このように、従来では、ラインごとの待ち時間の違いによって、隣接するユニット間にスジ状の模様が発生してしまうという問題があった。

【0014】

本発明はかかる問題点に鑑みてなされたもので、その目的は、ユニットスキャンにおいてスジ状の模様が発生することを防止することの可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

【課題を解決するための手段】

【0015】

本発明の表示装置は、行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備えており、さらに、各画素を駆動する駆動部を備えている。複数の電源線は、複数の画素行を 1 つのユニットとして、ユニットごとに 1 つずつ設けられている。駆動部は、ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させるようになっている。

【0016】

本発明の電子機器は、上記表示装置を備えたものである。

【0017】

本発明の表示装置の駆動方法は、以下の構成を備えた表示装置において、ユニット内の各走査線の走査方向をオッドフィールドと、イーブンフィールドとで反転させるステップを実行するものである。

【0018】

上記駆動方法が用いられる表示装置は、行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備えており、さらに、各画素を駆動する駆動部を備えている。複数の電源線は、複数の画素行を1つのユニットとして、ユニットごとに1つずつ設けられている。

【0019】

本発明の表示装置およびその駆動方法ならびに電子機器では、ユニット内の各走査線の走査方向がオッドフィールドと、イーブンフィールドとで反転する。これにより、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに相殺され、列方向の輝度分布が均一化する。

10

【発明の効果】

【0020】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに相殺され、列方向の輝度分布が均一化するようにした。これにより、ユニットスキャンにおいて、隣接するユニット間にスジ状の模様が発生するのを防止することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の一実施の形態に係る表示装置の一例を表す構成図である。

【図2】図1の画素の内部構成の一例を表す構成図である。

20

【図3】図1の表示装置のユニットスキャンの一態様について説明するための概念図である。

【図4】図1の表示装置の動作の一例について説明するための波形図である。

【図5】一の表示画素における動作の一例について説明するための波形図である。

【図6】図1の表示装置の動作の他の例について説明するための波形図である。

【図7】オッドフィールドとイーブンフィールドにおけるグラデーション（輝度分布）の一例について説明するための模式図である。

【図8】図1の表示装置の動作の他の例について説明するための波形図である。

【図9】図1の表示装置の動作のその他の例について説明するための波形図である。

【図10】オッドフィールドとイーブンフィールドにおけるグラデーション（輝度分布）の他の例について説明するための模式図である。

30

【図11】上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図12】上記実施の形態の表示装置の適用例1の外観を表す斜視図である。

【図13】（A）は適用例2の表側から見た外観を表す斜視図であり、（B）は裏側から見た外観を表す斜視図である。

【図14】適用例3の外観を表す斜視図である。

【図15】適用例4の外観を表す斜視図である。

【図16】（A）は適用例5の開いた状態の正面図、（B）はその側面図、（C）は閉じた状態の正面図、（D）は左側面図、（E）は右側面図、（F）は上面図、（G）は下面図である。

40

【図17】従来の表示装置の一例を表す構成図である。

【図18】図17の表示装置の動作の一例について説明するための波形図である。

【図19】図17の表示装置における電流リークについて説明するための回路図である。

【発明を実施するための形態】

【0022】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（図1～図7）
2. 変形例（図8～図10）

50

3. モジュールおよび適用例 (図 1 1 ~ 図 1 6)

4. 従来例 (図 1 7 ~ 図 1 9)

【0023】

図 1 は、本発明の一実施の形態に係る表示装置 1 の全体構成の一例を表したものである。この表示装置 1 は、例えば、表示パネル 10 (表示部) と、駆動回路 20 (駆動部) とを備えている。

【0024】

(表示パネル 10)

表示パネル 10 は、発光色の互いに異なる 3 種類の有機 EL 素子 11 R, 11 G, 11 B (発光素子) が 2 次元配置された表示領域 10 A を有している。表示領域 10 A とは、有機 EL 素子 11 R, 11 G, 11 B から発せられる光を利用して映像を表示する領域である。有機 EL 素子 11 R は赤色光を発する有機 EL 素子であり、有機 EL 素子 11 G は緑色光を発する有機 EL 素子であり、有機 EL 素子 11 B は青色光を発する有機 EL 素子である。なお、以下では、有機 EL 素子 11 R, 11 G, 11 B の総称として有機 EL 素子 11 を適宜、用いるものとする。

【0025】

(表示領域 10 A)

図 2 は、表示領域 10 A 内の回路構成の一例を表したものである。表示領域 10 A 内には、複数の画素回路 12 が個々の有機 EL 素子 11 と対となって 2 次元配置されている。なお、本実施の形態では、一对の有機 EL 素子 11 および画素回路 12 が 1 つの画素 13 を構成している。より詳細には、図 1 に示したように、一对の有機 EL 素子 11 R および画素回路 12 が 1 つの画素 13 R (赤色用の画素) を構成し、一对の有機 EL 素子 11 G および画素回路 12 が 1 つの画素 13 G (緑色用の画素) を構成し、一对の有機 EL 素子 11 B および画素回路 12 が 1 つの画素 13 B (青色用の画素) を構成している。さらに、互いに隣り合う 3 つの画素 13 R, 13 G, 13 B が 1 つの表示画素 14 を構成している。

【0026】

各画素回路 12 は、例えば、有機 EL 素子 11 に流れる電流を制御する駆動トランジスタ Tr_1 (第 1 トランジスタ) と、信号線 DTL の電圧を駆動トランジスタ Tr_1 に書き込む書き込みトランジスタ Tr_2 (第 2 トランジスタ) と、保持容量 C_s とによって構成されたものであり、 $2Tr_1C$ の回路構成となっている。駆動トランジスタ Tr_1 および書き込みトランジスタ Tr_2 は、例えば、n チャネル MOS 型の薄膜トランジスタ (TFT (Thin Film Transistor)) により形成されている。駆動トランジスタ Tr_1 または書き込みトランジスタ Tr_2 は、例えば、p チャネル MOS 型の TFT であってもよい。

【0027】

表示領域 10 A において、複数の書込線 WSL (走査線) が行状に配置され、複数の信号線 DTL が列状に配置されている。表示領域 10 A には、さらに、複数の電源線 PSL (電源電圧の供給される部材) が書込線 WSL に沿って行状に配置されている。各信号線 DTL と各走査線 WSL との交差点近傍には、有機 EL 素子 11 が 1 つずつ設けられている。各信号線 DTL は、後述の信号線駆動回路 23 の出力端 (図示せず) と、書き込みトランジスタ Tr_2 のドレイン電極およびソース電極のいずれか一方 (図示せず) に接続されている。各走査線 WSL は、後述の書込線駆動回路 24 の出力端 (図示せず) と、書き込みトランジスタ Tr_2 のゲート電極 (図示せず) に接続されている。各電源線 PSL は、後述の電源線駆動回路 25 の出力端 (図示せず) と、駆動トランジスタ Tr_1 のドレイン電極およびソース電極のいずれか一方 (図示せず) に接続されている。書き込みトランジスタ Tr_2 のドレイン電極およびソース電極のうち信号線 DTL に非接続の方 (図示せず) は、駆動トランジスタ Tr_1 のゲート電極 (図示せず) と、保持容量 C_s の一端に接続されている。駆動トランジスタ Tr_1 のドレイン電極およびソース電極のうち電源線 PSL に非接続の方 (図示せず) と保持容量 C_s の他端とが、有機 EL 素子 11 のアノード電極 (図示せず) に接続されている。有機 EL 素子 11 のカソード電極 (図示せず) は、例

10

20

30

40

50

えば、グラウンド線 GND に接続されている。

【0028】

電源線 PSL は、図 1、図 3 に示したように、複数の画素行を一つのユニット U として、ユニット U ごとに一つずつ設けられている。なお、図 3 には、ユニット U が 5 つ設けられている場合が例示されているが、ユニット数はそれに限られるものではない。また、図 3 では、5 つのユニット U に対して、電源線駆動回路 25 の走査方向に向かうにつれて、1 つずつ増えるサフィックスを付与している。従って、ユニット U1 は走査方向の初回ユニットに相当し、ユニット U5 は走査方向の最終ユニットに相当する。

【0029】

(駆動回路 20)

次に、駆動回路 20 内の各回路について、図 1 を参照して説明する。駆動回路 20 は、タイミング生成回路 21、映像信号処理回路 22、信号線駆動回路 23、書込線駆動回路 24、および電源線駆動回路 25 を有している。

【0030】

タイミング生成回路 21 は、映像信号処理回路 22、信号線駆動回路 23、書込線駆動回路 24、および電源線駆動回路 25 が連動して動作するように制御するものである。タイミング生成回路 21 は、例えば、外部から入力された同期信号 20B に応じて（同期して）、上述した各回路に対して制御信号 21A を出力するようになっている。

【0031】

映像信号処理回路 22 は、外部から入力された映像信号 20A に対して所定の補正を行うと共に、補正した後の映像信号 22A を信号線駆動回路 23 に出力するようになっている。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

【0032】

信号線駆動回路 23 は、制御信号 21A の入力に応じて（同期して）、映像信号処理回路 22 から入力された映像信号 22A（信号電圧 V_{sig} ）を各信号線 DTL に印加して、選択対象の画素 13 に書き込むものである。なお、書き込みとは、駆動トランジスタ T_{r1} のゲートに所定の電圧を印加することを指している。

【0033】

信号線駆動回路 23 は、例えばシフトレジスタ（図示せず）によって構成されており、画素 13 の各列に対応して、1 段ごとに信号出力部（図示せず）を備えている。この信号線駆動回路 23 は、制御信号 21A の入力に応じて（同期して）、各信号線 DTL に対して、3 種類の電圧（ V_{sig} 、 V_{ofs} 、 V_{ers} ）を出力可能となっている。具体的には、信号線駆動回路 23 は、各画素 13 に接続された信号線 DTL を介して、書込線駆動回路 24 により選択された画素 13 へ 3 種類の電圧（ V_{sig} 、 V_{ofs} 、 V_{ers} ）を順番に供給するようになっている。

【0034】

ここで、 V_{sig} は、映像信号 22A に対応する電圧値となっている。 V_{sig} の最小電圧は V_{ofs} よりも低い電圧値となっており、 V_{sig} の最大電圧は V_{ofs} よりも高い電圧値となっている。また、 V_{ofs} は、映像信号 22A とは無関係な非階調信号であり、 V_{ers} よりも低い電圧値（固定値）となっている。 V_{ers} は、有機 EL 素子 11 の閾値電圧 V_{el} よりも低い電圧値（固定値）となっている。

【0035】

書込線駆動回路 24 は、例えばシフトレジスタ（図示せず）によって構成されており、画素 13 の各行に対応して、1 段ごとに信号出力部（図示せず）を備えている。この書込線駆動回路 24 は、制御信号 21A の入力に応じて（同期して）、各書込線 WSL に対して、3 種類の電圧（ V_{on} 、 V_{off1} 、 V_{off2} ）を出力可能となっている。具体的には、書込線駆動回路 24 は、各画素 13 に接続された書込線 WSL を介して、駆動対象の画素 13 へ 3 種類の電圧（ V_{on} 、 V_{off1} 、 V_{off2} ）を供給し、書き込みトランジスタ T_{r2} を制御するようになっている。

10

20

30

40

50

【0036】

ここで、電圧 V_{on} は、書き込みトランジスタ T_{r2} のオン電圧以上の値となっている。
 V_{on} は、後述の消光時や閾値補正時に、書込線駆動回路 24 から出力される電圧値である。
 V_{off1} 、 V_{off2} は、書き込みトランジスタ T_{r2} のオン電圧よりも低い値となっている。
 V_{off2} は、 V_{off1} よりも低い電圧値となっている。

【0037】

電源線駆動回路 25 は、例えばシフトレジスタ（図示せず）によって構成されており、各ユニット（U1～U5）に対応して、各ユニット（U1～U5）に含まれる行数と等しい数の段ごとに信号出力部（図示せず）を備えている。つまり、本実施の形態では、電源線駆動回路 25 内のシフトレジスタの出力段がユニット（U1～U5）ごとに共用化されてお

10

【0038】

この電源線駆動回路 25 は、制御信号 21A の入力に応じて（同期して）、2 種類の電圧（ V_{ss} 、 V_{cc} ）を出力可能となっている。具体的には、電源線駆動回路 25 は、各画素 13 に接続された電源線 PSL を介して、駆動対象の画素 13 へ 2 種類の電圧（ V_{ss} 、 V_{cc} ）を供給し、有機 EL 素子 11 の発光および消光を制御するようになっている。

【0039】

ここで、 V_{ss} は、有機 EL 素子 11 の閾値電圧 V_{el} と、有機 EL 素子 11 のカソードの電圧 V_{ca} とを足し合わせた電圧（ $V_{el} + V_{ca}$ ）よりも低い電圧値である。また、 V_{cc} は、電圧（ $V_{el} + V_{ca}$ ）以上の電圧値である。

20

【0040】

次に、本実施の形態の表示装置 1 の動作（消光から発光までの動作）の一例について説明する。本実施の形態では、駆動トランジスタ T_{r1} の閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機 EL 素子 11 の発光輝度を一定に保つようにするために、閾値電圧 V_{th} や移動度 μ の変動に対する補正動作が組み込まれている。

【0041】

図 4 は、表示装置 1 における各種波形の一例を表したものである。図 4 には、電源線 PSL に 2 種類の電圧（ V_{ss} 、 V_{cc} ）が、書込線 WSL1～WSL6 に 3 種類の電圧（ V_{on} 、 V_{off1} 、 V_{off2} ）が印加されている様子が示されている。図 1、図 4 からわかるように、表示装置 1 では、電源線 PSL（PSL1，PSL2，……）から各画素 13 に、ユニット（U1～U5）ごとに共通のタイミングで V_{ss} 、 V_{cc} が印加される。

30

【0042】

図 5 は、表示装置 1 の一のユニット U に印加される電圧波形の一例を表したものである。具体的には、電源線 PSL に 2 種類の電圧（ V_{ss} 、 V_{cc} ）が、信号線 DTL に 3 種類の電圧（ V_{sig} 、 V_{ers} 、 V_{ofs} ）が、書込線 WSL に 3 種類の電圧（ V_{on} 、 V_{off1} 、 V_{off2} ）が印加されている様子が示されている。さらに、図 5 には、電源線 PSL1、信号線 DTL および書込線 WSL1 への電圧印加に応じて、駆動トランジスタ T_{r1} のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。

40

【0043】

（消光期間）

まず、有機 EL 素子 11 の消光を行う。具体的には、電源線 PSL の電圧が V_{cc} となっており、かつ信号線 DTL の電圧が V_{ers} となっている時に、書込線駆動回路 24 が書込線 WSL の電圧を V_{off1} から V_{on} に上げ（ T_1 ）、駆動トランジスタ T_{r1} のゲートを信号線 DTL に接続する。すると、駆動トランジスタ T_{r1} のゲート電圧 V_g が下がり始め、保持容量 C_s を介したカップリングにより駆動トランジスタ T_{r1} のソース電圧 V_s も下がり始める。その後、ゲート電圧 V_g が V_{ers} となり、ソース電圧 V_s が $V_{el} + V_{ca}$ （ V_{ca} は有機 EL 素子 11 のカソード電圧）となり、有機 EL 素子 11 が消光したときに書込線駆動回路 24 が書込線 WSL の電圧を V_{on} から V_{off1} に下げ、駆動トランジスタ T_{r1} のゲ

50

トをフローティングにする (T_2)。

【0044】

(閾値補正準備期間)

次に、閾値補正の準備を行う。具体的には、書込線WSLの電圧が V_{off2} となっている時に、電源線駆動回路25が電源線PSLの電圧を V_{cc} から V_{ss} に下げる (T_3)。すると、駆動トランジスタ T_{r1} の電源線PSL側がソースとなって駆動トランジスタ T_{r1} のドレインーソース間に電流 I_d が流れ、ゲート電圧 V_g が $V_{ss} + V_{th}$ となったところで、電流 I_d が止まる。このとき、ソース電圧 V_s が $V_{el} + V_{ca} - (V_{ers} - (V_{ss} + V_{th}))$ となっており、電位差 V_{gs} が V_{th} よりも小さくなっている。

【0045】

続いて、電源線駆動回路25が電源線PSLの電圧を V_{ss} から V_{cc} に上げる (T_4)。すると、駆動トランジスタ T_{r1} のドレインーソース間に電流 I_d が流れ、ゲート電圧 V_{g1} およびソース電圧 V_s が、駆動トランジスタ T_{r1} のゲートドレイン間の寄生容量と、保持容量 C_s との容量結合によって上昇する。このとき、電位差 V_{gs} は依然として V_{th} よりも小さくなっている。

【0046】

(最初の閾値補正期間)

次に、閾値補正を行う。具体的には、電源線PSLの電圧が V_{cc} となっており、かつ信号線DTLの電圧が V_{ofs} (波高値の固定された閾値補正信号) となっている時に、書込線駆動回路24が書込線WSLの電圧を V_{off2} から V_{on} に上げて、書込線WSLに選択パルスを印加する (T_5)。すると、駆動トランジスタ T_{r1} のドレインーソース間に電流 I_d が流れ、ゲート電圧 V_g およびソース電圧 V_s が、駆動トランジスタ T_{r1} のゲートドレイン間の寄生容量と、保持容量 C_s との容量結合によって上昇する。ここで、保持容量 C_s が有機EL素子11の素子容量よりも極めて小さく、ソース電圧 V_s の上昇量がゲート電圧 V_g の上昇量よりも十分に小さいので、電位差 V_{gs} が大きくなる。そして、電位差 V_{gs} が V_{th} よりも大きくなった段階で、書込線駆動回路24が書込線WSLの電圧を V_{on} から V_{off1} に下げる (T_6)。すると、駆動トランジスタ T_{r1} のゲートがフローティングとなり、閾値補正が一旦停止する。

【0047】

(最初の閾値補正休止期間)

閾値補正が休止している期間中は、例えば、先の閾値補正を行った行 (画素) とは異なる他の行 (画素) において、信号線DTLの電圧のサンプリングが行われる。なお、このとき、先の閾値補正を行った行 (画素) において、ソース電圧 V_s が $V_{ofs} - V_{th}$ よりも低いので、閾値補正休止期間中にも、先の閾値補正を行った行 (画素) において、駆動トランジスタ T_{r1} のドレインーソース間に電流 I_d が流れ、ソース電圧 V_s が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_g も上昇する。

【0048】

(2回目の閾値補正期間)

閾値補正休止期間が終了した後、閾値補正を再び行う。具体的には、信号線DTLの電圧が V_{ofs} となっており、閾値補正が可能となっている時に、書込線駆動回路24が書込線WSLの電圧を V_{off1} から V_{on} に上げ (T_5)、駆動トランジスタ T_{r1} のゲートを信号線DTLに接続する。このとき、ソース電圧 V_s が $V_{ofs} - V_{th}$ よりも低い場合 (閾値補正がまだ完了していない場合) には、駆動トランジスタ T_{r1} がカットオフするまで (電位差 V_{gs} が V_{th} になるまで)、駆動トランジスタ T_{r1} のドレインーソース間に電流 I_d が流れる。その後、信号線駆動回路23が信号線DTLの電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路24が書込線WSLの電圧を V_{on} から V_{off1} に下げる (T_6)。すると、駆動トランジスタ T_{r1} のゲートがフローティングとなるので、電位差 V_{gs} を信号線DTLの電圧の大きさに拘わらず一定に維持することができる。

【0049】

なお、この閾値補正期間において、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th}

10

20

30

40

50

となった場合には、閾値補正を終了するが、電位差 V_{gs} が V_{th} にまで到達しなかった場合には、電位差 V_{gs} が V_{th} に到達するまで、閾値補正と、閾値補正休止とを繰り返し実行する。

【0050】

(書き込み・ μ 補正期間)

閾値補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線 DTL の電圧が V_{sig} となっている間に、書込線駆動回路 24 が書込線 WSL の電圧を V_{off1} から V_{on} に上げ (T_7)、駆動トランジスタ Tr_1 のゲートを信号線 DTL に接続する。すると、駆動トランジスタ Tr_1 のゲートの電圧が V_{sig} となる。このとき、有機 EL 素子 11 のアノードの電圧はこの段階ではまだ有機 EL 素子 11 の閾値電圧 V_{e1} よりも小さく、有機 EL 素子 11 はカットオフしている。そのため、電流 I_d は有機 EL 素子 11 の素子容量に流れ、素子容量が充電されるので、ソース電圧 V_s が ΔV だけ上昇し、やがて電位差 V_{gs} が $V_{sig} + V_{th} - \Delta V$ となる。このようにして、書き込みと同時に μ 補正が行われる。

【0051】

(発光)

最後に、書込線駆動回路 24 が書込線 WSL の電圧を V_{on} から V_{off1} に下げる (T_8)。すると、駆動トランジスタ Tr_1 のゲートがフローティングとなり、駆動トランジスタ Tr_1 のドレイン-ソース間に電流 I_d が流れ、ソース電圧 V_s が上昇する。その結果、有機 EL 素子 11 が所望の輝度で発光する。

【0052】

(フィールド反転駆動)

ところで、書込線駆動回路 24 は、ユニット U 内の各走査線 WSL の走査方向をオッド (odd) フィールドと、イーブン (even) フィールドとで反転させるフィールド反転駆動を行う。書込線駆動回路 24 は、オッドフィールドにおいて、例えば、図 4 (B) ~ (D) に示したように、ユニット U の走査方向 (電源線駆動回路 25 の走査方向) と同一方向に走査し、イーブンフィールドにおいて、例えば、図 6 (B) ~ (D) に示したように、ユニット U の走査方向 (電源線駆動回路 25 の走査方向) とは反対方向に走査する。

【0053】

本実施の形態の表示装置 1 では、上記のようにして、各画素 13 において画素回路 12 がオンオフ制御され、各画素 13 の有機 EL 素子 11 に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こり、その光が外部に取り出される。その結果、表示パネル 10 の表示領域 10A において画像が表示される。

【0054】

ところで、例えば、図 17 に示したような従来の表示装置 100 におけるユニットスキャン方式では、例えば、図 18 に示したように、同一ユニット内において、電源線 PSL の電圧が V_{ss} から V_{cc} に上がった時 (T_1) から閾値補正を開始する時 (T_2) までの時間 (待ち時間) がラインによって異なっている。例えば、同一ユニット内に 30 ライン含まれている場合に、1 ライン目の待ち時間と 30 ライン目の待ち時間との差が 29 H となる。この待ち時間の間、例えば、図 19 に示したように、駆動トランジスタ Tr_1 のリーク電流 I_{Dr} と、有機 EL 素子 11 のリーク電流 I_{EL} とが生じているので、駆動トランジスタ Tr_1 のソース電圧 V_s は、待ち時間が長ければ長いほど、上昇してしまう。そのため、一のユニット内において、最後のラインの画素 111 のゲート-ソース間電圧 (電位差 V_{gs}) は最初のラインの画素 111 のゲート-ソース間電圧 (電位差 V_{gs}) よりも小さくなる。その結果、一のユニットに含まれるライン数が多すぎると、時刻 $T_1 \sim T_2$ の間、最後のラインの輝度は最初のラインの輝度よりも暗くなってしまう、隣接するユニット間にスジ状の模様が発生してしまう。

【0055】

また、図 18 に示したように、同一ユニット内において、消光を開始した時 (T_3) か

ら電源線 P S L の電圧が V_{cc} から V_{ss} に下がった時 (T_4) までの時間 (待ち時間) もラインによって異なっている。例えば、同一ユニット内に 30 ライン含まれている場合に、1 ライン目の待ち時間と 30 ライン目の待ち時間との差が 29 H となる。この待ち時間の間、ソース電圧 V_s が徐々に低下していくが、有機 E L 素子 1 1 1 の容量などに起因してゆっくり低下するので、時刻 $T_3 \sim T_4$ の間、画素回路 1 1 2 内には微弱な電流が流れている。その結果、一のユニットに含まれるライン数が多すぎると、時刻 $T_3 \sim T_4$ の間、最初のラインの輝度が最後のラインの輝度よりも明るくなってしまう、隣接するユニット間にスジ状の模様が発生してしまう。

【0056】

このように、従来の方式では、ラインごとの待ち時間の違いによって、隣接するユニット間にスジ状の模様が発生してしまうという問題があった。

10

【0057】

一方、本実施の形態の表示装置 1 では、ユニット U 内の各書込線 W S L の走査方向をオッドフィールドと、イーブンフィールドとで反転させるフィールド反転駆動が行われる。これにより、例えば、図 7 (A) に示したように、オッドフィールドでは、ユニット U 内の初段の輝度が最も高く、後段に向かうにつれて輝度が低下するグラデーションとなる。一方、例えば、図 7 (B) に示したように、イーブンフィールドでは、ユニット U 内の初段の輝度が最も低く、後段に向かうにつれて輝度が上がるグラデーションとなる。つまり、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに反対となっている。従って、これらを交互に発光させることにより、例えば、図 7 (C) に示したように、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに相殺され、列方向の輝度分布が均一化する。従って、ユニットスキャンにおいてスジ状の模様が発生するのを防止することができる。

20

【0058】

<変形例>

上記実施の形態では、ユニット U 内の各書込線 W S L の走査方向をオッドフィールドと、イーブンフィールドとで反転させるフィールド反転駆動を行っていたが、さらに、ユニット U をオッド (odd) ユニットと、イーブン (even) ユニットとに分け、オッドユニット内の各書込線 W S L の走査方向と、イーブンユニット内の各書込線 W S L の走査方向とを反転させるユニット反転駆動を行うようにしてもよい。例えば、図 8 に示したように、書込線駆動回路 2 4 は、オッドフィールドのオッドユニットにおいて、ユニット U の走査方向 (電源線駆動回路 2 5 の走査方向) と同一方向に走査し、オッドフィールドのイーブンユニットにおいて、ユニット U の走査方向 (電源線駆動回路 2 5 の走査方向) とは反対方向に走査する。また、例えば、図 9 に示したように、書込線駆動回路 2 4 は、イーブンフィールドのオッドユニットにおいて、ユニット U の走査方向 (電源線駆動回路 2 5 の走査方向) とは反対方向に走査し、イーブンフィールドのイーブンユニットにおいて、ユニット U の走査方向 (電源線駆動回路 2 5 の走査方向) と同一方向に走査する。

30

【0059】

これにより、例えば、図 10 (A), (B) に示したように、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに反対となっている。従って、これらを交互に発光させることにより、例えば、図 10 (C) に示したように、オッドフィールドにおけるグラデーションと、イーブンフィールドにおけるグラデーションとが互いに相殺され、列方向の輝度分布が均一化する。従って、ユニットスキャンにおいてスジ状の模様が発生するのを防止することができる。

40

【0060】

<モジュールおよび適用例>

以下、上記実施の形態および変形例で説明した表示装置 1 の適用例について説明する。上記実施の形態等の表示装置 1 は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力

50

された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0061】

(モジュール)

上記実施の形態等の表示装置1は、例えば、図11に示したようなモジュールとして、後述する適用例1～5などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板2の一辺に、表示領域10Aを封止する部材(図示せず)から露出した領域210を設け、この露出した領域210に、駆動回路20の配線を延長して外部接続端子(図示せず)を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板(FPC; Flexible Printed Circuit) 220が設けられていてもよい。

10

【0062】

(適用例1)

図12は、上記実施の形態等の表示装置1が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300は、上記実施の形態等に係る表示装置1により構成されている。

【0063】

(適用例2)

図13は、上記実施の形態等の表示装置1が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニュースイッチ430およびシャッターボタン440を有しており、その表示部420は、上記実施の形態等に係る表示装置1により構成されている。

20

【0064】

(適用例3)

図14は、上記実施の形態等の表示装置1が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体510、文字等の入力操作のためのキーボード520および画像を表示する表示部530を有しており、その表示部530は、上記実施の形態等に係る表示装置1により構成されている。

【0065】

(適用例4)

図15は、上記実施の形態等の表示装置1が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部610、この本体部610の前方側面に設けられた被写体撮影用のレンズ620、撮影時のスタート/ストップスイッチ630および表示部640を有しており、その表示部640は、上記実施の形態等に係る表示装置1により構成されている。

30

【0066】

(適用例5)

図16は、上記実施の形態等の表示装置1が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体710と下側筐体720とを連結部(ヒンジ部)730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。そのディスプレイ740またはサブディスプレイ750は、上記実施の形態等に係る表示装置1により構成されている。

40

【0067】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【0068】

例えば、上記実施の形態等では、表示装置1がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路12の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路12に

50

追加してもよい。その場合、画素回路 1 2 の変更に応じて、上述した信号線駆動回路 2 3、書込線駆動回路 2 4、電源線駆動回路 2 5 のほかに、必要な駆動回路を追加してもよい。

【0069】

また、上記実施の形態等では、信号線駆動回路 2 3、書込線駆動回路 2 4、電源線駆動回路 2 5 の駆動をタイミング制御回路 2 2 が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路 2 3、書込線駆動回路 2 4、電源線駆動回路 2 5 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【0070】

また、上記実施の形態等では、画素回路 1 2 が、2 Tr 1 C の回路構成となっていたが、デュアルゲート型のトランジスタが有機 EL 素子 1 1 に直列に接続された回路構成を含んでいるものであれば、2 Tr 1 C の回路構成以外の回路構成となってもよい。

【0071】

また、上記実施の形態等では、駆動トランジスタ $T r_1$ 、書き込みトランジスタ $T r_2$ は、n チャネル MOS 型の薄膜トランジスタにより形成されている場合が例示されていたが、p チャネルトランジスタ（例えば p チャネル MOS 型の TFT）により形成されていてもよい。ただし、その場合には、トランジスタ $T r_2$ のソースおよびドレインのうち電源線 PSL と未接続の方と保持容量 C_s の他端とを有機 EL 素子 1 1 のカソードに接続し、有機 EL 素子 1 1 のアノードを GND などに接続することが好ましい。

【符号の説明】

【0072】

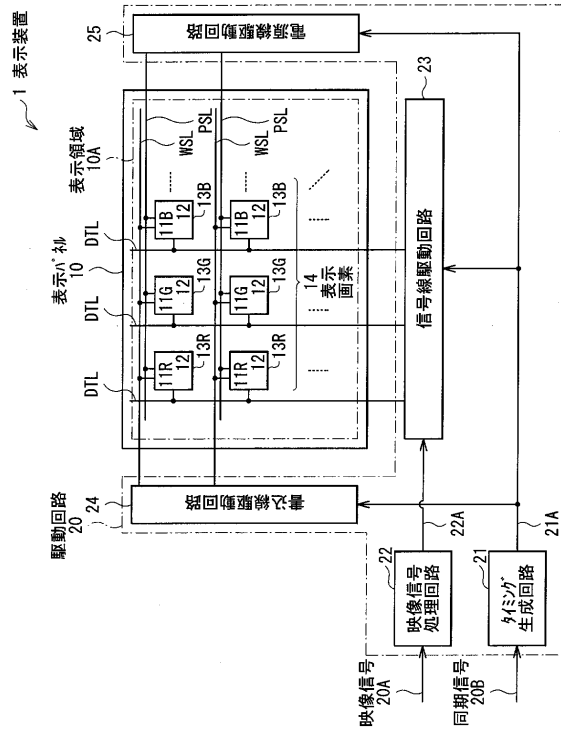
1, 1 0 0 … 表示装置、1 0, 1 1 0 … 表示パネル、1 0 A … 表示領域、1 1, 1 1 R, 1 1 G, 1 1 B, 1 1 1 R, 1 1 1 G, 1 1 1 B … 有機 EL 素子、1 2 … 画素回路、1 3, 1 3 R, 1 3 G, 1 3 B, 1 1 1 … 画素、1 4 … 表示画素、2 0 … 駆動回路、2 0 A, 2 2 A … 映像信号、2 0 B … 同期信号、2 1 … タイミング生成回路、2 1 A … 制御信号、2 2 … 映像信号処理回路、2 3, 1 2 0 … 信号線駆動回路、2 4, 1 3 0 … 書込線駆動回路、2 5, 1 4 0 … 電源線駆動回路、3 1 … 基板、3 2 … 封止用基板、2 1 0 … 領域、2 2 0 … FPC、3 0 0 … 映像表示画面部、3 1 0 … フロントパネル、3 2 0 … フィルターガラス、4 1 0 … 発光部、4 2 0, 5 3 0, 6 4 0 … 表示部、4 3 0 … メニュースイッチ、4 4 0 … シャッターボタン、5 1 0 … 本体、5 2 0 … キーボード、6 1 0 … 本体部、6 2 0 … レンズ、6 3 0 … スタート／ストップスイッチ、7 1 0 … 上側筐体、7 2 0 … 下側筐体、7 3 0 … 連結部、7 4 0 … ディスプレイ、7 5 0 … サブディスプレイ、7 6 0 … ピクチャーライト、7 7 0 … カメラ、 C_s … 保持容量、DTL (DTL 1, DTL 2, …) … 信号線、 I_d … 電流、GND … グラウンド線、PSL (PSL 1, PSL 2, …) … 電源線、 $T r_1$ … 駆動トランジスタ、 $T r_2$ … 書き込みトランジスタ、U, U 1 ~ U 5 … ユニット、 V_{ca} … カソード電圧、 V_g … ゲート電圧、 V_{gs} … 電位差、 V_s … ソース電圧、 V_{sig} … 信号電圧、 V_{cc} , V_{ers} , V_{off1} , V_{off2} , V_{ofs} , V_{on} , V_{ss} , ΔV … 電圧、 V_{th} , V_{el} … 閾値電圧、WSL (WSL 1, WSL 2, …) … 書込線、 μ … 移動度。

10

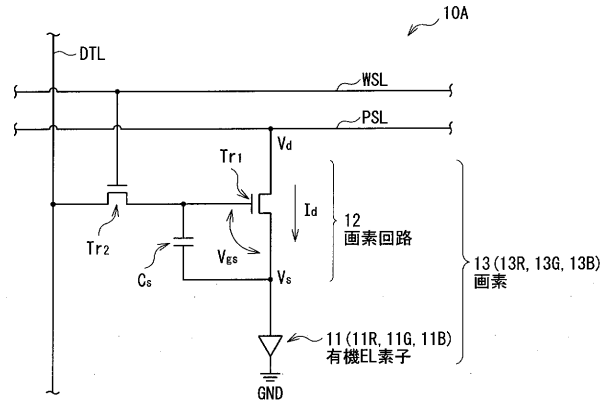
20

30

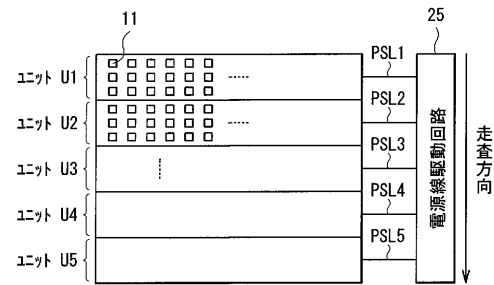
【図1】



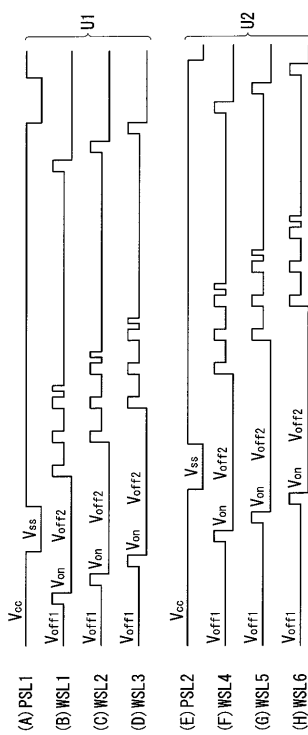
【図2】



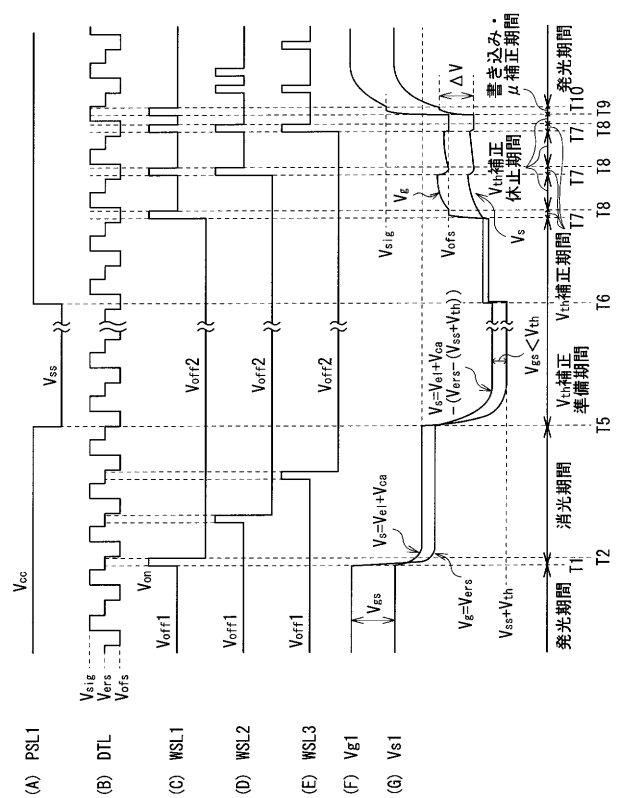
【図3】



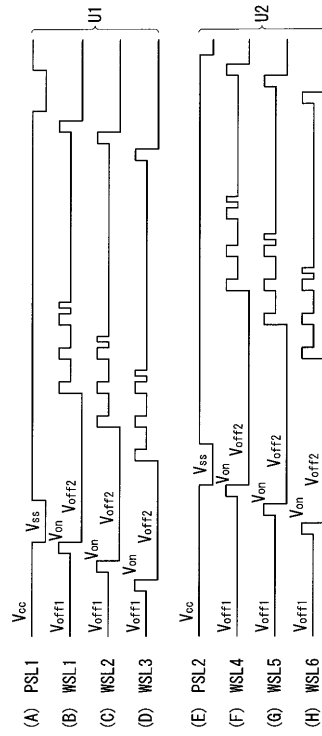
【図4】



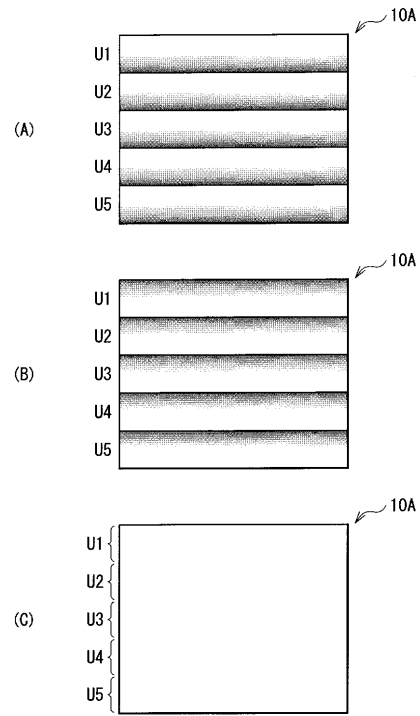
【図5】



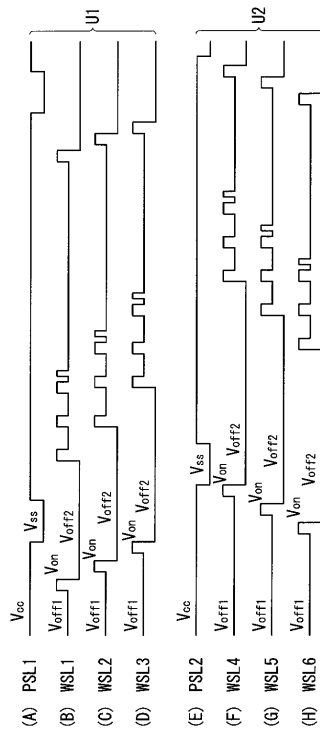
【図 6】



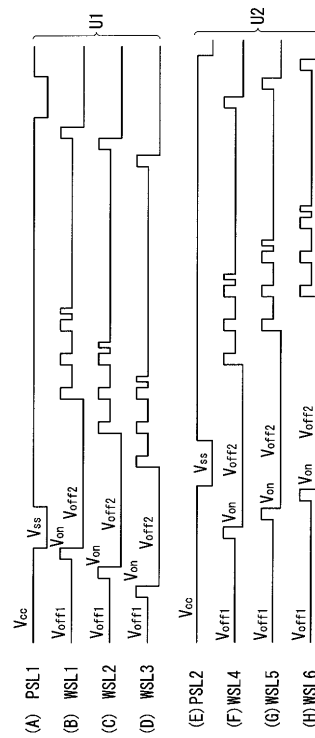
【図 7】



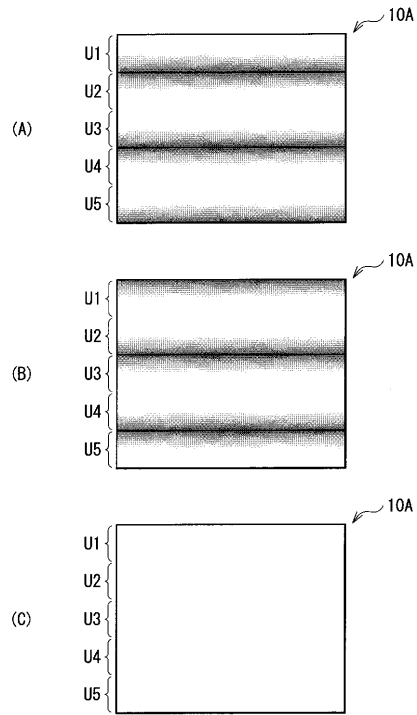
【図 8】



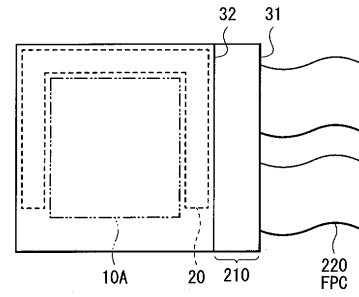
【図 9】



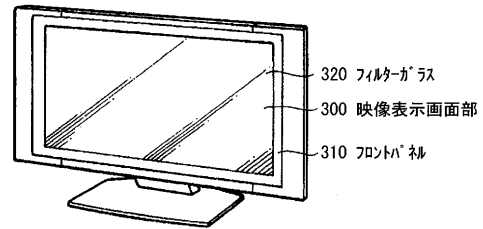
【図 10】



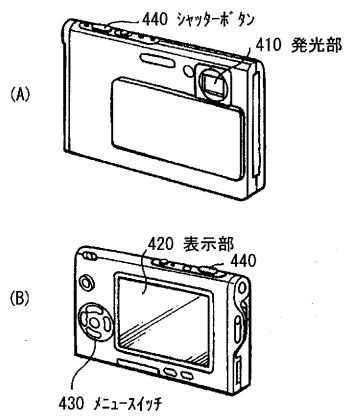
【図 11】



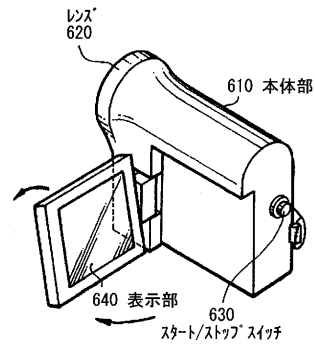
【図 12】



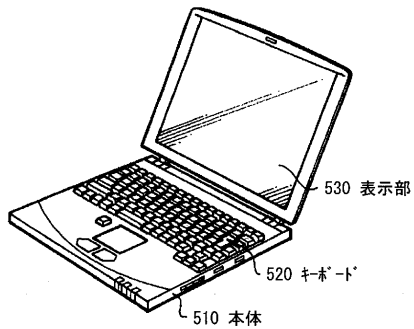
【図 13】



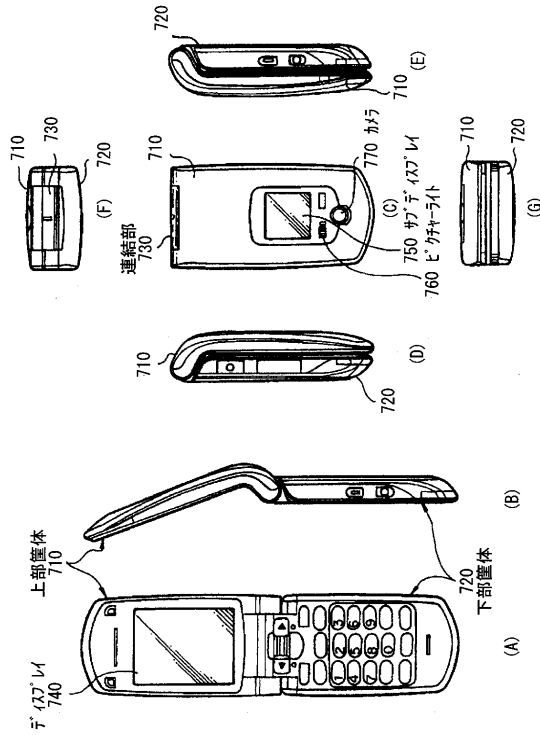
【図 15】



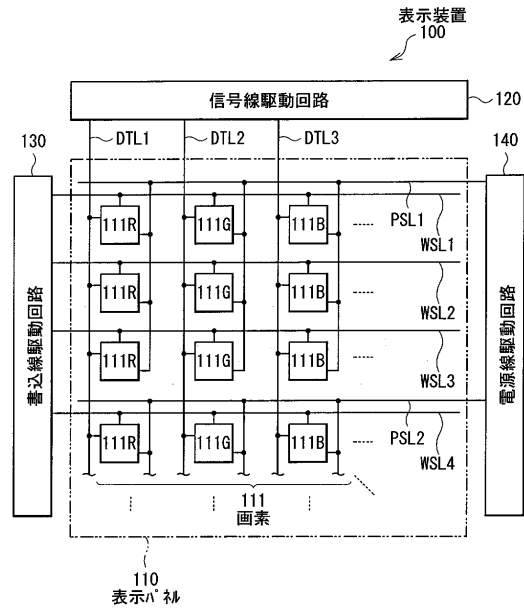
【図 14】



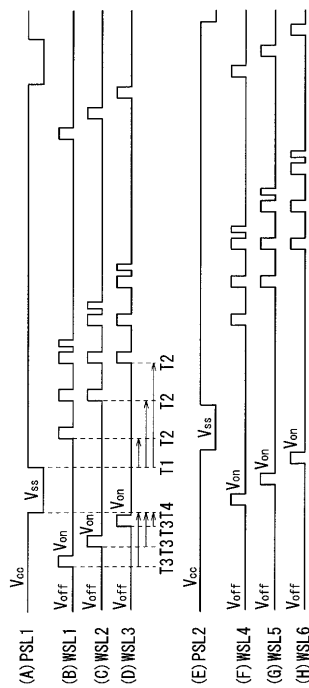
【図 16】



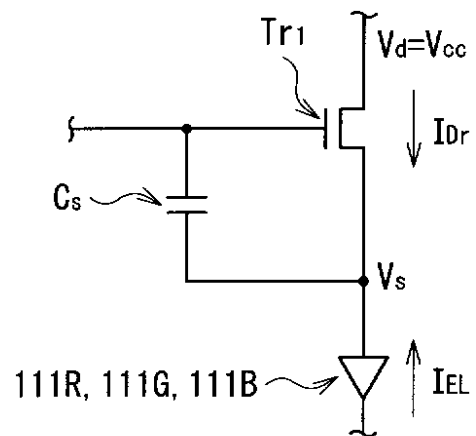
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 4 Z
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 1 1 F
	G 0 9 G 3/20	6 4 2 A
	H 0 5 B 33/14	A

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC31 CC33 CC43 CC45 EE03 HH02 HH04
 5C080 AA06 BB05 CC03 DD05 DD22 DD27 EE29 EE30 FF11 GG05
 GG07 HH10 JJ01 JJ02 JJ03 JJ04 JJ06 KK02 KK07 KK43
 KK47
 5C380 AA01 AB06 AB27 AB34 AB39 AB45 AB46 AC07 AC08 AC09
 AC11 BA10 BA11 BA12 BA14 BA21 BA30 BA38 BA39 BB02
 BB05 BC20 BD02 CA12 CA53 CA54 CB20 CB26 CB30 CB31
 CC02 CC03 CC04 CC06 CC07 CC26 CC27 CC30 CC33 CC41
 CC63 CD012 CE20 CF07 DA02 DA06 DA47 DA57

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2011145531A5	公开(公告)日	2013-02-07
申请号	JP2010006990	申请日	2010-01-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	三並 徹雄 内野 勝秀		
发明人	三並 徹雄 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3266 G09G3/3233 G09G2300/0819 G09G2300/0866 G09G2310/0218 G09G2310/0283 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.622.M G09G3/20.622.Q G09G3/20.622.R G09G3/20.612.E G09G3/20.624.Z G09G3/20.624.B G09G3/20.611.F G09G3/20.642.A H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/CC43 3K107/CC45 3K107/EE03 3K107/ /HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD22 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG05 5C080/GG07 5C080/HH10 5C080/JJ01 5C080/ /JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB27 5C380/AB34 5C380/AB39 5C380/AB45 5C380/AB46 5C380/ /AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA10 5C380/BA11 5C380/BA12 5C380/BA14 5C380/BA21 5C380/BA30 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BC20 5C380/ /BD02 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB20 5C380/CB26 5C380/CB30 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/ /CC30 5C380/CC33 5C380/CC41 5C380/CC63 5C380/CD012 5C380/CE20 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA57		
其他公开文献	JP2011145531A		

摘要(译)

要解决的问题：提供显示装置，用于驱动装置的方法和电子设备，其中可以防止在单位扫描中产生条纹图案。解决方案：单个第一脉冲信号P1被顺序地施加到多个在每个单元U中包括的扫描线WSL中，依次对多个有机EL元件11（像素行）进行淬灭。然后，当电源线PSL1的电压是V_{cc}并且信号线DTL的电压是V_{ers}时，并且在电源线PSL1的电压改变之前从V_{cc}到V_{ss}，将单个或多个第二脉冲信号P2施加到每个写入线WSL1到WSL3。