

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-156962

(P2010-156962A)

(43) 公開日 平成22年7月15日(2010.7.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 642A	5C380
	G09G 3/30 K	
	G09G 3/20 641D	

審査請求 未請求 請求項の数 5 O L (全 52 頁) 最終頁に続く

(21) 出願番号 特願2009-271259 (P2009-271259)
 (22) 出願日 平成21年11月30日 (2009.11.30)
 (31) 優先権主張番号 特願2008-309273 (P2008-309273)
 (32) 優先日 平成20年12月4日 (2008.12.4)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 CC02 CC33 CC42
 DD39 EE03 HH02 HH04 HH05
 5C080 AA06 AA07 BB05 CC03 DD01
 DD05 DD26 DD27 EE28 FF07
 FF11 HH09 JJ02 JJ03 JJ04
 JJ06 KK23 KK42 KK43 KK47

最終頁に続く

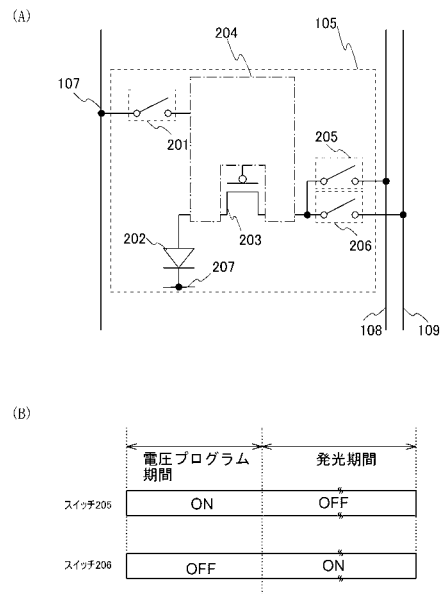
(54) 【発明の名称】 表示装置及びその駆動方法並びにそれらを用いた電子機器

(57) 【要約】

【課題】 電流供給線の配線抵抗に伴う電圧のばらつきによって、発光素子の輝度がばらついて表示品質が低下することを低減し、表示品質の向上を図ることを課題の一とする。

【解決手段】 電圧プログラム期間では、EL素子を駆動するためのトランジスタのソースとなる端子を第1の電位が供給される第1の配線に電気的に接続し、発光期間では、駆動トランジスタのソースとなる端子を第2の電位が供給される第2の配線に電気的に接続し、電流供給線の配線抵抗に伴う電圧のばらつきの影響を受けることなく、駆動トランジスタのゲート端子とソース端子間の電圧を保持できるようにする。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

トランジスタと、

前記トランジスタの第 1 端子、第 2 端子、及びゲート端子に電氣的に接続され、前記トランジスタのゲート端子とソース端子との間にかかるしきい値電圧及びビデオ電圧を保持する補正回路と、

前記補正回路に電氣的に接続されている発光素子と、

前記トランジスタの第 1 端子に電氣的に接続され、第 1 の電位が供給される第 1 の配線との電氣的接続を制御する第 1 のスイッチと、

前記トランジスタの第 1 端子に電氣的に接続され、第 2 の電位が供給される第 2 の配線との電氣的接続を制御する第 2 のスイッチと、

を有する画素が設けられていることを特徴とする表示装置。

10

【請求項 2】

請求項 1 において、前記第 1 の配線の線幅は、前記第 2 の配線の線幅よりも広いことを特徴とする表示装置。

【請求項 3】

請求項 1 において、前記第 1 の配線の線幅及び前記第 2 の配線の線幅は、前記発光素子の色要素毎に異なることを特徴とする表示装置。

【請求項 4】

請求項 1 乃至請求項 3 に記載の表示装置を具備する電子機器。

20

【請求項 5】

トランジスタと、

前記トランジスタの第 1 端子、第 2 端子、及びゲート端子に電氣的に接続され、前記トランジスタのゲート端子とソース端子との間にかかるしきい値電圧、及び信号線より選択スイッチを介して供給されるビデオ電圧を保持する補正回路と、

前記補正回路に電氣的に接続されている前発光素子と、

前記トランジスタの第 1 端子に電氣的に接続され、第 1 の電位が供給される第 1 の配線との電氣的接続を制御する第 1 のスイッチと、

前記トランジスタの第 1 端子に電氣的に接続され、第 2 の電位が供給される第 2 の配線との電氣的接続を制御する第 2 のスイッチと、を有し、

30

電圧プログラム期間では、前記第 1 のスイッチをオン且つ前記第 2 のスイッチをオフにし、発光期間では、前記第 1 のスイッチをオフ且つ前記第 2 のスイッチをオンにすることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】**【技術分野】****【0001】**

半導体装置、表示装置、発光装置、または半導体装置、表示装置、発光装置の駆動方法に関する。または、当該半導体装置、表示装置、発光装置を具備する電子機器に関する。

【背景技術】**【0002】**

40

携帯電話機、テレビ受像器などさまざまな電気製品に表示装置が使われている。表示装置に用いられる表示素子としては、コントラスト比、入力信号に対する応答性、及び視野角特性の点で EL 素子（有機物及び無機物を含む EL 素子、有機 EL 素子、無機 EL 素子）等の発光素子が、さらなる高画質化に向けて有望であり、研究が非常に活発である。また、EL 素子を具備する表示装置（以下、EL 表示装置という）においては、表示装置の大画面化についても、研究開発が盛んに行われている。

【0003】

EL 表示装置において、EL 素子は素子を流れる電流量に応じて駆動する。そのため、表示部の表示領域である画素部に設けられる各画素は、電流を供給するための配線と接続されている。電流を供給するための配線は、表示領域外より延設された配線によって構成さ

50

れている。また画素部における各画素には、EL素子に供給する電流を制御するための素子であるTFT（薄膜トランジスタ）が配置されている。

【0004】

ところで、多結晶シリコン（ポリシリコン；以下p-Siともいう）で形成されたTFTは、非晶質シリコン（アモルファスシリコン；以下a-Si）で形成されたTFTよりも電界効果移動度が高く、電気的特性に優れているため、EL表示装置に用いるTFTとしてより適している。ただし、p-Siで形成されたTFTは、結晶粒界における結合の欠陥に起因して、しきい値電圧等の電気的特性にばらつきが生じやすいといった問題点を有している。そのためp-Siで形成されたTFTを有する画素においては、TFTのしきい値電圧のばらつきを補償するための回路を有する構成について開示している（特許文献1乃至特許文献3を参照）。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2003-202834号公報

【特許文献2】特開2003-223138号公報

【特許文献3】特開2005-338792号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1乃至特許文献3における画素を駆動する期間としては、トランジスタのしきい値電圧を補償するための回路にしきい値電圧、及びビデオ電圧を保持させるための期間（以下、電圧プログラム期間という）と、EL素子を発光させるための期間（以下、発光期間という）とに大別される。特許文献1乃至特許文献3における画素構成において、電圧プログラム期間に、各画素に、電流を供給するための配線より多くの電流が流れると、電流を供給するための配線の配線抵抗により電圧降下が生じ、電流を供給するための配線の電圧にばらつきが生じてしまうといった課題がある。または、電流を供給するための配線の電圧にばらつきが生じることにより、発光素子の輝度のばらつき、表示品質の低下を招いてしまうといった課題がある。

20

【0007】

または、表示装置の大型化に伴い、電流を供給するための配線が長くなり、電流を供給するための配線の配線抵抗の影響を受けてしまうことで電圧降下が生じ、電流を供給するための配線の電圧にばらつきが生じてしまうといった課題がある。

30

【0008】

または、大型化した表示装置でも、表示品質が低下することのない、きれいな表示の表示装置を提供するといった課題がある。

【0009】

または、各画素に大電流を流すことができ、高輝度化を行うことができる表示装置を提供することといった課題がある。

【0010】

または、電流を供給するための配線の配線抵抗に伴う電圧のばらつきによって、発光素子の輝度がばらついて表示品質が低下することを低減することといった課題がある。

40

【課題を解決するための手段】

【0011】

本発明の一態様は、電圧プログラム期間では、EL素子を駆動するためのトランジスタ（以下、駆動トランジスタともいう）のソースとなる端子を第1の電位が供給される第1の配線に電氣的に接続し、発光期間では、駆動トランジスタのソースとなる端子を第2の電位が供給される第2の配線に電氣的に接続し、電流を供給するための配線の配線抵抗に伴う電圧のばらつきの影響を受けることなく、駆動トランジスタのゲート端子とソース端子の間の電圧を保持できるようにする。

50

【 0 0 1 2 】

本発明の例示的な態様の一は、トランジスタと、トランジスタの第1端子、第2端子、及びゲート端子に電氣的に接続され、トランジスタのゲート端子とソース端子との間にかかるしきい値電圧及びビデオ電圧を保持するための補正回路と、補正回路に電氣的に接続され、トランジスタのゲート端子とソース端子との間にかかるしきい値電圧及びビデオ電圧に応じて発光が制御される発光素子と、トランジスタの第1端子に電氣的に接続され、第1の電位が供給される第1の配線との電氣的接続を制御する第1のスイッチと、トランジスタの第1端子に電氣的に接続され、第2の電位が供給される第2の配線との電氣的接続を制御する第2のスイッチと、を有する画素が設けられている表示装置である。

【 0 0 1 3 】

また本発明の例示的な態様の一は、トランジスタと、トランジスタの第1端子、第2端子、及びゲート端子に電氣的に接続され、トランジスタのゲート端子とソース端子との間にかかるしきい値電圧、及び信号線より選択スイッチを介して供給されるビデオ電圧を、容量素子に保持するための補正回路と、補正回路に電氣的に接続され、トランジスタのゲート端子とソース端子との間にかかるしきい値電圧及びビデオ電圧に応じて発光が制御される発光素子と、トランジスタの第1端子に電氣的に接続され、第1の電位が供給される第1の配線との電氣的接続を制御する第1のスイッチと、トランジスタの第1端子に電氣的に接続され、第2の電位が供給される第2の配線との電氣的接続を制御する第2のスイッチと、を有し、電圧プログラム期間では、第1のスイッチをオン且つ第2のスイッチをオフにし、トランジスタを導通させて容量素子を充電し、その後容量素子を放電することによって、しきい値電圧を容量素子に保持させ、選択スイッチによるビデオ電圧の供給をし、発光期間では、第1のスイッチをオフ且つ第2のスイッチをオンにし、発光素子の発光を行う表示装置の駆動方法である。

【 発明の効果 】

【 0 0 1 4 】

電圧プログラム期間と発光期間とにより各画素の駆動を行う表示装置において、電流を供給するための配線の配線抵抗に伴う、発光素子の輝度の変動の影響を低減することができ、輝度傾斜等の画質不良を低減することができる。または、表示装置の大型化に伴い、電流を供給するための配線が長くなり、電流を供給するための配線の配線抵抗の影響を受けてしまうことを低減することができる。または、大型化した表示装置でも、表示品質が低下することのない、きれいな表示の表示装置を提供することができる。または、各画素に大電流を流すことができ、高輝度化を行うことができる表示装置を提供することができる。または、電流を供給するための配線の配線抵抗に伴う電圧のばらつきによって、発光素子の輝度がばらついて表示品質が低下することを低減することができる。

【 図面の簡単な説明 】

【 0 0 1 5 】

- 【 図 1 】 実施の形態 1 について説明する図。
- 【 図 2 】 実施の形態 1 について説明する図。
- 【 図 3 】 実施の形態 1 について説明する図。
- 【 図 4 】 実施の形態 1 について説明する図。
- 【 図 5 】 実施の形態 1 について説明する図。
- 【 図 6 】 実施の形態 1 について説明する図。
- 【 図 7 】 実施の形態 1 について説明する図。
- 【 図 8 】 実施の形態 1 について説明する図。
- 【 図 9 】 実施の形態 1 について説明する図。
- 【 図 1 0 】 実施の形態 1 について説明する図。
- 【 図 1 1 】 周辺駆動回路の作製例を説明する図。
- 【 図 1 2 】 半導体素子の作製例を説明する図。
- 【 図 1 3 】 半導体素子の作製例を説明する図。
- 【 図 1 4 】 半導体素子の作製例を説明する図。

10

20

30

40

50

【図 1 5】電子機器を説明する図。

【図 1 6】電子機器を説明する図。

【発明を実施するための形態】

【0016】

以下、本発明の実施の形態について図面を参照しながら説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本実施の形態の記載内容に限定して解釈されるものではない。なお、本明細書中の図面において、同一部分または同様な機能を有する部分には同一の符号を付し、その説明は省略する。

10

【0017】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0018】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0019】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

20

【0020】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び/又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0021】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

30

【0022】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0023】

なお、専門用語は、特定の実施の形態などを述べる目的で用いられる場合が多く、これに限定されない。

【0024】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

40

【0025】

なお、第 1、第 2、第 3 などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第 1、第 2、第 3 などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと置き換えることが可能である。

【0026】

50

(実施の形態1)

まず始めに、本実施の形態の構成を説明するための、表示装置のブロック図について説明する。

【0027】

図1は、表示装置100が有するゲート線側駆動回路101、及び信号線側駆動回路102、表示部103、電源回路104の構成を示している。表示部103には、複数の画素105がマトリクス状に配置されている。また図1には、表示装置に入力される信号を生成するための信号生成回路151を示している。

【0028】

図1において、ゲート線側駆動回路101は、複数の配線106に走査信号を供給する。この走査信号によって、画素105は、各行ごとに選択状態か、非選択状態かが決定される。また信号線側駆動回路102は、走査信号によって選択されている画素105に、配線107からビデオ電圧(ビデオ信号、ビデオデータともいう)を供給する回路である。また電源回路104は、複数の画素105に接続された配線108(第1の配線ともいう)に供給するための第1の電位、及び配線109(第2の配線ともいう)に供給するための第2の電位、を生成するための回路である。

【0029】

なお配線106は、各行に走査信号を供給するためのゲート配線として機能することが可能である。また配線107は、ビデオ電圧を各画素に供給するためのソース配線として機能することが可能である。なお配線108は、画素105に第1の電位を供給するための第1の電流供給線として機能することが可能である。なお配線109は、画素105に第2の電位を供給するための第2の電流供給線として機能することが可能である。

【0030】

図1において、配線106、配線107、配線108、及び配線109は画素の行方向及び列方向の数に応じて示している。なお、配線106、配線107、配線108、及び配線109は、画素内を構成するサブ画素(副画素、サブピクセルともいう)の数、または画素内のトランジスタの数に応じて、配線106、配線107、配線108、及び配線109と画素105とが接続する本数を増やす構成としてもよい。また画素間で配線106、配線107、配線108、及び配線109を共有して画素105を駆動することにより、配線106、配線107、配線108、及び配線109と画素105とが接続する本数を削減することができる。

【0031】

図1では、ゲート線側駆動回路101、信号線側駆動回路102、及び電源回路104に入力される信号は、フレキシブルプリント基板110(Flexible Printed Circuit:FPC)より入力されるものとして示している。なお、図1で、ゲート線側駆動回路101、信号線側駆動回路102、及び電源回路104は、いずれかが表示部103と同じ基板上に設けられる構成としてもよい。また表示部103のみを基板上に設ける構成としても良い。一例としてはゲート線側駆動回路101及び信号線側駆動回路102を表示部103と同じ基板上に形成し、第1の電位及び第2の電位を生成するための電源回路104を基板の外部にあるコントロール回路が設けられたプリント配線基板(Printed Wiring Board:PWB)上に形成する。なお配線108及び配線109に供給される第1の電位及び第2の電位を、フレキシブルプリント基板110を介した外部からの供給とすることで、電源回路104を削減することができるため、表示装置100の小型化を図ることができる。

【0032】

また信号生成回路151は、映像信号152に応じて、表示装置100の各回路に、信号又は電圧などを、フレキシブルプリント基板110を介して表示装置100に出力する機能を有し、コントローラ、制御回路、タイミングジェネレータ、又はレギュレータなどとして機能することが可能である。

【0033】

10

20

30

40

50

信号生成回路151は、一例として、信号線側駆動回路用スタート信号(SSP)、信号線側駆動回路用クロック信号(SCK)、信号線側駆動回路用反転クロック信号(SCKB)、ビデオ電圧用データ(DATA)、ラッチ信号(LAT)、ゲート線側駆動回路用スタート信号(GSP)、ゲート線側駆動回路用クロック信号(GCK)、及びゲート線側駆動回路用反転クロック信号(GCKB)などの信号を表示装置100に出力する。また、表示装置100の電源回路104等の回路に入力する定電圧の信号を出力する。表示装置のゲート線側駆動回路101、及び信号線側駆動回路102、電源回路104は、これらの信号に応じて、表示部103での表示機能を行うことができる。

【0034】

なお、図1において表示部103には、上記説明したように、複数の画素105がマトリクス状に配置(ストライプ配置)されている。なお、画素105は必ずしもマトリクス状に配置されている必要はなく、画素105をデルタ配置、またはベイヤー配置してもよい。また表示部103における表示方式はプログレッシブ方式、インターレース方式のいずれかを用いることができる。なお、インターレース方式を用いて複数の画素に信号を供給し表示を行うことにより、駆動周波数を低減でき、低消費電力化を図ることができる。なお、カラー表示する際に画素で制御する色要素としては、RGB(Rは赤、Gは緑、Bは青)の三色に限定されず、それ以上でもよく、例えば、RGBW(Wは白)、又はRGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、低消費電力化、又は表示素子の長寿命化を図ることができる。

10

20

【0035】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0036】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど)が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(DA変換回路、AD変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフタ回路など)、電圧源、電流源、切り替え回路、増幅回路(信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など)が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

30

40

【0037】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合(つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合)と、AとBとが機能的に接続されている場合(つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合)と、AとBとが直接接続されている場合(つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合)とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0038】

なお、表示装置とは、EL(エレクトロルミネッセンス)素子(有機物及び無機物を含む

50

EL素子、有機EL素子、無機EL素子)、LED(白色LED、赤色LED、緑色LED、青色LEDなど)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、プラズマディスプレイパネル(PDP)、デジタルマイクロミラーデバイス(DMD)、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示素子を有する装置のことを言う。なお、表示装置は、発光素子等の表示素子を含む複数の画素を含んでも良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでも良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、
10
いわゆる、チップオンガラス(COG)で接続されたICチップ、または、TABなどで接続されたICチップを含んでも良い。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリント基板(FPC)を含んでもよい。なお、表示装置は、フレキシブルプリント基板(FPC)などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板(PWB)を含んでも良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでも良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでも良い。

【0039】

なお、画素105及び駆動回路が有するトランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶(マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う)シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ(TFT)などを用いることが出来る。TFTを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。そして、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。
20
30

【0040】

なお、多結晶シリコンを製造するときに、触媒(ニッケルなど)を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路(走査線駆動回路)やソースドライバ回路(信号線駆動回路)、信号処理回路(信号生成回路、ガンマ補正回路、DA変換回路など)を基板上に一体形成することが出来る。

【0041】

なお、微結晶シリコンを製造するときに、触媒(ニッケルなど)を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部(アナログスイッチなど)およびゲートドライバ回路(走査線駆動回路)を基板上に一体形成することが出来る。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、画質の向上した画像を表示することが出来る。
40

【0042】

ただし、触媒(ニッケルなど)を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【0043】

10

20

30

40

50

なお、シリコンの結晶性を、多結晶または微結晶などへと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射することなどにより可能である。例えば、画素以外の領域である周辺回路領域にのみ、レーザー光を照射してもよい。または、ゲートドライバ回路、ソースドライバ回路等の領域にのみ、レーザー光を照射してもよい。あるいは、ソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、レーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることができる。結晶性を向上させる領域が少なく済むため、製造工程も短くすることが出来、スループットが向上し、製造コストを低減させることができる。必要とされる製造装置の数も少ない数で製造できるため、製造コストを低減させることができる。

10

【0044】

または、半導体基板やSOI基板などを用いてトランジスタを形成することができる。これらにより、特性やサイズや形状などのパラッキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0045】

または、ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnOなどの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することができる。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透光性を有する電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

20

【0046】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることができる。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

30

【0047】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。このような基板を用いた半導体装置は、衝撃に強くすることができる。

40

【0048】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることができる。MOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、多数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことができる。よって、高速に回路を動作させることができる。

【0049】

なお、MOS型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて

50

形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出来る。

【0050】

その他、様々なトランジスタを用いることができる。

【0051】

なお、トランジスタは、様々な基板を用いて形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。または、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）を含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（表皮、真皮）又は皮下組織を基板として用いてもよい。または、ある基板を用いてトランジスタを形成し、その基板を研磨して薄くしてもよい。研磨される基板としては、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

10

20

【0052】

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、マルチゲート構造により、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きをフラットにすることができる。電圧・電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路やカレントミラー回路を実現することが出来る。

30

【0053】

別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値の増加を図ることができる。または、チャンネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。なお、チャンネルの上下にゲート電極が配置される構成にすることにより、複数のトランジスタが並列に接続されたような構成となる。

40

【0054】

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャンネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。あるいは、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。あるいは、LDD領域を設けることにより、

50

飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。

【0055】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てが、同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板などの様々な基板を用いて形成することも可能である。所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていることも可能である。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタにより形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたICチップをCOG (Chip On Glass) でガラス基板に接続して、ガラス基板上にそのICチップを配置することも可能である。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続することも可能である。このように、回路の一部が同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまいうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたICチップを用いるようにすれば、消費電力の増加を防ぐことができる。

10

20

【0056】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1電極、第2電極と表記する場合がある。あるいは、第1領域、第2領域と表記する場合がある。

30

【0057】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子などと表記する場合がある。

【0058】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、LDD (Lightly Doped Drain) 領域またはソース領域（またはドレイン領域）と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間を接続するための配線、各画素の有するゲート電極の間を接続するための配線、又はゲート電極と別の配線とを接続するための配線のことを言う。

40

【0059】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分（領域、

50

導電膜、配線など)も存在する。そのような部分(領域、導電膜、配線など)は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャンネル領域がオーバーラップしている場合、その部分(領域、導電膜、配線など)はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分(領域、導電膜、配線など)は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0060】

なお、ゲート電極と同じ材料で形成され、ゲート電極と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)も、ゲート配線と呼んでも良い。このような部分(領域、導電膜、配線など)は、厳密な意味では、チャンネル領域とオーバーラップしていない場合、又は別のゲート電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)がある。よって、そのような部分(領域、導電膜、配線など)もゲート電極またはゲート配線と呼んでも良い。

10

【0061】

なお、例えば、マルチゲートのトランジスタにおいて、1つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分(領域、導電膜、配線など)は、ゲート電極とゲート電極とを接続させるための部分(領域、導電膜、配線など)であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタと見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島(アイランド)を形成してつながっている部分(領域、導電膜、配線など)は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

20

30

【0062】

なお、ゲート端子とは、ゲート電極の部分(領域、導電膜、配線など)または、ゲート電極と電氣的に接続されている部分(領域、導電膜、配線など)について、その一部分のことを言う。

【0063】

なお、ある配線を、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、その配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

40

【0064】

なお、ソースとは、ソース領域とソース電極とソース配線(ソース線、ソース信号線、データ線、データ信号線等とも言う)とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物(ボロンやガリウムなど)やN型不純物(リンやヒ素など)が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD(Lightly Doped Drain)領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各トラ

50

ンジスタのソース電極の間を接続するための配線、各画素の有するソース電極の間を接続するための配線、又はソース電極と別の配線とを接続するための配線のことを言う。

【0065】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜、配線など）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

10

【0066】

なお、ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）や、ソース電極とソース電極とを接続する部分（領域、導電膜、配線など）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、別のソース電極と接続させる機能を有していない場合がある。しかし、製造時の仕様などの関係で、ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もソース電極またはソース配線と呼んでも良い。

20

【0067】

なお、例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0068】

なお、ソース端子とは、ソース領域や、ソース電極や、ソース電極と電氣的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【0069】

なお、ある配線を、ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、その配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

30

【0070】

なお、ドレインについては、ソースと同様である。

【0071】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、RGBの色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。

40

【0072】

本実施の形態で説明する構成の特徴の一として、図1に示した第1の電位を供給するための配線108、及び第2の電位を供給するための配線109が、複数の画素105に接続されている点がある。TF Tのしきい値電圧のばらつきを補償するための回路を具備する画素では、上述したように、電圧プログラム期間と発光期間とを有する。発光期間では、電圧プログラム期間と異なり、電流を供給するための配線として機能する配線108及び

50

配線 109 では、配線が長くなることに伴う配線抵抗の影響により電圧降下が生じ、電流を供給するための配線の電圧にばらつきが生じてしまう。本実施の形態の構成では、電圧プログラム期間と発光期間とで、電流を供給するための配線として機能する配線 108 及び配線 109 の電氣的な接続を切り替えることにより、電流を供給するための配線による電圧降下の影響を低減することができる。以下に、具体的な回路構成を用いて説明していく。

【0073】

まず、上記図 1 の画素 105 の構成について説明する。図 2 (A) には、画素 105 が、配線 107、配線 108、及び配線 109 に接続されている回路図を表している。画素 105 は、配線 106 の制御により、配線 107 の電位を画素に取り込むためのスイッチ 201 (選択スイッチともいう)、配線 107 から供給される電位に応じて階調が制御される発光素子 202、発光素子 202 の一方の電極に接続して発光素子 202 の駆動を行うトランジスタ 203、トランジスタ 203 のしきい値電圧を補正し、且つトランジスタ 203 に印加するビデオ電圧を保持するための補正回路 204、及び配線 108 とトランジスタ 203 の第 1 端子との電氣的な接続を切り替えるスイッチ 205 (第 1 のスイッチともいう)、及び配線 109 とトランジスタ 203 の第 1 端子との電氣的な接続を切り替えるスイッチ 206 (第 2 のスイッチともいう)、を有する。なお発光素子 202 の他方の電極は、発光素子を駆動するための電位が供給される配線 207 (第 3 の配線ともいう) に接続されている。

【0074】

図 2 (A) で、スイッチ 201、スイッチ 205、及びスイッチ 206 を制御するための制御信号は、新たな配線を設けて供給してもよいし、また別の配線を用いて共用してもよい。ここでは特に図示してしない。一例として以下の説明では、スイッチ 201 を制御するための配線として、図 1 で示した配線 106 が対応するものとして説明する。またスイッチ 205、及びスイッチ 206 を制御するための配線は、配線 107 に平行に配置してもよいし、ゲート線に平行に配置してもよい。または、別の行の画素に接続されたゲート線を用いて、スイッチ 205 及びスイッチ 206 の制御をおこなってもよい。またスイッチ 205 及びスイッチ 206 を極性の異なるトランジスタで構成することにより、スイッチ 205 及びスイッチ 206 の制御を行う信号を供給する配線を共有化することで配線数を削減することができ、低コスト化、歩留まりの向上等を図ることができる。

【0075】

また、図 2 (A) では、発光素子 202 を駆動するためのトランジスタ 203 を p チャネル型のトランジスタであるものとして説明する。なお、本実施の形態に示す構成は、発光素子 202 を駆動するためのトランジスタ 203 として n チャネル型トランジスタを用いた場合にも同様の効果を奏する。なお、発光素子 202 を駆動するためのトランジスタ 203 として、n チャネル型のトランジスタを用いる場合には、トランジスタの極性を考慮して、トランジスタ 203 と発光素子 202 との電氣的な接続を行う必要がある。なお、トランジスタ 203 の極性は、スイッチ 201 を構成するトランジスタの極性及び補正回路 204 を構成するトランジスタの極性とそろえることによって、表示装置の製造コストを下げることができる。

【0076】

なお、スイッチ 205 及びスイッチ 206 の電流を流す能力は、同じでもよいし、異なってもよい。具体的な構成としては、スイッチ 205 及びスイッチ 206 をトランジスタで形成した場合、トランジスタのチャンネル幅を W 、チャンネル長を L とすると、 W/L を異ならせて作製してもよい。なお、スイッチ 205 とスイッチ 206 との W/L は、スイッチ 206 の W/L の値を大きくすることが好ましい。配線 108 と配線 109 とでは、配線 109 の方がより多くの電流を流すこととなる。そのため、スイッチ 206 の W/L の値をスイッチ 205 の W/L の値より大きくすることで、配線 109 からより多くの電流を画素 105 に流すことができるため、好適である。

【0077】

次に本実施の形態に示す構成の表示装置における画素の駆動方法について、述べる。図2(B)に図2(A)で示したスイッチ205及びスイッチ206の動作について、説明する。上述したように、画素105は、電圧プログラム期間及び発光期間を具備する。本実施の形態で説明する表示装置では、電圧プログラム期間でスイッチ205をオンにする制御、スイッチ206をオフにする制御をおこなう。また発光期間では、スイッチ205をオフにする制御、スイッチ206をオンにする制御をおこなう。

【0078】

ここで画素105の駆動方法についてさらに詳しく説明するため、具体的な画素回路の構成を図3(A)、(B)、及び図4(A)、(B)に示し、説明する。

【0079】

図3(A)に示す画素回路の構成は、表示装置を構成する画素の回路図の一例、特に図2(A)で示した補正回路204の一例について示している。画素105は、図2(A)と同様に、配線107、配線108、及び配線109に接続され、スイッチ201、発光素子202、トランジスタ203、補正回路204、スイッチ205、及びスイッチ206を有する。補正回路204は、スイッチ301(第1の制御スイッチともいう)、スイッチ302(第2の制御スイッチともいう)、スイッチ303(第3の制御スイッチともいう)、容量素子304(第1の容量素子ともいう)、容量素子305(第2の容量素子ともいう)を有する。

【0080】

なお、本明細書において、スイッチは、構成要素の混同を避けるために、機能に応じて、選択スイッチ、制御スイッチ、または単にスイッチと使い分けて呼ぶこともあるが、第1端子及び第2端子の電気的な接続を制御できるものであればよい。

【0081】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電気的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ(例えば、バイポーラトランジスタ、MOSトランジスタなど)、ダイオード(例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM(Metal Insulator Metal)ダイオード、MIS(Metal Insulator Semiconductor)ダイオード、ダイオード接続のトランジスタなど)などを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

【0082】

機械的なスイッチの例としては、デジタルマイクロミラーデバイス(DMD)のように、MEMS(マイクロ・エレクトロ・メカニカル・システム)技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが出来る電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0083】

スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源(V_{ss} 、GND、0Vなど)の電位に近い値で動作する場合はNチャンネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源(V_{dd} など)の電位に近い値で動作する場合はPチャンネル型トランジスタを用いることが望ましい。なぜなら、Nチャンネル型トランジスタではソース端子が低電位側電源の電位に近い値で動作するとき、Pチャンネル型トランジスタではソース端子が高電位側電源の電位に近い値で動作するとき、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして、より正確な動作を行うことができるからである。さらに、トランジスタがソースフォロワ動作をしてしまうことが少ないため、出力電圧の大き

10

20

30

40

50

さが小さくなってしまふことが少ないからである。

【 0 0 8 4 】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタまたはNチャネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。さらに、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

【 0 0 8 5 】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

【 0 0 8 6 】

図3（A）において、スイッチ201の第1端子、スイッチ301の第1端子、容量素子304の一方の電極、及び容量素子305の一方の電極は、互いに接続されている。また、スイッチ301の第2端子、トランジスタ203の第1端子、容量素子305の他方の電極、スイッチ205の第1端子、及びスイッチ206の第1端子は、互いに接続されている。また、容量素子304の他方の電極、スイッチ302の第1端子、及びトランジスタ203のゲート端子は、互いに接続されている。また、スイッチ302の第2端子、トランジスタ203の第2端子、及びスイッチ303の第1端子は、互いに接続されている。また、スイッチ303の第2端子は、発光素子202の陽極側に接続されている。

【 0 0 8 7 】

また、図3（B）に示す画素回路の構成は、図3（A）で示した補正回路204の一例において、スイッチ303及び発光素子202と並列に、スイッチ306（第4の制御スイッチともいう）を設けた構成について示している。図3（B）に示す画素105は、図3（A）と同様に、配線107、配線108、及び配線109に接続され、スイッチ201、発光素子202、トランジスタ203、補正回路204、スイッチ205、及びスイッチ206、を有する。そして補正回路204は、スイッチ301、スイッチ302、スイッチ303、容量素子304、容量素子305、スイッチ306を有する。

【 0 0 8 8 】

図3（B）において、図3（A）と異なる点は、スイッチ302の第2端子、トランジスタ203の第2端子、スイッチ303の第1端子、及びスイッチ306の第1端子は、互いに接続される点、スイッチ306の第2端子は配線207に接続される点にある。

【 0 0 8 9 】

また、図4（A）に示す画素回路の構成は、図3（A）で示した補正回路204の一例において、スイッチ301の第2端子が、新たに設けられた配線307（第4の配線ともいう）に接続されている点にある。図4（A）に示す画素105は、配線107、配線108、配線109、及び配線307に接続され、スイッチ201、発光素子202、トランジスタ203、補正回路204、スイッチ205、及びスイッチ206、を有する。そして補正回路204は、スイッチ301、スイッチ302、スイッチ303、容量素子304、容量素子305を有する。

【 0 0 9 0 】

図4（A）において、図3（A）と異なる点は、スイッチ301の第2端子が、トランジスタ203の第1端子、容量素子305の他方の電極、スイッチ205の第1端子、及びスイッチ206の第1端子に接続されておらず、新たに設けられた配線307に接続されている点にある。

10

20

30

40

50

【0091】

また、図4(B)に示す画素回路の構成は、図3(B)で示した補正回路204の一例において、スイッチ303を設けず、スイッチ308の第2端子に配線309(第5の配線ともいう)を接続した構成について示している。図4(B)に示す画素105は、配線107、配線108、配線109、及び配線309に接続され、スイッチ201、発光素子202、トランジスタ203、補正回路204、スイッチ205、及びスイッチ206、を有する。そして補正回路204は、スイッチ301、スイッチ302、容量素子304、容量素子305、スイッチ308を有する。

【0092】

図4(B)において、図3(B)と異なる点は、スイッチ303を設けずに、トランジスタ203の第2端子と、発光素子202の陽極側及びスイッチ308の第1端子とを直接接続している点、またスイッチ308の第2端子は配線309に接続される点にある。

10

【0093】

次に図5(A)、(B)及び図6(A)、(B)を用いて、図3(A)、(B)及び図4(A)、(B)で示した回路の動作原理について説明する。

【0094】

図5(A)、(B)及び図6(A)、(B)では、図3(A)、(B)及び図4(A)、(B)で示した回路での配線108、配線109、配線207(または配線309)、トランジスタ203、スイッチ301、スイッチ302、スイッチ303(またはスイッチ308)、容量素子304、容量素子305、スイッチ205、及びスイッチ206、に
20
対応する素子を示している。また、配線108に供給される第1の電位を V_1 、配線109に供給される第2の電位を V_2 とする。また、配線207に供給されるグラウンド電位を V_{GND} ($=0V$)として説明する。なお説明のため、敢えて図示していないが、画素には、他にも制御スイッチ、及び発光素子等の素子を有するものである。なお、各電位の大きさについては、 $V_2 > V_1 > V_{GND}$ の関係性を有し、pチャネル型であるトランジスタ203のしきい値電圧は、 $-V_{th}$ であるものとして説明する。またトランジスタ203のソースとゲートとの間の電圧を V_{gs} とすると、 $V_{gs} < -V_{th}$ の関係であればトランジスタ203はオンになり、 $V_{gs} > -V_{th}$ の関係であればトランジスタ203はオフになる。

20

【0095】

なお本明細書で説明する電圧は、グラウンド電位 V_{GND} を基準電位 $0V$ とした場合の、電位差に相当する。そのため、電圧のことを電位、または電位のことを電圧と呼ぶこともある。

30

【0096】

まず、図5(A)に示すように、スイッチ205をオンにし、スイッチ206をオフにし、スイッチ301をオンにし、スイッチ302をオンにし、スイッチ303をオンにする。すると、トランジスタ203のゲート端子の電位(以下、ゲート電位)が V_{GND} となり、トランジスタ203のソースとなる第1端子の電位(以下、ソース電位)が V_1 となる。そして、 V_{gs} として($V_{GND} - V_1$)が印加されることで、($V_{GND} - V_1$)
40
 $< -V_{th}$ となり、トランジスタ203がオンになる状態となる。

40

【0097】

なお図5(A)のとき、図3(B)、図4(A)、及び図4(B)で示す回路構成では、発光素子の方に電流が流れないようにすることができる。そのため表示装置は、表示部でのコントラスト向上を図ることができる。

【0098】

次に、図5(B)に示すように、スイッチ303をオフにする。すると、ゲート電位が第1の電位 V_1 からトランジスタ203のしきい値電圧分低下した($V_1 - V_{th}$)となる。そしてトランジスタ203に流れる電流が減少していき、やがてトランジスタ203の V_{gs} がしきい値電圧である $-V_{th}$ となり、トランジスタ203がオフになる状態となる。その後、スイッチ301及びスイッチ302をオフにしてもトランジスタ203のゲ
50

50

ートとソースの間には $-V_{th}$ が保持されることとなる。

【0099】

次に、図6(A)に示すように、スイッチ301及びスイッチ302をオフにして、スイッチ301の第1端子、容量素子304の一方の電極、及び容量素子305の一方の電極が接続されたノードに、ビデオ電圧 $-V_{data}$ を供給する。なお、図6(A)でビデオ電圧は、トランジスタ203の極性がpチャネル型トランジスタであるため、 $-V_{data}$ となる。ビデオ電圧 $-V_{data}$ が印加されることで、トランジスタ203のゲート電位が、 $(V_1 - V_{data} - V_{th})$ となる。一方、トランジスタ203のソース電位は配線108と同電位の V_1 となる。そしてトランジスタ203の V_{gs} は、 $(-V_{data} - V_{th})$ が印加されることで、 $(-V_{data} - V_{th}) < -V_{th}$ となり、トランジスタ203がオンになる状態となる。なお、 $-V_{data}$ が0である場合には、黒表示となるため、トランジスタ203はオフである。

10

【0100】

なお図5(B)で、ゲート電位が第1の電位 V_1 からトランジスタ203のしきい値電圧分低下した $(V_1 - V_{th})$ になる前に、図6(A)に示すスイッチ301及びスイッチ302をオフにしてもよい。ゲート電位が第1の電位 V_1 からトランジスタ203のしきい値電圧分低下した $(V_1 - V_{th})$ になる前に、スイッチ301及びスイッチ302をオフにすることで、トランジスタ203の移動度について、各画素間で補正を行うことができる。そのため、表示品質の向上を図ることができる。

【0101】

以上、図5(A)、図5(B)、及び図6(A)に示す動作が、電圧プログラム期間に相当する。

20

【0102】

次に、図6(B)に示すように、スイッチ205及びスイッチ206のオンまたはオフを切り替え、スイッチ303をオフにする。トランジスタ203のソース電位は、配線109と同電位の V_2 となる。一方、トランジスタ203のゲート電位は、電荷の移動がないため、容量素子304及び容量素子305による容量結合により、 $(V_2 - V_{data} - V_{th})$ となる。そのため、トランジスタ203の V_{gs} は、 $(-V_{data} - V_{th})$ が印加されることで、 $(-V_{data} - V_{th}) < -V_{th}$ となり、トランジスタ203がオンになる。そしてスイッチ303を介して発光素子のある配線207の方に電流が流れることとなる。すなわちトランジスタ毎にばらつきを有するしきい値電圧 V_{th} を考慮したトランジスタ203の V_{gs} の印加を行うことができる。なお、 $-V_{data}$ が0である場合には、トランジスタ203はオフとなり、発光素子が非点灯となる。

30

【0103】

以上、図6(B)に示す動作が、発光期間に相当する。

【0104】

その結果、トランジスタ203の第2端子に接続された発光素子の駆動を、トランジスタ203のしきい値電圧を補正した上で、行うことができる。

【0105】

なお図5(A)、(B)および図6(A)、(B)で説明した回路の例では、トランジスタ203としてpチャネル型トランジスタを用い、トランジスタ203の極性に依りて入出力される電位について一例を示した。これに限らずに、トランジスタ203としてnチャネル型トランジスタを用いても、上述のトランジスタ203の動作と同様にして駆動すればよい。

40

【0106】

次に図7(A)、(B)および図8(A)、(B)を用いて、表示装置の画素の回路動作について、更に具体的に説明する。なお図7(A)、(B)に示す回路及びスイッチのオンまたはオフは、上記図5(A)、(B)及び図6(A)、(B)で説明した回路動作を図3(A)の回路図を用いて、具体的に説明するものである。また図8(A)、(B)に示す回路及びスイッチのオンまたはオフは、本実施の形態に示す構成の効果について具

50

体的に説明するため、比較例として、図7(A)で示したスイッチ205及びスイッチ206の切り替えを行わず、スイッチ205のみを常時オンにすることにより、配線108のみをトランジスタ203と接続させた際の回路について説明するものである。

【0107】

図7(A)では、図3(A)と同様に回路図について符号を付して示している。また図7(B)では、スイッチ205、スイッチ206、スイッチ201、スイッチ301、スイッチ302、スイッチ303についての期間a乃至gでのオン又はオフの切り替わりについて、並びにトランジスタ203のソース電位及びトランジスタ203のゲート電位の変位について示したものである。なお、トランジスタ203のソース電位とは、トランジスタ203の第1端子が、スイッチ205及びスイッチ206の第1端子と接続された側の電位に相当するものである。

10

【0108】

図7(A)及び図8(A)では、図3(A)に示した、配線107、配線108、及び配線109に接続され、スイッチ201、発光素子202、トランジスタ203、補正回路204、スイッチ205、及びスイッチ206、を有する画素105の回路構成について示している。また補正回路204は、スイッチ301、スイッチ302、スイッチ303、容量素子304、容量素子305を有する。なお、各素子の電気的な接続については、図3(A)での説明と同様である。また図7(A)及び図8(A)では、配線108に供給される第1の電位を V_1 、配線109に供給される第2の電位を V_2 とする。また、配線207に供給されるグラウンド電位を V_{GND} (=0V)、配線107より供給されるビデオ電圧を $-V_{data}$ として説明を行う。なお説明のため、敢えて図示していないが、画素105には、他にも制御スイッチ、及び発光素子等の素子を有するものである。なお、各電位の大きさについては、 $V_2 > V_1 > V_{GND}$ の関係を有し、pチャネル型であるトランジスタ203のしきい値電圧は、 $-V_{th}$ であるものとして説明する。またトランジスタ203のソースとゲートとの間の電圧を V_{gs} とすると、 $V_{gs} < -V_{th}$ の関係であればトランジスタはオンになり、 $V_{gs} > -V_{th}$ の関係であればトランジスタはオフになる。なお $-V_{data}$ は、表示したい画像に応じて異なるものである。

20

【0109】

まず、スイッチ205をオン、スイッチ206をオフ、スイッチ201をオフ、スイッチ301乃至303をオンにする(図7(B)、区間a)。区間aでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電位が V_{GND} となる。トランジスタ203のゲートとソースの間の電位差は $(V_{GND} - V_1)$ となる。なお区間aでトランジスタ203がオンになる。

30

【0110】

次に、スイッチ205をオン、スイッチ206をオフ、スイッチ201をオフ、スイッチ301をオン、スイッチ302をオン、スイッチ303をオフにする(図7(B)、区間b)。区間bでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電位が $(V_1 - V_{th})$ となる。トランジスタ203のゲート電位の上昇は、トランジスタ203が期間aでオンになっており、期間bでスイッチ303をオフにしたことで、トランジスタ203のゲート電位が配線108の電位 V_1 からトランジスタ203のしきい値電圧 V_{th} の分差し引いた電圧となるためである。トランジスタ203のゲートとソースの間の電位差は $-V_{th}$ となる。なお区間bでトランジスタ203はオフになる。

40

【0111】

次に、スイッチ205をオン、スイッチ206をオフ、スイッチ201をオフ、スイッチ301乃至303をオフにする(図7(B)、区間c)。区間cでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電圧が $(V_1 - V_{th})$ となる。すなわち、期間bの電圧 V_{gs} が保持されることとなる。なお区間cでトランジスタ203はオフになる。

【0112】

次に、スイッチ205をオン、スイッチ206をオフ、スイッチ201をオン、スイッ

50

チ301乃至303をオフにする(図7(B)、区間d)。区間dでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電位が $(V_1 - V_{th} - V_{data})$ となる。トランジスタ203のゲートとソースの間の電位差は $(-V_{th} - V_{data})$ となる。すなわち、しきい値電圧 $-V_{th}$ にビデオ電圧 $-V_{data}$ を上乗せした V_{gs} をトランジスタ203に印加することができる。図7(B)の区間dで第1の電位 V_1 は変化しないことが重要である。なぜならば、スイッチ201をオンになっている際に第1の電位 V_1 が変動すると、容量素子305に保持された電荷が変動してしまい、トランジスタ203の V_{gs} が保持できなくなってしまうためである。

【0113】

次に、スイッチ205をオン、スイッチ206をオフ、スイッチ201をオフ、スイッチ301乃至303をオフにする(図7(B)、区間e)。区間eでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電位が $(V_1 - V_{th} - V_{data})$ となる。すなわち、期間dの電圧 V_{gs} が保持されることとなり、トランジスタ203のゲートとソースの間の電位差は $(-V_{th} - V_{data})$ となる。すなわち、しきい値電圧 $-V_{th}$ にビデオ電圧 $-V_{data}$ を上乗せした V_{gs} をトランジスタ203に印加することができる。なお区間eで、トランジスタ203は、 $-V_{data}$ が0である場合にはオフとなり、それ以外では $-V_{data}$ に応じてオンになる。

【0114】

以上、図7(B)に示す区間a乃至eに示す動作が、電圧プログラム期間に相当する。

【0115】

次に、スイッチ205をオフ、スイッチ206をオン、スイッチ201をオフ、スイッチ301乃至303をオフにする(図7(B)、区間f)。区間fでは容量結合により、期間eの V_{gs} が保持される。そのため、スイッチ205及びスイッチ206のオンまたはオフが切り替わり、トランジスタ203のソース電位が V_2 となった場合、トランジスタ203のゲート電位は $(V_2 - V_{th} - V_{data})$ となる。すなわち、しきい値電圧 $-V_{th}$ にビデオ電圧 $-V_{data}$ を上乗せした V_{gs} をトランジスタ203に印加することができる。なお区間fで、トランジスタ203は、 $-V_{data}$ が0である場合にはオフとなり、それ以外では $-V_{data}$ に応じてオンになる。

【0116】

次に、スイッチ205をオフ、スイッチ206をオン、スイッチ201をオフ、スイッチ301をオフ、スイッチ302をオフ、スイッチ303をオンにする(図7(B)、区間g)。区間gでは、期間fの V_{gs} が保持される。そのため、トランジスタ203のソース電位が V_2 、トランジスタ203のゲート電位は $(V_2 - V_{th} - V_{data})$ となる。すなわち、しきい値電圧 $-V_{th}$ にビデオ電圧 $-V_{data}$ を上乗せした V_{gs} をトランジスタ203に印加することができる。そして、画素毎のトランジスタにばらつきのあるしきい値電圧を補償した電流を発光素子202に流すことができる。なお区間gで、トランジスタ203は、 $-V_{data}$ が0である場合にはオフとなり、発光素子202に流れる電流も0となる。

【0117】

以上、図7(B)に示す区間f乃至gに示す動作が、発光期間に相当する。

【0118】

図8(A)、(B)について説明する。図8(A)に示す回路図では、図7(A)と同一部分または同様な機能を有する部分については同じ符号を付して示している。なお図8(A)、(B)では、スイッチ205及びスイッチ206を切り替えることによる、トランジスタ203のソース電位を第1の電位 V_1 と第2の電位 V_2 とに切り替えることを行わない構成について説明するものである。そのため、以下で説明する図8(B)の説明では、常に、スイッチ205がオンであり、スイッチ206がオフであるものとして説明する。なお、図8(A)では、スイッチ206がオフ、配線109が画素に接続されていないことを表す意味として、スイッチ206及び配線109を点線で示している。

【0119】

10

20

30

40

50

まず、スイッチ201をオフ、スイッチ301乃至303をオンにする(図8(B)、区間a)。区間aでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電位が V_{GND} となる。トランジスタ203のゲートとソースの間の電位差は $(V_{GND} - V_1)$ となる。なお区間aでトランジスタ203がオンになる。

【0120】

次に、スイッチ201をオフ、スイッチ301をオン、スイッチ302をオン、スイッチ303をオフにする(図8(B)、区間b)。区間bでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電位が $(V_1 - V_{th})$ となる。トランジスタ203のゲート電位の上昇は、トランジスタ203が期間aでオンになっており、期間bでスイッチ303をオフにしたことで、トランジスタ203のゲート電位が配線108の電位 V_1 からトランジスタ203のしきい値電圧 V_{th} の分差し引いた電圧となるためである。トランジスタ203のゲートとソースの間の電位差は $-V_{th}$ となる。なお区間bでトランジスタ203はオフになる。

10

【0121】

次に、スイッチ201をオフ、スイッチ301乃至303をオフにする(図8(B)、区間c)。区間cでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電圧が $(V_1 - V_{th})$ となる。すなわち、期間bの電圧 V_{gs} が保持されることとなる。なお区間cでトランジスタ203はオフになる。

【0122】

次に、スイッチ201をオン、スイッチ301乃至303をオフにする(図8(B)、区間d)。区間dでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電位が $(V_1 - V_{th} - V_{data})$ となる。トランジスタ203のゲートとソースの間の電位差は $(-V_{th} - V_{data})$ となる。すなわち、しきい値電圧 $-V_{th}$ にビデオ電圧 $-V_{data}$ を上乗せした V_{gs} をトランジスタ203に印加することができる。図8(B)の区間dで第1の電位 V_1 は変化しないことが重要である。なぜならば、スイッチ201をオンになっている際に第1の電位 V_1 が変動すると、容量素子305に保持された電荷が変動してしまい、トランジスタ203の V_{gs} が保持できなくなってしまうためである。

20

【0123】

次に、スイッチ201をオフ、スイッチ301乃至303をオフにする(図8(B)、区間e)。区間eでは、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電位が $(V_1 - V_{th} - V_{data})$ となり、期間dのトランジスタ203のゲートとソースの間の電位差 $(-V_{th} - V_{data})$ が保持されることとなる。すなわち、しきい値電圧 $-V_{th}$ にビデオ電圧 $-V_{data}$ を上乗せした V_{gs} をトランジスタ203に印加することができる。なお区間eで、トランジスタ203は、 $-V_{data}$ が0である場合にはオフとなり、それ以外では $-V_{data}$ に応じてオンになる。

30

【0124】

以上、図8(B)に示す区間a乃至eに示す動作が、電圧プログラム期間に相当する。

【0125】

次に、スイッチ201をオフ、スイッチ301をオフ、スイッチ302をオフ、スイッチ303をオンにする(図8(B)、区間f)。区間fでは、期間eの V_{gs} が保持される。そのため、トランジスタ203のソース電位が V_1 、トランジスタ203のゲート電位は $(V_1 - V_{th} - V_{data})$ となる。すなわち、しきい値電圧 $-V_{th}$ にビデオ電圧 $-V_{data}$ を上乗せした V_{gs} をトランジスタ203に印加することができる。そして、画素毎のトランジスタ203にばらつきのあるしきい値電圧を補償した電流を発光素子202に流すことができる。なお区間fで、トランジスタ203は、 $-V_{data}$ が0である場合にはオフとなり、発光素子202に流れる電流も0となる。

40

【0126】

以上、図8(B)に示す区間fに示す動作が、発光期間に相当する。

【0127】

50

上記図7(A)、(B)と図8(A)、(B)との違いについて、図9(A)、(B)を用いて説明し、本実施の形態に示す構成の効果について詳述する。図9(A)では、電源回路104より延設した配線108及び配線109に、スイッチ205またはスイッチ206を介して、接続された複数の画素105a乃至105dについて示している。配線108及び配線109の配線上には、寄生抵抗901及び寄生抵抗902を示している。なお、配線108及び配線109は、上記図7(A)、(B)での説明と同様に第1の電位 V_1 及び第2の電位 V_2 がそれぞれ印加されている。上記説明と同様に、電圧プログラム期間では、スイッチ205がオンになり、発光期間では、スイッチ206がオンになるものである。また、図9(B)では、電源回路104より延設した配線108に接続された複数の画素105a乃至105dについて示している。配線108上には、寄生抵抗901及び寄生抵抗902を示している。なお、配線108は、上記図8(A)、(B)での説明と同様に第1の電位 V_1 が印加されている。なお図9(A)、(B)では説明のため、画素を画素105aから画素105dに走査していく際に、画素105aが電圧プログラム期間にあるものとし、画素105b乃至105dが発光期間にあるものとして説明を行う。

10

【0128】

本実施の形態に示す構成の表示装置における画素回路の構成では、図8(A)、(B)に示す動作とは異なり、図7(A)、(B)に示すように、スイッチ205及びスイッチ206を用いて電圧プログラム期間と発光期間とで、画素への電流を供給するための配線を切り替える構成とすることができる。そのため、電圧降下の影響を受けることなく発光期間とすることができ、電圧降下を引き起こすことなく電圧プログラム期間の各動作を行うことができる。

20

【0129】

例えば、図9(B)では、配線108に接続された画素105b乃至105dに流れる電流 I_L が大きい、すなわち画素105b乃至105dの発光素子の輝度が大きい場合に、寄生抵抗901及び902によって配線108が電圧降下する。そのため、電圧プログラム期間にある画素105aに流れる電流 I_c の大小に関わらず、配線108が電圧降下、すなわち第1の電位 V_1 が減少する。その結果、配線108に接続された画素105aでは、スイッチ201をオンにした際に、トランジスタ203の V_{gs} が保持できなくなってしまう。なお、電流を供給するための配線である配線108は、多くの電流が流れる場合、または電流がほとんど流れない場合といった具合にばらつきがある。この電流のばらつきが、電流を供給するための配線の電圧のばらつきに影響する。電流を供給するための配線の電圧にばらつきが生じる原因としては、発光素子を発光するための電流 I_L が階調に応じて異なるためである。

30

【0130】

また、図9(A)では、配線109に接続された画素105b乃至105dに流れる電流 I_L が大きい、すなわち画素105b乃至105dの発光素子の輝度が大きい場合に、寄生抵抗901及び902によって配線109が電圧降下する。一方で、電圧プログラム期間にある画素105aに流れる電流 I_c は電流 I_L に比べて小さいため、電圧降下による第1の電位 V_1 の減少はほとんどない。

40

【0131】

表示装置での各画素は各行毎に、電圧プログラム期間か発光期間のいずれかの状態になる。各画素へのビデオ電圧の入力を行う電圧プログラム期間は、ゲート線毎に巡ってくるため、流れる電流(図9(A)、(B)では電流 I_c)は非常に小さい。一方、発光期間では、信号線を介して画素に流れる電流の大きさ(図9(A)、(B)では電流 I_L)、すなわち画素が有する発光素子の輝度の大きさに応じて、流れる電流が異なり、電流が流れることにより、寄生抵抗に伴う電圧降下が起こる。そのため、図9(A)で説明した電圧プログラム期間と発光期間とで接続する配線を切り替える構成では、電圧プログラム期間に、寄生抵抗に伴う電圧降下の影響は小さくなる配線108への接続に切り替え、画素でのしきい値電圧を補正する動作への影響を小さくすることができる。一方、発光期

50

間で接続される配線109は、画素に流れる電流の大きさ、すなわち画素が有する発光素子の輝度の大きさに応じて、流れる電流が異なってくるものの、容量結合によりV_{gs}の保持を行うことができるため、電圧降下の影響を小さくすることができる。

【0132】

本実施の形態に示す構成とすることにより、寄生抵抗に伴う電圧降下が大きい場合、配線108の電位V₁または配線109の電位V₂と異なる電位が各画素の供給された際の不具合の影響を低減することができる。なお第1の電位V₁及び第2の電位V₂は、電源回路から出力される際に、等電位として出力することが好ましい。

【0133】

次に、表示装置における配線108、及び配線109の引き回し方について、図10(A)乃至(D)を用いて説明する。

10

【0134】

配線108及び配線109とでは、異なる期間毎に切り替えを行うことで、しきい値電圧補正を行うことができる。上述したように電圧プログラム期間では配線108に流れる電流を極力小さくすることで、電圧降下の影響を小さくしている。また発光期間では、配線109を流れる電流の大きさは、発光素子の輝度に応じて変化するため寄生抵抗の影響を受けやすいものの、容量結合により電圧降下の影響を小さくするものである。

【0135】

フレキシブルプリント基板110より引き回される配線108及び配線109は、図10(A)に示すように、フレキシブルプリント基板110の1つの端子からそれぞれ引き回される構成としてもよい。また図10(B)に示すように、フレキシブルプリント基板110の複数の端子から配線108及び配線109となる配線を引き回す構成としてもよい。複数の端子より、配線108及び配線109を引き回す構成とすることにより、安定した電位を各画素に供給することができる。また図10(C)に示すように、配線108及び配線109を表示部103の外側に環囲するように配置する構成としてもよい。図10(C)では、配線108を配線109より内側に配置する構成とすることにより、配線の引き回しの長さを短くすることができるため、電圧降下の影響を受けにくくすることができる。また図10(D)に示すように表示部103を環囲するように配線108及び配線109を配置し、格子状に画素部をはい回らせる構成とすることで、安定した電位を配線108及び配線109に供給することができるため好適である。

20

30

【0136】

なお上記図10(A)乃至(D)で説明した配線108及び配線109の経路に、電源回路を設ける構成としても良い。

【0137】

また配線108及び配線109の線幅は、表示部103の外周側に設けられる配線の線幅、を広くする構成としてもよい。表示部103の外周に設けられる配線の線幅を内側に設けられた配線の線幅よりも広くすることによって、配線の引き回し距離が長くなったことに伴う配線108及び配線109の寄生抵抗による差を均等にすることができる。また発光期間にて画素に接続される配線109よりも、電圧プログラム期間で画素に接続される配線108の方が寄生抵抗により電位のばらつきの影響が小さい方がよい。そのため配線108は、配線の引き回し距離が小さく、寄生抵抗の小さい内側に配置する方が好適である。

40

【0138】

また配線108の線幅は、配線109の線幅よりも広くする構成としてもよい。配線108の線幅を広くすることによって、配線108の寄生抵抗を小さくすることができる。電圧プログラム期間で画素に接続される配線108は、発光期間にて画素に接続される配線109よりも、寄生抵抗により電位のばらつきの影響が小さい方がよい。

【0139】

また配線108の線幅及び配線109の線幅は、色要素毎に異なる線幅としても良い。色要素毎に配線108及び配線109の線幅を異ならせることによって、色要素毎の輝度の

50

ばらつきを緩和することができるため好適である。

【0140】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることができる。

【0141】

（実施の形態2）

本実施の形態においては、実施の形態1で説明した様々な画素回路によって形成された表示部を有する表示パネルの構成について説明する。 10

【0142】

なお、本実施の形態において、表示パネルとは、画素回路が形成された基板と、それに接して形成された構造物全体のことをいう。たとえば、画素回路がガラス基板上に形成されている場合は、ガラス基板と、ガラス基板に接して形成されたトランジスタ、配線等を合わせて表示パネルと呼ぶこととする。

【0143】

表示パネルには、画素回路の他にも、画素回路を駆動するための周辺駆動回路が形成される場合がある（一体形成）。周辺駆動回路には、表示部の走査線を制御するスキュンドライバ（走査線ドライバ、ゲートドライバ等とも呼ぶ）、信号線を制御するデータドライバ（信号線ドライバ、ソースドライバ等とも呼ぶ）が代表的なものであり、さらに、これらのドライバを制御するためのタイミングコントローラ、画像データを処理するデータ処理部、電源電圧を生成する電源回路、デジタルアナログコンバータの基準電圧生成部等も、周辺駆動回路に含まれる場合がある。 20

【0144】

そして、周辺駆動回路を、画素回路と同一基板上に一体形成することによって、表示パネルと外部回路の基板接続点の数を減少させることができる。基板接続点は機械的な強度が弱く、接続不良が発生しやすいため、基板接続点の数を減少させることができることは、装置の信頼性を大きく向上させることができ、さらに、外部回路の数を減少できるので、その分、製造コストを減少できるという利点がある。 30

【0145】

しかしながら、画素回路が形成される基板上の半導体素子は、単結晶半導体基板に形成される素子と比べると、移動度が小さく、素子間の特性ばらつきも大きい。そのため、周辺駆動回路を画素回路と同一基板上に一体形成する場合は、その回路の機能を実現するために必要となる素子性能の向上、または素子性能の不足を補うための回路技術等、様々な検討が必要となる。

【0146】

周辺駆動回路を画素回路と同一基板上に一体形成する場合は、たとえば、（1）表示部のみを形成、（2）表示部およびスキュンドライバの一体形成、（3）表示部、スキュンドライバおよびデータドライバの一体形成、（4）表示部、スキュンドライバ、データドライバおよびその他の周辺駆動回路の一体形成、という構成が主として挙げられる。ただし、一体形成する回路の組み合わせは、これら以外でもよい。たとえば、スキュンドライバが位置する部分の額縁面積を小さくする必要があるがデータドライバが位置する部分の額縁面積は小さくする必要がない場合は、（5）表示部およびデータドライバの一体形成、という構成が最適である場合もある。同様に、（6）表示部およびその他の周辺駆動回路の一体形成、（7）表示部、データドライバおよびその他の周辺駆動回路の一体形成、（8）表示部、スキュンドライバおよびその他の周辺駆動回路の一体形成、という構成もとることができる。 40

【0147】

<（1）表示部のみを形成>

【 0 1 4 8 】

上述した組み合わせのうち、(1) 表示部のみを形成、について、図 1 1 (A) を参照して説明する。図 1 1 (A) に示す表示パネル 8 0 0 は、表示部 8 0 1 と、接続部 8 0 2 を有する。接続部 8 0 2 は複数の電極を有し、接続部 8 0 2 に接続基板 8 0 3 を接続することで、駆動信号を表示パネル 8 0 0 の外から表示パネル 8 0 0 の中へ入力することができる。

【 0 1 4 9 】

なお、スキャンドライバおよびデータドライバが表示部と一体形成されない場合、接続部 8 0 2 が有する電極の数は、表示部 8 0 1 が有する走査線の本数と信号線の本数の和程度の数となる。ただし、信号線への入力を時分割で行なうことで、信号線の電極の数を時分割数分の 1 にすることができる。たとえば、カラー表示を行うことができる表示装置では、R、G、Bに対応する信号線への入力を時分割で行なうことで、信号線の電極の数を 3 分の 1 にすることができる。これは、本実施の形態における他の例でも同様である。

10

【 0 1 5 0 】

なお、表示部 8 0 1 と一体形成されない周辺駆動回路は、単結晶半導体で作製された IC を用いることができる。IC は、外部のプリント基板に実装されてもよいし、接続基板 8 0 3 上に実装 (T A B) されてもよいし、表示パネル 8 0 0 上に実装 (C O G) されていてもよい。これは、本実施の形態における他の例でも同様である。

【 0 1 5 1 】

なお、表示パネル 8 0 0 は、表示部 8 0 1 が有する走査線または信号線に静電気が発生することにより、素子が破壊される現象 (静電破壊 : E S D) を抑制するため、各走査線、各信号線または各電源線の間に、静電破壊保護回路を有していてもよい。これにより、表示パネル 8 0 0 の歩留まりを向上でき、その結果、製造コストを低減できる。これは、本実施の形態における他の例でも同様である。

20

【 0 1 5 2 】

図 1 1 (A) に示す表示パネル 8 0 0 は、表示パネル 8 0 0 が有する半導体素子が、アモルファスシリコン等、移動度が小さい半導体で形成されている場合に、特に有効である。なぜならば、表示部以外の周辺駆動回路を表示パネル 8 0 0 に一体形成しないことで、表示パネル 8 0 0 の歩留まりを向上でき、その結果、製造コストを低減できるからである。

【 0 1 5 3 】

< (2) 表示部およびスキャンドライバの一体形成 >

30

【 0 1 5 4 】

上述した組み合わせのうち、(2) 表示部およびスキャンドライバの一体形成、について、図 1 1 (B) を参照して説明する。図 1 1 (B) に示す表示パネル 8 0 0 は、表示部 8 0 1 と、接続部 8 0 2 と、スキャンドライバ 8 1 1 と、スキャンドライバ 8 1 2 と、スキャンドライバ 8 1 3 と、スキャンドライバ 8 1 4 と、を有する。接続部 8 0 2 は複数の電極を有し、接続部 8 0 2 に接続基板 8 0 3 を接続することで、駆動信号を表示パネル 8 0 0 の外から表示パネル 8 0 0 の中へ入力することができる。

【 0 1 5 5 】

図 1 1 (B) に示す表示パネル 8 0 0 の場合、スキャンドライバ 8 1 1、スキャンドライバ 8 1 2、スキャンドライバ 8 1 3、及びスキャンドライバ 8 1 4 が表示部 8 0 1 と一体形成されているため、スキャンドライバ側の接続部 8 0 2 および接続基板 8 0 3 は必要ない。そのため、外部基板の配置の自由度が上がるという利点を有する。さらに、基板接続点の数が少ないため、接続不良が発生しにくく、装置の信頼性を向上できる。

40

【 0 1 5 6 】

図 1 1 (B) に示す表示パネル 8 0 0 が有する半導体素子は、アモルファスシリコン等、移動度が小さい半導体で形成されていてもよいし、ポリシリコンまたは単結晶シリコン等、移動度が大きい半導体で形成されていてもよい。アモルファスシリコンで半導体素子が形成されている場合は、特に逆スタガ型のトランジスタの製造プロセスの工程数が少ないことにより、製造コストを低減することができる。ポリシリコンで半導体素子が形成され

50

ている場合は、移動度が高いことによりトランジスタを小さくすることができるため、開口率が向上し消費電力を低減することができる。さらに、トランジスタを小さくすることができることから、スキヤンドライバの回路面積を低減できるため、額縁面積を減少させることができる。単結晶シリコンで半導体素子が形成されている場合は、移動度が極めて高いことによりトランジスタを極めて小さくすることができるため、開口率の向上および額縁面積の減少をさらに大きくすることができる。

【0157】

< (3) 表示部、スキヤンドライバおよびデータドライバの一体形成 >

【0158】

上述した組み合わせのうち、(3) 表示部、スキヤンドライバおよびデータドライバの一体形成、について、図11(C)を参照して説明する。図11(C)に示す表示パネル800は、表示部801と、接続部802と、スキヤンドライバ811と、スキヤンドライバ812と、スキヤンドライバ813と、スキヤンドライバ814と、データドライバ821と、を有する。接続部802は複数の電極を有し、接続部802に接続基板803を接続することで、駆動信号を表示パネル800の外から表示パネル800の中へ入力することができる。

10

【0159】

図11(C)に示す表示パネル800の場合、スキヤンドライバ811、スキヤンドライバ812、スキヤンドライバ813、スキヤンドライバ814およびデータドライバ821が表示部801と一体形成されているため、スキヤンドライバ側の接続部802および接続基板803は必要ない上に、スキヤンドライバ側の接続基板803の数を減少させることができる。そのため、外部基板の配置の自由度がさらに上がるという利点を有する。さらに、基板接続点の数が少ないため、接続不良が発生しにくく、装置の信頼性を向上させる。

20

【0160】

図11(C)に示す表示パネル800が有する半導体素子は、アモルファスシリコン等、移動度が小さい半導体で形成されていてもよいし、ポリシリコンまたは単結晶シリコン等、移動度が大きい半導体で形成されていてもよい。アモルファスシリコンで半導体素子が形成されている場合は、特に逆スタガ型のトランジスタの製造プロセスの工程数が少ないことにより、製造コストを低減することができる。ポリシリコンで半導体素子が形成されている場合は、移動度が高いことによりトランジスタを小さくすることができるため、開口率が向上し消費電力を低減することができる。さらに、トランジスタを小さくすることができることから、スキヤンドライバおよびデータドライバの回路面積を低減できるため、額縁面積を減少させることができる。特に、データドライバはスキヤンドライバよりも駆動周波数が高いため、ポリシリコンで半導体素子が形成されることにより、確実に動作できるデータドライバを実現することができる。単結晶シリコンで半導体素子が形成されている場合は、移動度が極めて高いことによりトランジスタを極めて小さくすることができるため、開口率の向上および額縁面積の減少をさらに大きくすることができる。

30

【0161】

< (4) 表示部、スキヤンドライバ、データドライバおよびその他の周辺駆動回路の一体形成 >

40

【0162】

上述した組み合わせのうち、(4) 表示部、スキヤンドライバ、データドライバおよびその他の周辺駆動回路の一体形成、について、図11(D)を参照して説明する。図11(D)に示す表示パネル800は、表示部801と、接続部802と、スキヤンドライバ811と、スキヤンドライバ812と、スキヤンドライバ813と、スキヤンドライバ814と、データドライバ821と、その他の周辺駆動回路831、832、833および834を有する。ここで、一体形成されるその他の周辺駆動回路を4つとしたのは一例であり、一体形成されるその他の周辺駆動回路の数は様々であって、その種類も様々なものとする。たとえば、周辺駆動回路831はタイミングコントローラ、周辺駆動

50

回路 8 3 2 は画像データを処理するデータ処理部、周辺駆動回路 8 3 3 は電源電圧を生成する電源回路、周辺駆動回路 8 3 4 はデジタルアナログコンバータ (D A C) の基準電圧生成部であることもできる。接続部 8 0 2 は複数の電極を有し、接続部 8 0 2 に接続基板 8 0 3 を接続することで、駆動信号を表示パネル 8 0 0 の外から表示パネル 8 0 0 の中へ入力することができる。

【 0 1 6 3 】

図 1 1 (D) に示す表示パネル 8 0 0 の場合、スキヤンドライバ 8 1 1、スキヤンドライバ 8 1 2、スキヤンドライバ 8 1 3、スキヤンドライバ 8 1 4、データドライバ 8 2 1、その他の周辺駆動回路 8 3 1、8 3 2、8 3 3 および 8 3 4 が表示部 8 0 1 と一体形成されているため、スキヤンドライバ側の接続部 8 0 2 および接続基板 8 0 3 は必要ない上に、スキヤンドライバ側の接続基板 8 0 3 の数を減少させることができる。そのため、外部基板の配置の自由度がさらに上がるという利点を有する。さらに、基板接続点の数が少ないため、接続不良が発生しにくく、装置の信頼性を向上できる。

10

【 0 1 6 4 】

図 1 1 (D) に示す表示パネル 8 0 0 が有する半導体素子は、アモルファスシリコン等、移動度が小さい半導体で形成されていてもよいし、ポリシリコンまたは単結晶シリコン等、移動度が大きい半導体で形成されていてもよい。アモルファスシリコンで半導体素子が形成されている場合は、特に逆スタガ型のトランジスタの製造プロセスの工程数が少ないことにより、製造コストを低減することができる。ポリシリコンで半導体素子が形成されている場合は、移動度が高いことによりトランジスタを小さくすることができるため、開口率が向上し消費電力を低減することができる。さらに、トランジスタを小さくすることができることから、スキヤンドライバおよびデータドライバの回路面積を低減できるため、額縁面積を減少させることができる。特に、データドライバはスキヤンドライバよりも駆動周波数が高いため、ポリシリコンで半導体素子が形成されることにより、確実に動作できるデータドライバを実現することができる。さらに、その他の周辺駆動回路には高速な論理回路が必要であったり (データ処理部等)、アナログ回路が必要であったり (タイミングコントローラ、D A C の基準電圧生成部、電源回路等) するため、移動度の高い半導体素子で回路が構成されることの利点は大きい。特に、単結晶シリコンで半導体素子が形成されている場合は、移動度が極めて高いことによりトランジスタを極めて小さくすることができるため、開口率の向上および額縁面積の減少をさらに大きくすることができる上に、その他の周辺駆動回路を確実に動作させることができ、さらに、電源電圧を低くすること等により、消費電力を低減することができる。

20

30

【 0 1 6 5 】

< その他の組み合わせの一体形成 >

【 0 1 6 6 】

(5) 表示部およびデータドライバの一体形成、(6) 表示部およびその他の周辺駆動回路の一体形成、(7) 表示部、データドライバおよびその他の周辺駆動回路の一体形成、(8) 表示部、スキヤンドライバおよびその他の周辺駆動回路の一体形成、については、それぞれ図 1 1 (E)、(F)、(G)、(H) に示すようになる。一体形成の利点およびそれぞれの半導体素子の材料についての利点は、これまでに説明したものと同様である。

40

【 0 1 6 7 】

図 1 1 (E) に示すように、(5) 表示部およびデータドライバの一体形成、を行なった場合は、データドライバが配置された部分以外の額縁面積を低減できる。

【 0 1 6 8 】

図 1 1 (F) に示すように、(6) 表示部およびその他の周辺駆動回路の一体形成、を行なった場合は、その他の周辺駆動回路の配置の自由度が高いため、目的に合った部分を適宜選択して、額縁面積を低減できる。

【 0 1 6 9 】

図 1 1 (G) に示すように、(7) 表示部、データドライバおよびその他の周辺駆動回路

50

の一体形成、を行なった場合は、スキャンドライバが一体形成されるときにスキャンドライバが配置されていた部分の額縁面積を低減できる。

【0170】

図11(H)に示すように、(8)表示部、スキャンドライバおよびその他の周辺駆動回路の一体形成、を行なった場合は、データドライバが一体形成されるときにデータドライバが配置されていた部分の額縁面積を低減できる。

【0171】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容(一部でもよい)は、別の図で述べた内容(一部でもよい)、別の実施の形態の図で述べた内容(一部でもよい)に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることが出来る。

【0172】

(実施の形態3)

本実施の形態においては、トランジスタの構造及び作製方法について説明する。

【0173】

図12(A)乃至(G)は、トランジスタの構造及び作製方法の例を示す図である。図12(A)は、トランジスタの構造の例を示す図である。図12(B)乃至(G)は、トランジスタの作製方法の例を示す図である。

【0174】

なお、トランジスタの構造及び作製方法は、図12(A)乃至(G)に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【0175】

まず、図12(A)を参照し、トランジスタの構造の例について説明する。図12(A)は複数の異なる構造を有するトランジスタの断面図である。ここで、図12(A)においては、複数の異なる構造を有するトランジスタを並置して示しているが、これは、トランジスタの構造を説明するための表現であり、トランジスタが、実際に図12(A)のように並置されている必要はなく、必要に応じて作り分けることができる。

【0176】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

【0177】

従って例えば、層Aの上に(もしくは層A上に)、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層(例えば層Cや層Dなど)が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層(例えば層Cや層Dなど)は、単層でもよいし、複層でもよい。

【0178】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層(例えば層Cや層Dなど)が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層(例えば層Cや層Dなど)は、単層でもよいし、複層でもよい。

【0179】

なお、Aの上にBが形成されている、A上にBが形成されている、又はAの上方にBが形

10

20

30

40

50

成されている、と明示的に記載する場合、斜め上にBが形成される場合も含むこととする。

【0180】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【0181】

次に、トランジスタを構成する各層の特徴について説明する。

【0182】

基板7011は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板又はステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチック又はアクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である表示装置を作製することが可能となる。可撓性を有す基板であれば、基板の面積及び基板の形状に大きな制限はないため、基板7011として、例えば、1辺が1メートル以上であって、矩形のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

10

【0183】

絶縁膜7012は、下地膜として機能する。基板7011からNaなどのアルカリ金属又はアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜7012としては、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)等の酸素又は窒素を有する絶縁膜の単層構造若しくはこれらの積層構造で設けることができる。例えば、絶縁膜7012を2層構造で設ける場合、1層目の絶縁膜として窒化酸化珪素膜を設け、2層目の絶縁膜として酸化窒化珪素膜を設けるとよい。別の例として、絶縁膜7012を3層構造で設ける場合、1層目の絶縁膜として酸化窒化珪素膜を設け、2層目の絶縁膜として窒化酸化珪素膜を設け、3層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

20

【0184】

半導体層7013、半導体層7014、半導体層7015は、非晶質(アモルファス)半導体、微結晶(マイクロクリスタル)半導体、酸化物半導体、又はセミアモルファス半導体(SAS)で形成することができる。あるいは、多結晶半導体層を用いても良い。SASは、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、0.5~20nmの結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが520cm⁻¹よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる(111)、(220)の回折ピークが観測される。未結合手(ダングリングボンド)を補償するものとして水素又はハロゲンを少なくとも1原子%又はそれ以上含ませている。SASは、材料ガスをグロー放電分解(プラズマCVD)して形成する。材料ガスとしては、SiH₄、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることが可能である。あるいは、GeF₄を混合させても良い。この材料ガスをH₂、あるいは、H₂とHe、Ar、Kr、Neから選ばれた一種又は複数種の希ガス元素で希釈してもよい。希釈率は2~1000倍の範囲。圧力は概略0.1Pa~133Paの範囲、電源周波数は1MHz~120MHz、好ましくは13MHz~60MHz。基板加熱温度は300以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は1×10²⁰/cm³以下とすることが望ましく、特に、酸素濃度は5×10¹⁹/cm³以下、好ましくは1×10¹⁹/cm³以下とする。ここでは、スパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えばSi_xGe_{1-x}等)で非晶質半導体層を形成し、当該非晶質半導体層をレーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長

30

40

50

する金属元素を用いる熱結晶化法などの結晶化法により結晶化させる。

【0185】

なお、酸化物半導体は、 $InMO_3 (ZnO)_m (m > 0)$ で表記される。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においてはこの酸化物半導体を用いて形成される薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

10

【0186】

In-Ga-Zn-O系非単結晶膜の結晶構造は、スパッタ法で成膜した後、200 ~ 500、代表的には300 ~ 400 で10分 ~ 100分熱処理を行っても、アモルファス構造がXRD(X線回析)の分析では観察することができる。また、TFTの電気特性もゲート電圧 $\pm 20V$ において、オンオフ比が 10^9 以上、移動度が10以上のものを作製することができる。このような電気特性を有する酸化物半導体膜を用いて作製した薄膜トランジスタは、アモルファスシリコンを用いて作製した薄膜トランジスタに比べ高い移動度を有し、当該薄膜トランジスタで構成される回路を高速駆動させることができる。

【0187】

なお、酸化物半導体は、スパッタ法でゲート絶縁膜上に酸化物半導体層を形成した後、当該酸化物半導体層上にフォトリソグラフィ工程またはインクジェット法によりレジストマスクを形成し、当該レジストマスクを用いて酸化物半導体層をエッチングすることで、形成することができる。スパッタ法に用いる酸化物半導体層を形成するためのターゲットは、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ としたターゲット($In : Ga : Zn = 1 : 1 : 0.5$)を用いる。酸化物半導体は、後の工程で行われるフォトレジストの露光に用いられる光に対して透光性が良好であり、非晶質シリコンに比べフォトレジストの感光を効果的に行うことができる。

20

【0188】

絶縁膜7016は、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素又は窒素を有する絶縁膜の単層構造、若しくはこれらの積層構造で設けることができる。

30

【0189】

ゲート電極7017は、単層の導電膜、又は二層、三層の導電膜の積層構造とすることができる。ゲート電極7017の材料としては、導電膜を用いることができる。たとえば、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)などの元素の単体膜、あるいは、前記元素の窒化膜(代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、あるいは、前記元素を組み合わせ合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)、あるいは、前記元素のシリサイド膜(代表的にはタングステンシリサイド膜、チタンシリサイド膜)などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

40

【0190】

絶縁膜7018は、スパッタ法又はプラズマCVD法等によって、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素又は窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜の単層構造、若しくはこれらの積層構造で設けることができる。

【0191】

絶縁膜7019は、シロキサン樹脂、あるいは、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) (x

50

> y)等の酸素又は窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、あるいは、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、からなる単層若しくは積層構造で設けることができる。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、有機基(例えばアルキル基、芳香族炭化水素)やフルオロ基を用いてもよい。有機基として、フルオロ基を有していてもよい。なお、絶縁膜7018を設けずにゲート電極7017を覆うように直接絶縁膜7019を設けることも可能である。

【0192】

導電膜7023は、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnなどの元素の単体膜、あるいは、前記元素の窒化膜、あるいは、前記元素を組み合わせた合金膜、あるいは、前記元素のシリサイド膜などを用いることができる。例えば、前記元素を複数含む合金として、C及びTiを含有したAl合金、Niを含有したAl合金、C及びNiを含有したAl合金、C及びMnを含有したAl合金等を用いることができる。例えば、積層構造で設ける場合、AlをMo又はTiなどで挟み込んだ構造とすることができる。こうすることで、Alの熱や化学反応に対する耐性を向上することができる。

【0193】

次に、図12(A)に示した、複数の異なる構造を有するトランジスタの断面図を参照して、各々の構造の特徴について説明する。

【0194】

トランジスタ7001は、シングルドレイントランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。なお、テーパ角は、45°以上95°未満、より好ましくは60°以上95°未満である。または、テーパ角を45°未満とすることも可能である。ここで、半導体層7013、半導体層7015は、それぞれ不純物の濃度が異なり、半導体層7013はチャンネル領域、半導体層7015はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。半導体層と導電膜7023との電氣的な接続状態を、オーミック接続に近づけることができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極7017をマスクとして半導体層に不純物をドーピングする方法を用いることができる。

【0195】

トランジスタ7002は、ゲート電極7017に一定以上のテーパ角を有するトランジスタであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体層7013、半導体層7014、半導体層7015は、それぞれ不純物濃度が異なり、半導体層7013はチャンネル領域、半導体層7014は低濃度ドレイン(Lightly Doped Drain: LDD)領域、半導体層7015はソース領域及びドレイン領域として用いる。このように、不純物の量を制御することで、半導体層の抵抗率を制御できる。半導体層と導電膜7023との電氣的な接続状態を、オーミック接続に近づけることができる。LDD領域を有するため、トランジスタ内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体層を作り分ける方法としては、ゲート電極7017をマスクとして半導体層に不純物をドーピングする方法を用いることができる。トランジスタ7002においては、ゲート電極7017が一定以上のテーパ角を有しているため、ゲート電極7017を通過して半導体層にドーピングされる不純物の濃度に勾配を持たせることができ、簡便にLDD領域を形成することができる。なお、テーパ角は、45°以上95°未満、より好ましくは60°以上95°未満である。または、テーパ角を45°未満とすることも可能である。

【0196】

トランジスタ7003は、ゲート電極7017が少なくとも2層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するトランジスタである。本明細書中にお

10

20

30

40

50

いては、上層のゲート電極及び下層のゲート電極の形状を、帽子型と呼ぶ。ゲート電極 7017 の形状が帽子型であることによって、フォトマスクを追加することなく、LDD領域を形成することができる。なお、トランジスタ 7003 のように、LDD領域がゲート電極 7017 と重なっている構造を、特に GOLD 構造 (Gate Overlapped LDD) と呼ぶ。なお、ゲート電極 7017 の形状を帽子型とする方法としては、次のような方法を用いてもよい。

【0197】

まず、ゲート電極 7017 をパターンニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜 (テーパ) のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状が帽子型のゲート電極が形成される。その後、2回、不純物元素をドーピングすることによって、チャンネル領域として用いる半導体層 7013、LDD領域として用いる半導体層 7014、ソース電極及びドレイン電極として用いる半導体層 7015 が形成される。

10

【0198】

なお、ゲート電極 7017 と重なっている LDD 領域を Lov 領域、ゲート電極 7017 と重なっていない LDD 領域を Loff 領域と呼ぶことにする。ここで、Loff 領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Lov 領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のトランジスタを作製することが好ましい。たとえば、表示装置として用いる場合、画素トランジスタは、オフ電流値を抑えるために、Loff 領域を有するトランジスタを用いることが好適である。一方、周辺回路におけるトランジスタは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、Lov 領域を有するトランジスタを用いることが好適である。

20

【0199】

トランジスタ 7004 は、ゲート電極 7017 の側面に接して、サイドウォール 7021 を有するトランジスタである。サイドウォール 7021 を有することによって、サイドウォール 7021 と重なる領域を LDD 領域とすることができる。

【0200】

トランジスタ 7005 は、半導体層にマスク 7022 を用いてドーピングすることにより、LDD (Loff) 領域を形成したトランジスタである。こうすることにより、確実に LDD 領域を形成することができ、トランジスタのオフ電流値を低減することができる。

30

【0201】

トランジスタ 7006 は、半導体層にマスクを用いてドーピングすることにより、LDD (Lov) 領域を形成したトランジスタである。こうすることにより、確実に LDD 領域を形成することができ、トランジスタのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。

【0202】

次に、トランジスタの作製方法の例を、図 12 (B) 乃至 (G) に示す。

40

【0203】

なお、トランジスタの構造及び作製方法は、図 12 (A) 乃至 (G) に示すものに限定されず、様々な構造及び作製方法を用いることができる。

【0204】

本実施の形態においては、基板 7011 の表面に、絶縁膜 7012 の表面に、半導体層 7013 の表面に、半導体層 7014 の表面に、半導体層 7015 の表面に、絶縁膜 7016 の表面に、絶縁膜 7018 の表面に、又は絶縁膜 7019 の表面に、プラズマ処理を用いて酸化又は窒化を行うことにより、半導体層又は絶縁膜を酸化又は窒化することができる。このように、プラズマ処理を用いて半導体層又は絶縁膜を酸化又は窒化することによって、当該半導体層又は当該絶縁膜の表面を改質し、CVD 法やスパッタ法により形成し

50

た絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し表示装置の特性等を向上させることが可能となる。なお、プラズマ処理を行うことで形成された絶縁膜7024を、プラズマ処理絶縁膜と呼ぶ。

【0205】

なお、サイドウォール7021は、酸化珪素(SiO_x)又は窒化珪素(SiN_x)を用いることができる。サイドウォール7021をゲート電極7017の側面に形成する方法としては、たとえば、ゲート電極7017を形成した後に、酸化珪素(SiO_x)又は窒化珪素(SiN_x)を成膜した後に、異方性エッチングによって酸化珪素(SiO_x)又は窒化珪素(SiN_x)膜をエッチングする方法を用いることができる。こうすることで、ゲート電極7017の側面にのみ酸化珪素(SiO_x)又は窒化珪素(SiN_x)膜を残すことができるので、ゲート電極7017の側面にサイドウォール7021を形成することができる。

10

【0206】

図13(D)は、ボトムゲート型のトランジスタの断面構造及び容量素子の断面構造を示す図である。

【0207】

基板7091上に第1の絶縁膜(絶縁膜7092)が全面に形成されている。ただし、これに限定されない。第1の絶縁膜(絶縁膜7092)が形成しないことも可能である。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xNy)などの単層、又はこれらの積層を用いることができる。

20

【0208】

第1の絶縁膜上に、第1の導電層(導電層7093及び導電層7094)が形成されている。導電層7093は、トランジスタ7108のゲート電極として機能する部分を含む。導電層7094は、容量素子7109の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素(合金も含む)の積層を用いることができる。

30

【0209】

少なくとも第1の導電層を覆うように、第2の絶縁膜(絶縁膜7104)が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xNy)などの単層、又はこれらの積層を用いることができる。

【0210】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0211】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

40

【0212】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、半導体層が形成されている。そして、半導体層の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層は、チャンネル形成領域(チャンネル形成領域7100)、LDD領域(LDD領域7098、LDD領域7099)、不純物領域(不純物領域7095、不純物領域7096、不純物領域7097)を有している。チャンネル形成領域

50

7100は、トランジスタ7108のチャンネル形成領域として機能する。LDD領域7098及びLDD領域7099は、トランジスタ7108のLDD領域として機能する。なお、LDD領域7098及びLDD領域7099は必ずしも必要ではない。不純物領域7095は、トランジスタ7108のソース電極及びドレイン電極の一方として機能する部分を含む。不純物領域7096は、トランジスタ7108のソース電極及びドレイン電極の他方として機能する部分を含む。不純物領域7097は、容量素子7109の第2の電極として機能する部分を含む。

【0213】

全面に、第3の絶縁膜（絶縁膜7101）が形成されている。第3の絶縁膜の一部には、選択的にコンタクトホールが形成されている。絶縁膜7101は、層間膜としての機能を有する。第3の絶縁膜としては、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）あるいは、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）などを用いることができる。あるいは、シロキサンを含む材料を用いることもできる。なお、シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される材料である。置換基として、有機基（例えばアルキル基、芳香族炭化水素）やフルオロ基を用いてもよい。あるいは、有機基としてフルオロ基を有していてもよい。

10

【0214】

第3の絶縁膜上に、第2の導電層（導電層7102及び導電層7103）が形成されている。導電層7102は、第3の絶縁膜に形成されたコンタクトホールを介してトランジスタ7108のソース電極及びドレイン電極の他方と接続されている。したがって、導電層7102は、トランジスタ7108のソース電極及びドレイン電極の他方として機能する部分を含む。導電層7103が導電層7094と接続されている場合は、導電層7103は容量素子7109の第1の電極として機能する部分を含む。あるいは、導電層7103が不純物領域7097と接続されている場合は、導電層7103は容量素子7109の第2の電極として機能する部分を含む。あるいは、導電層7103が導電層7094及び不純物領域7097と接続されていない場合は、容量素子7109とは別の容量素子が形成される。この容量素子は、導電層7103、不純物領域7097及び絶縁膜7101がそれぞれ容量素子の第1の電極、第2の電極、絶縁膜として用いられる構成である。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

20

30

【0215】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0216】

次に、トランジスタの半導体層にアモルファスシリコン（a-Si:H）膜またはマイクロクリスタルシリコン膜などを用いた場合のトランジスタ及び容量素子の構造について説明する。

【0217】

図13（A）は、トップゲート型のトランジスタの断面構造及び容量素子の断面構造を示す図である。

40

【0218】

基板7031上に第1の絶縁膜（絶縁膜7032）が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（SiO_xN_y）などの単層、又はこれらの積層を用いることができる。

【0219】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図るこ

50

とができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【0220】

第1の絶縁膜上に、第1の導電層（導電層7033、導電層7034及び導電層7035）が形成されている。導電層7033は、トランジスタ7048のソース電極及びドレイン電極の一方の電極として機能する部分を含む。導電層7034は、トランジスタ7048のソース電極及びドレイン電極の他方の電極として機能する部分を含む。導電層7035は、容量素子7049の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

10

【0221】

導電層7033及び導電層7034の上部に、第1の半導体層（半導体層7036及び半導体層7037）が形成されている。半導体層7036は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層7037は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第1の半導体層としては、リン等を含んだシリコン等を用いることができる。

【0222】

導電層7033と導電層7034との間であって、かつ第1の絶縁膜上に、第2の半導体層（半導体層7038）が形成されている。そして、半導体層7038の一部は、導電層7033上及び導電層7034上まで延長されている。半導体層7038は、トランジスタ7048のチャネル領域として機能する部分を含む。なお、第2の半導体層としては、アモルファスシリコン（a-Si:H）等の非結晶性を有する半導体層、又は微結晶シリコン（ μ -Si:H）等の半導体層などを用いることができる。

20

【0223】

少なくとも半導体層7038及び導電層7035を覆うように、第2の絶縁膜（絶縁膜7039及び絶縁膜7040）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（SiO_xN_y）などの単層、又はこれらの積層を用いることができる。

【0224】

なお、第2の半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、第2の半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

30

【0225】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0226】

第2の絶縁膜上に、第2の導電層（導電層7041及び導電層7042）が形成されている。導電層7041は、トランジスタ7048のゲート電極として機能する部分を含む。導電層7042は、容量素子7049の第2の電極、又は配線としての機能を有する。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

40

【0227】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0228】

図13(B)は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す図である。特に、図13(B)に示すトランジスタは、チャネルエッチ

50

型と呼ばれる構造である。

【0229】

基板7051上に第1の絶縁膜(絶縁膜7052)が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xN_y)などの単層、又はこれらの積層を用いることができる。

【0230】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

10

【0231】

第1の絶縁膜上に、第1の導電層(導電層7053及び導電層7054)が形成されている。導電層7053は、トランジスタ7068のゲート電極として機能する部分を含む。導電層7054は、容量素子7069の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素(合金も含む)の積層を用いることができる。

【0232】

少なくとも第1の導電層を覆うように、第2の絶縁膜(絶縁膜7055)が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜(SiO_xN_y)などの単層、又はこれらの積層を用いることができる。

20

【0233】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少なくなるからである。

【0234】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

30

【0235】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層(半導体層7056)が形成されている。そして、半導体層7056の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層7056は、トランジスタ7068のチャネル領域として機能する部分を含む。なお、半導体層7056としては、アモルファスシリコン(a-Si:H)等の非結晶性を有する半導体層、又は微結晶シリコン(μ -Si:H)等の半導体層などを用いることができる。

40

【0236】

第1の半導体層上の一部に、第2の半導体層(半導体層7057及び半導体層7058)が形成されている。半導体層7057は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層7058は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第2の半導体層としては、リン等を含んだシリコン等を用いることができる。

【0237】

第2の半導体層上及び第2の絶縁膜上に、第2の導電層(導電層7059、導電層7060及び導電層7061)が形成されている。導電層7059は、トランジスタ7068のソース電極とドレイン電極の一方として機能する部分を含む。導電層7060は、トラン

50

ジスタ7068のソース電極とドレイン電極の他方として機能する部分を含む。導電層7061は、容量素子7069の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

【0238】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0239】

ここで、チャンネルエッチ型のトランジスタが特徴とする工程の一例を説明する。同じマスクを用いて、第1の半導体層及び第2の半導体層を形成することができる。具体的には、第1の半導体層と第2の半導体層とは連続して成膜される。そして、第1の半導体層及び第2の半導体層は、同じマスクを用いて形成される。

10

【0240】

チャンネルエッチ型のトランジスタが特徴とする工程の別の一例を説明する。新たなマスクを用いることなく、トランジスタのチャンネル領域を形成することができる。具体的には、第2の導電層が形成された後で、第2の導電層をマスクとして用いて第2の半導体層の一部を除去する。あるいは、第2の導電層と同じマスクを用いて第2の半導体層の一部を除去する。そして、除去された第2の半導体層の下部に形成されている第1の半導体層がトランジスタのチャンネル領域となる。

20

【0241】

図13(C)は、逆スタガ型（ボトムゲート型）のトランジスタの断面構造及び容量素子の断面構造を示す図である。特に、図13(C)に示すトランジスタは、チャンネル保護型（チャンネルストップ型）と呼ばれる構造である。

【0242】

基板7071上に第1の絶縁膜（絶縁膜7072）が全面に形成されている。第1の絶縁膜は、基板側からの不純物が半導体層に影響を及ぼし、トランジスタの性質が変化してしまうことを防ぐ機能を有する。つまり、第1の絶縁膜は下地膜としての機能を有する。したがって、信頼性の高いトランジスタを作製することができる。なお、第1の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

30

【0243】

なお、第1の絶縁膜を必ずしも形成する必要はない。この場合は、工程数の削減を図ることができる。製造コストの削減を図ることができる。構造を簡単にできるので、歩留まりの向上を図ることができる。

【0244】

第1の絶縁膜上に、第1の導電層（導電層7073及び導電層7074）が形成されている。導電層7073は、トランジスタ7088のゲート電極として機能する部分を含む。導電層7074は、容量素子7089の第1の電極として機能する部分を含む。なお、第1の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

40

【0245】

少なくとも第1の導電層を覆うように、第2の絶縁膜（絶縁膜7075）が形成されている。第2の絶縁膜は、ゲート絶縁膜としての機能を有する。なお、第2の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xN_y ）などの単層、又はこれらの積層を用いることができる。

【0246】

なお、半導体層に接する部分の第2の絶縁膜としては、酸化シリコン膜を用いることが望ましい。なぜなら、半導体層と第2の絶縁膜とが接する界面におけるトラップ準位が少な

50

くなるからである。

【0247】

なお、第2の絶縁膜がMoと接する場合、Moと接する部分の第2の絶縁膜としては酸化シリコン膜を用いることが望ましい。なぜなら、酸化シリコン膜はMoを酸化させないからである。

【0248】

第2の絶縁膜上のうち第1の導電層と重なって形成されている部分の一部に、フォトリソグラフィ法、インクジェット法又は印刷法などによって、第1の半導体層（半導体層7076）が形成されている。そして、半導体層7078の一部は、第2の絶縁膜上のうち第1の導電層と重なって形成されていない部分まで延長されている。半導体層7076は、トランジスタ7088のチャンネル領域として機能する部分を含む。なお、半導体層7076としては、アモルファスシリコン（a-Si:H）等の非結晶性を有する半導体層、又は微結晶シリコン（ μ -Si:H）等の半導体層などを用いることができる。

10

【0249】

第1の半導体層上の一部に、第3の絶縁膜（絶縁膜7082）が形成されている。絶縁膜7082は、トランジスタ7088のチャンネル領域がエッチングによって除去されることを防止する機能を有する。つまり、絶縁膜7082は、チャンネル保護膜（チャンネルストップ膜）として機能する。なお、第3の絶縁膜としては、酸化シリコン膜、窒化シリコン膜又は酸化窒化シリコン膜（ SiO_xNy ）などの単層、又はこれらの積層を用いることができる。

20

【0250】

第1の半導体層上の一部及び第3の絶縁膜上の一部に、第2の半導体層（半導体層7077及び半導体層7078）が形成されている。半導体層7077は、ソース電極とドレイン電極の一方の電極として機能する部分を含む。半導体層7078は、ソース電極とドレイン電極の他方の電極として機能する部分を含む。なお、第2の導電層としては、リン等を含んだシリコン等を用いることができる。

【0251】

第2の半導体層上に、第2の導電層（導電層7079、導電層7080及び導電層7081）が形成されている。導電層7079は、トランジスタ7088のソース電極とドレイン電極の一方として機能する部分を含む。導電層7080は、トランジスタ7088のソース電極とドレイン電極の他方として機能する部分を含む。導電層7081は、容量素子7089の第2の電極として機能する部分を含む。なお、第2の導電層としては、Ti、Mo、Ta、Cr、W、Al、Nd、Cu、Ag、Au、Pt、Nb、Si、Zn、Fe、Ba、Geなど、又はこれらの合金を用いることができる。あるいは、これらの元素（合金も含む）の積層を用いることができる。

30

【0252】

なお、第2の導電層が形成された後の工程として、様々な絶縁膜、又は様々な導電膜が形成されていてもよい。

【0253】

次に、トランジスタを製造するための基板として、半導体基板を用いた例について説明する。半導体基板を用いて製造されたトランジスタは、移動度が高いため、トランジスタサイズを小さくすることができる。その結果、単位面積当たりのトランジスタ数を増やす（集積度を上げる）ことができ、同一の回路構成では集積度が大きいほど基板サイズを小さくすることができるため、製造コストを低減できる。さらに、同一の基板サイズでは集積度が大きいほど回路規模を大きくすることができるため、製造コストはほぼ同等のまま、より高い機能を持たせることが可能となる。その上、特性のばらつきが少ないため、製造の歩留まりも高くすることができる。さらに、動作電圧が小さいので、消費電力を低減することができる。さらに、移動度が高いため、高速動作が可能である。

40

【0254】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、ICチップ等

50

の形態をとって装置に実装されることで、当該装置に様々な機能を持たせることができる。たとえば、表示装置の周辺駆動回路（データドライバ（ソースドライバ）、スキャンドライバ（ゲートドライバ）、タイミングコントローラ、画像処理回路、インターフェイス回路、電源回路、発振回路等）を、半導体基板を用いて製造されたトランジスタを集積して構成することで、サイズが小さく、消費電力が小さく、高速動作が可能な周辺駆動回路を、低コストで歩留まり高く製造することができる。なお、半導体基板を用いて製造されたトランジスタを集積して構成された回路は、単一の極性のトランジスタを有する構成であってもよい。こうすることで、製造プロセスを簡略化できるため、製造コストを低減できる。

【0255】

半導体基板を用いて製造されたトランジスタを集積して構成された回路は、その他には、たとえば、表示パネルに用いることができる。より詳細には、LCOS（Liquid Crystal On Silicon）等の反射型液晶パネル、微小ミラーを集積したDMD（Digital Micromirror Device）素子、ELパネル等に用いることができる。これらの表示パネルを、半導体基板を用いて製造することで、サイズが小さく、消費電力が小さく、高速動作が可能な表示パネルを、低コストで歩留まり高く製造することができる。なお、表示パネルには、大規模集積回路（LSI）など、表示パネルの駆動以外の機能を持った素子上に形成されたものも含む。

【0256】

以下に、半導体基板を用いてトランジスタを製造する方法について述べる。一例として、図14（A）乃至図14（G）に示すような工程を用いて、トランジスタを製造すればよい。

【0257】

図14（A）では、半導体基板7110において素子を分離した領域7112、領域7113、絶縁膜7111（フィールド酸化膜ともいう）、pウェル7114、を示している。

【0258】

半導体基板7110は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

【0259】

図14（B）では、絶縁膜7121、絶縁膜7122、を示している。絶縁膜7121、絶縁膜7122は、例えば、熱処理を行い半導体基板7110に設けられた領域7112、領域7113の表面を酸化させることにより酸化珪素膜で絶縁膜7121、絶縁膜7122を形成することができる。

【0260】

図14（C）では、導電膜7123、導電膜7124を示している。

【0261】

導電膜7123、導電膜7124としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。あるいは、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素、金属材料を導入したシリサイド等に代表される半導体材料により形成することもできる。

【0262】

図14（D）乃至図14（G）では、ゲート電極7130、ゲート電極7131、レジストマスク7132、不純物領域7134、チャンネル形成領域7133、レジストマスク7

10

20

30

40

50

135、不純物領域7137、チャネル形成領域7136、第2の絶縁膜7138、配線7139を示している。

【0263】

第2の絶縁膜7138は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) (x > y)、窒化酸化珪素(SiN_xO_y) (x > y)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、有機基(例えばアルキル基、芳香族炭化水素)やフルオロ基を用いてもよい。有機基として、フルオロ基を有していてもよい。

10

【0264】

配線7139は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線7139は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線7139を形成する材料として最適である。例えば、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。例えば、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元する。その結果、配線7139は、結晶質半導体膜と、電気的および物理的に良好に接続することができる。

20

30

【0265】

なお、トランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィンFET構造等の構造のトランジスタの構造を取り得る。フィンFET構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

【0266】

ここまで、トランジスタの構造及びトランジスタの作製方法について説明した。ここで、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、アルミニウム(Al)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジウム(Nd)、クロム(Cr)、ニッケル(Ni)、白金(Pt)、金(Au)、銀(Ag)、銅(Cu)、マグネシウム(Mg)、スカンジウム(Sc)、コバルト(Co)、亜鉛(Zn)、ニオブ(Nb)、シリコン(Si)、リン(P)、ボロン(B)、ヒ素(As)、ガリウム(Ga)、インジウム(In)、錫(Sn)、酸素(O)で構成された群から選ばれた一つもしくは複数の元素、または、前記群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料(例えば、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化錫(SnO)、酸化錫カドミウム(CTO)、アルミネオジウム(Al-Nd)、マグネシウム銀(Mg-Ag)、モリブデンニオブ(Mo-Nb)など)で形成されることが望ましい。または、配線、電極、導電層、導電膜、端子などは、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、前記群から選ばれ

40

50

た一つもしくは複数の元素とシリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）、前記群から選ばれた一つもしくは複数の元素と窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成されることが望ましい。

【0267】

なお、シリコン（Si）には、n型不純物（リンなど）またはp型不純物（ボロンなど）を含んでいてもよい。シリコンが不純物を含むことにより、導電率の向上、又は通常の導体と同様な振る舞いをするのが可能となる。従って、配線、電極などとして利用しやすくなる。

【0268】

なお、シリコンは、単結晶、多結晶（ポリシリコン）、微結晶（マイクロクリスタルシリコン）など、様々な結晶性を有するシリコンを用いることが出来る。あるいは、シリコンは非晶質（アモルファスシリコン）などの結晶性を有さないシリコンを用いることが出来る。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、導電膜、端子などの抵抗を小さくすることが出来る。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することが出来る。

【0269】

なお、アルミニウムまたは銀は、導電率が高いため、信号遅延を低減することができる。さらに、エッチングしやすいので、パターンニングしやすく、微細加工を行うことが出来る。

【0270】

なお、銅は、導電率が高いため、信号遅延を低減することが出来る。銅を用いる場合は、密着性を向上させるため、積層構造にすることが望ましい。

【0271】

なお、モリブデンまたはチタンは、酸化物半導体（ITO、IZOなど）またはシリコンと接触しても、不良を起こさない、エッチングしやすい、耐熱性が高いなどの利点を有するため、望ましい。

【0272】

なお、タングステンは、耐熱性が高いなどの利点を有するため、望ましい。

【0273】

なお、ネオジムは、耐熱性が高いなどの利点を有するため、望ましい。特に、ネオジムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなる。

【0274】

なお、シリコンは、トランジスタが有する半導体層と同時に形成できる、耐熱性が高いなどの利点を有するため、望ましい。

【0275】

なお、ITO、IZO、ITSO、酸化亜鉛（ZnO）、シリコン（Si）、酸化錫（SnO）、酸化錫カドミウム（CTO）は、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【0276】

なお、IZOは、エッチングしやすく、加工しやすいため、望ましい。IZOは、エッチングしたときに、残渣が残ってしまう、ということも起こりにくい。したがって、画素電極としてIZOを用いると、液晶素子や発光素子に不具合（ショート、配向乱れなど）をもたらすことを低減出来る。

【0277】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどは、単層構造でもよいし、多層構造になっていてもよい。単層構造にすることにより、配線、電極、導電層、導電膜、端子などの製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。あるいは、多層構造にすることにより、それぞれの材料のメリットを生

10

20

30

40

50

かしつつ、デメリットを低減させ、性能の良い配線、電極などを形成することが出来る。たとえば、低抵抗材料（アルミニウムなど）を多層構造の中に含むことにより、配線の低抵抗化を図ることができる。別の例として、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデン、チタン、ネオジムなどを含む層で挟む積層構造にすると望ましい。

【0278】

ここで、配線、電極など同士が直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが他方の配線、電極など材料の中に入っている、性質を変えてしまい、本来の目的を果たせなくなる。別の例として、高抵抗な部分を形成又は製造するとき、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、積層構造により反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ITOとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、チタン、モリブデン、またはネオジム合金を挟むことが望ましい。別の例として、シリコンとアルミニウムとを接続させる場合は、シリコンとアルミニウムとの間に、チタン、モリブデン、またはネオジム合金を挟むことが望ましい。

10

【0279】

なお、配線とは、導電体が配置されているものを言う。配線の形状は、線状でもよいし、線状ではなく短くてもよい。したがって、電極は、配線に含まれている。

20

【0280】

なお、配線、電極、導電層、導電膜、端子、ビア、プラグなどとして、カーボンナノチューブを用いても良い。さらに、カーボンナノチューブは、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【0281】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることが出来る。

30

【0282】

（実施の形態4）

本実施の形態においては、上記実施の形態で説明した表示装置を具備する電子機器の例について説明する。

【0283】

図15(A)乃至図15(H)、図16(A)乃至図16(D)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005、接続端子5006、センサ5007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線測定する機能を含むもの）、マイクロフォン5008、等を有することができる。

40

【0284】

図15(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図15(B)は記録媒体を備えた携帯型の画像再生装置（たとえば、DVD再生装置）であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図15(C)はゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図15(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図15(E)はプロジェクタであり、上述したものの他に、光源5033、投射レンズ5034、等を有す

50

ることができる。図15(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図15(G)はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図15(H)は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。図16(A)はディスプレイであり、上述したものの他に、支持台5018、等を有することができる。図16(B)はカメラであり、上述したものの他に、外部接続ポート5019、シャッターボタン5015、受像部5016、等を有することができる。図16(C)はコンピュータであり、上述したものの他に、ポインティングデバイス5020、外部接続ポート5019、リーダ/ライタ5021、等を有することができる。図16(D)は携帯電話機であり、上述したものの他に、アンテナ5014、携帯電話・移動端末向けの1セグメント部分受信サービス用チューナ、等を有することができる。

10

【0285】

図15(A)乃至図15(H)、図16(A)乃至図16(D)に示す電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体(外部又はカメラに内蔵)に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図15(A)乃至図15(H)、図16(A)乃至図16(D)に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

20

【0286】

次に、表示装置を具備する電子機器の応用例を説明する。

30

【0287】

図16(E)に、表示装置を、建造物と一体にして設けた例について示す。図16(E)は、筐体5022、表示部5023、操作部であるリモコン装置5024、スピーカ5025等を含む。表示装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0288】

図16(F)に、建造物内に表示装置を、建造物と一体にして設けた別の例について示す。表示パネル5026は、ユニットバス5027と一体に取り付けられており、入浴者は表示パネル5026の視聴が可能になる。

【0289】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に表示装置を設置することができる。

40

【0290】

次に、表示装置を、移動体と一体にして設けた例について示す。

【0291】

図16(G)は、表示装置を、自動車に設けた例について示した図である。表示パネル5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【0292】

50

図16(H)は、表示装置を、旅客用飛行機と一体にして設けた例について示した図である。図16(H)は、旅客用飛行機の座席上部の天井5030に表示パネル5031を設けたときの、使用時の形状について示した図である。表示パネル5031は、天井5030とヒンジ部5032を介して一体に取り付けられており、ヒンジ部5032の伸縮により乗客は表示パネル5031の視聴が可能になる。表示パネル5031は乗客が操作することで情報を表示する機能を有する。

【0293】

なお、本実施の形態において、移動体としては自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

10

【0294】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容（一部でもよい）は、別の図で述べた内容（一部でもよい）、別の実施の形態の図で述べた内容（一部でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことができる。さらに、これまでに述べた図において、各々の部分に関して、別の部分、別の実施の形態の部分の組み合わせることが出来る。そのため、上記実施の形態において説明した表示装置が電子機器の表示部に用いられることによって、画質不良の低減を図ることができる。

【符号の説明】

【0295】

20

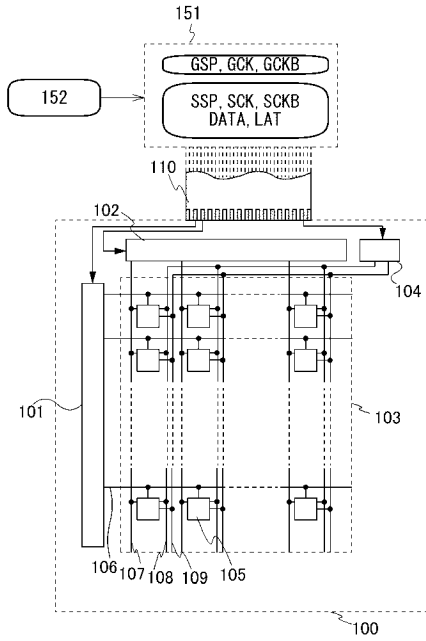
100	表示装置	
101	ゲート線側駆動回路	
102	信号線側駆動回路	
103	表示部	
104	電源回路	
105	画素	
106	配線	
107	配線	
108	配線	
109	配線	30
110	フレキシブルプリント基板	
201	スイッチ	
202	発光素子	
203	トランジスタ	
204	補正回路	
205	スイッチ	
206	スイッチ	
207	配線	
301	スイッチ	
302	スイッチ	40
303	スイッチ	
304	容量素子	
305	容量素子	
306	スイッチ	
307	配線	
308	スイッチ	
309	配線	
800	表示パネル	
801	表示部	
802	接続部	50

8 0 3	接続基板	
8 1 1	スキャンドライバ	
8 1 2	スキャンドライバ	
8 1 3	スキャンドライバ	
8 1 4	スキャンドライバ	
8 2 1	データドライバ	
8 3 1	周辺駆動回路	
8 3 2	周辺駆動回路	
8 3 3	周辺駆動回路	
8 3 4	周辺駆動回路	10
9 0 1	寄生抵抗	
9 0 2	寄生抵抗	
1 0 5 a	画素	
1 0 5 b	画素	
1 0 5 c	画素	
1 0 5 d	画素	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	20
5 0 0 4	LEDランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	30
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ/ライタ	
5 0 2 2	筐体	
5 0 2 3	表示部	40
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	50

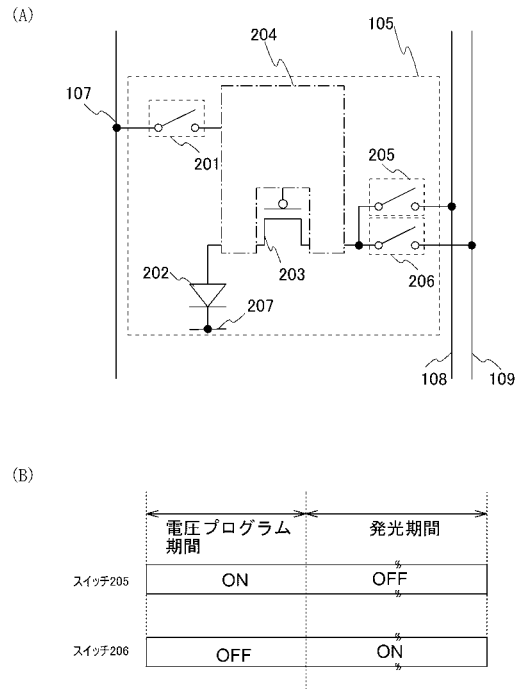
5 0 3 4	投射レンズ	
7 0 0 1	トランジスタ	
7 0 0 2	トランジスタ	
7 0 0 3	トランジスタ	
7 0 0 4	トランジスタ	
7 0 0 5	トランジスタ	
7 0 0 6	トランジスタ	
7 0 1 1	基板	
7 0 1 2	絶縁膜	
7 0 1 3	半導体層	10
7 0 1 4	半導体層	
7 0 1 5	半導体層	
7 0 1 6	絶縁膜	
7 0 1 7	ゲート電極	
7 0 1 8	絶縁膜	
7 0 1 9	絶縁膜	
7 0 2 1	サイドウォール	
7 0 2 2	マスク	
7 0 2 3	導電膜	
7 0 2 4	絶縁膜	20
7 0 3 1	基板	
7 0 3 2	絶縁膜	
7 0 3 3	導電層	
7 0 3 4	導電層	
7 0 3 5	導電層	
7 0 3 6	半導体層	
7 0 3 7	半導体層	
7 0 3 8	半導体層	
7 0 3 9	絶縁膜	
7 0 4 0	絶縁膜	30
7 0 4 1	導電層	
7 0 4 2	導電層	
7 0 4 8	トランジスタ	
7 0 4 9	容量素子	
7 0 5 1	基板	
7 0 5 2	絶縁膜	
7 0 5 3	導電層	
7 0 5 4	導電層	
7 0 5 5	絶縁膜	
7 0 5 6	半導体層	40
7 0 5 7	半導体層	
7 0 5 8	半導体層	
7 0 5 9	導電層	
7 0 6 0	導電層	
7 0 6 1	導電層	
7 0 6 8	トランジスタ	
7 0 6 9	容量素子	
7 0 7 1	基板	
7 0 7 2	絶縁膜	
7 0 7 3	導電層	50

7 0 7 4	導電層	
7 0 7 5	絶縁膜	
7 0 7 6	半導体層	
7 0 7 7	半導体層	
7 0 7 8	半導体層	
7 0 7 9	導電層	
7 0 8 0	導電層	
7 0 8 1	導電層	
7 0 8 2	絶縁膜	
7 0 8 8	トランジスタ	10
7 0 8 9	容量素子	
7 0 9 1	基板	
7 0 9 2	絶縁膜	
7 0 9 3	導電層	
7 0 9 4	導電層	
7 0 9 5	不純物領域	
7 0 9 6	不純物領域	
7 0 9 7	不純物領域	
7 0 9 8	L D D 領域	
7 0 9 9	L D D 領域	20
7 1 0 0	チャンネル形成領域	
7 1 0 1	絶縁膜	
7 1 0 2	導電層	
7 1 0 3	導電層	
7 1 0 4	絶縁膜	
7 1 0 8	トランジスタ	
7 1 0 9	容量素子	
7 1 1 0	半導体基板	
7 1 1 1	絶縁膜	
7 1 1 2	領域	30
7 1 1 3	領域	
7 1 1 4	p ウェル	
7 1 2 1	絶縁膜	
7 1 2 2	絶縁膜	
7 1 2 3	導電膜	
7 1 2 4	導電膜	
7 1 3 0	ゲート電極	
7 1 3 1	ゲート電極	
7 1 3 2	レジストマスク	
7 1 3 3	チャンネル形成領域	40
7 1 3 4	不純物領域	
7 1 3 5	レジストマスク	
7 1 3 6	チャンネル形成領域	
7 1 3 7	不純物領域	
7 1 3 8	絶縁膜	
7 1 3 9	配線	

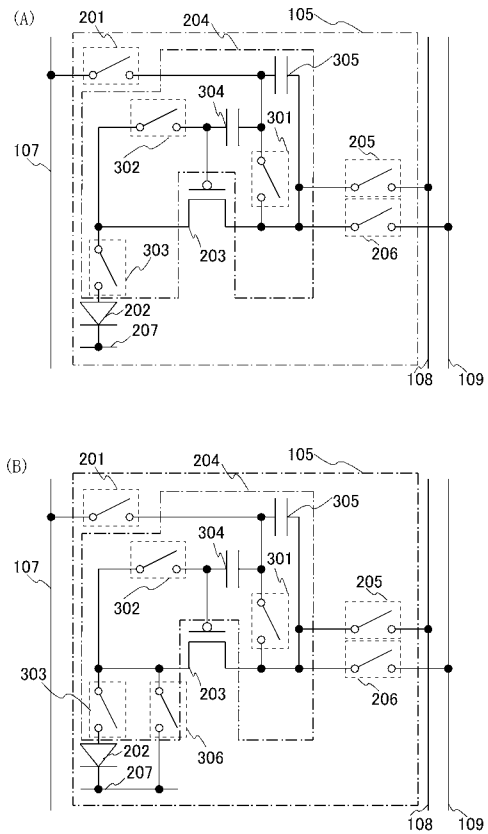
【図1】



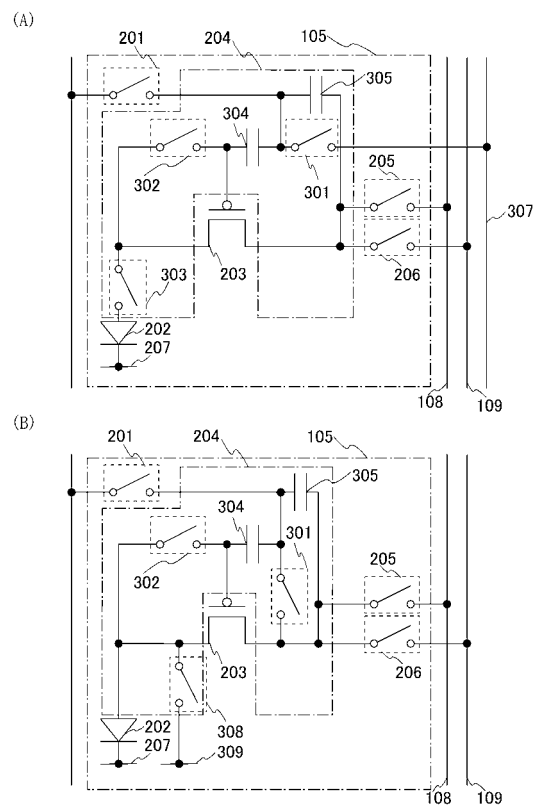
【図2】



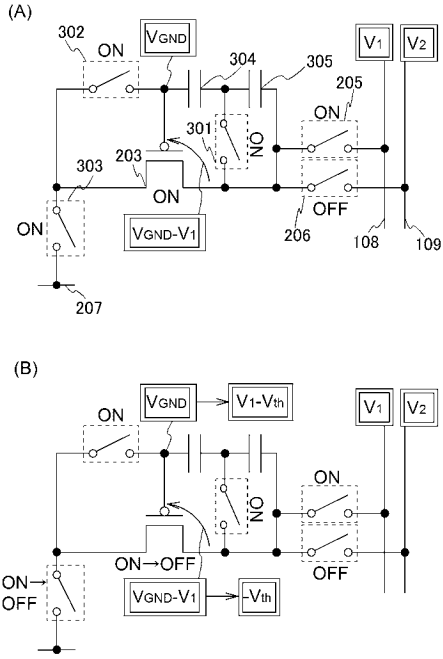
【図3】



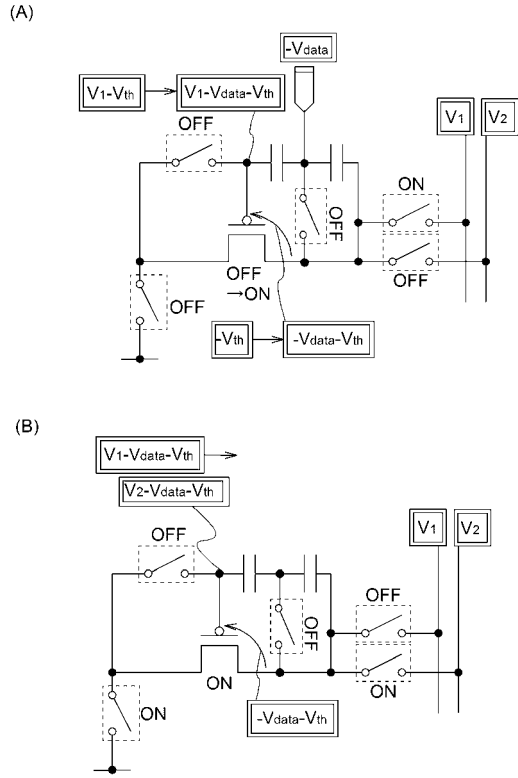
【図4】



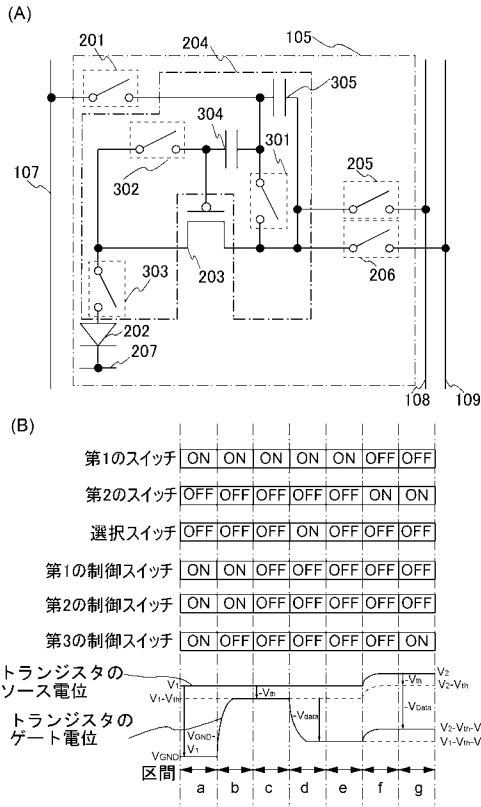
【 図 5 】



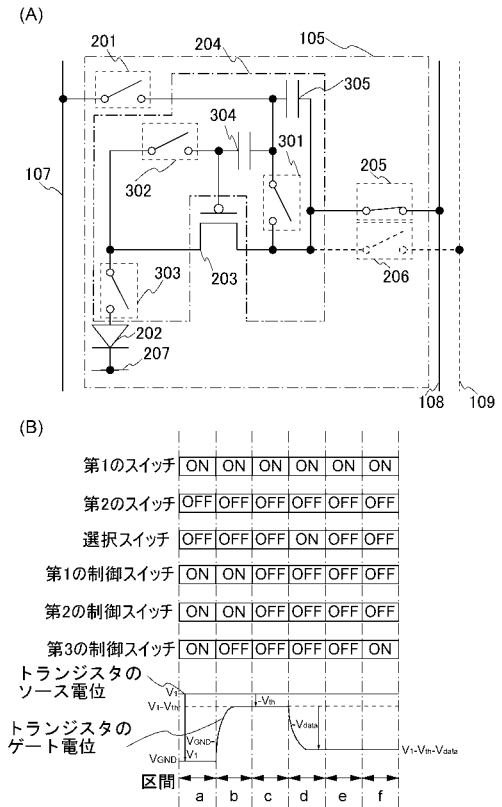
【 図 6 】



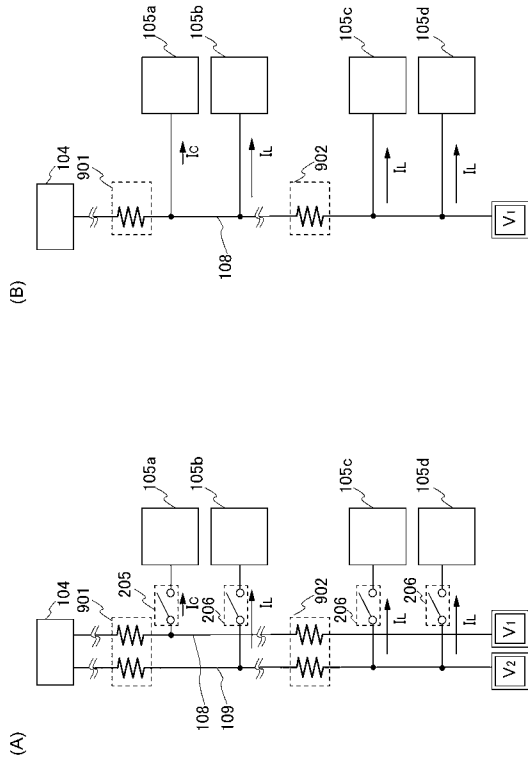
【 図 7 】



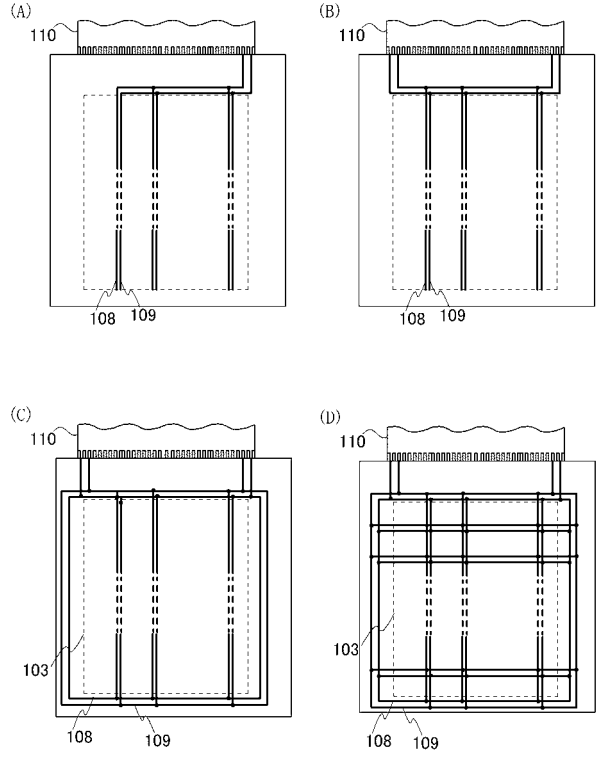
【 図 8 】



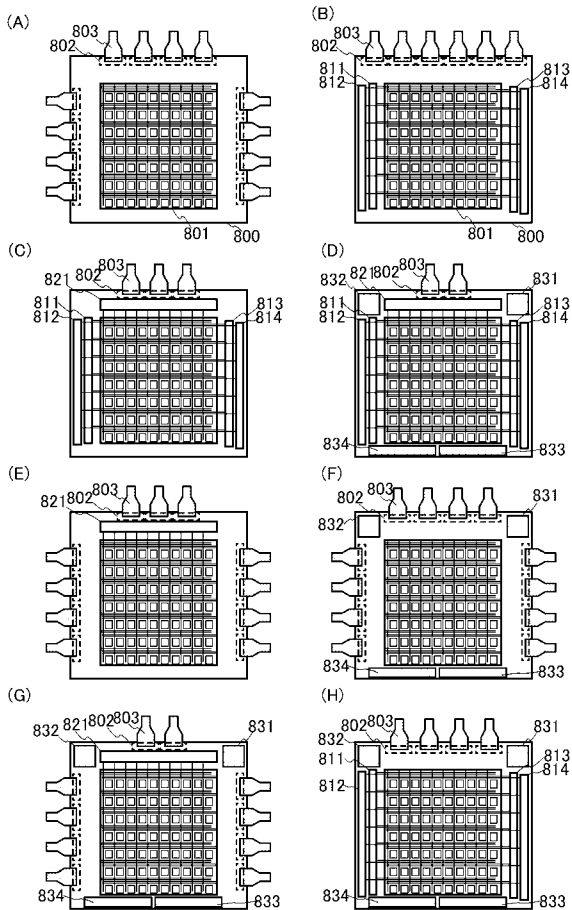
【 図 9 】



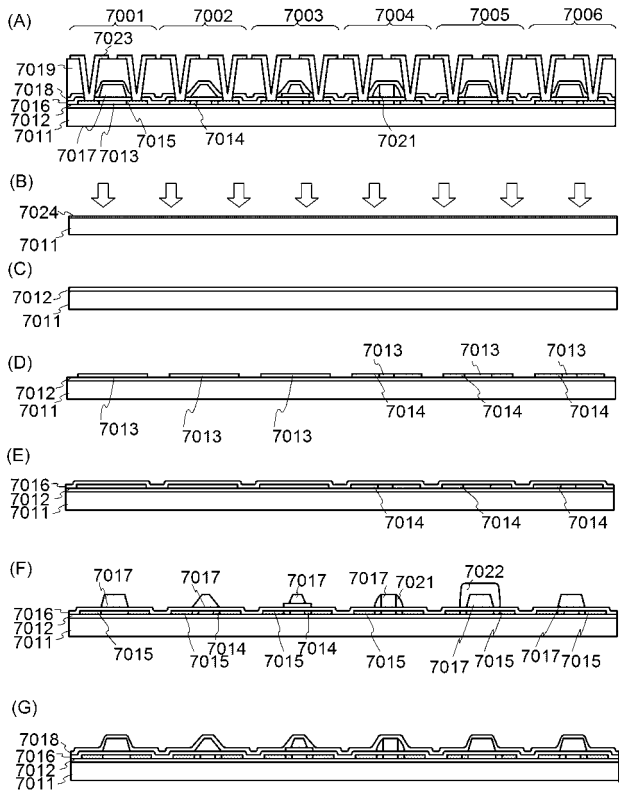
【 図 10 】



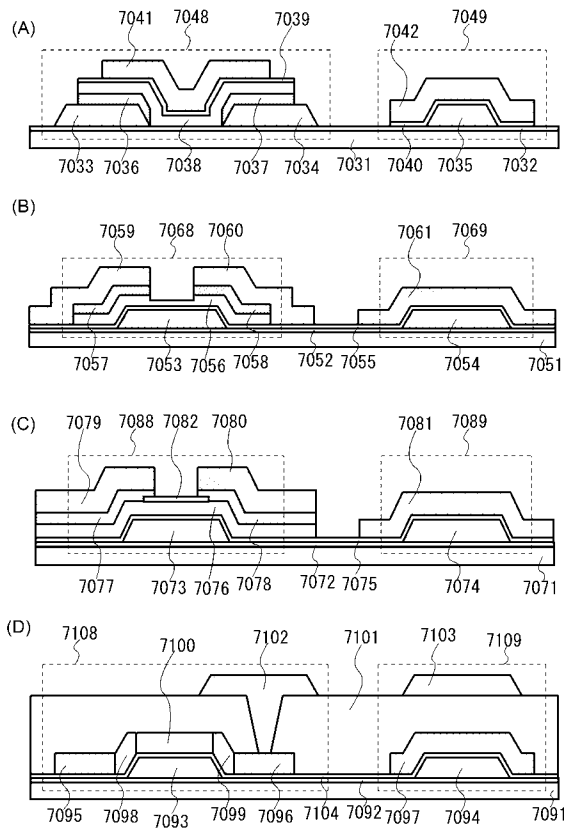
【 図 11 】



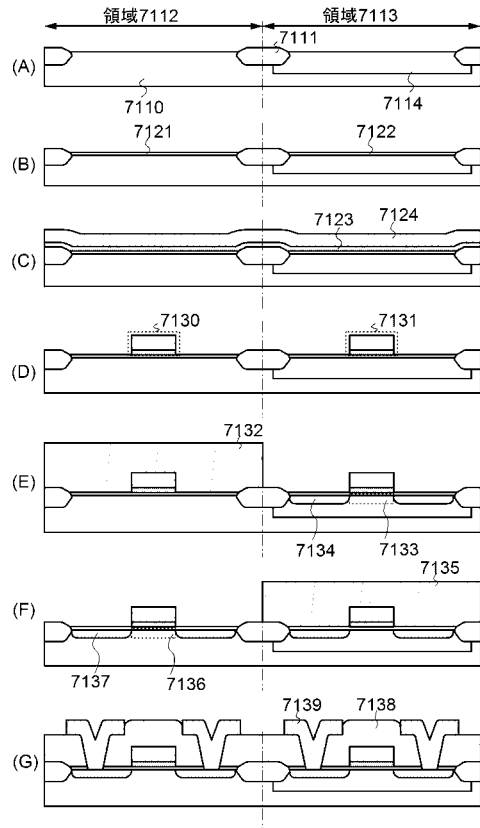
【 図 12 】



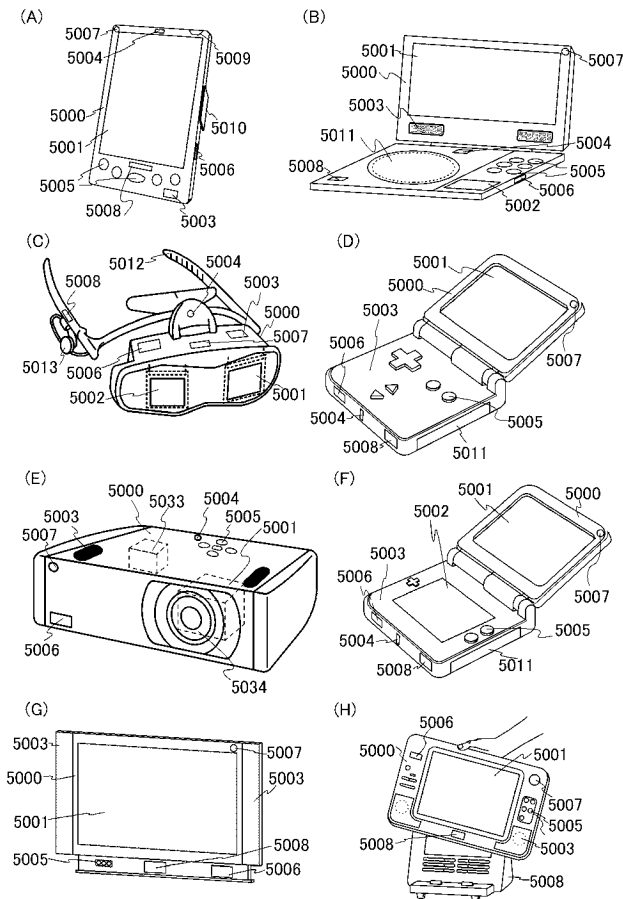
【図 1 3】



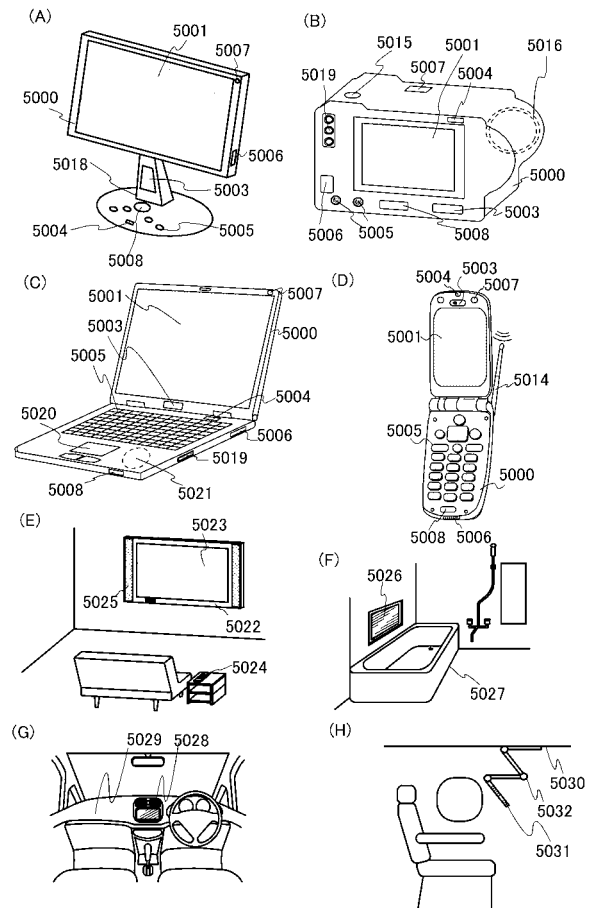
【図 1 4】



【図 1 5】



【図 1 6】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 1 1 J
H 0 5 B	33/14	A

F ターム(参考) 5C380 AA01 AA02 AA03 AA08 AB06 AB07 AB18 AB22 AB23 AB25
 AB34 AB36 AB37 AB41 AB46 AC04 AC07 AC08 AC09 AC11
 AC12 AC13 AC20 BA01 BA06 BA12 BA17 BA19 BA21 BA28
 BA29 BA38 BA39 BB02 BB17 BB22 BB23 BD09 CA12 CB01
 CB05 CB16 CB17 CC04 CC07 CC26 CC30 CC33 CC39 CC53
 CC61 CD027 CD028 CE04 CE19 CF01 CF22 CF23 CF24 CF26
 CF27 CF28 CF32 CF33 CF36 CF41 CF43 CF45 CF46 CF48
 CF49 DA02 DA06 DA47 DA48 GA14 HA18

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2010156962A5	公开(公告)日	2012-11-15
申请号	JP2009271259	申请日	2009-11-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇		
发明人	木村 肇		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0866 G09G2320/0223 G09G2320/043 G09G2320/045 G09G2330/04		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.A G09G3/30.K G09G3/20.641.D G09G3/20.621.M G09G3/20.612.E G09G3/20.611.H G09G3/20.611.J H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC33 3K107/CC42 3K107/DD39 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/AA07 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD05 5C080/DD26 5C080/DD27 5C080/EE28 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK23 5C080/KK42 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AA08 5C380/AB06 5C380/AB07 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB25 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB41 5C380/AB46 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC20 5C380/BA01 5C380/BA06 5C380/BA12 5C380/BA17 5C380/BA19 5C380/BA21 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB17 5C380/BB22 5C380/BB23 5C380/BD09 5C380/CA12 5C380/CB01 5C380/CB05 5C380/CB16 5C380/CB17 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC53 5C380/CC61 5C380/CD027 5C380/CD028 5C380/CE04 5C380/CE19 5C380/CF01 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF26 5C380/CF27 5C380/CF28 5C380/CF32 5C380/CF33 5C380/CF36 5C380/CF41 5C380/CF43 5C380/CF45 5C380/CF46 5C380/CF48 5C380/CF49 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA48 5C380/GA14 5C380/HA18		
优先权	2008309273 2008-12-04 JP		
其他公开文献	JP2010156962A JP5933160B2		

摘要(译)

要解决的问题：通过降低由于电流供应线的布线电阻引起的电压变化引起的发光元件亮度变化导致的显示质量下降来提高显示质量。溶剂：在电压编程周期中，用作驱动EL元件的晶体管的源极的端子电连接到提供第一电位的第一布线；在发光时段中，用作驱动晶体管的源极的端子电连接到第二布线，第二布线被提供给第二电位；因此，由于电流供应线的布线电阻，可以保持驱动晶体管的栅极端子和源极端子之间的电压而不受电压变化的不利影响。

