

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-288593

(P2009-288593A)

(43) 公開日 平成21年12月10日(2009.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C080
<b>H05B 33/08 (2006.01)</b>	G09G 3/20 642B	
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 611H	
	H05B 33/08	
審査請求 未請求 請求項の数 3 O L (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2008-142057 (P2008-142057)	(71) 出願人	000002185
(22) 出願日	平成20年5月30日 (2008.5.30)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	妹尾 佑樹
			東京都品川区西五反田3丁目9番17号
			ソニーエンジニアリング株式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株式会社内
		最終頁に続く	

(54) 【発明の名称】 パネルおよび駆動制御方法

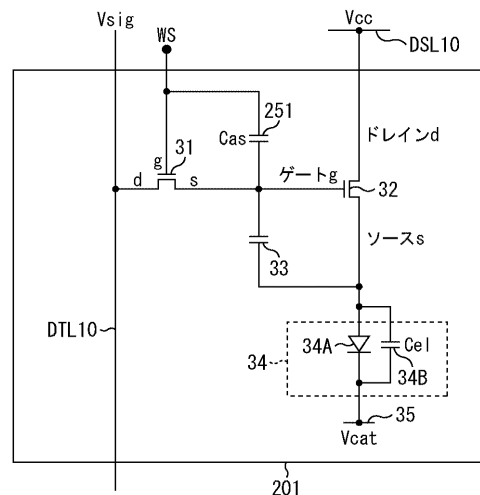
## (57) 【要約】

【課題】画素ごとの輝度のばらつきを改善することができるようにする。

【解決手段】サンプリング用トランジスタ31のゲートgとソースsとの間に補助容量251を設けた場合、サンプリング用トランジスタ31の寄生容量Cwsが大となることと等しい。サンプリング用トランジスタ31の寄生容量Cwsが大となるということは、フィールドスルー電圧降下量自体は大きくなるが、画素201ごとのフィールドスルー電圧降下量のばらつきは小さくなる。これにより、フィールドスルー電圧降下による画素ごとの輝度のばらつきを改善することができる。本発明は、例えば、ELパネルに適用できる。

【選択図】図26

図26



**【特許請求の範囲】****【請求項 1】**

ダイオード特性を有し、駆動電流に応じて発光する発光素子と、  
映像信号をサンプリングするサンプリング用トランジスタと、  
前記駆動電流を前記発光素子に供給する駆動用トランジスタと、  
前記発光素子のアノード側と前記駆動用トランジスタのゲートに接続され、所定の電位を保持する保持容量と、  
前記サンプリング用トランジスタのゲートとソースに接続され、所定の電位を保持する補助容量と  
を有する画素回路  
を備えるパネル。

10

**【請求項 2】**

前記補助容量の静電容量は、前記サンプリング用トランジスタの寄生容量より大である  
請求項 1 に記載のパネル

**【請求項 3】**

ダイオード特性を有し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノード側と前記駆動用トランジスタのゲートに接続され、所定の電位を保持する保持容量と、前記サンプリング用トランジスタのゲートとソースに接続され、所定の電位を保持する補助容量とを有する画素回路を備えるパネルが、

20

発光させる輝度に対応する前記映像信号の信号電位を前記保持容量に供給する場合に、  
前記サンプリング用トランジスタのゲートを高電位に設定し、

前記補助容量は、前記サンプリング用トランジスタのゲートが高電位に設定されたとき、  
所定の電位を保持する

駆動制御方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、パネルおよび駆動制御方法に関し、特に、画素ごとの輝度のばらつきを改善することができるようにするパネルおよび駆動制御方法に関する。

30

**【背景技術】****【0002】**

発光素子として有機 EL (Electro Luminescent) デバイスを用いた平面自発光型のパネル (EL パネル) の開発が近年盛んになっている。有機 EL デバイスは、ダイオード特性を有し、有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機 EL デバイスは印加電圧が 10 V 以下で駆動するため低消費電力である。また有機 EL デバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機 EL デバイスの応答速度は数  $\mu$ s 程度と非常に高速であるので、動画表示時の残像が発生しない。

**【0003】**

40

有機 EL デバイスを画素に用いた平面自発光型のパネルの中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型平面自発光パネルは、例えば以下の特許文献 1 乃至 5 に記載されている。

**【0004】**

【特許文献 1】特開 2003 - 255856 号公報

【特許文献 2】特開 2003 - 271095 号公報

【特許文献 3】特開 2004 - 133240 号公報

【特許文献 4】特開 2004 - 029791 号公報

【特許文献 5】特開 2004 - 093682 号公報

50

**【発明の開示】****【発明が解決しようとする課題】****【0005】**

以上のような有機ELデバイスを画素に用いた平面自発光型のパネルについては、さらなる改良が求められており、例えば、画素ごとの輝度のばらつきを少なくすることが要求されている。

**【0006】**

本発明は、このような状況に鑑みてなされたものであり、画素ごとの輝度のばらつきを改善することができるようにするものである。

**【課題を解決するための手段】****【0007】**

本発明の一側面のパネルは、ダイオード特性を有し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノード側と前記駆動用トランジスタのゲートに接続され、所定の電位を保持する保持容量と、前記サンプリング用トランジスタのゲートとソースに接続され、所定の電位を保持する補助容量とを有する画素回路を備える。

**【0008】**

本発明の一側面の駆動制御方法は、ダイオード特性を有し、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、前記発光素子のアノード側と前記駆動用トランジスタのゲートに接続され、所定の電位を保持する保持容量と、前記サンプリング用トランジスタのゲートとソースに接続され、所定の電位を保持する補助容量とを有する画素回路を備えるパネルが、発光させる輝度に対応する前記映像信号の信号電位を前記保持容量に供給する場合に、前記サンプリング用トランジスタのゲートを高電位に設定し、前記補助容量は、前記サンプリング用トランジスタのゲートが高電位に設定されたとき、所定の電位を保持する。

**【0009】**

本発明の一側面においては、発光させる輝度に対応する映像信号の信号電位を保持容量に供給する場合に、サンプリング用トランジスタのゲートが高電位に設定され、補助容量において、所定の電位が保持される。

**【発明の効果】****【0010】**

本発明の一側面によれば、画素ごとの輝度のばらつきを改善することができる。

**【発明を実施するための最良の形態】****【0011】**

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、有機ELデバイスを用いたパネル（以下、ELパネルと称する）の基本となる構成と動作について図1乃至図12を参照して説明する。

**【0012】**

図1は、基本となるELパネルの構成例を示すブロック図である。

**【0013】**

図1のELパネル100は、 $N \times M$ 個の画素（画素回路）101 - (1, 1) 乃至 101 - (N, M) が行列状に配置されている画素アレイ部102と、これを駆動する駆動部である水平セレクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105とにより構成されている。

**【0014】**

また、ELパネル100は、M本の走査線WSL10 - 1 乃至 10 - M、M本の電源線DSL10 - 1 乃至 10 - M、およびN本の映像信号線DTL10 - 1 乃至 10 - Nも有する。

10

20

30

40

50

## 【0015】

なお、以下において、走査線 $WSL10-1$ 乃至 $10-M$ 、映像信号線 $DTL10-1$ 乃至 $10-N$ 、画素 $101-(1,1)$ 乃至 $101-(N,M)$ 、または電源線 $DSL10-1$ 乃至 $10-M$ のそれぞれを特に区別する必要がない場合、単に、走査線 $WSL10$ 、映像信号線 $DTL10$ 、画素 $101$ 、または電源線 $DSL10$ と称する。

## 【0016】

画素 $101-(1,1)$ 乃至 $101-(N,M)$ のうちの第1行目の画素 $101-(1,1)$ 乃至 $101-(N,1)$ は、走査線 $WSL10-1$ でライトスキャナ104と、電源線 $DSL10-1$ で電源スキャナ105とそれぞれ接続されている。また、画素 $101-(1,1)$ 乃至 $101-(N,M)$ のうちの第M行目の画素 $101-(1,M)$ 乃至 $101-(N,M)$ は、走査線 $WSL10-M$ でライトスキャナ104と、電源線 $DSL10-M$ で電源スキャナ105とそれぞれ接続されている。画素 $101-(1,1)$ 乃至 $101-(N,M)$ の行方向に並ぶその他の画素 $101$ についても同様である。

## 【0017】

また、画素 $101-(1,1)$ 乃至 $101-(N,M)$ のうちの第1列目の画素 $101-(1,1)$ 乃至 $101-(1,M)$ は、映像信号線 $DTL10-1$ で水平セクタ103と接続されている。画素 $101-(1,1)$ 乃至 $101-(N,M)$ のうちの第N列目の画素 $101-(N,1)$ 乃至 $101-(N,M)$ は、映像信号線 $DTL10-N$ で水平セクタ103と接続されている。画素 $101-(1,1)$ 乃至 $101-(N,M)$ の列方向に並ぶその他の画素 $101$ についても同様である。

## 【0018】

ライトスキャナ104は、走査線 $WSL10-1$ 乃至 $10-M$ に水平周期(1H)で順次制御信号を供給して画素 $101$ を行単位で線順次走査する。電源スキャナ105は、線順次走査に合わせて電源線 $DSL10-1$ 乃至 $10-M$ に第1電位(後述する $V_{cc}$ )または第2電位(後述する $V_{ss}$ )の電源電圧を供給する。水平セクタ103は、線順次走査に合わせて各水平期間内(1H)で映像信号となる信号電位 $V_{sig}$ と基準電位 $V_{ofs}$ とを切換えて列状の映像信号線 $DTL10-1$ 乃至 $10-M$ に供給する。

## 【0019】

図1のように構成されるELパネル100に、ソースドライバおよびゲートドライバとからなるドライバIC(Integrated Circuit)が付加されることによりパネルモジュールが構成され、さらに、パネルモジュールに、電源回路、画像LSI(Large Scale Integration)などを付加したものが表示装置となる。ELパネル100を含む表示装置は、例えば、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラ、テレビジョン受像機、プリンタ等の表示部として使用することができる。

## 【0020】

図2は、図1に示したELパネル100に含まれる $N \times M$ 個の画素 $101$ のうちの1つの画素 $101$ を拡大することにより、画素 $101$ の詳細な構成を示したブロック図である。

## 【0021】

なお、図2において画素 $101$ と接続されている走査線 $WSL10$ 、映像信号線 $DTL10$ 、および電源線 $DSL10$ は、図1から明らかなように、画素 $101-(n,m)$ ( $n=1,2,\dots,N, m=1,2,\dots,M$ )に対して、走査線 $WSL10-(n,m)$ 、映像信号線 $DTL10-(n,m)$ 、および電源線 $DSL10-(n,m)$ となる。

## 【0022】

図2の画素 $101$ は、サンプリング用トランジスタ31、駆動用トランジスタ32、保持容量33、および発光素子34を有する。サンプリング用トランジスタ31のゲートは走査線 $WSL10$ と接続され、サンプリング用トランジスタ31のドレインは映像信号線 $DTL10$ と接続されるとともに、ソースが駆動用トランジスタ32のゲート $g$ と接続されている。

10

20

30

40

50

## 【 0 0 2 3 】

駆動用トランジスタ 3 2 のソース s 及びドレイン d の一方は発光素子 3 4 のアノードに接続され、他方が電源線 D S L 1 0 に接続される。保持容量 3 3 は、駆動用トランジスタ 3 2 のゲート g と発光素子 3 4 のアノードに接続されている。また、発光素子 3 4 のカソードは所定の電位 V c a t に設定されている配線 3 5 に接続されている。この電位 V c a t は GND レベルであり、従って、配線 3 5 は接地配線である。以下、配線 3 5 を接地配線 3 5 と称する。

## 【 0 0 2 4 】

サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、いずれも N チャンネル型トランジスタであり、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができるため、画素回路の製造コストをより安価にすることができる。

10

## 【 0 0 2 5 】

有機 E L 素子はダイオード特性を有する電流発光素子であり、発光素子 3 4 は、供給される電流値 I d s に応じた階調の発光を行う。

## 【 0 0 2 6 】

以上のように構成される画素 1 0 1 において、サンプリング用トランジスタ 3 1 が、走査線 W S L 1 0 から供給された制御信号に応じてオン（導通）すると、保持容量 3 3 は、映像信号線 D T L 1 0 を介して水平セクタ 1 0 3 から供給された電荷を蓄積して保持する。駆動用トランジスタ 3 2 は、第 1 電位 V c c にある電源線 D S L 1 0 から電流の供給を受け、保持容量 3 3 に保持された信号電位 V s i g に応じて駆動電流 I d s を発光素子 3 4 に流す。発光素子 3 4 に所定の駆動電流 I d s が流れることにより、画素 1 0 1 が発光する。

20

## 【 0 0 2 7 】

画素 1 0 1 は、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ 3 2 の閾値電圧 V t h に相当する電圧を保持容量 3 3 に保持させる機能であり、これにより、E L パネル 1 0 0 の画素毎のばらつきの原因となる駆動用トランジスタ 3 2 の閾値電圧 V t h の影響をキャンセルすることができる。

## 【 0 0 2 8 】

また、画素 1 0 1 は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、保持容量 3 3 に信号電位 V s i g を保持する際、駆動用トランジスタ 3 2 の移動度  $\mu$  に対する補正を信号電位 V s i g に加える機能である。

30

## 【 0 0 2 9 】

さらに、画素 1 0 1 は、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ 3 2 のソース電位 V s の変動にゲート電位 V g を連動させる機能であり、これにより、駆動用トランジスタ 3 2 のゲート g とソース s 間の電圧 V g s を一定に維持することが出来る。

## 【 0 0 3 0 】

なお、閾値補正機能、移動度補正機能、およびブートストラップ機能については、後述する図 7、図 1 1、および図 1 2 などでも説明する。

## 【 0 0 3 1 】

図 3 は、画素 1 0 1 の動作を説明するタイミングチャートである。

40

## 【 0 0 3 2 】

図 3 は、同一の時間軸（図面横方向）に対する走査線 W S L 1 0、電源線 D S L 1 0、および映像信号線 D T L 1 0 の電位変化と、それに対応する駆動用トランジスタ 3 2 のゲート電位 V g 及びソース電位 V s の変化を示している。

## 【 0 0 3 3 】

図 3 において、時刻  $t_1$  までの期間は、前の水平期間（1 H）の発光がなされている発光期間  $T_1$  である。

## 【 0 0 3 4 】

発光期間  $T_1$  が終了した時刻  $t_1$  から時刻  $t_4$  までは、駆動用トランジスタ 3 2 のゲート

50

電位  $V_g$  及びソース電位  $V_s$  を初期化することで閾電圧補正動作の準備を行う閾値補正準備期間  $T_2$  である。

【0035】

閾値補正準備期間  $T_2$  では、時刻  $t_1$  において、電源スキャナ 105 が、電源線  $DSL10$  の電位を高電位である  $V_{cc}$  から低電位である  $V_{ss}$  に切換え、時刻  $t_2$  において、水平セクタ 103 が、映像信号線  $DTL10$  の電位を信号電位  $V_{sig}$  から基準電位  $V_{ofs}$  に切換える。次に、時刻  $t_3$  において、ライトスキャナ 104 が、走査線  $WSL10$  の電位を高電位に切換え、サンプリング用トランジスタ 31 をオンさせる。これにより、駆動用トランジスタ 32 のゲート電位  $V_g$  が基準電位  $V_{ofs}$  にリセットされ、且つ、ソース電位  $V_s$  が映像信号線  $DTL10$  の低電位  $V_{ss}$  にリセットされる。

10

【0036】

時刻  $t_4$  から時刻  $t_5$  までは、閾値補正動作を行う閾値補正期間  $T_3$  である。閾値補正期間  $T_3$  では、時刻  $t_4$  において、電源スキャナ 105 により、電源線  $DSL10$  の電位が高電位  $V_{cc}$  に切換えられ、閾値電圧  $V_{th}$  に相当する電圧が、駆動用トランジスタ 32 のゲート  $g$  とソース  $s$  との間に接続された保持容量 33 に書き込まれる。

【0037】

時刻  $t_5$  から時刻  $t_7$  までの書き込み + 移動度補正準備期間  $T_4$  では、走査線  $WSL10$  の電位が高電位から低電位一旦切換えられとともに、時刻  $t_7$  の前の時刻  $t_6$  において、水平セクタ 103 が、映像信号線  $DTL10$  の電位を基準電位  $V_{ofs}$  から階調に応じた信号電位  $V_{sig}$  に切換える。

20

【0038】

そして、時刻  $t_7$  から時刻  $t_8$  までの書き込み + 移動度補正期間  $T_5$  において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻  $t_7$  から時刻  $t_8$  までの間、走査線  $WSL10$  の電位が高電位に設定され、これにより、映像信号の信号電位  $V_{sig}$  が閾値電圧  $V_{th}$  に足し込まれる形で保持容量 33 に書き込まれると共に、移動度補正用の電圧  $V_\mu$  が保持容量 33 に保持された電圧から差し引かれる。

【0039】

書き込み + 移動度補正期間  $T_5$  終了後の時刻  $t_8$  において、走査線  $WSL10$  の電位が低電位に設定され、それ以降、発光期間  $T_6$  として、信号電圧  $V_{sig}$  に応じた発光輝度で発光素子 34 が発光する。信号電圧  $V_{sig}$  は、閾値電圧  $V_{th}$  に相当する電圧と移動度補正用の電圧  $V_\mu$  とによって調整されているため、発光素子 34 の発光輝度は駆動用トランジスタ 32 の閾値電圧  $V_{th}$  や移動度  $\mu$  のばらつきの影響を受けることがない。

30

【0040】

なお、発光期間  $T_6$  の最初でブートストラップ動作が行われ、駆動用トランジスタ 32 のゲート - ソース間電圧  $V_{gs} = V_{sig} + V_{th} - V_\mu$  を一定に維持したまま、駆動用トランジスタ 32 のゲート電位  $V_g$  及びソース電位  $V_s$  が上昇する。

【0041】

また、時刻  $t_8$  から所定時間経過後の時刻  $t_9$  において、映像信号線  $DTL10$  の電位が、信号電位  $V_{sig}$  から基準電位  $V_{ofs}$  に落とされる。図 3 において、時刻  $t_2$  から時刻  $t_9$  までの期間は水平期間 (1H) に相当する。

40

【0042】

以上のようにして、EL パネル 100 では、駆動用トランジスタ 32 の閾値電圧  $V_{th}$  や移動度  $\mu$  のばらつきの影響を受けることがなく、発光素子 34 を発光させることができる。

【0043】

図 4 乃至図 12 を参照して、画素 101 の動作についてさらに詳細に説明する。

【0044】

図 4 は、発光期間  $T_1$  の画素 101 の状態を示している。

【0045】

発光期間  $T_1$  では、サンプリング用トランジスタ 31 がオフ (走査線  $WSL10$  の電位

50

が低電位)、かつ電源線DSL10の電位が高電位Vccとなっており、駆動用トランジスタ32が駆動電流Idsを発光素子34に供給している。このとき駆動用トランジスタ32は飽和領域で動作するように設定されているため、発光素子34に流れる駆動電流Idsは、駆動用トランジスタ32のゲートソース間電圧Vgsに応じて次式(1)で表される値をとる。

【数1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \quad \dots (1)$$

【0046】

10

式(1)において、 $\mu$ は移動度を示し、Wはゲート幅を表し、Lはゲート長を表し、 $C_{ox}$ は単位面積あたりのゲート酸化膜容量を示す。また、Vgsは、駆動用トランジスタ32のゲートgとソースs間の電圧(ゲートソース間電圧)であり、Vthは、駆動用トランジスタ32の閾値電圧である。なお、飽和領域とは、( $V_{gs} - V_{th} < V_{ds}$ )の条件を満たした状態をいう(Vdsは、駆動用トランジスタ32のソースsとドレインd間の電圧)。

【0047】

そして、閾値補正準備期間T<sub>2</sub>の最初の時刻t<sub>1</sub>において、図5に示すように、電源スキャナ105は、電源線DSL10の電位を高電位Vcc(第1電位)から低電位Vss(第2電位)に切替える。このとき電源線DSL10の電位Vssが発光素子34の閾値電圧Vthelとカソード電位Vcatの和よりも小さければ( $V_{ss} < V_{thel} + V_{cat}$ )発光素子34は消光し、駆動用トランジスタ32の電源線DSL10と接続された側がソースsとなる。また、発光素子34のアノードは電位Vssに充電される。

20

【0048】

次に、図6に示すように、時刻t<sub>2</sub>において、水平セレクト103が映像信号線DTL10の電位を基準電位Vofsにした後、時刻t<sub>3</sub>において、ライトスキャナ104が、走査線WSL10の電位を高電位に切替えることより、サンプリング用トランジスタ31をオンにする。これにより、駆動用トランジスタ32のゲート電位VgはVofsとなり、ゲートソース間電圧Vgsは、Vofs - Vssという値をとる。ここで、駆動用トランジスタ32のゲートソース間電圧Vgsである(Vofs - Vss)は、次の閾値補正期間T<sub>3</sub>で閾値補正動作を行うため、閾値電圧Vthよりも大である( $V_{ofs} - V_{ss} > V_{th}$ )必要がある。逆に言うと、( $V_{ofs} - V_{ss} > V_{th}$ )の条件を満たすように、電位VofsおよびVssが設定される。

30

【0049】

そして、閾値補正期間T<sub>3</sub>の最初の時刻t<sub>4</sub>において、図7に示すように、電源スキャナ105が電源線DSL10の電位を低電位Vssから高電位Vccに切替えると、駆動用トランジスタ32の発光素子34のアノードと接続されている側がソースsとなり、図7において1点鎖線で示されるように電流が流れる。

【0050】

ここで、発光素子34は、等価的にダイオード34Aと寄生容量をCelとする保持容量34Bで表すことができ、発光素子34のリーク電流が駆動用トランジスタ32に流れる電流よりもかなり小さい( $V_{el} = V_{cat} + V_{thel}$ を満たす)という条件の下では、駆動用トランジスタ32に流れる電流は保持容量33と34Bを充電するために使用される。発光素子34のアノード電位Vel(駆動用トランジスタ32のソース電位Vss)は、図8に示されるように、駆動用トランジスタ32を流れる電流に応じて上昇する。所定時間経過後、駆動用トランジスタ32のゲートソース間電圧VgsがVthという値をとる。また、このときの発光素子34のアノード電位Velは( $V_{ofs} - V_{th}$ )である。ここで、発光素子34のアノード電位Velは、発光素子34の閾値電圧Vthelとカソード電位Vcatの和以下となっている( $V_{el} = (V_{ofs} - V_{th}) - (V_{cat} + V_{thel})$ )。

40

50

## 【 0 0 5 1 】

その後、時刻  $t_5$  において、図 9 に示されるように、走査線  $W S L 1 0$  の電位が高電位から低電位に切替えられ、サンプリング用トランジスタ 3 1 がオフして閾値補正動作（閾値補正期間  $T_3$ ）が完了する。

## 【 0 0 5 2 】

続く書き込み + 移動度補正準備期間  $T_4$  の時刻  $t_6$  において、水平セクタ 1 0 3 によって、映像信号線  $D T L 1 0$  の電位が、基準電位  $V o f s$  から、階調に応じた信号電位  $V s i g$  に切換えられた（図 9）後、書き込み + 移動度補正期間  $T_5$  に入り、図 1 0 に示されるように、時刻  $t_7$  において、走査線  $W S L 1 0$  の電位が高電位に設定されることでサンプリング用トランジスタ 3 1 がオンして、映像信号の書き込みと移動度補正動作が行われる。駆動用トランジスタ 3 2 のゲート電位  $V g$  は、サンプリング用トランジスタ 3 1 がオンしているため信号電位  $V s i g$  となるが、サンプリング用トランジスタ 3 1 には電源線  $D S L 1 0$  からの電流が流れるため、駆動用トランジスタ 3 2 のソース電位  $V s$  は、時間とともに上昇していく。

## 【 0 0 5 3 】

駆動用トランジスタ 3 2 の閾値補正動作は既に完了している。よって、式（1）の右辺の  $(V g s - V t h)^2$  の項は、 $(V g s - V t h)^2 = \{ (V s i g - (V o f s - V t h)) - V t h \}^2 = (V s i g - V o f s)^2$  となり、閾値電圧  $V t h$  の項の影響はなくなるので、駆動用トランジスタ 3 2 が流す電流  $I d s$  は、移動度  $\mu$  を反映したものとなる。具体的には、図 1 1 に示されるように、移動度  $\mu$  が大きい場合には、駆動用トランジスタ 3 2 が流す電流  $I d s$  は大きくなり、ソース電位  $V s$  の上昇も早い。一方、移動度  $\mu$  が小さい場合には、駆動用トランジスタ 3 2 が流す電流  $I d s$  は小さくなり、ソース電位  $V s$  の上昇は遅くなる。換言すると、一定時間経過時点では、移動度  $\mu$  が大きい場合には、駆動用トランジスタ 3 2 のソース電位  $V s$  の上昇量  $V_{\mu}$ （電位補正值）は大きくなり、移動度  $\mu$  が小さい場合には、駆動用トランジスタ 3 2 のソース電位  $V s$  の上昇量  $V_{\mu}$ （電位補正值）は小さくなる。これによって、各画素 1 0 1 の駆動用トランジスタ 3 2 のゲートソース間電圧  $V g s$  のバラツキが、移動度  $\mu$  を反映して小さくなり、一定時間経過後の各画素 1 0 1 のゲートソース間電圧  $V g s$  は、移動度  $\mu$  のバラツキを完全に補正した電圧となる。

## 【 0 0 5 4 】

時刻  $t_8$  において、走査線  $W S L 1 0$  の電位が低電位に設定されることでサンプリング用トランジスタ 3 1 がオフして、書き込み + 移動度補正期間  $T_5$  が終了し、発光期間  $T_6$  となる（図 1 2）。

## 【 0 0 5 5 】

発光期間  $T_6$  では、駆動用トランジスタ 3 2 のゲートソース間電圧  $V g s$  は一定であるので、駆動用トランジスタ 3 2 は一定電流  $I d s'$  を発光素子 3 4 に供給し、発光素子 3 4 のアノード電位  $V e l$  は、発光素子 3 4 に一定電流  $I d s'$  という電流が流れる電圧  $V x$  まで上昇し、発光素子 3 4 は発光する。駆動用トランジスタ 3 2 のソース電位  $V s$  が上昇すると、保持容量 3 3 のブートストラップ機能により、駆動用トランジスタ 3 2 のゲート電位  $V g$  も連動して上昇する。

## 【 0 0 5 6 】

発光素子 3 4 の  $I - V$  特性により、発光時間が長くなると、図 1 2 に示される B 点の電位は時間とともに変化する（経時劣化する）。しかしながら、駆動用トランジスタ 3 2 のゲートソース間電圧  $V g s$  は一定値に保たれているので、発光素子 3 4 に流れる電流は変化しない。したがって、 $I - V$  特性により発光素子 3 4 が経時劣化しても、一定電流  $I d s'$  が流れ続けるので、発光素子 3 4 の輝度が変化することはない。

## 【 0 0 5 7 】

以上のように、画素 1 0 1 を備える図 2 の  $E L$  パネル 1 0 0 においては、閾値補正機能および移動度補正機能によって画素 1 0 1 ごとの閾値電圧  $V t h$  及び移動度  $\mu$  の相違を補正することができる。また、発光素子 3 4 の経時変動（劣化）も補正することができる。



## 【 0 0 5 8 】

これにより、図 2 の E L パネル 1 0 0 を用いた表示装置では、高品位な画質を得ることが可能である。

## 【 0 0 5 9 】

ところで、画素 1 0 1 が発光するときの輝度は、上述したように、発光素子 3 4 に供給される電流値  $I_{ds}'$  ( $I_{ds}$ ) によって決まるが、この電流値  $I_{ds}'$  は、駆動用トランジスタ 3 2 のゲートソース間電圧  $V_{gs}$  に応じて式 ( 1 ) で決定される。したがって、駆動用トランジスタ 3 2 のゲートソース間電圧  $V_{gs}$  に変化があると、画素 1 0 1 の輝度は変化する。そして、このゲートソース間電圧  $V_{gs}$  の変化量が画素 1 0 1 ごとに異なると、E L パネル 1 0 0 全体としては、輝度のばらつきが生ずることになる。

10

## 【 0 0 6 0 】

図 3 を参照して説明したように、書き込み + 移動度補正期間  $T_5$  終了後の発光期間  $T_6$  では、最初にブートストラップ動作が行われ、駆動用トランジスタ 3 2 のゲート電位  $V_g$  及びソース電位  $V_s$  が、駆動用トランジスタ 3 2 のゲートソース間電圧  $V_{gs}$  ( $= V_{sig} + V_{th} - V_{\mu}$ ) を一定に維持したまま上昇し、駆動用トランジスタ 3 2 のソース電位  $V_s$  が、発光を始める所定の閾値 ( 発光閾値 ) を超えたとき、画素 1 0 1 ( 発光素子 3 4 ) は発光する。

## 【 0 0 6 1 】

ここで、ブートストラップ動作時の駆動用トランジスタ 3 2 のゲート電位  $V_g$  について詳細にみると、図 1 3 において丸で囲んで示すように、書き込み + 移動度補正期間  $T_5$  終了後の時刻  $t_8$  において走査線  $WSL10$  の電位が高電位から低電位に変化したとき、フィールドスルー効果により、駆動用トランジスタ 3 2 のゲート電位  $V_g$  が一瞬降下する現象が発生する。

20

## 【 0 0 6 2 】

このときの駆動用トランジスタ 3 2 のゲート電位  $V_g$  の降下量 ( 以下、フィールドスルー電圧降下量と称する ) は、次式 ( 2 ) で表すことができる。

## 【 0 0 6 3 】

## 【 数 2 】

$$\text{フィールドスルー電圧降下量} = \frac{C_{ws}}{\frac{C_{el}(C_s + C_{gs})}{C_{el} + C_s + C_{gs}} + C_{ws} + C_{gd}} \times \Delta WS \quad \dots (2)$$

30

## 【 0 0 6 4 】

式 ( 2 ) において、 $WS$  は、走査線  $WSL10$  の電位の変化量を表す。また、 $C_{el}$  は発光素子 3 4 の寄生容量 ( 等価的に表される保持容量 3 4 B の静電容量 ) であり、 $C_{ws}$  はサンプリング用トランジスタ 3 1 の寄生容量 ( サンプリング用トランジスタ 3 1 のゲートソース間に発生する寄生容量 ) であり、 $C_s$  は保持容量 3 3 の蓄積容量である。 $C_{gs}$  は駆動用トランジスタ 3 2 のゲートソース間に発生する寄生容量であり、 $C_{gd}$  は駆動用トランジスタ 3 2 のゲートドレイン間に発生する寄生容量である。

40

## 【 0 0 6 5 】

サンプリング用トランジスタ 3 1 の寄生容量  $C_{ws}$ 、駆動用トランジスタ 3 2 のゲートソース間の寄生容量  $C_{gs}$ 、および、駆動用トランジスタ 3 2 のゲートドレイン間の寄生容量  $C_{gd}$  を含む画素 1 0 1 の等価回路 ( 画素回路 1 0 1 ) を図 1 4 に示す。

## 【 0 0 6 6 】

フィールドスルー効果により、駆動用トランジスタ 3 2 のゲート電位  $V_g$  が一瞬降下する現象が発生すること自体は、E L パネル 1 0 0 の全画素が一様に降下するのであれば、E L パネル 1 0 0 の画素ごとの輝度ばらつきとしては見えないので問題はない。

## 【 0 0 6 7 】

50

しかしながら、フィールドスルー電圧降下量が画素 101 ごとに異なる場合には、そのばらつきが画素ごとの輝度のばらつきとなるため、パネル全体の画質の低下につながり、問題となる。例えば、隣接画素の輝度差が 1% 以上となると輝度ムラとして視認することができ、問題となる。

【0068】

式(2)からわかるように、フィールドスルー電圧降下量が最も影響を受けるのは、サンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  である。

【0069】

サンプリング用トランジスタ 31 および駆動用トランジスタ 32 に関する部分の画素 101 の配線パターンのレイアウトを図 15 に示す。

10

【0070】

図 15 に示されるように、サンプリング用トランジスタ 31 のゲート  $g$  は第 1 の金属層で形成され、サンプリング用トランジスタ 31 のソース  $s$  及びドレイン  $d$  は第 2 の金属層で形成される。また、駆動用トランジスタ 32 のゲート  $g$  は第 1 の金属層で形成され、駆動用トランジスタ 32 のソース  $s$  及びドレイン  $d$  は第 2 の金属層で形成される。保持容量 33 は第 1 の金属層と第 2 の金属層で形成される。

【0071】

図 16 は、図 15 のサンプリング用トランジスタ 31 周辺を拡大した図である。

【0072】

フィールドスルー電圧降下量に最も影響を及ぼすサンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  が発生する部分は、画素 101 を上方から見た場合に、図 16 において点線で示されている、ソース  $s$  としての第 2 の金属層と、ゲート  $g$  としての第 1 の金属層の重複部分である。

20

【0073】

従って、フィールドスルー電圧降下量のばらつきに最も影響を及ぼすサンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  のばらつきは、つまりは、露光処理の第 1 の金属層を形成するプロセスおよび第 2 の金属層を形成するプロセスにおける、サンプリング用トランジスタ 31 のゲート  $g$  として第 1 の金属層を形成するときのパターニング誤差と、サンプリング用トランジスタ 31 のソース  $s$  として第 2 の金属層を形成するときのパターニング誤差に起因する。換言すれば、サンプリング用トランジスタ 31 のゲート  $g$  としての第 1 の金属層の線幅のばらつきと、サンプリング用トランジスタ 31 のソース  $s$  としての第 2 の金属層の線幅のばらつきに起因する。

30

【0074】

しかしながら、金属層形成時のパターニング誤差を完全になくすことは困難である。

【0075】

そこで、以下では、フィールドスルー電圧降下による画素ごとの輝度のばらつきを改善するようにした EL パネルについて説明する。

【0076】

図 17 は、本発明を適用した EL パネル 200 の実施の形態の構成例を示すブロック図である。

40

【0077】

なお、図 17 において、上述した EL パネル 100 と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

【0078】

即ち、図 17 の EL パネル 200 では、画素アレイ部 102 において、上述した画素 101 と異なる構成を有する画素 201 - (1, 1) 乃至 201 - (N, M) が行列状に配置されている点が、EL パネル 100 と異なる。以下において、画素 201 - (1, 1) 乃至 201 - (N, M) のそれぞれを特に区別する必要がない場合、画素 101 と同様に、単に画素 201 と称する。

【0079】

50

図 18 は、画素 201 の第 1 の実施の形態の構成例を示している。

【0080】

図 18 の画素 201 において、画素 101 と対応する部分については同一の符号を付し、その説明は適宜省略する。後述する画素 201 のその他の実施の形態についても同様である。

【0081】

図 18 の画素 201 は、サンプリング用トランジスタ 31 のソース s と、接地配線 35 に接続されている補助容量 221 が新たに設けられている点が、画素 101 と異なる。ここで、補助容量 221 の静電容量  $C_{as}$  は、サンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  よりも大である ( $C_{ws} < C_{as}$ )。

10

【0082】

書き込み + 移動度補正期間  $T_5$  において、画素 201 では、図 10 を参照して説明したように、走査線  $W_{SL}10$  の電位が高電位に設定されることでサンプリング用トランジスタ 31 がオンする。これにより、映像信号線  $D_{TL}10$  の電位であって、階調に応じた信号電位  $V_{sig}$  の映像信号が保持容量 33 および補助容量 221 に供給される。その後、走査線  $W_{SL}10$  の電位が低電位に設定され、サンプリング用トランジスタ 31 がオフしたとき、補助容量 221 に蓄えられた電荷により、駆動用トランジスタ 32 のゲート電位  $V_g$  の変化が鈍る。

【0083】

即ち、サンプリング用トランジスタ 31 のソース s と接地配線 35 の間に、静電容量  $C_{as}$  の補助容量 221 を設けることで、時刻  $t_g$  における走査線  $W_{SL}10$  の電位の切り替えに伴う、駆動用トランジスタ 32 のゲート電位  $V_g$  の変化を鈍らせることができる。

20

【0084】

そして、駆動用トランジスタ 32 のゲート電位  $V_g$  の変化が鈍ることで、図 19 において丸で囲んで示すように、フィールドスルー電圧降下量を小さくすることができる。フィールドスルー電圧降下量が小さくなると、パネル 200 を構成する画素 201 ごとの輝度のばらつきも小さくなるので、フィールドスルー電圧降下による画素ごとの輝度のばらつきを改善することができる。

【0085】

換言すれば、ゲート g として第 1 の金属層の線幅と、ソース s として第 2 の金属層の線幅に、ばらつきが生じていたとしても、サンプリング用トランジスタ 31 のソース s と、接地配線 35 との間に、静電容量  $C_{as}$  の補助容量 221 を設けることで、画素ごとの輝度のばらつきを改善する（抑制する）ことができる。

30

【0086】

図 20 は、図 15 に示した画素 101 に対応する画素 201 の配線パターンレイアウトであって、補助容量 221 を設ける場合の画素 201 の配線パターンレイアウトを示している。

【0087】

図 20 において、補助容量 221 は、その点線内の第 1 の金属層と第 2 の金属層の対向する部分に相当する。補助容量 221 のサンプリング用トランジスタ 31 のソース s と接続される電極は、サンプリング用トランジスタ 31 のソース s と同様に第 2 の金属層で形成し、補助容量 221 の接地配線 35 と接続される電極は、第 1 の金属層で形成することができる。従って、画素 201 内に容易に補助容量 221 を形成することができる。

40

【0088】

図 21 は、画素 201 の第 2 の実施の形態の構成例を示している。

【0089】

図 21 の画素 201 は、サンプリング用トランジスタ 31 のゲート g と、接地配線 35 に接続されている補助容量 231 が新たに設けられている点が、画素 101 と異なる。ここで、補助容量 231 の静電容量  $C_{as}$  は、サンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  よりも大である ( $C_{ws} < C_{as}$ )。

50

## 【 0 0 9 0 】

書き込み + 移動度補正期間  $T_5$  において、図 10 を参照して説明したように、サンプリング用トランジスタ 31 がオンし、その後、オフする。画素 201 では、サンプリング用トランジスタ 31 がオンされたとき、即ち、走査線  $WSL10$  の電位が高電位に設定されたとき、補助容量 231 は、そこに供給される電荷を蓄え、所定の電位を保持する。サンプリング用トランジスタ 31 がオフしたとき、補助容量 231 に蓄えられた電荷により、駆動用トランジスタ 32 のゲート電位  $V_g$  の変化が鈍る。

## 【 0 0 9 1 】

即ち、サンプリング用トランジスタ 31 のゲート  $g$  と接地配線 35 との間に、静電容量  $C_{as}$  の補助容量 231 を設けることで、図 22 に示すように、書き込み + 移動度補正期間  $T_5$  における書き込みパルスが鈍らせることができる。即ち、時刻  $t_7$  および時刻  $t_8$  における走査線  $WSL10$  の電位の切り替えを鈍らせることができる。

## 【 0 0 9 2 】

そして、書き込みパルスが鈍ることで、図 22 において丸を囲んで示すように、フィールドスルー電圧降下量を小さくすることができる。フィールドスルー電圧降下量が小さくなると、パネル 200 を構成する画素 201 ごとの輝度のばらつきも小さくなるので、フィールドスルー電圧降下による画素ごとの輝度のばらつきを改善することができる。

## 【 0 0 9 3 】

従って、第 2 の実施の形態においても、第 1 の実施の形態と同様に、画素ごとの輝度のばらつきを改善する（抑制する）ことができる。

## 【 0 0 9 4 】

なお、第 1 の実施の形態においては、駆動用トランジスタ 32 のゲート電位  $V_g$  の変化を直接鈍らせることでフィールドスルー電圧降下量を小さくしたが、第 2 の実施の形態では、駆動用トランジスタ 32 のゲート電位  $V_g$  の変化を直接鈍らせることによる効果（フィールドスルー電圧降下量の縮小）と、書き込みパルスが鈍ることに起因して駆動用トランジスタ 32 のゲート電位  $V_g$  の変化を鈍らせることによる効果（フィールドスルー電圧降下量の縮小）の両方を奏する。

## 【 0 0 9 5 】

図 23 は、補助容量 231 を設ける場合の画素 201 の配線パターンレイアウトを示している。

## 【 0 0 9 6 】

図 23 において、補助容量 231 は、その点線内の第 1 の金属層と第 2 の金属層の対向する部分に相当する。補助容量 231 のサンプリング用トランジスタ 31 のゲート  $g$  と接続される電極は、サンプリング用トランジスタ 31 のゲート  $g$  と同様に第 1 の金属層で形成し、補助容量 231 の接地配線 35 と接続される電極は、第 2 の金属層で形成することができる。従って、画素 201 内に容易に補助容量 231 を形成することができる。

## 【 0 0 9 7 】

図 24 は、画素 201 の第 3 の実施の形態の構成例を示している。

## 【 0 0 9 8 】

図 24 の画素 201 は、駆動用トランジスタ 32 のゲート  $g$  とドレイン  $d$  に接続されている補助容量 241 が新たに設けられている点が、画素 101 と異なる。ここで、補助容量 241 の静電容量  $C_{as}$  は、サンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  よりも大である（ $C_{ws} < C_{as}$ ）。

## 【 0 0 9 9 】

図 7 を参照して説明したように、閾値補正期間  $T_3$  の最初の時刻  $t_4$  において、電源スキャナ 105 が電源線  $DSL10$  の電位を低電位  $V_{ss}$  から高電位  $V_{cc}$  に切換えると、駆動用トランジスタ 32 の発光素子 34 のアノードと接続されている側がソース  $s$  となり、保持容量 33 に向けて電流が流れ、保持容量 33 において電荷が蓄積される。このとき、補助容量 241 も、電荷を蓄積し、所定の電位を保持する。

## 【 0 1 0 0 】

10

20

30

40

50

駆動用トランジスタ 3 2 のゲート g とドレイン d との間に補助容量 2 4 1 を設けた場合、図 1 4 に示した寄生容量を含む画素 1 0 1 の等価回路からも分かるように、駆動用トランジスタ 3 2 のゲート ドレイン間に発生する寄生容量  $C_{gd}$  が大となることと等しい。

【 0 1 0 1 】

駆動用トランジスタ 3 2 のゲート ドレイン間に発生する寄生容量  $C_{gd}$  が大となると、式 ( 2 ) の第 1 項である分数の分子は変わらず分母が大となることから、フィールドスルー電圧降下量を小さくすることができる。フィールドスルー電圧降下量が小さくなると、パネル 2 0 0 を構成する画素 2 0 1 ごとの輝度のばらつきも小さくなるので、フィールドスルー電圧降下による画素ごとの輝度のばらつきを改善することができる。

【 0 1 0 2 】

従って、第 3 の実施の形態においても、画素ごとの輝度のばらつきを改善する（抑制する）ことができる。

【 0 1 0 3 】

図 2 5 は、補助容量 2 4 1 を設ける場合の画素 2 0 1 の配線パターンレイアウトを示している。

【 0 1 0 4 】

図 2 5 A と図 2 5 B に示される画素 2 0 1 の配線パターンレイアウトでは、新たに設ける補助容量 2 4 1 を形成するための金属層の構成は同一であるが、配線パターンの形状が異なる。

【 0 1 0 5 】

即ち、図 2 5 A および図 2 5 B のいずれにおいても、補助容量 2 4 1 は、その点線内の第 1 の金属層と第 2 の金属層の対向する部分に相当する（ただし、駆動用トランジスタ 3 2 部分を除く）。また、図 2 5 A と図 2 5 B のいずれにおいても、補助容量 2 4 1 の駆動用トランジスタ 3 2 のドレイン d と接続される電極は、駆動用トランジスタ 3 2 のドレイン d と同様に第 2 の金属層で形成され、補助容量 2 4 1 の駆動用トランジスタ 3 2 のゲート g と接続される電極は、駆動用トランジスタ 3 2 のゲート g と同様に第 1 の金属層で形成される。従って、画素 2 0 1 内に容易に補助容量 2 4 1 を形成することができる。

【 0 1 0 6 】

図 2 5 B に示される画素 2 0 1 の配線パターンレイアウトでは、補助容量 2 4 1 を形成する第 1 および第 2 の金属層の配線パターンの形状が、駆動用トランジスタ 3 2 を中心として図面左右方向に線対称となるような形状となっている。換言すれば、補助容量 2 4 1 を形成する第 1 および第 2 の金属層の配線パターンの形状が、保持容量 3 3 を形成する第 1 および第 2 の金属層の配線パターンの形状と線対称となるように形成されている。

【 0 1 0 7 】

このように補助容量 2 4 1 の配線パターンを線対称に形成することにより、画素 2 0 1 内の配線パターンレイアウトが隣接する画素 2 0 1 どうしでミラー反転するように E L パネル 2 0 0 が構成されている場合、レーザアニール処理工程において、全画素のトランジスタに対して均等に（同一の照射条件で）レーザが照射されるので、レーザ照射方向によるシリコン結晶性にばらつきが生じることを抑制することができ、これにより、TFT特性のバラツキを抑えることができる。さらに、TFT特性のバラツキを抑えることで、画素ごとの輝度のばらつきを改善する（抑制する）ことができる。

【 0 1 0 8 】

図 2 6 は、画素 2 0 1 の第 4 の実施の形態の構成例を示している。

【 0 1 0 9 】

図 2 6 の画素 2 0 1 は、サンプリング用トランジスタ 3 1 のゲート g とソース s に接続されている補助容量 2 5 1 が新たに設けられている点が、画素 1 0 1 と異なる。ここで、補助容量 2 5 1 の静電容量  $C_{as}$  は、サンプリング用トランジスタ 3 1 の寄生容量  $C_{ws}$  よりも大である（ $C_{ws} < C_{as}$ ）。

【 0 1 1 0 】

上述したように、書き込み + 移動度補正期間  $T_5$  に、サンプリング用トランジスタ 3 1

10

20

30

40

50

がオンし、その後、オフする。画素 201 では、サンプリング用トランジスタ 31 がオンされたとき、即ち、走査線 WSL10 の電位が高電位に設定されたとき、補助容量 251 は、そこに供給される電荷を蓄え、所定の電位を保持する。

【0111】

サンプリング用トランジスタ 31 のゲート g とソース s との間に補助容量 251 を設けた場合、図 14 に示した画素 101 の等価回路からも分かるように、サンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  が大となることと等しい。

【0112】

サンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  が大となるということは、式 (2) において、第 1 項の分数の分子と分母に含まれる寄生容量  $C_{ws}$  がともに大となり、フィールドスルー電圧降下量自体は大きくなる。しかしながら、製造プロセスにおける第 1 の金属層と第 2 の金属層の線幅の誤差 (製造誤差) から生じるサンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  は、補助容量 251 の静電容量  $C_{as}$  に比して小さくなる。同様に、駆動用トランジスタ 32 のゲート ソース間に発生する寄生容量  $C_{gs}$ 、および、駆動用トランジスタ 32 のゲート ドレイン間に発生する寄生容量  $C_{gd}$  の影響も、補助容量 251 の静電容量  $C_{as}$  に比して小さくなる。

【0113】

従って、フィールドスルー電圧降下量自体は大きくなったとしても、画素 201 ごとのフィールドスルー電圧降下量のばらつきは小さくなる。換言すれば、全画素のフィールドスルー電圧降下量の分散 ( $\sigma^2$ ) を小さくすることができる。

【0114】

従って、第 4 の実施の形態においても、画素ごとの輝度のばらつきを改善する (抑制する) ことができる。

【0115】

図 27 は、補助容量 251 を設ける場合の画素 201 の配線パターンレイアウトを示している。

【0116】

図 27 において、補助容量 251 は、その点線内の第 1 の金属層と第 2 の金属層の対向する部分に相当する (ただし、駆動用トランジスタ 32 部分を除く)。補助容量 251 のサンプリング用トランジスタ 31 のゲート g と接続される電極は、サンプリング用トランジスタ 31 のゲート g と同様に第 1 の金属層で形成し、補助容量 231 のサンプリング用トランジスタ 31 のソース s と接続される電極は、サンプリング用トランジスタ 31 のソース s と同様に第 2 の金属層で形成することができる。従って、画素 201 内に容易に補助容量 251 を形成することができる。

【0117】

以上のように、第 1 乃至第 4 の実施の形態の画素 201 を有する EL パネル 200 によれば、画素ごとの輝度のばらつきを改善することができるので、EL パネル 200 を用いた表示装置では、輝度ムラのない高品位な画質を得ることが可能である。

【0118】

なお、EL パネル 200 は、上述した第 1 乃至第 4 の実施の形態の画素 201 の構成のいずれか 1 つを採用して構成するものでもよいし、第 1 乃至第 4 の実施の形態の画素 201 のうちの 2 つ以上を併用するものでもよい。

【0119】

また、上述した第 1 乃至第 4 の実施の形態では、新たに設けた補助容量 221、231、241、および 251 の静電容量  $C_{as}$  を、いずれも同一のものとしたが、補助容量 221、231、241、および 251 の静電容量は必ずしも同一である必要はない。また、静電容量  $C_{as}$  はサンプリング用トランジスタ 31 の寄生容量  $C_{ws}$  よりも大きければ大きいほどよい。

【0120】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨

10

20

30

40

50

を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0121】

【図1】基本となるELパネルの構成例を示すブロック図である。

【図2】画素の詳細な構成例を示したブロック図である。

【図3】画素の動作を説明するタイミングチャートである。

【図4】画素の動作について詳細に説明する図である。

【図5】画素の動作について詳細に説明する図である。

【図6】画素の動作について詳細に説明する図である。

【図7】画素の動作について詳細に説明する図である。

【図8】画素の動作について詳細に説明する図である。

【図9】画素の動作について詳細に説明する図である。

【図10】画素の動作について詳細に説明する図である。

【図11】画素の動作について詳細に説明する図である。

【図12】画素の動作について詳細に説明する図である。

【図13】フィールドスルー効果による電圧降下について説明する図である。

【図14】寄生容量を含む画素の等価回路を示す図である。

【図15】画素の配線パターンレイアウトを示す図である。

【図16】サンプリング用トランジスタ部分の配線パターンレイアウトの拡大図である。

【図17】本発明を適用したELパネルの実施の形態の構成例を示すブロック図である。

【図18】図17のELパネルの画素の第1の実施の形態の構成例を示す図である。

【図19】図18の画素による効果を説明する図である。

【図20】図18の画素を採用した場合の配線パターンレイアウトを示す図である。

【図21】図17のELパネルの画素の第2の実施の形態の構成例を示す図である。

【図22】図21の画素による効果を説明する図である。

【図23】図21の画素を採用した場合の配線パターンレイアウトを示す図である。

【図24】図17のELパネルの画素の第3の実施の形態の構成例を示す図である。

【図25】図24の画素を採用した場合の配線パターンレイアウトを示す図である。

【図26】図17のELパネルの画素の第4の実施の形態の構成例を示す図である。

【図27】図26の画素を採用した場合の配線パターンレイアウトを示す図である。

【符号の説明】

【0122】

200 ELパネル, 201 画素(画素回路), 221, 231, 241, 2

51 補助容量

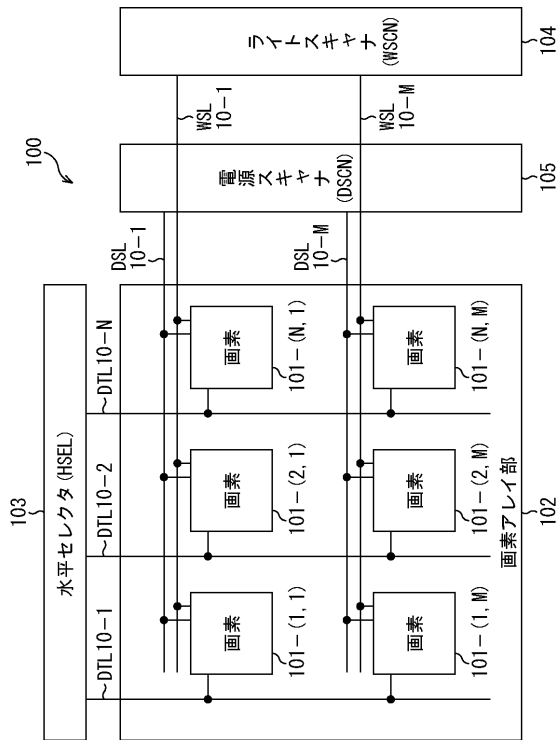
10

20

30

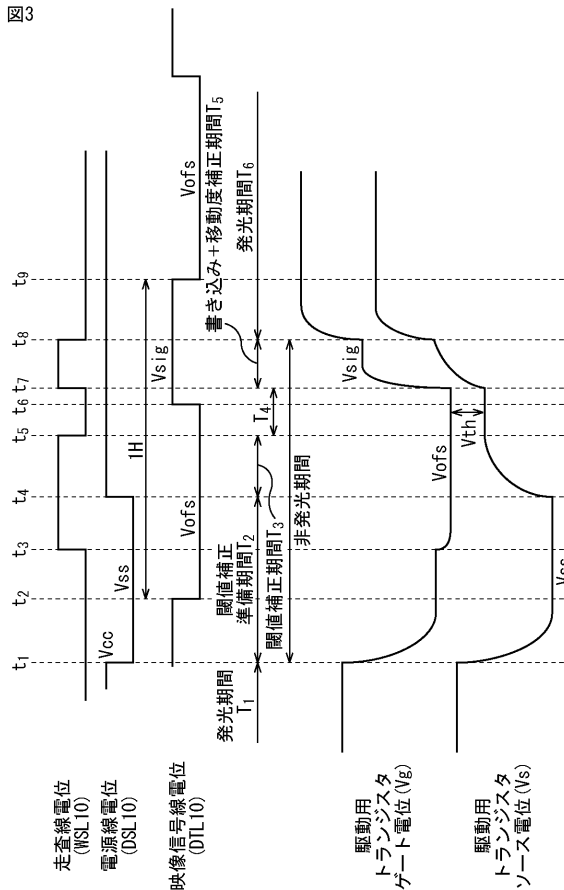
【図 1】

図1



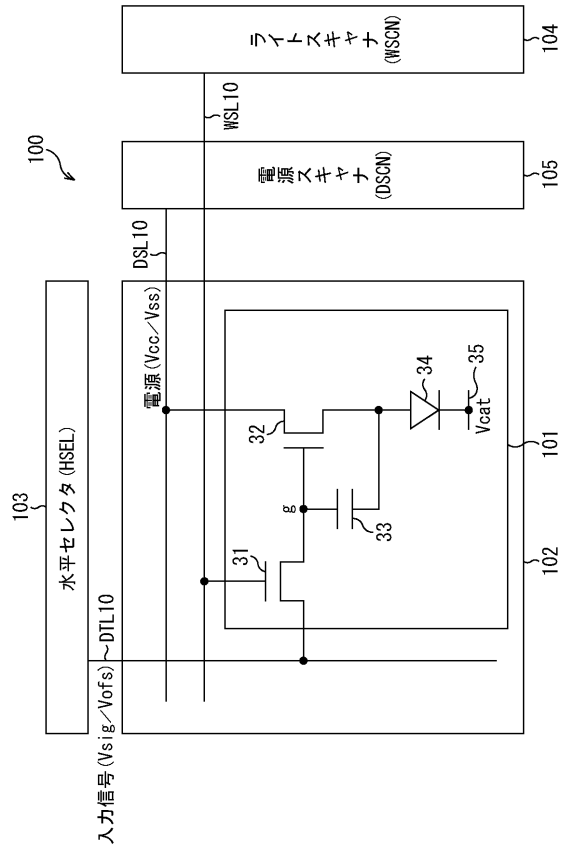
【図 3】

図3



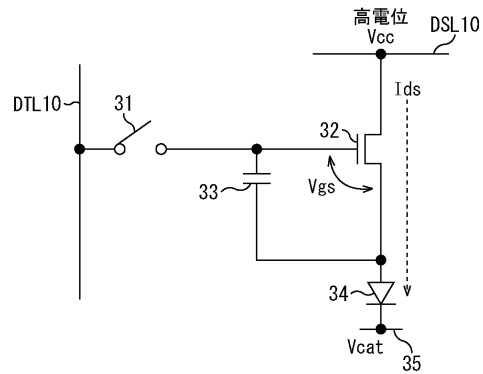
【図 2】

図2



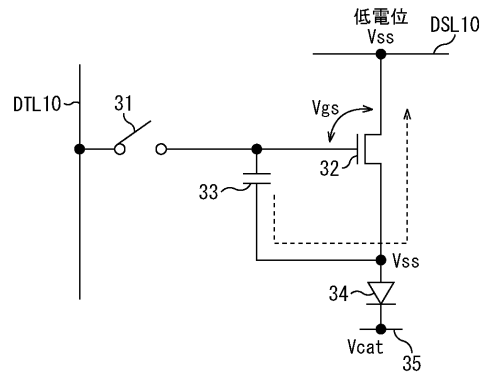
【図 4】

図4



【図 5】

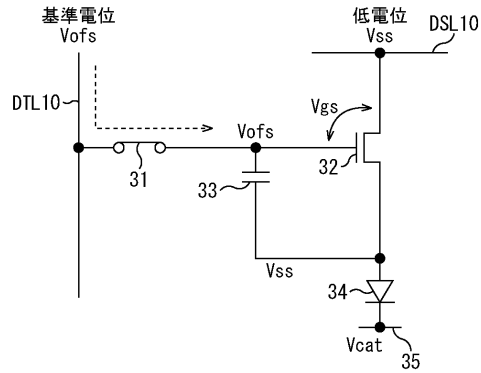
図5





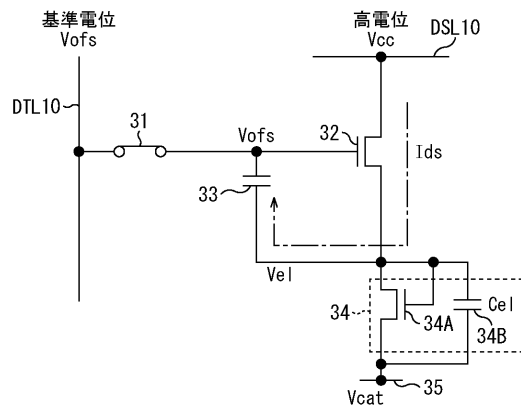
【図 6】

図6



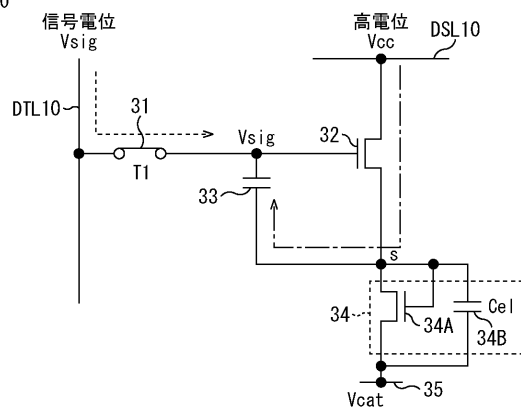
【図 7】

図7



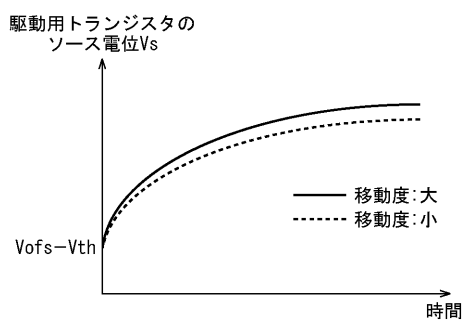
【図 10】

図10



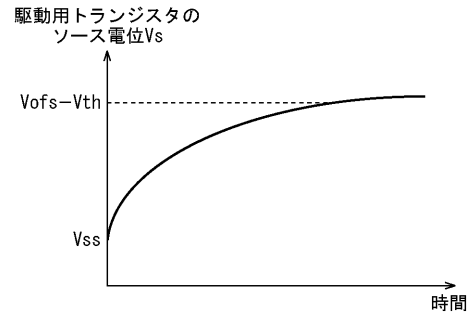
【図 11】

図11



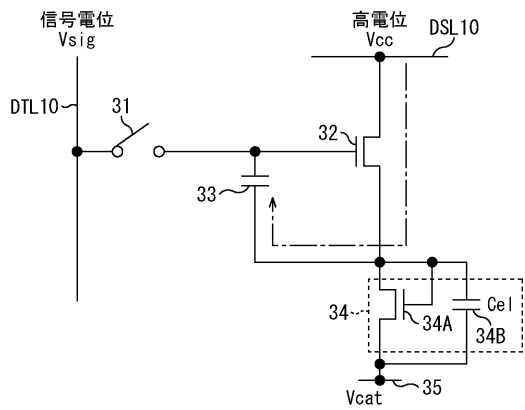
【図 8】

図8



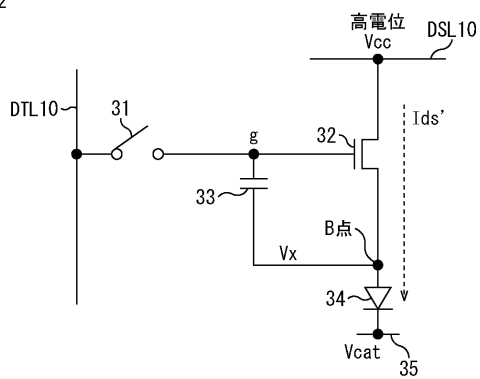
【図 9】

図9



【図 12】

図12

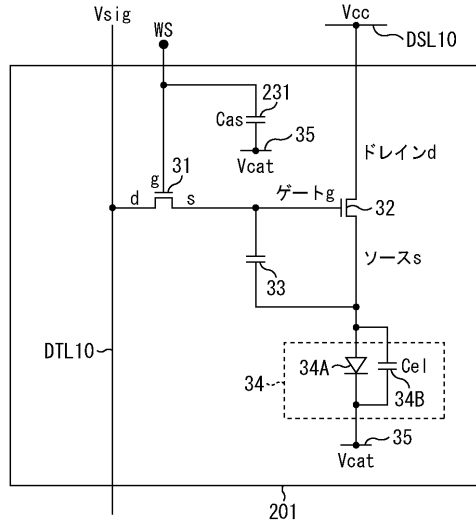






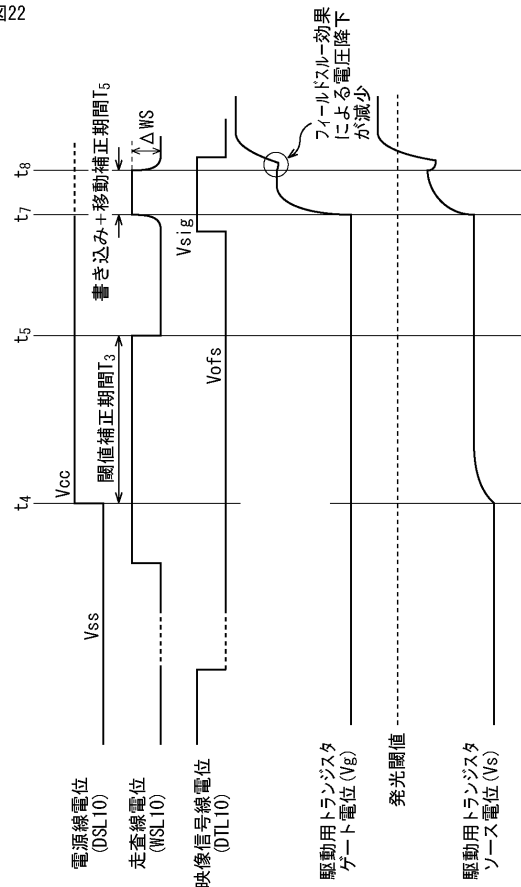
【図 2 1】

図21



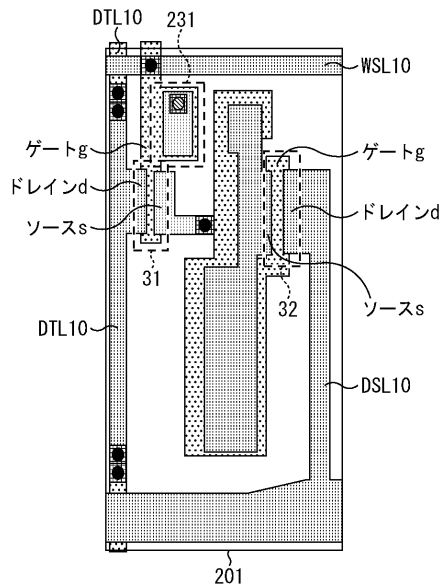
【図 2 2】

図22



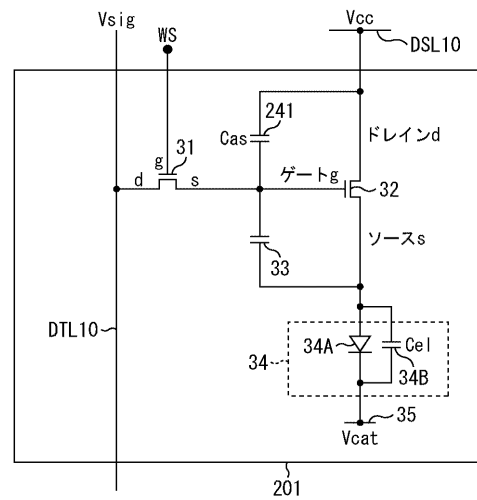
【図 2 3】

図23



【図 2 4】

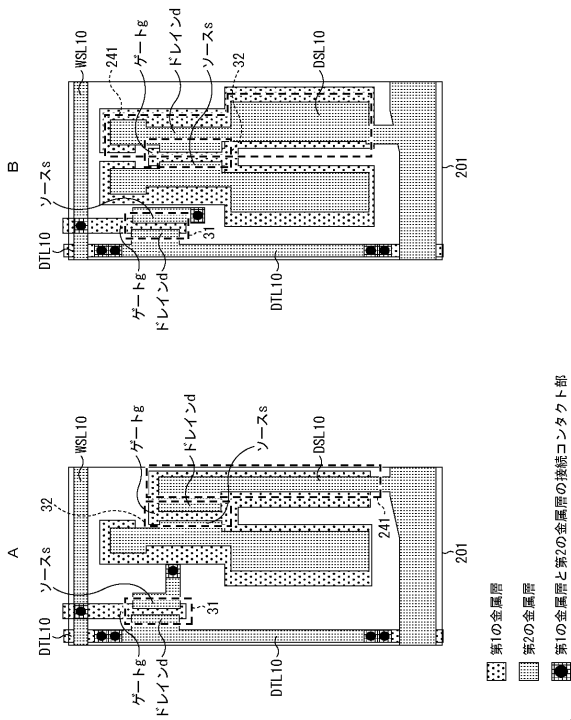
図24



- 第1の金属層
- 第2の金属層
- 第1の金属層と第2の金属層の接続コンタクト部
- 第2の金属層とカソード層の接続コンタクト部

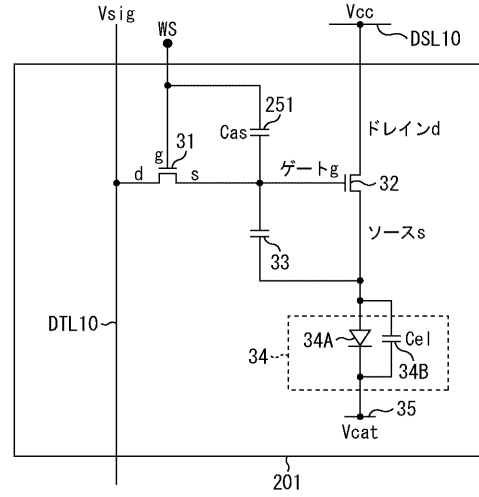
【図 25】

図25



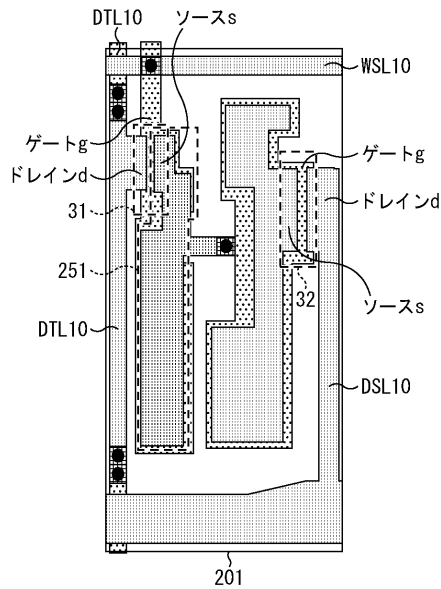
【図 26】

図26



【図 27】

図27



- 第1の金属層
- 第2の金属層
- 第1の金属層と第2の金属層の接続コンタクト部

---

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 5 B 33/14	A
	G 0 9 G 3/30	K

(72)発明者 佐川 裕志

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC31 EE03 HH04

5C080 AA06 BB05 DD05 EE29 FF11 HH09 JJ02 JJ03 JJ04 JJ06

专利名称(译)	面板和驱动控制方法		
公开(公告)号	<a href="#">JP2009288593A</a>	公开(公告)日	2009-12-10
申请号	JP2008142057	申请日	2008-05-30
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	妹尾佑樹 内野勝秀 佐川裕志		
发明人	妹尾 佑樹 内野 勝秀 佐川 裕志		
IPC分类号	G09G3/30 G09G3/20 H05B33/08 H01L51/50		
CPC分类号	Y02B20/32		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.B G09G3/20.611.H H05B33/08 H05B33/14.A G09G3/30.K G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AC07 5C380/AC09 5C380/AC11 5C380/AC20 5C380/BA28 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BB02 5C380/BB05 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC77 5C380/CD012 5C380/CD022 5C380/CD032 5C380/CE01 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA03 5C380/HA06 5C380/HA08		
代理人(译)	西川 孝		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：能够改善每个像素的亮度变化。 解决方案：当存储电容器251设置在采样晶体管31的栅极g和源极s之间时，它等于采样晶体管31的寄生电容Cws变大的事实。采样晶体管31的寄生电容Cws变大的事实意味着尽管场直通电压降本身增加，但是每个像素201的场通电压降量的变化减小。结果，可以改善由于场直通电压降引起的每个像素的亮度变化。本发明可以应用于例如EL面板。 .The 26

