

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-258330

(P2009-258330A)

(43) 公開日 平成21年11月5日(2009.11.5)

(51) Int.Cl.			F I	テーマコード (参考)		
G09G	3/30	(2006.01)	G09G 3/30	J		3K107
G09G	3/20	(2006.01)	G09G 3/20	624B		5C080
G09F	9/30	(2006.01)	G09G 3/20	642A		5C094
H01L	27/32	(2006.01)	G09G 3/20	611J		
H01L	51/50	(2006.01)	G09G 3/20	611H		

審査請求 有 請求項の数 8 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2008-106456 (P2008-106456)
 (22) 出願日 平成20年4月16日 (2008. 4. 16)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (72) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 種田 貴之
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 飯田 幸人
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

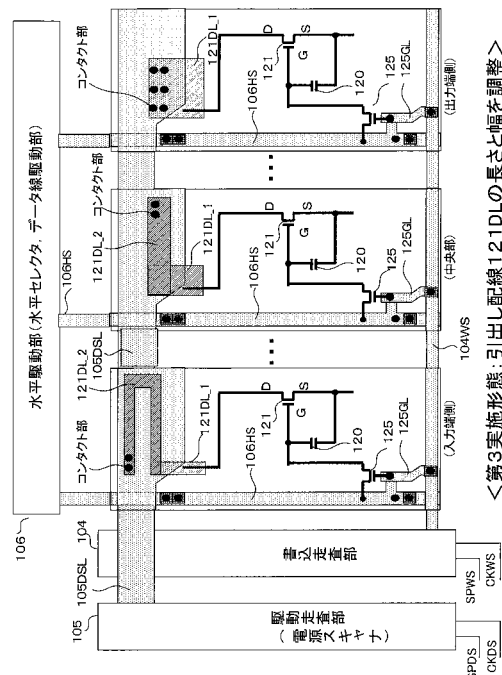
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】有機EL素子を使用する表示装置において、電源供給線の電圧降下に起因するシェーディングやクロストークを抑制する。

【解決手段】各画素回路Pは、駆動トランジスタ121のドレインを引出し配線121DLを介して電源供給線105DSLに接続する。同一発光輝度条件下では、各駆動トランジスタ121のドレイン電位が同一となるように、引出し配線121DLの長さおよび幅の少なくとも一方を電源供給線105DSLの長手方向に沿って調整されたレイアウトにする。たとえば、駆動走査部105側では、細くかつ長くして高抵抗にし、遠ざかるほど、太くかつ短くすることで低抵抗にする。

【選択図】 図11B



＜第3実施形態：引出し配線121DLの長さ幅を調整＞

【特許請求の範囲】**【請求項 1】**

駆動電流を生成する駆動トランジスタおよび前記駆動トランジスタの出力端に接続された電気光学素子を含む画素回路が行列状に配置され、前記駆動トランジスタの電源供給端にパルス状の電源電圧を供給する走査線である電源供給線が配線された画素アレイ部、
を備え、

各画素回路の前記駆動トランジスタの電源供給端が、引出し配線を介して前記電源供給線に接続されており、

各画素回路の前記引出し配線は、その配線抵抗が、前記電源供給線の長手方向に、前記パルス状の電源電圧の供給元に近い方では大きく遠ざかるほど小さくなるように、長さおよび幅の少なくとも一方が、前記電源供給線の長手方向に沿って、画素回路ごとに設定されている

10

表示装置。

【請求項 2】

各画素回路の前記電気光学素子を同一輝度で発光させる条件下では、各駆動トランジスタの前記電源供給端の電位が同一となるように、前記引出し配線の長さおよび幅の少なくとも一方が設定されている

請求項 1 に記載の表示装置。

【請求項 3】

前記引出し配線は、前記電源供給線と別の配線層に形成されており、前記引出し配線の長さまたは幅を画素回路ごとに設定する部分は、前記電源供給線と平行して配線されている

20

請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記引出し配線の配線部材は、前記電源供給線の配線部材よりも抵抗率が大きい

請求項 1 ~ 3 の内の何れか 1 項に記載の表示装置。

【請求項 5】

前記駆動電流を一定に維持する駆動信号一定化回路をさらに備えている

請求項 1 ~ 4 に記載の表示装置。

【請求項 6】

30

前記画素回路は、所定のタイミングで映像信号を前記駆動トランジスタに供給するサンプリングトランジスタを有し、

前記駆動信号一定化回路は、基準電位と信号電位で切り替わる映像信号を前記サンプリングトランジスタに供給するとともに、駆動電流を前記電気光学素子に流すために使用される第 1 電位に対応する電圧が前記駆動トランジスタの前記電源供給端に供給されかつ映像信号における基準電位が前記サンプリングトランジスタに供給されている時間帯で前記サンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されたものである
請求項 5 に記載の表示装置。

【請求項 7】

40

前記駆動信号一定化回路は、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能と、閾値補正動作の後に、前記サンプリングトランジスタを導通させることで前記保持容量に信号振幅に応じた情報を書き込む際、前記駆動トランジスタの移動度に対する補正分を前記保持容量に書き込まれる信号に加える移動度補正機能とを実現するように構成されたものである

請求項 5 または 6 に記載の表示装置。

【請求項 8】

前記駆動信号一定化回路は、前記保持容量が前記駆動トランジスタの制御入力端と前記駆動電流出力端の間に接続されることでブートストラップ機能を実現するように構成されたものである

50

請求項 5 ~ 7 の内の何れか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）を有する表示装置に関する。より詳細には、駆動信号の大小によって輝度が増減する電流駆動型の電気光学素子を表示素子として有し、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれる表示装置に関する。

【背景技術】

【0002】

画素の表示素子として、流れる電流によって輝度が増減する電流駆動型の電気光学素子を用いた表示装置がある。たとえば、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機EL, Organic Light Emitting Diode, OLED; 以下、有機ELと記す）素子が代表例である。有機EL素子を用いた有機EL表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

【0003】

有機EL素子は下部電極と上部電極との間に有機正孔輸送層や有機発光層を積層させてなる有機薄膜（有機層）を設けてなり、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、有機EL素子を流れる電流値を制御することで発色の階調を得ている。

【0004】

有機EL素子は比較的低い印加電圧（たとえば10V以下）で駆動できるため低消費電力である。また有機EL素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機EL素子の応答速度は非常に高速である（たとえば数 μ s程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機EL素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

【0005】

電気光学素子として有機EL素子などの電流駆動型の素子を用いる有機EL表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機EL素子などに供給する。このような駆動方式では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となるため、一般的には、定電流駆動方式が採用される。ところが、プロセス変動により電気光学素子を駆動する駆動トランジスタの閾値電圧や移動度がばらついてしまう。また、有機EL素子などの電気光学素子の特性が経時的に変動する。このような駆動トランジスタの特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

【0006】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動トランジスタや電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている（たとえば特許文献1）。

【0007】

【特許文献1】特開2007-310311号公報 たとえば、特許文献1に記載の仕組みでは、有機EL素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】**【0008】**

特許文献1に記載の仕組みでは、閾値補正機能や移動度補正機能の実現のため、駆動トランジスタの電源供給端（ドレイン）側を垂直走査線の一例である電源供給線に接続し、当該電源供給線にパルス状の電源電圧を供給して垂直走査する仕組みを採っている。有機EL素子のような電流発光型素子においては、発光素子に電流を流す必要があるため、電源供給線に発光に必要な比較的大きな電流が流れる。このため、電源供給元（駆動走査部など）から遠ざかるにつれて徐々に電源電圧の電圧降下が発生し、駆動トランジスタの電源供給端の電位が電源供給元から遠ざかるにつれて徐々に低くなってしまふ。

【0009】

このような場合、駆動トランジスタのドレイン・ソース間電圧が電源供給元から遠ざかるにつれて徐々に小さくなり、トランジスタ特性上アーリー効果の影響を受ける。そのため、特許文献1に記載のような特性ばらつきを防ぐ方式を採っていても、駆動電流が電源供給元から遠ざかるにつれて徐々に小さくなり、輝度が徐々に減少してしまふ。そして、輝度が徐々に減少してしまふことで、表示画面上ではシェーディングやクロストークなどの輝度むらが発生してしまふ。カラー表示の場合、色むらとなって現われる。

【0010】

本発明は、上記事情に鑑みなされたものであり、駆動トランジスタの電源供給端の電圧降下による表示むら（輝度むらや色むら）の発生を抑制することができる仕組みを提供することを目的とする。

【課題を解決するための手段】**【0011】**

本発明に係る表示装置の一形態は、先ず、駆動電流を生成する駆動トランジスタおよび駆動トランジスタの出力端に接続された電気光学素子を含む画素回路が行列状に配置され、駆動トランジスタの電源供給端にパルス状の電源電圧を供給する走査線である電源供給線が配線された画素アレイ部を備える。各画素回路の駆動トランジスタの電源供給端が、引出し配線を介して電源供給線に接続されている。

【0012】

ここで、各画素回路の引出し配線は、その配線抵抗が、電源供給線の長手方向に、パルス状の電源電圧の供給元に近い方では大きく遠ざかるほど小さくなるように、長さおよび幅の少なくとも一方（好ましくはその双方）が、電源供給線の長手方向に沿って、画素回路ごとに設定（調整）されているレイアウト形態とする。

【0013】

たとえば、各画素回路の電気光学素子を同一輝度（同一光量）で発光させる条件下では、各駆動トランジスタの電源供給端の電位が同一となるように、引出し配線の長さおよび幅の少なくとも一方を設定する。

【0014】

電流発光型の電気光学素子を含む画素アレイ部を備えた表示装置において、各画素回路の電源供給端側の引出し配線の長さや幅を、電源供給線の長手方向に調整することで、同一発光輝度の条件下では、各画素回路の駆動トランジスタの電源供給端に印加される電圧が揃うようにするのである。

【発明の効果】**【0015】**

本発明の一形態によれば、同一発光輝度の条件下で各画素回路の駆動トランジスタの電源供給端に印加される電圧が揃うように引出し配線の抵抗値が調整されたレイアウトとされているので、電源供給線の電圧降下によるシェーディングやクロストークなどの表示むらが抑制され、良好な画質の表示装置を得ることができる。

【発明を実施するための最良の形態】**【0016】**

以下、図面を参照して本発明の実施形態について詳細に説明する。

10

20

30

40

50

【 0 0 1 7 】

< 表示装置の全体概要 >

図 1 は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。ここで示す構成例では、たとえば画素の表示素子（電気光学素子、発光素子）として電流駆動型の素子である有機 E L 素子を、また能動素子としてポリシリコン薄膜トランジスタ（T F T ; Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機 E L 素子を形成してなるアクティブマトリクス型有機 E L ディスプレイ（以下「有機 E L 表示装置」や、単に「表示装置」とも称する）に適用した場合を例に採って説明する。薄膜トランジスタとしては、F E T（Field-effect Transistor : 電界効果トランジスタ）を使用する。

10

【 0 0 1 8 】

表示装置 1 は、様々な電子機器、たとえば半導体メモリやミニディスク（M D）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤー、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話などの携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号や電子機器内で生成した映像信号を、静止画像や動画像（映像）として表示するあらゆる分野の電子機器の表示部に利用できる。

【 0 0 1 9 】

なお、以下の全体構成の説明においては、画素の表示素子として有機 E L 素子を例に具体的に説明するが、これは一例であって、対象となる表示素子は有機 E L 素子に限らない。一般的に電流駆動で発光する電気光学素子の全てに、後述する全ての実施形態（特に駆動トランジスタの電源供給端の電圧降下対策）が同様に適用できる。

20

【 0 0 2 0 】

図 1 に示すように、表示装置 1 は、表示パネル部 1 0 0 と、駆動信号生成部 2 0 0（いわゆるタイミングジェネレータ）と、映像信号処理部 2 2 0 を備えている。表示パネル部 1 0 0 は、複数の表示素子としての有機 E L 素子（図示せず）を持った画素回路 P（画素とも称される）が表示アスペクト比である縦横比が X : Y（たとえば 9 : 1 6）の有効映像領域を構成するように配置された画素アレイ部 1 0 2 を主要部に備える。駆動信号生成部 2 0 0 は、表示パネル部 1 0 0 を駆動制御する種々のパルス信号を発するパネル制御部の一例である。駆動信号生成部 2 0 0 と映像信号処理部 2 2 0 とは、1 チップの I C（Integrated Circuit ; 半導体集積回路）に内蔵され、本例では、表示パネル部 1 0 0 の外部に配置されている。

30

【 0 0 2 1 】

図 1 に示す構成の場合、表示パネル部 1 0 0 は、基板 1 0 1 の上に、画素回路 P が n 行 × m 列のマトリクス状に配列された画素アレイ部 1 0 2 が配置されている。さらに画素回路 P を垂直方向に走査する垂直駆動部 1 0 3、画素回路 P を水平方向に走査する水平駆動部 1 0 6（水平セレクタあるいはデータ線駆動部とも称される）が搭載され、さらに、外部接続用の端子部 1 0 8（パッド部）が表示パネル部 1 0 0 の一辺の端部に配置されている。なお、必要に応じて、各駆動部 1 0 3、1 0 6 と外部回路とのインタフェースをとるインタフェース（I F）部が搭載されることもある。

【 0 0 2 2 】

垂直駆動部 1 0 3 としては、たとえば、書込走査部（ライトスキャナ W S ; Write Scan）1 0 4 や電源供給能力を有する電源スキャナとして機能する駆動走査部（ドライブスキャナ D S ; Drive Scan）1 0 5 を有する。画素アレイ部 1 0 2 は、一例として、図示する左右方向の一方側もしくは両側から書込走査部 1 0 4 および駆動走査部 1 0 5 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 1 0 6 で駆動されるようになっている。

40

【 0 0 2 3 】

垂直駆動部 1 0 3（書込走査部 1 0 4 および駆動走査部 1 0 5）と水平駆動部 1 0 6 とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部 1 0 9 が構成され、画素アレイ部 1 0 2 の画素回路 P を駆動

50

する駆動回路として機能するようになっている。このように、実装状態では、垂直駆動部 103 や水平駆動部 106 などの周辺駆動回路が、画素アレイ部 102 と同一の基板 101 上に搭載された構成となっている。

【0024】

なお図 1 に示す例では、パルス信号を表示パネル部 100 の外部から端子部 108 を介して入力する構成としているが、これらの各種のタイミングパルスを生じる駆動信号生成部 200 を半導体チップで構成し表示パネル部 100 上に搭載することも可能である。

【0025】

端子部 108 には、表示装置 1 の外部に配された駆動信号生成部 200 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 220 から映像信号 V_{sig} が供給されるようになっている。カラー表示対応の場合には、色別（本例では R（赤）、G（緑）、B（青）の 3 原色）の映像信号 V_{sig_R} 、 V_{sig_G} 、 V_{sig_B} が供給される。

10

【0026】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS、SPWS や垂直走査クロック CKDS、CKWS（必要に応じて位相反転した垂直走査クロック $xCKDS$ 、 $xCKWS$ も）など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH（必要に応じて位相反転した水平走査クロック $xCKH$ も）など必要なパルス信号が供給される。

【0027】

端子部 108 の各端子は、信号線 199 を介して、垂直駆動部 103 や水平駆動部 106 に接続されるようになっている。たとえば、端子部 108 に供給された各パルスは、必要に応じて図示を割愛したレベルシフト部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 103 の各部や水平駆動部 106 に供給される。

20

【0028】

画素アレイ部 102 には、垂直走査側の各走査線 104 WS₁ ~ 104 WS_n、105 DSL₁ ~ 105 DSL_n と水平走査側の走査線である映像信号線（データ線）106 HS₁ ~ 106 HS_m が形成されている。垂直走査と水平走査の各走査線の交差部分には図示を割愛した有機 EL 素子とこれを駆動する薄膜トランジスタが形成される。有機 EL 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

30

【0029】

なお、製品形態としては、図示のように、表示パネル部 100、駆動信号生成部 200、および映像信号処理部 220 の全てを備えたモジュール（複合部品）形態の表示装置 1 として提供されることに限らず、たとえば、表示パネル部 100 のみで表示装置として提供することも可能であるし、画素アレイ部 102 のみで表示装置として提供することも可能である。

【0030】

たとえば、表示装置 1 は、封止された構成のモジュール形状のものをも含む。たとえば、画素アレイ部 102 に透明なガラスなどの対向部に貼り付けられて形成された表示パネル部 100 のみでなる表示モジュールとして構成される。透明な対向部には、表示層（本例であれば有機層やその両側の電極層）、カラーフィルタ、保護膜、遮光膜などが設けられる。この場合、画素アレイ部 102 の他にも、外部から画素アレイ部 102 への映像信号 V_{sig} や各種の駆動パルスを入出力するための回路部（垂直駆動部 103 や水平駆動部 106 に相当するもの）を搭載した FPC（フレキシブルプリントサーキット）との外部接続端子となる電氣的接続端子が、表示パネル部 100 の辺縁に設けられる。その他の点は、基本的には、図 1 に示す構成の場合と同様である。

40

【0031】

< 画素回路：第 1 比較例 >

図 2 は、本実施形態の画素回路 P に対する第 1 比較例を示す図である。なお、表示パネル部 100 の基板 101 上において画素アレイ部 102 の周辺部に配置される垂直駆動部

50

103 および水平駆動部106も合わせて示している。

【0032】

駆動トランジスタを始めとする各トランジスタとしてはMOSトランジスタ(FET)を使用する。この場合、駆動トランジスタについては、ゲート端Gを制御入力端として取り扱い、ソース端Sおよびドレイン端Dの何れか一方を入力端として取り扱い、他方を出力端として取り扱う。また、特に有機EL素子127に駆動電流を供給する駆動トランジスタに関してはソース端Sおよびドレイン端Dの何れか一方(ここではソース端Sとする)を出力端として取り扱い、他方を電源供給端(ここではドレイン端Dとする)として取り扱う。以下、2TR構成での画素回路Pの一例について具体的に説明する。

【0033】

有機EL素子127は電流発光素子のため、有機EL素子127に流れる電流値を映像信号Vsigに応じてコントロールすることで発色の階調を得る。最も単純な回路としては、2つのトランジスタを使用した図2に示す第1比較例の画素回路Pが考えられる。この第1比較例の方式では、駆動トランジスタ121としてpチャンネル型(以下Pch型とも記す)のFETを使用し、サンプリングトランジスタ125(書込トランジスタ)としてnチャンネル型(以下Nch型とも記す)のFETを使用している。

【0034】

Pch型の駆動トランジスタ121は、ソースが電源に接続され、ドレインが有機EL素子127のアノードに接続されている。有機EL素子127のカソードはカソード配線Wcath(通常は接地配線GND)に接続されている。駆動トランジスタ121のゲートは、サンプリングトランジスタ125を介して書込走査部104と接続されているとともに、電源との間に保持容量120が接続されている。

【0035】

書込走査部104からの映像信号Vsigをサンプリングトランジスタ125を介して駆動トランジスタ121のゲートに供給してゲート印加電圧を変化させることで、有機EL素子127に流れる電流値をコントロールする。このとき、Pch型の駆動トランジスタ121のソースは電源に接続されており、駆動トランジスタ121はドレイン・ソース間電圧に関わらず駆動電流Idsが一定となる飽和領域で動作するように設計されている。

【0036】

よって、飽和領域で動作するトランジスタのドレイン端・ソース間に流れる電流をIds、移動度を μ 、チャンネル幅(ゲート幅)をW、チャンネル長(ゲート長)をL、ゲート容量(単位面積当たりのゲート酸化膜容量)をCox、トランジスタの閾値電圧をVthとすると、駆動トランジスタ121は下記の式(1)に示した値を持つ定電流源となっている。なお、“^”はべき乗を示す。式(1)から明らかなように、飽和領域ではトランジスタのドレイン電流Idsはゲート・ソース間電圧Vgsにより制御され定電流源として動作する。

【0037】

【数1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

【0038】

< 特性変動とその影響 >

図3は画素構成素子(有機EL素子や駆動トランジスタ)の特性変動とその影響を説明する図である。ここで、図3(1)は有機EL素子や駆動トランジスタの動作点を説明する図である。図3(2)は、有機EL素子や駆動トランジスタの特性ばらつきが駆動電流Idsに与える影響を説明する図である。

【0039】

< 発光素子のI-V特性 >

一般的に、有機EL素子を始めとする電流駆動型の発光素子のI-V特性は、図3(2)に示すように時間が経過すると劣化する。図3(2)に示す有機EL素子で代表される

10

20

30

40

50

電流駆動型の発光素子の電流 - 電圧 ($I_{el} - V_{el}$) 特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

【0040】

たとえば、発光素子の一例である有機EL素子127に発光電流 I_{el} が流れるとき、そのアノード・カソード間電圧 V_{el} は一意的に決定される。ところが、図3(2)に示すように、発光期間中では、有機EL素子127のアノード端は駆動トランジスタ121のドレイン・ソース間電流 I_{ds} (=駆動電流 I_{ds})で決定される発光電流 I_{el} が流れ、それによって有機EL素子127のアノード・カソード間電圧 V_{el} 分だけ上昇する。

【0041】

しかし、図2に示した第1比較例の画素回路Pでは、有機EL素子127のI-V特性の経時変化とともに、駆動トランジスタ121のドレイン電圧が変化してゆくが、ゲート・ソース間電圧 V_{gs} が一定であるので、有機EL素子127には一定量の電流が流れ続け、発光輝度が変化することはない。

10

【0042】

<画素回路：第2比較例>

図4は、本実施形態の画素回路Pに対する第2比較例を示す図である。なお、表示パネル部100の基板101上において画素アレイ部102の周辺部に配置される垂直駆動部103および水平駆動部106も合わせて示している。

【0043】

第2比較例の画素回路Pは、第1比較例の画素回路Pにおいて、駆動トランジスタ121をPch型からNch型に置き換えたものである。このような第2比較例の画素回路Pの場合、駆動トランジスタ121は、ドレインが電源に接続され、ソースが有機EL素子127に接続されてしまう。このため、前述の図3(2)に示したように経時劣化する有機EL素子127の $I_{el} - V_{el}$ 特性により、同じ発光電流 I_{el} に対するアノード・カソード間電圧 V_{el} が V_{el1} から V_{el2} へと変化することで、駆動トランジスタ121の動作点が変わってしまい、同じゲート電位 V_g を印加しても駆動トランジスタ121のソース電位 V_s は変化してしまう。これにより、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は変化してしまう。特性式(1)から明らかなように、ゲート・ソース間電圧 V_{gs} が変動すると、ゲート電位 V_g が一定であっても駆動電流 I_{ds} が変動し、有機EL素子127に流れる発光電流 I_{el} が変化し、有機EL素子127の経時変化とともに発光輝度は変化してしまう。

20

30

【0044】

このように、第2比較例の画素回路Pでは、発光素子の一例である有機EL素子127の $I_{el} - V_{el}$ 特性の経時変動による有機EL素子127のアノード電位変動が、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} の変動となって現れ、ドレイン電流(駆動電流 I_{ds})の変動を引き起こす。この原因による駆動電流 I_{ds} の変動は画素回路Pごとの発光輝度のばらつきや経時変動となって現れ、画質の劣化が起きる。

【0045】

<駆動トランジスタのV-I特性>

また、画素ごとに駆動トランジスタ121の特性が異なると、その影響が駆動トランジスタ121に流れる駆動電流 I_{ds} に影響を及ぼす。一例としては、式(1)から分かるように、移動度 μ や閾値電圧 V_{th} が画素によってばらついた場合や経時的に変化した場合、ゲート・ソース間電圧 V_{gs} が同じであっても、駆動トランジスタ121に流れる駆動電流 I_{ds} にばらつきや経時変化が生じ、有機EL素子127の発光輝度も画素ごとに変わってしまうことになる。

40

【0046】

たとえば、駆動トランジスタ121の製造プロセスのばらつきにより、画素回路Pごとに閾値電圧 V_{th} や移動度 μ などの特性変動がある。駆動トランジスタ121を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ121に同一のゲート電位を与えても、画素回路Pごとにドレイン電流(駆動電流 I_{ds})が変動し、発光輝度の

50

ばらつきになって現れる。

【0047】

前述のように、駆動トランジスタ121が飽和領域で動作しているときのドレイン電流 I_{ds} は、特性式(1)で表される。駆動トランジスタ121の閾値電圧ばらつきに着目した場合、特性式(1)から明らかなように、閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、閾値電圧 V_{th} のばらつきに対して何ら対策を施さないと、閾値電圧が V_{th1} のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、閾値電圧が V_{th2} のときの同じゲート電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまふ。

【0048】

また、駆動トランジスタ121の移動度ばらつきに着目した場合、特性式(1)から明らかなように、移動度 μ が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、移動度 μ のばらつきに対して何ら対策を施さないと、移動度が μ_1 のときゲート・ソース間電圧 V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、移動度が μ_2 のときの同じゲート・ソース間電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまふ。

【0049】

閾値電圧 V_{th} や移動度 μ の違いで $V_{in} - I_{ds}$ 特性に大きな違いが出てしまうと、同じ信号振幅 V_{in} を与えても、駆動電流 I_{ds} すなわち発光輝度が異なってしまい、画面輝度の均一性(ユニフォーミティ)が得られない。画素回路Pごとに駆動トランジスタ121の閾値や移動度は異なることで、式(1)に応じて、電流値にばらつきが生じ、発光輝度も画素ごとに変化してしまうのである。

【0050】

< 閾値補正および移動度補正の概念 >

これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング(詳細は後述する)とすることで、それらの変動の影響を抑制でき、画面輝度の均一性(ユニフォーミティ)を確保できる。

【0051】

本実施形態で採用する閾値補正動作および移動度補正動作では、書込みゲインが1(理想値)であると仮定した場合、発光時のゲート・ソース間電圧 V_{gs} が " $V_{in} + V_{th} - V$ " で表されるようにする。こうすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようにする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスや経時により変動しても、駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。移動度補正時には、大きな移動度 μ_1 に対しては移動度補正パラメータ V_1 が大きくなるようにする一方、小さい移動度 μ_2 に対しては移動度補正パラメータ V_2 も小さくなるように負帰還をかけることになる。こう言った意味で、移動度補正パラメータ V を負帰還量 V とも称する。

【0052】

< 画素回路：本実施形態 >

図5は、本実施形態の画素回路Pを示す図である。なお、表示パネル部100の基板101上において画素アレイ部102の周辺部に配置される垂直駆動部103および水平駆動部106も合わせて示している。本実施形態の画素回路Pは、基本的にNch型のFETで駆動トランジスタ121が構成されている。また、有機EL素子127の経時劣化による当該有機EL素子127への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機EL素子の電流-電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路(その1)を備える。

【0053】

また駆動トランジスタ121の特性変動(閾値電圧ばらつきや移動度ばらつき)による駆動電流変動を防ぐ閾値補正機能や移動度補正機能を実現して駆動電流 I_{ds} を一定に維持

10

20

30

40

50

する駆動方式を採用する。駆動トランジスタ121の特性変動(たとえば閾値電圧や移動度などのばらつきや変動)による駆動電流 I_{ds} に与える影響を抑制する方法として、2TR構成の駆動回路をそのまま駆動信号一定化回路(その1)として採用しつつ、各トランジスタ121, 125の駆動タイミングを工夫することで対処する。2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号 V_{sig} の劣化なくサンプリングできるため、良好な画質を得ることができる。

【0054】

また本実施形態の画素回路Pは、保持容量120の接続態様が第2比較例の画素回路Pと異なり、有機EL素子127の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路(その2)の一例であるブートストラップ回路を構成している。有機EL素子127の電流-電圧特性に経時変化があった場合でも駆動電流を一定にする(駆動電流変動を防ぐ)ブートストラップ機能を実現する駆動信号一定化回路(その2)を備えるのである。

10

【0055】

具体的には図5に示すように、本実施形態の画素回路Pは、それぞれNch型の駆動トランジスタ121およびサンプリングトランジスタ125と、電流が流れることで発光する電気光学素子の一例である有機EL素子127を有する。一般に、有機EL素子127は整流性があるためダイオードの記号で表している。なお、有機EL素子127には、寄生容量 C_{el} が存在する。図では、この寄生容量 C_{el} を有機EL素子127(ダイオード状のもの)と並列に示す。

20

【0056】

駆動トランジスタ121のソース端(ノードND121)とゲート端(ノードND122)の間に保持容量120が接続され、駆動トランジスタ121のソース端が直接に有機EL素子127のアノード端に接続されている。保持容量120は、ブートストラップ容量としても機能するようになっている。有機EL素子127のカソード端Kは基準電位としてのカソード電位 V_{cath} とされる。このカソード電位 V_{cath} は、基準電位を供給する全画素共通のカソード配線 $W_{cath}(GND)$ に接続されている。

【0057】

サンプリングトランジスタ125は、ゲート端が書込走査部104からの書込走査線104WSに接続され、ドレイン端が映像信号線106HSに接続され、ソース端が駆動トランジスタ121のゲート端(ノードND122)に接続されている。そのゲート端には、書込走査部104からアクティブHの書込駆動パルスWSが供給される。サンプリングトランジスタ125は、ソース端とドレイン端とを逆転させた接続態様とすることもできる。また、サンプリングトランジスタ125としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

30

【0058】

駆動トランジスタ121のドレイン端は、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える。具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端に対して、それぞれ電源電圧に相当する高電圧側の第1電位 V_{cc} と低電圧側の第2電位 V_{ss} (初期化電位 V_{ini} とも称する)とを切り替えて供給する電源電圧切替回路を具備している。駆動トランジスタ121のドレイン端側を第1電位 V_{cc} と第2電位 V_{ss} の2値をとる電源駆動パルスDSLで駆動することで、閾値補正に先立つ準備動作を行なうことを可能にしている。

40

【0059】

第2電位 V_{ss} としては、映像信号線106HSにおける映像信号 V_{sig} の基準電位であるオフセット電位 V_{ofs} より十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} (ゲート電位 V_g とソース電位 V_s の差)が駆動トランジスタ121の閾値電圧 V_{th} より大きくなるように、電源供給線105DSLの低電位側の第2電位 V_{ss} を設定する。なお、オフセット電位 V_{ofs} は、閾値補正動作に先立つ初期化動作に

50

利用するとともに映像信号線 106HSを予めプリチャージしておくためにも利用する。

【0060】

このような画素回路Pでは、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端に第1電位V_{cc}が供給され、ソース端Sが有機EL素子127のアノード端側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【0061】

このような画素回路Pを採用する場合、駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ(サンプリングトランジスタ125)を使用する2TR駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルスDSLおよび書込駆動パルスWSのオン/オフタイミングの設定により、有機EL素子127の経時劣化や駆動トランジスタ121の特性変動(たとえば閾値電圧や移動度などのばらつきや変動)による駆動電流I_{ds}に与える影響を防ぐ。

【0062】

画素回路Pを駆動するため、画素アレイ部102の周辺部には、書込走査部104、駆動走査部105および、水平駆動部106を配置する。制御部109は、駆動タイミングを適正化することで、駆動トランジスタ121に流れる駆動電流I_{ds}を一定に維持する駆動信号一定化回路として機能するようにする。このため、先ず駆動走査部105は、好ましくは、保持容量120に信号振幅V_{in}に対応する情報が書き込まれた時点でサンプリングトランジスタ125を非導通状態にして駆動トランジスタ121の制御入力端への映像信号V_{sig}の供給を停止させ、駆動トランジスタ121の出力端の電位変動に制御入力端の電位が連動するブートストラップ動作を行なうように制御するのがよい。

【0063】

制御部109は、好ましくは、ブートストラップ動作を、サンプリング動作の終了後の発光開始の初期でも実行するようにする。すなわち、信号電位がサンプリングトランジスタ125に供給されている状態でサンプリングトランジスタ125を導通状態にした後にサンプリングトランジスタ125を非導通状態にすることで、駆動トランジスタ121の制御入力端と出力端の電位差が一定に維持されるようにする。

【0064】

また、制御部109は、好ましくはブートストラップ動作を、発光期間において電気光学素子(有機EL素子127)の経時変動補正動作を実現するように制御する。このため、制御部109は、保持容量120に保持された情報に基づく駆動電流I_{ds}が電気光学素子(有機EL素子127)に流れている期間は継続的にサンプリングトランジスタ125を非導通状態にしておくことで、制御入力端と出力端の電圧を一定に維持可能にして電気光学素子の経時変動補正動作を実現するとよい。発光時における保持容量120のブートストラップ動作により有機EL素子127の電流-電圧特性が経時変動しても駆動トランジスタ121の制御入力端と出力端の電位差をブートストラップした保持容量120により一定に保つことで、常に一定の発光輝度を保つようにするのである。

【0065】

また、好ましくは、制御部109は、オフセット電位V_{ofs}がサンプリングトランジスタ125の入力端(ソース端が典型例)に供給されている時間帯でサンプリングトランジスタ125を導通させることで駆動トランジスタ121の閾値電圧V_{th}に対応する電圧を保持容量120に保持するための閾値補正動作を行なうように制御する。この閾値補正動作は、必要に応じて、信号振幅V_{in}に対応する情報の保持容量120への書込みに先行する複数の水平周期で繰り返し実行して、確実に駆動トランジスタ121の閾値電圧V_{th}に相当する電圧を保持容量120に保持させるのがよい。

【0066】

また、さらに好ましくは、制御部109は、閾値補正動作に先立って、サンプリングトランジスタ125の入力端にオフセット電位V_{ofs}が供給されている時間帯でサンプリングトランジスタ125を導通させて閾値補正用の準備動作(放電動作や初期化動作)を実

10

20

30

40

50

行するように制御する。閾値補正動作前に駆動トランジスタ 121 の制御入力端と出力端の電位を初期化しておくのである。より詳しくは、制御入力端と出力端と間に保持容量 120 を接続しておくことで、保持容量 120 の両端の電位差が閾値電圧 V_{th} 以上になるように設定するのである。

【0067】

<本実施形態の画素回路の動作>

図6は、図5に示した本実施形態の画素回路Pに関する本実施形態の駆動タイミングの基本例を説明するタイミングチャートである。図6A～図6Gは、図6に示したタイミングチャートの各期間における等価回路と動作状態を説明する図である。

【0068】

図6においては、時間軸を共通にして、書込走査線 104 WS の電位変化、電源供給線 105 DSL の電位変化、および映像信号線 106 HS の電位変化を表してある。また、これらの電位変化と並行に、1行分について駆動トランジスタ 121 のゲート電位 V_g およびソース電位 V_s の変化も表してある。

【0069】

以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが1(理想値)であると仮定して、保持容量 120 に信号振幅 V_{in} の情報を、書き込む、保持する、あるいはサンプリングするなど簡潔に記して説明する。書込みゲインが1未満の場合、保持容量 120 には信号振幅 V_{in} の大きさそのものではなく、信号振幅 V_{in} の大きさに対応するゲイン倍された情報が保持されることになる。

【0070】

因みに、信号振幅 V_{in} に対応する保持容量 120 に書き込まれる情報の大きさの割合を、書込みゲイン G_{input} と称する。ここで、書込みゲイン G_{input} は、具体的には、電気回路的に保持容量 120 と並列に配置される寄生容量を含めた全容量 C_1 と、電気回路的に保持容量 120 と直列に配置される全容量 C_2 との容量直列回路において、信号振幅 V_{in} を容量直列回路に供給したときに容量 C_1 に配分される電荷量に関する。式で表せば、 $g = C_1 / (C_1 + C_2)$ とすると、書込みゲイン $G_{input} = C_2 / (C_1 + C_2) = 1 - g$ となる。

【0071】

また、説明や理解を容易にするため、特段の断りのない限り、ブートストラップゲインが1(理想値)であると仮定して簡潔に記して説明する。因みに、駆動トランジスタ 121 のゲート・ソース間に保持容量 120 が設けられている場合に、ソース電位 V_s の上昇に対するゲート電位 V_g の上昇率をブートストラップゲイン(ブートストラップ動作能力) G_{bst} と称する。ここで、ブートストラップゲイン G_{bst} は、具体的には、保持容量 120 の容量値 C_s 、駆動トランジスタ 121 のゲート・ソース間に形成される寄生容量 C_{121gs} の容量値 C_{gs} 、ゲート・ドレイン間に形成される寄生容量 C_{121gd} の容量値 C_{gd} 、およびサンプリングトランジスタ 125 のゲート・ソース間に形成される寄生容量 C_{125gs} の容量値 C_{ws} に関する。式で表せば、ブートストラップゲイン $G_{bst} = (C_s + C_{gs}) / (C_s + C_{gs} + C_{gd} + C_{ws})$ となる。

【0072】

基本的には、書込走査線 104 WS や電源供給線 105 DSL の1行ごとに、1水平走査期間だけ遅れて同じような駆動を行なう。また、本実施形態の駆動タイミングでは、映像信号 V_{sig} が非有効期間であるオフセット電位 V_{ofs} にある期間を1水平期間の前半部とし、有効期間である信号電位 ($V_{ofs} + V_{in}$; V_{in} は信号振幅) にある期間を1水平期間の後半部とする。本実施形態では、1水平期間を処理サイクルとして、閾値補正動作を1回行なうようにしているが、複数回に亘って繰り返すようにしてもよい。

【0073】

1水平期間が閾値補正動作の処理サイクルとなるのは、行ごとに、サンプリングトランジスタ 125 が信号振幅 V_{in} の情報を保持容量 120 にサンプリングする前に、閾値補正動作に先立って、電源供給線 105 DSL の電位を第2電位 V_{ss} にセットし、また駆動ト

10

20

30

40

50

ランジスタ 121 のゲートをオフセット電位 V_{ofs} にセットし、さらにソース電位を第 2 電位 V_{ss} にセットする初期化動作を経てから、電源供給線 105 DSL の電位が第 1 電位 V_{cc} にある状態であつ映像信号線 106 HS がオフセット電位 V_{ofs} にある時間帯でサンプリングトランジスタ 125 を導通させて駆動トランジスタ 121 の閾値電圧 V_{th} に対応する電圧を保持容量 120 に保持させようとする閾値補正動作を行なうからである。

【0074】

必然的に、閾値補正期間は、1 水平期間よりも短くなってしまふ。したがって、保持容量 120 の容量 C_s や第 2 電位 V_{ss} の大きさ関係やその他の要因で、この短い 1 回分の閾値補正動作期間では、閾値電圧 V_{th} に対応する正確な電圧を保持容量 120 に保持仕切れないケースも起こり得る。本実施形態において、閾値補正動作を複数回実行するのは、この対処のためである。すなわち、信号振幅 V_{in} の情報の保持容量 120 へのサンプリング（信号書込み）に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで、確実に駆動トランジスタ 121 の閾値電圧 V_{th} に相当する電圧を保持容量 120 に保持させるのである。

10

【0075】

先ず、有機 EL 素子 127 の発光状態は図 6 A のように、電源駆動パルス DSL が第 1 電位 V_{cc} であり、サンプリングトランジスタ 125 がオフした状態である。このとき、駆動トランジスタ 121 は飽和領域で動作するように設定されているため、有機 EL 素子 127 に流れる駆動電流 I_{ds} は駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} に応じて式 (1) に示される値をとる。

20

【0076】

次に、図 6 B に示すように、電源供給線 105 DSL の電位を第 2 電位 V_{ss} (= 初期化電位 V_{ini}) V_{ini} ($< V_{th}(el) + V_{cath}$) とすると、電源供給線 105 DSL が駆動トランジスタ 121 のソースとなり、駆動トランジスタ 121 のソース電位 V_s がほぼ初期化電位 V_{ini} に等しくなるため、有機 EL 素子 127 は消光する。なお、有機 EL 素子 127 の閾値電圧が $V_{th}(el)$ 、カソード電位が V_{cath} である。

【0077】

次に、図 6 C に示すように、書込走査線 104 WS の電位を高電位側に遷移すると、サンプリングトランジスタ 125 がオン状態となり、駆動トランジスタ 121 のゲート電位 V_g がオフセット電位 V_{ofs} となり、駆動トランジスタ 121 のソース電位 V_s は初期化電位 V_{ini} となる。このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は " $V_{ofs} - V_{ini}$ " となる。この " $V_{ofs} - V_{ini}$ " が駆動トランジスタ 121 の閾値電圧 V_{th} よりも大きくないと閾値補正動作を行なうことができないため、" $V_{ofs} - V_{ini} > V_{th}$ " と設定する必要がある。この期間では、駆動トランジスタ 121 のゲート電位 V_g をオフセット電位 V_{ofs} に、駆動トランジスタ 121 のソース電位 V_s を初期化電位 V_{ini} に確定させており、これを閾値補正準備期間とする。

30

【0078】

次に、図 6 D に示すように、電源供給線 105 DSL の電位を第 1 電位 V_{cc} とすると、駆動トランジスタ 121 がオンし電流が流れ出す。これにより、有機 EL 素子 127 の寄生容量 C_{el} が充電されていき、駆動トランジスタ 121 のソース電位 V_s が上昇し、一定時間経過後に、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} となる。この期間が駆動トランジスタ 121 の閾値補正期間である。

40

【0079】

次に、図 6 E に示すように、書込走査線 104 WS の電位を低電位側に遷移することでサンプリングトランジスタ 125 はオフ状態となる。このとき、駆動トランジスタ 121 のゲート電位 V_g がフローティングになるが、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} であるためカットオフ状態であり、ドレイン電流は流れない。

【0080】

次に、図 6 F に示すように、映像信号線 106 HS の電位が入力電位 V_{in} (= $V_{ofs} + V_{in}$) のタイミングにおいて、書込走査線 104 WS の電位を高電位側に遷移することで、

50

サンプリングトランジスタ125がオン状態となり、駆動トランジスタ121のゲート電位 V_g に信号振幅 V_{in} に対応した電位が書き込まれる(信号電位書き込み)。これにより、駆動トランジスタ121は“ゲート・ソース間電圧 $V_{gs} > 閾値電圧V_{th}$ ”となり、電源供給線105DSLから駆動電流 I_{ds} が流れ、保持容量120(容量値 C_s)と有機EL素子127の寄生容量 C_{el} (容量値 C_{el})の充電が行なわれていき、駆動トランジスタ121のソース電位 V_s が時間とともに上昇していく。

【0081】

このとき、すでに駆動トランジスタ121の閾値電圧 V_{ht} は補正されている。このため、駆動トランジスタ121を流れる駆動電流 I_{ds} は移動度 μ を反映したものであり、移動度 μ が大きいものは電流量が多くソース電位 V_s の上昇が早く、移動度 μ が小さいものは電流量が小さくソース電位 V_s の上昇が遅い。そのため、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は移動度 μ を補正する方向に縮小していき、一定時間経過後にほぼ移動度 μ を補正したゲート・ソース間電圧 V_{gs} となる。この動作を移動度補正と呼び、この期間が駆動トランジスタ121の移動度補正期間である。

10

【0082】

次に、図6Gに示すように、書込走査線104WSの電位を低電位側に遷移することでサンプリングトランジスタ125はオフ状態となる。“ $V_{gs} = V_{in} - V_{ofs} + V_{th} - V > V_{th}$ ”であるため、駆動電流 I_{ds} が流れ、駆動トランジスタ121のソース電位 V_s が上昇するが、これに伴い、保持容量120によるブートストラップ動作により、駆動トランジスタ121のゲート電位 V_g も上昇するため、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は“ $V_{gs} = V_{in} - V_{ofs} + V_{th} - V$ ”を保持し、一定電流(=駆動電流 I_{ds})を流し、有機EL素子127を発光させる。

20

【0083】

駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、書込みゲインを“1”とすれば先のトランジスタ特性を表した式(1)の V_{gs} に“ $V_{in} - V + V_{th}$ ”を代入することで、式(2)のように表すことができる。式(2)において、 $k = (1/2)(W/L)C_{ox}$ である。

【0084】

【数2】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(\Delta V_{in} - \Delta V)^2 \dots(2)$$

30

【0085】

この式(2)から、閾値電圧 V_{th} の項がキャンセルされており、有機EL素子127に供給される駆動電流 I_{ds} は駆動トランジスタ121の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は信号電位 V_{in} (詳しくは信号振幅 V_{in} に対応して保持容量120に保持されるサンプリング電圧= V_{gs})によって決まる。換言すると、有機EL素子127は信号振幅 V_{in} に応じた輝度で発光することになる。その際、保持容量120に保持される情報は帰還量 V で補正されている。この補正量 V はちょうど式(2)の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、駆動電流 I_{ds} は実質的に信号振幅 V_{in} のみに依存することになる。

【0086】

40

つまり、以上の回路動作では、発光時のゲート・ソース間電圧 V_{gs} には、駆動トランジスタ121の特性ばらつきである閾値電圧 V_{th} の補正項と、移動度 μ の補正項(= V)が含まれており、有機EL素子127のI-V特性に影響を受ける項は含まれていない。そのため、有機EL素子127の経時劣化、駆動トランジスタ121の特性ばらつきを防ぐことができる。つまり、本実施形態の画素回路Pにおいて、回路動作が正確に行なわれれば、有機EL素子127の経時劣化や駆動トランジスタ121の特性ばらつきを防ぐことができる。

【0087】

<問題点>

図7および図8は、本実施形態の表示パネル部100に発生する問題点を説明する図で

50

ある。ここで、図7は、電源配線である電源供給線105DSLの配線抵抗に起因する全白表示時に画像に現われる問題を説明する図である。図8は、電源配線である電源供給線105DSLの配線抵抗に起因するウィンドウパターン表示時に画像に現われる問題を説明する図である。なお、図8においては、トランジスタのアーリー効果との関係において、図7、図8の問題が生じる原因も説明する。

【0088】

図7に示すように、走査線Lscan(図7では電源垂直走査用の電源供給線105DSLに着目して示す)が横方向に配線される。そのため、電源供給線105DSLについては、配線抵抗に起因する問題を考慮する必要がある。

【0089】

すなわち、図5に示したように、2つのトランジスタ(駆動トランジスタ121およびサンプリングトランジスタ125)と1つの容量(保持容量120)で画素回路Pを構成し、閾値補正機能や移動度補正機能やブートストラップ機能を働かせようとする場合、駆動トランジスタ121の電源供給端であるドレイン側を第1電位 V_{cc} と第2電位 V_{ss} (=初期化電位 V_{ini})とでスイッチング駆動するので、図7や図8(1)に示すように、横方向に電源供給線105DSLが配線され、同列の画素回路Pの各駆動電流 I_{ds} は、基準電位を供給する全画素共通の接地配線 V_{cath} (一例としてGND)に流れ込む。

【0090】

このため、画素アレイ部102の制御部109側(走査信号入力端側:図7、図8(3)のパネル左端側)とその反対側(走査信号出力端側:図7、図8(3)のパネル右端側)とでは、走査線Lscanの配線抵抗により、走査信号入力端側よりも走査信号出力端側の方が電圧降下が大きく、駆動トランジスタ121のドレイン(電源供給端)の電位は走査信号入力端側よりも走査信号出力端側で低くなる。図中では配線抵抗を抵抗素子の記号で示す。つまり、電源供給元の駆動走査部105から遠ざかるにつれて徐々に電源電圧の電圧降下が発生し、駆動トランジスタ121の電源供給端の電位が電源供給元から遠ざかるにつれて徐々に低くなってしまふ。

【0091】

このような場合、駆動トランジスタのドレイン・ソース間電圧が電源供給元から遠ざかるにつれて徐々に小さくなり、アーリー効果の影響を受ける。そのため、図6~図6Gに示したような特性ばらつきを防ぐ方式を採っていても、駆動電流が電源供給元から遠ざかるにつれて徐々に小さくなる。

【0092】

この影響は、表示パターンによって、画像に現われる現象が異なってくる。たとえば、図7では全白表示の例を示している。全白表示の場合、前述のように、駆動走査部105から遠ざかるにつれて徐々に電源電圧の電圧降下が大きくなり、駆動トランジスタ121のドレイン端の電位が駆動走査部105から遠ざかるにつれて徐々に低くなってしまふ。このような場合、図8(2)に示すトランジスタ特性から分るように、図6~図6Gに示したような仕組みにより特性ばらつきを防いでも、大元の電源電圧(つまり駆動トランジスタ121のドレイン端の電位)が下がることから輝度が徐々に減少してしまふ。そのため、図7に示すように、輝度が徐々に減少してシェーディングが発生してしまふ。

【0093】

また、映像パターンによって駆動トランジスタ121に流れる駆動電流 I_{ds} が異なると、電源配線(電源供給線105DSLと接地配線 V_{cath})の配線抵抗との関係で横方向に電源電圧(詳しくは駆動トランジスタ121のドレイン・ソース間電圧 V_{ds})が変わる。特に、有機EL素子127のカソード側は同列の画素回路Pの全ての駆動電流 I_{ds} (その総和を全駆動電流 I_{ds_all} とする)が流れ込むことで、同列のカソード側はカソード配線抵抗 R_{cath} と全駆動電流 I_{ds_all} の積の分だけ接地電位GNDよりも浮くので、ドレイン・ソース間電圧 V_{ds} が変動する。

【0094】

駆動トランジスタ121は飽和領域で使用するのであるが、図8(2)に示すように、

10

20

30

40

50

駆動トランジスタ 1 2 1 のドレイン・ソース間電圧 V_{ds} が変動すると、アーリー効果のため、同じ駆動電圧（ゲート・ソース間電圧 V_{gs} ）であっても駆動電流 I_{ds} に差が生じる。このため、たとえば、図 8（3）に示すように、ウィンドウパターンを表示したときには横クロストークとして視認される。この横クロストーク対策を行なうためには、たとえば、電圧降下による電流低下を抑える必要がある。一般的には、輝度差の視認レベルは 1% 以内であるので、これを満たすように対策を採る。

【0095】

また、全駆動電流 I_{ds_all} に起因する接地電位 GND に対するカソード電位の浮きは、駆動電流 I_{ds} つまり階調によって異なることになるので、階調ごとに特性が異なることになってしまい、カラー表示の場合は色相ずれが懸念される。

10

【0096】

次に、前述の各種の問題を解消するための本実施形態の仕組みについて説明する。

【0097】

< 基本原理 >

図 9 は、電源供給線 1 0 5 DSL の電圧降下を起因とする表示むらを抑制する本実施形態の仕組みを説明する概念図である。

【0098】

本実施形態の仕組みの基本的な考え方は、各画素回路 P の駆動トランジスタ 1 2 1 の電源供給端であるドレイン端から電源供給線 1 0 5 DSL に接続される引出し配線 1 2 1 DL（ドレイン配線）の長さおよび幅を調整するレイアウト方式である。これにより、各画素回路 P の有機 EL 素子 1 2 7 を同一輝度（同一光量）で発光させる条件下では、各駆動トランジスタ 1 2 1 の電源供給端であるドレイン端の電位が同一となるように、引出し配線 1 2 1 DL の長さおよび幅の少なくとも一方を電源供給線 1 0 5 DSL の長手方向に沿って、画素回路 P ごとに調整する。同一輝度条件下では、各画素回路 P の駆動トランジスタ 1 2 1 のドレインにかかる電圧が極力揃うようにし、電源供給線 1 0 5 DSL の電圧降下によるシェーディングやクロストークなどの輝度むらを抑制するのである。

20

【0099】

具体的には、まず、その前提として、電源供給線 1 0 5 DSL を他の配線とのクロス部以外の部分のみできるだけ大きくレイアウトすることにより、電源供給線 1 0 5 DSL そのものによる電圧降下が極力少なくなるようにしておく。その上で、電源供給線 1 0 5 DSL の長手方向に沿った電源供給線 1 0 5 DSL の電圧降下の画素回路 P ごとの差を相殺するように、引出し配線 1 2 1 DL の幅と長さを電源供給線 1 0 5 DSL の長手方向に沿って、画素回路 P ごとに調整する。

30

【0100】

基本的には、引出し配線 1 2 1 DL の配線抵抗が、電源供給線 1 0 5 DSL の長手方向に、電源駆動パルス DSL（パルス状の電源電圧）の供給元である駆動走査部 1 0 5 に近い方では大きく遠ざかるほど小さくなるようにする。こうすることで、表示パネル部 1 0 0 内における電源供給線 1 0 5 DSL の電圧降下を抑制することができ、シェーディングやクロストークの発生が抑制される。その結果、良好な画質の表示装置を得ることができる。

40

【0101】

たとえば、図 9 では、水平方向に 3 画素分、垂直方向に 2 画素分の画素回路 P を示している。1 行目の駆動走査部 1 0 5 側を画素回路 P 1、真ん中を画素回路 P 2、パネル右端側を画素回路 P 3 とする。2 行目の駆動走査部 1 0 5 側を画素回路 P 4、真ん中を画素回路 P 5、パネル右端側を画素回路 P 6 とする。

【0102】

図 9 において、1 画素当たりの電源供給線 1 0 5 DSL の配線抵抗を r とする。各画素回路 P の駆動トランジスタ 1 2 1 のドレイン端から電源供給線 1 0 5 DSL に引出される引出し配線 1 2 1 DL の抵抗値 R を、画素回路 P 1 ~ P 6 について、図示のように、 $R_1, R_2, R_3, R_4, R_5, R_6$ とする。 R の後の符号が画素回路 P の符号と一致している。

【0103】

50

全白表示を行なう場合、各画素回路 P には、基本的には、同一の駆動電流 $I_{ds} (= I)$ が流れる。このとき、その電流 I が電源供給線 105 DSL や引出し配線 121 DL に流れるため、各画素回路 P の駆動トランジスタ 121 のドレイン端の電位が下がる。このときのドレイン端の電位を、画素回路 P 1 ~ P 6 について、図示のように、 $V_1, V_2, V_3, V_4, V_5, V_6$ とする。V の後の符号が画素回路 P や引出し配線 121 DL の抵抗値 R の符号と一致している。

【0104】

各ドレイン端での電圧降下をそれぞれ、 $V_1, V_2, V_3, V_4, V_5, V_6$ とすると、式 (3) のようになる。

【0105】

【数3】

$$\left. \begin{aligned} \Delta V_1 &= r \times 3 I + R_1 \times I \\ \Delta V_2 &= r \times 3 I + r \times 2 I + R_2 \times I \\ \Delta V_3 &= r \times 3 I + r \times 2 I + r \times I + R_3 \times I \\ \Delta V_4 &= r \times 3 I + R_4 \times I \\ \Delta V_5 &= r \times 3 I + r \times 2 I + R_5 \times I \\ \Delta V_6 &= r \times 3 I + r \times 2 I + r \times I + R_6 \times I \end{aligned} \right\} \dots (3)$$

10

【0106】

各ドレイン端で電圧降下があっても、それらが同じであれば表示むらは発生しない。本実施形態の仕組みは、この点に着目してなされたものである。各ドレイン端で電圧降下が同じであるとすると、式 (3) から、式 (4) を導くことができる。

20

【0107】

【数4】

$$\left. \begin{aligned} &r \times 3 I + R_1 \times I \\ &= r \times 3 I + r \times 2 I + R_2 \times I \\ &= r \times 3 I + r \times 2 I + r \times I + R_3 \times I \\ &= r \times 3 I + R_4 \times I \\ &= r \times 3 I + r \times 2 I + R_5 \times I \\ &= r \times 3 I + r \times 2 I + r \times I + R_6 \times I \end{aligned} \right\} \dots (4)$$

30

【0108】

式 (4) を満たすように、それぞれの画素回路 P の引出し配線 121 DL (ドレイン配線) の抵抗値 R を調整することにより、各画素回路 P のドレイン端の電位を、 $V_1 = V_2 = V_3 = V_4 = V_5 = V_6$ とすることができる。引出し配線 121 DL の抵抗値 R の調整は、電源供給線 105 DSL の長手方向に沿って、その長さや幅を調整することで実現できる。

【0109】

この実現のため、駆動走査部 105 に近い画素回路 P においては、電源供給線 105 DSL から各画素回路 P の駆動トランジスタ 121 までの引出し配線 121 DL の抵抗値 R を上昇 (配線幅：細、あるいは、配線長：長) させる。そして、駆動走査部 105 から離れた画素回路 P になるにつれて、電源供給線 105 DSL から駆動トランジスタ 121 のドレイン端までの引出し配線 121 DL の抵抗を減少 (配線幅：太、配線長：短い) させる。各画素回路 P の駆動トランジスタ 121 のドレインに印加される電圧を一定にするように引出し配線 121 DL のレイアウトを行なうのである。

40

【0110】

各画素回路 P の引出し配線 121 DL の長さや幅を調整したレイアウトにすることにより、各画素回路 P の駆動トランジスタ 121 の電源供給端であるドレイン端に印加される電圧を一定にすることができる。駆動電流が流れることで駆動トランジスタ 121 のドレイン端に電圧降下が発生しても、各画素回路 P でドレイン電圧が同一であれば、表示むらは発生しない。

50

【 0 1 1 1 】

< 第 1 実施形態 >

図 1 0 および図 1 1 は、図 9 に示した基本原理を実現する第 1 実施形態のレイアウト例（模式図）を説明する図である。ここで、図 1 0 は、本実施形態を適用しない比較例のレイアウト例を示す模式図である。図 1 1 は、第 1 実施形態を適用したレイアウト例を示す模式図である。なお、本実施形態の仕組みは、電源供給線 1 0 5 DSL と引出し配線 1 2 1 DL の関係がポイントであるので、その他の部分については画素回路 P を利用して簡単に示している。図 1 0 (1) には、画素回路 P を示す。

【 0 1 1 2 】

何れも、書込走査線 1 0 4 WS や電源供給線 1 0 5 DSL や映像信号線 1 0 6 HS は、抵抗値を下げるため第 2 配線層 L 2 にてアルミニウムやタンゲステンなどで配線している。なお、各走査線が交差する部分では比較的抵抗値が大きくなるモリブデンなどの第 1 配線層 L 1 を使ってオーバーラップさせる。図示した例では、映像信号線 1 0 6 HS と書込走査線 1 0 4 WS や電源供給線 1 0 5 DSL が交差する部分で、映像信号線 1 0 6 HS 側を一旦第 1 配線層 L 1 を経由させている。

10

【 0 1 1 3 】

また、各走査線とトランジスタ端子を接続する引出し配線は、たとえば、第 1 配線層 L 1 や第 2 配線層 L 2 やその他の配線層を使って配線する。たとえば、図示した例では、サンプリングトランジスタ 1 2 5 のゲートと書込走査線 1 0 4 WS を第 1 配線層 L 1 の引出し配線 1 2 5 GL (ゲート配線) で接続している。また、駆動トランジスタ 1 2 1 のドレインと電源供給線 1 0 5 DSL を第 1 配線層 L 1 および第 2 配線層 L 2 とは異なる第 3 配線層 L 3 の引出し配線 1 2 1 DL で接続している。第 3 配線層 L 3 は、第 2 配線層 L 2 よりも抵抗率の大きな配線部材を使用する。つまり、幅、長さ、厚さなどを同一条件としたとき、たとえば第 2 配線層 L 2 よりも高抵抗のポリシリコンの層とする。

20

【 0 1 1 4 】

ここで、図 1 0 (2) に示す比較例では、引出し配線 1 2 1 DL を単純に電源供給線 1 0 5 DSL に接続しており、この配線形状は各画素回路 P で同じである。つまり、引出し配線 1 2 1 DL は、全画素同一のレイアウトとなっている。

【 0 1 1 5 】

一方、本実施形態のレイアウトでは、駆動走査部 1 0 5 に近い方の画素回路 P (図では P 1 , P 4) は引出し配線 1 2 1 DL の抵抗値が大きく、駆動走査部 1 0 5 から遠ざかるほど引出し配線 1 2 1 DL の抵抗値が小さくなるように、画素回路 P ごとに引出し配線 1 2 1 DL の長さを設定する。この際、第 1 実施形態のレイアウトでは、ドレイン端側の引出し配線 1 2 1 DL_1 についてはほぼ比較例と同様にしているが、駆動トランジスタ 1 2 1 GL_2 を延長配線として利用し、全体の引出し配線 1 2 1 DL の長さを、駆動走査部 1 0 5 に近い方 (入力端側) では長く、駆動走査部 1 0 5 から遠ざかるほど短くする。因みに、駆動走査部 1 0 5 から最も遠い出力端側 (パネル右端側) では、引出し配線 1 2 1 DL の配線長を最も短くするために、延長配線としての引出し配線 1 2 1 DL_2 を使用していない。

30

【 0 1 1 6 】

引出し配線 1 2 1 DL_2 は、第 2 配線層 L 2 に配された電源供給線 1 0 5 DSL とは別の第 3 配線層 L 3 にポリシリコンなどで平行に配線しておく。こうすることで、他の配線のレイアウトの障害とならないようにする。そして、式 (4) を満たすように画素回路 P ごとに所定の長さにした後で、引出し配線 1 2 1 DL_2 や引出し配線 1 2 1 DL_1 をコンタクト部で電源供給線 1 0 5 DSL と接続する。

40

【 0 1 1 7 】

また、引出し配線 1 2 1 DL を、電源供給線 1 0 5 DSL が配される第 2 配線層 L 2 の配線部材よりも抵抗値の大きな配線部材で形成された第 3 配線層 L 3 で形成することで、式 (4) を満足させるための抵抗値調整がし易くなる。

【 0 1 1 8 】

< 第 2 実施形態 >

50

図 1 1 A は、図 9 に示した基本原理を実現する第 2 実施形態のレイアウト例を示す模式図である。図 9 に示した仕組みを実現するために、駆動走査部 1 0 5 に近い方の画素回路 P (図では P 1 , P 4) は引出し配線 1 2 1 DL の抵抗値が大きく、駆動走査部 1 0 5 から遠ざかるほど引出し配線 1 2 1 DL の抵抗値が小さくなるように、画素回路 P ごとに引出し配線 1 2 1 DL の幅を設定する。この際、第 2 実施形態のレイアウトでは、引出し配線 1 2 1 DL の長さではなく、引出し配線 1 2 1 DL の幅を、駆動走査部 1 0 5 に近い方では細く、駆動走査部 1 0 5 から遠ざかるほど太くすることで、これを実現している。引出し配線 1 2 1 DL は、第 2 配線層 L 2 に配された電源供給線 1 0 5 DSL とは別の第 3 配線層 L 3 にポリシリコンなどで平行に配線しておく。こうすることで、他の配線のレイアウトの障害とならないようにする。因みに、駆動走査部 1 0 5 から遠ざかる側では、引出し配線 1 2 1 DL の幅を広くするのに合わせて、電源供給線 1 0 5 DSL との接続をとるコンタクト部の数を増やしてもよいし、全列、同一のコンタクト数としてもよい。

10

【 0 1 1 9 】

< 第 3 実施形態 >

図 1 1 B は、図 9 に示した基本原理を実現する第 3 実施形態のレイアウト例を示す模式図である。図 9 に示した仕組みを実現するために、駆動走査部 1 0 5 に近い方の画素回路 P (図では P 1 , P 4) は引出し配線 1 2 1 DL の抵抗値が大きく、駆動走査部 1 0 5 から遠ざかるほど引出し配線 1 2 1 DL の抵抗値が小さくなるように、画素回路 P ごとに引出し配線 1 2 1 DL の長さと同幅を設定する。この際、第 3 実施形態のレイアウトは、第 1 実施形態と第 2 実施形態を併用したもので、駆動走査部 1 0 5 に近い方では引出し配線 1 2 1 DL を長くかつ細くし、駆動走査部 1 0 5 から遠ざかるほど、引出し配線 1 2 1 DL を短くかつ太くすることで、これを実現している。引出し配線 1 2 1 DL_1 , 1 2 1 DL_2 は、第 2 配線層 L 2 に配された電源供給線 1 0 5 DSL とは別の第 3 配線層 L 3 にポリシリコンなどで平行に配線しておく。こうすることで、他の配線のレイアウトの障害とならないようにする。長さと同幅 (太さ) の双方を調整する第 3 実施形態では、引出し配線 1 2 1 DL の抵抗値の調整範囲が前述の第 1 ・第 2 実施形態よりも広がる。

20

【 0 1 2 0 】

このように、第 1 ~ 第 3 実施形態のレイアウトにすることで、比較例の画素レイアウト (図 1 0) では問題であった、電源供給線 1 0 5 DSL の電圧降下によるシェーディング現象 (図 7) やクロストーク現象 (図 8 (3)) を抑制できる。このため、有機 EL 素子 1 2 7 のような電流発光型素子を含む表示装置において、シェーディング現象やクロストーク現象を抑制することができ、良好な画質を得ることができる。

30

【 図面の簡単な説明 】

【 0 1 2 1 】

【 図 1 】 本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【 図 2 】 本実施形態の画素回路に対する第 1 比較例を示す図である。

【 図 3 】 画素構成素子の特性変動とその影響を説明する図である。

【 図 4 】 本実施形態の画素回路に対する第 2 比較例を示す図である。

【 図 5 】 本実施形態の画素回路を示す図である。

40

【 図 6 】 本実施形態の画素回路に関する本実施形態の駆動タイミングの基本例を説明するタイミングチャートである。

【 図 6 A 】 図 6 に示したタイミングチャートの期間 A における等価回路と動作状態を説明する図である。

【 図 6 B 】 図 6 に示したタイミングチャートの期間 A における等価回路と動作状態を説明する図である。

【 図 6 C 】 図 6 に示したタイミングチャートの期間 A における等価回路と動作状態を説明する図である。

【 図 6 D 】 図 6 に示したタイミングチャートの期間 A における等価回路と動作状態を説明する図である。

50

【図 6 E】図 6 に示したタイミングチャートの期間 A における等価回路と動作状態を説明する図である。

【図 6 F】図 6 に示したタイミングチャートの期間 A における等価回路と動作状態を説明する図である。

【図 6 G】図 6 に示したタイミングチャートの期間 A における等価回路と動作状態を説明する図である。

【図 7】電源供給線の配線抵抗に起因する全白表示時に画像に現われる問題を説明する図である。

【図 8】図 8 は、電源供給線の配線抵抗に起因するウィンドウパターン表示時に画像に現われる問題を説明する図である。

【図 9】電源供給線の電圧降下を起因とする表示むらを抑制する本実施形態の仕組みを説明する概念図である。

【図 10】本実施形態を適用しない比較例のレイアウト例を示す図である。

【図 11】第 1 実施形態のレイアウト例（引出し配線の長さによる抵抗値調整）を示す模式図である。

【図 11 A】第 2 実施形態のレイアウト例（引出し配線の幅による抵抗値調整）を示す模式図である。

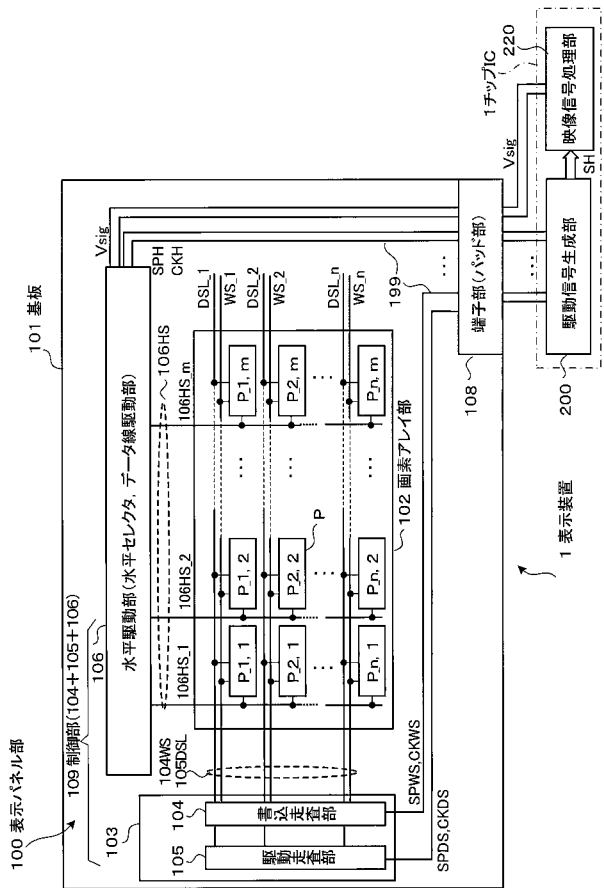
【図 11 B】第 3 実施形態のレイアウト例（引出し配線の長さおよび幅による抵抗値調整）を示す模式図である。

【符号の説明】

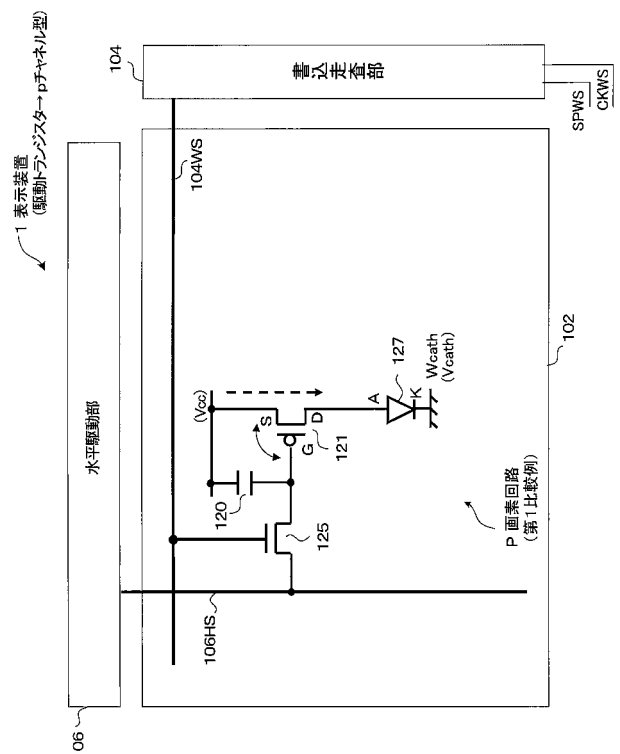
【0122】

1 ... 表示装置、100 ... 表示パネル部、101 ... 基板、102 ... 画素アレイ部、103 ... 垂直駆動部、104 ... 書込走査部、104 WS ... 書込走査線、105 ... 駆動走査部、105 DSL ... 電源供給線、106 ... 水平駆動部、106 HS ... 映像信号線、109 ... 制御部、120 ... 保持容量、121 ... 駆動トランジスタ、121 DL ... 引出し配線、125 ... サンプルトランジスタ、127 ... 有機 EL 素子、200 ... 駆動信号生成部、220 ... 映像信号処理部、P ... 画素回路

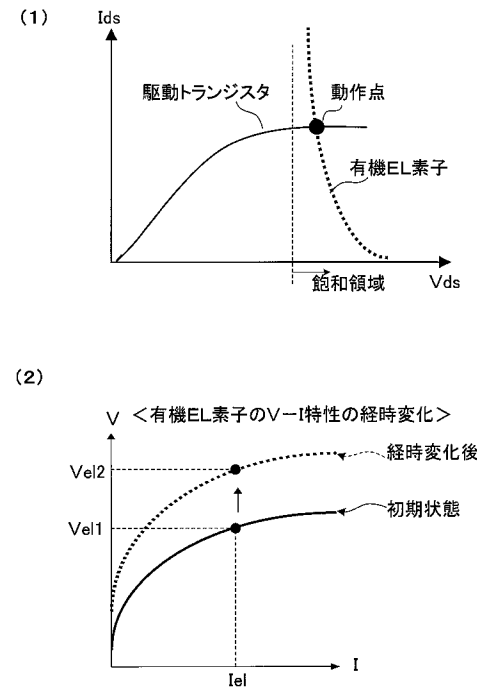
【 図 1 】



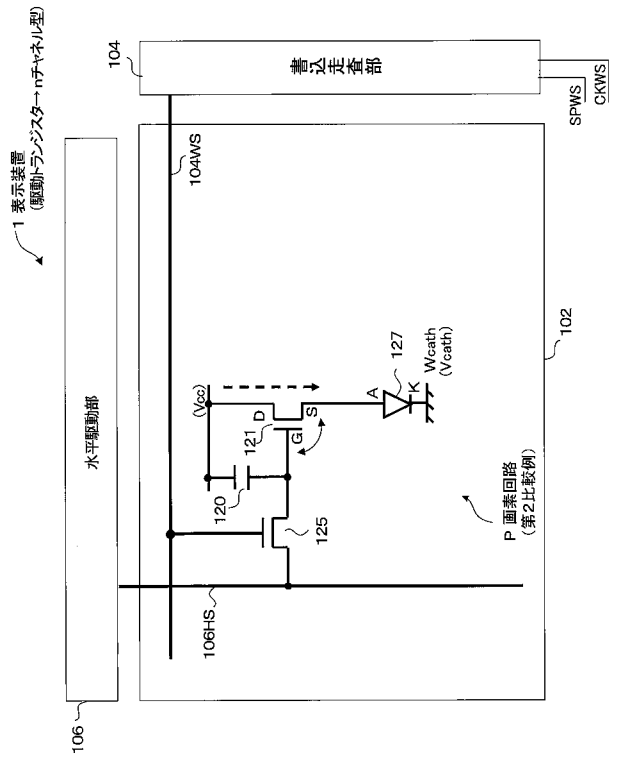
【 図 2 】



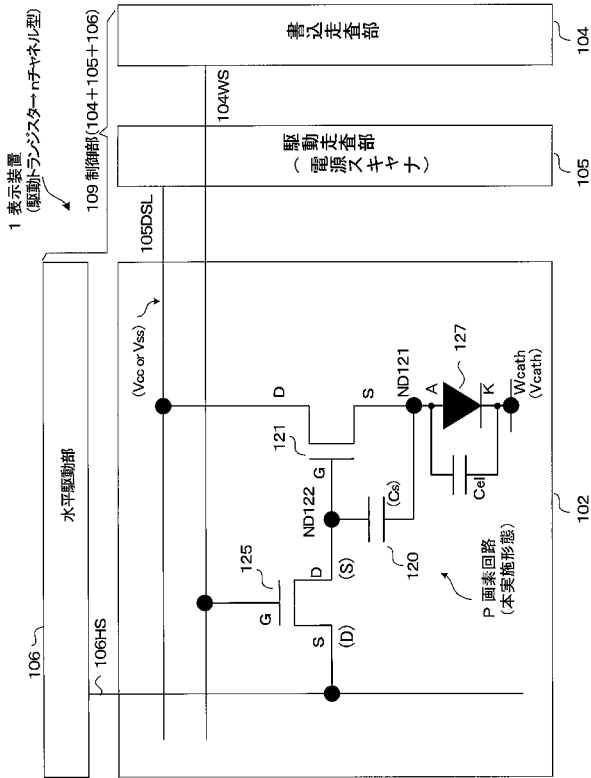
【 図 3 】



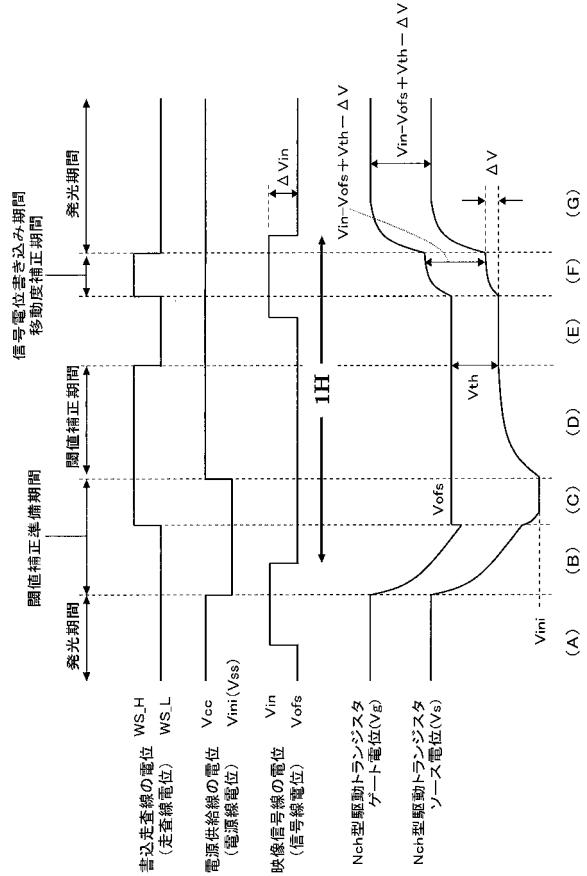
【 図 4 】



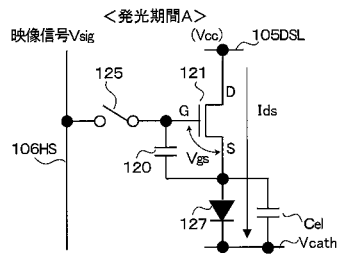
【図5】



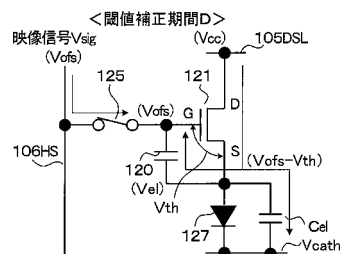
【図6】



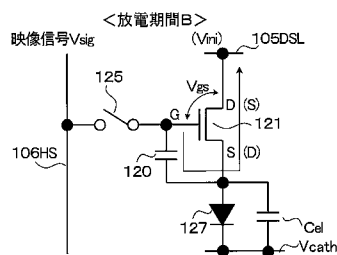
【図6A】



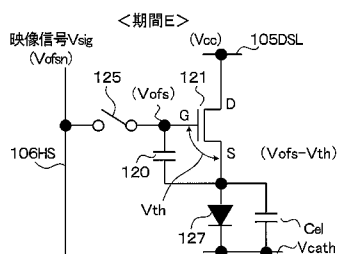
【図6D】



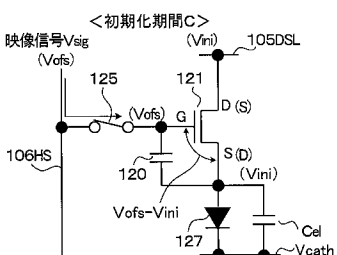
【図6B】



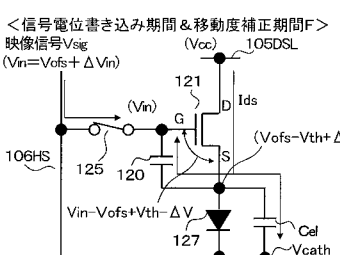
【図6E】



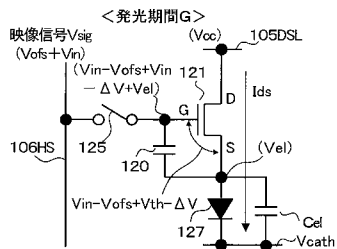
【図6C】



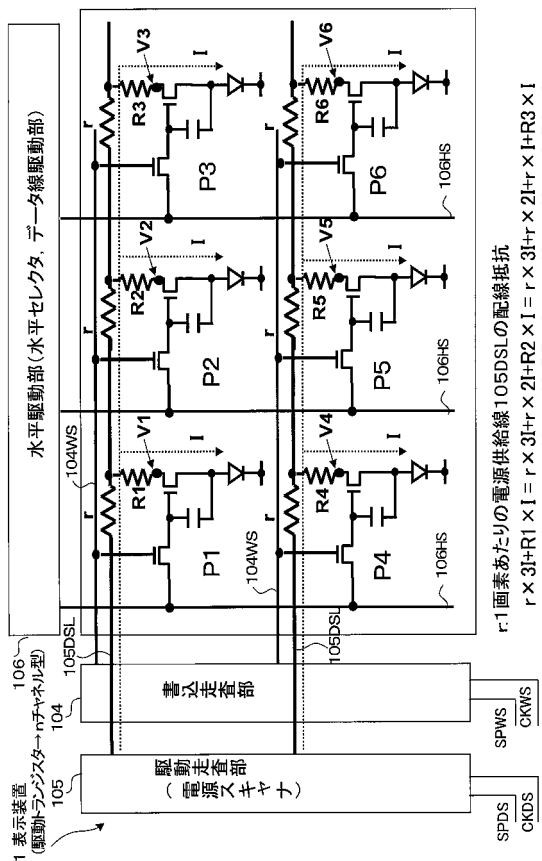
【図6F】



【図 6 G】

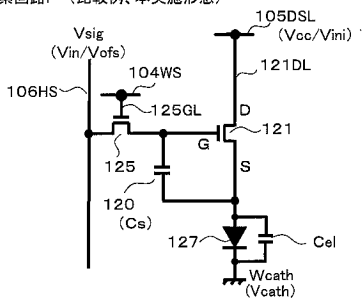


【図 9】

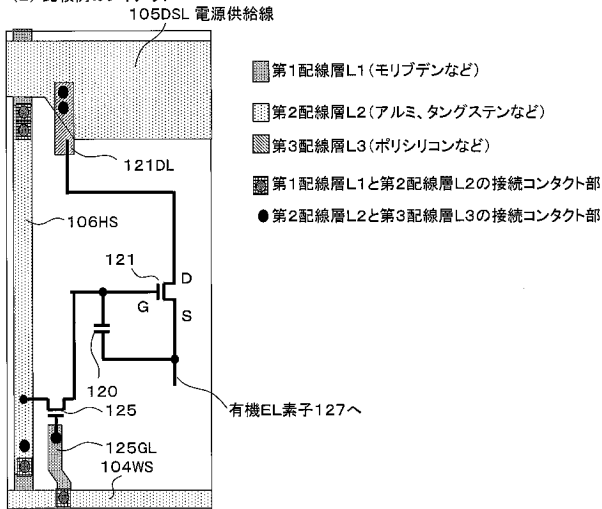


【図 10】

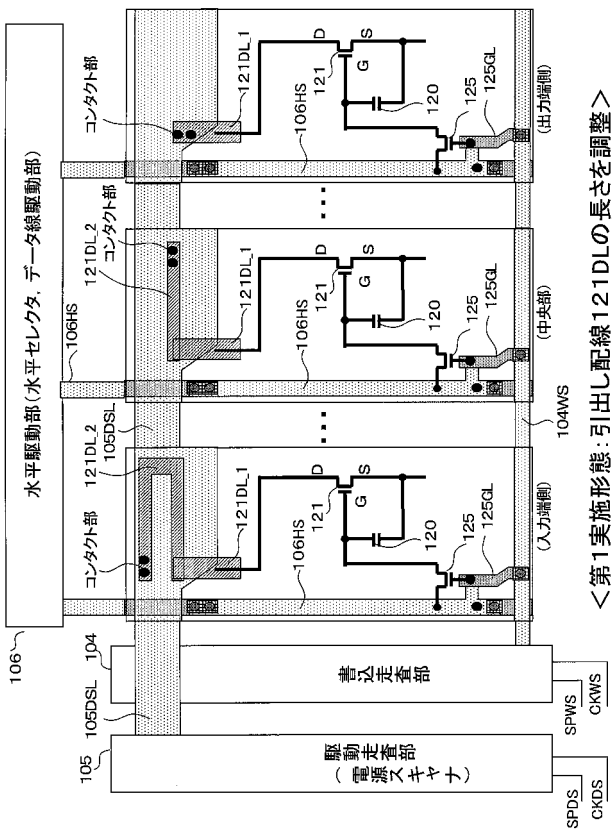
(1) 画素回路 P (比較例、本実施形態)



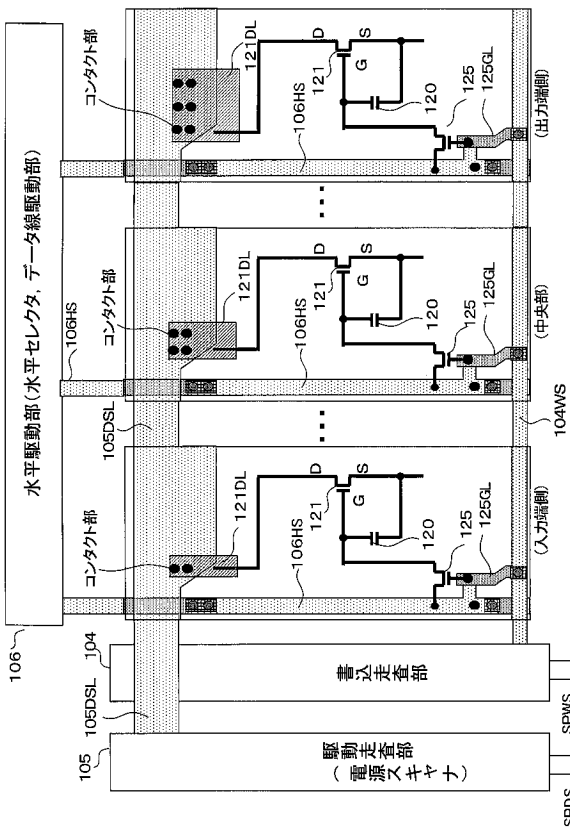
(2) 比較例のレイアウト



【図 11】

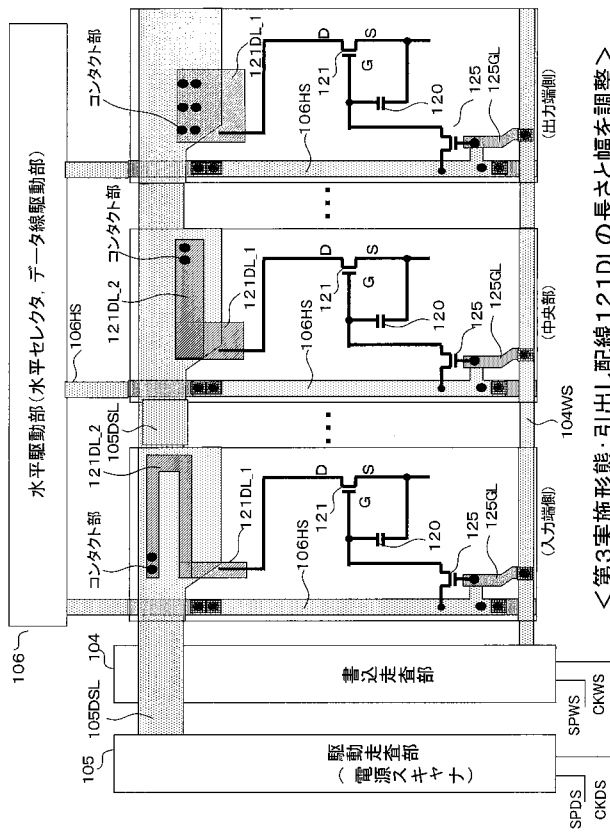


【図 1 1 A】



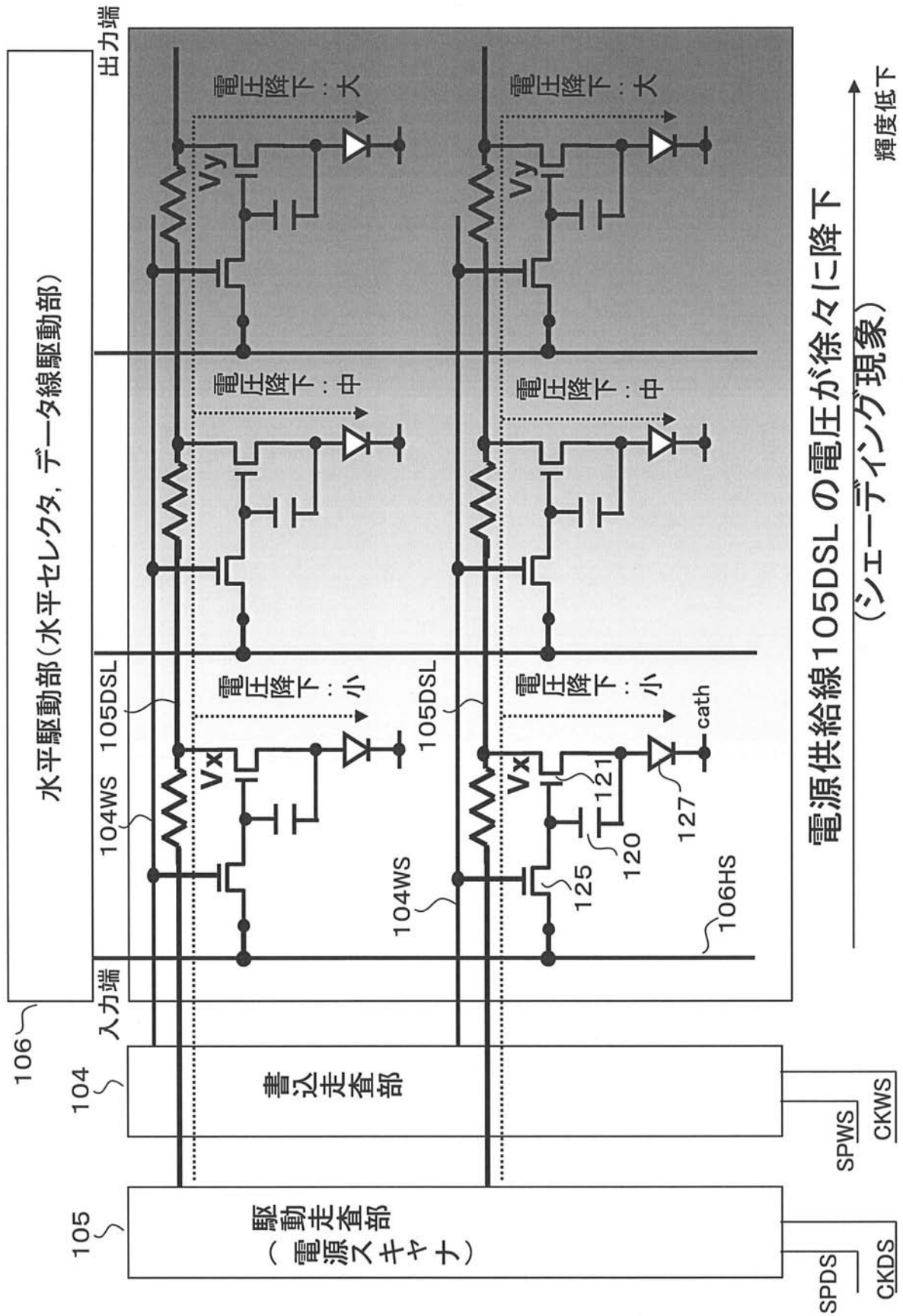
<第2実施形態:引出し配線121DLの幅を調整>

【図 1 1 B】

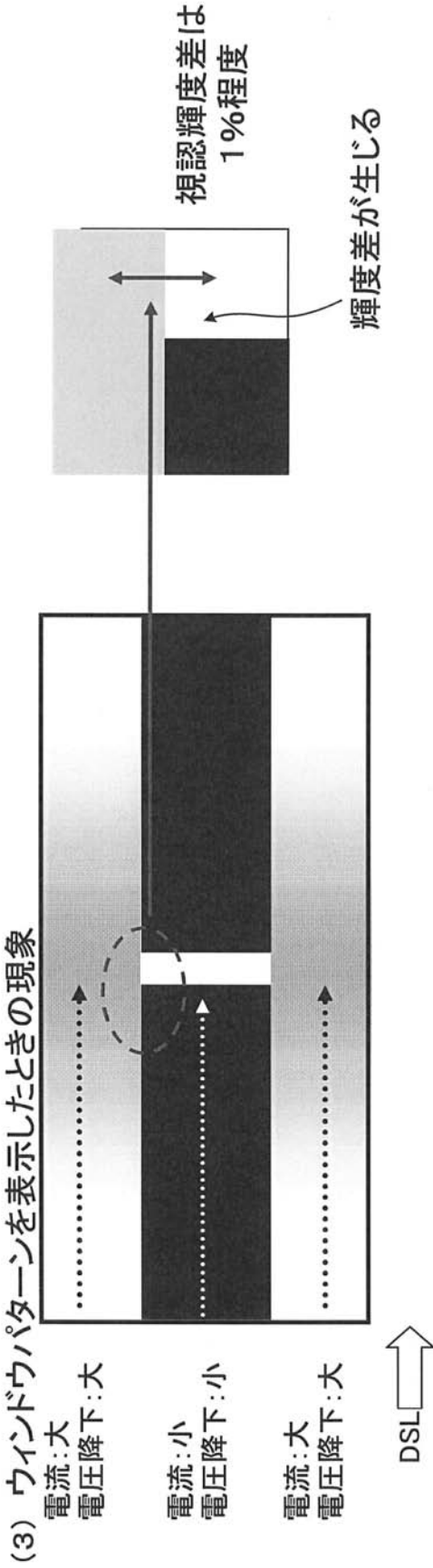


<第3実施形態:引出し配線121DLの長さ幅を調整>

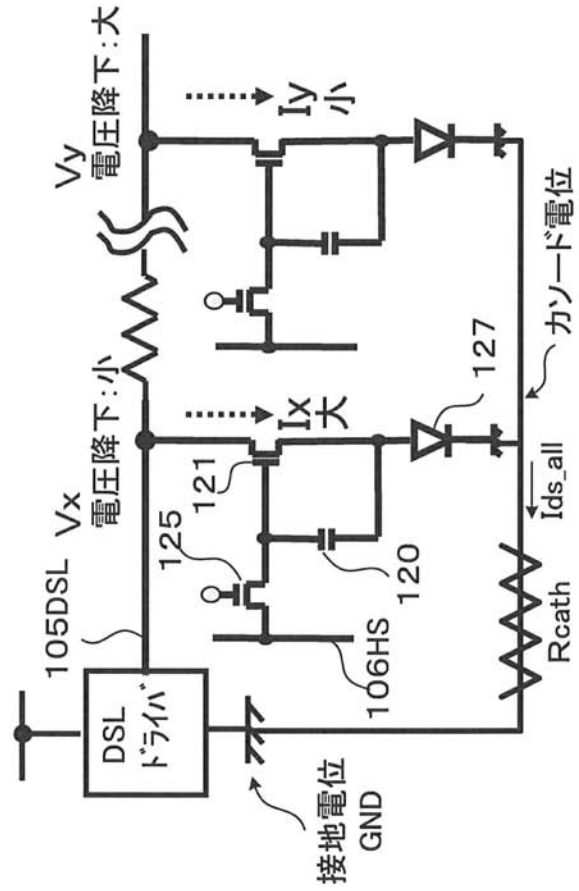
【図7】



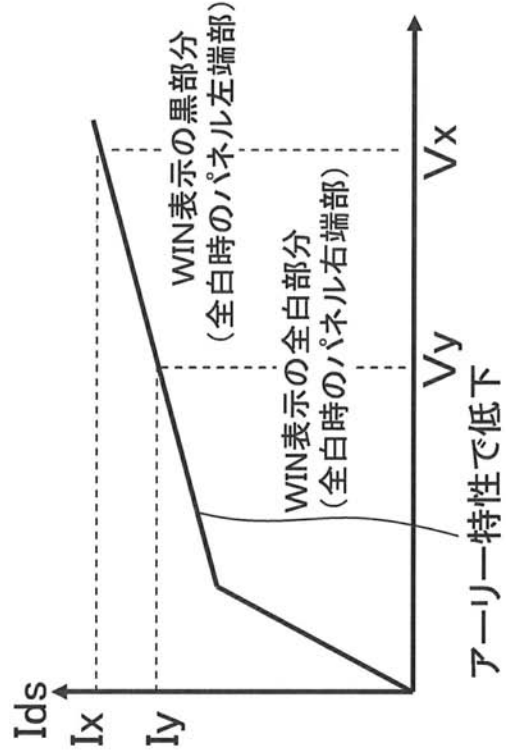
【 図 8 】



(1) 電源供給線105DSLの配線抵抗による影響



(2) 駆動トランジスタの $V_{ds} - I_{ds}$ 特性



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

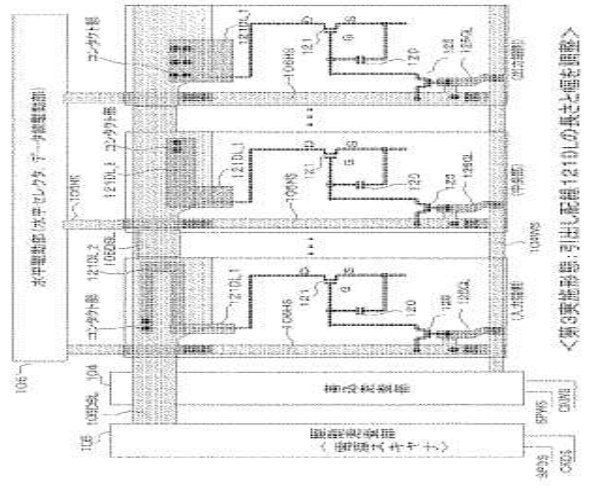
G 0 9 F	9/30	3 3 8
G 0 9 F	9/30	3 6 5 Z
H 0 5 B	33/14	A

Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH00 HH04 HH05
5C080 AA06 BB05 DD05 EE29 FF01 FF11 HH09 JJ02 JJ03 JJ04
JJ05
5C094 AA03 AA07 AA08 AA23 AA53 AA55 BA03 BA27 CA19 DB01
FA01 FA04 FB12 FB14 FB19 GA10

专利名称(译)	表示装置		
公开(公告)号	JP2009258330A	公开(公告)日	2009-11-05
申请号	JP2008106456	申请日	2008-04-16
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	種田貴之 内野勝秀 飯田幸人		
发明人	種田 貴之 内野 勝秀 飯田 幸人		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/2092 G09G3/3208 G09G3/3225 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2320/00 G09G2320/0209 G09G2320/0233 G09G2320/043 H01L27/3279		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.A G09G3/20.611.J G09G3/20.611.H G09F9/30.338 G09F9/30.365.Z H05B33/14.A G09F9/30.365 G09G3/20.680.H G09G3/3233 G09G3/3266 G09G3 /3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080 /AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF01 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/AA03 5C094/AA07 5C094/AA08 5C094/AA23 5C094 /AA53 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB01 5C094/FA01 5C094/FA04 5C094/FB12 5C094/FB14 5C094/FB19 5C094/GA10 5C380/AA01 5C380/AB06 5C380/AB23 5C380 /AB34 5C380/AB46 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB05 5C380/BB06 5C380/BB08 5C380/BD02 5C380/CA08 5C380/CA12 5C380 /CA48 5C380/CA49 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CB27 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380 /CC33 5C380/CC41 5C380/CC62 5C380/CC68 5C380/CC71 5C380/CD012 5C380/CD022 5C380 /DA02 5C380/DA06 5C380/DA47 5C380/HA04		
代理人(译)	船桥 国则		
其他公开文献	JP4737221B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少使用有机EL元件的显示装置中的电源线的电压降引起的阴影或串扰。ΣSOLUTION：在每个像素电路P中，驱动晶体管121的漏极通过引出线1DL连接到电源线105DSL。沿着电源线105DSL的纵向方向调节引出线121DL的长度和宽度中的至少一个，使得每个驱动晶体管121在相同的发光亮度条件下具有相同的漏极电位。例如，引出线121DL在驱动扫描部分105上变薄并且长，以增加电阻，并且随着距离的增加而变粗和变短以减小电阻。Ž



<第9実施形態 (引出し配管121)の基本型を例示>