

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-532054  
(P2008-532054A)

(43) 公表日 平成20年8月14日(2008.8.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09F 9/30 (2006.01)	G09F 9/30 338	5C080
H01L 27/32 (2006.01)	G09F 9/30 365Z	5C094
G09F 9/00 (2006.01)	G09F 9/00 352	5G435
H01L 51/50 (2006.01)	H05B 33/14 A	

審査請求 未請求 予備審査請求 未請求 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2007-511131 (P2007-511131)  
 (86) (22) 出願日 平成17年12月13日 (2005.12.13)  
 (85) 翻訳文提出日 平成19年3月6日 (2007.3.6)  
 (86) 国際出願番号 PCT/JP2005/023197  
 (87) 国際公開番号 W02006/092900  
 (87) 国際公開日 平成18年9月8日 (2006.9.8)  
 (31) 優先権主張番号 特願2005-53424 (P2005-53424)  
 (32) 優先日 平成17年2月28日 (2005.2.28)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 302020207  
 東芝松下ディスプレイテクノロジー株式会社  
 東京都港区港南4-1-8  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100084618  
 弁理士 村松 貞男  
 (74) 代理人 100092196  
 弁理士 橋本 良郎  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠

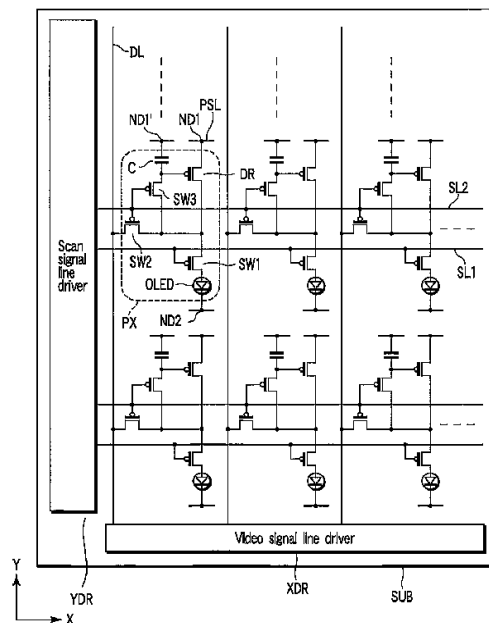
最終頁に続く

(54) 【発明の名称】 表示装置及びその製造方法

(57) 【要約】

表示装置の製造方法は、複数の画素PXのうち検査用画像を表示したときに輝線又は滅線状に尾を引いた輝点として視認され得る少なくとも1つを選択することと、選択した画素PXにおいて、表示素子OLEDを電源端子ND1に接続する第1導電路と、第1導電路を映像信号線DLに接続する第2導電路とを断線させることとを含む。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素の各々は、

制御端子と、第 1 電源端子に接続された第 1 端子と、前記制御端子と前記第 1 端子との間の電圧に対応した大きさの電流を出力する第 2 端子とを含んだ駆動制御素子と、

第 1 電極と、第 2 電源端子に接続された第 2 電極と、前記第 1 及び第 2 電極間に介在した活性層とを含んだ表示素子と、

前記第 2 端子と前記第 1 電極との間に接続された出力制御スイッチと、

前記第 2 端子と前記映像信号線と前記制御端子とが互いに電氣的に接続された第 1 状態と、前記第 2 端子と前記映像信号線と前記制御端子とが互いから電氣的に切り離された第 2 状態との間で電氣的接続を切り替えるスイッチ群と、

前記制御端子に接続されたキャパシタとを具備し、

前記複数の画素の一部で、前記第 1 電極を前記第 1 電源端子に電氣的に接続する第 1 導電路と前記第 2 端子を前記映像信号線に電氣的に接続する第 2 導電路とが断線している表示装置。

## 【請求項 2】

前記スイッチ群は、前記映像信号線に接続された映像信号供給制御スイッチと、前記制御端子に接続されたダイオード接続スイッチとを含み、

前記第 1 及び第 2 導電路が断線した前記画素では、前記第 1 導電路のうち前記映像信号線供給制御スイッチを前記映像信号線に接続している部分が断線し、前記第 2 導電路のうち前記出力制御スイッチを前記第 1 電極に接続している部分が断線している請求項 1 に記載の表示装置。

## 【請求項 3】

前記スイッチ群は、前記映像信号線に直列に接続された複数の映像信号供給制御スイッチと、前記制御端子に接続されたダイオード接続スイッチとを含み、

前記第 1 及び第 2 導電路が断線した前記画素では、前記第 1 導電路のうち前記複数の映像信号線供給制御スイッチの 1 つを前記映像信号線に接続している部分が断線し、前記第 2 導電路のうち前記出力制御スイッチを前記第 1 電極に接続している部分が断線している請求項 1 に記載の表示装置。

## 【請求項 4】

前記スイッチ群は、前記映像信号線に直列に接続された複数の映像信号供給制御スイッチと、前記制御端子に接続されたダイオード接続スイッチとを含み、

前記第 1 及び第 2 導電路が断線した前記画素では、前記第 1 導電路のうち前記複数の映像信号線供給制御スイッチ同士を接続している部分が断線し、前記第 2 導電路のうち前記出力制御スイッチを前記第 1 電極に接続している部分が断線している請求項 1 に記載の表示装置。

## 【請求項 5】

前記第 1 及び第 2 導電路は第 1 及び第 2 ポリシリコン部をそれぞれ含み、

前記第 1 及び第 2 導電路が断線した前記画素では、前記第 1 及び第 2 ポリシリコン部が断線している請求項 1 に記載の表示装置。

## 【請求項 6】

前記表示素子は有機 EL 素子である請求項 1 に記載の表示装置。

## 【請求項 7】

絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素の各々は、制御端子と、第 1 電源端子に接続された第 1 端子と、前記制御端子と前記第 1 端子との間の電圧に対応した大きさの電流を出力する第 2 端子とを含んだ駆動制御素子と、第 1 電極と、第 2 電源端子に接続された第 2 電極と、前記第 1 及び第 2 電極間に介在した

10

20

30

40

50

活性層とを含んだ表示素子と、前記第 2 端子と前記第 1 電極との間に接続された出力制御スイッチと、前記第 2 端子と前記映像信号線と前記制御端子とが互いに電氣的に接続された第 1 状態と、前記第 2 端子と前記映像信号線と前記制御端子とが互いから電氣的に切り離された第 2 状態との間で電氣的接続を切り替えるスイッチ群と、前記制御端子に接続されたキャパシタとを具備した表示装置の製造方法であって、

前記複数の画素のうち、検査用画像を表示したときに輝線又は滅線状に尾を引いた輝点として視認され得る少なくとも 1 つを選択することと、

選択した前記画素において、前記第 1 電極を前記第 1 電源端子に接続する第 1 導電路と、前記第 2 端子を前記映像信号線に接続する第 2 導電路とを断線させることとを含んだ方法。

10

【請求項 8】

前記第 1 及び第 2 導電路を断線させることは、前記第 1 及び第 2 導電路にレーザ光を照射することを含んだ請求項 7 に記載の方法。

【請求項 9】

前記第 1 及び第 2 導電路は第 1 及び第 2 ポリシリコン部をそれぞれ含み、

前記第 1 及び第 2 導電路を断線させることは、前記第 1 及び第 2 ポリシリコン部を断線させることを含んだ請求項 7 に記載の方法。

【請求項 10】

前記第 1 及び第 2 導電路を断線させることは、前記第 1 及び第 2 ポリシリコン部にレーザ光を照射することを含んだ請求項 9 に記載の方法。

20

【請求項 11】

前記表示素子は有機 EL 素子である請求項 7 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその製造方法に係り、特に、アクティブマトリクス駆動方式の表示装置及びその製造方法に関する。

【背景技術】

【0002】

有機エレクトロルミネッセンス (EL) 表示装置では、駆動電流がばらつくと、輝度むら等の画質不良が生じる。それゆえ、この表示装置でアクティブマトリクス駆動方式を採用した場合には、駆動電流の大きさを制御する駆動制御素子の特性が各画素間でほぼ同一であることが要求される。しかしながら、この表示装置では、通常、駆動制御素子をガラス基板などの絶縁体上に形成するため、その特性にばらつきを生じ易い。

30

【0003】

特許文献 1 には、カレントコピー型の回路を画素回路に採用した有機 EL 表示装置が記載されている。このカレントコピー型の画素回路は、駆動制御素子である n チャネル電界効果トランジスタ (FET) と、有機 EL 素子と、キャパシタと、出力制御スイッチと、映像信号供給制御スイッチと、ダイオード接続スイッチとを含んでいる。

【0004】

駆動制御素子のソースは低電位の第 1 電源線に接続されており、キャパシタは駆動制御素子のゲートと第 1 電源線との間に接続されている。出力制御スイッチは駆動制御素子のドレインと有機 EL 素子の陰極との間に接続されており、有機 EL 素子の陽極はより高電位の第 2 電源線に接続されている。映像信号供給制御スイッチは駆動制御素子のドレインと映像信号線との間に接続されており、ダイオード接続スイッチは駆動制御素子のドレインとゲートとの間に接続されている。

40

【0005】

このカレントコピー型の画素回路には、書込期間において、映像信号を電流信号  $I_{sig}$  として画素回路に供給する。書込期間に続く保持期間では、電流  $I_{sig}$  とほぼ等しい大きさの駆動電流が、駆動制御素子のドレインとソースとの間に流れる。それゆえ、駆動制御

50

素子の閾値  $V_{th}$  だけでなく移動度や寸法などが駆動電流に与える影響も排除することができる。

【0006】

ところで、アクティブマトリクス駆動方式の表示装置では、画素回路内での断線や短絡などに起因して、一部の画素が輝点又は滅点として視認されることがある。また、アクティブマトリクス駆動方式の表示装置では、走査信号線や映像信号線の断線などに起因して、画素の列又は行が輝線又は滅線として視認されることがある。

【0007】

本発明者は、本発明を為すに際し、画素回路に映像信号として電流信号を書き込むアクティブマトリクス駆動方式の表示装置では、画像中に上記の線状又は点状の輝度ムラに加え、輝線状又は滅線状に尾を引いた輝点を生じ得ることを見出している。

10

【特許文献1】米国特許第6373454号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明の目的は、画素回路に映像信号として電流信号を書き込むアクティブマトリクス駆動方式の表示装置で、画像中に輝線状又は滅線状に尾を引いた輝点が生じるのを防止することにある。

【課題を解決するための手段】

【0009】

本発明の第1側面によると、絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素の各々は、制御端子と、第1電源端子に接続された第1端子と、前記制御端子と前記第1端子との間の電圧に対応した大きさの電流を出力する第2端子とを含んだ駆動制御素子と、第1電極と、第2電源端子に接続された第2電極と、前記第1及び第2電極間に介在した活性層とを含んだ表示素子と、前記第2端子と前記第1電極との間に接続された出力制御スイッチと、前記第2端子と前記映像信号線と前記制御端子とが互いに電氣的に接続された第1状態と、前記第2端子と前記映像信号線と前記制御端子とが互いから電氣的に切り離された第2状態との間で電氣的接続を切り替えるスイッチ群と、前記制御端子に接続されたキャパシタとを具備し、前記複数の画素の一部で、前記第1電極を前記第1電源端子に電氣的に接続する第1導電路と前記第2端子を前記映像信号線に電氣的に接続する第2導電路とが断線している表示装置が提供される。

20

30

【0010】

本発明の第2側面によると、絶縁基板と、前記絶縁基板上でマトリクス状に配列した複数の画素と、前記複数の画素が形成する複数の列に対応して配列した複数の映像信号線とを具備し、前記複数の画素の各々は、制御端子と、第1電源端子に接続された第1端子と、前記制御端子と前記第1端子との間の電圧に対応した大きさの電流を出力する第2端子とを含んだ駆動制御素子と、第1電極と、第2電源端子に接続された第2電極と、前記第1及び第2電極間に介在した活性層とを含んだ表示素子と、前記第2端子と前記第1電極との間に接続された出力制御スイッチと、前記第2端子と前記映像信号線と前記制御端子とが互いに電氣的に接続された第1状態と、前記第2端子と前記映像信号線と前記制御端子とが互いから電氣的に切り離された第2状態との間で電氣的接続を切り替えるスイッチ群と、前記制御端子に接続されたキャパシタとを具備した表示装置の製造方法であって、前記複数の画素のうち、検査用画像を表示したときに輝線又は滅線状に尾を引いた輝点として視認され得る少なくとも1つを選択することと、選択した前記画素において、前記第1電極を前記第1電源端子に接続する第1導電路と、前記第2端子を前記映像信号線に接続する第2導電路とを断線させることとを含んだ方法が提供される。

40

【発明を実施するための最良の形態】

【0011】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、各図におい

50

て、同様又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0012】

図1は、本発明の一態様に係る表示装置を概略的に示す平面図である。図2は、図1の表示装置に採用可能な構造の一例を概略的に示す断面図である。図3は、図1の表示装置の画素に採用可能な構造の一例を概略的に示す平面図である。なお、図2では、表示装置を、その表示面、すなわち前面又は光出射面、が下方を向き、背面が上方を向くように描いている。また、図3には、表示面側から見た画素の構造を描いている。

【0013】

この表示装置は、アクティブマトリクス型駆動方式を採用した下面発光型の有機EL表示装置である。この有機EL表示装置は、例えば、ガラス基板などの絶縁基板SUBを含んでいる。

【0014】

基板SUB上には、図2に示すように、アンダーコート層UCとして、例えば、SiNx層とSiO<sub>x</sub>層とが順次積層されている。

【0015】

アンダーコート層UC上には、例えばチャネル及びソース・ドレインが形成されたポリシリコン層である半導体層SC、例えばtetraethyl orthosilicate (TEOS)などを用いて形成され得るゲート絶縁膜GI、及び例えばMoWなどからなるゲートGが順次積層されており、それらはトップゲート型のTFTを構成している。この例では、これらTFTは、pチャネルTFTであり、図1及び図3の画素PXが含む駆動制御素子DR及びスイッチSW1乃至SW3として利用している。

【0016】

ゲート絶縁膜GI上には、図1に示す走査信号線SL1及びSL2並びに図1及び図3に示す電極E1がさらに配置されている。走査信号線SL1及びSL2並びに電極E1は、ゲートGと同一の工程で形成可能である。

【0017】

走査信号線SL1及びSL2は、図1に示すように、各々が画素PXの行方向(X方向)に延びており、画素PXの列方向(Y方向)に交互に配列している。これら走査信号線SL1及びSL2は、走査信号線ドライバYDRに接続されている。

【0018】

電極E1は、駆動制御素子DRのゲートGに接続されている。電極E1は、後述するキャパシタCの一方の電極として利用する。

【0019】

ゲート絶縁膜GI、ゲートG、走査信号線SL1及びSL2、並びに電極E1は、図2に示す層間絶縁膜IIで被覆されている。層間絶縁膜IIは、例えばプラズマCVD法などにより成膜されたSiO<sub>x</sub>などからなる。この層間絶縁膜IIのうち電極E1上の部分は、キャパシタCの誘電体層として利用する。

【0020】

層間絶縁膜II上には、図2と図3とに示すソース電極SE及びドレイン電極DE、図1と図3とに示す映像信号線DL及び電源線PSL、並びに図3に示す電極E2が配置されている。これらは、同一工程で形成可能であり、例えば、Mo/Al/Moの三層構造を有している。

【0021】

ソース電極SE及びドレイン電極DEは、層間絶縁膜IIに設けられたコンタクトホールを介してTFTのソース及びドレインに電氣的に接続されている。

【0022】

映像信号線DLは、図1及び図3に示すように、各々がY方向に延びており、X方向に配列している。これら映像信号線DLは、映像信号線ドライバXDRに接続されている。

【0023】

10

20

30

40

50

電源線 P S L は、この例では、図 3 に示すように、各々が Y 方向に延びており、X 方向に配列している。

【 0 0 2 4 】

電極 E 2 は、電源線 P S L に接続されている。電極 E 2 は、キャパシタ C の他方の電極として利用する。

【 0 0 2 5 】

ソース電極 S E、ドレイン電極 D E、映像信号線 D L、電源線 P S L、及び電極 E 2 は、図 2 に示すパッシベーション膜 P S で被覆されている。パッシベーション膜 P S は、例えば S i N<sub>x</sub> などからなる。

【 0 0 2 6 】

パッシベーション膜 P S 上には、図 2 に示すように、前面電極として、光透過性の第 1 電極 P E が互いから離間して並置されている。各第 1 電極 P E は、画素電極であり、図 2 及び図 3 に示すように、パッシベーション膜 P S に設けた貫通孔を介して、スイッチ S W 1 のドレイン電極 D E に接続されている。

【 0 0 2 7 】

第 1 電極 P E は、この例では陽極である。第 1 電極 P E の材料としては、例えば、indium tin oxide ( I T O ) のような透明導電性酸化物を使用することができる。

【 0 0 2 8 】

パッシベーション膜 P S 上には、さらに、図 2 に示す隔壁絶縁層 P I が配置されている。隔壁絶縁層 P I には、第 1 電極 P E に対応した位置に貫通孔が設けられているか、或いは、第 1 電極 P E が形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層 P I には、第 1 電極 P E に対応した位置に貫通孔が設けられていることとする。

【 0 0 2 9 】

隔壁絶縁層 P I は、例えば、有機絶縁層である。隔壁絶縁層 P I は、例えば、フォトリソグラフィ技術を用いて形成することができる。

【 0 0 3 0 】

第 1 電極 P E 上には、活性層として、発光層を含んだ有機物層 O R G が配置されている。発光層は、例えば、発光色が赤色、緑色、又は青色のルミネセンス性有機化合物を含んだ薄膜である。この有機物層 O R G は、発光層に加え、正孔注入層、正孔注入層、正孔ブロッキング層、電子輸送層、電子注入層などもさらに含むことができる。

【 0 0 3 1 】

隔壁絶縁層 P I 及び有機物層 O R G は、背面電極である第 2 電極 C E で被覆されている。第 2 電極 C E は、画素 P X 間で互いに接続された共通電極であり、この例では光反射性の陰極である。第 2 電極 C E は、例えば、パッシベーション膜 P S と隔壁絶縁層 P I とに設けられたコンタクトホールを介して、映像信号線 D L と同一の層上に形成された電極配線 ( 図示せず ) に電氣的に接続されている。各々の有機 E L 素子 O L E D は、第 1 電極 P E、有機物層 O R G 及び第 2 電極 C E で構成されている。

【 0 0 3 2 】

各画素 P X は、有機 E L 素子 O L E D と画素回路とを含んでいる。この例では、画素回路は、図 1 及び図 3 に示すように、駆動制御素子 D R と、出力制御スイッチ S W 1 と、映像信号供給制御スイッチ S W 2 と、ダイオード接続スイッチ S W 3 と、キャパシタ C とを含んでいる。上記の通り、この例では、駆動制御素子 D R 及びスイッチ S W 1 乃至 S W 3 は p チャネル T F T である。また、この例では、映像信号供給制御スイッチ S W 2 とダイオード接続スイッチ S W 3 とは、駆動制御素子 D R のドレインと映像信号線 D L と駆動制御素子 D R のゲートとの接続状態を、それらが互いに接続された第 1 状態と、それらが互いから遮断された第 2 状態との間で切り替えるスイッチ群を構成している。

【 0 0 3 3 】

駆動制御素子 D R と出力制御スイッチ S W 1 と有機 E L 素子 O L E D とは、第 1 電源端子 N D 1 と第 2 電源端子 N D 2 との間で、この順に直列に接続されている。この例では、

10

20

30

40

50

第1電源端子ND1は高電位電源端子であり、第2電源端子ND2は低電位電源端子である。

【0034】

出力制御スイッチSW1のゲートは、走査信号線SL1に接続されている。映像信号供給制御スイッチSW2は映像信号線DLと駆動制御素子DRのドレインとの間に接続されており、そのゲートは走査信号線SL2に接続されている。ダイオード接続スイッチSW3は駆動制御素子DRのドレインとゲートとの間に接続されており、そのゲートは走査信号線SL2に接続されている。キャパシタCは、駆動制御素子DRのゲートと定電位端子ND1'との間に接続されている。

【0035】

この有機EL表示装置で画像を表示する場合、例えば、走査信号線SL1及びSL2の各々を線順次駆動する。そして、或る画素PXに映像信号を書き込む書込期間では、まず、走査信号線ドライバYDRから、先の画素PXが接続された走査信号線SL1にスイッチSW1を開く走査信号を電圧信号として出力し、続いて、先の画素PXが接続された走査信号線SL2にスイッチSW2及びSW3を閉じる走査信号を電圧信号として出力する。この状態で、映像信号線ドライバXDRから、先の画素PXが接続された映像信号線DLに映像信号を電流信号として出力し、駆動制御素子DRのゲート-ソース間電圧を、先の映像信号に対応した大きさに設定する。その後、走査信号線ドライバYDRから、先の画素PXが接続された走査信号線SL2にスイッチSW2及びSW3を開く走査信号を電圧信号として出力し、続いて、先の画素PXが接続された走査信号線SL1にスイッチSW1を閉じる走査信号を電圧信号として出力する。

【0036】

スイッチSW1を閉じている有効表示期間では、有機EL素子OLEDには、駆動制御素子DRのゲート-ソース間電圧に対応した大きさの駆動電流が流れる。有機EL素子OLEDは、駆動電流の大きさに対応した輝度で発光する。

【0037】

さて、上記の通り、画素回路に映像信号として電流信号を書き込むアクティブマトリクス駆動方式の表示装置では、輝線状又は滅線状に尾を引いた輝点を生じ得る。本発明者は、この理由について詳細に調べた結果、以下の事実を見出した。

【0038】

例えば、M行目の走査信号線SL1及びSL2とN列目の映像信号線DLとに接続された画素PXにおいて、駆動制御素子DRのソース-ドレイン間が短絡しているとする。この場合、その画素PXの有機EL素子OLEDは、有効表示期間において常に最大輝度で発光する。そのため、この画素PXは、輝点として視認される。

【0039】

また、この場合、先の画素PXの書込期間において、映像信号線ドライバXDRは、N列目の映像信号線DLを、第1電源端子ND1とほぼ等しい電位に設定する。すなわち、N列目の映像信号線DLの電位は、過剰に高くなる。映像信号線DLの配線容量は無視できない程度に大きいため、N列目の映像信号線DLの電位が適正な範囲内に回復するまでには、例えば、数十行分の書込期間が必要である。

【0040】

そのため、N列目の映像信号線DLに接続された画素PXのうち、M+1行目以降の数十個では、映像信号線ドライバXDRの出力よりも小さな信号が書き込まれることとなる。その結果、これら画素PXの輝度は、本来の輝度よりも低くなる。したがって、これら画素PXは、滅線として視認される。

【0041】

このような理由から、駆動制御素子DRのソース-ドレイン間が短絡すると、滅線状に尾を引いた輝点を生じるのである。なお、先の説明から分かるように、滅線の輝度は一定ではなく、通常、輝点側の端から他端に向けて高くなる。

【0042】

10

20

30

40

50

輝線状に尾を引いた輝点は、例えば、M行目の走査信号線SL1及びSL2とN列目の映像信号線DLとに接続された画素PXにおいて、出力制御スイッチSW1のソース・ドレイン間が短絡している場合に生じる。

【0043】

すなわち、この場合、その画素PXの書込期間において、映像信号線ドライバXDRは、N列目の映像信号線DLを第2電源端子ND2よりも低い電位に設定する。そのため、その画素PXでは、駆動制御素子DRのゲート電位が非常に低くなる。したがって、その画素PXの有機EL素子OLEDは、有効表示期間において常に最大輝度で発光する。そのため、この画素PXは、輝点として視認される。

【0044】

また、この場合、先の画素PXの書込期間において、N列目の映像信号線DLは過剰に低い電位に設定される。映像信号線DLの配線容量は無視できない程度に大きいため、N列目の映像信号線DLの電位が適正な範囲内に回復するまでには、例えば、数十行分の書込期間が必要である。

【0045】

そのため、N列目の映像信号線DLに接続された画素PXのうち、M+1行目以降の数十個では、映像信号線ドライバXDRの出力よりも大きな信号が書き込まれることとなる。その結果、これら画素PXの輝度は、本来の輝度よりも高くなる。したがって、これら画素PXは、輝線として視認される。

【0046】

このような理由から、出力制御スイッチSW1のソース・ドレイン間が短絡すると、輝線状に尾を引いた輝点を生じるのである。なお、先の説明から分かるように、輝線の輝度は一定ではなく、通常、輝点側の端から他端に向けて低くなる。

【0047】

本発明者は、以上の事実から、以下の方法を採用すれば、画像中に輝線状又は滅線状に尾を引いた輝点が現れるのを防止できることを見い出した。

【0048】

すなわち、まず、通常の方法により、図1及び図2に示す構造を作製する。次に、修復工程を実施する。

【0049】

修復工程では、まず、画素PXの中から、輝線状又は滅線状に尾を引いた輝点として視認され得るものを選択する。なお、ここで選択するのは、輝点に対応した画素PXであって、輝線又は滅線に対応した画素PXではない。また、ここで着目する輝点は、Y方向に尾を引いているもののみである。

【0050】

次に、選択した画素PXにおいて、有機EL素子OLEDの第1電極CEを第1電源端子ND1に接続する第1導電路と、この第1導電路を映像信号線DLに接続する第2導電路との双方を断線させる。第1導電路は、例えば、出力制御スイッチSW1と有機EL素子OLEDの第1電極PEとを接続している部分で断線させる。第2導電路は、例えば、映像信号供給制御スイッチSW2と映像信号線DLとを接続している部分で断線させる。また、第1及び第2導電路は、例えば、それらの半導体層SCにレーザ光を照射することにより断線させる。

【0051】

選択した画素PXにおいて第1導電路を断線させると、その画素PXが含む有機EL素子OLEDは有効表示期間において発光しない。したがって、この画素PXが輝点として視認されることはない。

【0052】

また、選択した画素PXにおいて第2導電路を断線させると、その画素PXの書込期間において、これを接続した映像信号線DLの電位が第1電源端子ND1や第2電源端子ND2の電位の影響を受けることはない。したがって、この画素PXの影響で輝線又は滅線

10

20

30

40

50

が生じることはない。

【0053】

それゆえ、先の修復を行うと、画像中に輝線状又は滅線状に尾を引いた輝点が現れるのを防止可能となる。

【0054】

この修復は、画素 P X に以下の痕跡を残す。これについて、図 4 を参照しながら説明する。

【0055】

図 4 は、図 3 の画素に修復を施した後の構造を概略的に示す平面図である。

上記の通り、本態様では、輝線状又は滅線状に尾を引いた輝点として視認され得る画素 P X を選択し、その画素 P X において第 1 及び第 2 導電路の双方を断線させる。したがって、完成した有機 E L 表示装置では、一部の画素 P X は 2 箇所の断線部を含んでいる。

10

【0056】

例えば、第 1 導電路を出力制御スイッチ S W 1 と有機 E L 素子 O L E D の第 1 電極 P E とを接続している部分で断線させ、第 2 導電路を映像信号供給制御スイッチ S W 2 と映像信号線 D L とを接続している部分で断線させた場合には、図 4 に示す構造が得られる。なお、半導体層 S C がポリシリコンなどのように結晶質であり且つ半導体層 S C の位置で断線させる場合、半導体層 S C へのレーザ光照射によって、結晶質から非晶質への相変化を生じさせることができる。この場合、レーザ光照射による半導体層 S C の物理的な切断が不完全であっても、その電気抵抗は著しく上昇するため、電気的な切断が不十分となるこ

20

【0057】

以上、画素 P X に図 1 の構成を採用した有機 E L 表示装置について説明したが、画素 P X には他の構成を採用してもよい。例えば、映像信号供給制御スイッチ S W 2 とダイオード接続スイッチ S W 3 とを映像信号線 D L と駆動制御素子 D R のドレインとの間でこの順に直列に接続し、且つ、ダイオード接続スイッチ S W 3 のドレインを駆動制御素子 D R のゲートに接続してもよい。或いは、ダイオード接続スイッチ S W 3 は、駆動制御素子 D R のドレインとゲートとの間に接続する代わりに、駆動制御素子 D R のゲートと映像信号線 D L との間に接続してもよい。或いは、スイッチ群は、2 つのスイッチ、すなわち、映像信号供給制御スイッチ S W 2 及びダイオード接続スイッチ S W 3、で構成する代わりに、3 つ以上のスイッチで構成してもよい。

30

【0058】

図 5 は、一変形例に係る表示装置が含む画素の等価回路図である。図 6 は、変形例に係る表示装置の画素に採用可能な構造の一例を概略的に示す平面図である。なお、図 6 には、表示面側から見た画素の構造を描いている。

【0059】

図 5 及び図 6 の画素 P X は、映像信号線 D L と駆動制御素子 D R のドレインとの間に映像信号供給制御スイッチ S W 2 を接続する代わりに、映像信号線 D L と駆動制御素子 D R のドレインとの間で映像信号供給制御スイッチ S W 2 a 及び S W 2 b をこの順に直列に接続していること以外は、図 1 及び図 3 の画素 P X と同様の構造を有している。すなわち、スイッチ群を信号供給制御スイッチ S W 2 及びダイオード接続スイッチ S W 3 で構成する代わりに、映像信号供給制御スイッチ S W 2 a 及び S W 2 b 並びにダイオード接続スイッチ S W 3 で構成している。このように、スイッチ群は 3 つ以上のスイッチで構成してもよい。

40

【0060】

画素 P X に図 5 及び図 6 の構造を採用した場合、上述した修復は、例えば、以下の要領で行ってもよい。これについて、図 7 及び図 8 を参照しながら説明する。

【0061】

図 7 は、図 6 の画素に修復を施した後の構造の一例を概略的に示す平面図である。図 8 は、図 6 の画素に修復を施した後の構造の他の例を概略的に示す平面図である。

50

## 【 0 0 6 2 】

画素 P X に図 5 及び図 6 の構造を採用した場合でも、上述したのと同様、まず、輝線状又は滅線状に尾を引いた輝点として視認され得る画素 P X を選択する。次いで、その画素 P X において、第 1 及び第 2 導電路の双方を断線させる。

## 【 0 0 6 3 】

第 2 導電路は、例えば、映像信号供給制御スイッチ S W 2 a と映像信号線 D L とを接続している部分で断線させることができる。この場合、第 1 導電路を、出力制御スイッチ S W 1 と有機 E L 素子 O L E D の第 1 電極 P E とを接続している部分で断線させると、図 7 の構造が得られる。

## 【 0 0 6 4 】

第 2 導電路は、映像信号供給制御スイッチ S W 2 a と映像信号供給制御スイッチ S W 2 b とを接続している部分で断線させてもよい。この場合、第 1 導電路を、出力制御スイッチ S W 1 と有機 E L 素子 O L E D の第 1 電極 P E とを接続している部分で断線させると、図 8 の構造が得られる。

## 【 0 0 6 5 】

上述した有機 E L 表示装置では、典型的には、基板 S U B の主面に垂直な方向から見た場合に、第 1 及び第 2 導電路と他の配線又は電極とが、その断線部において重なり合わない配置を採用する。こうすると、第 1 及び第 2 導電路を断線させるためのレーザ光照射によって、他の配線又は電極がダメージを受けるのを抑制することができる。特に、基板 S U B の主面に垂直な方向から見た場合における、断線部と第 1 及び第 2 導電路以外の配線又は電極との間の距離が約 2 μ m 以上である場合、第 1 及び第 2 導電路を断線させるためのレーザ光照射によって、他の配線又は電極がダメージを受けるのを容易に防止することができる。

## 【 0 0 6 6 】

さらなる利益及び変形は、当業者には容易である。それゆえ、本発明は、そのより広い側面において、ここに記載された特定の記載や代表的な態様に限定されるべきではない。したがって、添付の請求の範囲及びその等価物によって規定される本発明の包括的概念の真意又は範囲から逸脱しない範囲内で、様々な変形が可能である。

## 【 図面の簡単な説明 】

## 【 0 0 6 7 】

【 図 1 】 本発明の一態様に係る表示装置を概略的に示す平面図。

【 図 2 】 図 1 の表示装置に採用可能な構造の一例を概略的に示す断面図。

【 図 3 】 図 1 の表示装置の画素に採用可能な構造の一例を概略的に示す平面図。

【 図 4 】 図 3 の画素に修復を施した後の構造を概略的に示す平面図。

【 図 5 】 一変形例に係る表示装置が含む画素の等価回路図。

【 図 6 】 変形例に係る表示装置の画素に採用可能な構造の一例を概略的に示す平面図。

【 図 7 】 図 6 の画素に修復を施した後の構造の一例を概略的に示す平面図。

【 図 8 】 図 6 の画素に修復を施した後の構造の他の例を概略的に示す平面図。

## 【 符号の説明 】

## 【 0 0 6 8 】

C ... キャパシタ、 C E ... 第 2 電極、 D E ... ドレイン電極、 D L ... 映像信号線、 D R ... 駆動制御素子、 E 1 ... 電極、 E 2 ... 電極、 G ... ゲート、 G I ... ゲート絶縁膜、 I I ... 層間絶縁膜、 N D 1 ... 第 1 電源端子、 N D 1 ' ... 定電位端子、 N D 2 ... 第 2 電源端子、 O L E D ... 有機 E L 素子、 O R G ... 有機物層、 P E ... 第 1 電極、 P I ... 隔壁絶縁層、 P S ... パッシベーション膜、 P S L ... 電源線、 P X ... 画素、 S C ... 半導体層、 S E ... ソース電極、 S L 1 ... 走査信号線、 S L 2 ... 走査信号線、 S U B ... 絶縁基板、 S W 1 ... 出力制御スイッチ、 S W 2 ... 映像信号供給制御スイッチ、 S W 2 a ... 映像信号供給制御スイッチ、 S W b ... 映像信号供給制御スイッチ、 S W 3 ... ダイオード接続スイッチ、 U C ... アンダーコート層、 X D R ... 映像信号線ドライバ、 Y D R ... 走査信号線ドライバ。

10

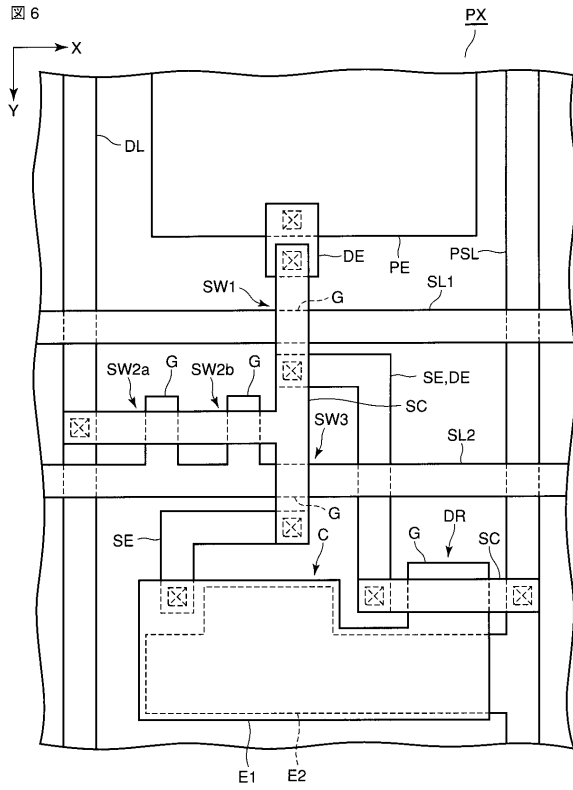
20

30

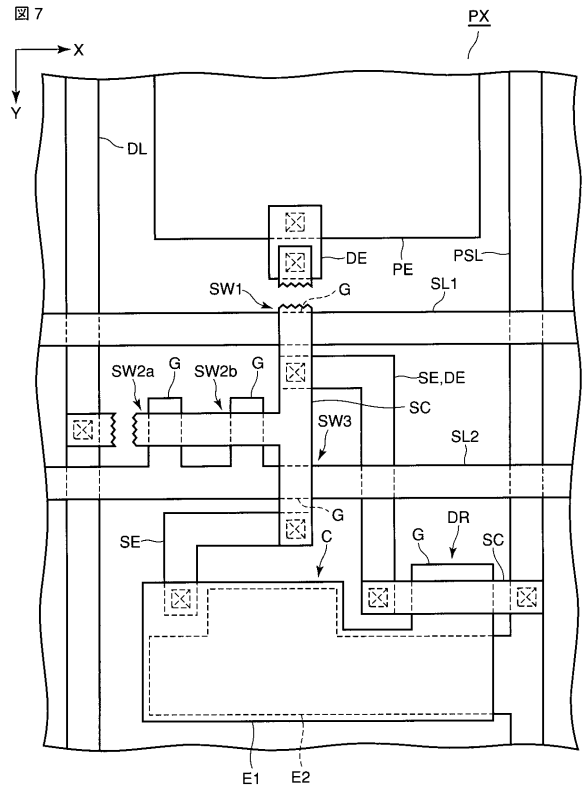
40



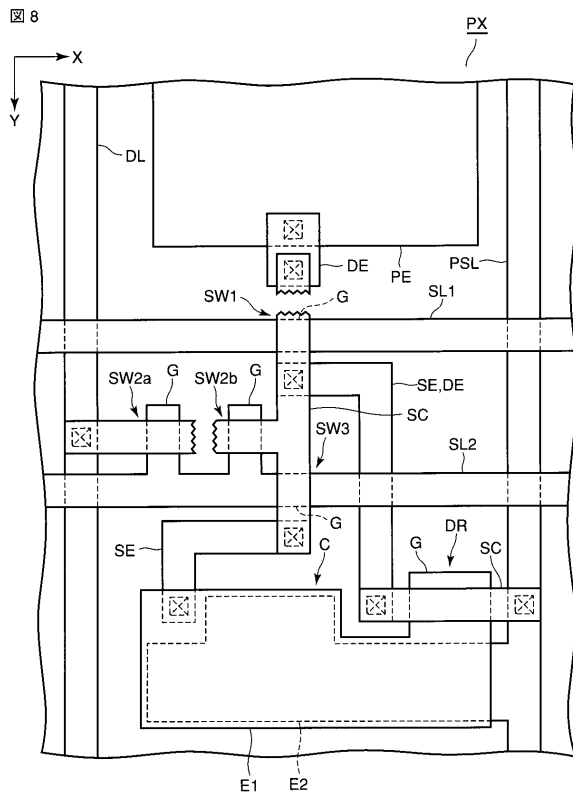
【 図 6 】



【 図 7 】



【 図 8 】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2005/023197

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. G09F9/00(2006.01), G09F9/30(2006.01), H01L27/32(2006.01), H01L51/50(2006.01) According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. G09F9/00, G09F9/30, H01L27/32, H01L51/50  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2006 Registered utility model specifications of Japan 1996-2006 Published registered utility model applications of Japan 1994-2006  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2003/091978 A1 (TOSHIBA MATSUSHITA DISPLAY TEC) 2003.11.06, p.100-p.101, Fig.56	1,5-11
A	& JP 2004-029755 A & US 2005/0168491 A1 & US 2005/0168490 A1 & US 2005/0180083 A1 & WO 2003/091977 A1 & WO 2003/091979 A1	2-4
Y	JP 2003-216100 A (MATSUSHITA ELECTRIC IND CO LTD) 2003.07.30, [ 0362] -[ 0373] , Fig.394 (Family none)	1,5-11
A		2-4
Y	JP 2004-342457 A (SANYO ELECTRIC CO) 2004.12.02, [ 0002] -[ 0011] , Fig.3 & US 2004/0229387 A1	1,5-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date, or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 18.01.2006	Date of mailing of the international search report 31.01.2006	
Name and mailing address of the ISA/JP <b>Japan Patent Office</b> 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer <b>SATAKE Masahiko</b> Telephone No. +81-3-3581-1101 Ext. 3274	2M 2911

## INTERNATIONAL SEARCH REPORT

International application No. PCT/JP2005/023197
--

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-006339 A (SANYO ELECTRIC CO) 2004.01.08, [ 0023] -[ 0035] & US 2003/0214248 A1 & CN 001455626 A	5, 9-10

## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
<b>H 0 5 B 33/10 (2006.01)</b>	H 0 5 B 33/10	
<b>G 0 9 G 3/20 (2006.01)</b>	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 7 0 A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 澁沢 誠

日本国東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社知的財産部内

Fターム(参考) 3K107 AA01 BB01 CC45 EE03 GG57 HH05  
 5C080 AA06 BB05 DD02 DD05 DD12 FF11 JJ02 JJ03 JJ06  
 5C094 AA03 AA32 AA42 AA43 BA03 BA27 CA19 DB04 GB10  
 5G435 AA17 AA19 BB05 CC09 KK05 KK10

专利名称(译)	显示装置及其制造方法		
公开(公告)号	<a href="#">JP2008532054A</a>	公开(公告)日	2008-08-14
申请号	JP2007511131	申请日	2005-12-13
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	濑沢 誠		
发明人	濑沢 誠		
IPC分类号	G09G3/30 G09F9/30 H01L27/32 G09F9/00 H01L51/50 H05B33/10 G09G3/20		
CPC分类号	G09G3/325 G09G3/006 G09G2300/0842 G09G2300/0861 G09G2330/10 H01L27/3276 H01L2251/568		
FI分类号	G09G3/30.J G09F9/30.338 G09F9/30.365.Z G09F9/00.352 H05B33/14.A H05B33/10 G09G3/20.624.B G09G3/20.670.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC45 3K107/EE03 3K107/GG57 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD02 5C080/DD05 5C080/DD12 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA03 5C094/AA32 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB04 5C094/GB10 5G435/AA17 5G435/AA19 5G435/BB05 5G435/CC09 5G435/KK05 5G435/KK10		
代理人(译)	河野 哲 中村 诚		
优先权	2005053424 2005-02-28 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

该显示装置的制造方法包括：当显示检查图像时，选择可以在视觉上识别为亮线或带有暗线的亮线的多个像素PX中的至少一个，并选择所选择的像素PX。在(1)中，断开将显示元件OLED连接到电源端子ND1的第一导电路径和将第一导电路径连接到视频信号线DL的第二导电路径。

[选型图]图1

