

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2008-529041

(P2008-529041A)

(43) 公表日 平成20年7月31日 (2008.7.31)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/22 (2006.01)	G09G 3/22 E	5C080
G09G 3/20 (2006.01)	G09G 3/20 611A	
	G09G 3/20 621G	
	G09G 3/20 623B	

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

(21) 出願番号	特願2007-551520 (P2007-551520)	(71) 出願人	505089913
(86) (22) 出願日	平成18年1月16日 (2006.1.16)		アイファイアー・テクノロジー・コープ
(85) 翻訳文提出日	平成19年9月25日 (2007.9.25)		カナダ国・T8L・3W4・アルバータ・
(86) 国際出願番号	PCT/CA2006/000043		フォート・サスカチュワン・ハンドレッ
(87) 国際公開番号	W02006/076791		ドフォーティーンズストリート・1010
(87) 国際公開日	平成18年7月27日 (2006.7.27)		2
(31) 優先権主張番号	60/646,326	(74) 代理人	100064908
(32) 優先日	平成17年1月24日 (2005.1.24)		弁理士 志賀 正武
(33) 優先権主張国	米国 (US)	(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 電界発光ディスプレイ用のエネルギー効率のよいカラムドライバ

(57) 【要約】

ロウとカラムに配列されたピクセルを有するディスプレイパネルを駆動する駆動回路が実現され、この駆動回路は、ピクセルのロウに蓄積された容量性エネルギーを効率よく回収し、そのエネルギーを、ロウがそれぞれのロウへの電圧の順次印加によりアドレッシングされるときにピクセルの他のロウに伝達することができる共振回路を組み込む。共振回路は、ステップダウントランス、一次巻き線間のコンデンサ、二次巻き線および入力電圧間に接続されているディスプレイパネルのロウまたはカラムのいずれか、およびディスプレイのアドレッシングを左右するタイミングパルスと同期する共振回路を駆動するFETスイッチを備える。トランスの一次巻き線間に接続されているコンデンサの値は、トランスの巻き数比およびタイミングパルスの周波数に関して共振周波数の変動を効果的に制限するパネル静電容量値の予想範囲に応じて選択される。

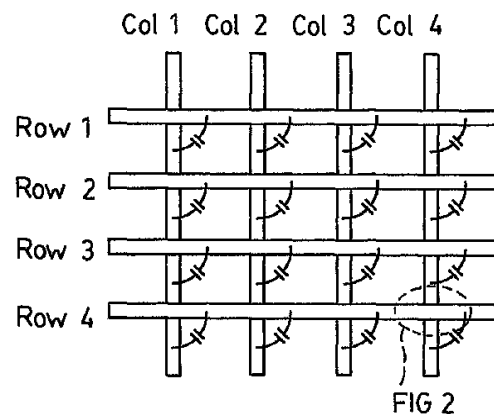


FIG 2

【特許請求の範囲】

【請求項 1】

パッシブマトリックスディスプレイパネルであって、
前記ディスプレイの所定の走査周波数で走査するように適合されている複数のロウと、
前記所定の走査周波数で前記複数のロウを走査するためのロウドライバと、
前記ロウと交差し、可変パネル静電容量(C_p)により特徴付けられる複数のピクセルを形成する複数のカラムと、

出力電圧を前記複数のカラムのうちのそれぞれのカラムに印加し、前記ピクセルの階調表示制御を行うためのボルテージフォロワとして構成される出力バッファを備えるカラムドライバと、

前記ディスプレイの実効パネル静電容量(C_p)を低減するためステップダウントランスを組み込み、電気エネルギーを受け取って、それに対する応答として、正弦波電圧を発生し、前記ディスプレイの走査周波数に実質的に同期する共振周波数で前記ディスプレイに電力を供給する、共振エネルギー回収回路と、

前記パネル静電容量(C_p)が放電している間に前記出力バッファを高出力インピーダンスに切り替え、前記パネルコンデンサ(C_p)から出る実質的にすべての放電電流が前記共振エネルギー回収回路の前記ステップダウントランスの二次巻き線を通して還流するようにする回路と、を備えるパッシブマトリックスディスプレイ。

【請求項 2】

切り替えるための前記回路は、前記パネル静電容量(C_p)が放電している間に前記出力バッファのゲート端子およびソース端子を短絡し、前記バッファのそれぞれのゲート-ソース間電位がそのターンオンしきり電圧よりも低くなるようにする複数のアナログスイッチを備える請求項 1 に記載のパッシブマトリックスディスプレイパネル。

【請求項 3】

切り替えるための前記回路は、前記出力バッファの前記ゲート端子と前記ソース端子との間の短絡電流経路を確立するアナログスイッチ(S_1 、 S_2)を備える請求項 2 に記載のパッシブマトリックスディスプレイパネル。

【請求項 4】

前記ステップダウントランスは、

他の静電容量(C_i)が接続されている一次巻き線であって、前記パネル静電容量(C_p)は前記二次巻き線間に接続され、前記他の静電容量(C_i)の値は、前記共振周波数と前記走査周波数との実質的な同期を維持するために前記パネル静電容量(C_p)と比較して十分に大きい、一次巻き線と、

全波整流器間に接続された蓄積コンデンサ(C_s)とともに全波整流器に接続され、前記パネル静電容量(C_p)と直列に接続されている他の二次巻き線であって、前記蓄積コンデンサ(C_s)の値は、(i)前記パネル静電容量(C_p)が最大値であるか、または最大値に近い重いパネル負荷の場合に、前記エネルギーの大半は、前記二次巻き線に流れ、前記パネルを充電し、残りのエネルギーは前記蓄積コンデンサ(C_s)を充電し、(ii)前記パネル静電容量が、平均値をとる平均負荷の場合に、前記エネルギーの約半分は、前記パネルに流れ、前記エネルギーの半分は、前記蓄積コンデンサ(C_s)を充電し、(iii)前記パネル静電容量が最小値であるか、または最小値に近い軽い負荷の場合に、前記エネルギーの大半は、前記蓄積コンデンサに流れ、残りのエネルギーは、前記パネルに流れる、前記パネル静電容量(C_p)と比較して十分に大きい、他の二次巻き線と、を備える請求項 3 に記載のパッシブマトリックスディスプレイパネル。

【請求項 5】

前記蓄積コンデンサ(C_s)の前記静電容量と前記最大パネル静電容量との比は、少なくとも約 10 : 1 である請求項 4 に記載のパッシブマトリックスディスプレイパネル。

【請求項 6】

前記蓄積コンデンサ(C_s)の前記静電容量と前記最大パネル静電容量との比は、少なくとも約 20 : 1 である請求項 5 に記載のパッシブマトリックスディスプレイパネル。

10

20

30

40

50

【請求項 7】

前記蓄積コンデンサ(Cs)の前記静電容量と前記最大パネル静電容量との比は、少なくとも約 30 : 1 である請求項 6 に記載のパッシブマトリックスディスプレイパネル。

【請求項 8】

前記全波整流器は、ダイオード順方向電圧降下を最小にするためショットキーダイオードを組み込んでいる請求項 4 に記載のパッシブマトリックスディスプレイパネル。

【請求項 9】

前記他の二次巻き線と前記二次巻き線との巻き数比は、少なくとも 1 . 05 : 1 である請求項 4 に記載のパッシブマトリックスディスプレイパネル。

【請求項 10】

10

前記他の二次巻き線と前記二次巻き線との巻き数比は、少なくとも 1 . 1 : 1 である請求項 4 に記載のパッシブマトリックスディスプレイパネル。

【請求項 11】

前記他の二次巻き線と前記二次巻き線との巻き数比は、1 . 1 : 1 から 1 . 2 : 1 までの範囲内にある請求項 10 に記載のパッシブマトリックスディスプレイパネル。

【請求項 12】

$C_i \gg 0Vn_1)^2XC_p$ となるように、前記一次巻き線の巻き数は n_1 であり、前記二次巻き線の巻き数は n_2 である請求項 4 に記載のパッシブマトリックスディスプレイパネル。

【請求項 13】

前記共振周波数を変えるため追加のコンデンサをさらに備える請求項 4 に記載のパッシブマトリックスディスプレイパネル。

20

【請求項 14】

前記電気エネルギーの供給源をさらに備え、前記供給源は直流電圧を発生する電圧手段と前記直流電圧を通電遮断で電気エネルギーのパルスに変えるパルス幅変調器とを備える請求項 1 に記載のパッシブマトリックスディスプレイパネル。

【請求項 15】

前記共振器回路で受け取る電気エネルギーの割合を制御し、これにより、前記ディスプレイパネルの変化するインピーダンスおよび前記ディスプレイパネルによるエネルギー使用量に起因する前記正弦波電圧の変動を制御するコントローラをさらに備える請求項 1 に記載のパッシブマトリックスディスプレイパネル。

30

【請求項 16】

前記コントローラは、前記共振器回路からの入力を使用して前記正弦波電圧の変動を感知し、それに応じて、帰還信号を前記コントローラに供給する帰還回路をさらに備える請求項 15 に記載のパッシブマトリックスディスプレイ。

【請求項 17】

前記入力は、前記共振器回路のステップダウントランスの一次巻き線から出ている請求項 16 に記載のパッシブマトリックスディスプレイ。

【請求項 18】

前記正弦波電圧は、前記コントローラに送られる前記帰還信号を調節することにより所定の値でクランプされる請求項 17 に記載のパッシブマトリックスディスプレイ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的には、フラットパネルディスプレイに関するものであり、より具体的には、カラム電圧を制御するために使用されるカラムドライバの出力バッファ内を流れる電流を制限することにより共振回路内のエネルギー回収を最大化する複数のカラムドライバを採用する共振駆動回路の改良に関するものである。

【背景技術】

【0002】

電界発光ディスプレイは、陰極線管に対して動作電圧が低い、画質が優れている、液晶

50

ディスプレイに対して視野角が広く、応答時間が短い、プラズマディスプレイパネルに比べて階調表示機能に優れ、形状を薄くできるという点で有利である。しかし、これらは、後述のように、ピクセル荷電の非効率さから、消費電力が比較的大きい。ピクセル内の電気エネルギーから光への転換の効率が、比較的高いとしても、そうである。しかし、電界発光ディスプレイに関連する、消費電力が高いという欠点は、電界発光ピクセルに蓄積される静電容量エネルギーが効率よく回収される場合には軽減できる。

【0003】

米国特許第6,448,950号では、正弦波駆動および広く変化する静電容量を有する電界発光ディスプレイパネルからのエネルギー回収を併用することを教示する。共振エネルギー回収回路は、ステップダウントランスの一次巻き線に接続された一次コンデンサを備え、トランスの二次巻き線はロウまたはカラムドライバを通して電界発光ディスプレイパネルに接続されている。ロウとカラムについて別々の共振回路が使用される。ロウを通してディスプレイパネルから放出される電荷は、一次コンデンサ内に効率よく取り込まれ、選択すべき次のロウをアドレッシングするために再利用されるが、カラムを通して放出されるエネルギーは、それほど効率よく取り込まれ、再利用されることはない。カラムを通したエネルギー回収の効率がこのように低い理由は、共振駆動電源へのエネルギー回収経路を介するのではなく望ましくないシャント経路を介したパネル静電容量の部分的放電にあることが判明している。

【特許文献1】米国特許第6,448,950号

【特許文献2】同時係属米国特許出願第10/701,051号

【特許文献3】米国特許第5,432,015号

【発明の開示】

【発明が解決しようとする課題】

【0004】

そこで、本発明の一態様は、参照により本明細書に組み込まれている米国特許第6,448,950号の改良を行うことである。より具体的には、米国特許第6,448,950号に記載されている正弦波共振エネルギー回収の概念を用いた駆動回路を備える受動的にアドレッシングされる電界発光ディスプレイ内のカラムのエネルギー効率を向上させる回路が実現される。

【課題を解決するための手段】

【0005】

上記の態様は、所定の走査周波数で走査されるように適合された複数のロウと、所定の走査周波数でロウを走査するロウドライバ、ロウと交差し変化するパネル静電容量(Cp)により特徴付けられる複数のピクセルを形成する複数のカラムと、カラムのそれぞれに出力電圧を印加し、前記ピクセルの階調制御を行うようにボルテージフォロウとして構成されている出力バッファを備えるカラムドライバと、電気エネルギー源と、電気エネルギーを受け取り、それに対しディスプレイの走査周波数に実質的に同期した共振周波数の正弦波電圧を発生してディスプレイに給電するための、実効パネル静電容量(Cp)を低減するステップダウントランスを組み込んだ共振器エネルギー回収回路と、パネル静電容量(Cp)からの実質的にすべての放電電流がステップダウントランスの二次巻き線を通して還流するようにパネル静電容量(Cp)が放電している間に出力バッファを高出力インピーダンスに切り替える回路と、を備えるパッシブマトリックスディスプレイにより実現することができる。

【0006】

これらは、その後明らかになる他の態様および利点とともに、以下でさらに詳しく説明され請求されるような構造および動作の詳細に含まれ、その際に、全体を通して類似の番号は類似の部品に示す、一部をなす添付図面が参照される。

【発明を実施するための最良の形態】

【0007】

図1および2に示されているように、電界発光ディスプレイパネルは、2つの誘電体膜の間に封入された蛍光体膜のいずれかの側に配置されているロウ(ROW 1、ROW 2など)および

10

20

30

40

50

カラム(COL 1、COL 2など)と呼ばれる2組の交差する平行な導電性アドレスラインを備える。ピクセルは、ロウとカラムとの間の交点で定義される。そのため、図2は、図1のROW 4およびCOL 4の交点のピクセルを通る断面図である。それぞれのピクセルは、関連付けられたロウおよびカラムの交差部分に電圧を印加することにより点灯する。マトリックスアドレッシングは、閾値電圧よりも低い電圧をロウに印加し、それと同時に反対極性の電圧をそのロウと交差するそれぞれのカラムに印加することを伴う。反対極性電圧は、それぞれのピクセル上で望まれている照明に応じてロウ電圧を増大し、1ライン分のイメージを生成する。他の方式では、最高ピクセル電圧をロウに印加し、大きさが最大でも最高電圧と閾値電圧との差である同じ極性のカラム電圧をすべてのカラムに印加し、所望のイメージに応じてピクセル電圧を下げる。いずれの場合も、それぞれのロウがアドレッシングされると、他のロウは、すべてのロウがアドレッシングされてしまうまで同様にしてアドレッシングされる。アドレッシングされていないロウは、開回路のままにされる。すべてのロウの順次アドレッシングで、完全なフレームが1つ形成される。典型的には、新しいフレームは、毎秒少なくとも約50回アドレッシングされ、フリッカーのないビデオイメージとして人間の目に映るものを生成する。

10

20

30

40

50

【0008】

電界発光ディスプレイパネルのそれぞれのロウが点灯される場合、点灯したピクセルに供給されるエネルギーの一部は、電流がピクセル蛍光体層中を流れ、光を発生するときに散逸されるが、一部は、光の放射が止んだ後にピクセル上に蓄積されたままになる。この残留エネルギーは、印加された電圧パルスの持続している間、ピクセルに残り、典型的には、ピクセルに供給されるエネルギーのかなりの部分を占める。

【0009】

図3は、ピクセルの電気的特性をモデル化する等価回路である。回路は、Cdというラベルが付けられている直列コンデンサと C_{pjx} というラベルが付けられている並列コンデンサとともに2つの背中合わせに配置されているツェナーダイオードを備える。物理的に、蛍光体および誘電体膜(図2)は、両方とも、閾値電圧以下で絶縁体である。これは、図3において、ピクセル静電容量が2つのコンデンサCdおよび C_{pjx} の直列接続の静電容量となるように一方のツェナーダイオードが導通していない状況により表される。閾値電圧よりも高い電圧では、蛍光体膜は導電的になり、これはピクセル静電容量が直列コンデンサCdのみの静電容量に等しくなるように両方のツェナーダイオードが導通している状況に対応する。そのため、ピクセル静電容量は、その電圧が閾値電圧よりも高いか、または低いかによって依存する。さらに、ディスプレイ上のピクセルすべてが、ロウおよびカラムを介して互いに結合されているため、ディスプレイパネル上のピクセルはすべて、単一のロウが点灯したときに少なくとも部分的に荷電されうる。非点灯ロウ上のピクセルの部分的荷電の程度は、同時カラム電圧の変動性に大きく依存する。すべてのカラム電圧が同じである場合、非点灯ロウ上のピクセルに部分的荷電は生じない。カラムの約半分に電圧がほとんどまたは全く印加されず、残り半分が最高電圧に近い場合に、部分的荷電は最も厳しい。後者の状況は、ビデオイメージを表示する場合に頻繁に生じる。この部分的荷電に関連するエネルギーは、典型的には、特に高解像度ディスプレイのように多数のロウがある場合に、点灯ロウに蓄積されたエネルギーよりもかなり大きい。非点灯ロウに蓄積されたエネルギーはすべて、潜在的に、回収可能であり、特に多数のロウを有するディスプレイパネルの場合に、ピクセルに蓄積されたエネルギーの90%以上に達することもある。

【0010】

エネルギー消費に寄与する他の要因として、ピクセルの荷電時の駆動回路およびロウとカラムの抵抗において散逸されるエネルギーがある。この散逸されるエネルギーは、ピクセルが一定電圧で荷電される場合にピクセルに蓄積されたエネルギーに大きさの点で匹敵しうる。この場合、ピクセルの荷電が開始するときに初期大電流サージがある。消費電力は電流の二乗に比例するため、エネルギーの大半が散逸されるのはこの大電流期間である。ピクセル荷電時に流れる電流を一定の電流に近づけることで、散逸エネルギーを減らすことができる。

【0011】

上述のように、米国特許第6,448,950号によれば、ディスプレイパネル内に蓄積された静電容量エネルギーを同時に回収し、再利用する、また瞬間的な大電流に起因する抵抗損失を最小にする、電界発光ディスプレイ駆動方法および回路が提示される。これらの特徴は、パネルおよびドライバ回路のエネルギー効率を向上させ、これにより複合電力消費量を減らすものである。また、ディスプレイパネルおよびドライバ回路内の熱放散率を小さくすることにより、パネルピクセルは、より高い電圧およびより高いリフレッシュ速度で駆動することができ、これにより輝度を高められる。追加の利点として、パルス駆動電圧ではなくむしろ正弦波駆動電圧を使用するために生じる電磁干渉が低減される点が挙げられる。正弦波駆動電圧を使用すると、離散パルスに関連する高い周波数の高調波がなくなる。上で述べた利点は、高価な高電圧用DC/DCコンバータを用いずとも享受できる。

10

【0012】

米国特許第6,448,950号のディスプレイパネルおよび駆動回路のエネルギー効率は、2つの共振回路を使用して表示ロウに給電するための電圧と、表示カラムに給電するための電圧の2つの正弦波電圧を発生することにより改善される。ディスプレイパネルのロウ端子に現れるロウ静電容量は、ロウ駆動回路用に共振回路の1つの要素を形成する。ディスプレイパネルのカラム端子に現れるカラム静電容量は、カラム駆動回路用に共振回路の1つの要素を形成する。

【0013】

それぞれの共振回路内のエネルギーは、容量素子と誘導素子との間を周期的に行き来する。それぞれの共振回路の共振周波数は、発振周期が、ディスプレイパネルの走査周波数の連続するディスプレイパネルロウの荷電にできるだけ近く一致するように、つまり、同期するように同調される。

20

【0014】

エネルギーが誘導的に蓄積されると、ロウ共振回路を特定のロウに接続するスイッチが作動され、ロウが順次アドレッシングされるときに誘導的に蓄積されているエネルギーを該当するロウに送る。ロウのロウ駆動回路は、さらに、ディスプレイパネルの耐用寿命を延ばすために交互に並ぶフレーム上でロウ電圧を反転する極性反転回路も備える。

【0015】

同様にして、カラム駆動回路は、カラム共振回路をカラムすべてに同時に接続し、誘導的に蓄積されているエネルギーをカラムに送る。カラムスイッチは、従来技術において教示されているように、それぞれのカラムに供給されるエネルギーの量を制御し階調制御を実現するために使用される。典型的には、ロウスイッチおよびカラムスイッチは、32または64のセットの集積回路としてパッケージングされ、それぞれロウドライバおよびカラムドライバと呼ばれる。

30

【0016】

図4は、米国特許第6,448,950号による共振回路の簡略化された回路図である。基本素子は、ステップダウントランス(T)、トランスの二次巻き線の間に接続されているディスプレイパネル静電容量(C_p)に対応する静電容量、トランスの一次巻き線の間に接続されている他の静電容量(C_i)を備える共振タンクを形成する共振電圧インバータである。他の静電容量は、適宜、共振周波数を異なるディスプレイパネル走査周波数と同期させるように選択することができるコンデンサ(C_f)の他のバンクを含むことができる。

40

【0017】

共振回路は、さらに、入力正弦波信号を単極共振振動に反転するために電流がゼロのときに交互に開閉する2つのスイッチ(S_1 および S_2)も備える。入力DC電圧はパルス幅変調器(PWM)の制御の下でスイッチ(S_3)により通電遮断が繰り返され、これにより共振振動の電圧振幅が制御される。振動の電圧を安定化するために、トランスの一次側からPWMに信号(FB)が帰還され、二次側の電圧の変動に応じてスイッチ(S_3)のオンからオフへの時間の比を調節する。この帰還は、順に、表示されるイメージの変化から生じる、ディスプレイパネルのインピーダンスの変動による電圧変化を補償する。ディスプレイパネルのインピーダ

50

ンスは、ロウおよびカラム端子に現れるインピーダンスである。

【 0 0 1 8 】

効率的に動作させるためには、駆動回路の共振周波数は、共振周波数がロウアドレッシングのタイミングパルスの周波数によく一致するように目立って変化してはならない。共振周波数 f は、以下の式1により求められる。

【 0 0 1 9 】

【 数 1 】

$$f = 1/(2\pi(LC)) \quad (1)$$

10

【 0 0 2 0 】

ただし、式中、

L は、インダクタンスであり、

C は、共振回路内のタンクの静電容量である。

【 0 0 2 1 】

共振回路は、全タンク静電容量に寄与するディスプレイパネル静電容量のバラツキを考慮したものでなければならない。これは、式2で実効タンク静電容量 C が与えられるようにディスプレイパネル静電容量(C_p)のタンク静電容量への寄与を減らすステップダウントランスを使用することで実現される。

20

【 0 0 2 2 】

【 数 2 】

$$C = (n_2/n_1)^2 C_p + C_i \quad (2)$$

【 0 0 2 3 】

ただし、式中、 C_p は、パネル静電容量であり、

C_i は、トランスの一次巻き線間の静電容量の値であり、

n_1 および n_2 は、それぞれトランスの一次巻き線と二次巻き線の巻き数である。

30

【 0 0 2 4 】

巻き数の比(n_2/n_1)と静電容量 C_i に対する値は、式2の中の第1項が第2項と比べて小さくなるように選択される。式2は、巻き数比および特定のディスプレイパネルに対する一次静電容量の適切な値を決定する際の手引きとして使用され、次いで、これらの値に対する相互最適化は、共振回路の出力で測定された電圧波形を調べることにより行われる。次いで、正弦波信号からのずれを最小限に抑えるように、成分値が選択される。共振周波数が高すぎる場合、図5Aに示されている周波数で例示される波形は、波形の交互極性セグメント間にゼロ電圧間隔がある場合に観察される。次いで、式1と2を手引きとして使用して適切な調節を行う。共振周波数が低すぎる場合、図5Bに示されている周波数で例示される波形は、波形の交互極性セグメントを接続するゼロボルトを横切る垂直電圧ステップがある場合に観察される。共振周波数が、ロウアドレッシング周波数によく一致している場合、図5Cに示されているように、ほぼ完全な正弦波形が観察される。しかし、実際には、負荷の変動のせいで、周波数はわずかに変化する。したがって、DC入力スイッチングは、通常、共振周波数の変動の結果、共振周波数がスイッチング周波数以上になり、理想的共振周波数からのずれにより図5Aに示されている波形が生じるように設定される。これは、図5Bに示されているようにスイッチング点での急激な電圧変化に関連する大きな過渡電流の発生を避けるためである。大きな過渡電流が生じると、抵抗損が増大することで回路のエネルギー効率が低下する。

40

【 0 0 2 5 】

ロウおよびカラムを通して現れるディスプレイパネルの静電容量の実質的変化が存在す

50

る中でロウとカラムに与えられる電圧正弦波形の最大値を調節するために、電圧は、ロウまたはカラムに印加される電圧が所定の値を超えたときに実質的に固定された値にクランプされる。

【0026】

そのために、図4のステップダウントランス上の二次巻き線は、図6に示されているように、また参照することによってその内容がここに含まれる同時係属米国特許出願第10/701,051号で説明されているように、出力間に接続された大型蓄積コンデンサを持つ全波整流器に接続される。

【0027】

動作中、ディスプレイパネルに印加される電圧は、パルス幅変調器(PWM)への帰還を調節することにより任意に設定可能な値でクランプされる。パネル静電容量 C_p が最大値に近いディスプレイパネルの重い負荷の場合、エネルギーの約90%は、ディスプレイパネルの荷電のためディスプレイパネルに接続されている二次巻き線に流れるようになっており、残り10%は蓄積コンデンサ C_s を充電する。パネル静電容量が平均値を有する平均負荷では、エネルギーの約50%は、ディスプレイパネルの荷電のために送られ、50%は、蓄積コンデンサ C_s に送られる。パネル静電容量 C_p が最小値に近い軽い負荷では、エネルギーの約10%は、ディスプレイパネルの荷電のために送られ、90%は、蓄積コンデンサに送られる。典型的には、これらの条件は、ディスプレイパネルのロウおよびカラムに接続されたスイッチングICが適切に動作するようにディスプレイパネルでの電圧が常に正で最小値が約0.5ボルトである場合に満たされうる。したがって、ディスプレイパネルに供給される駆動電圧が常に正となるように、全波整流器および蓄積コンデンサ C_s に接続されている二次巻き線とディスプレイパネルに接続されている二次巻き線の巻き数の比は、少なくとも1.05:1、好ましくは少なくとも1.1:1、より好ましくは1.1:1から1.2:1までの範囲内とすべきである。また、蓄積コンデンサの静電容量と最大パネル静電容量との比は、少なくとも約10:1、好ましくは少なくとも約20:1、最も好ましくは少なくとも約30:1とすべきである。

【0028】

蓄積コンデンサ C_s の内部直列抵抗は、抵抗損失によりコンデンサ間で電圧が変動し、RC時定数が指定された調節許容範囲を超えない十分な低さとなるように選択される。また、2つの二次巻き線に対する巻き数比は、蓄積コンデンサを駆動する整流器内のダイオード間の順方向電圧降下および二次回路内の抵抗損失を考慮したものでなければならない。ダイオード順方向電圧降下は、整流器にショットキーダイオードを選択することにより最小にすることができる。

【0029】

図6による回路の動作時に、クランプ電圧よりも低い電圧パルスがロウまたはカラムに印加された場合、一次巻き線からのエネルギーは、主に、ディスプレイパネル間に接続された二次巻き線を通して送られる。それと同時に、蓄積コンデンサ C_s からのエネルギーは、ディスプレイパネルに流れる。電圧がクランプ電圧を超える場合、エネルギーは、主に、蓄積コンデンサおよびパネルコンデンサが並行して充電されるように整流器に接続された二次巻き線を通して一次巻き線から蓄積コンデンサとパネルコンデンサの両方に送られる。並列静電容量は、蓄積コンデンサ C_s の大静電容量に左右されるため、コンデンサ間の電圧はごくわずかに上昇するにすぎず、効果的な電圧制御が行われる。

【0030】

表示されるイメージのランダムな変化により生じる多数のパルスに関する蓄積コンデンサ C_s 間の電圧の長期ドリフトは、米国特許第6,448,950号に記載されているように、いくつかのアドレッシングサイクルにわたって平均電圧を感知し、一次回路に帰還をかけることにより排除することができる。そのため、単一パルスの時間スケールでの短期電圧変動および長期電圧変動は、階調表示忠実度を維持するのに必要な程度まで下げられる。

【0031】

完全なディスプレイドライバのブロック図が、図7に示されている。図において、HSyncは、単一口ウのアドレッシングを開始するタイミングパルスを指している。HSyncパルス

は、時間遅延制御回路60に供給され、そこで、遅延時間は、共振回路のゼロ電流時間がロウおよびカラムに対するスイッチング時間に対応するように設定される。回路60の出力は、ロウおよびカラム共振回路62および64に印加され、回路62の出力は、極性スイッチング回路66に印加される。極性スイッチング回路66のスイッチング時間は、VSyncパルスにより制御され、これにより、それぞれの完全なフレームを開始するためのタイミングを制御する。回路64および66の出力は、以下でさらに詳しく説明されるようにクランプされ、カラムドライバIC68およびロウドライバIC70にそれぞれ印加される。

【0032】

図2に少しの間戻ると、厚膜電界発光ディスプレイは、従来の薄膜電界発光ディスプレイとは、2つの誘電体層のうち的一方が高い誘電率を有する厚膜層を含むという点で異なることがわかる。第2の誘電体層は、厚い層がこの機能を持つため絶縁破壊に耐える必要はなく、薄膜電界発光ディスプレイで使用する誘電体層に比べて実質的に薄くできる。米国特許第5,432,015号では、これらのディスプレイ用に厚膜誘電体層を構成する方法を教示している。厚膜電界発光ディスプレイ内の誘電体層の性質の結果として、図3に示されている等価回路の値は、薄膜電界発光ディスプレイのものと比べて実質的に異なる。特に、コンデンサCdの値は、薄膜電界発光ディスプレイの場合よりも著しく大きい可能性がある。このため、パネル静電容量の変化は、薄膜ディスプレイの場合よりも大きい印加されたロウおよびカラム電圧の関数として表される。スレショルド電圧よりも高いピクセル静電容量とスレショルド電圧よりも低いピクセル静電容量との比は、典型的には約4:1であるが、10:1を超えてもよい。対照的に、薄膜電界発光ディスプレイの場合、この比は、約2:1から3:1の範囲内にある。典型的には、パネル静電容量は、ディスプレイのサイズおよびロウおよびカラムに印加される電圧に応じて、ナノファラッド範囲からマイクロファラッド範囲までとすることができる。

【0033】

図8および9は、米国特許出願第10/701,051号に記載されているように、それぞれ、カラムおよびロウに使用される共振回路の回路図である。図10は、これまた米国特許出願第10/701,051号に記載されているように、極性が交互に変化する電圧をロウドライバの高電圧入力端子に供給するロウ共振回路とロウドライバとの間に接続されている極性反転回路の回路図である。共振回路への入力DC電圧は、330ボルトであった(120/240ボルトACからオフラインで整流)。極性反転回路の出力は、ロウドライバIC70の高電圧入力端子に接続され(図7)、これらの出力端子は、ディスプレイパネルのロウに接続されている。ロウドライバのクロックおよびゲート入力端子は、本分野で知られているように、電界発光ディスプレイのマトリクスアドレッシングに適合されたフィールドプログラマブルゲートアレイ(FPGA)を採用するデジタル回路を使用して同期がとられる。

【0034】

図11および12は、図7、8、9、および10に示されているように、ドライバ回路を制御するために使用されるタイミング信号波形を示している。プロトタイプディスプレイのロウアドレッシング周波数は、32kHzであったため、ディスプレイパネルに120kHzのリフレッシュ速度を使用できる。

【0035】

図8を参照すると、カラム駆動共振回路の共振周波数は、ステップダウントランスT2の1次側に現れる実効インダクタンスにより、またトランスT2の1次側に現れるカラム静電容量と並列のコンデンサC42の実効静電容量により制御される。また、共振周波数の微調整のためコンデンサC42と並列に小さなトリマーコンデンサC11もつながっている。トランスの巻き数比は、5よりも大きく、コンデンサC42の値Ciは、式2を参照すると、値Ciが実質的に $(n_2/n_1)^2 C_P$ よりも大きく、共振周波数に対するパネル静電容量の変化の影響を最小限に抑えるように選択されている。C9は、異なるディスプレイ走査周波数と一致または同期する所望の共振周波数を得るために、コンデンサC42の静電容量とともに、タンク回路を同調するコンデンサのバンクである。

【0036】

さらに図8を参照すると、トランスT2の二次側の正弦波出力は、瞬間出力電圧が決して負にならないようにクランプ回路の蓄積コンデンサCs間の電圧分だけシフトされたDCである。

【0037】

共振回路は、MOSFET Q2およびQ3を使用して駆動され、そのスイッチングは、HSync信号とともに適切な遅延時間を使用して同期がとられるLC DRV信号により制御され、これにより、ロウドライバICはアドレッシングされたロウを選択する。遅延は、駆動電流がゼロに近づいたときにロウドライバICのスイッチングが発生するように調節される。LC DRV信号は、典型的にはフィールドプログラマブルゲートアレイ (FPGA) であるが、この目的のために設計された特定用途向け集積回路 (ASIC) であってもよいディスプレイドライバの低電圧ロジックセクションにより発生する。LC DRV信号は、50%デューティサイクルTTLレベルの方形波である。LC DRV信号は2つの形態を有し、LC DRV A信号は、LC DRV B信号の相補信号である。

10

【0038】

図8を再び参照すると、そこでは、共振回路の電圧レベルの制御は、パルス幅変調器U1を使用して実行され、その出力は、トランスT6を通してMOSFET Q1のゲートに送られる。これは、330ボルトの入力DC電圧を通電遮断することにより共振回路内の電圧レベルを制御する。インダクタL2は、DC電圧から通電されているときに共振回路への電流を制限し、ダイオードD12は、インダクタの電流変化によるMOSFET Q1のソースのところの電圧偏位を制限する。パルス幅変調器のデューティサイクルは、電圧帰還回路により制御され、これでトランスT2の一次側の電圧を感知して共振回路電圧を調節または調整する。パルス幅変調器のスイッチングは、ディスプレイドライバの低電圧ロジックセクションからのTTL信号PWM_SYNCを使用してHSyncと同期がとられる。

20

【0039】

図9を参照すると、ロウドライバ回路の動作は、カラムドライバ回路の動作と類似しているが、ただし、トランスT1の巻き数比は、カラムドライバ回路内のトランスT2の巻き数比と比べて異なり、ロウを通して現れるパネル静電容量の高いロウ電圧とパネル静電容量の小さな値を反映しており、これは残りのロウが開回路であるという事実によるものである。さらに、トランスT2と比べてトランスT1には二次巻き線が4本多く、連続フレーム上のロウの極性を交互に変える極性反転回路の動作に必要なフロート電圧を発生する。

30

【0040】

ロウドライバ回路の出力は、図10に示されている極性反転回路に送り込まれる。これにより、電界発光ディスプレイの必要なAC動作を行わせる交互フレーム上に反対極性を有するロウ電圧がもたらされる。6個のMOSFET Q4からQ9は、生成された正または負の駆動正弦波形をパネルロウに接続する一組のアナログスイッチを形成する。極性の選択は、ディスプレイシステム内のシステムロジック回路により生成されるTTL信号である、FRAME POLにより制御される。FRAME POL信号は、ディスプレイ上のそれぞれのフレームの走査を開始させる垂直同期信号VSYNCと同期する。FRAME POL信号は、トランスT1からの4つのフロート電圧とともに、極性反転回路を動作させる制御信号 (FRAME_POL-1からFRAME_POL-4) を発生する。

40

【0041】

上記の説明から理解されるように、受動的にアドレッシングされる電界発光ディスプレイ内のカラム (図8) 用の共振エネルギー回収回路を改善した回路が提示されている。

【0042】

図8に関して上で説明されているように実施された場合、ディスプレイパネルのカラムを駆動することに関連するエネルギー効率は、ディスプレイロウを駆動する場合と比べて著しく低い。カラムを通したエネルギー回収の効率がこのように低い理由は、共振駆動電源へのエネルギー回収経路を介するのではなく望ましくないシャント経路を介したパネル静電容量の部分的放電にあることが判明している。

【0043】

50

図13は、ビデオイメージが縦線からなる場合のパネルカラムドライバの簡略化された等価回路を示している。縦線パターンの選択により、等価回路が簡略化されるが、それというのも、カラムドライバのそれぞれの出力が2つの固定電圧のうち的一方であり、カラムは、その2つの固定電圧のカラムドライバの並列群にそれぞれ対応する2つのドライバ出力によってのみ表すことができるからである。「H」出力は、縦線に対応する最大階調レベルを有するドライバ出力の群を表すが、V出力は、表示される線パターンの背景に対応するゼロ階調レベルを有するドライバ出力の群を表す。このパターンの表示には、カラムドライバ回路の電力消費量を最大化するカラム電圧を必要とする。

【0044】

H'出力とV出力との間に接続されるコンデンサ(Cp)は、総パネル静電容量を表す。

10

【0045】

ドライバ出力は、ソースフォロワ回路構成におけるトータムボール型MOSFETバッファである(Q14からQ17)。

【0046】

ディスプレイパネルの1つのロウをアドレッシングする走査サイクルにおいて、パネル静電容量(Cp)は、最大階調レベルに対応する電圧Vに荷電される。コンデンサに蓄積されるエネルギーは、 $V_T \cdot C_p V^2$ である。エネルギー回収の効率を最大化するために、パネル静電容量は、図8(放電ループ3)に示されているように、MOSFET Q14およびQ17のダイオード本体を通して放電して共振駆動回路に戻すようにしなければならない。

【0047】

20

しかし、コンデンサの放電中、コンデンサの端子のところの電圧レベルは、連続的に変化している。ドライバの出力バッファは、アクティブボルテージフォロワであるため、出力は、カラムドライバチップ内に含まれる階調表示デジタル-アナログ変換回路による制御に従って必要な階調レベルに対応するレベルに維持される。ドライバ出力とプログラムされた階調レベル電圧との間に電圧差がある場合には必ず、ドライバ出力のところでプログラムされた電圧を復元または維持するために、トータムボール型出力MOSFETのいずれか1つがオンになるというのが、ボルテージフォロワバッファの特徴である。

【0048】

その結果、MOSFETがオンにされた場合、望ましくない分流放電経路が確立され(放電ループ1および2)、そのためパネルコンデンサからエネルギーが散逸し、回収できなくなる。ロウドライバは共振駆動電源とアドレッシングされたロウパネルコンデンサとの間の直列オン/オフスイッチに似ており、放電経路のみがスイッチを通して電源に戻るようになっているため、これらの放電分流通路は、ロウ駆動回路(図9)内に存在しない。

30

【0049】

したがって、ドライバ出力MOSFETを通るパネルコンデンサの放電は、パネルコンデンサの放電中に出力MOSFETが「オフ」状態(またはハイインピーダンス状態)になるようにすることで妨げられ、パネルコンデンサの放電のみが出力MOSFETのボディダイオードを通して効率的エネルギー回収回路の共振電源に戻される。

【0050】

図13に示されているように、パネルコンデンサの放電中にカラムドライバの出力電圧をバッファリングするために使用される出力MOSFETのゲート端子およびソース端子を短絡するアナログスイッチ(S1、S2)が備えられ、これによりこれらのMOSFETは、「オフ」または「Hi-Z」状態に切り替えられる。ゲート端子およびソース端子を接続することで、ゲート-ソース間電位(Vgs)はMOSFETのターンオンスレシールド電圧よりも必ず低くなる。

40

【0051】

カラムドライバ集積超小型回路の内部の制御回路(図には示されていない)が、アナログスイッチ(図13:S1、S2)を作動させる。スイッチは、パネルコンデンサが放電している間はいつでも、理想的には閉じられているが、パネルコンデンサが放電している期間の実質の一部において閉じられている場合には効率の面である程度のメリットがある。図5A、5B、および5Cを参照すると、スイッチは、好ましくは、パネルコンデンサが放電している状

50

態である、電圧正弦波形の絶対値が下がっている場合には、必ず閉じられる。

【 0 0 5 2 】

当業者であれば、他の実施形態または変更形態を考え出すことができる。例えば、この回路は、実質的に正弦波の出力電圧波形を発生することができる任意の種類のカラムドライババッファに応用することができ、この場合、パネルコンデンサが放電しているときには必ず、またはパネルコンデンサが放電している期間の実質的に一部において、パネルから見たバッファの出力インピーダンスは、ハイインピーダンス状態にされうる。

【 0 0 5 3 】

本発明の多くの特徴および利点は、詳細な明細書から明らかであり、したがって、付属の請求項において、本発明の真の精神および範囲のうちにある本発明のすべてのこのような特徴および利点を対象とすることが意図されている。さらに、当業者であれば多くの修正形態および変更形態を思い付くので、本発明を例示され、説明されているそのままの構造および動作に限定することは望ましくなく、したがって、本発明の範囲内にあれば、すべての好適な修正形態および等価形態を用いることができる。

【図面の簡単な説明】

【 0 0 5 4 】

【図 1】従来技術による、電界発光ディスプレイ上のピクセルの行(ロウ)と列(カラム)からなる配列の平面図である。

【図 2】図1の電界発光ディスプレイの単一ピクセルを通る断面図である。

【図 3】図2のピクセルに対する等価回路の図である。

【図 4】米国特許第6,448,950号によるディスプレイドライバで使用される共振回路の簡略化された回路図である。

【図 5 A】異なる条件による図4の共振回路に対する波形を示すオシロスコープ波形図である。

【図 5 B】異なる条件による図4の共振回路に対する波形を示すオシロスコープ波形図である。

【図 5 C】異なる条件による図4の共振回路に対する波形を示すオシロスコープ波形図である。

【図 6】同時係属米国特許出願第10/701,051号に記載されているように、実施形態が実施されることに関連して、図4のディスプレイドライバの改良されたトランス二次側部分の簡略化された回路図である。

【図 7】米国特許第6,448,950号によるドライバ回路のブロック図である。

【図 8】同時係属米国特許出願第10/701,051号に記載されているような、実施形態が実施されることに関連する、カラムドライバの回路図である。

【図 9】同時係属米国特許出願第10/701,051号に記載されているような、ロウドライバの回路図である。

【図 1 0】図9のロウドライバの出力のところで使用される極性反転回路の回路図である。

【図 1 1】図6から10に記載されているディスプレイドライバで使用される表示タイミングパルスを示すタイミング図である。

【図 1 2】図6から10に記載されているディスプレイドライバで使用される表示タイミングパルスを示すタイミング図である。

【図 1 3】一体化された正弦波エネルギー回収カラムドライバおよび電界発光ディスプレイの略図である。

【符号の説明】

【 0 0 5 5 】

C 実効タンク静電容量

C11 小さなトリマーコンデンサ

C42 コンデンサ

Cd 直列コンデンサ

10

20

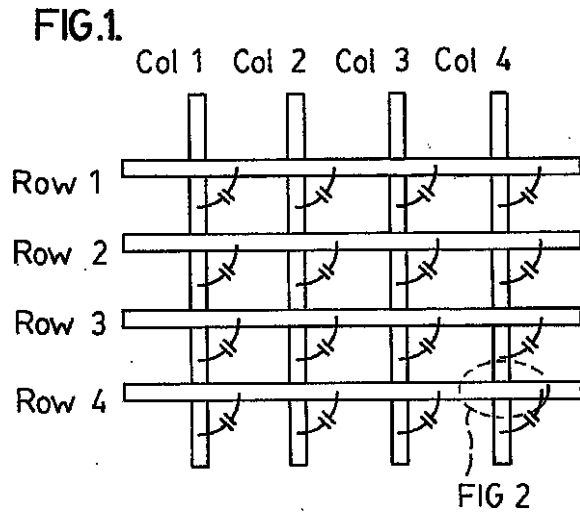
30

40

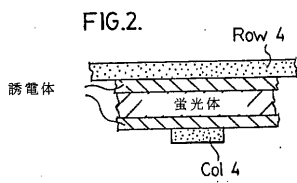
50

Cf	コンデンサ	
Ci	静電容量	
CPjX	並列コンデンサ	
Cp	パネル静電容量	
Cs	蓄積コンデンサ	
D12	ダイオード	
f	共振周波数	
FB	信号	
FRAME_POL-1、FRAME_POL-2、FRAME_POL-3、FRAME_POL-4	制御信号	
L2	インダクタ	10
ni	トランスの一次巻き線の巻き数	
n2	トランスの二次巻き線の巻き数	
PWM	パルス幅変調器	
Q2、Q3	MOSFET	
Q4、Q5、Q6、Q7、Q8、Q9	MOSFET	
Q14、Q17	MOSFET	
S1、S2、S3、Si	スイッチ	
T2、T6	トランス	
U1	パルス幅変調器	
VSYNC	垂直同期信号	20
1、2	放電ループ	
60	時間遅延制御回路	
62	ロウ共振回路	
64	カラム共振回路	
66	極性切り替え回路	
68	カラムドライバIC	
70	ロウドライバIC	

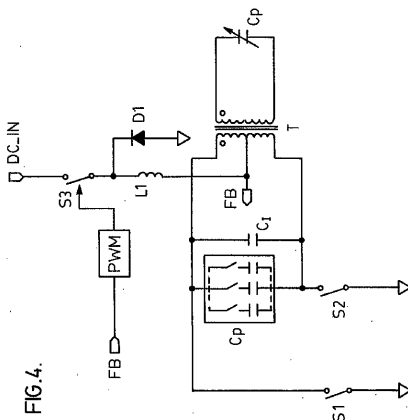
【図 1】



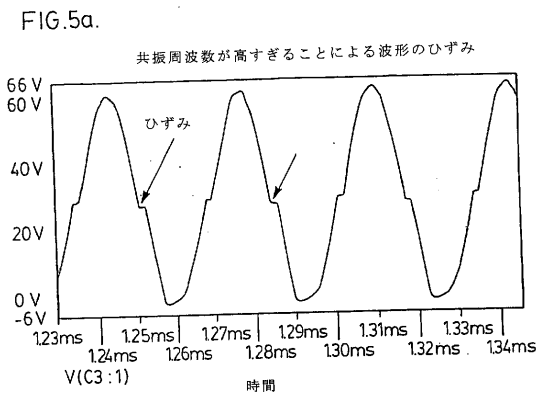
【図 2】



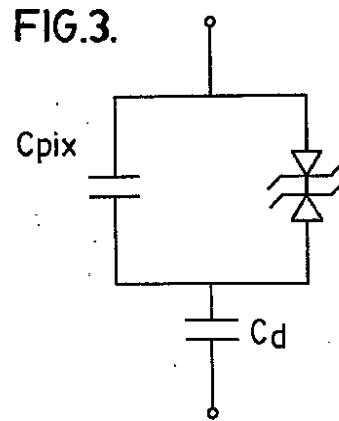
【図 4】



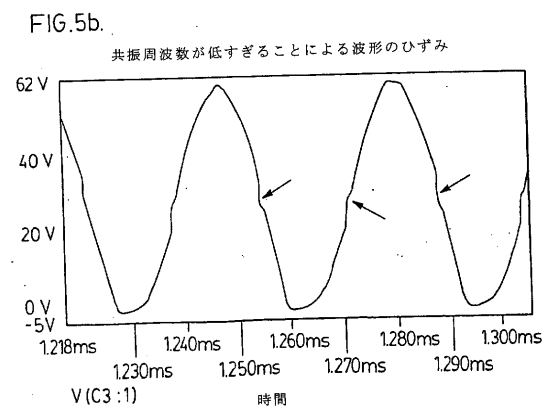
【図 5 A】



【図 3】



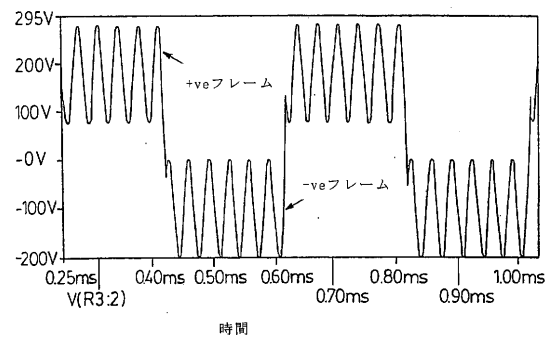
【図 5 B】



【図 5 C】

FIG.5c.

+veおよび-ve表示サイクルを示しているロウ駆動極性スイッチ出力
(1フレーム当たり6ラインが示されている)



【図 6】

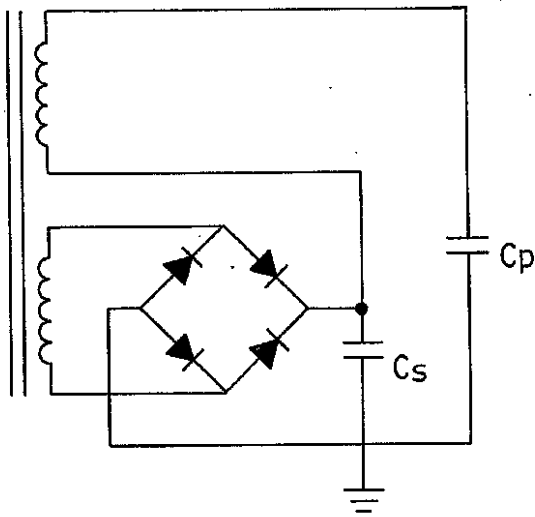


FIG. 6.

【図 7】

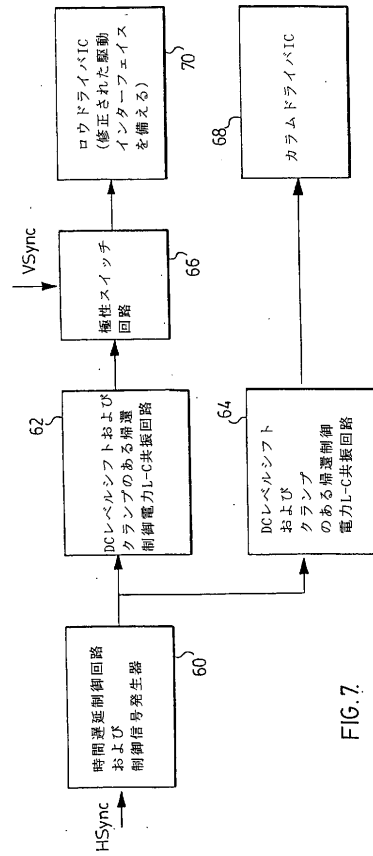


FIG. 7.

【図 8】

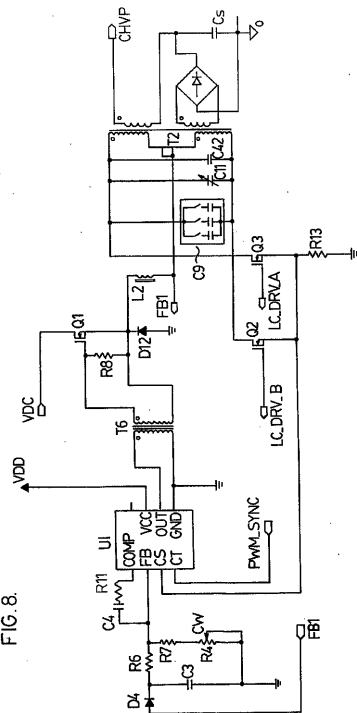


FIG. 8.

【図 9】

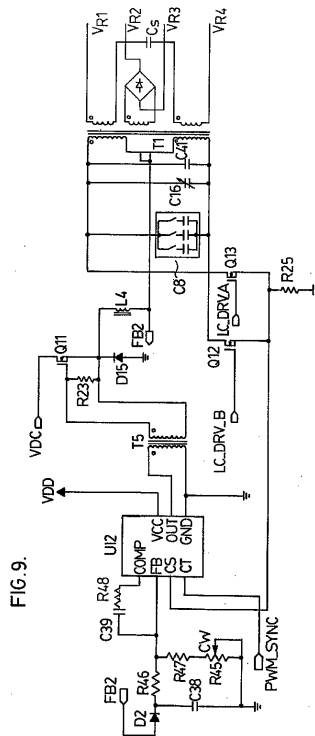
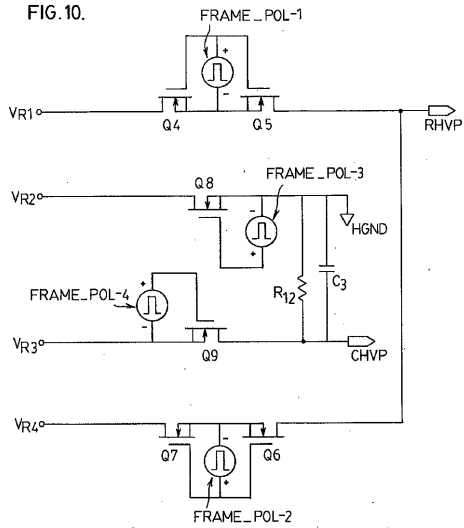


FIG. 9.

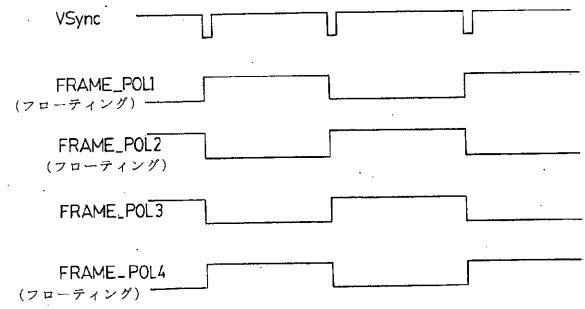
【図 10】

FIG. 10.



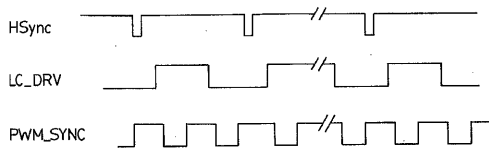
【図 12】

FIG. 12.

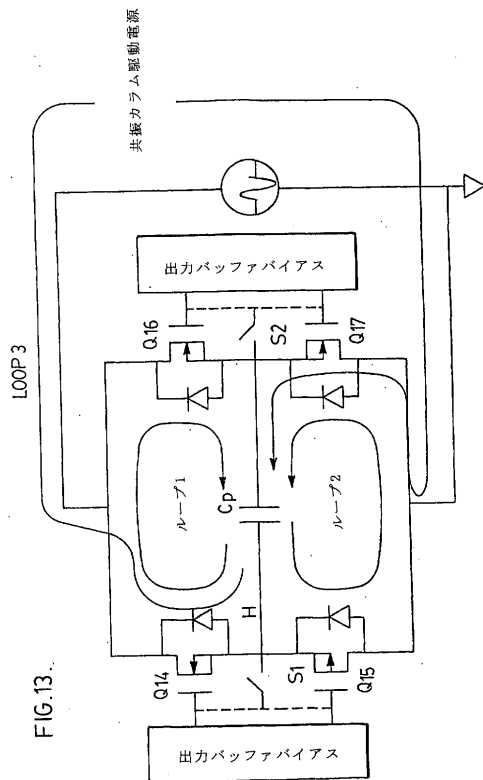


【図 11】

FIG. 11.



【図 13】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CA2006/000043
1. CLASSIFICATION OF SUBJECT MATTER		
IPC: G09G-3/20 (2006.01); G09G-3/30 (2006-01)		
2. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC ⁷ G09G-3/20; G09G-3/30; Canadian Class 375/1 to 375/20; 375/33 to 375/53		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base, and, where practicable, search terms used) :		
Databases : Delphion, West, USPTO, Espacenet, Canadian Patent Database Keywords : pixel driver; energy/charge recovery; transformer; secondary winding; resonance frequency; row/column drivers; varying capacitance; buffer switch		
3. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6819308 (CHENG) 16 November 2004 (16.11.2004), abstract; figs. 8-10b; claims; Col 3 (lines 31-44); Col 5 (lines 10-34); Col 7 (lines 31-50)	1, 14-18
A	CA 2399373 (CHENG) 23 August 2001 (23.08.2001), abstract; fig. 5; claim 1; figs 1, 3, 4	1
A	US 5994929 (SANO et al.) 30 November 1999 (30.11.1999), abstract; figures 1-3	1
A	US 5315311 (HONKALA) 24 May 1994 (24.05.1994), abstract; figures 5, 6	1
Further documents are listed in the continuation of Box C. Patent family members are listed in annex. [X]		
* Special categories of cited documents :	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international-type search 15 March 2006 (15-03-2006)	Date of mailing of the international-type search report 24 April 2006 (24-04-2006)	
Name and mailing address of the ISA/ Commissioner of Patents Canadian Patent Office - PCT Ottawa/Gatineau K1A 0C9 Facsimile No. 1-819-953-9358	Authorized officer Terry Cartile (819) 997-2951	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CA2006/000043

Patent Document Cited in the Search Report		Publication Date (dd.mm.yyyy)	Patent Family Members	Publication Date(s) (dd.mm.yyyy)
X	US 6819308	16.11.2004	WO 03/56538 A1	10.07.2003
			TW 0540029 B	01.07.2003
			JP 2005513577 T2	12.05.2005
			EP 1459283 A1	22.09.2004
			CN 1610930 A	27.04.2005
			CA 2471701 AA	10.07.2003
			AU 2351625 AA	15.07.2003
A	CA 2399373	23.08.2001	WO 01/61677 A1	23.08.2001
			US 6448950	10.09.2002
			TW 0520611 B	11.02.2003
			MX 2007990 A	29.11.2002
			JP 2003523533 T2	05.08.2003
			EP 1256109 A1	13.11.2002
			CN 1404599 T	19.03.2003
			CN 1220170 C	21.09.2005
			AU 0133535 A5	27.08.2001
A	US 5994929	30.11.1999	JP 10301530 A2	13.11.1998
			JP 02976923 B2	10.11.1999
			FR 2762705 B1	08.06.2001
A	US 5315311	24.05.1994	JP 04233588 A2	21.08.1992
			JP 03042729 B2	22.05.2000
			FI 0903103 A1	21.12.1991
			FI 0087707 C	10.02.1993
			DE 4119806 C2	29.11.2001

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 チュン - ファイ・チェン

カナダ・L 3 X・1 M 2・オンタリオ・ニューマーケット・ロックウッド・サークル・1 0 7 2

Fターム(参考) 5C080 AA08 BB05 DD26 EE28 FF12 JJ02 JJ03 JJ04 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008529041A5	公开(公告)日	2009-04-02
申请号	JP2007551520	申请日	2006-01-16
[标]申请(专利权)人(译)	伊菲雷技术公司		
申请(专利权)人(译)	眼消防科技公司		
[标]发明人	チュンファイチェン		
发明人	チュン-ファイ・チェン		
IPC分类号	G09G3/22 G09G3/20		
CPC分类号	G09G3/3611 G09G3/30 G09G3/3614 G09G3/3622 G09G2310/0248 G09G2310/0254 G09G2310/0267 G09G2310/0275 G09G2330/023 G09G2330/024 G09G2330/028		
FI分类号	G09G3/22.E G09G3/20.611.A G09G3/20.621.G G09G3/20.623.B		
F-TERM分类号	5C080/AA08 5C080/BB05 5C080/DD26 5C080/EE28 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	渡边 隆 村山彦		
优先权	60/646326 2005-01-24 US		
其他公开文献	JP2008529041A		

摘要(译)

实现驱动电路，其驱动具有以行和列布置的像素的显示面板，其有效地收集存储在像素行中的电容能量并且将该能量转换为每行的电能。当通过顺序施加电压到行，像素来执行寻址时它包含一个可以转移到电池的其他行的谐振电路。谐振电路与定时脉冲同步，定时脉冲控制降压变压器，初级绕组之间的电容，连接在次级绕组和输入电压之间的显示板的行或列，以及显示器的寻址FET开关驱动谐振电路提供。连接在变压器初级绕组之间的电容的值根据面板电容值的预期范围内选择有效地限制了谐振频率的变化相对于所述变压器的频率的匝数比和定时脉冲这一点。