

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-39875
(P2008-39875A)

(43) 公開日 平成20年2月21日(2008.2.21)

(51) Int.Cl.		F I		テーマコード (参考)
G09G 3/30 (2006.01)		G09G 3/30	J	5C080
G09G 3/20 (2006.01)		G09G 3/20	611H	
		G09G 3/20	624B	
		G09G 3/20	642P	

審査請求 未請求 請求項の数 9 O L (全 29 頁)

(21) 出願番号 特願2006-210620 (P2006-210620)
(22) 出願日 平成18年8月2日 (2006.8.2)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100086298
弁理士 船橋 國則
(72) 発明者 浅野 慎
東京都品川区北品川6丁目7番35号 ソニー株式会社内
Fターム(参考) 5C080 AA06 BB05 DD05 DD29 EE29
FF11 HH09 JJ02 JJ03 JJ04
JJ05

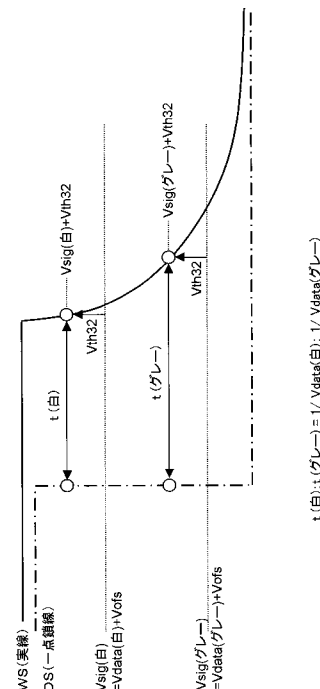
(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【要約】

【課題】 駆動トランジスタの移動度の画素ごとのバラツキに対する補正機能を実現し、スジや輝度ムラの無い均一な画質を得る。

【解決手段】 有機EL素子を電流駆動する駆動トランジスタの移動度の画素ごとのバラツキを補正する移動度補正において、入力信号電圧 V_{sig} をサンプリングして書き込むサンプリングトランジスタを駆動する書き込み信号 WS の立ち下がり波形を、入力信号電圧 V_{sig} に対して反比例するような波形に設定することで、移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定し、黒レベルから白レベルまで入力信号電圧の全レベル範囲に亘って駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を確実に打ち消すようにする。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、入力信号電圧をサンプリングして書き込むサンプリングトランジスタと、表示期間に亘って前記駆動トランジスタのゲート・ソース間電圧を保持するキャパシタとを含む画素回路がマトリクス状に配置されてなる画素アレイ部と、

前記サンプリングトランジスタによって前記入力信号電圧が書き込まれている状態で前記電気光学素子が発光する前の補正期間において前記駆動トランジスタのドレイン・ソース間電流を当該駆動トランジスタのゲート入力側に負帰還することによって前記駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消す手段とを備え、

前記補正期間の時間が前記補正期間前の前記駆動トランジスタの（ゲート・ソース間電圧） - （閾値電圧）に反比例するように設定されている

ことを特徴とする表示装置。

【請求項 2】

前記サンプリングトランジスタを駆動する信号の立ち下がり波形または立ち上がり波形および/または前記サンプリングトランジスタ以外のトランジスタを駆動する信号の立ち下がり波形または立ち上がり波形により、前記補正期間の時間を前記補正期間前の前記駆動トランジスタの（ゲート・ソース間電圧） - （閾値電圧）に反比例するように設定することを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記画素回路は、前記駆動トランジスタに選択的に電流を供給する第一のスイッチングトランジスタをさらに有し、

前記第一のスイッチングトランジスタが導通状態になってから前記サンプリングスイッチが非導通状態になるまでの時間を前記補正期間の時間とする

ことを特徴とする請求項 2 記載の表示装置。

【請求項 4】

前記サンプリングスイッチが導通状態になってから非導通状態になるまでの時間を前記補正期間の時間とする

ことを特徴とする請求項 2 記載の表示装置。

【請求項 5】

前記画素回路は、前記駆動トランジスタのゲートとドレインとの間に接続された第二のスイッチングトランジスタをさらに有し、

前記第二のスイッチングトランジスタを駆動する信号の立ち上がり波形または立ち下がり波形により、前記補正期間の時間を前記補正期間前の前記駆動トランジスタの（ゲート・ソース間電圧） - （閾値電圧）に反比例するように設定する

ことを特徴とする請求項 1 記載の表示装置。

【請求項 6】

前記第二のスイッチングトランジスタが導通状態になってから非導通状態になるまでの時間を前記補正期間の時間とする

ことを特徴とする請求項 5 記載の表示装置。

【請求項 7】

前記画素回路は、前記駆動トランジスタのゲートとドレインとの間に接続された第二のスイッチングトランジスタと、前記入力信号電圧を与えるデータ線と前記駆動トランジスタのドレインとの間に接続された第三のスイッチングトランジスタとをさらに有し、

前記第三のスイッチングトランジスタを駆動する信号の立ち上がり波形または立ち下がり波形により、前記補正期間の時間を前記補正期間前の前記駆動トランジスタの（ゲート・ソース間電圧） - （閾値電圧）に反比例するように設定する

ことを特徴とする請求項 1 記載の表示装置。

【請求項 8】

前記第三のスイッチングトランジスタが導通状態になってから非導通状態になるまでの

10

20

30

40

50

時間を前記補正期間の時間とする

ことを特徴とする請求項 7 記載の表示装置。

【請求項 9】

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、入力信号電圧をサンプリングして書き込むサンプリングトランジスタと、表示期間に亘って前記駆動トランジスタのゲート・ソース間電圧を保持するキャパシタとを含む画素回路がマトリクス状に配置されてなる表示装置の駆動方法であって、

前記サンプリングトランジスタによって前記入力信号電圧が書き込まれている状態で前記電気光学素子が発光する前の補正期間において前記駆動トランジスタのドレイン・ソース間電流を当該駆動トランジスタのゲート入力側に負帰還することによって前記駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消す際に、前記補正期間の時間を前記補正期間前の前記駆動トランジスタの（ゲート・ソース間電圧） - （閾値電圧）に反比例するように設定する

ことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および表示装置の駆動方法に関し、特に電気光学素子を含む画素回路がマトリクス状（行列状）に配置されてなる表示装置および当該表示装置の駆動方法に関する。

【背景技術】

【0002】

近年、画像表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度に変化するいわゆる電流駆動型の電気光学素子、例えば有機 EL (electro luminescence) 素子を含む画素回路がマトリクス状に多数配置されてなる有機 EL 表示装置が開発され、商品化が進められている。有機 EL 表示装置は、有機 EL 素子が自発光素子であることから、液晶セルを含む画素回路によって光源（バックライト）からの光強度を制御する液晶表示装置に比べて、画像の視認性が高い、バックライトが不要、素子の応答速度が速い等の特長を持っている。

【0003】

有機 EL 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。そのため、近年、発光素子に流れる電流を、当該発光素子と同じ画素回路内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ (Thin Film Transistor; TFT)）によって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。

【0004】

能動素子として薄膜トランジスタ（以下、「TFT」と記述する）を用いた画素回路において、当該 TFT として N チャネル型のトランジスタを用いることができれば、TFT を基板上に作成するに当たって、従来のアモルファスシリコン (a-Si) プロセスを用いることが可能になる。そして、a-Si プロセスを用いることで、TFT を作成する基板の低コスト化を図ることができる。

【0005】

ところで、一般的に、有機 EL 素子の電流 - 電圧 (I - V) 特性は、時間が経過すると劣化（経時劣化）する。N チャネル型の TFT を用いた画素回路では、有機 EL 素子を電流駆動するトランジスタ（以下、「駆動トランジスタ」と記述する）のソース側に有機 EL 素子が接続されることになるために、有機 EL 素子の I - V 特性が経時変化すると、駆動トランジスタのゲート・ソース間電圧 V_{gs} が変化し、その結果、有機 EL 素子の発光輝度も変化する。

10

20

30

40

50

【 0 0 0 6 】

このことについてより具体的に説明する。駆動トランジスタのソース電位は、当該駆動トランジスタと有機EL素子との動作点で決まる。有機EL素子のI-V特性が劣化すると、駆動トランジスタと有機EL素子との動作点が変わってしまうため、駆動トランジスタのゲートに同じ電圧を印加したとしても、駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース・ゲート間電圧 V_{gs} が変化し、当該駆動トランジスタに流れる電流値が変化するために、有機EL素子に流れる電流値も変化し、その結果、有機EL素子の発光輝度が変化する。

【 0 0 0 7 】

また、ポリシリコンTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動トランジスタの閾値電圧 V_{th} が経時的に変化したり、当該閾値電圧 V_{th} が画素ごとに異なったりする(個々のトランジスタ特性にバラツキがある)。駆動トランジスタの閾値電圧 V_{th} が異なると、駆動トランジスタに流れる電流値にバラツキが生じるために、駆動トランジスタのゲートに同じ電圧を印加しても、有機EL素子の発光輝度が変化し、画面の一様性(ユニフォームリティ)が損なわれる。

10

【 0 0 0 8 】

従来は、有機EL素子のI-V特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の特性変動に対する補償機能および駆動トランジスタの閾値電圧 V_{th} の変動に対する補償機能を画素回路の各々に持たせる構成を採っていた(例えば、特許文献1参照)。

20

【 0 0 0 9 】

【特許文献1】特開2004-361640号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかしながら、ポリシリコンTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化、駆動トランジスタの閾値電圧 V_{th} の経時変化や画素ごとのバラツキに加えて、駆動トランジスタのキャリアの移動度 μ も画素ごとに異なる。

【 0 0 1 1 】

駆動トランジスタは、飽和領域で動作するように設計されているために定電流源として動作する。その結果、有機EL素子には駆動トランジスタから、次式(1)で与えられる一定のドレイン・ソース間電流 I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots (1)$$

ここで、 V_{th} は駆動TFTの閾値電圧、 μ はキャリアの移動度、 W はチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量、 V_{gs} はゲート・ソース間電圧である。

【 0 0 1 2 】

上記の式(1)から明らかなように、駆動トランジスタの移動度 μ が画素ごとに異なると、駆動トランジスタに流れるドレイン・ソース間電流 I_{ds} に画素ごとのバラツキが生じるために、有機EL素子の発光輝度が画素ごとに変化し、その結果、スジや輝度ムラのある不均一な画質になってしまう。

30

40

【 0 0 1 3 】

そこで、本発明は、駆動トランジスタの移動度の画素ごとのバラツキに対する補正機能を低消費電力にて実現し、スジや輝度ムラの無い均一な画質の表示画像を得ることが可能な表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 4 】

上記目的を達成するために、本発明は、電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、入力信号電圧をサンプリングして書き込むサンプリングトランジス

50

タと、表示期間に亘って前記駆動トランジスタのゲート・ソース間電圧を保持するキャパシタを含む画素回路がマトリクス状に配置されてなる表示装置において、前記サンプリングトランジスタによって前記入力信号電圧が書き込まれている状態で前記電気光学素子が発光する前の補正期間において前記駆動トランジスタのドレイン・ソース間電流を当該駆動トランジスタのゲート入力側に負帰還することによって前記駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消す際に、前記補正期間の時間を前記駆動トランジスタに印加される実効的な入力信号電圧、即ち式(1)における $(V_{gs} - V_{th})$ の絶対値に反比例するように設定する構成を採っている。

【0015】

上記構成の表示装置において、駆動トランジスタのドレイン・ソース間電流を当該駆動トランジスタのゲート入力側に負帰還させることで、移動度の異なる画素のドレイン・ソース間電流の電流値が均一化され、その結果、移動度のバラツキの補正が達成される。この負帰還における帰還量は、移動度の補正時間を調整することによって最適化が可能である。この最適な移動度補正時間は、入力信号電圧が大きくなると逆に小さくなる。すなわち、最適な移動度補正時間と入力信号電圧とは反比例の関係にある。したがって、移動度補正時間を入力信号電圧に反比例するように設定することで、黒レベルから白レベルまで入力信号電圧の全レベル範囲に亘って駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性をより確実に打ち消すことができる。

【発明の効果】

【0016】

本発明によれば、黒レベルから白レベルまで入力信号電圧の全レベル範囲(全階調)に亘って駆動トランジスタのドレイン・ソース間電流の移動度に対する依存性を打ち消すことができるために、駆動トランジスタの移動度が画素ごとに異なることに起因するスジや輝度ムラの無い均一な画質の表示画像を得ることができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0018】

図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【0019】

(画素アレイ部)

図1に示すように、本実施形態に係るアクティブマトリクス型表示装置は、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子31を含む画素回路11がマトリクス状(行列状)に2次元配置されてなる画素アレイ部12を有している。ここでは、図面の簡略化のために、ある1つの画素回路11についてその具体的な回路構成を示している。

【0020】

この画素アレイ部12において、画素回路11の各々に対して、画素行ごとに走査線13、駆動線14および第一、第二補正用走査線15、16がそれぞれ配線され、また画素列ごとにデータ線(信号線)17が配線されている。この画素アレイ部12の周囲には、走査線13を走査駆動する書き込み走査回路18と、駆動線14を走査駆動する駆動走査回路19と、第一、第二補正用走査線15、16を走査駆動する第一、第二補正用走査回路20、21と、輝度情報に応じたデータ信号(映像信号)をデータ線17に供給するデータ線駆動回路22とが配置されている。

【0021】

本例では、書き込み走査回路18および駆動走査回路19が画素アレイ部12を挟んで一方側(例えば、図の右側)に配置され、その反対側に第一、第二補正用走査回路20、21が配置された構成となっている。ただし、これらの配置関係は一例に過ぎず、これに限定されるものではない。また、書き込み走査回路18、駆動走査回路19および第一、

10

20

30

40

50

第二補正用走査回路 20, 21 は、走査線 13、駆動線 14 および第一、第二補正用走査線 15, 16 を走査駆動するに当たって、書き込み信号 WS、駆動信号 DS および第一、第二補正用走査信号 AZ1, AZ2 を適宜出力する。

【0022】

画素アレイ部 12 は、通常、ガラス基板などの透明絶縁基板上に形成され、平面型（フラット型）のパネル構造となっている。画素アレイ部 12 の各画素回路 11 は、アモルファスシリコン TFT（薄膜トランジスタ）または低温ポリシリコン TFT を用いて形成することができる。本実施形態では、画素回路 11 を低温ポリシリコン TFT で形成する場合を例に挙げて説明するものとする。低温ポリシリコン TFT を用いる場合には、書き込み走査回路 18、駆動走査回路 19、第一、第二補正用走査回路 20, 21 およびデータ線駆動回路 22 についても、画素アレイ部 11 を形成するパネル上に一体的に形成することができる。

10

【0023】

（画素回路）

画素回路 11 は、有機 EL 素子 31 に加えて、駆動トランジスタ 32、サンプリングトランジスタ 33、スイッチングトランジスタ 34 ~ 36 およびキャパシタ（画素容量 / 保持容量）37 を構成素子として有する回路構成となっている。

【0024】

この画素回路 11 においては、駆動トランジスタ 32、サンプリングトランジスタ 33 およびスイッチングトランジスタ 35, 36 として N チャネル型の TFT が用いられ、スイッチングトランジスタ 34 として P チャネル型の TFT が用いられている。ただし、ここでの駆動トランジスタ 32、サンプリングトランジスタ 33 およびスイッチングトランジスタ 34 ~ 36 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

20

【0025】

有機 EL 素子 31 は、カソード電極が第 1 の電源電位 VSS（ここでは、接地電位 GND）に接続されている。駆動トランジスタ 32 は、有機 EL 素子 31 を電流駆動するためのものであり、ソースが有機 EL 素子 31 のアノード電極に接続されてソースフォロア回路を形成している。サンプリングトランジスタ 33 は、ソースがデータ線 17 に接続され、ドレインが駆動トランジスタ 32 のゲートに接続され、ゲートが走査線 13 に接続されている。

30

【0026】

スイッチングトランジスタ 34 は、ソースが第 2 の電源電位 VDD（ここでは、正の電源電位）に接続され、ドレインが駆動トランジスタ 32 のドレインに接続され、ゲートが駆動線 14 に接続されている。スイッチングトランジスタ 35 は、ドレインが第 3 の電源電位 Vofs に接続され、ソースがサンプリングトランジスタ 33 のドレイン（駆動トランジスタ 32 のゲート）に接続され、ゲートが第一補正用走査線 15 に接続されている。

【0027】

スイッチングトランジスタ 36 は、ドレインが駆動トランジスタ 32 のソースと有機 EL 素子 31 のアノード電極との接続ノード N11 に接続され、ソースが第 4 の電源電位 Vin1（ここでは、負の電源電位）に接続され、ゲートが第二補正用走査線 16 に接続されている。キャパシタ 37 は、一端が駆動トランジスタ 32 のゲートとサンプリングトランジスタ 33 のドレインとの接続ノード N12 に接続され、他端が駆動トランジスタ 32 のソースと有機 EL 素子 31 のアノード電極との接続ノード N11 に接続されている。

40

【0028】

上述した接続関係にて各構成素子が接続されてなる画素回路 11 において、各構成素子は次のような作用をなす。すなわち、サンプリングトランジスタ 33 は、導通状態となることにより、データ線 17 を通して供給される入力信号電圧 Vsig（= Vofs + Vdata; Vdata > 0）をサンプリングする。このサンプリングされた信号電圧 Vsig は、キャパシタ 37 に保持される。スイッチングトランジスタ 34 は、導通状態になる

50

ことにより、電源電位 V_{DD} から駆動トランジスタ 32 に電流を供給する。

【0029】

駆動トランジスタ 32 は、スイッチングトランジスタ 34 が導通状態にあるときに、キャパシタ 37 に保持された信号電圧 V_{sig} に応じた電流値を有機 EL 素子 31 に供給することによって当該有機 EL 素子 31 を駆動する（電流駆動）。スイッチングトランジスタ 35, 36 は、適宜導通状態になることにより、有機 EL 素子 31 の電流駆動に先立って駆動トランジスタ 32 の閾値電圧 V_{th32} を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V_{th32} をキャパシタ 37 に保持する。キャパシタ 37 は、表示期間に亘って駆動トランジスタ 32 のゲート・ソース間電圧を保持する。

【0030】

この画素回路 11 では、正常な動作を保証するための条件として、第 4 の電源電位 V_{ini} は、第 3 の電源電位 V_{ofs} から駆動トランジスタ 32 の閾値電圧 V_{th32} を差し引いた電位よりも低くなるように設定されている。すなわち、 $V_{ini} < V_{ofs} - V_{th32}$ のレベル関係となっている。また、有機 EL 素子 31 のカソード電位 V_{cat} （ここでは、接地電位 GND ）に有機 EL 素子 31 の閾値電圧 V_{thel} を加えたレベルは、第 3 の電源電位 V_{ofs} から駆動トランジスタ 32 の閾値電圧 V_{th32} を差し引いたレベルよりも高くなるように設定されている。すなわち、 $V_{cat} + V_{thel} > V_{ofs} - V_{th32}$ ($> V_{ini}$) のレベル関係となっている。

【0031】

なお、上記の画素回路 11 において、書き込み信号 WS と第一補正用走査信号 $AZ1$ とが同時に“H”レベルとなる期間が存在しないため、スイッチングトランジスタ 35 をサンプリングトランジスタ 33 に共通化、電源電位 V_{ofs} の電源線をデータ線（信号線）17 に共通化できる。この場合、データ線 17 より、第一補正用走査信号 $AZ1$ が“H”レベルに相当する期間に電源電位 V_{ofs} を供給し、書き込み信号 WS が“H”レベルに相当する期間に入力信号電圧 V_{sig} を供給するようにすれば良い。

【0032】

[回路動作の説明]

続いて、上記構成の画素回路 11 をマトリクス状に 2 次元配置してなるアクティブマトリクス型有機 EL 表示装置の回路動作について、図 2 のタイミング波形図を用いて説明する。図 2 のタイミング波形図では、時刻 t_1 から時刻 t_9 までの期間を 1 フィールド期間としている。この 1 フィールド期間に画素アレイ部 12 の各画素行が 1 回順次走査されることになる。

【0033】

図 2 には、ある i 行目の画素回路 11 を駆動する際に、書き込み走査回路 18 から走査線 13 を介して画素回路 11 に与えられる書き込み信号 WS 、駆動走査回路 19 から駆動線 14 を介して画素回路 11 に与えられる駆動信号 DS および第一、第二補正用走査回路 20, 21 から第一、第二補正用走査線 15, 16 を介して画素回路 11 に与えられる第一、第二補正用走査信号 $AZ1$, $AZ2$ のタイミング関係、ならびに駆動トランジスタ 32 のゲート電位 V_g およびソース電位 V_s の変化をそれぞれ示している。

【0034】

ここで、サンプリングトランジスタ 33 およびスイッチングトランジスタ 35, 36 が N チャネル型であるために、書き込み信号 WS および第一、第二補正用走査信号 $AZ1$, $AZ2$ については、高レベル（本例では、電源電位 V_{DD} ；以下、「“H”レベル」と記述する）の状態をアクティブ状態とし、低レベル（本例では、電源電位 V_{SS} (GND レベル)；以下、「“L”レベル」と記述する）の状態を非アクティブ状態とする。また、スイッチングトランジスタ 34 が P チャネル型であるために、駆動信号 DS については、“L”レベルの状態をアクティブ状態とし、“H”レベルの状態を非アクティブ状態とする。

【0035】

（発光期間）

10

20

30

40

50

まず、通常の発光期間 ($t_7 \sim t_8$) においては、書き込み走査回路 18 から出力される書き込み信号 WS 、駆動走査回路 19 から出力される駆動信号 DS および第一、第二補正用走査回路 20, 21 から出力される第一、第二補正用走査信号 AZ_1 , AZ_2 が共に“L”レベルにあるために、サンプリングトランジスタ 33 およびスイッチングトランジスタ 35, 36 は非導通 (オフ) 状態にあり、スイッチングトランジスタ 34 が導通 (オン) 状態にある。

【0036】

このとき、駆動トランジスタ 32 は、飽和領域で動作するように設計されているために定電流源として動作する。その結果、スイッチングトランジスタ 34 を通して駆動トランジスタ 32 から、有機 EL 素子 31 に対して先述した式 (1) で与えられる一定のドレイン・ソース間電流 I_{ds} が供給される。そして、時刻 t_8 で駆動信号 DS が“L”レベルから“H”レベルに遷移することで、スイッチングトランジスタ 34 が非導通となり、駆動トランジスタ 32 への電源電位 V_{DD} からの電流供給が遮断されるため、有機 EL 素子 31 の発光が停止し、非発光期間に入る。

10

【0037】

(閾値補正準備期間)

スイッチングトランジスタ 34 の非導通状態において、時刻 t_1 (t_9) で第一、第二補正用走査回路 20, 21 から出力される第一、第二補正用走査信号 AZ_1 , AZ_2 が共に“L”レベルから“H”レベルに遷移することで、スイッチングトランジスタ 35, 36 が導通状態となり、後述する駆動トランジスタ 32 の閾値電圧 V_{th32} のバラツキを補正 (キャンセル) するための閾値補正準備期間に入る。

20

【0038】

スイッチングトランジスタ 35, 36 は、どちらが先に導通状態になっても良い。スイッチングトランジスタ 35, 36 が導通状態となることにより、駆動トランジスタ 32 のゲートにはスイッチングトランジスタ 35 を介して電源電位 V_{ofs} が印加され、駆動トランジスタ 32 のソース (有機 EL 素子 31 のアノード電極) にはスイッチングトランジスタ 36 を介して電源電位 V_{ini} が印加される。

【0039】

このとき、先述したように、 $V_{ini} < V_{cat} + V_{thel}$ のレベル関係にあるために、有機 EL 素子 31 は逆バイアス状態となる。したがって、有機 EL 素子 31 には電流が流れず、非発光状態にある。また、駆動トランジスタ 32 は、そのゲート・ソース間電圧 V_{gs} が $V_{ofs} - V_{ini}$ という値をとる。ここで、先述したように、 $V_{ofs} - V_{ini} > V_{th32}$ のレベル関係を満たしている。

30

【0040】

時刻 t_2 で第二補正用走査回路 21 から出力される第二補正用走査信号 AZ_2 が“H”レベルから“L”レベルに遷移することで、スイッチングトランジスタ 36 が非導通状態となって、閾値補正準備期間が終了する。

【0041】

(閾値補正期間)

その後、時刻 t_3 で駆動走査回路 19 から出力される駆動信号 DS が“H”レベルから“L”レベルに遷移することで、スイッチングトランジスタ 34 が導通状態となる。スイッチングトランジスタ 34 が導通状態となることで、電源電位 V_{DD} スイッチングトランジスタ 34 ノード N_{11} キャパシタ 37 ノード N_{12} スイッチングトランジスタ 35 電源電位 V_{ofs} の経路で電流が流れる。

40

【0042】

このとき、駆動トランジスタ 32 のゲート電位 V_g が電源電位 V_{ofs} に保持されており、駆動トランジスタ 32 がカットオフするまで (導通状態から非導通状態になるまで) 上記の経路で電流が流れ続ける。このとき、ノード N_{11} の電位、即ち駆動トランジスタ 32 のソース電位 V_s は、図 3 に示すように、電源電位 V_{ini} から時間の経過とともに徐々に上昇する。

50

【 0 0 4 3 】

そして、一定時間が経過し、ノード N 1 1 とノード N 1 2 との間の電位差、即ち駆動トランジスタ 3 2 のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th32} になったところで、駆動トランジスタ 3 2 がカットオフする。この N 1 1 - N 1 2 間の電位差 V_{th32} は、閾値補正用の電位としてキャパシタ 3 7 に保持される。このとき、 $V_{el} = V_{ofs} - V_{th32} < V_{cat} + V_{thel}$ となっている。

【 0 0 4 4 】

その後、時刻 t_4 で駆動走査回路 1 9 から出力される駆動信号 DS が “ L ” レベルから “ H ” レベルに遷移し、第一補正用走査回路 2 0 から出力される第一補正用走査信号 AZ_1 が “ H ” レベルから “ L ” レベルに遷移することで、スイッチングトランジスタ 3 4 , 3 5 が非導通状態になる。この時刻 t_3 から時刻 t_4 までの期間が駆動トランジスタ 3 2 の閾値電圧 V_{th32} を検出する期間である。ここでは、この検出期間 $t_3 - t_4$ を閾値補正期間と呼んでいる。

10

【 0 0 4 5 】

スイッチングトランジスタ 3 4 , 3 5 が非導通状態になることで（時刻 t_4 ）、閾値補正期間の終了となる訳であるが、このとき、スイッチングトランジスタ 3 4 がスイッチングトランジスタ 3 5 よりも先に非導通状態になることで、駆動トランジスタ 3 2 のゲート電位 V_g の変動を抑えることが可能となる。

【 0 0 4 6 】

（書き込み期間）

その後、時刻 t_5 で書き込み走査回路 1 8 から出力される書き込み信号 WS が “ L ” レベルから “ H ” レベルに遷移することで、サンプリングトランジスタ 3 3 が導通状態となり、入力信号電圧 V_{sig} の書き込み期間に入る。この書き込み期間では、入力信号電圧 V_{sig} がサンプリングトランジスタ 3 3 によってサンプリングされ、キャパシタ 3 7 に書き込まれる。

20

【 0 0 4 7 】

有機 EL 素子 3 1 は容量成分を持っている。ここで、有機 EL 素子 3 1 の容量成分の容量値を C_{oled} とし、キャパシタ 3 7 の容量値を C_s 、駆動トランジスタ 3 2 の寄生容量の容量値を C_p とすると、駆動トランジスタ 3 2 のゲート・ソース間電圧 V_{gs} は、次式（ 2 ）のように決定される。

30

$$V_{gs} = \{ C_{oled} / (C_{oled} + C_s + C_p) \} \cdot (V_{sig} - V_{ofs}) + V_{th32} \dots \dots (2)$$

【 0 0 4 8 】

一般に、有機 EL 素子 3 1 の容量成分の容量値 C_{oled} は、キャパシタ 3 7 の容量値 C_s および駆動トランジスタ 3 2 の寄生容量値 C_p に比べて十分に大きい。したがって、駆動トランジスタ 3 2 のゲート・ソース間電圧 V_{gs} はほぼ $(V_{sig} - V_{ofs}) + V_{th}$ となる。また、キャパシタ 3 7 の容量値 C_s が有機 EL 素子 3 1 の容量成分の容量値 C_{oled} に比べて十分に小さいため、信号電圧 V_{sig} の大部分がキャパシタ 3 7 に書き込まれる。正確には、信号電圧 V_{sig} と駆動トランジスタ 3 2 のソース電位 V_s 、即ち電源電位 V_{ofs} との差分 $V_{sig} - V_{ofs}$ が実効的な入力信号電圧 V_{data} として書き込まれる。

40

【 0 0 4 9 】

このとき、実効的な入力信号電圧 $V_{data} (= V_{sig} - V_{ofs})$ は、キャパシタ 3 7 に保持されている閾値電圧 V_{th32} に足し込まれる形で当該キャパシタ 3 7 に保持される。すなわち、キャパシタ 3 7 の保持電圧、即ち駆動トランジスタ 3 2 のゲート・ソース間電圧 V_{gs} は、 $V_{sig} - V_{ofs} + V_{th32}$ となる。以降説明の簡略化のために、 $V_{ofs} = 0V$ とすると、ゲート・ソース間電圧 V_{gs} は、 $V_{sig} + V_{th32}$ となる。このように、キャパシタ 3 7 にあらかじめ閾値電圧 V_{th32} を保持しておくことで、後述するように、閾値電圧 V_{th32} のバラツキや経時変化を補正することが可能になる。

50

【 0 0 5 0 】

すなわち、キャパシタ 3 7 にあらかじめ閾値電圧 V_{th32} を保持しておくことで、信号電圧 V_{sig} による駆動トランジスタ 3 2 の駆動の際に、当該駆動トランジスタ 3 2 の閾値電圧 V_{th32} がキャパシタ 3 7 に保持した閾値電圧 V_{th32} と相殺される、換言すれば、閾値電圧 V_{th32} の補正が行われるために、閾値電圧 V_{th32} にバラツキや経時変化があったとしても、それらの影響を受けることなく、有機 EL 素子 3 1 の発光輝度を一定に保つことができることになる。

【 0 0 5 1 】

(移動度補正期間)

書き込み信号 WS が “ H ” レベルにある状態において、時刻 t_6 で駆動走査回路 1 9 から出力される駆動信号 DS が “ H ” レベルから “ L ” レベルに遷移し、スイッチングトランジスタ 3 4 が導通状態になることで、データ書き込み期間が終了し、駆動トランジスタ 3 2 の移動度 μ のバラツキを補正する移動度補正期間に入る。この移動度補正期間は、書き込み信号 WS のアクティブ期間 (“ H ” レベル期間) と駆動信号 DS のアクティブ期間 (“ L ” レベル期間) とがオーバーラップする期間となる。

10

【 0 0 5 2 】

スイッチングトランジスタ 3 4 が導通状態になることで、電源電位 V_{DD} から駆動トランジスタ 3 2 への電流供給が開始されるために、画素回路 1 1 は非発光期間から発光期間に入る。このように、サンプリングトランジスタ 3 3 がまだ導通状態にある期間、即ちサンプリング期間の後部分と発光期間の先頭部分とが重なる期間 $t_6 - t_7$ において、駆動トランジスタ 3 2 のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す移動度補正を行うことになる。

20

【 0 0 5 3 】

なお、この移動度補正を行う発光期間の先頭部分 $t_6 - t_7$ では、駆動トランジスタ 3 2 のゲート電位 V_g が信号電圧 V_{sig} に固定された状態で、駆動トランジスタ 3 2 にドレイン・ソース間電流 I_{ds} が流れる。ここで、 $V_{ofs} - V_{th32} < V_{thel}$ と設定しておくことで、有機 EL 素子 3 1 が逆バイアス状態におかれるために、画素回路 1 1 が発光期間に入っているにもかかわらず、有機 EL 素子 3 1 が発光することはない。

【 0 0 5 4 】

移動度補正期間 $t_6 - t_7$ では、有機 EL 素子 3 1 が逆バイアス状態にあることで、当該有機 EL 素子 3 1 はダイオード特性ではなく単純な容量特性を示すようになる。したがって、駆動トランジスタ 3 2 に流れるドレイン・ソース間電流 I_{ds} は、キャパシタ 3 7 の容量値 C_s と有機 EL 素子 3 1 の容量成分の容量値 C_{oled} とを合成した容量 $C (= C_s + C_{oled})$ に書き込まれていく。この書き込みにより、駆動トランジスタ 3 2 のソース電位 V_s が上昇していく。図 2 のタイミングチャートでは、ソース電位 V_s の上昇分を V で表している。

30

【 0 0 5 5 】

このソース電位 V_s の上昇分 V は、結局、キャパシタ 3 7 に保持された駆動トランジスタ 3 2 のゲート・ソース間電圧 V_{gs} から差し引かれるように、換言すれば、キャパシタ 3 7 の充電電荷を放電するように作用することになるので、負帰還をかけられたことになる。すなわち、ソース電位 V_s の上昇分 V は負帰還の帰還量となる。このとき、ゲート・ソース間電圧 V_{gs} は、 $V_{sig} - V + V_{th32}$ となる。このように、駆動トランジスタ 3 2 に流れるドレイン・ソース間電流 I_{ds} を当該駆動トランジスタ 3 2 のゲート入力、即ちゲート・ソース間電圧 V_{gs} に負帰還することで、駆動トランジスタ 3 2 の移動度 μ のバラツキを補正することが可能になる。

40

【 0 0 5 6 】

(発光期間)

その後、時刻 t_7 で書き込み走査回路 1 8 から出力される書き込み信号 WS が “ L ” レベルになり、サンプリングトランジスタ 3 3 が非導通状態になることで、移動度補正期間が終了し、発光期間に入る。この結果、駆動トランジスタ 3 2 のゲートがデータ線 1 7 か

50

ら切り離され、信号電圧 V_{sig} の印加が解除されるために、駆動トランジスタ 32 のゲート電位 V_g が上昇可能となり、ソース電位 V_s と共に上昇していく。その間、キャパシタ 37 に保持されたゲート・ソース間電圧 V_{gs} は、 $V_{sig} - V + V_{th32}$ の値を維持する。

【0057】

そして、駆動トランジスタ 32 のソース電位 V_s の上昇に伴い、有機 EL 素子 31 の逆バイアス状態が解消されるので、駆動トランジスタ 32 からのドレイン・ソース間電流 I_{ds} の流入により、有機 EL 素子 31 は実際に発光を開始する。

【0058】

このときのドレイン・ソース間電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} の関係は、先述した式 (1) の V_{gs} に $V_{sig} - V + V_{th32}$ を代入することで、次式 (3) で与えられる。

$$\begin{aligned} I_{ds} &= k \mu (V_{gs} - V_{th32})^2 \\ &= k \mu (V_{sig} - V)^2 \end{aligned} \quad \dots\dots (3)$$

上記の式 (3) において、 $k = (1/2)(W/L)C_{ox}$ である。

【0059】

この式 (3) から明らかなように、駆動トランジスタ 32 の閾値電圧 V_{th32} の項がキャンセルされており、駆動トランジスタ 32 から有機 EL 素子 31 に供給されるドレイン・ソース間電流 I_{ds} は、駆動トランジスタ 32 の閾値電圧 V_{th32} に依存しないことが分かる。基本的に、ドレイン・ソース間電流 I_{ds} は入力信号電圧 V_{sig} によって決まる。換言すると、有機 EL 素子 31 は、駆動トランジスタ 32 の閾値電圧 V_{th32} のバラツキや経時変化の影響を受けることなく、入力信号電圧 V_{sig} に応じた輝度で発光する。

【0060】

また、上記の式 (3) から明らかなように、入力信号電圧 V_{sig} は、ドレイン・ソース間電流 I_{ds} の駆動トランジスタ 32 のゲート入力への負帰還によって帰還量 V で補正されている。この帰還量 V は、式 (3) の係数部に位置する移動度 μ の効果を打ち消すように作用する。したがって、ドレイン・ソース間電流 I_{ds} は、実質的に、入力信号電圧 V_{sig} のみに依存することになる。すなわち、有機 EL 素子 31 は、駆動トランジスタ 32 の閾値電圧 V_{th32} のみならず、駆動トランジスタ 32 の移動度 μ のバラツキや経時変化の影響を受けることなく、入力信号電圧 V_{sig} に応じた輝度で発光する。その結果、スジや輝度ムラのない均一な画質を得ることができる。

【0061】

最後に、時刻 t_8 で駆動走査回路 19 から出力される駆動信号 DS が “L” レベルから “H” レベルに遷移し、スイッチングトランジスタ 34 が非導通状態になることで、電源 V_{DD} からの駆動トランジスタ 32 への電流供給が遮断され、発光期間が終了する。その後、時刻 t_9 (t_1) で次のフィールドに移って再び閾値補正、移動度補正および発光動作の一連の動作が繰り返して実行されることになる。

【0062】

ここで、電流駆動型の電気光学素子である有機 EL 素子 31 を含む画素回路 11 がマトリクス状に配置されてなるアクティブマトリクス型表示装置においては、有機 EL 素子 31 の発光時間が長くなると、当該有機 EL 素子 31 の $I-V$ 特性が変化してしまう。それがために、有機 EL 素子 31 のアノード電極と駆動トランジスタ 32 のソースとの接続ノード $N11$ の電位も変化する。

【0063】

これに対して、本実施形態に係るアクティブマトリクス型表示装置では、駆動トランジスタ 32 のゲート・ソース間電位 V_{gs} が一定値に保たれているために、有機 EL 素子 31 に流れる電流は変化しない。したがって、有機 EL 素子 31 の $I-V$ 特性が劣化したとしても、一定のドレイン・ソース間電流 I_{ds} が有機 EL 素子 31 に流れ続けるために、有機 EL 素子 31 の発光輝度が変化することはない (有機 EL 素子 31 の特性変動に対す

10

20

30

40

50

る補償機能)。

【0064】

また、入力信号電圧 V_{sig} が書き込まれる前に駆動トランジスタ32の閾値電圧 V_{th32} をあらかじめキャパシタ37に保持しておくことで、駆動トランジスタ32の閾値電圧 V_{th32} をキャンセル(補正)し、当該閾値電圧 V_{th} のバラツキや経時変化の影響を受けない一定のドレイン・ソース間電流 I_{ds} を有機EL素子31に流すことができるために、高画質の表示画像を得ることができる(駆動トランジスタ32の V_{th} 変動に対する補償機能)。

【0065】

さらに、移動度補正期間 $t_6 - t_7$ において、ドレイン・ソース間電流 I_{ds} を駆動トランジスタ32のゲート入力へ負帰還し、その帰還量 V によって入力信号電圧 V_{sig} を補正することで、駆動トランジスタ32のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消し、入力信号電圧 V_{sig} のみに依存するドレイン・ソース間電流 I_{ds} を有機EL素子31に流すことができるため、駆動トランジスタ32の移動度 μ のバラツキや経時変化に起因するスジや輝度ムラのない均一な画質の表示画像を得ることができる(駆動トランジスタ32の移動度 μ に対する補償機能)。

10

【0066】

[移動度補正]

ここで、駆動トランジスタ32の移動度 μ に対する補償機能についてさらに考察する。駆動トランジスタ32のゲート入力に対するドレイン・ソース間電流 I_{ds} の負帰還における帰還量 V は、移動度補正期間 $t_6 - t_7$ の時間幅 t を調整することによって最適化が可能である。

20

【0067】

図4は、移動度補正期間 $t_6 - t_7$ における画素回路11の状態を示す回路図である。ここでは、図面の簡略化のために、サンプリングスイッチ33およびスイッチングトランジスタ34~36についてはスイッチのシンボルを用いて図示している。

【0068】

図4に示すように、移動度補正期間 $t_6 - t_7$ では、サンプリングスイッチ33およびスイッチングトランジスタ34が導通状態(書き込み信号 WS および駆動信号 DS がアクティブ状態)にある一方、スイッチングトランジスタ35, 36が非導通状態(第一, 第二補正用走査信号 $AZ1$, $AZ2$ が非アクティブ状態)にあり、駆動トランジスタ32のゲート電位 V_g が信号電圧 V_{sig} に固定された状態で、駆動トランジスタ32にドレイン・ソース間電流 I_{ds} が流れる。

30

【0069】

ここで、先述したように、 $V_{ofs} - V_{th32} < V_{thel}$ と設定しておくことにより、有機EL素子31は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示すことになる。したがって、駆動トランジスタ32に流れるドレイン・ソース間電流 I_{ds} は、キャパシタ37と有機EL素子31の等価容量との合成容量 $C (= C_s + C_{oled})$ に流れ込むことになる。換言すれば、ドレイン・ソース間電流 I_{ds} の一部がキャパシタ37に負帰還され、その結果、駆動トランジスタ32の移動度 μ の補正が行われる。

40

【0070】

図5は、ドレイン・ソース間電流 I_{ds} 対ゲート・ソース間電圧 V_{gs} の関係式である式(3)をグラフ化した図であり、縦軸にドレイン・ソース間電流 I_{ds} をとり、横軸に入力信号電圧 V_{sig} をとっている。

【0071】

図5に示すグラフは、駆動トランジスタ32の移動度 μ が相対的に大きい画素1と、駆動トランジスタ32の移動度 μ が相対的に小さい画素2とを比較した状態で特性カーブを描いたものである。駆動トランジスタ32をポリシリコン薄膜トランジスタなどで構成した場合、画素1や画素2のように、画素間で移動度 μ がばらつくことは避けられない。

50

【 0 0 7 2 】

画素 1 と画素 2 で移動度 μ にバラツキがある状態で、例えば両画素 1, 2 に同レベルの映像信号 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素 1 に流れるドレイン・ソース間電流 I_{ds1} と移動度 μ の小さい画素 2 に流れるドレイン・ソース間電流 I_{ds2} との間には大きな差が生じてしまう。このように、移動度 μ のバラツキに起因してドレイン・ソース間電流 I_{ds1} に画素間で大きな差が生じると、画面のユニフォーミティを損なうことになる。

【 0 0 7 3 】

そこで、本発明では、駆動トランジスタ 3 2 のドレイン・ソース間電流 I_{ds} を入力信号電圧 V_{sig} 側に負帰還させることで、駆動トランジスタ 3 2 の移動度 μ の画素ごとのバラツキをキャンセルする（補正する）補償機能を持たせた構成を採っている。先述した式（1）のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン・ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 V は移動度 μ が大きくなるほど大きくなる。

10

【 0 0 7 4 】

図 5 のグラフに示すように、移動度 μ の大きな画素 1 の帰還量 V_1 は、移動度の小さな画素 2 の帰還量 V_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくなることとなるため、移動度 μ のバラツキを抑制することができる。具体的には、移動度 μ の大きな画素 1 で帰還量 V_1 の補正をかけると、ドレイン・ソース間電流 I_{ds} は I_{ds1} から I_{ds1} まで大きく下降する。

20

【 0 0 7 5 】

一方、移動度 μ の小さな画素 2 の帰還量 V_2 である補正量は小さいので、ドレイン・ソース間電流 I_{ds} は I_{ds2} から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素 1 のドレイン・ソース間電流 I_{ds1} と画素 2 のドレイン・ソース間電流 I_{ds2} とはほぼ等しくなるため、移動度 μ のバラツキがキャンセルされる。この移動度 μ のバラツキの補正は、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲で行われるので、画面のユニフォーミティは非常に高くなる。

【 0 0 7 6 】

以上をまとめると、移動度 μ の異なる画素 1 と画素 2 があつた場合、移動度 μ の大きい画素 1 の帰還量 V_1 は移動度 μ の小さい画素 2 の帰還量 V_2 に比べて小さくなる。つまり、移動度 μ が大きい画素ほど帰還量 V が大きく、ドレイン・ソース間電流 I_{ds} の減少量が大きくなる。すなわち、駆動トランジスタ 3 2 のドレイン・ソース間電流 I_{ds} を入力信号電圧 V_{sig} 側に負帰還させることで、移動度 μ の異なる画素のドレイン・ソース間電流 I_{ds} の電流値が均一化され、その結果、移動度 μ のバラツキを補正することができる。

30

【 0 0 7 7 】

ここで、上述した移動度補正の数値解析を行う。図 4 に示すように、サンプリングトランジスタ 3 3 およびスイッチングトランジスタ 3 4 が導通した状態で、駆動トランジスタ 3 2 のソース電位 V_s を変数 V にとって解析を行うものとする、駆動トランジスタ 3 2 には次式（4）で与えられるドレイン・ソース間電流 I_{ds} が流れる。

40

$$\begin{aligned} I_{ds} &= k \mu (V_{gs} - V_{th32})^2 \\ &= k \mu (V_{sig} - V - V_{th32})^2 \quad \dots \dots (4) \end{aligned}$$

【 0 0 7 8 】

また、ドレイン・ソース間電流 I_{ds} と合成容量 $C (= C_s + C_{oled})$ の関係により、次式（5）に示すように、 $I_{ds} = dQ / dt = C dV / dt$ が成り立つ。なお、式（5）においては、 V_{th32} を V_{th} として記している。

【 0 0 7 9 】

【数 1】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \text{ より、} \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \dots\dots (5)$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu (V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

10

【0080】

式(5)に式(4)を代入して両辺を積分する。ここで、ソース電圧 $V(V_s)$ の初期状態は $-V_{th}$ であり、移動度補正期間 $t_6 - t_7$ の時間幅を t (以下、「移動度補正時間 t 」と記述する)とする。この微分方程式を解くと、移動度補正時間 t に対するドレイン・ソース間電流 I_{ds} は、次式(6)で与えられる。式(6)においても、 V_{th} を V_{th} として記している。

20

【0081】

【数 2】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \dots\dots (6)$$

【0082】

移動度 μ の異なる画素において、式(5)を用いて $t = 0 \mu s$ のときと $t = 2.5 \mu s$ のときの入力信号電圧 V_{sig} 対ドレイン・ソース間電流 I_{ds} の関係を図6に示す。図6から明らかのように、 $t = 0 \mu s$ の移動度補正をかけない状態に比べて、 $t = 2.5 \mu s$ では移動度 μ のパラツキに対する補正が十分にかかっていることがわかる。移動度補正無しでは40%の移動度 μ のパラツキがあったものが、移動度補正をかけることによって10%以下に移動度 μ のパラツキが抑えられている。

30

【0083】

移動度補正動作では、常に $V(V_s) < V_{thel}$ の条件を満たしている必要がある。本実施形態に係る画素回路11では、画素容量(キャパシタ37) C_s と有機EL素子31の等価容量 C_{oled} が移動度補正に作用している。有機EL素子31の等価容量 C_{oled} は画素容量 C_s に対して大きいことから合成容量 C も大きくなるために、移動度補正時間 t のマージンを稼ぐことができる。

40

【0084】

ここで、最適な移動度補正時間 t について考える。まず、係数 $k(= (1/2) \cdot (W/L) \cdot C_{ox})$ を用いた式(6)について、係数 k に代えて移動度 μ を含む係数 $(= \mu \cdot (W/L) \cdot C_{ox})$ を用いて変形すると、次式(7)となる。

$$I_{ds} = \left(\frac{1}{2} \right) \cdot \left\{ \left(\frac{1}{V_{sig}} \right) \cdot \left(\frac{1}{2} \right) \cdot \left(\frac{t}{C} \right) \right\}^{-2} \quad \dots\dots (7)$$

ここで、 C は、移動度補正を行うときに放電されるノードの容量である。本回路では、合成容量 $C = C_s + C_{oled}$ であるが、回路構成によっては $C = C_s + C_{oled}$ に限らない。

【0085】

50

最適条件は、移動度 μ のバラツキに対してドレイン・ソース間電流 I_{ds} の変動が最も少ない点、即ち $dI_{ds}/d\mu = 0$ となる。この条件で、式(7)を解くと、 μ の平均を μ_0 として、最適な補正時間 t_0 は、

$$t_0 (\mu = \mu_0) = C / (\mu_0 \cdot V_{sig}) \quad \dots\dots (8)$$

となる。

【0086】

式(8)より、入力信号電圧 $V_{sig} (= V_{data})$ が大きくなると、最適な移動度補正時間 t が小さくなることがわかる。すなわち、最適な移動度補正時間 t と入力信号電圧 V_{sig} とは反比例の関係にあることがわかる。換言すれば、移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することで、駆動トランジスタ32のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。

10

【0087】

式(8)を式(7)に戻すと、

$$I_{ds} (t = t_0, \mu = \mu_0) = \mu_0 \cdot V_{gs} / (V_{sig} / 2)^2 \quad \dots\dots (9)$$

となる。すなわち、移動度 μ の補正によって、駆動トランジスタ32のゲート・ソース間の電圧、即ちキャパシタ37の両端間の電圧 $V_{gs} - V_{th32}$ を入力信号電圧 V_{sig} から $V_{sig} / 2$ まで放電させることが最適であることがわかる。

【0088】

さらに、任意の係数 r (任意の移動度 μ のときの係数 μ) の平均 μ_0 に対する誤差量 r ($r = (\mu - \mu_0) / \mu_0$) を用いて、係数 μ を、

20

$$\mu = \mu_0 \cdot (1 + r) \quad \dots\dots (10)$$

とおくと、最適な移動度補正時間 t で、任意の係数 r のときのドレイン・ソース間電流 I_{ds} は、

$$I_{ds} (t = t_0, \mu = \mu_0) = \mu_0 \cdot \{ (1 + r) / 2 \} \cdot \{ V_{sig} / (2 + r) \} \quad \dots\dots (11)$$

となる。

【0089】

次に、 r と μ_0 でのバラツキについて評価する。

$$\begin{aligned} I_{ds} (t = t, \mu = \mu) / I_{ds} (t = t_0, \mu = \mu_0) &= (1 + r) / \{ 1 + (r / 2) \}^2 \\ &= (1 + r) / \{ 1 + r + (r^2 / 4) \} \quad \dots\dots (12) \end{aligned}$$

30

となる。すなわち、 r^2 が十分に小さければ、移動度 μ (μ) が完全に補正されることになる。

【0090】

以上説明した移動度補正の数値解析から明らかなように、移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することで、駆動トランジスタ32のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる、即ち移動度 μ の画素ごとのバラツキを補正できることがわかる。

【0091】

なお、式(8)で表される最適な移動度補正時間 t を t_0 とすると、 $\mu = \mu_0$ のとき、移動度補正時間 t がばらついたときの影響は次式で表される。

40

$$\begin{aligned} I_{ds} (t, \mu = \mu) / I_{ds} (t_0, \mu = \mu_0) &= (2 / (1 + t / t_0))^2 \quad \dots\dots (13) \end{aligned}$$

【0092】

ここで、ち視認上違和感がない輝度のバラツキ、即ちドレイン・ソース間電流 I_{ds} のバラツキとして例えば10%程度を許容するものとする、上記式(13)を近似的に解くと、

$$I_{ds} (t / t_0) \quad \dots\dots (14)$$

となる。すなわち、ドレイン・ソース間電流 I_{ds} のバラツキと移動度補正時間 t とは比例関係にあるために、移動度補正時間 t のバラツキは10%程度許容されることになる。

50

【 0 0 9 3 】

図 2 のタイミングチャートから明らかなように、移動度補正時間 t ($t_6 - t_7$) は、サンプリングトランジスタ 33 およびスイッチングトランジスタ 34 が共に導通状態にある期間であることから、サンプリングトランジスタ 33 が導通状態から非導通状態に移行するタイミングで決まることになる。そして、サンプリングトランジスタ 33 は、ゲートとデータ線 17 との間の電位差、即ちゲート・ソース間電圧が閾値電圧 V_{th33} になったところでカットオフする、即ち導通状態から非導通状態に移行する。

【 0 0 9 4 】

そこで、本実施形態では、書き込み走査回路 18 から走査線 13 を介して N チャンネルのサンプリングトランジスタ 33 のゲートに印加される書き込み信号 W_S を、“H” レベルから “L” レベルに遷移するときの立ち下がり波形（サンプリングトランジスタ 33 が P チャンネルのときは立ち上がり波形）が、図 7 に示すように、実効的な入力信号電圧 V_{data} ($= V_{sig} - V_{ofs}$) に対して反比例する波形になるように生成する。

10

【 0 0 9 5 】

書き込み信号 W_S の立ち下がり波形を、入力信号電圧 V_{sig} に対して反比例するような波形に設定することで、サンプリングトランジスタ 33 のゲート・ソース間電圧が閾値電圧 V_{th33} になったところで当該サンプリングトランジスタ 33 がカットオフするために、移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することができる。

【 0 0 9 6 】

具体的には、図 7 の波形図から明らかなように、サンプリングトランジスタ 33 は、白レベルに対応した入力信号電圧 V_{sig} (白) のときには、ゲート・ソース間電圧が V_{sig} (白) + V_{th33} になったところでカットオフするために移動度補正時間 t (白) が一番短く設定され、グレーレベルに対応した入力信号電圧 V_{sig} (グレー) のときには、ゲート・ソース間電圧が V_{sig} (グレー) + V_{th33} になったところでカットオフするために移動度補正時間 t (グレー) が移動度補正時間 t (白) よりも長く設定されることになる。

20

【 0 0 9 7 】

このように、移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することで、入力信号電圧 V_{sig} に対応した最適な移動度補正時間 t を設定できるために、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲（全階調）に亘って駆動トランジスタ 32 のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性をより確実に打ち消すことができる、即ち移動度 μ の画素ごとのバラツキをより確実に補正することができる。

30

【 0 0 9 8 】

[書き込み走査回路]

次に、立ち下がり波形が入力信号電圧 V_{sig} に対して反比例するような波形を持つ書き込み信号 W_S を生成するための書き込み走査回路 18 の具体例について説明する。

【 0 0 9 9 】

図 8 は、書き込み走査回路 18 の回路構成の一例を示す回路図である。ここでは、画素アレイ部 12 の i 行目に対応したシフト段 (i) を例に挙げて示しているが、他のシフト段についても同じ構成となっている。

40

【 0 1 0 0 】

図 8 に示すように、書き込み走査回路 18 のシフト段 (i) は、論理回路を含むシフトレジスタ 181 (i) と、例えば 2 段のバッファ 182 (i) , 183 (i) を有する構成となっている。バッファ 182 (i) , 183 (i) は、正側の電源電位 V_{DDVx} と負側の電源電位 V_{SSVx} との間に接続された CMOS インバータによって構成されている。

【 0 1 0 1 】

負側の電源電位 V_{SSVx} は第 1 の電源電位 V_{SS} である。正側の電源電位 V_{DDVx}

50

は、図9に示すように、 $VDDV_x$ 生成回路40で第2の電源電位 VDD に基づいて生成される。図10に示すように、 $VDDV_x$ 生成回路40は、 i 段目のシフトレジスタ181(i)から出力されるパルス波形の走査パルス $A(i)$ の終わり部分で、第2の電源電位 VDD に基づいて、入力信号電圧 $Vsig$ に対して反比例して立ち下がるようなアナログ波形(図7参照)の電源電位 $VDDV_x$ を生成する。

【0102】

このように、走査パルス $A(i)$ の終わり部分で入力信号電圧 $Vsig$ に対して反比例して立ち下がるようなアナログ波形の電源電位 $VDDV_x$ を、バッファ182(i), 183(i)の各々にその正側の電源電位として供給するとともに、シフトレジスタ181(i)から出力される走査パルス $A(i)$ をバッファ182(i), 183(i)を經由して書き込み信号 $WS(i)$ として出力することで、図10に示すように、入力信号電圧 $Vsig$ に対して反比例して立ち下がる波形の書き込み信号 $WS(i)$ を生成することができる。

10

【0103】

($VDDV_x$ 生成回路)

図11は、 $VDDV_x$ 生成回路40の回路構成の一例を示す回路図である。図11に示すように、 $VDDV_x$ 生成回路40は、例えば3個のスイッチ $SW11$, $SW12$, $SW13$ 、2個の電流源 $I11$, $I12$ およびキャパシタ C を有する構成となっている。スイッチ $SW11$ は、第2の電源電位 VDD を選択的に取り込む。キャパシタ C は、スイッチ $SW11$ の出力端と電源電位 VSS (ここでは、接地電位 GND)との間に接続され、スイッチ $SW11$ を介して入力される電源電位 VDD によって充電される。

20

【0104】

スイッチ $SW12$ と電流源 $I11$ 、スイッチ $SW13$ と電流源 $I12$ はそれぞれ、スイッチ $SW11$ の出力端と電源電位 VSS との間に直列に接続されている。電流源 $I11$ は例えば抵抗値の小さな抵抗素子によって構成され、大きな電流値の電流を流す。電流源 $I12$ は電流源 $I11$ の抵抗素子よりも抵抗値の大きな抵抗素子によって構成され、電流源 $I11$ よりも小さな電流値の電流を流す。

【0105】

図12に、スイッチ $SW11$, $SW12$, $SW13$ のオン(閉)/オフ(開)駆動のタイミング関係を示す。移動度補正時間 t を入力信号電圧 $Vsig$ に応じて調整する移動度補正時間 t の調整期間に入るまでは、スイッチ $SW11$ はオン状態にある。これにより、キャパシタ C が電源電位 VDD によって充電された状態にあるために、キャパシタ C の端子電位(出力電位)である電源電位 $VDDV_x$ は電源電位 VDD の電位にある。

30

【0106】

時刻 $t11$ で移動度補正時間 t の調整期間に入ると、スイッチ $SW11$ がオフし、スイッチ $SW12$, $SW13$ が共にオンする。これにより、キャパシタ C の電荷がスイッチ $SW12$ および電流源 $I11$ の経路、並びにスイッチ $SW13$ および電流源 $I12$ の経路を通して放電される。このとき、キャパシタ C の電荷が電流源 $I11$, $I12$ の各電流値を合成して電流値で急速に放電されるために、電源電位 $VDDV_x$ は電源電位 VDD から急激に下降する(低下する)。

40

【0107】

次に、時刻 $t12$ でスイッチ $SW12$ をオンしたままスイッチ $SW13$ をオフする。これにより、キャパシタ C の電荷がスイッチ $SW12$ および電流源 $I11$ の経路を通して、スイッチ $SW12$, $SW13$ が共にオンのときの電流値よりも小さい、電流源 $I11$ の電流値で放電される。このとき、電源電位 $VDDV_x$ は、スイッチ $SW12$, $SW13$ が共にオンのときの下降傾斜よりも緩やかな傾斜で下降する。

【0108】

次に、時刻 $t13$ でスイッチ $SW12$ をオフし、スイッチ $SW13$ をオンする。これにより、キャパシタ C の電荷がスイッチ $SW13$ および電流源 $I12$ の経路を通して、スイッチ $SW12$ がオンのときの電流値よりも小さい、電流源 $I12$ の電流値で放電される。

50

このとき、電源電位 $V_{DD}V_x$ は、スイッチ SW_{12} がオンのときの下降傾斜よりもさらに緩やかな傾斜で下降する。

【0109】

時刻 t_{14} でスイッチ SW_{13} をオフし、その後、時刻 t_{15} でスイッチ SW_{11} をオンすることで、電源電位 V_{DD} によるキャパシタ C の充電が開始され、最終的に、電源電位 $V_{DD}V_x$ は電源電位 V_{DD} の電位に収束する。

【0110】

このように、電源電位 V_{DD} によって充電された状態にあるキャパシタ C に対して、電流値の異なる複数の電流源、本例では2つの電流源 I_{11} , I_{12} を適宜組み合わせると並列に接続することにより、図12に示すように、本例では点1、点2を折れ点とする折れ線の立ち下がり波形を持つ電源電位 $V_{DD}V_x$ を生成することができる。

10

【0111】

図13に、折れ線の立ち下がり波形を持つ電源電位 $V_{DD}V_x$ を、書き込み走査回路18のバッファ182(i), 183(i)の正側の電源電圧として用いた場合の書き込み信号 WS の立ち下がり波形を示す。このとき、書き込み信号 WS の立ち下がり波形も、点1、点2を折れ点とする折れ線の立ち下がり波形となる。

【0112】

ここで、電流源 I_{11} , I_{12} の各電流値を所望の値に選定することにより、入力信号電圧 V_{sig} に対してほぼ反比例した折れ線の立ち下がり波形を持つ書き込み信号 WS を生成することができるために、移動度補正時間 t を入力信号電圧 V_{sig} にほぼ反比例するように設定することができる。これにより、入力信号電圧 V_{sig} に対応した移動度補正時間 t を設定できるために、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲に亘って移動度 μ の画素ごとのバラツキをより確実に補正することができる。

20

【0113】

図11の回路構成において、電流源の数を増やすことにより、折れ点の数を増やすことができるとともに、電流源の各々の電流値を所望の値に選定することにより、図7の立ち上がり特性に近似した折れ線の立ち下がり波形を持つ書き込み信号 WS を生成することができることになる。

【0114】

なお、上記実施形態では、電気光学素子である例えば有機EL素子31に加えて、駆動トランジスタ32、サンプリングトランジスタ33、スイッチングトランジスタ34~36およびキャパシタ37を有する画素回路11を用いた表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。以下に、他の画素回路例についていくつか例を挙げて説明する。

30

【0115】

[他の画素回路1]

図14は、他の画素回路1(11A)の回路構成を示す回路図であり、図1の画素回路11と同等部分には同一符号を付して示している。図14に示すように、画素回路11Aは、有機EL素子31に加えて、駆動トランジスタ32、サンプリングトランジスタ33、スイッチングトランジスタ35およびキャパシタ37を構成素子として有する回路構成となっている。

40

【0116】

ここで、駆動トランジスタ32、サンプリングトランジスタ33およびスイッチングトランジスタ35としてNチャンネル型のTFTが用いられている。ただし、ここでの駆動トランジスタ32、サンプリングトランジスタ33およびスイッチングトランジスタ35の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0117】

有機EL素子31は、カソード電極が第1の電源電位 V_{SS} (ここでは、接地電位 GND) に接続されている。駆動トランジスタ32は、有機EL素子31を電流駆動するためのものであり、ソースが有機EL素子31のアノード電極に接続されてソースフォロア回

50

路を形成しており、ドレインに駆動信号 DS が印加される構成となっている。サンプリングトランジスタ 33 は、ソースがデータ線 17 に、ドレインが駆動トランジスタ 32 のゲートにそれぞれ接続されており、ゲートに書き込み信号 WS が印加される。

【0118】

スイッチングトランジスタ 35 は、ドレインが第 3 の電源電位 V_{ofs} に、ソースがサンプリングトランジスタ 33 のドレイン（駆動トランジスタ 32 のゲート）にそれぞれ接続されており、ゲートに補正用走査信号 AZ が印加される。キャパシタ 37 は、一端が駆動トランジスタ 32 のゲート（サンプリングトランジスタ 33 のドレイン）に接続され、他端が駆動トランジスタ 32 のソース（有機 EL 素子 31 のアノード電極）に接続されている。

10

【0119】

上述した接続関係にて各構成素子が接続されてなる画素回路 11A において、各構成素子は次のような作用をなす。すなわち、サンプリングトランジスタ 33 は、導通状態となることにより、データ線 17 を通して供給される入力信号電圧 V_{sig} ($= V_{ofs} + V_{data}$; $V_{data} > 0$) をサンプリングする。このサンプリングされた信号電圧 V_{sig} は、キャパシタ 37 に保持される。

【0120】

駆動トランジスタ 32 は、ドレインに電源電位 V_{DD} が印加されているときに、キャパシタ 37 に保持された信号電圧 V_{sig} に応じた電流値を有機 EL 素子 31 に供給することによって当該有機 EL 素子 31 を駆動する（電流駆動）。スイッチングトランジスタ 35 は、適宜導通状態になることにより、有機 EL 素子 31 の電流駆動に先立って駆動トランジスタ 32 の閾値電圧 V_{th32} を検知し、あらかじめその影響をキャンセルするために当該検知した閾値電圧 V_{th32} をキャパシタ 37 に保持する。

20

【0121】

この画素回路 11A では、第 2 の電源電位 V_{DD} を固定ではなく、適当なタイミングで“L”レベル（本例では、電源電位 V_{SS} ）に振るようすることで、図 1 におけるスイッチングトランジスタ 34、36 の機能を実現する構成を採っている。すなわち、電源電位 V_{DD} は図 1 の画素回路 11 におけるスイッチングトランジスタ 34 を駆動する駆動信号 DS に相当する。画素回路 11A の回路構成によれば、図 1 の画素回路 11 に比べて、画素回路 1 つにつきトランジスタ数を 2 個削減できるとともに、図 1 における駆動線 14 および第二補正用走査線 16 の各配線を削減できることになる。

30

【0122】

なお、上記の画素回路 11A において、書き込み信号 WS と補正用走査信号 AZ とが同時に“H”レベルとなる期間が存在しないため、スイッチングトランジスタ 35 をサンプリングトランジスタ 33 に共通化、電源電位 V_{ofs} の電源線をデータ線（信号線）17 に共通化できる。この場合、データ線 17 より、補正用走査信号 AZ が“H”レベルに相当する期間に電源電位 V_{ofs} を供給し、書き込み信号 WS が“H”レベルに相当する期間に入力信号電圧 V_{sig} を供給するようによれば良い。

【0123】

図 15 に、画素回路 11A を駆動する書き込み信号 WS 、駆動信号 DS および第一補正用走査信号 $AZ1$ のタイミング関係、ならびに駆動トランジスタ 32 のゲート電位 V_g およびソース電位 V_s の変化をそれぞれ示す。

40

【0124】

図 15 のタイミング波形図では、時刻 t_{21} から時刻 t_{27} までの期間を 1 フィールド期間としている。そして、この 1 フィールド期間において、時刻 $t_{21} - t_{22}$ が閾値補正準備期間、時刻 $t_{22} - t_{23}$ が閾値補正期間、時刻 $t_{24} - t_{25}$ がデータ書き込み + 移動度補正期間、時刻 $t_{25} - t_{26}$ が有機 EL 素子 31 の発光期間となる。

【0125】

すなわち、画素回路 11A では、電源電位 V_{DD} が V_{SS} レベルのときに補正用走査信号 AZ が“H”レベルになることで ($t_{21} - t_{22}$)、駆動トランジスタ 32 の閾値電

50

圧 V_{th32} のバラツキを補正するための閾値補正準備が行われ、電源電位 V_{DD} が V_{DD} レベルのときに書き込み信号 WS が “H” レベルになることで ($t_{24} - t_{25}$)、データ V_{data} の書き込みと駆動トランジスタ 32 の移動度 μ のバラツキ補正が並行して行われることになる。

【0126】

このように、有機 EL 素子 31 に加えて、駆動トランジスタ 32 、サンプリングトランジスタ 33 、スイッチングトランジスタ 35 およびキャパシタ 37 を構成素子として有する回路構成の画素回路 $11A$ においても、駆動トランジスタ 32 の閾値電圧 V_{th32} の画素ごとのバラツキを補正（キャンセル）する閾値補正および駆動トランジスタ 32 の移動度 μ の画素ごとのバラツキを補正する移動度補正を実行できる。これらの補正機能の実行により、駆動トランジスタ 32 の特性バラツキに起因する輝度差のない、高画質な表示装置を実現できる。

10

【0127】

そして、移動度 μ の補正において、書き込み信号 WS のパルス幅、具体的には書き込み信号 WS の立ち下がり波形で決まる移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することで、入力信号電圧 V_{sig} に対応した最適な移動度補正時間 t を設定できるために、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲に亘って駆動トランジスタ 32 のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性をより確実に打ち消すことができる、即ち移動度 μ の画素ごとのバラツキをより確実に補正することができる。

20

【0128】

駆動トランジスタ 32 のゲートに印加される実効的な入力信号電圧 V_{data} に反比例する立ち下がり波形を持つ書き込み信号 WS については、図 9 に示した $V_{DD} \times x$ 生成回路 40 で生成した、入力信号電圧 V_{sig} に対して反比例して立ち下がるようなアナログ波形の電源電位 $V_{DD} \times x$ を、図 8 に示した書き込み走査回路 18 のバッファ $182(i)$ 、 $183(i)$ の各々にその正側の電源電位として供給することによって生成することができる。

【0129】

なお、本画素回路 $11A$ の変形例として、データ線 17 を通して入力信号電圧 V_{sig} と電源電位 V_{ofs} とを時分割で供給し、これらをサンプリングトランジスタ 33 によって時分割で書き込む構成を採ることも可能である。このような構成を採ることにより、サンプリングトランジスタ 33 にスイッチングトランジスタ 35 の機能をも持たせることができるために、トランジスタ数をさらに削減できるとともに、図 1 における第一補正用走査線 15 の配線も削減できることになる。

30

【0130】

[他の画素回路 2]

図 16 は、他の画素回路 $2(11B)$ の回路構成を示す回路図である。図 16 に示すように、画素回路 $11B$ は、有機 EL 素子 51 に加えて、駆動トランジスタ 52 、サンプリングトランジスタ 53 、スイッチングトランジスタ $54 \sim 56$ およびキャパシタ 57 、 58 を構成素子として有する回路構成となっている。

40

【0131】

ここで、駆動トランジスタ 52 およびスイッチングトランジスタ 55 として P チャネル型の TFT が用いられ、サンプリングトランジスタ 53 およびスイッチングトランジスタ 54 、 56 として N チャネル型の TFT が用いられている。ただし、ここでの駆動トランジスタ 52 、サンプリングトランジスタ 53 およびスイッチングトランジスタ $54 \sim 56$ の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0132】

有機 EL 素子 51 は、カソード電極が電源電位 V_{SS} （ここでは、接地電位 GND ）に接続されている。駆動トランジスタ 52 は、有機 EL 素子 51 を電流駆動するためのものであり、ソースが電源電位 V_{DD} （ここでは、正の電源電位）に接続されている。サンブ

50

リングトランジスタ 53 は、ソースがデータ線 17 に、ドレインがノード N21 にそれぞれ接続されており、ゲートに書き込み信号 WS が適宜印加される。

【0133】

スイッチングトランジスタ 54 は、ドレインが駆動トランジスタ 52 のドレインに、ソースが有機 EL 素子 51 のアノード電極にそれぞれ接続されており、ゲートに駆動信号 DS が適宜印加される。スイッチングトランジスタ 55 は、駆動トランジスタ 52 のゲートとソースとの間に接続され、ゲートに第一補正用走査信号 AZ1 が適宜印加される。

【0134】

スイッチングトランジスタ 56 は、ドレインが電源電位 V_{ofs} に、ソースがノード N21 にそれぞれ接続されており、ゲートに第二補正用走査信号 AZ2 が適宜印加される。キャパシタ 57 は、第 2 の電源電位 VDD と接続ノード N21 との間に接続されている。キャパシタ 58 は、ノード N21 と駆動トランジスタ 52 のゲートとの間に接続されている。

10

【0135】

図 17 に、画素回路 11B を駆動する書き込み信号 WS、駆動信号 DS および第一、第二補正用走査信号 AZ1, AZ2 のタイミング関係、ならびにノード N21 の電位 V_{in} および駆動トランジスタ 52 のゲート電位 V_g の変化をそれぞれ示す。

【0136】

図 17 のタイミング波形図では、時刻 t_{31} から時刻 t_{39} までの期間を 1 フィールド期間としている。そして、この 1 フィールド期間において、時刻 $t_{31} - t_{32}$ が閾値補正準備期間、時刻 $t_{32} - t_{33}$ が閾値補正期間、時刻 $t_{34} - t_{35}$ がデータ書き込み期間、時刻 $t_{35} - t_{36}$ が移動度補正期間、時刻 $t_{37} - t_{38}$ が有機 EL 素子 51 の発光期間となる。

20

【0137】

すなわち、画素回路 11B においては、書き込み信号 WS および第一補正用走査信号 AZ1 が共に “L” レベル、駆動信号 DS および第二補正用走査信号 AZ2 が共に “H” レベルになることで ($t_{31} - t_{32}$)、駆動トランジスタ 52 の閾値電圧 V_{th52} のバラツキを補正するための閾値補正準備が行われ、書き込み信号 WS、駆動信号 DS および第一補正用走査信号 AZ1 が共に “L” レベルになることで ($t_{32} - t_{33}$)、駆動トランジスタ 52 の閾値電圧 V_{th52} のバラツキ補正が行われる。

30

【0138】

また、書き込み信号 WS および第一補正用走査信号 AZ1 が共に “H” レベルになり、駆動信号 DS および第二補正用走査信号 AZ2 が共に “L” レベルになることで ($t_{34} - t_{35}$)、データ V_{data} の書き込みが行われ、書き込み信号 WS が “H” レベルにある状態、即ちデータ V_{data} が書き込まれている状態で第一補正用走査信号 AZ1 が “L” レベルになることで (時刻 $t_{35} - t_{36}$)、駆動トランジスタ 52 の移動度 μ のバラツキ補正が行われる。

【0139】

通常発光期間 ($t_{37} \sim t_{38}$) では、書き込み信号 WS および第一補正用走査信号 AZ1 が共に “L” レベルに、駆動信号 DS および第二補正用走査信号 AZ2 が共に “H” レベルになることで、サンプリングトランジスタ 53 およびスイッチングトランジスタ 55, 56 が非導通状態となり、スイッチングトランジスタ 54 が導通状態となる。このとき、駆動トランジスタ 52 は、飽和領域で動作するように設計されているために定電流源として動作する。

40

【0140】

その結果、駆動トランジスタ 52 からスイッチングトランジスタ 54 を通して、有機 EL 素子 51 に対して先述した式 (1) で与えられる一定のドレイン・ソース間電流 I_{ds} が供給されるために、有機 EL 素子 51 が発光する。その後、時刻 t_{38} で駆動信号 DS が “L” レベルから “H” レベルに遷移することで、スイッチングトランジスタ 54 が非導通となり、駆動トランジスタ 52 への電流供給経路が遮断されるため、有機 EL 素子 5

50

1の発光が停止し、非発光期間に入る。

【0141】

このように、有機EL素子51に加えて、駆動トランジスタ52、サンプリングトランジスタ53、スイッチングトランジスタ54～56およびキャパシタ57, 58を構成素子として有する回路構成の画素回路11Bにおいても、駆動トランジスタ52の閾値電圧 V_{th52} のバラツキを補正する閾値補正および駆動トランジスタ52の移動度 μ のバラツキを補正する移動度補正を実行できる。これらの補正機能の実行により、駆動トランジスタ52の特性バラツキに起因する輝度差のない、高画質な表示装置を実現できる。

【0142】

そして、移動度 μ の補正において、第一補正用走査信号AZ1のパルス幅、具体的には第一補正用走査信号AZ1の立ち上がり波形で決まる移動度補正時間 t を入力信号電圧 V_{sig} に反比例するように設定することで、入力信号電圧 V_{sig} に対応した最適な移動度補正時間 t を設定できるために、黒レベルから白レベルまで入力信号電圧 V_{sig} の全レベル範囲に亘って駆動トランジスタ52のドレイン・ソース間電流 I_{ds} の移動度 μ に対する依存性をより確実に打ち消すことができる、即ち移動度 μ の画素ごとのバラツキをより確実に補正することができる。

【0143】

図18に示すように、入力信号電圧 V_{sig} に反比例する立ち上がり波形を持つ第一補正用走査信号AZ1については、図9に示した V_{DDX} 生成回路40と同じ原理(極性が逆)を用いて、入力信号電圧 V_{sig} に反比例する立ち上がり波形を持つアナログ波形の電源電位 V_{SSVx} を生成し、この電源電位 V_{SSVx} を図8に示した書き込み走査回路18と同じ構成の第一補正用走査回路のバッファ182(i), 183(i)の各々に負側の電源電位として供給することによって生成できる。

【0144】

図19に、電源電位 V_{SSVx} 、走査パルス $A(i)$, $A(i+1)$ および第一補正用走査信号 $AZ1(i)$, $AZ1(i+1)$ のタイミング関係を示す。

【0145】

このように、駆動トランジスタ52のゲート・ソース間に接続されたPチャネルのスイッチングトランジスタ55のゲートに印加される第一補正用走査信号AZ1を、“L”レベルから“H”レベルに遷移するときの立ち上がり波形(スイッチングトランジスタ55がNチャネルのときは立ち下がり波形)を、図18に示すようにすれば良い。ここで、移動度補正前の駆動トランジスタ52の $V_{gs} - V_{th} = V_{data}$ とすると、最適に補正されたときの $V_{gs} - V_{th}$ は式(9)に示したように $V_{gs} - V_{th} = V_{data} / 2$ となる。したがって、駆動トランジスタ52のゲートに印加される実効的な入力信号電圧 V_{data} に対して、補正時間が反比例するように、即ち駆動トランジスタ52のゲートに印加される実効的な入力信号電圧 V_{data} の2分の1である $V_{data} / 2$ に対して反比例する波形に設定することで、スイッチングトランジスタ55のゲート・ソース間電圧が閾値電圧 V_{th53} になったところで当該スイッチングトランジスタ55がカットオフするように設定すれば良い。

【0146】

具体的には、図18の波形図から明らかなように、スイッチングトランジスタ55は、白レベルに対応した入力信号電圧 V_{sig} (白)のときには、ゲート・ソース間電圧が $(V_{data}(白) / 2) + V_{ofs} + V_{th53}$ になったところでカットオフするために移動度補正時間 t (白)が一番短く設定され、グレーレベルに対応した入力信号電圧 V_{sig} (グレー)のときには、ゲート・ソース間電圧が $(V_{data}(グレー) / 2) + V_{ofs} + V_{th53}$ になったところでカットオフするために移動度補正時間 t (グレー)が移動度補正時間 t (白)よりも長く設定されることになる。

【0147】

駆動トランジスタ32のゲートに印加される実効的な入力信号電圧 V_{data} に反比例する立ち上がり波形を持つアナログ波形の電源電位 V_{SSVx} を生成する具体例な V_{SS}

10

20

30

40

50

V_x 生成回路としては、図11に示した $VDDV_x$ 生成回路40と基本的に同じ原理（極性が逆）の回路を用いることができる。この $VSSV_x$ 生成回路を用いることにより、折れ線の立ち上がり波形を持つ電源電位 $VSSV_x$ を生成することができる。そして、この電源電位 $VSSV_x$ を基に第一補正用走査信号 $AZ1$ を生成することにより、図20に示すように、当該第一補正用走査信号 $AZ1$ も折れ線の立ち上がり波形となる。

【0148】

なお、今回の説明は、データ書き込みのときデータ線17の電圧変動 $Vdata$ が完全に駆動トランジスタ52のゲート・ソース間電圧 Vgs へ印加される場合について行っている。これは、キャパシタ58が十分に大きいことを仮定している。この（書き込みゲイン： Gw) = (Vgs の電圧変動) / (信号線の電圧変動)が100%で無い場合は、入力信号電圧 $Vdata$ を $Gw \cdot Vdata$ を置き換えて考えれば良い。

10

【0149】

[他の画素回路3]

図21は、他の画素回路3(11C)の回路構成を示す回路図であり、図中、図16と同等部分には同一符号を付して示している。図21に示すように、画素回路11Cは、有機EL素子51に加えて、駆動トランジスタ52、サンプリングトランジスタ53、スイッチングトランジスタ54~56, 59およびキャパシタ57, 58を構成素子として有する回路構成となっている。

【0150】

すなわち、画素回路11Cは、図16の画素回路11Bに対してスイッチングトランジスタ59が追加された回路構成となっている。スイッチングトランジスタ59は、データ線17と駆動トランジスタ52のドレイン(スイッチングトランジスタ54のドレイン)との間に接続されており、ゲートに第三補正用走査信号 $AZ3$ が適宜印加される。

20

【0151】

ここで、駆動トランジスタ52およびスイッチングトランジスタ59としてPチャンネル型のTFTが用いられ、サンプリングトランジスタ53およびスイッチングトランジスタ54~56としてNチャンネル型のTFTが用いられている。ただし、ここでの駆動トランジスタ52、サンプリングトランジスタ53およびスイッチングトランジスタ54~56, 59の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

30

【0152】

図22に、画素回路11Cを駆動する書き込み信号 WS 、駆動信号 DS および第一, 第二, 第三補正用走査信号 $AZ1, AZ2, AZ3$ のタイミング関係、ならびにノード $N21$ の電位 Vin および駆動トランジスタ52のゲート電位 Vg の変化をそれぞれ示す。

【0153】

図22のタイミング波形図から明らかなように、本画素回路11Cでは、画素回路11Bにおけるスイッチングトランジスタ55の機能を、2つのスイッチングトランジスタ55, 59が担うことになる。特に、スイッチングトランジスタ59が移動度補正動作を担うことになる。そして、第三補正用走査信号 $AZ3$ のパルス幅、具体的には第三補正用走査信号 $AZ3$ の立ち上がり波形で移動度補正期間 $t35 - t36$ が決定される。

40

【0154】

このとき、入力信号電圧 $Vsig$ に応じて、駆動トランジスタ52のゲート電位が変動するため、他の画素回路2と同様に、移動度補正時間 t が決まるように、第三補正用走査信号 $AZ3$ の立ち上がり波形で決まる移動度補正時間 t を入力信号電圧 $Vsig$ に反比例するように設定することで、入力信号電圧 $Vsig$ に対応した最適な移動度補正時間 t を設定できるために、黒レベルから白レベルまで入力信号電圧 $Vsig$ の全レベル範囲に亘って駆動トランジスタ52のドレイン・ソース間電流 $I ds$ の移動度 μ に対する依存性をより確実に打ち消すことができる、即ち移動度 μ の画素ごとのバラツキをより確実に補正することができる。

【0155】

50

駆動トランジスタ 32 のゲートに印加される実効的な入力信号電圧 V_{data} に反比例する立ち上がり波形を持つ第三補正用走査信号 AZ_3 については、第一補正用走査信号 AZ_1 と同様に、図 9 に示した VDD_{xx} 生成回路 40 と同じ原理（極性が逆）を用いて、駆動トランジスタ 32 のゲートに印加される実効的な入力信号電圧 V_{data} に反比例する立ち上がり波形を持つアナログ波形の電源電位 VSS_{vx} を生成し、この電源電位 VSS_{vx} を図 8 に示した書き込み走査回路 18 と同じ構成の第三補正用走査回路のバッファ 182 (i), 183 (i) の各々に負側の電源電位として供給することによって生成できる。

【0156】

なお、画素回路 11 の他の回路例としては、上述した画素回路 1 ~ 3 に限られるものではない。すなわち、本発明は、電気光学素子に加えて、少なくとも、電気光学素子を駆動する駆動トランジスタと、入力信号電圧をサンプリングして書き込むサンプリングトランジスタと、駆動トランジスタのゲートに接続され、サンプリングトランジスタによって書き込まれる入力信号電圧を保持するキャパシタとを含む画素回路がマトリクス状に配置されてなる表示装置全般に適用可能である。

10

【0157】

また、上記実施形態では、画素回路 11, 11A, 11B, 11C の電気光学素子として、有機 EL 素子を用いた有機 EL 表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用可能である。

20

【図面の簡単な説明】

【0158】

【図 1】本発明の一実施形態に係るアクティブマトリクス型表示装置および当該表示装置に用いられる画素回路の構成を示す回路図である。

【図 2】書き込み信号 WS 、駆動信号 DS および第一、第二補正用走査信号 AZ_1 , AZ_2 のタイミング関係、ならびに駆動トランジスタのゲート電位 V_g およびソース電位 V_s の変化をそれぞれ示すタイミング波形図である。

【図 3】画素回路の動作説明に供する特性図である。

【図 4】移動度補正期間における画素回路の状態を示す回路図である。

30

【図 5】移動度 μ が相対的に大きい画素 1 と移動度 μ が相対的に小さい画素 2 の入力信号電圧 V_{sig} 対ドレイン・ソース間電流 I_{ds} の関係を示す図である。

【図 6】 $t = 0 \mu s$ のときと $t = 2.5 \mu s$ のときの入力信号電圧 V_{sig} 対ドレイン・ソース間電流 I_{ds} の関係を示す図である。

【図 7】書き込み信号 WS の立ち下がり波形を示す波形図である。

【図 8】書き込み走査回路の回路構成の一例を示す回路図である。

【図 9】電源電位 VDD_{vx} を生成する回路系を示すブロック図である。

【図 10】電源電位 VDD_{vx} 、走査パルス $A(i)$, $A(i+1)$ および書き込みパルス $WS(i)$, $WS(i+1)$ のタイミング関係を示すタイミングチャートである。

【図 11】 VDD_{vx} 生成回路の回路構成の一例を示す回路図である。

40

【図 12】スイッチ SW_{11} , SW_{12} , SW_{13} のオン/オフ駆動のタイミング関係を示すタイミングチャートである。

【図 13】折れ線の立ち下がり波形を持つ電源電位 VDD_{vx} を用いたときの書き込み信号 WS の立ち下がり波形を示す波形図である。

【図 14】他の画素回路 1 の回路構成を示す回路図である。

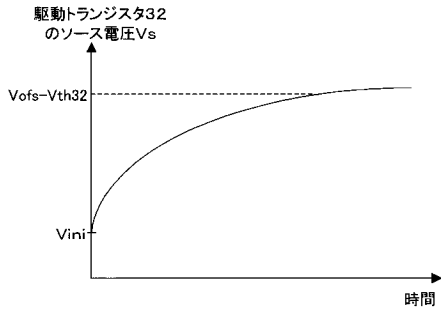
【図 15】他の画素回路 1 を駆動する書き込み信号 WS 、駆動信号 DS および第一補正用走査信号 AZ_1 のタイミング関係、ならびに駆動トランジスタのゲート電位 V_g およびソース電位 V_s の変化をそれぞれ示すタイミング波形図である。

【図 16】他の画素回路 2 の回路構成を示す回路図である。

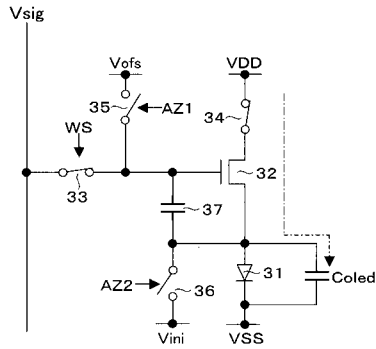
【図 17】他の画素回路 2 を駆動する書き込み信号 WS 、駆動信号 DS および第一、第二

50

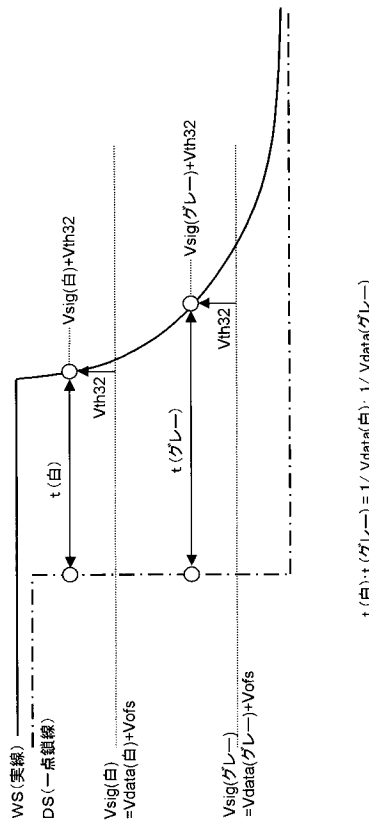
【 図 3 】



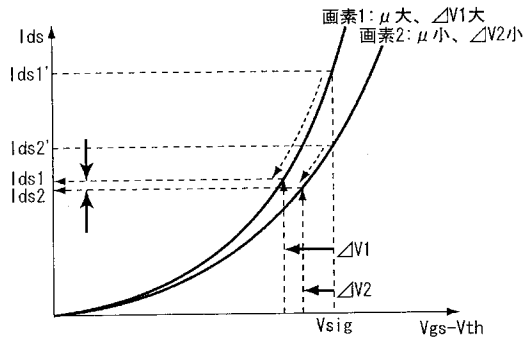
【 図 4 】



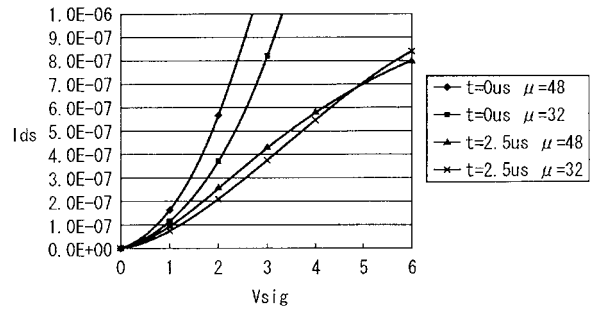
【 図 7 】



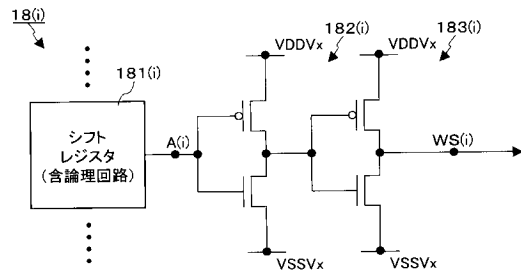
【 図 5 】



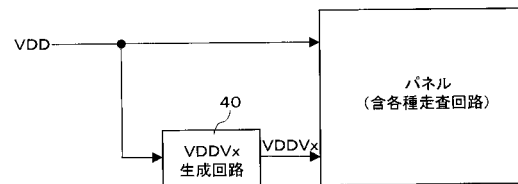
【 図 6 】



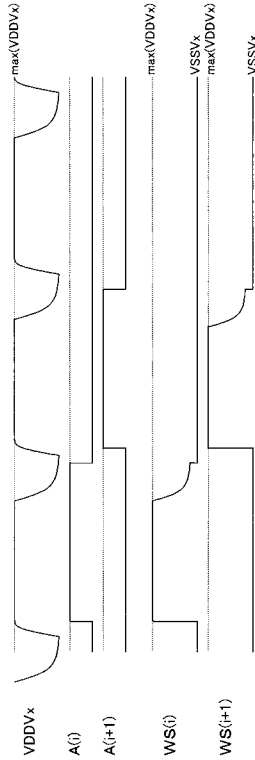
【 図 8 】



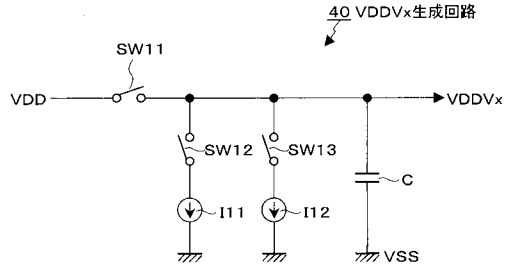
【 図 9 】



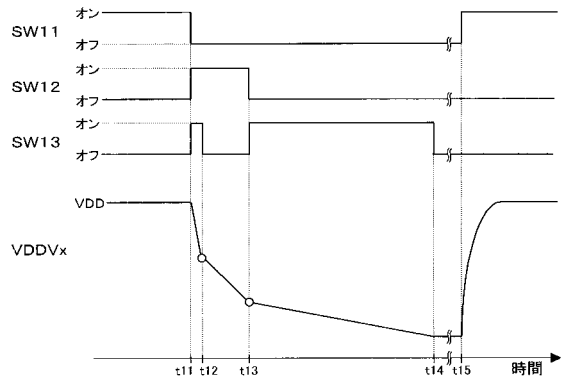
【 図 1 0 】



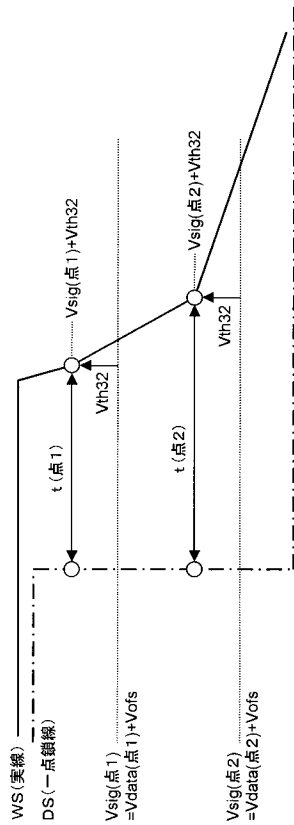
【 図 1 1 】



【 図 1 2 】

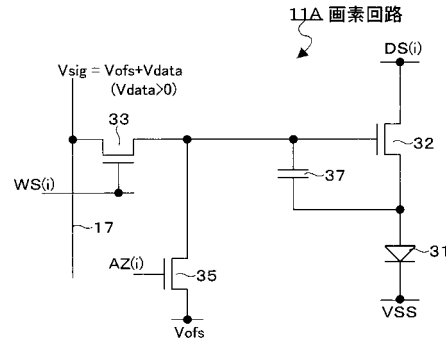


【 図 1 3 】

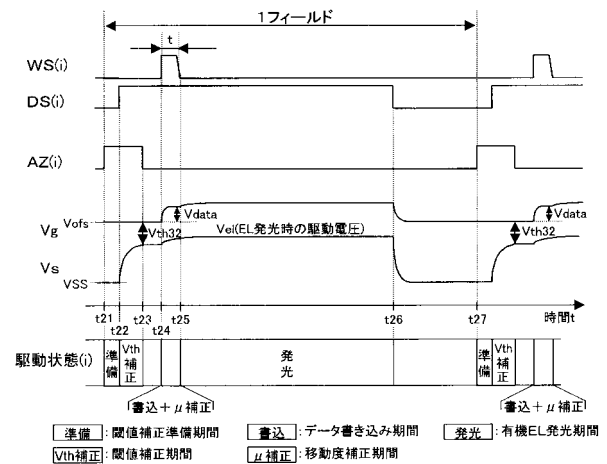


$$t(\text{点1}):t(\text{点2}) = 1/V_{\text{data}}(\text{点1}) : 1/V_{\text{data}}(\text{点2})$$

【 図 1 4 】

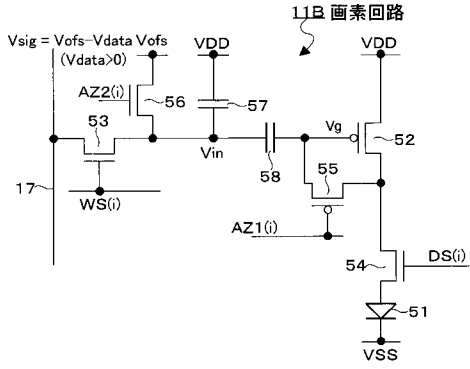


【 図 1 5 】

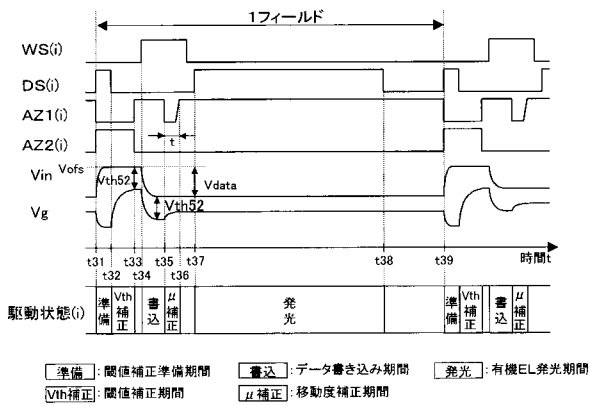


準備: 閾値補正準備期間 書込: データ書き込み期間 発光: 有機EL発光期間
 Vth補正: 閾値補正期間 μ補正: 移動度補正期間

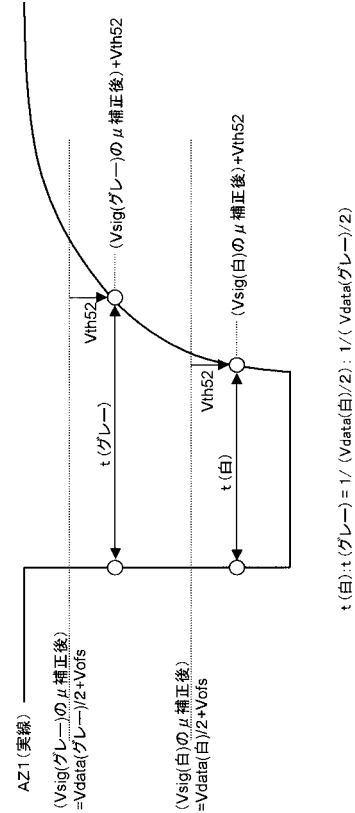
【 図 1 6 】



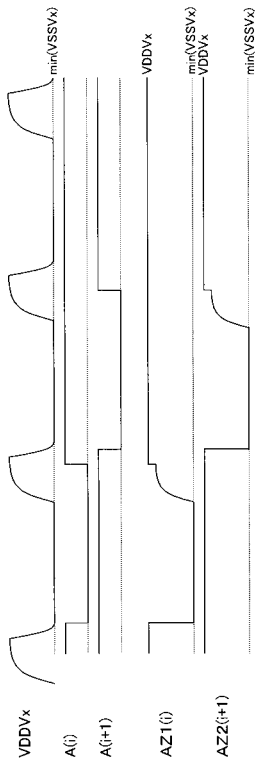
【 図 1 7 】



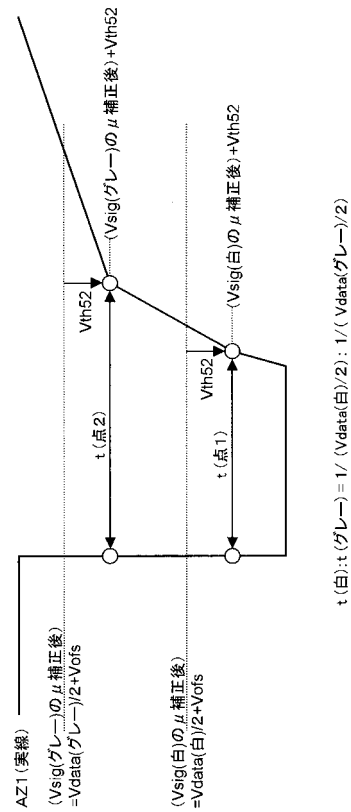
【 図 1 8 】



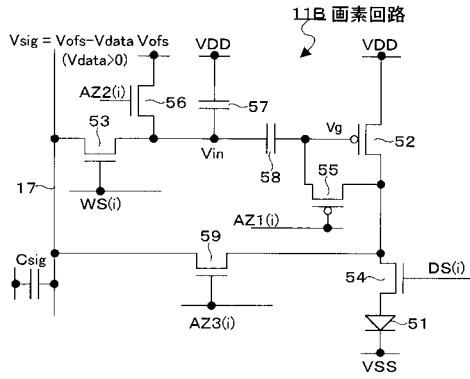
【 図 1 9 】



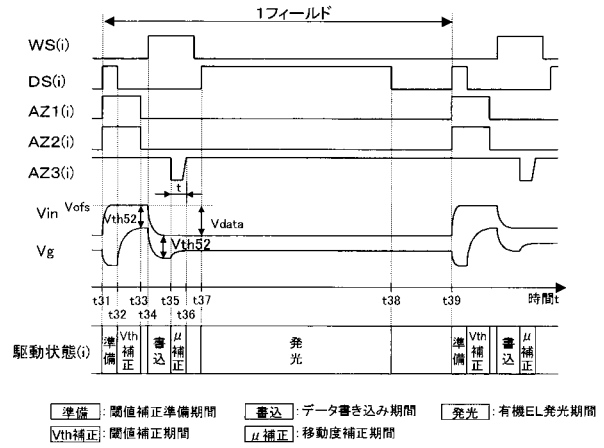
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008039875A5	公开(公告)日	2009-08-27
申请号	JP2006210620	申请日	2006-08-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	浅野慎		
发明人	浅野 慎		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3266 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/066 G09G2320/043 G09G2330/02		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.642.P		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB24 5C380/BA01 5C380/BA12 5C380/BA13 5C380/BA28 5C380/BA31 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC65 5C380/CC66 5C380/CD013 5C380/CD015 5C380/CD025 5C380/CD026 5C380/CE04 5C380/CF07 5C380/CF22 5C380/CF43 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
其他公开文献	JP5055879B2 JP2008039875A		

摘要(译)

实现了用于每个像素的驱动晶体管的迁移率变化的校正函数，并且获得了没有条纹和亮度不均匀的均匀图像质量。在用于校正用于对每个像素电流驱动有机EL元件的驱动晶体管的迁移率的变化迁移率校正中，用于驱动用于采样和写入输入信号电压的采样晶体管的写入信号WS的下降波形Vsig被设置为与输入信号电压Vsig成反比的波形，使得迁移率校正时间t与输入信号电压Vsig成反比并且输入信号电压的所有电平从黑电平到白电平。因此，在该范围内确实消除了对驱动晶体管的漏-源电流的迁移率的依赖性。点域7