

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-33072

(P2008-33072A)

(43) 公開日 平成20年2月14日(2008.2.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/30 K	
	G09G 3/20 611H	
	G09G 3/20 642A	
	G09G 3/20 624B	
審査請求 未請求 請求項の数 22 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2006-207446 (P2006-207446)
 (22) 出願日 平成18年7月31日(2006.7.31)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 三並 徹雄
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

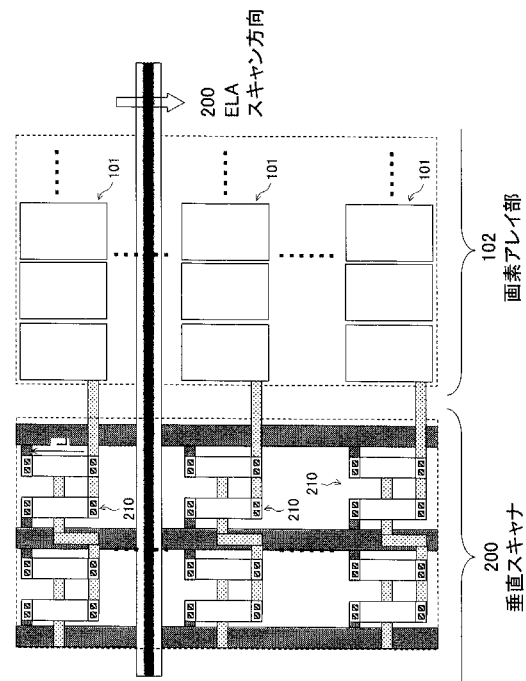
(54) 【発明の名称】 表示装置およびその製造方法

(57) 【要約】

【課題】スキャナ内のトランジスタの特性の差に起因するスジの発生を抑止することが可能な表示装置およびその製造方法を提供する。

【解決手段】アクティブマトリクス型有機EL表示装置100のELA結晶化工程においてエキシマレーザのスキャン方向300と、垂直スキャナ200内のバッファを形成するトランジスタ(TFT)210のL長方向(電流が流れる方向)が同方向になるようにする。

【選択図】図16



【特許請求の範囲】**【請求項 1】**

制御端子への駆動信号を受けて導通状態が制御される少なくとも一つのトランジスタを含む画素回路が複数マトリクス状に配列された画素アレイ部と、

トランジスタにより形成され、上記画素回路を形成するトランジスタの制御端子への駆動信号を出力する上記画素配列に対応する複数のバッファを含む少なくとも一つのスキナと、を有し、

上記画素回路のトランジスタと上記バッファのトランジスタは、所定方向にスキャンされる所定波長のレーザ光照射によって形成されており、

上記バッファのトランジスタは、そのチャンネル長方向が上記レーザ光のスキャン方向と同方向となるように形成されている

10

表示装置。

【請求項 2】

上記スキャン方向は、上記駆動信号の出力線の配線方向と直交する方向であり、

上記スキナの画素配列に対応する各段バッファのトランジスタが、上記チャンネル長方向において、列をなすように形成されている

請求項 1 記載の表示装置。

【請求項 3】

上記バッファのトランジスタは、当該バッファの最終段のみ、上記チャンネル長方向が上記レーザ光のスキャン方向と同方向となるように形成されている

20

請求項 1 記載の表示装置。

【請求項 4】

上記バッファのトランジスタは、当該バッファの最終段のみ、上記チャンネル長方向が上記レーザ光のスキャン方向と同方向となるように形成され、

上記スキナの画素配列に対応する各段バッファのトランジスタが、上記チャンネル長方向において、列をなすように形成されている

請求項 1 記載の表示装置。

【請求項 5】

上記スキナは、位相を修正したイネーブルパルス生成するイネーブルパルスバッファを含み、当該イネーブルパルスバッファのみの上記チャンネル長方向が上記レーザ光のスキャン方向と同方向となるように形成されている

30

請求項 1 記載の表示装置。

【請求項 6】

上記イネーブルパルスバッファの画素配列に対応する各段バッファのトランジスタが、上記チャンネル長方向において、列をなすように形成されている

請求項 5 記載の表示装置。

【請求項 7】

制御端子への駆動信号を受けて導通状態が制御される少なくとも一つのトランジスタを含む画素回路が複数マトリクス状に配列された画素アレイ部と、

トランジスタにより形成され、上記画素回路を形成するトランジスタの制御端子への駆動信号を出力する上記画素配列に対応するバッファ群を含む少なくとも一つのスキナと、を有し、

40

上記画素回路のトランジスタと上記バッファのトランジスタは、所定方向にスキャンされる所定波長のレーザ光照射によって形成されており、

上記スキナは、バッファ群の配列が上記スキャン方向と直交する方向となるように形成されている

表示装置。

【請求項 8】

上記バッファ群内のトランジスタは、そのチャンネル長方向が上記スキャン方向と同方向となるように形成されている

50

請求項 7 記載の表示装置。

【請求項 9】

上記スキャン方向は、上記駆動信号の出力線の配線方向と同方向であり、

上記スキナの画素配列に対応する各段バッファのトランジスタが、上記チャンネル長方向と直交する方向において、列をなすように形成されている

請求項 8 記載の表示装置。

【請求項 10】

上記バッファのトランジスタは、当該バッファの最終段のみ、上記チャンネル長方向が上記レーザ光のスキャン方向と同方向となるように形成されている

請求項 8 記載の表示装置。

10

【請求項 11】

上記バッファのトランジスタは、当該バッファの最終段のみ、上記チャンネル長方向が上記レーザ光のスキャン方向と同方向となるように形成され、

上記スキナの画素配列に対応する各段バッファのトランジスタが、上記チャンネル長方向に直交する方向において、列をなすように形成されている

請求項 8 記載の表示装置。

【請求項 12】

上記スキナは、位相を修正したイネーブルパルス生成するイネーブルパルスバッファを含み、当該イネーブルパルスバッファの上記チャンネル長方向が上記レーザ光のスキャン方向と同方向となるように形成されている

20

請求項 8 記載の表示装置。

【請求項 13】

上記イネーブルパルスバッファの画素配列に対応する各段バッファのトランジスタが、上記チャンネル長方向に直交する方向において、列をなすように形成されている

請求項 12 記載の表示装置。

【請求項 14】

制御端子への駆動信号を受けて導通状態が制御される少なくとも一つのトランジスタを含む画素回路が複数マトリクス状に配列された画素アレイ部と、

トランジスタにより形成され、上記画素回路を形成するトランジスタの制御端子への駆動信号を出力する上記画素配列に対応する複数のバッファを含む少なくとも一つのスキナと、を有する表示装置の製造方法であって、

30

上記バッファのトランジスタを、そのチャンネル長方向が所定方向にスキャンされる所定波長のレーザ光のスキャン方向と同方向となるように形成し、

上記画素回路のトランジスタと上記バッファのトランジスタを、所定方向にスキャンされる所定波長のレーザ光照射によって固化させて形成する

表示装置の製造方法。

【請求項 15】

上記スキャン方向は、上記駆動信号の出力線の配線方向と直交する方向であり、

上記スキナの画素配列に対応する各段バッファのトランジスタを、上記チャンネル長方向において、列をなすように形成する

40

請求項 14 記載の表示装置の製造方法。

【請求項 16】

上記バッファのトランジスタを、当該バッファの最終段のみ、上記チャンネル長方向が上記レーザ光のスキャン方向と同方向となるように形成する

請求項 14 記載の表示装置の製造方法。

【請求項 17】

上記バッファのトランジスタを、当該バッファの最終段のみ、上記チャンネル長方向が上記レーザ光のスキャン方向と同方向となるように形成し、

上記スキナの画素配列に対応する各段バッファのトランジスタを、上記チャンネル長方向において、列をなすように形成する

50

請求項 14 記載の表示装置の製造方法。

【請求項 18】

制御端子への駆動信号を受けて導通状態が制御される少なくとも一つのトランジスタを含む画素回路が複数マトリクス状に配列された画素アレイ部と、

トランジスタにより形成され、上記画素回路を形成するトランジスタの制御端子への駆動信号を出力する上記画素配列に対応するバッファ群を含む少なくとも一つのスキナと、を有する表示装置の製造方法であって、

上記スキナのバッファ群の配列を所定方向にスキャンされる所定波長のレーザ光のスキャン方向と直交する方向となるように形成し、

上記画素回路のトランジスタと上記バッファのトランジスタを、所定方向にスキャンされる所定波長のレーザ光照射によって固化させて形成する

表示装置の製造方法。

【請求項 19】

上記バッファ群内のトランジスタを、そのチャネル長方向が上記スキャン方向と同方向となるように形成する

請求項 18 記載の表示装置の製造方法。

【請求項 20】

上記スキャン方向は、上記駆動信号の出力線の配線方向と同方向であり、

上記スキナの画素配列に対応する各段バッファのトランジスタを、上記チャネル長方向と直交する方向において、列をなすように形成する

請求項 19 記載の表示装置の製造方法。

【請求項 21】

上記バッファのトランジスタを、当該バッファの最終段のみ、上記チャネル長方向が上記レーザ光のスキャン方向と同方向となるように形成する

請求項 19 記載の表示装置の製造方法。

【請求項 22】

上記バッファのトランジスタを、当該バッファの最終段のみ、上記チャネル長方向が上記レーザ光のスキャン方向と同方向となるように形成し、

上記スキナの画素配列に対応する各段バッファのトランジスタが、上記チャネル長方向に直交する方向において、列をなすように形成する

請求項 19 記載の表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機 EL (Electroluminescence) ディスプレイなどの、電気光学素子を有する画素回路がマトリクス状に配列された表示装置およびその製造方法に関するものである。

【背景技術】

【0002】

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。

これは有機 EL ディスプレイなどにおいても同様であるが、有機 EL ディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

【0003】

10

20

30

40

50

有機ＥＬディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題があるため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはＴＦＴ（Thin Film Transistor、薄膜トランジスタ）によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【０００４】

図１は、一般的な有機ＥＬ表示装置の構成を示すブロック図である。

この表示装置１は、図１に示すように、画素回路（ＰＸＬＣ）２が $m \times n$ のマトリクス状に配列された画素アレイ部２、水平セクタ（ＨＳＥＬ）３、ライトスキャナ（ＷＳＣＮ）４、水平セクタ３により選択され輝度情報に応じたデータ信号が供給されるデータ線ＤＴＬ１～ＤＴＬ n 、およびライトスキャナ４により選択駆動される走査線ＷＳＬ１～ＷＳＬ m を有する。

なお、水平セクタ３、ライトスキャナ４に関しては、多結晶シリコン上に形成する場合や、ＭＯＳＩＣ等で画素の周辺に形成することもある。

【０００５】

図２は、図１の画素回路２ａの一構成例を示す回路図である（たとえば特許文献１、２参照）。

図２の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる２トランジスタ駆動方式の回路である。

【０００６】

図２の画素回路２ａは、 p チャネル薄膜電界効果トランジスタ（以下、ＴＦＴという）１１およびＴＦＴ１２、キャパシタＣ１１、発光素子である有機ＥＬ素子（ＯＬＥＤ）１３を有する。また、図２において、ＤＴＬはデータ線を、ＷＳＬは走査線をそれぞれ示している。

有機ＥＬ素子は多くの場合整流性があるため、ＯＬＥＤ（Organic Light Emitting Diode）と呼ばれることがあり、図２その他では発光素子としてダイオードの記号を用いているが、以下の説明においてＯＬＥＤには必ずしも整流性を要求するものではない。

図２ではＴＦＴ１１のソースが電源電位ＶＣＣに接続され、発光素子１３のカソード（陰極）は接地電位ＧＮＤに接続されている。図２の画素回路２ａの動作は以下の通りである。

【０００７】

ステップＳＴ１：

走査線ＷＳＬを選択状態（ここでは低レベル）とし、データ線ＤＴＬに書き込み電位Ｖ_{data}を印加すると、ＴＦＴ１２が導通してキャパシタＣ１１が充電または放電され、ＴＦＴ１１のゲート電位はＶ_{data}となる。

【０００８】

ステップＳＴ２：

走査線ＷＳＬを非選択状態（ここでは高レベル）とすると、データ線ＤＴＬとＴＦＴ１１とは電氣的に切り離されるが、ＴＦＴ１１のゲート電位はキャパシタＣ１１によって安定に保持される。

【０００９】

ステップＳＴ３：

ＴＦＴ１１および発光素子１３に流れる電流は、ＴＦＴ１１のゲート・ソース間電圧Ｖ_{gs}に応じた値となり、発光素子１３はその電流値に応じた輝度で発光し続ける。

上記ステップＳＴ１のように、走査線ＷＳＬを選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

上述のように、図２の画素回路２ａでは、一度Ｖ_{data}の書き込みを行えば、次に書き換えられるまでの間、発光素子１３は一定の輝度で発光を継続する。

【００１０】

10

20

30

40

50

上述したように、画素回路 2 a では、ドライブトランジスタである T F T 1 1 のゲート印加電圧を変化させることで、E L 発光素子 1 3 に流れる電流値を制御している。

このとき、p チャネルのドライブトランジスタのソースは電源電位 V C C に接続されており、この T F T 1 1 は常に飽和領域で動作している。よって、下記の式 1 に示した値を持つ定電流源となっている。

【 0 0 1 1 】

(数 1)

$$I_{ds} = 1 / 2 \cdot \mu (W / L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

【 0 0 1 2 】

ここで、 μ はキャリアの移動度を、 C_{ox} は単位面積当たりのゲート容量を、 W はゲート幅を、 L はゲート長を、 V_{gs} は T F T 1 1 のゲート・ソース間電圧を、 V_{th} は T F T 1 1 のしきい値をそれぞれ示している。

【 0 0 1 3 】

単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【 0 0 1 4 】

図 3 は、有機 E L 素子の電流 - 電圧 (I - V) 特性の経時変化を示す図である。図 3 3 において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

【 0 0 1 5 】

一般的に、有機 E L 素子の I - V 特性は、図 3 に示すように、時間が経過すると劣化してしまう。

しかしながら、図 2 の 2 トランジスタ駆動は定電流駆動のために有機 E L 素子には上述したように定電流が流れ続け、有機 E L 素子の I - V 特性が劣化してもその発光輝度は経時劣化することはない。

【 0 0 1 6 】

ところで、図 2 の画素回路 2 a は、p チャネルの T F T により構成されているが、n チャネルの T F T により構成することができれば、T F T 作製において従来のアモルファスシリコン (a - S i) プロセスを用いることができるようになる。これにより、T F T 基板の低コスト化が可能となる。

【 0 0 1 7 】

次に、トランジスタを n チャネル T F T に置き換えた基本的な画素回路について説明する。

【 0 0 1 8 】

図 4 は、図 2 の回路の p チャネル T F T を n チャネル T F T に置き換えた画素回路を示す回路図である。

【 0 0 1 9 】

図 4 の画素回路 2 b は、n チャネル T F T 2 1 および T F T 2 2、キャパシタ C 2 1、発光素子である有機 E L 素子 (O L E D) 2 3 を有する。また、図 4 において、D T L はデータ線を、W S L は走査線をそれぞれ示している。

【 0 0 2 0 】

この画素回路 2 b では、ドライブトランジスタとして T F T 2 1 のドレイン側が電源電位 V C C に接続され、ソースは E L 素子 2 3 のアノードに接続されており、ソースフォロワー回路を形成している。

【 0 0 2 1 】

図 5 は、初期状態におけるドライブトランジスタとしての T F T 2 1 と E L 素子 2 3 の動作点を示す図である。図 5 において、横軸は T F T 2 1 のドレイン・ソース間電圧 V_{ds} を、縦軸はドレイン・ソース間電流 I_{ds} をそれぞれ示している。

【 0 0 2 2 】

図 5 に示すように、ソース電圧はドライブトランジスタである T F T 2 1 と E L 素子 2 3 との動作点で決まり、その電圧はゲート電圧によって異なる値を持つ。

この T F T 2 1 は飽和領域で駆動されるので、動作点のソース電圧に対し V_{gs} に関して上記式 1 に示した方程式の電流値の電流 I_{ds} を流す。

【 0 0 2 3 】

【特許文献 1】 U S P 5 , 6 8 4 , 3 6 5

【特許文献 2】 特開平 8 - 2 3 4 6 8 3 号公報

【発明の開示】

【発明が解決しようとする課題】

10

【 0 0 2 4 】

上述した画素回路は、最も単純な回路であるが、実際には、O L E D と直列に接続されるドライブトランジスタや、移動度やしきい値キャンセル用の T F T 等が設けられる。

これらの T F T は、アクティブマトリクス型有機 E L ディスプレイパネルの両側あるいは片側に配置されている垂直スキャナによってゲートパルスが生成され、このパルス信号が配線を通してマトリクス配列された画素回路の所望の T F T のゲートに印加される。

【 0 0 2 5 】

図 6 は、垂直スキャナの構成例を示すブロック図である。

図 6 の垂直スキャナ 3 0 は、シフトレジスタ部 3 1、クロックパルスバッファ部 3 2、イネーブルパルスバッファ部 3 3、ロジック部 3 4、およびバッファ部 3 5 を有する。

20

垂直スキャナ 3 0 においては、最終出力段を構成するバッファ部 3 5 を通して、画素回路内のトランジスタ (T F T) のゲートにパルス信号を印加する。

このパルス信号が印加される T F T が 2 あるいはそれ以上存在する場合には、各パルス信号を印加するタイミングが重要となる。

【 0 0 2 6 】

アクティブマトリクス型有機 E L パネルでは、 $p - Si \cdot T F T$ を使用し低温プロセスを用い、駆動回路をガラス基板上に集積している。

低温 $poly - Si \cdot T F T$ は、 $a - Si \cdot T F T$ 、高温 $poly - Si \cdot T F T$ 、単結晶 $Si \cdot F E T$ の長所を併せ持つ。また、狭額縁、高精細、薄型、軽量を実現できる。

$p - Si$ は、エキシマレーザ (波長 3 0 8 n m) の高出力パルスを照射し、 $a - Si$ 膜を溶融、冷却、固化させることにより形成する。この方法をエキシマレーザアニール (E L A) と呼び、大面積にわたって良質な $p - Si$ が低温で得られる。

30

【 0 0 2 7 】

E L A 工程では、図 7 に示すようにエキシマレーザをパネル上、一方向にスキャンしていく。

しかし、エキシマレーザはスキャン進行方向に出力がばらつくため、スキャン進行方向に並ぶ T F T ごとの特性に差がでてしまう。

【 0 0 2 8 】

ここで、例として、図 7 に関連付けて垂直スキャナ 3 0 の各段に配置されているバッファを構成するトランジスタ T R (T F T) に注目する。

40

各トランジスタ T R のチャネル長 (L 長 : 電流の流れる方向) を図 7 中の左右方向に配置し、エキシマレーザを図中、上から下にスキャンした場合、エキシマレーザはスキャン進行方向に出力がばらつくため、図 8 に示すような、垂直スキャナ 3 0 のバッファ部 3 5 の N 段、N + 1 段、N + 2 段等の各段のバッファ 3 5 1 - N , 3 5 1 - N + 1 , 3 5 1 - N + 2 の駆動トランジスタのしきい値や移動度などの特性が異なってしまう。

【 0 0 2 9 】

図 9 は、トランジスタに特性ばらつきが生じる要因について説明するための図である。

【 0 0 3 0 】

図 9 に示すように、エキシマレーザを図中、上から下にスキャンした場合、エキシマレーザはスキャン進行方向に出力がばらつくため、トランジスタの結晶構造的に見ると粒径

50

の大きい部分と小さい部分ができる。

ただし、トランジスタのチャネル幅 W の方向は距離が短く、粒径のばらつきが平均化されず、結果として各トランジスタにばらつきが生じするため、バッファとしての差は大きくなる。

【 0 0 3 1 】

そのため、図 10 に示すように、画素へ入力されるパルスの位相やトランジェントがばらつき、各段の移動度補正期間やしきい値 (V_{th}) キャンセル期間に差が生じ、スジとして視認されるという不利益があった。

【 0 0 3 2 】

図 10 は、容量 C が一定、抵抗 R がばらついたときのトランジェントのイメージを示す図である。この場合、 N 段目の抵抗 R_1 と $N + 1$ 段目の抵抗 R_2 とが、 $R_1 < R_2$ に関係にあるものとしている。

実際には、トランジェントの違いにより、動作点がずれるため、駆動タイミングにずれが生じ、結果としてスジムラなどの原因となる。

【 0 0 3 3 】

本発明は、垂直スキャナ内のトランジスタの特性の差に起因するスジの発生を抑止することが可能な表示装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【 0 0 3 4 】

本発明の第 1 の観点の表示装置は、制御端子への駆動信号を受けて導通状態が制御される少なくとも一つのトランジスタを含む画素回路が複数マトリクス状に配列された画素アレイ部と、トランジスタにより形成され、上記画素回路を形成するトランジスタの制御端子への駆動信号を出力する上記画素配列に対応する複数のバッファを含む少なくとも一つのスキャナと、を有し、上記画素回路のトランジスタと上記バッファのトランジスタは、所定方向にスキャンされる所定波長のレーザ光照射によって形成されており、上記バッファのトランジスタは、そのチャネル長方向が上記レーザ光のスキャン方向と同方向となるように形成されている。

【 0 0 3 5 】

本発明の第 2 の観点の表示装置は、制御端子への駆動信号を受けて導通状態が制御される少なくとも一つのトランジスタを含む画素回路が複数マトリクス状に配列された画素アレイ部と、トランジスタにより形成され、上記画素回路を形成するトランジスタの制御端子への駆動信号を出力する上記画素配列に対応するバッファ群を含む少なくとも一つのスキャナと、を有し、上記画素回路のトランジスタと上記バッファのトランジスタは、所定方向にスキャンされる所定波長のレーザ光照射によって形成されており、上記スキャナは、バッファ群の配列が上記スキャン方向と直交する方向となるように形成されている。

【 0 0 3 6 】

本発明の第 3 の観点の表示装置の製造方法は、制御端子への駆動信号を受けて導通状態が制御される少なくとも一つのトランジスタを含む画素回路が複数マトリクス状に配列された画素アレイ部と、トランジスタにより形成され、上記画素回路を形成するトランジスタの制御端子への駆動信号を出力する上記画素配列に対応する複数のバッファを含む少なくとも一つのスキャナと、を有する表示装置の製造方法であって、上記バッファのトランジスタを、そのチャネル長方向が所定方向にスキャンされる所定波長のレーザ光のスキャン方向と同方向となるように形成し、上記画素回路のトランジスタと上記バッファのトランジスタを、所定方向にスキャンされる所定波長のレーザ光照射によって固化させて形成する。

【 0 0 3 7 】

本発明の第 4 の観点の表示装置の製造方法は、制御端子への駆動信号を受けて導通状態が制御される少なくとも一つのトランジスタを含む画素回路が複数マトリクス状に配列された画素アレイ部と、トランジスタにより形成され、上記画素回路を形成するトランジスタの制御端子への駆動信号を出力する上記画素配列に対応するバッファ群を含む少なくと

10

20

30

40

50

も一つのスキナと、を有する表示装置の製造方法であって、上記スキナのバッファ群の配列を所定方向にスキャンされる所定波長のレーザ光のスキャン方向と直交する方向となるように形成し、上記画素回路のトランジスタと上記バッファのトランジスタを、所定方向にスキャンされる所定波長のレーザ光照射によって固化させて形成する。

【 0 0 3 8 】

本発明によれば、たとえば表示装置の所定波長のレーザによる結晶化工程において、レーザの垂直スキャン方向と、垂直スキナ内のバッファを形成するトランジスタのＬ長（チャンネル長）方向（電流が流れる方向）が同方向になるようにする。

この場合、レーザの出力のばらつきにより、生成される結晶粒径の大きさがばらつくが、トランジスタのＬ長方向、つまり、電流の流れる経路方向に結晶粒径の大きさがばらつくため、個々の駆動トランジスタのばらつきは平均化され、特性の差は小さくなる。

【 発明の効果 】

【 0 0 3 9 】

本発明によれば、垂直スキナ内のトランジスタの特性の差に起因するスジの発生を抑止することができる。

【 発明を実施するための最良の形態 】

【 0 0 4 0 】

以下、本発明の実施形態を図面に関連付けて説明する。

【 0 0 4 1 】

図 1 1 は、本発明の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示す図である。

図 1 2 は、本発明の実施形態に係る有機 E L 表示装置パネルを模式的に示す図である。

図 1 3 は、本実施形態に係る画素回路の具体的な構成を示す回路図である。

【 0 0 4 2 】

この表示装置 1 0 0 は、図 1 1 および図 1 2 に示すように、画素回路 1 0 1 が $m \times n$ のマトリクス状に配列された画素アレイ部 1 0 2、水平セクタ（H S E L）1 0 3、ライトスキナ（W S C N）1 0 4、ドライブスキナ（D S C N）1 0 5、第 1 のオートゼロ回路（A Z R D 1）1 0 6、第 2 のオートゼロ回路（A Z R D 2）1 0 7、水平セクタ 1 0 3 により選択され輝度情報に応じたデータ信号が供給されるデータ線 D T L、ライトスキナ 1 0 4 により選択駆動される第 2 の駆動配線としての走査線 W S L、ドライブスキナ 1 0 5 により選択駆動される第 1 の駆動配線としての駆動線 D S L、第 1 のオートゼロ回路 1 0 6 により選択駆動される第 4 の駆動配線としての第 1 のオートゼロ線 A Z L 1、および第 2 のオートゼロ回路 1 0 7 により選択駆動される第 3 の駆動配線としての第 2 のオートゼロ線 A Z L 2 を有する。

【 0 0 4 3 】

これらの構成要素が、図 1 2 に示すように、アクティブマトリクス型有機 E L 表示装置パネル 1 0 0 A に形成されている。

【 0 0 4 4 】

本実施形態に係る画素回路 1 0 1 は、図 1 2 に示すように、1 画素が赤（R E D）、緑（G R E E N）、青（B L U E）のサブピクセル 1 0 1 R、1 0 1 G、1 0 1 B をストライプ状に配列されて形成されている。

【 0 0 4 5 】

そして、本実施形態に係る画素回路 1 0 1 は、図 1 1 および図 1 3 に示すように、p チャンネル T F T 1 1 1、n チャンネル T F T 1 1 2 ~ T F T 1 1 5、キャパシタ C 1 1 1、有機 E L 素子（O L E D：電気光学素子）からなる発光素子 1 1 6、第 1 のノード（A 点）N D 1 1 1、および第 2 のノード（B 点）N D 1 1 2 を有する。

T F T 1 1 1 により第 1 のスイッチトランジスタが形成され、T F T 1 1 3 により第 2 のスイッチトランジスタが形成され、T F T 1 1 5 により第 3 のスイッチトランジスタが形成され、T F T 1 1 4 により第 4 のスイッチトランジスタが形成されている。

なお、電源電圧 V C C の供給ライン（電源電位）が第 1 の基準電位に相当し、接地電位 G

10

20

30

40

50

N D が第 2 の基準電位に相当している。また、V S S 1 が第 4 の基準電位に相当し、V S S 2 が第 3 の基準電位に相当する。

【 0 0 4 6 】

画素回路 1 0 1 において、第 1 の基準電位（本実施形態では電源電位 V C C ）と第 2 の基準電位（本実施形態では接地電位 G N D ）との間に、T F T 1 1 1、ドライブトランジスタとしての T F T 1 1 2、第 1 のノード N D 1 1 1、および発光素子（O L E D）1 1 6 が直列に接続されている。具体的には、発光素子 1 1 6 のカソードが接地電位 G N D に接続され、アノードが第 1 のノード N D 1 1 1 に接続され、T F T 1 1 2 のソースが第 1 のノード N D 1 1 1 に接続され、T F T 1 1 1 のドレインが T F T 1 1 1 のドレインに接続され、T F T 1 1 1 のソースが電源電位 V C C に接続されている。

10

そして、T F T 1 1 2 のゲートが第 2 のノード N D 1 1 2 に接続され、T F T 1 1 1 のゲートが駆動線 D S L に接続されている。

T F T 1 1 3 のドレインが第 1 のノード 1 1 1 およびキャパシタ C 1 1 1 の第 1 電極に接続され、ソースが固定電位 V S S 2 に接続され、T F T 1 1 3 のゲートが第 2 のオートゼロ線 A Z L 2 に接続されている。また、キャパシタ C 1 1 1 の第 2 電極が第 2 のノード N D 1 1 2 に接続されている。

データ線 D T L と第 2 のノード N D 1 1 2 との間に T F T 1 1 4 のソース・ドレインがそれぞれ接続されている。そして、T F T 1 1 4 のゲートが走査線 W S L に接続されている。

さらに、第 2 のノード N D 1 1 2 と所定電位 V s s 1 との間に T F T 1 1 5 のソース・ドレインがそれぞれ接続されている。そして、T F T 1 1 5 のゲートが第 1 のオートゼロ線 A Z L 1 に接続されている。

20

【 0 0 4 7 】

このように、本実施形態に係る画素回路 1 0 1 は、ドライブトランジスタとしての T F T 1 1 2 のゲート・ソース間に画素容量としてのキャパシタ C 1 1 1 が接続され、非発光期間に T F T 1 1 2 のソース電位をスイッチトランジスタとしての T F T 1 1 3 に介して固定電位に接続し、また、T F T 1 1 2 のゲート・ドレイン間を接続して、しきい値 V t h の補正を行うように構成されている。

たとえば、T F T 1 1 5 がオンし、T F T 1 1 3 がオフしている期間にしきい値 V t h の補正を行う。

30

また、T F T 1 1 1 のオンの期間と T F T 1 1 4 のオンの期間がオーバーラップしている期間に移動度補正を行う。

このような移動度補正やしきい値 V t h キャンセルなど 2 種のパルスの位相差によって駆動をコントロールする。よって、各パルスのタイミングが重要となる。

【 0 0 4 8 】

図 1 4 は、本実施形態に係る垂直スキャナとしてのライトスキャナ 1 0 4 とドライブスキャナ 1 0 5 の構成例を示すブロック図である。

【 0 0 4 9 】

図 1 4 のライトスキャナ 1 0 4 は、シフトレジスタ部 1 0 4 1、クロックパルスバッファ部 1 0 4 2、イネーブルパルスバッファ部 1 0 4 3、ロジック部 1 0 4 4、およびバッファ部 1 0 4 5 を有する。

40

同様に、図 1 4 のドライブスキャナ 1 0 5 は、シフトレジスタ部 1 0 5 1、クロックパルスバッファ部 1 0 5 2、イネーブルパルスバッファ部 1 0 5 3、ロジック部 1 0 5 4、およびバッファ部 1 0 5 5 を有する。

これらライトスキャナ 1 0 4 およびドライブスキャナ 1 0 5 においては、最終出力段を構成するバッファ部 1 0 4 5、1 0 5 5 を通して、画素回路内のトランジスタ（T F T）のゲートにパルス信号を印加する。

このパルス信号が印加される T F T が 2 あるいはそれ以上存在する場合には、各パルス信号を印加するタイミングが重要となる。

【 0 0 5 0 】

50

なお、ライトスキャナ 104 およびドライブスキャナ 105 におけるイネーブルパルスバッファ部 143, 1053 は、図 15 に示すように、クロックパルスバッファ部 1042, 1052 とロジック部 1044, 1054 間において、パルスの位相ズレを修正する。

【0051】

アクティブマトリクス型有機 EL 表示装置パネル 100A では、p-Si・TFT を使用し低温プロセスを用い、駆動回路をガラス基板上に集積している。

低温 poly-Si・TFT は、a-Si・TFT、高温 poly-Si・TFT、単結晶 Si・FET の長所を併せ持つ。また、狭縁縁、高精細、薄型、軽量を実現できる。

p-Si は、ELA (エキシマレーザアニール) 法を採用してエキシマレーザ (波長 308nm) の高出力パルスを照射し、a-Si 膜を溶融、冷却、固化させることにより形成する。このように、ELA 法を採用することによって、大面積にわたって良質な p-Si が低温で得られる。

【0052】

ところで、エキシマレーザはスキャン進行方向に出力がばらつく。

このため、本実施形態においては、垂直スキャナ 104 ~ 107 の各段のバッファの駆動トランジスタのしきい値や移動度などの特性が異なってしまう、スジ、あるいは、色付いて視認されるということを防止するために、基本的に、以下の第 1 または第 2 の方法を採用して ELA 法によりパネル製造を行う。

【0053】

第 1 の方法：アクティブマトリクス型有機 EL 表示装置の ELA 結晶化工程においてエキシマレーザの垂直スキャン方向と、垂直スキャナ内のバッファを形成するトランジスタの L 長 (チャンネル長) 方向 (電流が流れる方向) が同方向になるようにする。

第 2 の方法：アクティブマトリクス型有機 EL 表示装置の ELA 結晶化工程においてエキシマレーザのスキャン方向と、垂直スキャナ内のバッファ群のトランジスタ (TFT) の配列方向が垂直方向になるようにする。

以下の説明においては、垂直スキャナを符号 200 を付して説明する。

【0054】

まず、第 1 の方法について説明する。

図 16 は、アクティブマトリクス型有機 EL 表示装置の ELA 結晶化工程に適用する第 1 の方法の第 1 例を説明するための図である。

【0055】

第 1 の方法の第 1 例は、図 16 に示すように、アクティブマトリクス型有機 EL 表示装置 100 の ELA 結晶化工程においてエキシマレーザのスキャン方向 300 と、垂直スキャナ 200 内のバッファを形成するトランジスタ (TFT) 210 の L 長方向 (電流が流れる方向) が同方向になるようにする方法である。

【0056】

図 16 では、垂直スキャナ 200 のバッファを形成する TFT 210 はその L 長方向が、図 16 中の上側から下側へ向かうように形成されている。

換言すれば、垂直スキャナ 200 のバッファを形成する TFT 210 は、L 長方向が画素アレイ部 102 に配線されるデータ線 DTL の配線方向になるように (走査線 WSL、駆動線 DSL、オートゼロ線 AZL1, AZL2 の配線方向と異なる、たとえば直交する方向になるように形成されている。

垂直スキャン 200 のバッファを形成する複数の TFT 210 は、TFT 210 の L 長方向 (スキャン方向に並行に) において列をなすように一直線状に形成されている。すなわち、複数の TFT 210 は、L 長方向をスキャン方向に揃えてマトリクス状に配置されている。

そして、エキシマレーザのスキャンは、この TFT 200 の L 長方向と同じ方向、すなわち、図中の上側から下側へ向かって行われる。

【0057】

図 17 は、E L A 結晶化工程に第 1 の方法の第 1 例を採用した場合の結晶構造のイメージ図である。

【 0 0 5 8 】

この場合、エキシマレーザの出力のばらつきにより、生成される結晶粒径の大きさがばらつくが、T F T (トランジスタ) 2 1 0 の L 長方向、つまり、電流の流れる経路方向に結晶粒径の大きさがばらつくため、個々の駆動トランジスタのばらつきは平均化され、特性の差は小さくなる。

【 0 0 5 9 】

なお、上述の説明では、垂直スキャナ 2 0 0 のバッファ全体で T F T 2 1 0 の L 長方向をスキャン方向と同方向とする例について説明したが、たとえば、垂直スキャナ 2 0 0 の最終段のバッファを形成する T F T 2 1 0 のみを、その L 長方向がエキシマレーザのスキャン方向と同方向になるようにしてもよい。

【 0 0 6 0 】

また、移動度補正やしきい値 V_{th} キャンセルなど、タイミングに精度を要求する場合にイネーブルパルスを用いる場合には、イネーブルパルスを出力するイネーブルパルスバッファ部 (図 14, 図 15 のイネーブルパルスバッファ部 1 0 4 3, 1 0 5 3) の T F T (トランジスタ) 2 1 0 のみの L 長方向とエキシマレーザのスキャン方向 3 0 0 が同方向になるようにしてもよい。

【 0 0 6 1 】

図 18 は、アクティブマトリクス型有機 E L 表示装置の E L A 結晶化工程に適用する第 1 の方法の第 2 例を説明するための図である。

【 0 0 6 2 】

第 1 の方法の第 2 例は、図 17 に示すように、垂直スキャナ 2 0 0 の T F T 2 1 0 は図 16 の第 1 例の場合と同様にその L 長方向が、長方向が画素アレイ部 1 0 2 に配線されるデータ線 D T L の配線方向になるように (走査線 W S L、駆動線 D S L、オートゼロ線 A Z L 1, A Z L 2 の配線方向と異なる、たとえば直交する方向になるように形成されている。ただし、第 2 例は、アクティブマトリクス型有機 E L 表示装置 1 0 0 の E L A 結晶化工程においてエキシマレーザのスキャン方向 3 0 0 A と、垂直スキャナ 2 0 0 内のバッファを形成するトランジスタ (T F T) 2 1 0 の L 長方向 (電流が流れる方向) が直交するようにする方法である。

【 0 0 6 3 】

図 19 は、E L A 結晶化工程に第 1 の方法の第 2 例を採用した場合の結晶構造のイメージ図である。

【 0 0 6 4 】

この場合、エキシマレーザの出力のばらつきにより、生成される結晶粒径の大きさがばらつくが、各 T F T (トランジスタ) 2 1 0 は列をなすように形成されていることから、各 T F T (トランジスタ) 2 1 0 とも同様の領域で結晶粒径がばらつくため、バッファ全体としては特性の差は小さくなる。

【 0 0 6 5 】

本第 1 の方法により、アクティブマトリクス型有機 E L 表示装置における E L A 結晶化工程においてエキシマレーザのスキャンによる垂直スキャナ内のトランジスタの特性の差に起因するスジを改善することができる。

【 0 0 6 6 】

次に、第 2 の方法について説明する。

図 20 は、アクティブマトリクス型有機 E L 表示装置の E L A 結晶化工程に適用する第 2 の方法を説明するための図である。

【 0 0 6 7 】

第 2 の方法は、図 20 に示すように、アクティブマトリクス型有機 E L 表示装置 1 0 0 の E L A 結晶化工程においてエキシマレーザのスキャン方向 3 0 0 と、垂直スキャナ 2 0 0 A 内のバッファ群を形成するトランジスタ (T F T) 2 1 0 の L 長方向 (電流が流れる

10

20

30

40

50

方向)が垂直方向になるようにする方法である。

【0068】

図20では、垂直スキャナ200Aのバッファを形成するTF T 2 1 0はそのL長方向が、図20中の左右へ向かうように形成されている。

換言すれば、垂直スキャナ200Aのバッファを形成するTF T 2 1 0は、L長方向が画素アレイ部102に配線されるデータ線DTLの配線方向と直交するように(走査線WSL、駆動線DSL、オートゼロ線AZL1, AZL2の配線方向と同方向になるように形成されている。

垂直スキャナ200Aのバッファを形成する複数のTF T 2 1 0は、TF T 2 1 0のL長方向(スキャン方向に並行に)において列をなすように一直線状に形成されている。すなわち、複数のTF T 2 1 0は、L長方向をスキャン方向に揃えてマトリクス状に配置されている。

そして、エキシマレーザのスキャンは、このTF T 2 0 0のL長方向と同じ方向、すなわち、図中の左側から右側へ向かって行われる。

【0069】

図21は、ELA結晶化工程に第2の方法を採用した場合の結晶構造のイメージ図である。

【0070】

この場合、スキャン進行方向300Aにエキシマレーザの出力のばらつきにより、生成される結晶粒径の大きさがばらつくが、各段のバッファトランジスタには同様にエキシマレーザの高出力パルスが照射されるため、トランジスタごとの特性の差は小さくなる。

【0071】

なお、第2の方法においても、垂直スキャナ200Aのバッファ全体でTF T 2 1 0のL長方向をスキャン方向と同方向とする例について説明したが、たとえば、垂直スキャナ200Aの最終段のバッファを形成するTF T 2 1 0のみを、そのL長方向がエキシマレーザのスキャン方向と同方向になるようにしてもよい。

また、画素配列に対応する各段(行)バッファのTF T 2 1 0が、L長方向と直交する方向において、列をなすように形成されている

【0072】

また、移動度補正やしきい値V_{th}キャンセルなど、タイミングに精度を要求する場合には、イネーブルパルスを用いる場合には、イネーブルパルスを出力するイネーブルパルスバッファ部(図14, 図15のイネーブルパルスバッファ部1043, 1053)のTF T (トランジスタ)210AのみのL長方向とエキシマレーザのスキャン方向300が同方向になるようにしてもよい。

また、イネーブルパルスバッファ部の画素配列に対応する各段バッファのTF T 2 1 0Aが、L長方向に直交する方向において、列をなすように形成されている

【0073】

本第2の方法により、アクティブマトリクス型有機EL表示装置におけるELA結晶化工程においてエキシマレーザのスキャンによる垂直スキャナ内のトランジスタの特性の差に起因するスジを改善することができる。

【0074】

次に、上記構成の動作を、画素回路の動作を中心に、図22(A)~(F)に関連付けて説明する。

なお、図22(A)は駆動性DSLに印加される駆動信号、図22(B)は走査線WSLに印加される駆動信号WSを、図22(C)は第1のオートゼロ線AZL1に印加される駆動信号AZ1、図22(D)は第2のオートゼロ線AZL2に印加される駆動信号オートゼロ信号AZ2を、図22(E)は第2のノードND112の電位を、図22(F)は第1のノードND111の電位をそれぞれ示している。

【0075】

ドライブスキャナ105による駆動線DSLの駆動信号DSがハイレベル、ライトスキ

10

20

30

40

50

ャナ 104 による走査線 WSL への駆動信号 WS がローレベルに保持され、オートゼロ回路 106 によるオートゼロ線 AZL1 への駆動信号 AZ1 がローレベルに保持され、オートゼロ回路 107 によるオートゼロ線 AZL2 への駆動信号 AZ2 がハイレベルに保持される。

その結果、TF T 113 がオンし、このとき、TF T 113 を介して電流が流れ、TF T 112 のソース電位 Vs (ノード ND 111 の電位) は VSS2 まで下降する。そのため、EL 発光素子 116 に印加される電圧も 0V となり、EL 発光素子 116 は非発光となる。

この場合、TF T 114 がオンしてもキャパシタ C 111 に保持されている電圧、すなわち、TF T 112 のゲート電圧は変わらない。

【0076】

次に、EL 発光素子 116 の非発光期間において、図 22 (C), (D) に示すように、オートゼロ線 AZL2 への駆動信号 AZ2 がハイレベルに保持された状態で、オートゼロ線 AZL1 への駆動信号 AZ1 がハイレベルに設定される。これにより、第 2 のノード ND 112 の電位は VSS1 となる。

そして、オートゼロ線 AZL2 への駆動信号 AZ2 がローレベルに切り替えられた後、ドライブキャナ 105 による駆動線 DSL の駆動信号 DS が所定期間のみローレベルに切り替えられる。

これにより、TF T 113 がオフし、TF T 115、TF T 112 がオンすることにより、TF T 112, TF T 111 の経路に電流が流れ、第 1 のノードの電位は上昇する。

そして、ドライブキャナ 105 による駆動線 DSL の駆動信号 DS がハイレベルに切り替えられ、駆動信号 AZ1 がローレベルに切り替えられる。

以上の結果、ドライブトランジスタ TF T 112 のしきい値 Vth 補正が行われ、第 2 のノード ND 112 と第 1 のノード ND 111 との電位差は Vth となる。

その状態で所定期間経過後にライトキャナ 104 による走査線 WSL への駆動信号 WS が所定期間ハイレベルに保持され、データ線よりデータをノード ND 112 に書き込み、駆動信号 WS がハイレベルの期間にドライブキャナ 105 による駆動線 DSL の駆動信号 DS がハイレベルに切り替えられ、やがて駆動信号 WS がローレベルに切り替えられる。

このとき、TF T 112 がオンし、そして、TF T 114 がオフし、移動度の補正が行われる。

この場合、TF T 114 がオフしており、TF T 112 のゲートソース間電圧は一定であるので、TF T 112 は一定電流 Ids を EL 発光素子 116 に流す。これによって、第 1 のノード ND 111 の電位は EL 発光素子 116 に Ids という電流が流れる電圧 Vx まで上昇し、EL 発光素子 116 は発光する。

ここで、本回路においても EL 素子は発光時間が長くなるとその電流 - 電圧 (I - V) 特性は変化してしまう。そのため、第 1 のノード ND 111 の電位も変化する。しかしながら、TF T 112 のゲート・ソース間電圧 Vgs は一定値に保たれているので EL 発光素子 117 に流れる電流は変化しない。よって、EL 発光素子 116 の I - V 特性が劣化しても、一定電流 Ids が常に流れ続け、EL 発光素子 116 の輝度が変化することはない。

【0077】

このように駆動される表示装置においては、アクティブマトリクス型有機 EL 表示装置における ELA 結晶化工程においてエキシマレーザのスキャンによる垂直スキャナ内のトランジスタの特性の差に起因するスジを改善することができ、画質のよい画像を得ることができる。

【図面の簡単な説明】

【0078】

【図 1】一般的な有機 EL 表示装置の構成を示すブロック図である。

【図 2】図 1 の画素回路の一構成例を示す回路図である。

10

20

30

40

50

【図 3】有機 EL 素子の電流 - 電圧 (I - V) 特性の経時変化を示す図である。

【図 4】図 2 の回路の p チャンネル T F T を n チャンネル T F T に置き換えた画素回路を示す回路図である。

【図 5】初期状態におけるドライブトランジスタとしての T F T と E L 素子の動作点を示す図である。

【図 6】垂直スキャナの構成例を示すブロック図である。

【図 7】E L A 工程でのエキシマレーザのスキャン方向について説明するための図である。

【図 8】垂直スキャナの最終段バッファ部の出力部を簡略的に示す図である。

【図 9】トランジスタに特性ばらつきが生じる要因について説明するための図である。

10

【図 10】容量 C が一定、抵抗 R がばらついたときのトランジェントのイメージを示す図である。

【図 11】本発明の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示す図である。

【図 12】本発明の実施形態に係る有機 E L 表示装置パネルを模式的に示す図である。

【図 13】本第実施形態に係る画素回路の具体的な構成を示す回路図である。

【図 14】本実施形態に係る垂直スキャナとしてのライトスキャナとドライブスキャナの構成例を示すブロック図である。

【図 15】ライトスキャナおよびドライブスキャナにおけるイネーブルパルスバッファ部の機能について説明するための図である。

20

【図 16】アクティブマトリクス型有機 E L 表示装置の E L A 結晶化工程に適用する第 1 の方法の第 1 例を説明するための図である。

【図 17】E L A 結晶化工程に第 1 の方法の第 1 例を採用した場合の結晶構造のイメージ図である。

【図 18】アクティブマトリクス型有機 E L 表示装置の E L A 結晶化工程に適用する第 1 の方法の第 2 例を説明するための図である。

【図 19】E L A 結晶化工程に第 1 の方法の第 2 例を採用した場合の結晶構造のイメージ図である。

【図 20】アクティブマトリクス型有機 E L 表示装置の E L A 結晶化工程に適用する第 2 の方法を説明するための図である。

30

【図 21】E L A 結晶化工程に第 2 の方法を採用した場合の結晶構造のイメージ図である。

【図 22】本実施形態の動作を説明するためのタイミングチャートである。

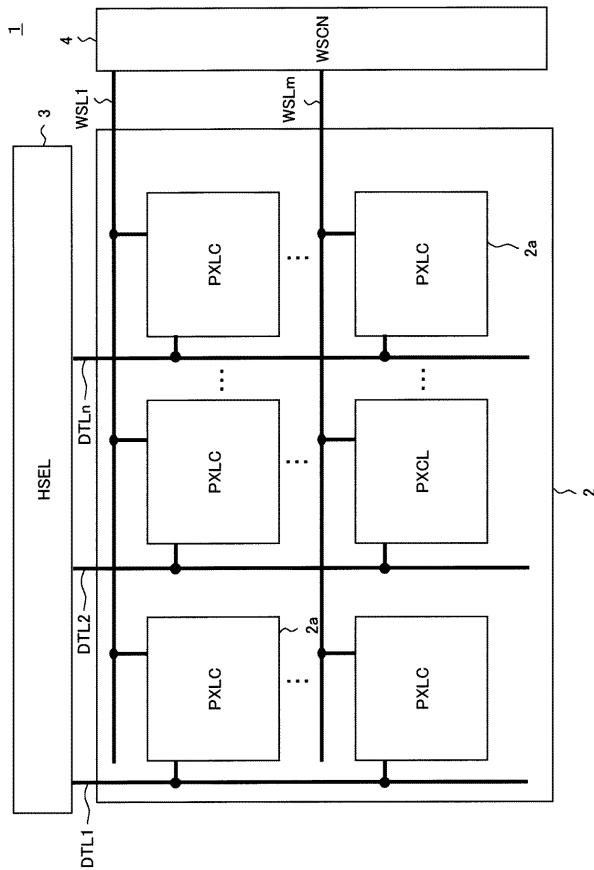
【符号の説明】

【0079】

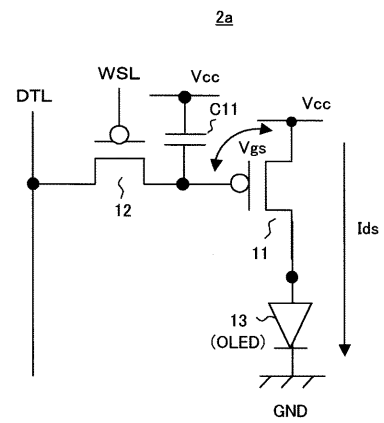
100 ... 表示装置、101 ... 画素回路、102 ... 画素アレイ部、103 ... 水平セレクタ (HSEL)、104 ... ライトスキャナ (WSCN)、105 ... ドライブスキャナ (DSCN)、106 ... 第 1 のオートドライブ回路 (AZRD1)、107 ... 第 2 のオートゼロ回路 (AZRD2)、DTL ... データ線、WSL ... 走査線、DSL ... 駆動線、AZL1, AZL2 ... オートゼロ線、111 ... スイッチとしての p チャンネル T F T、112 ... ドライブ (駆動) トランジスタとしての n チャンネル T F T、113 ~ 1152 ... スイッチとしての n チャンネル T F T N、D111 ... 第 1 のノード、ND112 ... 第 2 のノード、200, 200A ... 垂直スキャナ、210 ... T F T (トランジスタ)、300, 300A ... スキャン方向。

40

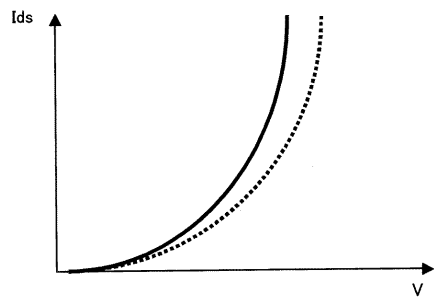
【図 1】



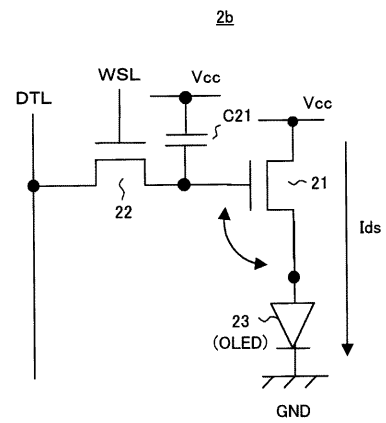
【図 2】



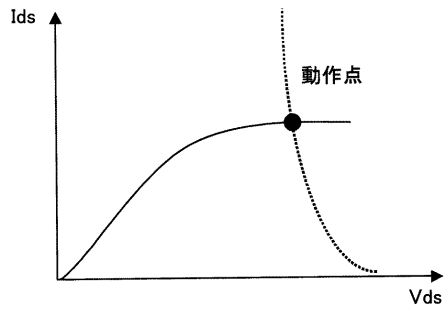
【図 3】



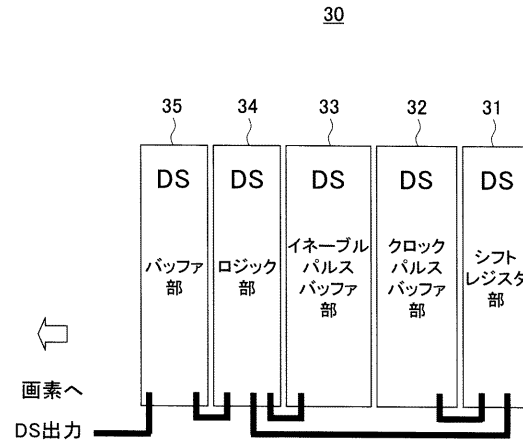
【図 4】



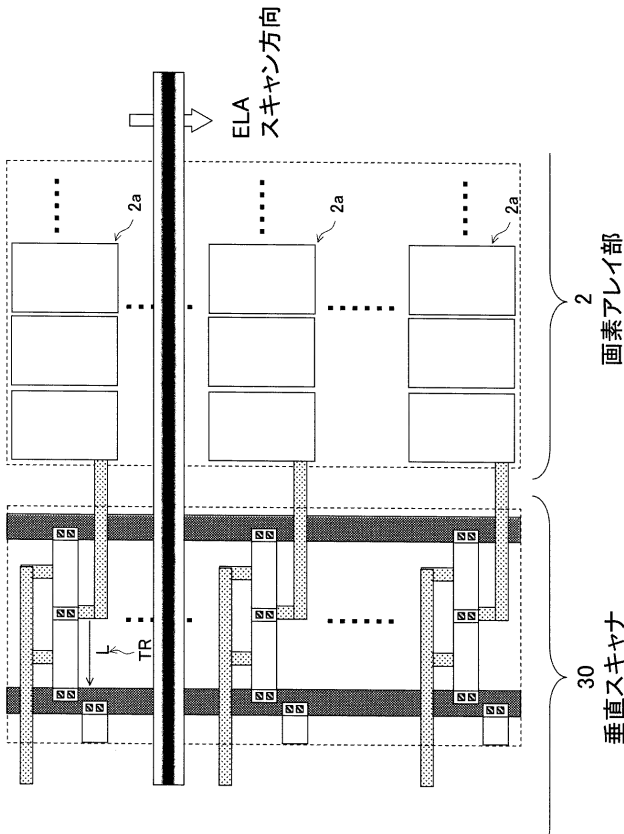
【図 5】



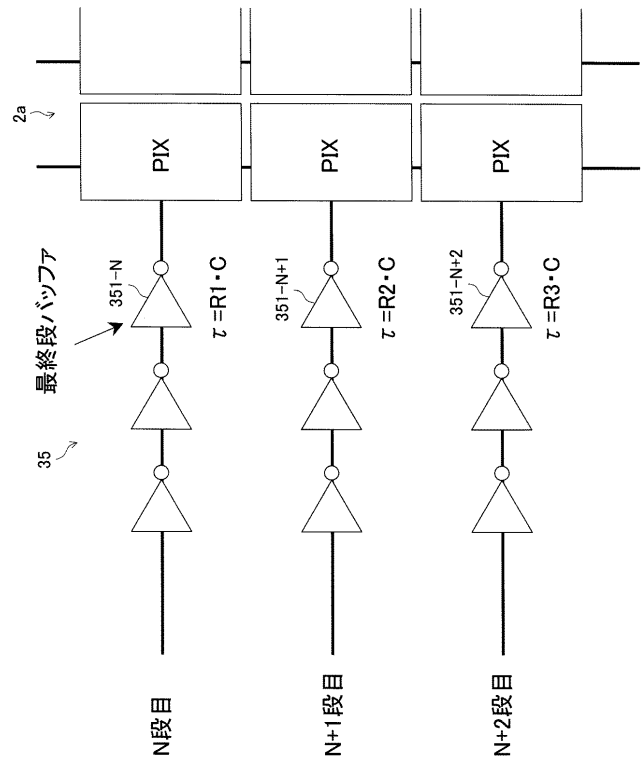
【図 6】



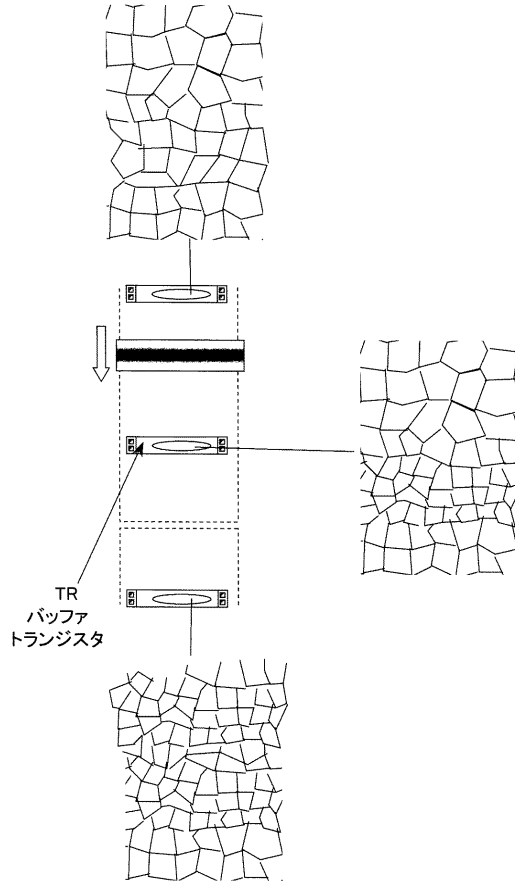
【図 7】



【図 8】

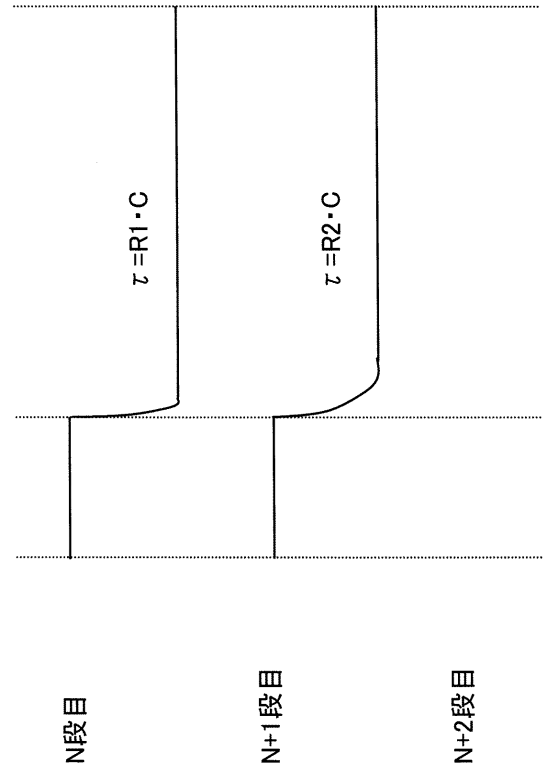


【図 9】

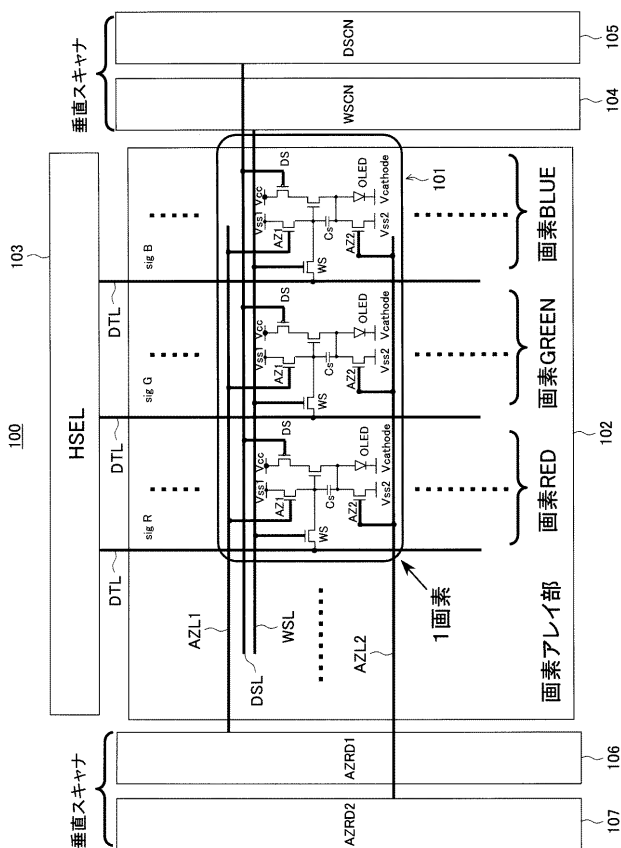


【図 10】

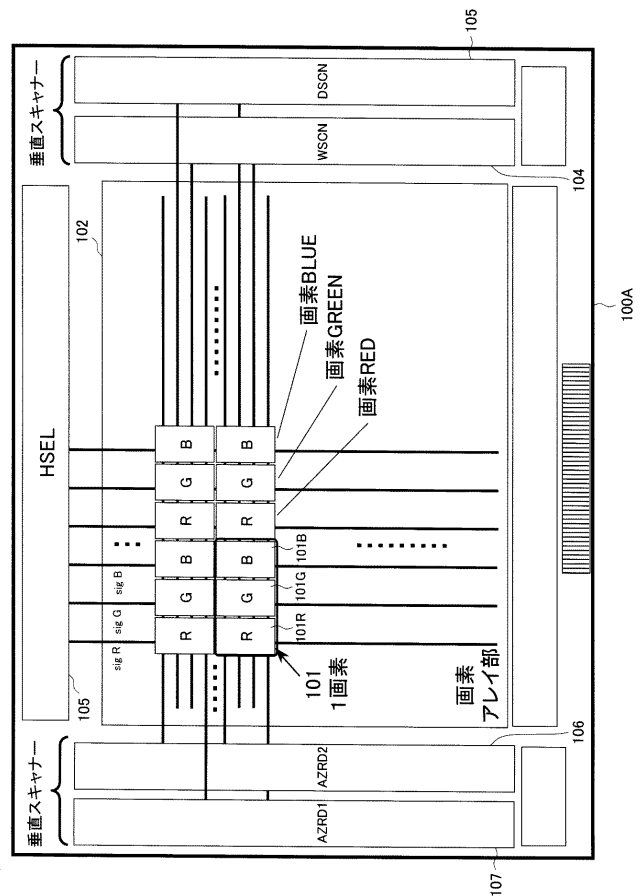
最終段バッファ出力後トランジェント



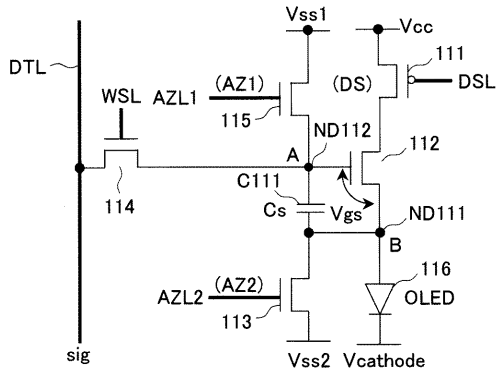
【図 11】



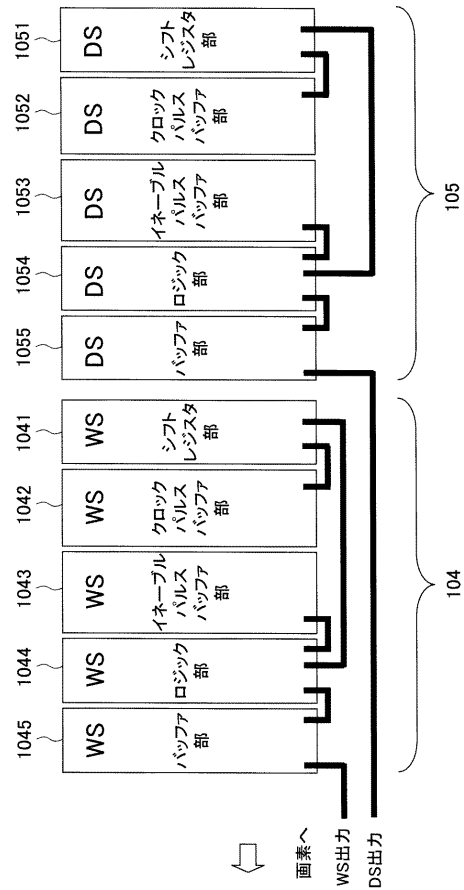
【図 12】



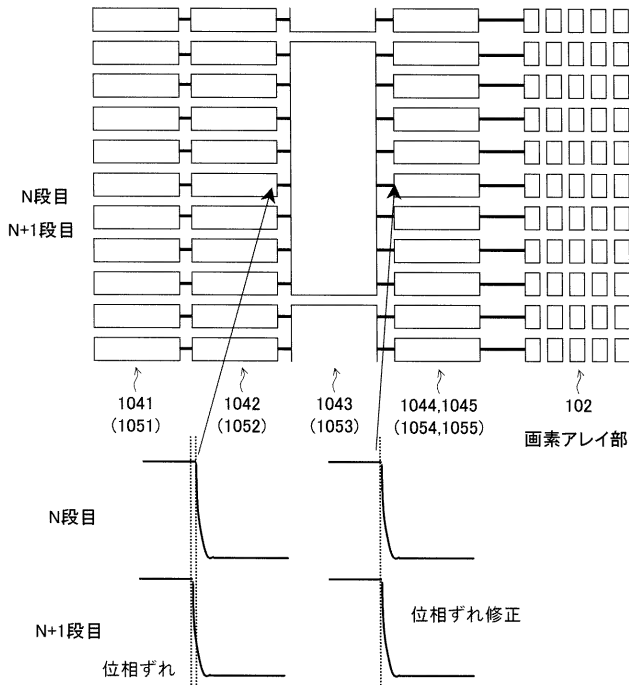
【図 1 3】



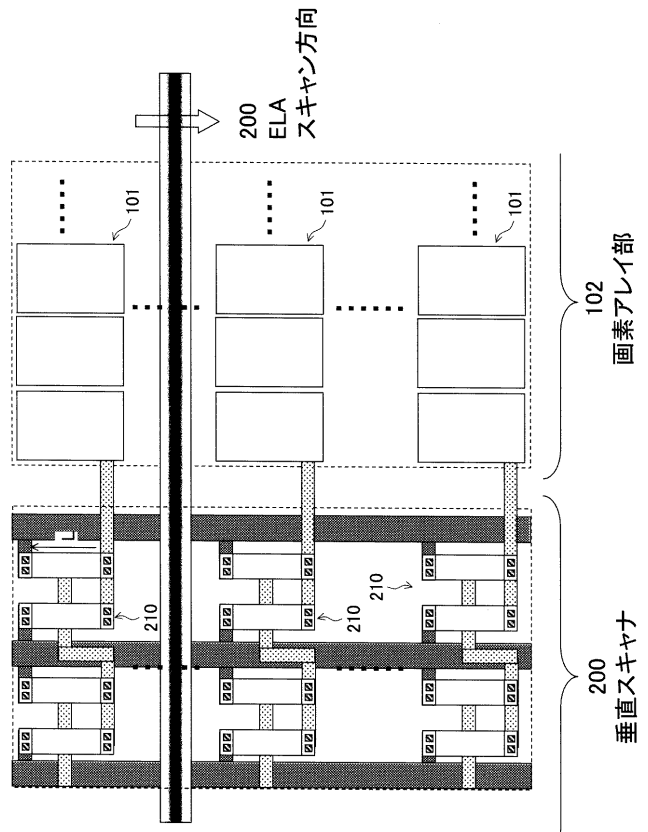
【図 1 4】



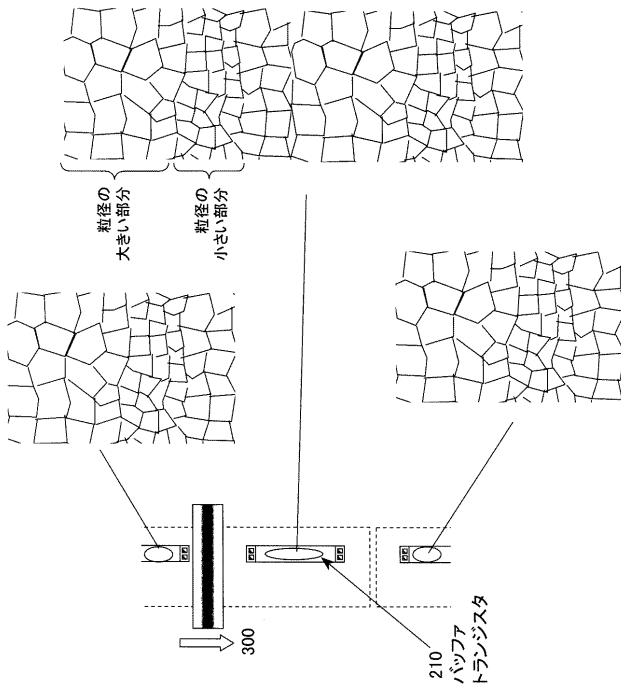
【図 1 5】



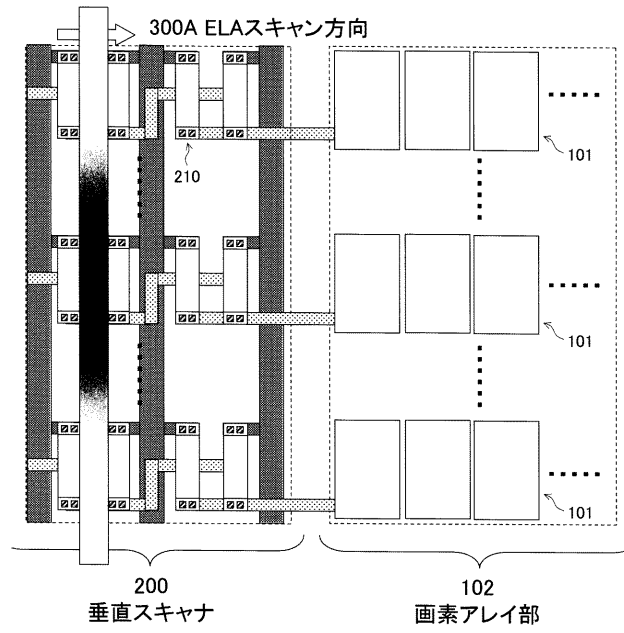
【図 1 6】



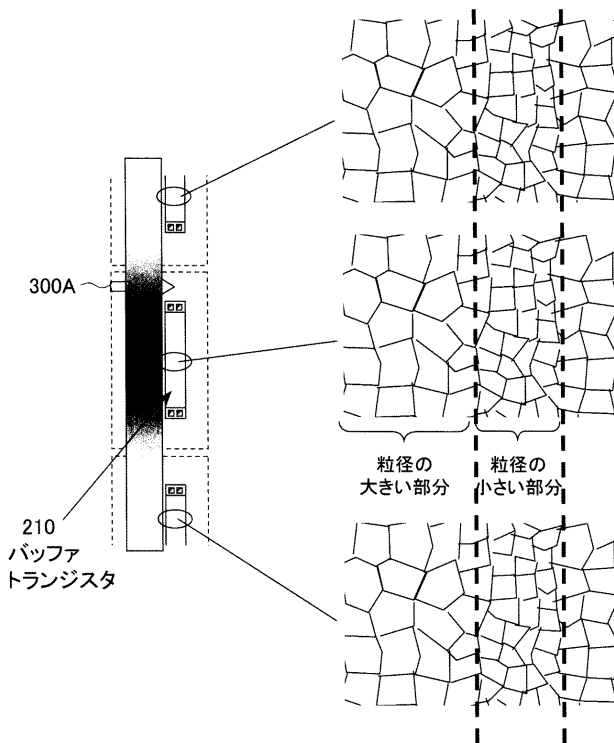
【図 17】



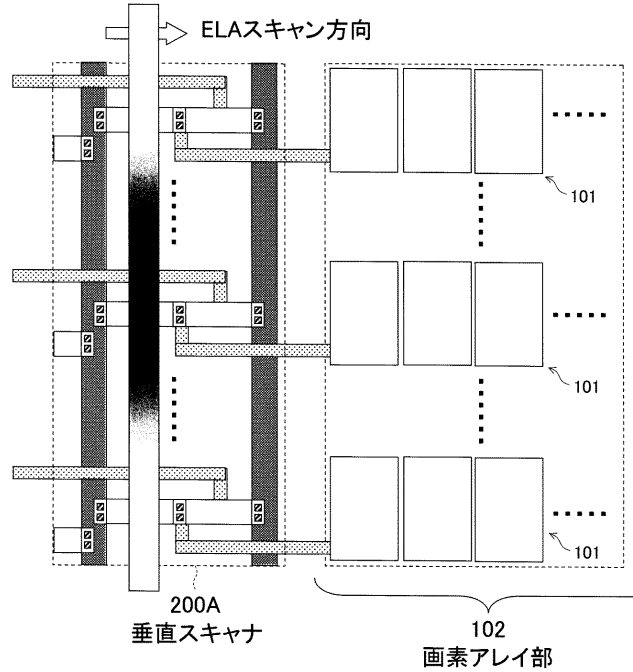
【図 18】



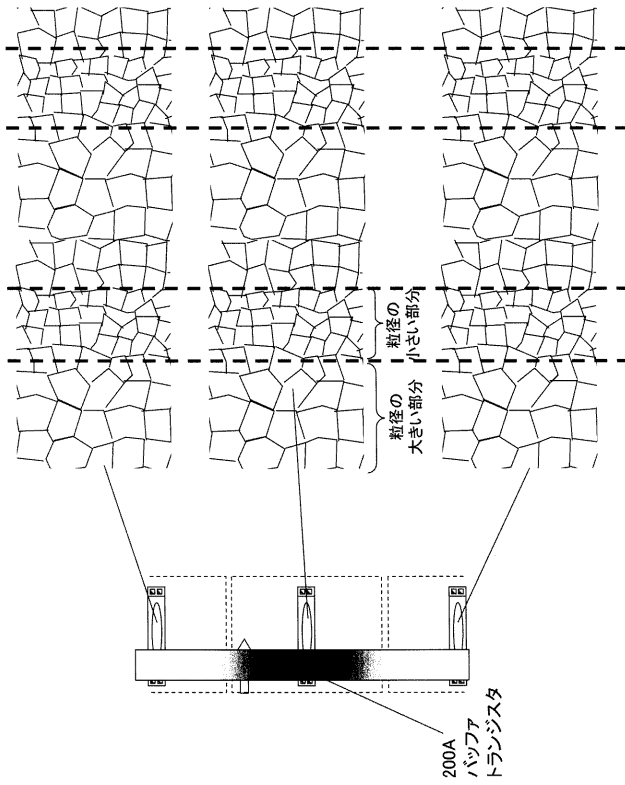
【図 19】



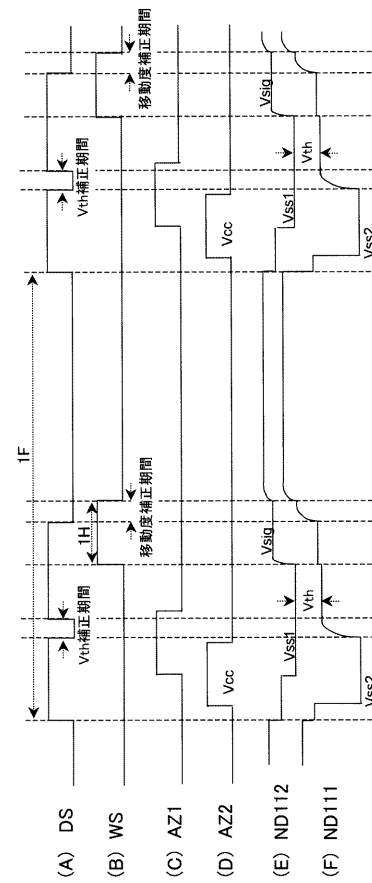
【図 20】



【図 2 1】



【図 2 2】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 8 0 G

F ターム(参考) 5C080 AA06 BB05 CC03 DD05 DD28 EE28 FF11 JJ02 JJ03 JJ04
JJ05

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008033072A5	公开(公告)日	2009-07-16
申请号	JP2006207446	申请日	2006-07-31
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	三並徹雄 山下淳一 内野勝秀		
发明人	三並 徹雄 山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.621.M G09G3/20.680.G		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB19 5C380/AB22 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AB41 5C380/AC04 5C380/BA02 5C380/BA11 5C380/BA17 5C380/BA20 5C380/BA28 5C380/BA32 5C380/BA33 5C380/BA37 5C380/BB05 5C380/BB06 5C380/BB21 5C380/CA12 5C380/CB11 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CB37 5C380/CC01 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC61 5C380/CC62 5C380/CC65 5C380/CD012 5C380/CD015 5C380/CE04 5C380/CE20 5C380/CF07 5C380/CF22 5C380/CF23 5C380/CF31 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	佐藤隆久		
其他公开文献	JP2008033072A		

摘要(译)

要解决的问题：提供一种能够抑制由扫描仪中晶体管特性差异引起的条纹的显示器，并提供其制造方法。ŽSOLUTION：准分子激光器的扫描方向300与在垂直扫描器200中形成缓冲器的晶体管（TFT）210的L长度方向（电流方向）相同，在有源矩阵有机EL的ELA结晶过程中显示100.Ž