

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-164802

(P2005-164802A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 622E	5C080
G11C 19/00	G09G 3/20 623G	5J034
H03K 3/356	G09G 3/20 623H	5J056
H03K 19/096	G11C 19/00 J	

審査請求 有 請求項の数 8 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2003-401274 (P2003-401274)
 (22) 出願日 平成15年12月1日 (2003.12.1)

(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100102185
 弁理士 多田 繁範
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 Fターム(参考) 3K007 AB18 BA06 DB03
 5C080 AA06 AA10 BB05 DD25 DD28
 JJ02 JJ03 JJ04
 5J034 AB05 CB01 DB08
 最終頁に続く

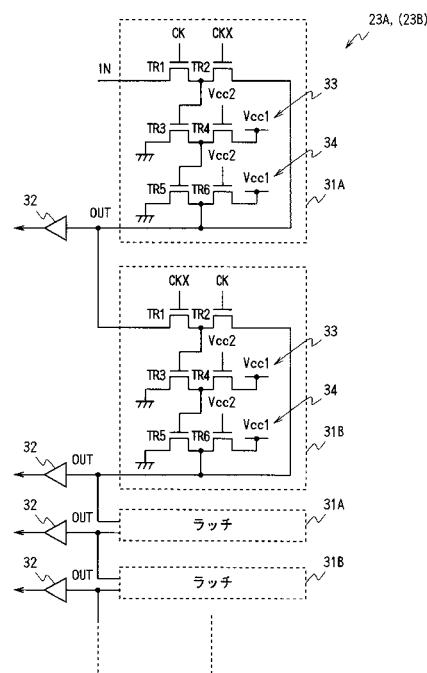
(54) 【発明の名称】 クロックインバータ回路、ラッチ回路、シフトレジスタ回路、表示装置の駆動回路、表示装置

(57) 【要約】

【課題】 本発明は、クロックインバータ回路、ラッチ回路、シフトレジスタ回路、表示装置の駆動回路、表示装置に関し、例えば有機EL素子によるフラットディスプレイ装置に適用して、単チャンネルのトランジスタのみで動作することができるようにする。

【解決手段】 本発明は、相補的にオンオフ動作する1組のトランジスタTR1、TR2によるスイッチ回路により直列回路を形成すると共に、この直列回路の接続中点出力をインバータ回路33に出力し、この直列回路の一端に入力信号INを入力すると共に、他端にこの直列回路の接続中点出力に対応するインバータ回路34による出力信号を供給する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

全てのトランジスタが同一チャンネルのトランジスタであるクロックインバータ回路であって、

クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に入力信号を入力する第 1 の直列回路と、

前記第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、

前記第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第 1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路と

を備えることを特徴とするクロックインバータ回路。

10

【請求項 2】

全てのトランジスタが同一チャンネルのトランジスタであるラッチ回路であって、

クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に入力信号を入力する第 1 の直列回路と、

前記第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、

前記第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第 1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路と

を備えることを特徴とするラッチ回路。

20

【請求項 3】

前記第 2 のインバータ回路が、

前記第 1 のインバータ回路の出力信号を一方のトランジスタのゲートに入力するインバータ回路である

ことを特徴とする請求項 2 に記載のラッチ回路。

【請求項 4】

前記第 1 の直列回路、前記第 1 のインバータ回路、前記第 2 のインバータ回路による第 1 の系統に対して、前記第 1 の系統による前記第 1 の直列回路、前記第 1 のインバータ回路、前記第 2 のインバータ回路に対応する第 1 の直列回路、第 1 のインバータ回路、第 2 のインバータ回路を有する第 2 の系統を有し、

30

前記第 2 の系統は、

前記第 1 の直列回路の一端に、前記入力信号の反転信号を入力し、前記第 1 の直列回路の他端に、前記第 2 の系統の前記第 2 のインバータ回路の出力を入力し、

前記第 1 のインバータ回路の他方のトランジスタのゲートに、前記第 1 の系統の前記第 1 の直列回路の接続中点を接続し、

前記第 2 のインバータ回路の他方のトランジスタのゲートに、前記第 1 の系統の前記第 1 のインバータ回路の出力を入力し、

前記第 1 の系統は、

前記第 1 のインバータ回路の他方のトランジスタのゲートに、前記第 2 の系統の前記第 1 の直列回路の接続中点を接続し、

40

前記第 2 のインバータ回路の他方のトランジスタのゲートに、前記第 2 の系統の前記第 1 のインバータ回路の出力を入力する

ことを特徴とする請求項 3 に記載のラッチ回路。

【請求項 5】

前記第 1 の直列回路の 1 組のトランジスタと連動して相補的に動作を切り換える 1 組のトランジスタによる第 2 の直列回路を有し、

前記第 2 の直列回路は、

前記第 1 の直列回路の前記一端に対応する側に、前記入力信号の反転信号を入力し、前記第 1 の直列回路の前記他端に対応する側に、前記第 1 のインバータ回路の出力を入力し

50

前記第 1 のインバータ回路は、
他方のトランジスタのゲートを前記第 2 の直列回路における前記 1 組のトランジスタの
接続中点に接続し、

前記第 2 のインバータ回路は、

前記第 2 の直列回路の接続中点を一方のトランジスタのゲートに接続し、他方のトラン
ジスタのゲートを前記第 1 の直列回路における前記 1 組のトランジスタの接続中点に接続
する

ことを特徴とする請求項 2 に記載のラッチ回路。

【請求項 6】

ラッチ回路により順次駆動信号を転送するシフトレジスタ回路において、

10

前記ラッチ回路は、

全てのトランジスタが同一チャンネルのトランジスタにより形成され、

クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端
に入力信号を入力する第 1 の直列回路と、

前記第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトラン
ジスタによる第 1 のインバータ回路と、

前記第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第
1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを有す
る

ことを特徴とするシフトレジスタ回路。

20

【請求項 7】

マトリクス状に画素を配置してなる表示装置の駆動回路において、

ラッチ回路によるシフトレジスタ回路により順次駆動信号を転送して前記画素の駆動信
号を生成し、

前記ラッチ回路は、

全てのトランジスタが同一チャンネルのトランジスタにより形成され、

クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端
に入力信号を入力する第 1 の直列回路と、

前記第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトラン
ジスタによる第 1 のインバータ回路と、

30

前記第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第
1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを有す
る

ことを特徴とする表示装置の駆動回路。

【請求項 8】

マトリクス状に画素を配置してなる表示装置において、

ラッチ回路によるシフトレジスタ回路により駆動信号を順次転送して前記画素の駆動信
号を生成し、

前記ラッチ回路は、

全てのトランジスタが同一チャンネルのトランジスタにより形成され、

40

クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端
に入力信号を入力する第 1 の直列回路と、

前記第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトラン
ジスタによる第 1 のインバータ回路と、

前記第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を前記第
1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを有す
る

ことを特徴とする表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、クロックインバータ回路、ラッチ回路、シフトレジスタ回路、表示装置の駆動回路、表示装置に関し、例えば有機EL (Electro Luminescence) 素子によるフラットディスプレイ装置に適用することができる。本発明は、相補的に動作を切り換える1組のトランジスタによるスイッチ回路により直列回路を形成すると共に、この直列回路の接続中点出力をインバータ回路に出力し、この直列回路の一端に入力信号を入力すると共に、この直列回路の接続中点出力に対応するインバータ回路による出力信号を他端に供給することにより、単チャンネルのトランジスタのみで動作することができるようにする。

【背景技術】

10

【0002】

従来、フラットディスプレイ装置においては、例えば特開平5 - 265411号公報に開示されているように、垂直駆動回路に設けたシフトレジスタ回路により順次駆動信号を転送して各画素の駆動信号を生成するようになされている。このようなシフトレジスタ回路は、例えば特開平5 - 241201号公報に開示されているように、クロックを基準にして入力信号をラッチして出力するラッチ回路を直列接続して形成されるようになされている。

【0003】

図8は、このラッチ回路を示す接続図である。このラッチ回路1は、PチャンネルMOSトランジスタTR1、TR2、NチャンネルMOSトランジスタTR3、TR4を電源Vcc及びアース間に直列接続して、図9(A)に示すように、電源Vcc及びアース側のトランジスタTR1及びTR4に前段から入力信号INが入力され、また内側のトランジスタTR2及びTR3にそれぞれクロックCK及びクロックCKの反転信号によるクロックCKXが入力され(図9(B)及び(C))、これによりこれらトランジスタTR1~TR4によりクロックCKを基準にして動作するクロックドインバータ回路2が形成される。

20

【0004】

また同様に、PチャンネルMOSトランジスタTR5、TR6、NチャンネルMOSトランジスタTR7、TR8を電源Vcc及びアース間に直列接続して、トランジスタTR1~TR4とは逆に、内側のトランジスタTR6及びTR7にそれぞれクロックCKX及びクロックCKが入力され、これによりこれらトランジスタTR5~TR8によりクロックCKとは逆極性のクロックCKXを基準にして動作するクロックドインバータ回路3が形成される。

30

【0005】

ラッチ回路1は、PチャンネルMOSトランジスタTR9及びNチャンネルMOSトランジスタTR10を電源Vcc及びアース間に直列接続してなるインバータ回路4に、これらクロックドインバータ回路2及び3の出力が入力され、またこのインバータ回路4の出力がクロックドインバータ回路3の入力に帰還され、これらにより入力信号INをクロックCKによりラッチするラッチ回路が形成され、このインバータ回路4の出力OUT(図9(D))を次段に出力するようになされている。

40

【0006】

シフトレジスタ回路は、このようなクロックCKの立ち上がりにより入力信号INをラッチして次段に出力するラッチ回路1と、このラッチ回路1に対してクロックCK及びCKXの接続を入れ換えてなるラッチ回路とが交互に直列に接続されて形成され、また最前段のラッチ回路には、タイミングジェネレータにより生成された駆動信号が供給され、これによりこの駆動信号を順次転送して各画素の駆動信号を生成するようになされている。

【0007】

このようなシフトレジスタ回路を構成するラッチ回路は、ガラス基板上に形成可能なアモルファスシリコンによるTF T (Thin Film Transistor) によっては作成困難な欠点がある。すなわちアモルファスシリコンによるTF T (Thin Film Transistor) は、単結晶

50

シリコン、ポリシリコンによるトランジスタに比して、移動度が1/100程度と小さく、またPチャンネルのトランジスタを作成することができない欠点がある。

【0008】

このためアモルファスシリコンを用いて画素を構成するフラットディスプレイ装置においては、この画素を配置してなる画素部をガラス基板上に形成し、単結晶シリコン、ポリシリコン等を用いて別工程で作成した駆動回路をこのガラス基板上の画素部に接続して形成されるようになされている。

【0009】

すなわち図10に示すように、この種のフラットディスプレイ装置11においては、画素をマトリックス状に配置してなる画素部12がガラス基板13上に形成される。また単結晶シリコン、ポリシリコン等を用いて、別工程により、この画素部12の各画素をライン単位で順次駆動する垂直駆動回路14A及び14Bによる集積回路がシフトレジスタにより形成され、この垂直駆動回路14A及び14Bの集積回路が、各画素の階調を設定する水平駆動回路15の集積回路と共にこのガラス基板13の周囲に配置されて形成されるようになされている。

10

【0010】

ところでこのようなシフトレジスタ回路による駆動回路をアモルファスシリコンによるTFTにより作成することができれば、この種の駆動回路と各画素とをガラス基板上に一体に作成することができ、その分、この種のフラットディスプレイ装置の製造工程を簡略化することができると考えられる。このためにはアモルファスシリコンによるTFTにより作成することが可能な単チャンネルのトランジスタのみで動作するクロックインバータ回路、ラッチ回路が必要になる。

20

【特許文献1】特開平5-265411号公報

【特許文献2】特開平5-241201号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は以上の点を考慮してなされたもので、単チャンネルのトランジスタのみで動作するクロックインバータ回路、ラッチ回路、このラッチ回路によるシフトレジスタ回路、表示装置の駆動回路、表示装置を提案しようとするものである。

30

【課題を解決するための手段】

【0012】

かかる課題を解決するため請求項1の発明においては、全てのトランジスタが同一チャンネルのトランジスタであるクロックインバータ回路に適用して、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号を入力する第1の直列回路と、第1の直列回路の接続中点を一方のトランジスタのゲートに接続する1組のトランジスタによる第1のインバータ回路と、第1の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第1の直列回路の他端に入力する1組のトランジスタによる第2のインバータ回路とを備えるようにする。

40

【0013】

また請求項2の発明においては、全てのトランジスタが同一チャンネルのトランジスタであるラッチ回路に適用して、クロックにより相補的に動作を切り換える1組のトランジスタを直列に接続して、一端に入力信号を入力する第1の直列回路と、第1の直列回路の接続中点を一方のトランジスタのゲートに接続する1組のトランジスタによる第1のインバータ回路と、第1の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第1の直列回路の他端に入力する1組のトランジスタによる第2のインバータ回路とを備えるようにする。

【0014】

また請求項6の発明においては、ラッチ回路により順次駆動信号を転送するシフトレジスタ回路に適用して、ラッチ回路は、全てのトランジスタが同一チャンネルのトランジス

50

タにより形成され、クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に入力信号を入力する第 1 の直列回路と、第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第 1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを有するようにする。

【0015】

また請求項 7 の発明においては、マトリックス状に画素を配置してなる表示装置の駆動回路に適用して、ラッチ回路によるシフトレジスタ回路により順次駆動信号を転送して画素の駆動信号を生成し、ラッチ回路は、全てのトランジスタが同一チャンネルのトランジスタにより形成され、クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に入力信号を入力する第 1 の直列回路と、第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第 1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを有するようにする。

10

【0016】

また請求項 8 の発明においては、マトリックス状に画素を配置してなる表示装置に適用して、ラッチ回路によるシフトレジスタ回路により駆動信号を順次転送して画素の駆動信号を生成し、ラッチ回路は、全てのトランジスタが同一チャンネルのトランジスタにより形成され、クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に入力信号を入力する第 1 の直列回路と、第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第 1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを有するようにする。

20

【0017】

請求項 1 の構成により、クロックにより相補的に動作を切り換える 1 組のトランジスタを直列に接続して、一端に入力信号を入力する第 1 の直列回路と、第 1 の直列回路の接続中点を一方のトランジスタのゲートに接続する 1 組のトランジスタによる第 1 のインバータ回路と、第 1 の直列回路の接続中点出力に対応して信号レベルが変化する出力信号を第 1 の直列回路の他端に入力する 1 組のトランジスタによる第 2 のインバータ回路とを備えるようにすれば、例えば全てのトランジスタを N チャンネル型により形成して、一端側のスイッチ回路のオン動作により第 1 の直列回路の出力を入力信号に対応するように設定した後、他端側のスイッチ回路のオン動作により、この第 1 の直列回路の出力を維持するように第 1 の直列回路の出力を設定し得、これらにより一端側のスイッチ回路のオン状態により取り込んだ入力信号の信号レベルを、引き続いて保持することができる。これにより例えば全てのトランジスタを N チャンネル型により形成してクロックドインバータ回路を形成することができる。

30

【0018】

これにより請求項 2、請求項 3 の構成によれば、例えば全てのトランジスタを N チャンネル型により形成してラッチ回路、シフトレジスタ回路を形成することができ、また請求項 7 の構成によれば、このようなシフトレジスタ回路による表示装置の駆動回路を形成し得、また請求項 8 の構成によれば、このようなシフトレジスタ回路による表示装置を提供することができる。

40

【発明の効果】

【0019】

本発明によれば、単チャンネルのトランジスタのみで動作するクロックドインバータ回路、ラッチ回路、このラッチ回路によるシフトレジスタ回路、このシフトレジスタ回路による表示装置の駆動回路、表示装置を得ることができる。

【発明を実施するための最良の形態】

50

【0020】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例1】

【0021】

(1) 実施例の構成

図2は、本発明の実施例に係るフラットディスプレイ装置を示すブロック図である。このフラットディスプレイ装置21は、有機EL素子による画素をマトリクス状に配置してなる画素部22、この画素部22に水平方向に延長するように設けられた走査線を介して画素部22に駆動信号を出力する垂直駆動回路23A、23B、この画素部22に垂直方向に延長するように設けられた信号線を介して各画素の階調を設定する水平駆動回路24がアモルファスシリコンによるNチャンネル側のTFTによりガラス基板25上に一体に作成されるようになされている。このフラットディスプレイ装置21は、垂直駆動回路23A、23B、水平駆動回路24の動作に必要な各種駆動信号、クロック等をタイミングジェネレータ(TG)26により生成してこのガラス基板25上の垂直駆動回路23A、23B、水平駆動回路24に供給し、また各画素の階調を示す階調データD1を水平駆動回路24に供給し、これにより所望の画像を表示するようになされている。

10

【0022】

図1は、垂直駆動回路23Aを示す接続図である。垂直駆動回路23Aは、タイミングジェネレータ26から出力される駆動信号INを順次ラッチ回路31A、31B、31A、...により画素部22の垂直方向に転送し、各ラッチ回路31A、31B、31A、...の出力信号をそれぞれバッファ回路32により画素部22の各走査線に出力する。なお垂直駆動回路23Bにおいては、この転送に供するタイミングジェネレータ26から出力される駆動信号が異なる点を除いて、垂直駆動回路23Aと同一に構成されることにより、以下においては垂直駆動回路23Bについての説明は省略する。

20

【0023】

この垂直駆動回路23Aは、デューティ比がほぼ50[%]であるクロックCKにより入力信号をラッチするラッチ回路31Aと、このクロックCKの反転信号によるクロックCKXにより入力信号をラッチするラッチ回路31Bとを交互に直列接続して形成され、先頭段のラッチ回路31Aにタイミングジェネレータ26で生成される駆動信号INが入力される。

30

【0024】

ここでクロックCKにより入力信号をラッチするラッチ回路31Aは、トランジスタTR1及びTR2のゲートをそれぞれクロックCK及びCKXにより駆動することにより、それぞれトランジスタTR1及びTR2により相補的に動作を切り換えてオンオフ動作するスイッチ回路を形成し、このスイッチ回路を直列に接続してスイッチ回路による直列回路が形成される。先頭段のラッチ回路31Aは、この直列回路の一端、クロックCKによりオン動作するトランジスタTR1側に、タイミングジェネレータ26から出力される駆動信号INを入力し、先頭段以外のラッチ回路31Aにおいては、この一端に、前段のラッチ回路31Bの出力信号が入力される。またラッチ回路31Aは、この直列回路の他端に、この直列回路の接続中点出力に対応して信号レベルが変化する出力信号を入力する。この実施例においては、この出力信号に、後述する第2のインバータ回路34の出力信号が適用される。

40

【0025】

すなわちラッチ回路31Aにおいては、電源Vcc1及びアース間に、トランジスタTR3及びTR4を直列接続して第1のインバータ回路33が形成され、また同様のトランジスタTR5及びTR6を直列接続して第2のインバータ回路34が形成される。これら第1及び第2のインバータ回路33、34は、電源電圧Vcc1側のトランジスタTR4及びTR6のゲートがそれぞれ基準電圧Vcc2に接続され、前段側のインバータ回路33においては、アース側トランジスタTR3のゲートがトランジスタTR1及びTR2の接続中点に接続され、また後段側のインバータ34においては、同様に、アース側トラン

50

ジスタTR5のゲートに前段のトランジスタTR3及びTR4によるインバータ回路33の出力が入力されるようになされ、この第2のインバータ回路34の出力がこのラッチ回路31Aの出力OUTに設定されるようになされている。

【0026】

これによりラッチ回路31Aにおいては、図3及び図4に示すように、所定のタイミングで信号レベルが立ち上がる入力信号IN(図3(A))を入力して、クロックCK及びCKXの立ち上がり及び立ち下がりにより(図3(B)及び(C))、トランジスタTR1によるスイッチ回路を介してトランジスタTR3、TR4によるインバータ回路33、トランジスタTR5、TR6によるインバータ回路34による直列回路に入力信号INを与え、入力信号INの立ち上がりに対応して出力信号OUT(図3(C))を立ち上げるようになされている。

10

【0027】

またこのようにして出力信号OUTを立ち上げた後において、クロックCK及びCKXがそれぞれ立ち下がり及び立ち上がると、図5に示すように、トランジスタTR1及びTR2によるスイッチ回路がそれぞれオフ状態及びオン状態に切り換わり、この場合、このオン状態に切り換わった側に入力される第2のインバータ回路34の出力信号においては、ゲート容量によりトランジスタTR1がオフ状態に切り換わった後も、Hレベルに保持され、これによりこのHレベルに保持されてなる第2のインバータ回路34の出力信号がいち早くトランジスタTR2によるスイッチ回路を介してインバータ回路33、34による直列回路に入力され、これによりクロックCKにより取り込んだ入力信号INの信号レベルが保持される。

20

【0028】

しかしてラッチ回路31Aにおいては、入力信号INが立ち下がった後においては、同様にクロックCK及びCKXの立ち上がり及び立ち下がりによりこの入力信号INの信号レベルが取り込まれて保持されることになる。

【0029】

これに対してクロックCKXを基準にして動作するラッチ回路31Bにおいては、トランジスタTR1及びTR2によるスイッチ回路をそれぞれ駆動するクロックが、ラッチ回路31Aの場合とは逆に、クロックCKX及びCKに設定され、これにより前段のラッチ回路31Aのラッチ結果をクロックCKの1/2周期だけ遅延させて出力するようになされている。

30

【0030】

これらにより垂直駆動回路23Aにおいては、シフトレジスタ回路を構成し、順次、タイミングジェネレータ26から出力される駆動信号INをクロックCKの1/2周期だけ遅延させて出力するようになされている。

【0031】

このようにしてインバータ33、34の直列回路により入力信号INを遅延させて出力するにつき、このラッチ回路31Aにおいては、これらインバータ33、34の出力において、出力信号を十分な信号レベルに立ち下げることができるように、アース側のトランジスタTR2、TR4が電源Vcc側のトランジスタTR4、TR5に比して大きな形状により作成されて、オン抵抗が小さくなるようになされている。

40

【0032】

また電源Vcc側トランジスタTR4、TR6のしきい値電圧の分、電源Vccの電圧に比してインバータ回路33、34の基準電圧Vcc2が高い電圧に設定され、これによりインバータ回路33、34において、出力をカットオフしないようになされている。

【0033】

これらによりこの実施例において、トランジスタTR1及びTR2は、相補的にオン状態に切り換わる1組のトランジスタによる第1の直列回路を構成し、またトランジスタTR3、TR4は、この第1の直列回路の接続中点を一方のトランジスタのゲートに接続する1組のトランジスタによる第1のインバータ回路を構成するようになされている。また

50

トランジスタTR5、TR6は、入力信号INに対して、遅延して信号レベルが切り換わる入力信号の同相信号を出力する1対のトランジスタによる第2のインバータ回路を構成し、この実施例では、第1の直列回路の一端に、入力信号INを入力し、第1の直列回路の他端に同相信号を入力するようになされている。

【0034】**(2) 実施例の動作**

以上の構成において、このフラットディスプレイ装置21では(図2)、垂直駆動回路23A、23Bから出力される駆動信号により画素部22に設けられた画素がライン単位で駆動され、水平駆動回路24から各信号線に出力される駆動信号により各画素の階調が順次設定され、これにより所望の画像が表示される。フラットディスプレイ装置21では(図1)、このような垂直駆動回路23A、23Bによる画素の駆動が、タイミングジェネレータ26から出力される駆動信号INをシフトレジスタにより画素部22の垂直方向に順次転送し、シフトレジスタの各段の出力信号を画素部22の各走査線にそれぞれ出力して実行される。フラットディスプレイ装置21では、このシフトレジスタがラッチ回路31A、31B、31A、31B...の直列回路により形成される。

10

【0035】

このラッチ回路31Aにおいては、タイミングジェネレータ26から出力される駆動信号IN又は前段のラッチ回路31Bから出力される駆動信号が、相補的にオンオフ動作するトランジスタTR1、TR2のスイッチ回路による第1の直列回路に供給され、この第1の直列回路の接続中点出力が、第1及び第2のインバータ回路33、34を介して次段に出力される。このラッチ回路31Aにおいては、この第1の直列回路のトランジスタTR1を介して入力信号INが入力され、これによりラッチ回路31Aの出力OUTにおいては、このトランジスタTR1をオンオフ制御するクロックCKの立ち上がりにより、インバータ33、34の動作時間だけ遅延して入力信号INの信号レベルに設定され、これにより入力信号INの信号レベルがクロックCKを基準にして取得される。

20

【0036】

またこのクロックCKが立ち下ると、このクロックCKの反転信号であるクロックCKXによりトランジスタTR2がオン状態に切り換わり、インバータ回路33、34の動作時間だけ遅延してなる出力信号OUTがこのトランジスタTR2を介して第1の直列回路に入力され、これによりクロックCKの立ち上がりにより設定された出力信号OUTの信号レベルが維持される。

30

【0037】

これによりこのラッチ回路31Aにおいては、Nチャンネル型のトランジスタTR1～TR6により入力信号INをラッチして出力することができる。

【0038】

シフトレジスタ回路においては、このようなクロックCKにより入力信号をラッチするラッチ回路31Aと、このラッチ回路31Aに対してクロックCK及びCKXを入れ換えて、クロックCKの反転信号であるクロックCKXにより入力信号をラッチするラッチ回路31Bとが交互に直列接続して形成され、これによりクロックCKの1/2周期によりタイミングジェネレータ26から出力される駆動信号を順次転送し、これらによりこのシフトレジスタ回路においても、全てのトランジスタをNチャンネル型により形成して駆動信号を生成することができる。

40

【0039】

これによりこのフラットディスプレイ装置21、このフラットディスプレイ装置21に係る駆動回路である垂直駆動回路を、アモルファスシリコンによるTFTにより形成し得、駆動回路と画素部とを一体にガラス基板上に形成して簡易な工程によりフラットディスプレイ装置を作成することができる。

【0040】**(3) 実施例の効果**

以上の構成によれば、相補的に動作を切り換える1組のトランジスタによるスイッチ回

50

路により直列回路を形成すると共に、この直列回路の接続中点出力をインバータ回路に出力し、この直列回路の一端に入力信号を入力すると共に、この直列回路の接続中点出力に対応するインバータ回路による出力信号を他端に供給することにより、単チャンネルのトランジスタのみで動作するラッチ回路、このラッチ回路によるシフトレジスタ回路、表示装置の駆動回路、表示装置を得ることができる。

【0041】

また直列回路の接続中点出力を入力する第1のインバータ回路に対して、この第1のインバータ回路の出力信号を一方のトランジスタのゲートに inputs する第2のインバータ回路を設け、この第2のインバータ回路の出力信号を直列回路の他端に inputs することにより、入力信号に対して遅延してなる信号を簡易な構成により作成することができる。

10

【実施例2】

【0042】

図6は、本発明の実施例2に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。この垂直駆動回路40A、40Bにおいては、実施例1について上述したラッチ回路31A、31Bに代えて、ラッチ回路41A、41Bが適用される。なおこの実施例においては、このラッチ回路41A、41Bの構成が異なる点を除いて、実施例1について上述したフラットディスプレイ装置21と同一に構成されることにより、以下においては、重複した説明は省略する。

【0043】

ここで実施例1について上述したラッチ回路31A、31Bにおいては、十分なダイナミックレンジによる出力信号OUTを確保するためには、各インバータ回路33、34のアース側トランジスタTR3、TR5を大型に作成してオン抵抗を十分に小さくする必要があり。またこのアース側トランジスタTR3、TR5のオン動作により電源Vccからアースに向かって電流が流れることにより、消費電力が大きくなる。また図3(E)に示すように、出力信号OUTの立ち上がり、立ち下がりが鈍ってしまう欠点もある。この実施例においては、これら実施例1に係る欠点を解消する。

20

【0044】

すなわちこの実施例において、ラッチ回路41Aは、実施例1に係るラッチ回路31Aと同様に、入力信号IN又は前段の出力信号を一端に inputs し、第2のインバータ回路34の出力信号を他端に inputs するトランジスタTR1、TR2による第1の直列回路が設けられ、またこの直列回路の接続中点出力を入力するトランジスタTR3、TR4によるインバータ回路33、このインバータ回路33の出力信号を入力するトランジスタTR5、TR6による第2のインバータ回路34が設けられる。

30

【0045】

ラッチ回路41Aは、これら第1の直列回路、第1のインバータ回路33、第2のインバータ回路34による第1の系統に対して、これら第1の直列回路、第1のインバータ回路33、第2のインバータ回路34に対応する第1の直列回路、第1のインバータ回路33A、第2のインバータ回路34Aによる第2の系統が設けられる。

【0046】

ここで第2の系統においては、第1の系統と同様に、クロックCK、CKXにより相補的にオンオフ動作して動作を切り換えるトランジスタTR7、TR8によるスイッチ回路により第1の直列回路が形成され、第1のインバータ回路33Aにおいては、トランジスタTR9、TR10を直列に接続して、トランジスタTR7、TR8による直列回路の接続中点出力をアース側トランジスタTR9のゲートに inputs するようになされている。また第2のインバータ回路34Aにおいては、トランジスタTR9、TR10を直列に接続して、第1のインバータ回路33Aの出力信号をアース側トランジスタTR11のゲートに inputs し、さらにこの第2のインバータ回路34Aの出力信号がトランジスタTR7、TR8による直列回路の他端に帰還されるようになされている。

40

【0047】

第2の系統においては、このように第1の系統に対応するように形成されて、トランジ

50

スタ T R 7、T R 8 による直列回路のクロック C K 側の一端に、第 1 の系統に入力される入力信号 I N に対して、極性を反転してなる入力信号 I N X が入力され、これにより第 1 の系統に対応する各部で、第 1 の系統とは逆極性の信号を生成するようになされている。

【 0 0 4 8 】

ラッチ回路 4 1 A は、この逆極性の信号により第 1 の系統における第 1 及び第 2 のインバータ回路 3 3、3 4 の電源側トランジスタ T R 4、T R 6 をオンオフ制御し、これによりこれらインバータ回路 3 3、3 4 において、それぞれ電源側トランジスタ T R 4、T R 6 とアース側トランジスタ T R 3、T R 5 とを相補的にオンオフ動作させ、これによりこれらインバータ回路 3 3、3 4 の出力信号における立ち上がり、立ち下りの鈍りを防止すると共に消費電力を低減し、さらにはインバータ回路 3 3、3 4 のトランジスタ T R 3 ~ T R 6 を小型に形成しても十分なダイナミックレンジにより出力信号 O U T を出力できるようになされている。

10

【 0 0 4 9 】

またラッチ回路 4 1 A は、第 2 の系統における第 1 及び第 2 のインバータ回路 3 3 A、3 4 A についても、同様に、第 1 の系統における逆極性の信号により電源側トランジスタ T R 1 0、T R 1 2 をオンオフ制御し、これによりこれらインバータ回路 3 3 A、3 4 A においても、それぞれ電源側トランジスタ T R 1 0、T R 1 2 とアース側トランジスタ T R 9、T R 1 1 とを相補的にオンオフ動作させ、これによりこれらインバータ回路 3 3 A、3 4 A の出力信号における立ち上がり、立ち下りの鈍りを防止すると共に消費電力を低減し、さらにはインバータ回路 3 3 A、3 4 A のトランジスタ T R 9 ~ T R 1 2 を小型

20

【 0 0 5 0 】

すなわちラッチ回路 4 1 A において、第 1 の系統に係る第 1 のインバータ回路 3 3 においては、電源側トランジスタ T R 4 のベースに、第 2 の系統のトランジスタ T R 7、T R 8 の接続中点出力が入力され、またこの第 1 の系統に係る第 2 のインバータ回路 3 4 においては、電源側トランジスタ T R 6 のベースに、第 2 の系統の第 1 のインバータ回路 3 4 A の出力信号が入力される。また同様に、第 2 の系統に係る第 1 のインバータ回路 3 3 A においては、電源側トランジスタ T R 1 0 のベースに、第 1 の系統のトランジスタ T R 1、T R 2 の接続中点出力が入力され、またこの第 2 の系統に係る第 2 のインバータ回路 3 4 A においては、電源側トランジスタ T R 1 2 のベースに、第 1 の系統の第 1 のインバータ回路 3 4 の出力信号が入力される。

30

【 0 0 5 1 】

これらによりこのラッチ回路 4 1 A においては、各トランジスタ T R 1 ~ T R 1 2 が、ほぼ同一の大きさにより小型に形成されるようになされている。なお入力信号 I N の反転信号 I N X は、タイミングジェネレータ 2 6 により生成されるようになされている。

【 0 0 5 2 】

またラッチ回路 4 1 A は、これら第 1 及び第 2 の系統による出力信号を次段のラッチ回路 4 1 B に出し、この次段のラッチ回路 4 1 B においては、クロック C K により入力信号をラッチするラッチ回路 4 1 A に対して、クロック C K 及び C K X が入れ換えられて形成されるようになされている。

40

【 0 0 5 3 】

これらによりこの実施例においては、これらラッチ回路 4 1 A、4 1 B、4 1 A、... により順次クロック C K の 1 / 2 周期づつ駆動信号 I N を遅延させて転送し、各走査線にバッファ回路 3 2 を介してこの駆動信号を出力するようになされている。

【 0 0 5 4 】

図 6 の構成によれば、第 1 の系統に対応する第 2 の系統を形成して第 1 の系統と第 2 の系統とで逆極性の信号を生成し、この逆極性の信号により第 1 及び第 2 の系統におけるインバータ回路の電源側トランジスタをオンオフ制御することにより、消費電力を低減して出力信号の遷移を改善し、小型のトランジスタにより形成して、実施例 1 と同様の効果を

50

得ることができる。

【実施例 3】

【0055】

図 7 は、本発明の実施例 3 に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。この垂直駆動回路 50 A、50 B においては、実施例 1 について上述したラッチ回路 31 A、31 B に代えて、ラッチ回路 51 A、51 B が適用される。なおこの実施例においては、このラッチ回路 51 A、51 B に係る構成が異なる点を除いて、実施例 1 について上述したフラットディスプレイ装置 21 と同一に構成されることにより、以下においては、重複した説明は省略する。

【0056】

ここでこのラッチ回路 51 A は、実施例 1 に係るラッチ回路 31 A と同様に、入力信号 IN 又は前段の出力信号を一端に入力するトランジスタ TR 1、TR 2 による第 1 の直列回路が設けられ、この第 1 の直列回路の接続中点出力を入力するトランジスタ TR 3、TR 4 によるインバータ回路 33 が設けられる。

【0057】

さらにラッチ回路 51 A は、第 1 の直列回路と同様に、クロック CK、CK X によりオンオフ動作して相補的に動作を切り換えるトランジスタ TR 5、TR 6 のスイッチ回路により第 2 の直列回路が形成され、この第 2 の直列回路のクロック CK 側端に、入力信号 IN の反転信号 IN X 又は前段の出力信号 OUT の反転信号が入力される。またトランジスタ TR 7、TR 8 によりインバータ回路 33 B が形成され、このインバータ回路 33 B のアース側トランジスタ TR 7 に第 2 の直列回路による接続中点出力が入力されるようになされている。

【0058】

これによりラッチ回路 51 A は、トランジスタ TR 1、TR 2 による第 1 の直列回路、インバータ回路 33 による系統に対して、トランジスタ TR 5、TR 6 による第 2 の直列回路、インバータ 33 B により、逆極性の対応する信号を生成するようになされている。また第 1 の直列回路の接続中点出力に対応する出力信号を第 2 の直列回路に係るインバータ回路 33 B により生成し、第 2 の直列回路の接続中点出力に対応する出力信号を第 1 の直列回路に係るインバータ回路 33 により生成するようになされている。

【0059】

これらによりラッチ回路 51 A は、インバータ回路 33 B の出力信号を第 1 の直列回路の他端に入力し、またインバータ回路 33 の出力信号を第 2 の直列回路の他端に入力する。またインバータ回路 33 の電源側トランジスタ TR 4 に第 2 の直列回路の接続中点出力を入力し、インバータ回路 33 B の電源側トランジスタ TR 8 に第 1 の直列回路の接続中点出力を入力するようになされている。またこれらインバータ回路 33、33 B の出力信号を次段に出力するようになされている。

【0060】

またクロック CK X に係るラッチ回路 51 B においては、クロック CK、CK X が入れ換えられて、このクロック CK に係るラッチ回路 51 A と同一に構成される。また垂直駆動回路 50 A、50 B は、このラッチ回路 51 A、51 B の構成に対応して、各バッファ回路 32 への入力が、クロック CK によるラッチ回路 51 A とクロック CK X によるラッチ回路 51 B とで、切り換えられるようになされている。

【0061】

この実施例においては、ラッチ回路の構成を簡略化して実施例 2 と同様の効果を得ることができる。

【実施例 4】

【0062】

なお上述の実施例においては、入力信号に対して同相の出力信号を出力することを目的に垂直駆動回路であるシフトレジスタを形成する場合について述べたが、本発明はこれに限らず、例えばバッファ回路をインバータ回路により構成して入力信号に対して逆相によ

10

20

30

40

50

り出力信号を出力するようにしてもよい。なおこの場合、実施例 1 の構成においては、第 1 のインバータ回路 3 3 の出力信号をバッファ回路に出力するようにして構成し得、また実施例 2 の構成においては、第 2 の系統側の出力信号をバッファ回路に出力するようにして構成し得、さらに実施例 3 の構成においては、ラッチ回路 5 1 A 及び 5 1 B において、それぞれインバータ回路 3 3、3 3 B 側の出力信号をバッファ回路に出力するようにして構成することができる。しかしてこの場合、各実施例の構成においては、クロック C K により入力信号 I N を取得して反転信号を出力するクロックドインバータ回路の直列接続によりシフトレジスタ回路を構成することになる。

【 0 0 6 3 】

また上述の実施例においては、タイミングジェネレータから出力される駆動信号と同極性により各走査線を駆動する場合について述べたが、本発明はこれに限らず、逆極性により駆動する場合にも広く適用することができる。

【 0 0 6 4 】

また上述の実施例においては、インバータ回路において、前段の出力をアース側のトランジスタに入力する場合について述べたが、本発明はこれに限らず、これとは逆に電源側のトランジスタに入力するようにしてもよい。

【 0 0 6 5 】

また上述の実施例においては、Nチャンネル型のトランジスタによりラッチ回路、クロックインバータ回路を構成する場合について述べたが、本発明はこれに限らず、Pチャンネル型により作成する場合等、同一の極性のトランジスタによりラッチ回路、クロックインバータ回路を構成する場合に広く適用することができる。なおこの場合、アモルファス工程により作成困難となる場合もあるが、同一の極性のトランジスタにより作成できることにより、その分、工程を簡略化することができる。

【 0 0 6 6 】

また上述の実施例においては、ガラス基板上に画素部と一体に駆動回路を作成する場合について述べたが、本発明はこれに限らず、別工程により作成する場合、さらには単結晶シリコン、ポリシリコンにより作成する場合にも広く適用することができる。なおこの場合、同一の極性のトランジスタにより作成できることにより、その分、工程を簡略化することができる。

【 0 0 6 7 】

また上述の実施例においては、本発明に係るラッチ回路、クロックインバータ回路をフラットディスプレイ装置の駆動回路に適用する場合について述べたが、本発明はこれに限らず、種々の駆動回路、論理回路に広く適用することができる。

【 0 0 6 8 】

また上述の実施例においては、本発明を有機 E L 素子によるフラットディスプレイ装置に適用した場合について述べたが、本発明はこれに限らず、液晶表示装置等、種々のディスプレイ装置に広く適用することができる。

【 産業上の利用可能性 】

【 0 0 6 9 】

本発明は、例えば有機 E L 素子によるフラットディスプレイ装置に適用することができる。

【 図面の簡単な説明 】

【 0 0 7 0 】

【 図 1 】 本発明の実施例 1 に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。

【 図 2 】 本発明の実施例 1 に係るフラットディスプレイ装置を示すブロック図である。

【 図 3 】 図 1 の垂直駆動回路におけるラッチ回路の動作の説明に供するタイムチャートである。

【 図 4 】 図 1 の垂直駆動回路におけるラッチ回路の動作の説明に供する接続図である。

【 図 5 】 図 4 の続きの動作の説明に供する接続図である。

10

20

30

40

50

【図6】本発明の実施例2に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。

【図7】本発明の実施例3に係るフラットディスプレイ装置の垂直駆動回路を示す接続図である。

【図8】従来のフラットディスプレイ装置の垂直駆動回路に適用されるクロックインバータ回路を示す接続図である。

【図9】図8のクロックインバータ回路の動作の説明に供するタイムチャートである。

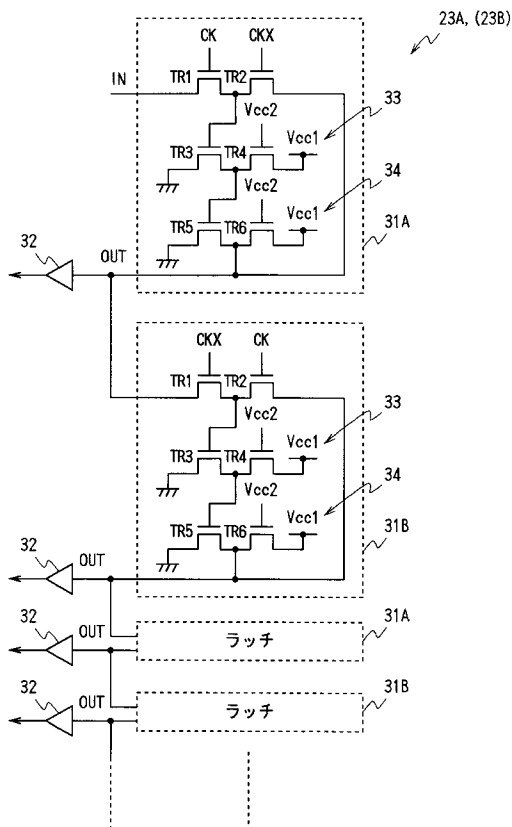
【図10】従来のフラットディスプレイ装置の構成を示すブロック図である。

【符号の説明】

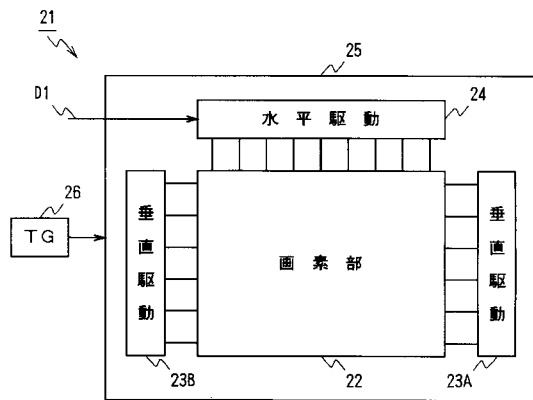
【0071】

1、31A、31B、41A、41B、51A、51B...ラッチ回路、2、3...クロックインバータ回路、4、33、33A、33B、34、34A...インバータ回路、11、21...フラットディスプレイ装置、12、22...画素部、13、25...ガラス基板、14A、14B、23A、23B、40A、40B、50A、50B...垂直駆動回路、15、24...水平駆動回路、26...タイミングジェネレータ、32...バッファ回路、TR1~TR12...トランジスタ

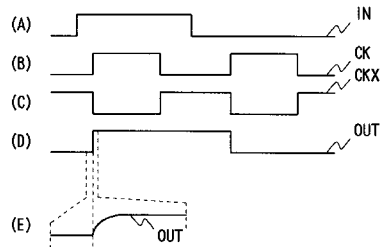
【図1】



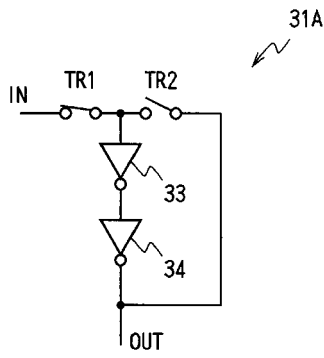
【図2】



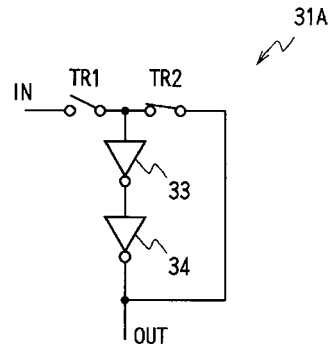
【図3】



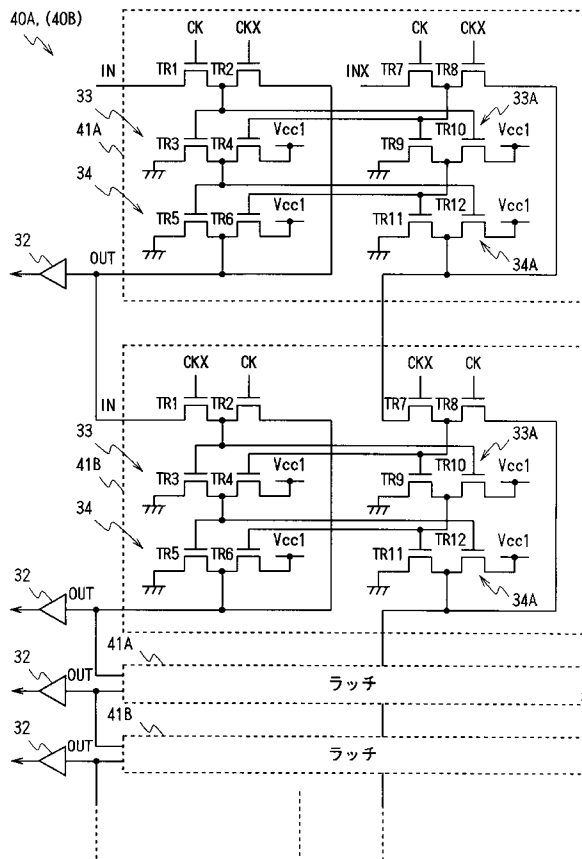
【 図 4 】



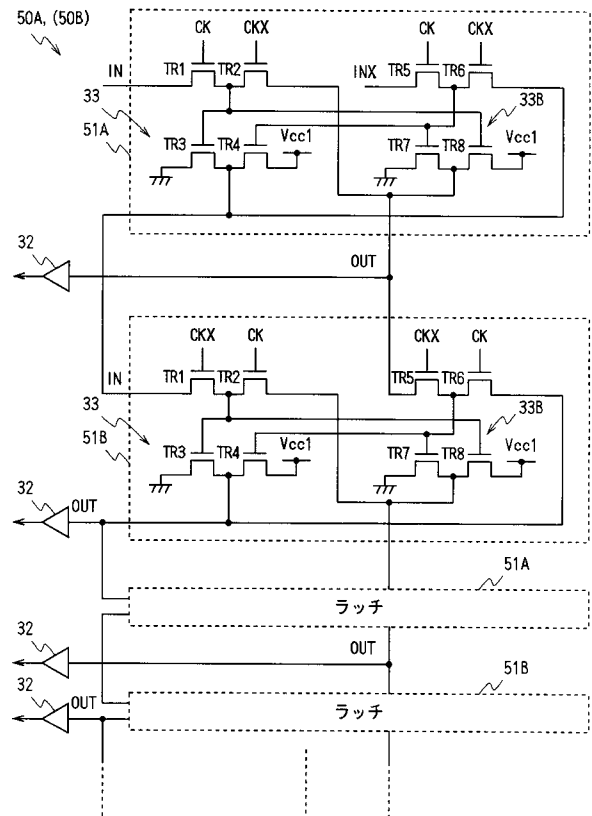
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 5 B 33/14	H 0 3 K 19/096	A
	H 0 5 B 33/14	A
	H 0 3 K 3/356	D

Fターム(参考) 5J056 AA03 BB51 CC14 CC18 DD13 DD27 EE06 EE07 EE11 FF01
FF06 FF08 FF09 GG13 KK01

