

(19)日本国特許庁 ( J P )

(12) 公開特許公報 ( A ) (11)特許出願公開番号

特開2003 - 280557

( P2003 - 280557A )

(43)公開日 平成15年10月2日 (2003.10.2)

(51) Int.Cl <sup>7</sup>	識別記号	F I	テ-マ-ト* ( 参考 )
G 0 9 F 9/30	338	G 0 9 F 9/30	338 3 K 0 0 7
	365		365 Z 5 C 0 8 0
G 0 9 G 3/20	624	G 0 9 G 3/20	624 B 5 C 0 9 4
	641		641 D 5 F 1 1 0
	642		642 C

審査請求 未請求 請求項の数 16 O L ( 全 29数 ) 最終頁に続く

(21)出願番号 特願2002 - 87223(P2002 - 87223)

(22)出願日 平成14年3月26日(2002.3.26)

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 犬飼 和隆

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 瀬尾 哲史

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

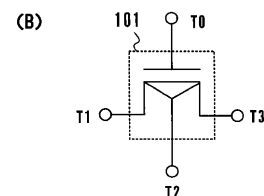
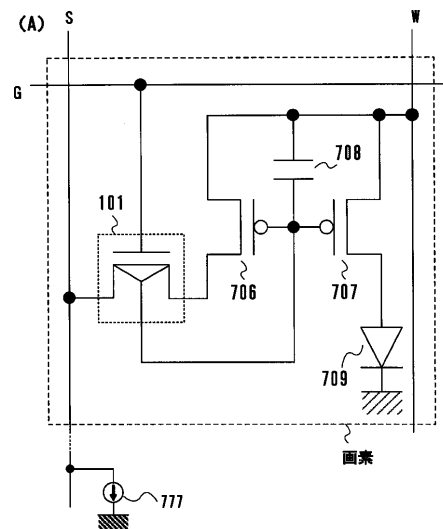
最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 E L 表示装置において E L 素子の劣化による輝度のばらつきが問題となっていた。

【解決手段】 本発明の表示装置では、 E L 素子の劣化による E L 素子を流れる電流の変化を抑制するために、電流制御型の画素を用いる。更に、 3 つのノードを同時に短絡または開放することができる素子を用いる。 E L 層を塗り分ける際の土手を必要としない構成とする。混合接合型の E L 素子を用いる。 E L 素子に定期的に逆バイアスの電圧を印加する。こうして、 E L 素子の劣化による輝度のばらつきを抑制した表示装置が提供される。



## 【特許請求の範囲】

【請求項1】複数の画素と、電流信号が入力される複数の信号線とを有し、

前記複数の画素それぞれは、マルチドレイン素子と、第1のTFTと、容量素子と、前記電流信号に応じた輝度で発光するEL素子と、前記EL素子と直列に接続された前記第2のTFTとを有し、

前記マルチドレイン素子は、絶縁表面上に半導体薄膜によって形成される活性層と、

前記活性層に接する絶縁膜と、

前記絶縁膜を介して前記活性層と重なるゲート電極とを有し、

前記活性層は、少なくとも1つのチャンネル形成領域と、 $n$  ( $n$ は、3以上の自然数)個の不純物領域とを有し、前記 $n$ 個の不純物領域のうち $m$  ( $m$ は、3以上 $n$ 以下の自然数)個の不純物領域それぞれは、異なる接続電極と接し、

前記 $n$ 個の不純物領域はそれぞれ、チャンネル形成領域と接し、

前記 $m$ 個の不純物領域のうち任意の2個の不純物領域は、前記活性層中を、前記チャンネル形成領域のみを介して接続される表示装置であって、

前記第2のTFTのゲート電極は、前記第1のTFTのゲート電極と接続され、

前記容量素子の一方の電極は、前記第1のTFTのゲート電極に接続され、

前記第1のTFTの第1の端子と、前記第1のTFTのゲート電極と、前記複数の信号線のうちの1本とは、それぞれ異なる前記接続電極に接続されていることを特徴とする表示装置。

【請求項2】複数の画素と、電流信号が入力される複数の信号線とを有し、

前記複数の画素それぞれは、マルチドレイン素子と、第1のTFTと、容量素子と、前記電流信号に応じた輝度で発光するEL素子と、前記EL素子と直列に接続された前記第2のTFTとを有し、

前記マルチドレイン素子は、絶縁表面上に半導体薄膜によって形成される活性層と、

前記活性層に接する絶縁膜と、

前記絶縁膜を介して前記活性層と重なるゲート電極とを有し、

前記活性層は、少なくとも1つのチャンネル形成領域と、 $n$  ( $n$ は、3以上の自然数)個の不純物領域とを有し、前記 $n$ 個の不純物領域のうち $m$  ( $m$ は、3以上 $n$ 以下の自然数)個の不純物領域それぞれは、異なる接続電極と接し、

前記 $n$ 個の不純物領域は、それぞれ、チャンネル形成領域との間に、前記不純物領域より不純物濃度の低い低濃度不純物領域を有し、

前記 $m$ 個の不純物領域のうち、任意の2個の不純物領域

は、前記活性層中を、前記チャンネル形成領域、及び前記低濃度不純物領域のみを介して接続される表示装置であって、

前記第2のTFTのゲート電極は、前記第1のTFTのゲート電極と接続され、

前記容量素子の一方の電極は、前記第1のTFTのゲート電極に接続され、

前記第1のTFTの第1の端子と、前記第1のTFTのゲート電極と、前記複数の信号線のうちの1本とは、それぞれ異なる前記接続電極に接続されていることを特徴とする表示装置。

【請求項3】請求項1または請求項2において、前記第2のTFTの第1の端子が前記EL素子の一方の電極に接続され、前記第1のTFTの第2の端子と前記第2のTFTの第2の端子とは、同じ配線に接続されていることを特徴とする表示装置。

【請求項4】請求項1乃至請求項3のいずれか一項において、

前記複数の画素は、第1の色で発光する第1の画素と、前記第1の色とは異なる色で発光する第2の画素とを有し、

前記第1の画素の前記EL素子の前記EL層の端部は、前記第2の画素の前記EL素子の前記EL層の端部と重ねて形成されていることを特徴とする表示装置。

【請求項5】複数の画素を有し、

前記複数の画素それぞれは、第1の電極と第2の電極と前記第1の電極と前記第2の電極間に挟まれたEL層とを有するEL素子と、

前記EL素子の前記第1の電極と前記第2の電極の間を流れる電流を一定に定める手段とを有する表示装置であって、

前記複数の画素は、第1の色で発光する第1の画素と、前記第1の色とは異なる色で発光する第2の画素とを有し、

前記第1の画素の前記EL素子の前記EL層の端部は、前記第2の画素の前記EL素子の前記EL層の端部と重ねて形成されていることを特徴とする表示装置。

【請求項6】複数の画素と、電流信号が入力される複数の信号線とを有し、

前記複数の画素それぞれは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたEL層とを有するEL素子と、

前記複数の信号線それぞれより前記複数の画素それぞれに入力される第1の電流を、電圧に変換する手段と、

前記電圧を保持する手段と、

前記電圧を第2の電流に変換し、前記EL素子の前記第1の電極と前記第2の電極間に流す手段とを有する表示装置であって、

前記複数の画素は、第1の色で発光する第1の画素と、前記第1の色とは異なる色で発光する第2の画素とを有

し、

前記第1の画素の前記E L素子の前記E L層の端部は、前記第2の画素の前記E L素子の前記E L層の端部と重ねて形成されていることを特徴とする表示装置。

【請求項7】請求項1乃至請求項6のいずれか一項において、

前記E L素子は、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたE L層とを有し、

前記E L層は、第1の機能材料と前記第1の機能材料とは別の機能を有する第2の機能材料の両方が添加された混合領域を有することを特徴とする表示装置。

【請求項8】複数の画素を有し、

前記複数の画素それぞれは、第1の電極と第2の電極と前記第1の電極と前記第2の電極間に挟まれたE L層とを有するE L素子と、

前記E L素子の前記第1の電極と前記第2の電極の間を流れる電流を一定に定める手段とを有する表示装置であって、

前記E L層は、第1の機能材料と前記第1の機能材料とは別の機能を有する第2の機能材料の両方が添加された混合領域を有することを特徴とする表示装置。

【請求項9】複数の画素と、電流信号が入力される複数の信号線とを有し、

前記複数の画素それぞれは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたE L層とを有するE L素子と、

前記複数の信号線それぞれより前記複数の画素それぞれに入力される第1の電流を、電圧に変換する手段と、前記電圧を保持する手段と、

前記電圧を第2の電流に変換し、前記E L素子の前記第1の電極と前記第2の電極間に流す手段とを有する表示装置であって、

前記E L層は、第1の機能材料と前記第1の機能材料とは別の機能を有する第2の機能材料の両方が添加された混合領域を有することを特徴とする表示装置。

【請求項10】請求項8または請求項9のいずれか一項において、

前記複数の画素は、第1の色で発光する第1の画素と、前記第1の色とは異なる色で発光する第2の画素とを有し、

前記第1の画素の前記E L素子の前記E L層の端部は、前記第2の画素の前記E L素子の前記E L層の端部と重ねて形成されていることを特徴とする表示装置。

【請求項11】請求項1乃至請求項10のいずれか一項において、

前記E L素子の前記第1の電極と前記第2の電極の一方は陽極で、もう一方は陰極であり、

前記E L素子の前記陽極の電位を前記E L素子の前記陰極の電位より低くする手段を有することを特徴とする表

\*示装置。

【請求項12】複数の画素を有し、

前記複数の画素それぞれは、第1の電極と第2の電極と前記第1の電極と前記第2の電極間に挟まれたE L層とを有するE L素子と、

前記E L素子の前記第1の電極と前記第2の電極の間を流れる電流を一定に定める手段とを有する表示装置であって、

前記E L素子の前記第1の電極と前記第2の電極の一方は陽極で、もう一方は陰極であり、

前記E L素子の前記陽極の電位を前記E L素子の前記陰極の電位より低くする手段を有することを特徴とする表示装置。

【請求項13】複数の画素と、電流信号が入力される複数の信号線とを有し、

前記複数の画素それぞれは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたE L層とを有するE L素子と、

前記複数の信号線それぞれより前記複数の画素それぞれに入力される第1の電流を、電圧に変換する手段と、

前記電圧を保持する手段と、

前記電圧を第2の電流に変換し、前記E L素子の前記第1の電極と前記第2の電極間に流す手段とを有する表示装置であって、

前記E L素子の前記第1の電極と前記第2の電極の一方は陽極で、もう一方は陰極であり、

前記E L素子の前記陽極の電位を前記E L素子の前記陰極の電位より低くする手段を有することを特徴とする表示装置。

【請求項14】請求項1乃至請求項13のいずれか一項において、

前記E L素子のE L層は、高分子材料、低分子材料または中分子材料の1つまたは複数であることを特徴とする表示装置。

【請求項15】請求項1乃至請求項14のいずれか一項において、

前記表示装置を用いることを特徴とする表示システム。

【請求項16】請求項1乃至請求項15のいずれか一項において、

前記表示装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画素毎に発光素子が設けられた表示装置に関する。特に、画素毎にトランジスタが設けられ、発光素子の発光を制御するアクティブマトリクス型の表示装置に関する。更に、表示装置を用いた電子機器に関する。

【0002】

【従来の技術】画素毎に発光素子及び発光素子の発光を制御するトランジスタを配置したアクティブマトリクス

型の表示装置が提案されている。特に、トランジスタとして、薄膜トランジスタ(以下、TFTと表記する)を用いたアクティブマトリクス型の表示装置が注目を集めている。

【0003】ここで発光素子とは、第1の電極と、第2の電極とを有し、第1の電極と第2の電極の間に流れる電流量によって輝度が変化する素子を示すものとする。発光素子として、エレクトロルミネッセンスを利用した素子(EL素子と表記する)が注目されている。特に、有機物を利用したEL素子を有機EL素子やOLED (Organic Light Emitting Diode) 素子(OLED device、OLEDとも言う)ともいう。EL素子を用いた表示装置(以下、EL表示装置と表記する)が注目されている。

【0004】ここでEL素子とは、陽極と、陰極と、陽極と陰極の間に挟まれたEL層とを有する構成の素子を示すものとする。陽極と陰極がそれぞれ第1の電極及び第2の電極に対応し、これらの電極間に電圧を印加することによって、電極間に電流が流れる。流れた電流量に応じてEL素子は発光する。

【0005】なお、EL素子は一重項励起子からの発光(蛍光)を利用するものと、三重項励起子からの発光(燐光)を利用するものの両方を含むものとする。

【0006】EL層は、積層構造とすることができる。代表的には、コダック・イーストマン・カンパニーのTanらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。ここで、電子輸送層とは、正孔移動度よりも電子移動度が高い性質(電子輸送機能)を有する材料(以下、電子輸送材料と表記する)によって構成される層である。また、発光層は、発光を呈する性質(発光機能)を有する材料(以下、発光材料と表記する)により構成される層である。正孔輸送層は、電子移動度よりも正孔移動度が高い性質(正孔輸送機能)を有する材料(以下、正孔輸送材料と表記する)により構成される層である。また他にも、陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。ここで、電子注入層は、陰極から電子を受け取る電子注入性(電子注入機能)を有する材料(以下、電子注入材料と表記する)により構成される層である。また、正孔注入層は、陽極から正孔を受け取る正孔注入性(正孔注入機能)を有する材料(以下、正孔注入材料と表記する)により構成される層である。なお、陰極と陽極の間に設けられる全ての層を総称してEL層と呼ぶ。上記構造でなるEL層に、一対の電極(陽極及び陰極)から所定の電圧をかけると、EL層内でキャリアの再結合が起こって発光する。

【0007】なお、EL素子の陽極と陰極に挟まれた層を総称してEL層を表記する。EL層は有機物で形成さ

れていても良いし、無機物で形成されていても良い。また、有機物と無機物の両方によって形成されていても良い。

【0008】EL表示装置は、応答性に優れ、低電圧で動作し、また視野角が広い等の利点を有するため、次世代のフラットパネルディスプレイとして注目されている。アクティブマトリクス型のEL表示装置において、各画素のEL素子の輝度を、EL素子の陽極と陰極間に、所定の電圧を印加することによって制御する手法と、EL素子の陽極と陰極間に、所定の電流を流すことによって制御する手法とがある。前者を電圧制御型と呼び、後者を電流制御型と呼ぶことにする。

【0009】電流制御型の画素の構成例を以下に挙げる。なお、電流制御型の画素であって、ビデオ信号が表現する、輝度情報に線型に対応する電流信号(以下、信号電流と表記する)が、各画素に信号線(ソース信号線)に入力される構成の画素を例に挙げる。

【0010】各画素は、入力された信号電流をドレイン電流とするようなTFTと、前記TFTのゲート電圧を保持する容量部とを有する。つまり、入力された信号電流を電圧(ゲート電圧)に変換し、前記電圧を保持する機能を有する。また、各画素は、容量部によって記憶された電圧を再び電流に変換する機能を有し、変換された電流を、ソース信号線より信号電流が入力されなくなった後もEL素子に流し続ける。ソース信号線に入力する信号電流を変化させることによって、EL素子に流れる電流を変化させ、EL素子の発光輝度を制御し、階調を表現する。

【0011】図10に従来の電流制御型の画素の一例を示し、その駆動方法を説明する。図10の構成の画素は、特開2001-147659公報に記載されている。図10において、画素は、EL素子709、選択TFT704、駆動TFT707、カレントTFT706、容量素子(保持容量)708、保持TFT705、ソース信号線S、第1のゲート信号線G、第2のゲート信号線GH、電源線Wによって構成される。

【0012】なお、TFTのソース端子またはドレイン端子の一方を、第1の端子とよび、もう一方を第2の端子と呼ぶことにする。

【0013】選択TFT704のゲート電極は、第1のゲート信号線Gに接続されている。選択TFT704の第1の端子はソース信号線Sに接続され、第2の端子は、カレントTFT706の第1の端子及び保持TFT705の第1の端子に接続されている。カレントTFT706の第2の端子は、電源線Wに接続されている。保持TFT705の第2の端子は、保持容量708の一方の電極及び駆動TFT707のゲート電極に接続されている。保持容量708の保持TFT705と接続されていない側は、電源線Wに接続されている。保持TFT705のゲート電極は、第2のゲート信号線GHに接続され

ている。駆動TFT707の第1の端子はEL素子709の一方の電極709aと接続され、第2の端子は電源線Wに接続されている。EL素子709のもう一方の電極709bは、一定の電位に保たれている。また、ソース信号線Sに inputsする信号電流の電流値は、ビデオ信号入力電流源777により制御される。なお、EL素子709の電極709aを画素電極と呼び、もう一方の電極709bを対向電極と呼ぶことにする。

【0014】ここでは、駆動TFT707とカレントTFT706の極性は同じで、駆動TFT707の $I_d - V_{gs}$ 特性は、カレントTFT706の $I_d - V_{gs}$ 特性と等しいものとして考える。また、選択TFT704、保持TFT705をNチャネル型TFTとし、駆動TFT707、カレントTFT706をPチャネル型TFTで構成し、画素電極709aを陽極とした構成の画素を例に示す。

【0015】図10の構成の画素の駆動方法を図11及び図12を用いて説明する。なお、図11において選択TFT704及び保持TFT705は、オン状態・オフ状態がわかりやすいように、スイッチで表記した。また、(TA1)~(TA3)それぞれの画素の状態は、図12のタイミングチャートにおける期間TA1~TA3の状態に対応している。

【0016】図12において、G<sub>1</sub>、G<sub>2</sub>はそれぞれ、第1のゲート信号線G、第2のゲート信号線GHの電位を示す。また、 $|V_{gs}|$ は、駆動TFT707のゲート電圧(ゲート・ソース間電圧)の絶対値である。I<sub>EL</sub>は、EL素子709を流れる電流を示す。I<sub>video</sub>は、ビデオ信号入力電流源777によって定められた電流値である。

【0017】期間TA1において、第1のゲート信号線G及び第2のゲート信号線GHの信号により選択TFT704及び保持TFT705がオンの状態となる。こうして電源線Wが、カレントTFT706、保持TFT705及び選択TFT704を介して、ソース信号線Sと接続される。ソース信号線Sには、ビデオ信号入力電流源777によって定められた電流量I<sub>video</sub>が流れるため、十分に時間が経過し定常状態となると、カレントTFT706のドレイン電流はI<sub>video</sub>となる。こうしてカレントTFT706のドレイン電流I<sub>video</sub>に対応するゲート電圧が、保持容量708に保持される。その後期間TA2において、第2のゲート信号線GHの信号が変化し、保持TFT705がオフの状態となる。駆動TFT707には、I<sub>video</sub>のドレイン電流が流れている。こうして信号電流I<sub>video</sub>が、電源線Wより駆動TFT707のソース・ドレイン間を介してEL素子709に inputsされる。EL素子709は、信号電流I<sub>video</sub>に応じた輝度で発光する。

【0018】図10に示した構成では、上記手法によってEL素子709の陽極709aから陰極709bに電

流が流れ、EL素子709が発光する場合は、カレントTFT706の第2の端子はソース端子に相当し、第1の端子はドレイン端子に相当する。また、駆動TFT707の第2の端子はソース端子に相当し、第1の端子はドレイン端子に相当する。

【0019】次に期間TA3において、第1のゲート信号線Gの信号が変化し、選択TFT704がオフの状態となる。選択TFT704がオフ状態となった後も、信号電流I<sub>video</sub>が、電源線Wより駆動TFT707のソース・ドレイン間を介してEL素子709に inputsされ続け、EL素子709は発光し続ける。

【0020】期間TA1~TA3の一連の動作を信号電流I<sub>video</sub>の書き込み動作と呼ぶことにする。その際、信号電流I<sub>video</sub>をアナログ的に変化させることによって、EL素子709の輝度を変化させ、階調を表現する。

【0021】上記のような、電流制御型の表示装置では、駆動TFT707は、飽和領域で動作する。ここで、駆動TFT707のドレイン電流は、ソース信号線Sより inputsされる信号電流によって定められている。つまり、同じ画素内の駆動TFT707とカレントTFT706の電流特性がそろっていれば、駆動TFT707は、閾値電圧や移動度等のバラツキがあっても、一定のドレイン電流を流し続けるようにゲート電圧が自動的に変化する。

【0022】

【発明が解決しようとする課題】EL素子において、その陽極と陰極間の電圧と、流れる電流量の関係(I-V特性)は、EL素子を使用する環境温度や、EL素子の劣化等の影響によって変化する。そのため、従来の電圧制御型の画素構成では、EL素子の両電極間に同じ電圧を印加していても、EL素子を使用する環境温度や、EL素子の劣化等の影響によって、流れる電流が変化してしまう。その結果、EL素子の輝度が変化してしまう。

【0023】しかし電流制御型の画素構成では、EL素子を使用する環境温度や、EL素子の劣化等の影響に対して、EL素子に流れる電流を、ほぼ一定に保つことができる。

【0024】ここで、図9に、EL素子を流れる電流を一定にした場合の、EL素子の劣化の時間的変化を示す。縦軸がEL素子の輝度Lであり、横軸が時間tである。曲線900は、EL素子を流れる電流を一定に保った場合の輝度の変化を示す。時間がt0の場合、EL素子の輝度Lを100%とする。EL素子は、一定の電流が流れ続けた時間に依存して劣化が進む。こうして、EL素子の陽極と陰極の間に同じ電流値の電流が流れている場合にも、輝度が低下してしまう。よって、電流制御型の画素においても、EL素子の劣化による発光輝度のばらつきが問題となる。そこで本発明は、EL素子の劣化等による電流特性の変化による輝度の変化を低減し、

ほぼ一定の輝度で発光させることが可能な表示装置を提供することを課題とする。

#### 【0025】

【課題を解決するための手段】本発明の表示装置では、EL素子の劣化によるEL素子を流れる電流の変化を抑制するために、電流制御型の画素構成を用いる。電流制御型の画素としては、公知の構成の画素を自由に用いることができる。

【0026】例えば、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたEL層とを有するEL素子と、前記複数の画素外部より入力される第1の電流を、電圧に変換する手段と、前記電圧を保持する手段と、前記電圧を第2の電流に変換し、EL素子の前記第1の電極と前記第2の電極間に流す手段とを有する構成の電流制御型の画素とすることができる。

【0027】上記のような電流制御型の画素を用いた上で、さらにEL素子の劣化も低減するために、以下の3つの手段(第1の手段～第3の手段)のうち、少なくとも1つを組み合わせて用いる。こうして、相乗的にEL素子の劣化を低減する。

【0028】そこで、まずこれら3つの手段それぞれについて説明し、その後電流制御型の画素を用いる上で、これらの手段と組み合わせる手法について説明する。

【0029】第1の手段は、画素の開口率を大きくするための手段である。画素中でEL素子の画像表示に寄与する面積(以下、発光面積をいう)を大きく設定する。発光面積を大きく設定することによって、同じ輝度を表現する際にEL素子に流す電流の密度を小さくすることができる。ここで、EL素子は、流れる電流密度に比例して劣化が進行する。よって、開口率を大きくし発光時の電流密度を小さくすることで、EL素子の劣化を抑制することができる。

【0030】そのため、以下の2つの構成(第1の構成や第2の構成)のうちの1つまたは両方を用いる。第1の構成及び第2の構成について順に説明する。

【0031】第1の構成として、各画素においてTFT等の素子が占める割合を小さくする。これは、画素の有するTFT等の素子を介してEL素子から放射された光を視認するタイプの表示装置では、画素の有するTFT等の素子が占める面積を小さくすることによって、開口率を上げることができるためである。

【0032】第1の構成では、各画素において以下に示すように3つ以上のノードを同時に短絡または開放することができるスイッチ素子を用いる。なお、複数のノードが短絡された状態とは、前記複数のノードのうちの任意の2つのノード間において、電気的接続が取られた状態を示すものとする。また、複数のノードが開放された状態とは、前記複数のノードのうちの任意の2つのノードにおいて、電気的接続が無い状態を示すものとする。

【0033】第1の構成のスイッチ素子について、もう

少し詳細に説明する。スイッチ素子は、絶縁表面上に半導体薄膜によって形成される活性層と、前記活性層に接する絶縁膜と、前記絶縁膜を介して前記活性層と重なるゲート電極とを含み、前記活性層は、少なくとも1つのチャンネル形成領域と、 $n$ ( $n$ は、3以上の自然数)個の不純物領域(不純物元素が添加された領域)を有し、前記 $n$ 個の不純物領域のうち $m$ ( $m$ は、3以上 $n$ 以下の自然数)個の不純物領域は、それぞれ、異なる接続電極と接している。また、前記 $n$ 個の不純物領域はそれぞれ、チャンネル形成領域と接している。

【0034】なお、前記 $n$ 個の不純物領域はそれぞれ、チャンネル形成領域との間に、前記不純物領域より不純物濃度の低い領域(以下、低濃度不純物領域と表記する)を有していても良い。

【0035】このとき、前記 $m$ 個の不純物領域のうち、任意の2個の不純物領域は、前記活性層中を、前記チャンネル形成領域のみを介して接続される。または、前記 $m$ 個の不純物領域のうち、任意の2個の不純物領域は、前記チャンネル領域と、前記低濃度不純物領域のみを介して接続される。または、前記 $m$ 個の不純物領域のうち、任意の2個の不純物領域は、前記チャンネル領域と、前記 $n$ 個の不純物領域のうちの前記 $m$ 個の不純物領域以外を介して接続される。または、前記 $m$ 個の不純物領域のうち、任意の2個の不純物領域は、前記チャンネル領域と、前記低濃度不純物領域と、前記 $n$ 個の不純物領域のうちの前記 $m$ 個の不純物領域以外を介して接続される。

【0036】上記構成のスイッチ素子(以下、マルチドレイン素子とも表記する)は、前記ゲート電極の電位によって、前記チャンネル形成領域にチャンネルを形成する場合と、形成しない場合とを選択することができる。こうして、前記 $m$ 個の不純物領域にそれぞれ接続された接続電極のうち任意の2つの接続電極間を、導通状態とする場合と、非導通状態とする場合を選択することができる。こうして、全ての接続電極を同時に短絡または開放することができる。上記構成のスイッチ素子(マルチドレイン素子)を用いることによって、従来、複数のTFTを用いて、3つ以上のノードを短絡または開放していた動作を、1つの素子で行うことができる。

【0037】こうして、画素中で素子(スイッチング素子)の占める面積を低減することができる。

【0038】第2の構成ではとしては、画素部に異なる発光色のEL素子が配置されると限定した場合に、各発光色に対応するEL素子のEL層の境界を重ねて配置する。ここで従来のEL表示装置では、絶縁体によって形成された土手によって境界を設定され、各発光色に対応するEL素子のEL層が塗り分けられていた。一方、本発明の第2の構成では、各発光色に対応するEL素子のEL層の境界を重ねて配置することによって塗り分けのための土手を省略している。このように土手を省略した分、EL素子の画像表示に寄与する面積を大きくするこ

とが可能である。

【0039】なお第2の構成では、画素の有するTFT等の素子を介して画像を視認するタイプの表示装置に限定されない。つまり、画素の有するTFT等の素子が形成された基板とは逆の側から画像を視認するタイプの表示装置であってもよい。

【0040】第2の構成では、第1の発光色で発光するEL素子のEL層(第1のEL層)と、第2の発光色で発光するEL素子のEL層(第2のEL層)の端部を重ねて配置する。

【0041】以上が、画素の開口率を大きくし、同じ輝度を表現する際にEL素子に流す電流の密度を小さくする、第1の手段の説明であった。次いで、第2の手段について説明する。

【0042】第2の手段では、各画素に配置されたEL素子として、劣化の少ないものを用いる。以下に、そのEL素子の構成について説明する。

【0043】EL素子を形成するEL層を、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合され層(混合層:混合領域)を有する構成(以下、混合接合型のEL素子と表記する)とすることができる。なお、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等は、それぞれ別の機能を有する機能材料と呼ぶことにする。

【0044】例えば、EL素子のEL層を、第1の機能材料が添加された第1の領域と、第1の機能材料とは別の機能を有する第2の機能材料が添加された第2の領域と、前記第1の機能材料と前記第2の材料の両方が添加された混合領域とを有する構成とする。

【0045】なお上記構成において、第1の機能材料のみが添加された領域(第1の領域)が存在せず、第1の機能材料と第2の機能材料の混合領域内部で濃度の割合が変化する(濃度勾配を有する)構成であってもよい。また、第1の機能材料のみが添加された領域(第1の領域)及び第2の機能材料のみが添加された領域(第2の領域)が存在せず、第1の機能材料と第2の機能材料の混合領域内部で濃度の割合が変化する(濃度勾配を有する)構成であってもよい。また、前記濃度の割合は、陽極や陰極からの距離に依存して変化する構成であってもよい。更に、前記濃度の割合の変化は連続的であってもよい。濃度勾配の設定の仕方は、自由に設定することが可能である。

【0046】明確な積層構造を有するEL素子においては、それぞれ異なる機能材料によって構成される層の界面での電荷の蓄積等が問題となる。層の界面での電荷の

蓄積は、EL素子の寿命を縮める大きな要因である。一方、混合接合型のEL素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、混合接合型のEL素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【0047】また、EL素子の電極に接するEL層の部分に、金属材料を添加した構成であってもよい。この構成のEL素子も混合接合型のEL素子と呼ぶことにする。上記構成によって、EL素子の電極の酸化を防止し、且つ、電極からのキャリアの注入効率を高めることができる。こうして、混合接合型のEL素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【0048】なお、EL素子のEL層は、有機物からなるものに限定されない。無機物から形成されていてもよい。また、有機物と無機物の両方から形成されていてもよい。

【0049】本発明は上記構成によって、EL素子の劣化等による電流特性の変化による輝度の変化を低減し、ほぼ一定の輝度で発光させることが可能な表示装置を提供することができる。

【0050】以上が、第2の手段についての説明であった。次いで、第3の手段について説明する。

【0051】第3の手段では、EL素子の劣化の進行を抑制する。この手段では、EL素子に定期的に逆バイアスの電圧を印加する。こうしてEL素子の劣化を抑制する。

【0052】以上が、第1の手段~第3の手段それぞれに関する説明であった。これらの手段は、それぞれEL素子の劣化を抑制する上で有効である。次いで、電流制御型の画素を用いる上で、これらの手段を組み合わせる手法について説明する。

【0053】始めに、電流制御型の画素において、第1の手段(第1の構成または第2の構成)を組み合わせる場合について説明する。

【0054】例えば、電流制御型の画素において第1の構成を組み合わせるができる。以下にその構成を示す。

【0055】複数の画素と、電流信号が入力される複数の信号線とを有し、前記複数の画素それぞれは、マルチドレイン素子と、第1のTFTと、容量素子と、前記電流信号に応じた輝度で発光するEL素子と、前記EL素子と直列に接続された前記第2のTFTとを有し、前記マルチドレイン素子は、絶縁表面上に半導体薄膜によって形成される活性層と、前記活性層に接する絶縁膜と、前記絶縁膜を介して前記活性層と重なるゲート電極とを有し、前記活性層は、少なくとも1つのチャネル形成領域と、 $n$ ( $n$ は、3以上の自然数)個の不純物領域とを有し、前記 $n$ 個の不純物領域のうち $m$ ( $m$ は、3以上 $n$ 以下の自然数)個の不純物領域それぞれは、異なる接続

電極と接し、前記n個の不純物領域はそれぞれ、チャンネル形成領域と接し、前記m個の不純物領域のうち任意の2個の不純物領域は、前記活性層中を、前記チャンネル形成領域のみを介して接続される表示装置であって、前記第2のTFTのゲート電極は、前記第1のTFTのゲート電極と接続され、前記容量素子の一方の電極は、前記第1のTFTのゲート電極に接続され、前記第1のTFTの第1の端子と、前記第1のTFTのゲート電極と、前記複数の信号線のうちの1本とは、それぞれ異なる前記接続電極に接続されていることを特徴とする表示装置とする。

【0056】こうして、電流制御型の画素において開口率を大きくし、EL素子の劣化を抑制することができる。

【0057】複数の画素と、電流信号が入力される複数の信号線とを有し、前記複数の画素それぞれは、マルチドレイン素子と、第1のTFTと、容量素子と、前記電流信号に応じた輝度で発光するEL素子と、前記EL素子と直列に接続された前記第2のTFTとを有し、前記マルチドレイン素子は、絶縁表面上に半導体薄膜によって形成される活性層と、前記活性層に接する絶縁膜と、前記絶縁膜を介して前記活性層と重なるゲート電極とを有し、前記活性層は、少なくとも1つのチャンネル形成領域と、n(nは、3以上の自然数)個の不純物領域とを有し、前記n個の不純物領域のうちm(mは、3以上n以下の自然数)個の不純物領域それぞれは、異なる接続電極と接し、前記n個の不純物領域は、それぞれ、チャンネル形成領域との間に、前記不純物領域より不純物濃度の低い低濃度不純物領域を有し、前記m個の不純物領域のうち、任意の2個の不純物領域は、前記活性層中を、前記チャンネル形成領域、及び前記低濃度不純物領域のみを介して接続される表示装置であって、前記第2のTFTのゲート電極は、前記第1のTFTのゲート電極と接続され、前記容量素子の一方の電極は、前記第1のTFTのゲート電極に接続され、前記第1のTFTの第1の端子と、前記第1のTFTのゲート電極と、前記複数の信号線のうちの1本とは、それぞれ異なる前記接続電極に接続されていることを特徴とする表示装置とする。

【0058】なお、前記第2のTFTの第1の端子が前記EL素子の一方の電極に接続され、前記第1のTFTの第2の端子と前記第2のTFTの第2の端子とは、同じ配線に接続されていることを特徴とする表示装置であってもよい。

【0059】こうして、電流制御型の画素において開口率を大きくし、EL素子の劣化を抑制することができる。

【0060】また、電流制御型の画素に第1の構成を組み合わせた場合において、更に第2の構成を組み合わせたことができる。以下にその構成を示す。

【0061】前記複数の画素は、第1の色で発光する第

1の画素と、前記第1の色とは異なる色で発光する第2の画素とを有し、前記第1の画素の前記EL素子の前記EL層の端部は、前記第2の画素の前記EL素子の前記EL層の端部と重ねて形成する

【0062】こうして、電流制御型の画素において更に開口率を大きくし、EL素子の劣化をさらに抑制することができる。

【0063】また、電流制御型の画素に第1の構成または第2の構成の1つまたは複数の組み合わせの場合において、更に第2の手段を組み合わせたことができる。以下にその構成を示す。

【0064】前記EL素子は、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたEL層とを有し、前記EL層は、第1の機能材料と前記第1の機能材料とは別の機能を有する第2の機能材料の両方が添加された混合領域を有する構成とする。

【0065】こうして、EL素子の劣化をさらに抑制することができる。

【0066】また、電流制御型の画素に第1の構成、第2の構成及び第2の手段のいずれか1つまたは複数の組み合わせの場合において、更に第3の手段を組み合わせたことができる。つまり上記構成において、前記EL素子の陽極の電位を前記EL素子の陰極の電位より低くする手段を有する構成とする。

【0067】こうして、EL素子の劣化をさらに抑制することができる。

【0068】次いで、電流制御型の画素に第2の構成を組み合わせた構成について説明する。

【0069】複数の画素を有し、前記複数の画素それぞれは、第1の電極と第2の電極と前記第1の電極と前記第2の電極間に挟まれたEL層とを有するEL素子と、前記EL素子の前記第1の電極と前記第2の電極の間を流れる電流を一定に定める手段とを有する表示装置であって、前記複数の画素は、第1の色で発光する第1の画素と、前記第1の色とは異なる色で発光する第2の画素とを有し、前記第1の画素の前記EL素子の前記EL層の端部は、前記第2の画素の前記EL素子の前記EL層の端部と重ねて形成されていることを特徴とする表示装置とする。

【0070】こうして、電流制御型の画素において開口率を大きくし、EL素子の劣化を抑制することができる。

【0071】複数の画素と、電流信号が入力される複数の信号線とを有し、前記複数の画素それぞれは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたEL層とを有するEL素子と、前記複数の信号線それぞれより前記複数の画素それぞれに入力される第1の電流を、電圧に変換する手段と、前記電圧を保持する手段と、前記電圧を第2の電流に変換し、前記EL素子の前記第1の電極と前記第2の電極間に流す手

段とを有する表示装置であって、前記複数の画素は、第1の色で発光する第1の画素と、前記第1の色とは異なる色で発光する第2の画素とを有し、前記第1の画素の前記EL素子の前記EL層の端部は、前記第2の画素の前記EL素子の前記EL層の端部と重ねて形成されていることを特徴とする表示装置とする。

【0072】こうして、電流制御型の画素において更に開口率を大きくし、EL素子の劣化をさらに抑制することができる。

【0073】また、電流制御型の画素に第2の構成を組み合わせた場合において、更に第2の手段を組み合わせた10 ことができる。以下にその構成を示す。

【0074】前記EL素子は、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたEL層とを有し、前記EL層は、第1の機能材料と前記第1の機能材料とは別の機能を有する第2の機能材料の両方が添加された混合領域を有する構成とする。

【0075】こうして、EL素子の劣化をさらに抑制することができる。

【0076】また、電流制御型の画素に第2の構成また20 は第2の手段のいずれか1つまたは複数を組み合わせた場合において、更に第3の手段を組み合わせたことができる。つまり上記構成において、前記EL素子の陽極の電位を前記EL素子の陰極の電位より低くする手段を有する構成とする。

【0077】こうして、EL素子の劣化をさらに抑制することができる。

【0078】また、電流制御型の画素に第2の手段を組み合わせたことができる。以下にその構成を示す。

【0079】複数の画素を有し、前記複数の画素それぞれ30 は、第1の電極と第2の電極と前記第1の電極と前記第2の電極間に挟まれたEL層とを有するEL素子と、前記EL素子の前記第1の電極と前記第2の電極の間を流れる電流を一定に定める手段とを有する表示装置であって、前記EL層は、第1の機能材料と前記第1の機能材料とは別の機能を有する第2の機能材料の両方が添加された混合領域を有することを特徴とする表示装置とする。

【0080】こうして、劣化の抑制されたEL素子を画素に用いることによって、より輝度ばらつきの低減され40 た表示装置が得られる。

【0081】複数の画素と、電流信号が入力される複数の信号線とを有し、前記複数の画素それぞれは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたEL層とを有するEL素子と、前記複数の信号線それぞれより前記複数の画素それぞれに入力される第1の電流を、電圧に変換する手段と、前記電圧を保持する手段と、前記電圧を第2の電流に変換し、前記EL素子の前記第1の電極と前記第2の電極間に流す手段とを有する表示装置であって、前記EL層は、第1の50

機能材料と前記第1の機能材料とは別の機能を有する第2の機能材料の両方が添加された混合領域を有することを特徴とする表示装置とする。

【0082】こうして、劣化の抑制されたEL素子を画素に用いることによって、より輝度ばらつきの低減された表示装置が得られる。

【0083】また、電流制御型の画素に第2の手段を組み合わせた場合において、更に第3の手段を組み合わせた10 ことができる。つまり上記構成において、前記EL素子の陽極の電位を前記EL素子の陰極の電位より低くする手段を有する構成とする。

【0084】こうして、EL素子の劣化をさらに抑制することができる。

【0085】また、電流制御型の画素において、第3の手段を組み合わせたことができる。

【0086】複数の画素を有し、前記複数の画素それぞれは、第1の電極と第2の電極と前記第1の電極と前記第2の電極間に挟まれたEL層とを有するEL素子と、前記EL素子の前記第1の電極と前記第2の電極の間を流れる電流を一定に定める手段とを有する表示装置であって、前記EL素子の前記第1の電極と前記第2の電極の一方は陽極で、もう一方は陰極であり、前記EL素子の前記陽極の電位を前記EL素子の前記陰極の電位より低くする手段を有することを特徴とする表示装置とすることができる。

【0087】こうして、EL素子の劣化を抑制することができる。

【0088】複数の画素と、電流信号が入力される複数の信号線とを有し、前記複数の画素それぞれは、第1の電極と、第2の電極と、前記第1の電極と前記第2の電極間に挟まれたEL層とを有するEL素子と、前記複数の信号線それぞれより前記複数の画素それぞれに入力される第1の電流を、電圧に変換する手段と、前記電圧を保持する手段と、前記電圧を第2の電流に変換し、前記EL素子の前記第1の電極と前記第2の電極間に流す手段とを有する表示装置であって、前記EL素子の前記第1の電極と前記第2の電極の一方は陽極で、もう一方は陰極であり、前記EL素子の前記陽極の電位を前記EL素子の前記陰極の電位より低くする手段を有することを特徴とする表示装置とすることができる。

【0089】こうして、EL素子の劣化を抑制することができる。

【0090】なお、EL素子のEL層には、高分子材料を用いても良いし、低分子材料を用いても良いし、中分子材料を用いてもよい。また、これらの材料を組み合わせ用いても良い。なお本明細書中において、中分子材料とは、昇華性を有さず、重合度が20程度以下のものを示すとする。なお、EL素子は、一重項励起子からの発光(蛍光)を利用するものでも、三重項励起子からの発光(燐光)を利用するものでも、どちらでも良い。

【0091】上記構成によって、EL素子の劣化等による電流特性の変化による輝度の変化を低減し、ほぼ一定の輝度で発光させることが可能な表示装置を提供することができる。

【0092】

【発明の実施の形態】（実施の形態1）実施の形態1では、マルチドレイン素子の構成例及び、前記マルチドレイン素子を用いた、本発明の表示装置の画素構成の例を示す。

【0093】図1(A)に本発明のマルチドレイン素子を用いた画素構成の一例を示す。なお図1(A)において、従来例において図10で示した画素構成と同じ部分は、同じ符号を用いて表し説明は省略する。図1(A)では、駆動TF T 707及びカレントTF T 706を、Pチャンネル型TF Tとし、画素電極を陽極とした例を示す。

【0094】図1(A)では、図10における選択TF T 704と、保持TF T 705との代わりに、マルチドレイン素子101を用いている。図1(A)中のマルチドレイン素子101の各端子について、図1(B)を用いて説明する。マルチドレイン素子101は、端子T0及び端子T1～端子T3を有する。

【0095】マルチドレイン素子101は、端子T0に入力された信号電位に応じて、端子T1～端子T3間（端子T1と端子T2間、端子T2と端子T3間、端子T1と端子T3間）が、開放される状態と、短絡される状態とを選択することができる。端子T0に入力された信号電位に応じて、端子T1～端子T3間（端子T1と端子T2間、端子T2と端子T3間、端子T1と端子T3間）が、開放される状態と、短絡される状態とを選択することができるマルチドレイン素子を、図1(B)に示す記号によって、示すことにする。

【0096】再び図1(A)を参照する。マルチドレイン素子101の端子T0は、ゲート信号線Gと接続されている。カレントTF T 706のゲート電極とカレントTF T 706の第1の端子とは、マルチドレイン素子101の端子T2と端子T3間を介して接続されている。また、カレントTF T 706の第1の端子と信号線Sとは、マルチドレイン素子101の端子T3と端子T1間を介して接続されている。

【0097】なお、図1(A)において、カレントTF T 706の第2の端子及び、駆動TF T 707の第2の端子は、電源線Wに接続されているが、本発明の画素構成はこれに限定されない。一般に、カレントTF T 706の第2の端子と、駆動TF T 707の第2の端子とは、それぞれを、ドレイン電流が流れる際に、同じ電位となるような構成であれば良い。

【0098】また、保持容量708の2つの電極のうち、駆動TF T 707のゲート電極と接続されていない側は、電流線Wに接続されているが、本発明の画素構成

はこれに限定されない。一般に、保持容量708の2つの電極のうち、駆動TF T 707のゲート電極と接続されていない側は、カレントTF T 706または駆動TF T 707に電流が流れる間、それぞれのTF Tの第2の端子の電位と等しい電位に保たれる構成であればよい。

【0099】なお、図1と異なり、EL素子の画素電極は陰極である場合、EL素子が発光する場合に、カレントTF T 706及び駆動TF T 707のソース端子の電位が固定され動作するのが望ましいため、カレントTF T 706及び駆動TF T 707としてNチャンネル型TF Tを用いるのが望ましい。

【0100】ここで、図2に、図1におけるマルチドレイン素子101を作製した例を示す。

【0101】始めに、図2(A)に、マルチドレイン素子の記号を示す。図2(B)は、図2(A)に示したマルチドレイン素子を作製した際の上面図である。また、図2(C)は、図2(B)のA-A'の断面図である。図2(D)は、図2(B)のB-B'の断面図である。図2(B)において、マルチドレイン素子101は、活性層201と、電極220及び接続電極221～223を有している。図2(C)及び図2(D)において、絶縁表面を有する基板200上に形成された活性層201は、同じ導電型を付与する不純物が添加された不純物領域203a～203cと、チャンネル領域204を有している。電極220とチャンネル形成領域204とは、ゲート絶縁膜205を間に挟んで重なっている。また、接続電極221～223はそれぞれ、電極220上に形成された絶縁膜206上に形成され、コンタクトホール202a～202cを介して、前記不純物領域203a～203cと電気的に接続されている。電極220は、図2(A)における端子T0に相当する。また、接続電極221は、端子T1に相当し、接続電極222は、端子T2に相当し、接続電極223は、端子T3に相当する。

【0102】なお、接続電極221は、端子T2に相当し、接続電極222は、端子T3に相当し、接続電極223は、端子T1に相当してもよい。また、接続電極221は、端子T3に相当し、接続電極222は、端子T1に相当し、接続電極223は、端子T2に相当してもよい。

【0103】不純物領域203a～203cはそれぞれチャンネル形成領域204に接している。なお本実施の形態では、全ての不純物領域がそれぞれチャンネル形成領域204に接しているが、本発明はこの構成に限定されない。不純物領域203a～203cとチャンネル形成領域204の間に、不純物領域よりも不純物濃度の低い低濃度不純物領域(LDD領域)が設けられていても良い。

【0104】なお、図2(C)及び図2(D)ではゲート絶縁膜205が不純物領域203a～203cを覆っているが、本発明はこの構成に限定されない。不純物領域203a～203cは必ずしもゲート絶縁膜205に

覆われている必要はなく、露出していても良い。

【0105】マルチドレイン素子101は、通常のTFTの工程と同様のプロセスで作製することが可能である。

【0106】図2(C)及び図2(D)において、本発明のマルチドレイン素子101の電極220は、公知のTFTのゲート電極と等しい材料によって形成することができる。また、活性層201に、チャンネル形成領域204と、不純物領域203a~203cを形成する手法も、公知のTFTと同様にすることができる。

【0107】ここで、電極220の活性層201と重なる部分を、マルチドレイン素子のゲート電極とも呼ぶことにする。また、マルチドレイン素子の端子T1~T3が接続された不純物領域203a~203cは、それぞれソース領域またはドレイン領域と呼ぶことにする。また、マルチドレイン素子の端子T1~T3を、ソース端子またはドレイン端子とも呼ぶことにする。

【0108】図2に示したマルチドレイン素子101は、電極(ゲート電極)220に印加される電位によって、チャンネル形成領域204に形成されるチャンネルが変化し、各端子T1~T3間(ソース・ドレイン端子間に相当する)の抵抗が制御される。つまり、ゲート電極220の電位によって、チャンネル形成領域にチャンネルが形成され、ソース・ドレイン端子間が導通状態となる。

【0109】例えば図2において、マルチドレイン素子101の不純物領域203a~203cには、N型を付与する不純物元素が添加されているものとする。このとき、ゲート電極T0の電位を、不純物領域203a~203cのうちのいずれか1つまたは2つに相当するソース領域の電位より十分に高くする。こうして、端子T1~端子T3を短絡することができる。上記構成のマルチドレイン素子101を、Nチャンネル型マルチドレイン素子と呼ぶことにする。

【0110】一方、図2において、マルチドレイン素子101の不純物領域203a~203cには、P型を付与する不純物元素が添加されているものとする。このとき、ゲート電極T0の電位を、不純物領域203a~203cのうちのいずれか1つまたは2つに相当するソース領域の電位より十分に低くする。こうして、端子T1~端子T3を短絡することができる。上記構成のマルチドレイン素子を、Pチャンネル型マルチドレイン素子と呼ぶことにする。

【0111】なお、スイッチ素子(マルチドレイン素子)は、基板上に設けられた絶縁表面上に、前記活性層、前記絶縁膜、前記ゲート電極の順に形成された構成に限定されない。基板上に設けられた絶縁表面上に、前記ゲート電極、前記絶縁膜、前記活性層の順に設けられた構成でもかなわない。また、マルチドレイン素子のゲート電極は、前記活性層の上下の両方に、それぞれ絶縁膜を介して設けられた構成であってもよい。

【0112】こうして、図2のマルチドレイン素子101は、3つのノード、具体的には端子T1~T3を同時に接続することができる。

【0113】上記構成のマルチドレイン素子101を用いることによって、画素において、スイッチング素子が占有する面積を抑えることができ、画素の開口率を上げることができる。

【0114】また、図1に示した構成の画素の駆動方法は、従来例において、図12のタイミングチャートを用いて示した方法と同様である。ただし、図10に示した画素構成における、第1のゲート信号線Gと第2のゲート信号線GHは、図1に示した本発明の画素構成では、ゲート信号線Gとして共有されている。こうして、期間TA1中は、ゲート信号線Gの信号によって、マルチドレイン素子101の端子T1~T3間は短絡状態であるが、期間TA2が終了すると、ゲート信号線Gの信号によって、マルチドレイン素子101の端子T1~T3間はそれぞれ開放状態となる。こうして、各画素のEL素子709を発光させ、画像表示を行うことができる。

【0115】図1に示した構成では、上記手法によってEL素子709の陽極709aから陰極709bに電流が流れ、EL素子709が発光する場合は、カレントTFT706の第2の端子はソース端子に相当し、第1の端子はドレイン端子に相当する。また、駆動TFT707の第2の端子はソース端子に相当し、第1の端子はドレイン端子に相当する。

【0116】なお、カレントTFT706と駆動TFT707は一对でカレントミラー回路を構成するので、これら2つのTFTの極性は等しくなくてはならない。また、同一画素内のこれら2つのTFTの特性は等しいことが望まれる。なお、TFTの特性が等しいとは、それらのTFTの閾値電圧、移動度等が等しいことを示すものとする。

【0117】この際、カレントTFT706のゲート長とゲート幅の比に対して、駆動TFT707のゲート長とゲート幅の比を変化させることによって、ソース信号線に入力された電流値と、EL素子に流れる電流値の比を変化させることも可能である。

【0118】なお図1において、マルチドレイン素子101は、Nチャンネル型を用いた構成を示す。なお、図1におけるマルチドレイン素子は、Nチャンネル型でもPチャンネル型でもどちらでも良い。ただし、図1に示した画素構成のように、EL素子709の画素電極が陽極の場合、EL素子が発光する際、マルチドレイン素子101のソース端子が1つに定まるのが好ましいため、マルチドレイン素子101として、Nチャンネル型を用いるのが好ましい。

【0119】なお、階調表示の手法としては、アナログの電流値を有する信号電流を入力し階調を表現する、アナログ階調方式を用いることができる。また、デジタル

の電流値を有する信号電流を入力し、階調を表現する、デジタル階調方式を用いても良い。デジタル階調方式では、各画素のE L素子が発光する期間を制御することによって、階調を表現する時間階調方式を用いても良いし、各画素において発光する部分の面積を制御することによって階調を表現する面積階調方式を用いてもよい。

【0120】時間階調方式としては、例えば時分割階調方式を用いることができる。なお、時分割階調方式とは、1フレーム期間を複数のサブフレーム期間に分割し、それぞれのサブフレーム期間毎に、各画素にデジタルの信号電流を入力し、各画素のE L素子をほぼ一定の輝度で、発光させるか発光させないかを選択し、1フレーム期間あたりにE L素子が発光したサブフレーム期間の長さの累計によって、階調を表現する方式を示すものとする。なお、1フレーム期間とは、1画像を表示する期間を示すものとする。

【0121】本発明の表示装置を、時分割階調方式で駆動する場合について、説明する。

【0122】説明のため、図1に示した構成の画素を有する画素部の回路図を、図3に示す。なお、図1と同じ部分は同じ符号を用いて示す。図3において、画素部は、x列y行の画素を有するものとする。一般に、第i(iは、x以下の自然数)列第j(jは、y以下の自然数)行の画素のソース信号線Sを $S_i$ 、ゲート信号線Gを $G_j$ 、電源線Wを $W_i$ と表記する。なお、画素部において、異なる画素列に対する電源線Wを共有する構成であってもよい。

【0123】図3に示した構成の画素部を、時分割方式で駆動する場合について、図4に示すタイミングチャートを用いて説明する。なお図4(A)及び図4(B)それぞれにおいて、同じ部分は同じ符号を用いて示す。ここで、図4(B)における $G_1 \sim G_y$ は、ゲート信号線 $G_1 \sim G_y$ に入力される信号の電位を示す。

【0124】1フレーム期間 $F_1$ を複数のサブフレーム期間 $S F_1 \sim S F_n$ (nは自然数)に分割する。第1のサブフレーム期間 $S F_1$ において、始めに第1行のゲート信号線 $G_1$ が選択される。ここで、ゲート信号線を選択するとは、該ゲート信号線にゲート電極が接続されたマルチドレイン素子101の端子T1~T3間を短絡状態とするような信号電位を、該ゲート信号線に入力することを示すものとする。こうして、ゲート信号線 $G_1$ に端子T0が接続されたマルチドレイン素子101はその端子T1~T3間が短絡状態となる。

【0125】この後、ソース信号線 $S_1 \sim S_x$ に、デジタルの信号電流が入力される。信号電流が入力されたソース信号線に対応する画素では、マルチドレイン素子101を介して、カレントTFT706の第1の端子・第2の端子間(ソース・ドレイン端子間に相当)を信号電流が流れる。この際、カレントTFT706の第1の端子とゲート電極は、マルチドレイン素子101を介して電

氣的に接続されている。十分な時間が経過すると、駆動TFT707は一定の電流をE L素子709に流す。入力された信号電流によって、各画素のE L素子が発光する際の動作については、実施の形態1と同様であるので、ここでは説明は省略する。こうして、各ソース信号線 $S_1 \sim S_x$ に信号電流が入力されるかどうかによって、第1行の各画素の発光・非発光状態が選択される。第1行の画素において、発光状態が選択された画素の保持容量708に、駆動TFT707が一定電流を流すための電荷が保持されると、ゲート信号線 $G_1$ の信号が変化し非選択の状態となる。こうして、マルチドレイン素子101の端子T1~T3間が開放される。

【0126】発光状態が選択された画素において、保持容量708に、駆動TFT707が一定電流を流すための電荷を保持させる動作を、以下、画素の書き込み動作と呼ぶことにする。

【0127】ゲート信号線 $G_1$ が非選択の状態になると直ぐに、第2行のゲート信号線 $G_2$ が選択され、ゲート信号線 $G_2$ にゲート電極(端子T0)が接続されたマルチドレイン素子101はその端子T1~T3間が短絡状態となる。この後、ソース信号線 $S_1 \sim S_x$ に、デジタルの信号電流が入力される。以下の動作は、第1行の画素と同様である。

【0128】全てのゲート信号線 $G_1 \sim G_y$ に対して同様の動作を行う。全てのゲート信号線 $G_1 \sim G_y$ を選択する期間を、アドレス期間 $T a$ と表記する。第m(mは、n以下の自然数)のサブフレーム期間 $S F_m$ に対応するアドレス期間を $T a_m$ と表記する。

【0129】書き込み動作が終了した画素行は、それぞれ発光または非発光状態が選択されている。書き込まれた信号に応じて、各画素行の各画素が発光または非発光する期間を表示期間 $T s$ と表記する。同じサブフレーム期間において、各画素行の表示期間 $T s$ は、タイミングは異なるがその長さは全て同じである。第m(mは、n以下の自然数)のサブフレーム期間 $S F_m$ に対応する表示期間を $T s_m$ と表記する。

【0130】ここで、異なる画素行に同時に書き込み動作を行うことはできないので、表示期間 $T s$ はアドレス期間 $T a$ より長く設定されている。所定の長さの表記期間 $T s_1$ の後、第2のサブフレーム期間 $S F_2$ が開始される。この後、第2のサブフレーム期間 $S F_2 \sim$ 第nのサブフレーム期間 $S F_n$ についても、第1のサブフレーム期間 $S F_1$ と同様に動作し、1フレーム期間Fが終了する。ここで、サブフレーム期間 $S F_1 \sim S F_n$ の、アドレス期間 $T a_1 \sim T a_n$ の長さは全て同じである。

【0131】以上のように表示装置を動作させ、各サブフレーム期間 $S F_1 \sim S F_n$ の表示期間 $T s_1 \sim T s_n$ の長さを適当に定めることによって、階調を表現する。

【0132】なお、1フレーム期間中に映像信号のビット数と同じ数のサブフレーム期間を設け、階調を表現す

る手法に限定されない。例えば、1フレーム期間中に、映像信号のあるビットに対応する信号によって、発光状態・非発光状態が選択されるサブフレーム期間を複数設けることができる。つまり、1ビットに対応する表示期間を、複数のサブフレーム期間の表示期間の累計で表現する。特に、映像信号の上位ビットに対応する表示期間を、複数のサブフレーム期間がそれぞれ有する表示期間の累計で表現し、それらのサブフレーム期間を、不連続に出現させることによって、擬似輪郭の発生を抑制することができる。

【0133】なお、各サブフレーム期間の表示期間 $T_s$ の長さの設定の仕方は、上記に限定されず、公知のあらゆる手法を用いることができる。また、図7では、第1のサブフレーム期間 $S_{F_1}$ ～第 $n$ のサブフレーム期間 $S_{F_n}$ が順に出現する構成としたが、これに限定されない。各サブフレーム期間の出現する順は、任意に定めることができる。

【0134】また、時分割階調方式のみならず、面積階調方式によって、また、時分割階調方式と面積階調方式との組み合わせによって、階調を表現することもできる。

【0135】こうして、実施の形態1において、図1及び図3で示した構成の画素を有する表示装置は、画像表示を行うことができる。

【0136】(実施の形態2)実施の形態2では、実施の形態1とは異なる構成の画素の例を示す。

【0137】図5に本実施の形態の画素構成を示す。なお、図1と同じ部分は同じ符号を用いて示し説明は省略する。図5に示す構成の画素では、保持容量708と並列に消去TFT501が設けられている。なお、消去TFT501と保持容量708は必ずしも並列に接続されている必要はない。一般に、消去TFT501は、消去TFT501が導通状態となった際に、保持容量708の両電極の電位をほぼ等しくするように接続されていけばよい。上記構成により、消去TFT501を導通状態とすることによって、保持容量708に保持された電荷を放電することができる。こうして、駆動TFT707を非導通状態とすることができる。駆動TFT707が非導通状態となった画素では、EL素子709は発光しない。

【0138】ここで、消去TFT501のゲート電極は、ゲート信号線Gとは別の配線、消去用ゲート信号線RGに接続されている。消去用ゲート信号線RGに入力された信号によって、消去TFT501の導通・非導通状態が切りかえられる。これにより、ある行の画素に映像信号(信号電流)を入力している最中であっても、別の行の画素を非発光状態とすることができる。

【0139】図5に示した構成の画素を有する画素部の回路図を、図6に示す。なお、図5と同じ部分は同じ符号を用いてしめし、説明は省略する。図6において、画

素部は、 $x$ 列 $y$ 行の画素を有するものとする。一般に、第 $i$ ( $i$ は、 $x$ 以下の自然数)列第 $j$ ( $j$ は、 $y$ 以下の自然数)行の画素のソース信号線 $S$ を $S_i$ 、ゲート信号線 $G$ を $G_j$ 、消去用ゲート信号線 $RG$ を $RG_j$ 、電源線 $W$ を $W_i$ と表記する。

【0140】図6に示した構成の画素部を、時分割方式で駆動する場合について、図7に示すタイミングチャートを用いて説明する。なお図7(A)及び図7(B)それぞれにおいて、同じ部分は同じ符号を用いて示す。ここで、図7(B)における $G_1 \sim G_y$ は、ゲート信号線 $G_1 \sim G_y$ に入力される信号の電位を示す。また、図7(B)における $RG_1 \sim RG_y$ は、消去用ゲート信号線 $RG_1 \sim RG_y$ に入力される信号の電位を示す。

【0141】なお図5及び図6において、マルチドレイ素子101は、Nチャンネル型を用いた構成を示す。なおマルチドレイ素子は、Nチャンネル型でもPチャンネル型でもどちらでも良い。ただし、図5及び図6に示した画素構成のように、EL素子709の画素電極が陽極の場合、EL素子が発光する際、マルチドレイ素子101のソース端子が1つに定まって動作するのが好ましいため、マルチドレイ素子101として、Nチャンネル型を用いるのが好ましい。また、図5及び図6において、消去TFT501は、Nチャンネル型TFTを用いた例を示すがこれに限定されない。消去TFT501は、単なるスイッチとして動作するため、Nチャンネル型TFTでもPチャンネル型TFTでもどちらでも良い。

【0142】各サブフレーム期間 $S_{F_1} \sim S_{F_n}$ でのアドレス期間 $T_a$ 及び表示期間 $T_s$ の基本的な動作については、実施の形態1において、図4のタイミングチャートを用いて示した動作と同様である。

【0143】複数の画素行に同時に映像信号(信号電流)の書き込みを行うことができないため、各サブフレーム期間 $S_{F_1} \sim S_{F_n}$ のアドレス期間 $T_a$ はそれぞれ重複しないように設定されている。そのため、実施の形態1では、表示期間 $T_s$ をアドレス期間 $T_a$ より短く設定することができなかった。しかし、実施の形態2において図5及び図6で示した構成の画素を用いれば、表示期間 $T_s$ をアドレス期間 $T_a$ より短く設定することが可能となる。

【0144】第1のサブフレーム期間 $S_{F_1}$ ～第 $k-1$ ( $k$ は、 $n$ 以下の自然数)のサブフレーム期間 $S_{F_{k-1}}$ までは、表示期間 $T_s$ がアドレス期間 $T_a$ より長く設定されているとする。このときの駆動方法は、実施の形態1において、図4のタイミングチャートで示した動作と同様である。なお、このとき各画素の消去TFT501は、常に非導通状態である。

【0145】以下に、表示期間 $T_s$ がアドレス期間 $T_a$ より短く設定された、第 $k$ のサブフレーム期間 $S_{F_k}$ ～第 $n$ のサブフレーム期間 $S_{F_n}$ までの表示装置の駆動方法を詳細に説明する。

【0146】第kのサブフレーム期間 $S F_k$ のアドレス期間 $T a_k$ の動作方法は、第1のサブフレーム期間 $S F_1$ ～第k-1のサブフレーム期間 $S F_{k-1}$ と同様である。ただし、書き込み動作を行っている画素行の消去 $T F T 501$ は、非導通状態である。所定の長さの表記期間 $T s_k$ の後、消去用ゲート信号線 $R G_1 \sim R G_y$ を順に選択し、各画素行の消去 $T F T 501$ を順に導通状態とし、各行の画素を順に一律に非発光状態とする。全ての画素の消去 $T F T 501$ を導通状態とする期間を、リセット期間 $T r$ と表記する。特に、第p (pは、k以上n以下10の自然数)のサブフレーム期間 $S F_p$ に対応するリセット期間を $T r_p$ と表記する。このように、ある行の画素に信号電流を入力している最中にも、別の行の画素を一律に非発光状態とすることができる。こうして、表示期間 $T s$ の長さを自由に制御することができる。

【0147】ここで、アドレス期間 $T a_p$ の長さとしリセット期間 $T r_p$ の長さは同じであるとする。つまり、映像信号を書き込む際に各行を順に選択する速さと、各行の画素を順に一律に非発光状態とする際の速さとは、同じであるとする。よって、同一のサブフレーム期間において、各行の画素の表示期間 $T s$ が始まるタイミングは異なるが、その長さはすべて同じである。

【0148】各画素行の消去 $T F T 501$ を導通状態とすることによって、各画素行の画素を一律に非発光状態とする期間を、非表示期間 $T u s$ と表記する。同じサブフレーム期間において、各画素行の非表示期間 $T u s$ は、タイミングは異なるがその長さは全て同じである。特に、第pのサブフレーム期間 $S F_p$ に対応する非表示期間を $T u s_p$ と表記する。

【0149】所定の長さの非表示期間 $T u s_k$ の後、第k+1のサブフレーム期間 $S F_{k+1}$ が開始される。第k+1のサブフレーム期間 $S F_{k+1}$ ～第nのサブフレーム期間 $S F_n$ について、第kのサブフレーム期間 $S F_k$ と同様の動作を繰り返し、1フレーム期間 $F 1$ が終了する。

【0150】以上のように表示装置を動作させ、各サブフレーム期間 $S F_1 \sim S F_n$ の表示期間 $T s_1 \sim T s_n$ の長さを適当に定めることによって、階調を表現する。なお、各サブフレーム期間の表示期間 $T s$ の長さの設定の仕方は、実施の形態1と同様である。

【0151】本実施の形態2では、表示期間 $T s$ をアドレス期間 $T a$ より短く設定するサブフレーム期間においてのみ、リセット期間 $T r$ 及び非表示期間 $T u s$ を設ける駆動方法を示したが、これ限定されない。表示期間 $T s$ をアドレス期間 $T a$ より長く設定するサブフレーム期間においても、リセット期間 $T r$ 及び非表示期間 $T u s$ を設ける駆動方法とすることもできる。

【0152】また、図5及び図6では、消去 $T F T 501$ を導通状態とすることによって保持容量708の電荷を放電する構成を示したが、これに限定されない。消去 $T F T 501$ を導通状態とすることによって保持容量70

8の駆動 $T F T 707$ のゲート電極と接続された側の電位を、上げるかまたは下げるかして、駆動 $T F T 707$ が非導通状態となる構成であれば良い。つまり、消去 $T F T 501$ を介して、駆動 $T F T 707$ のゲート電極を、駆動 $T F T 707$ が非導通状態となるような電位の信号が入力される配線と接続した構成であってもよい。

【0153】また、上述のような消去 $T F T 501$ を導通状態とすることによって、保持容量708の駆動 $T F T 707$ のゲート電極と接続された側の電位を変化させるタイプの構成ではなく、駆動 $T F T 707$ と直列に消去 $T F T$ を配置し、消去 $T F T$ を非導通状態とすることによって非表示期間とする構成であってもよい。

【0154】一方、上述のような消去 $T F T$ を用いずに、ゲート信号線の信号、ソース信号線の信号(映像信号)に関わらず、一律に画素を非発光の状態とする、つまり、非表示期間を設けることもできる。

【0155】例えば、保持容量708の2つの電極のうち、駆動 $T F T 707$ のゲート電極に接続されていない側の電極の電位を、上げるまたは下げることによって、駆動 $T F T 707$ を非導通状態とする手法がある。駆動 $T F T 707$ がPチャンネル型 $T F T$ の場合、保持容量708の駆動 $T F T 707$ と接続されていない側の電位を、上げる。保持容量708に保持されている電荷は一定に保たれるため、保持容量708のもう一方の電位が上昇し、駆動 $T F T 707$ を非導通状態とすることができる。こうして、非表示期間 $T u s$ を設けることができる。

【0156】また他の例としては、全ての画素の $E L$ 素子709の対向電極の電位を一斉に変化させることによって、全ての画素の $E L$ 素子709の発光・非発光状態を一斉に切り替える手法がある。この手法では、各サブフレーム期間の各アドレス期間 $T a$ においては、対向電極の電位は電源線 $W$ の電位とほぼ同じに保たれる。アドレス期間 $T a$ が終了すると、対向電極の電位は、電源線 $W$ との間に所定の電位差を有するように変化する。このとき、発光状態が選択された画素においては、電源線 $W$ より駆動 $T F T 707$ を介して $E L$ 素子709に電流が流れ発光する。こうして表示期間 $T s$ が始まる。表示期間 $T s$ のタイミングは、全ての画素において同じである。所定の長さの表示期間 $T s$ の後、 $E L$ 素子709の対向電極の電位を再び電源線 $W$ の電位とほぼ同じに変化させることによって、全ての画素を一斉に非発光の状態とすることができる。こうして、非表示期間 $T u s$ を設けることができる。非表示期間 $T u s$ のタイミングは、全ての画素において同じである。

【0157】(実施の形態3)本実施の形態では、実施の形態1及び実施の形態2において示した構成の画素とは、異なる構成の画素を示す。

【0158】図8(A)及び図8(B)に、本実施の形態3の画素構成を示す。なお、図8(A)及び図8

(B)において、図1及び図5と同じ部分は同じ符号を用いて示し、説明は省略する図8(A)及び図8(B)において、画素は、駆動TF T 707及びカレントTF T 706を、Pチャンネル型トランジスタとし、画素電極を陽極とした例を示す。

【0159】図8(A)及び図8(B)では、カレントTF T 706の第1の端子と、駆動TF T 707のゲート電極と、ソース信号線Sとはそれぞれ、マルチドレイン素子101の端子T1~T3のうち異なる1つに接続されている。また、カレントTF T 706の第1の端子はゲート電極と接続され、カレントTF T 706の第2の端子は、電源線Wに接続されている。駆動TF T 707の第1の端子は、EL素子709の一方の電極(陽極)に接続され、駆動TF T 707の第2の端子は、電源線Wに接続されている。保持容量708の一方の電極は、駆動TF T 707のゲート電極に接続され、もう一方の電極は、電源線Wに接続されている。また、図8(B)では、消去TF T 501が設けられる。消去TF T 501の第1の端子は、電源線Wに接続され、消去TF T 501の第2の端子は、保持容量708の一方の電極に接続されている。

【0160】なお、図8(A)及び図8(B)において、カレントTF T 706の第2の端子及び、駆動TF T 707の第2の端子は、電源線Wに接続されているが、本発明の画素構成はこれに限定されない。一般に、カレントTF T 706の第2の端子と、駆動TF T 707の第2の端子とは、それぞれを、ドレイン電流が流れる際に、同じ電位となるような構成であれば良い。

【0161】また、保持容量708の2つの電極のうち、駆動TF T 707のゲート電極と接続されていない側は、電流線Wに接続されているが、本発明の画素構成はこれに限定されない。一般に、保持容量708の2つの電極のうち、駆動TF T 707のゲート電極と接続されていない側は、カレントTF T 706または駆動TF T 707に電流が流れる間、それぞれのTF Tの第2の端子の電位と等しい電位に保たれる構成であればよい。

【0162】また、図8(B)において、消去TF T 501の第1の端子は、電源線Wとは別の配線に接続されていてもよい。また、消去TF T 501は、駆動TF T 707と直列に接続されていてもよい。

【0163】なお、図8と異なり、EL素子の画素電極は陰極である場合、EL素子が発光する際、カレントTF T 706及び駆動TF T 707のソース端子の電位が固定され動作するのが望ましいため、カレントTF T 706及び駆動TF T 707としてNチャンネル型TF Tを用いるのが望ましい。

【0164】駆動方法は、実施の形態1や、実施の形態2において示した手法と同様であるので、ここでは説明は省略する。

【0165】(実施の形態4)本実施の形態では、実施

の形態1で示したマルチドレイン素子とは異なる構成のマルチドレイン素子を用いた画素構成について説明する。説明には、図20及び図21を用いる。なお、図20において図8と同じ部分は同じ符号を用いて示し、説明は省略する。

【0166】図20では、図8と異なり、マルチドレイン素子8101を用いている。マルチドレイン端子8101は、ゲート信号線Gに入力された信号によって、カレントTF T 706及び駆動TF T 707のゲート電極と、カレントTF T 706の第1の端子を信号線Sと接続する。また、カレントTF T 706のゲート電極には保持容量8708の一方の電極が接続される。保持容量8708のもう一方の電極は電源線Wに接続されている。なお、図20(A)に対して図20(B)では、消去TF T 501を設けている。

【0167】図20(A)に示した構成の画素において、駆動方法は実施の形態1で示した手法と同様であるのでここでは説明は省略する。また、図20(B)に示した構成の画素において、駆動方法は実施の形態2で示した手法と同様であるのでここでは説明は省略する。

【0168】マルチドレイン素子8101の各端子について、図21(A)を用いて説明する。マルチドレイン素子8101は、端子T0に入力された信号電位に応じて、端子T1~端子T4間(端子T1と端子T2間、端子T2と端子T3間、端子T1と端子T3間、端子1と端子4間、端子2と端子4間、端子3と端子4間)が、開放される状態と、短絡される状態とを選択することができる。

【0169】また、マルチドレイン素子8101を作製した例について、図21(B)~図21(D)に示す。図21(C)は図21(B)におけるA~A'の断面図である。また図21(D)は図21(B)におけるB~B'の断面図である。なお、図2(B)~図2(D)と同じ部分は、同じ符号を用いて示し説明は省略する。図21(B)では、図2(B)と異なり、端子T1~端子T4のうちの1つに対応する接続電極224が形成されている。接続電極224はコンタクトホール202dによって活性層201の不純物領域203d(図21(D)参照)と接続されている。

【0170】(実施の形態5)本実施の形態では、本発明の表示装置の各画素に配置されたEL素子の構造について説明する。

【0171】なおEL素子とは、陽極と陰極の間にEL層を有する構成とする。なお、EL素子の陽極と陰極の間に形成された層を総称してEL層を表記している。なお、EL層は有機物より形成されていてもよいし、無機物より形成されていてもよい。また、有機物と無機物の両方を有していてもよい。

【0172】EL素子を形成するEL層を、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送

層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のEL素子と表記する）とする。

【0173】混合接合型のEL素子の構造を示す模式図を、図14及び図15に示す。図14及び図15において、1401はEL素子の陽極である。1402はEL素子の陰極である。陽極1401と陰極1402の間に挟まれた層が、EL層に相当する。

【0174】図14(A)において、EL層は、正孔輸送材料からなる正孔輸送領域1403と、電子輸送材料からなる電子輸送領域1404とを含み、前記正孔輸送領域1403は前記電子輸送領域1404よりも陽極側に位置し、且つ、前記正孔輸送領域1403と、前記電子輸送領域1404の間に、前記正孔輸送材料及び前記電子輸送材料の両方を含む混合領域1405が設けられた構成とすることができる。

【0175】なおこのとき、陽極1401から陰極1402の方向に、前記混合領域1405内の前記正孔輸送材料の濃度は減少し、前記混合領域1405内の電子輸送材料の濃度は増加することを特徴としても良い。

【0176】なお上記構成において、正孔輸送材料のみからなる正孔輸送領域1403が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域1405内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、正孔輸送材料のみからなる正孔輸送領域1403及び電子輸送材料のみからなる電子輸送領域1404が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域1405内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、前記濃度の割合は、陽極や陰極からの距離に依存して変化する構成であってもよい。更に、前記濃度の割合の変化は連続的であってもよい。濃度勾配の設定の仕方は、自由に設定することが可能である。

【0177】前記混合領域1405内に、発光材料が添加された領域1406を有する。発光材料によって、EL素子の発光色を制御することができる。また、発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体等の他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、EL素子の発光色を制御することができる。

【0178】陽極1401としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドープ酸化インジウム(ITO)

や、亜鉛ドープ酸化インジウム(IZO)、ZnO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>等の透明電極を用いることができる。また、透光性を有する必要が無いならば、陽極1401は、不透明の金属材料でもよい。

【0179】また、正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。

【0180】また、電子輸送材料としては、キノリン誘導体、8-キノリノールまたはその誘導体を配位子とする金属錯体（特に、トリス（8-キノリノライト）アルミニウム(Alq<sub>3</sub>)）等を用いることができる。

【0181】陰極1402としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。また、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。

【0182】図14(A)とは異なる構成のEL素子の模式図を図14(B)に示す。なお、図14(A)と同じ部分は同じ符号を用いて示し、説明は省略する。

【0183】図14(B)では、発光材料が添加された領域を有さない。しかし、電子輸送領域1404に添加する材料として、電子輸送性及び発光性の両方を有する材料（電子輸送発光材料）、例えば、トリス（8-キノリノライト）アルミニウム(Alq<sub>3</sub>)を用いる構成とし、発光を行うことができる。

【0184】または、正孔輸送領域1403に添加する材料として、正孔輸送性及び発光性の両方を有する材料（正孔輸送発光材料）を用いてもよい。

【0185】図14(A)及び図14(B)とは異なる構成のEL素子の模式図を図14(C)に示す。なお、図14(A)及び図14(B)と同じ部分は同じ符号を用いて示し、説明は省略する。

【0186】図14(C)において、正孔輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい正孔プロッキング性材料が、混合領域1405内に添加された領域1407を有する。正孔プロッキング性材料が添加された領域1407を、混合領域1405内の発光材料が添加された領域1406より陰極1402側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔プロッキング性材料が添加された領域1407を設ける構成は、特に、三重光励起子による発光（燐光）を利用するEL素子において有効である。

【0187】図14(A)、図14(B)及び図14(C)とは異なる構成のEL素子の模式図を図14(D)に示す。なお、図14(A)、図14(B)及び図14(C)と同じ部分は同じ符号を用いて示し、説明は省略する。

【0188】図14(D)において、電子輸送材料に比

べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい電子プロッキング性材料が、混合領域1405内に添加された領域1408を有する。電子プロッキング性材料が添加された領域1408を、混合領域1405内の発光材料が添加された領域1406より陽極1401側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子プロッキング性材料が添加された領域1408を設ける構成は、特に、三重光励起子による発光(燐光)を利用するEL素子において有効である。

【0189】図14(A)~図14(D)に示したような混合接合型のEL素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【0190】上記混合接合型のEL素子を作製する手法としては、共蒸着法等を用いることができる。

【0191】なお、図14(A)~図14(D)に示した構成は、自由に組み合わせて実施することが可能である。

【0192】なお、混合接合型のEL素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【0193】本実施の形態は、実施の形態1~実施の形態4と自由に組み合わせて実施することが可能である。

【0194】つまり、実施の形態1~実施の形態4に示したようなマルチドレイン素子を用いた構成の画素において、本実施の形態に示したような混合接合型のEL素子を用いることができる。こうして、EL素子の劣化をさらに低減することができる。

【0195】(実施の形態6)本実施の形態では、実施の形態5と異なる構成のEL素子について説明する。

【0196】図15は、図14とは異なる混合接合型のEL素子の構成を示す模式図である。図15では、EL素子の電極に接するEL層の部分に、金属材料を添加した構成の例を示す。図15において、図14と同じ部分は同じ符号を用いて示し説明は省略する。陰極1401としてMgAg(Mg Ag合金)を用い、電子輸送材料が添加された領域1404の、陰極1402に接する領域にAl(アルミニウム)合金を添加した構成とする。上記構成によって、陰極の酸化を防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型のEL素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。

【0197】なお、混合接合型のEL素子の構成は、これに限定されない。公知の構成を自由に用いることができる。

【0198】本実施の形態は、実施の形態1~実施の形態4と自由に組み合わせて実施することが可能である。

【0199】つまり、実施の形態1~実施の形態4に示

したようなマルチドレイン素子を用いた構成の画素において、本実施の形態に示したような混合接合型のEL素子を用いることができる。こうして、EL素子の劣化をさらに低減することができる。

【0200】(実施の形態7)本実施の形態では、本発明の表示装置の各画素が有するEL素子の塗り分けの構成について説明する。

【0201】図16に本実施の形態のEL表示装置の画素の断面図を示す。なお、EL表示装置の3画素分のみを代表で示し、それぞれの画素を構成する素子として、EL素子及びEL素子の画素電極と接続されたTFTのみを示す。EL素子に直列に接続されたTFTは、図1や図5に示した、駆動TFT707が挙げられる。

【0202】図16において、画素基板1900上に、TFT1901\_R、1901\_G、1901\_Bが形成されている。本実施の形態では、TFT1901\_R、1901\_G、1901\_Bはそれぞれ、図1や図5に示す、駆動TFT707であるとする。

【0203】なお、駆動TFT1901\_R、1901\_G、1901\_Bとしては、図に示した構成に限定されず、公知の構成のTFTを自由に用いることができる。例えば、図16において駆動TFT1901\_R、1901\_G、1901\_Bは、シングルゲート型TFTとしたが、マルチゲート型TFTでもかまわない。また、図16において駆動TFT1901\_R、1901\_G、1901\_Bは、トップゲート型TFTとしたが、ボトムゲート型TFTであってもよい。更に、チャネル形成領域の上下に、ゲート絶縁膜と介して配置された2つのゲート電極を有する、デュアルゲート型TFTであっても良い。

【0204】駆動TFT1901\_R、1901\_G、1901\_B上には、第1の層間膜1910が形成されている。第1の層間膜1910に、駆動TFT1901\_R、1901\_G、1901\_Bのソース領域またはドレイン領域に達するコンタクトホールを形成し、配線層を形成し、所望の形状にパターンニングして、配線1919\_R、1919\_G、1919\_Bを形成する。そして配線1919\_R、1919\_G、1919\_B上に、第2の層間膜1911を形成する。次に、第2の層間膜1911に、配線1919\_R、1919\_G、1919\_Bに達するコンタクトホールを形成し、画素電極1912\_R、1912\_G、1912\_Bを形成する。

【0205】なお、第2の層間膜1911を設けない構成であっても良い。つまり、配線1919\_R、1919\_G、1919\_Bと同じ層に、画素電極1912\_R、1912\_G、1912\_Bを形成する構成であってもよい。

【0206】次に、赤色発光のEL層1914\_R、緑色発光のEL層1914\_G、青色発光のEL層191

4\_\_Bを順に形成する。その後、EL素子1614の対向電極1915を、形成する。こうして、画素電極1912\_\_Rと、赤色発光のEL層1914\_\_Rと、対向電極1915とによって構成される赤色発光するEL素子が形成される。画素電極1912\_\_Gと、緑色発光のEL層1914\_\_Gと、対向電極1915とによって構成される緑色発光するEL素子が形成される。画素電極1912\_\_Bと、青色発光のEL層1914\_\_Bと、対向電極1915とによって構成される青色発光するEL素子が形成される。

【0207】このようにEL層1914\_\_R、1914\_\_G、1914\_\_Bを形成する(塗り分ける)際に、各EL層1914\_\_R、1914\_\_G、1914\_\_Bをその境界(端部)1990において重ねる構成とする。上記構成では、従来、各発光色に対応するEL層を塗り分ける際に用いられた、絶縁膜で形成された土手等が必要ない。よって、EL層の塗り分けのマージンを縮小し、画素における発光領域の面積を大きくとることが可能である。

【0208】なお図16では、赤、青、緑の3色にそれぞれ対応する画素において、EL素子のEL層の端部を重ねて配置する例を示したが、本発明の表示装置の構成はこれに限定されない。任意の数の発光色にそれぞれ対応する画素において、上記構成を応用することが可能である。

【0209】本実施の形態は、実施の形態1~実施の形態5と自由に組み合わせて実施することが可能である。

【0210】つまり、実施の形態1~実施の形態4に示したようなマルチドレイン素子を用いた構成の画素において、EL素子のEL層の端部を重ねて配置する構成を用いることができる。こうして開口率をさらに向上させ、EL素子の劣化をさらに低減することができる。

【0211】また、実施の形態5や実施の形態6に示したような混合接合型のEL素子を有する画素において、EL素子のEL層の端部を重ねて配置する構成を用いることができる。こうして開口率を向上させ、EL素子の劣化をさらに低減することができる。

【0212】更に、実施の形態1~実施の形態4に示したようなマルチドレイン素子を用いた画素で、更に実施の形態5や実施の形態6に示したような混合接合型のEL素子を有する構成の画素において、EL素子のEL層の端部を重ねて配置する構成を用いることができる。こうして開口率をさらに向上させ、EL素子の劣化をさらに低減することができる。

【0213】(実施の形態8)本実施の形態では、本発明の表示装置の各画素に配置されたEL素子の構造について説明する。

【0214】EL素子のEL層を構成する有機材料としては、低分子材料でも高分子材料でもよい。また、これらの材料を両方用いてもよい。有機化合物材料として低

分子材料を用いる場合は、蒸着法によって成膜することができる。一方、EL層として高分子材料を用いる場合は、高分子材料を溶媒に溶かし、スピン塗布法やインクジェット方式で成膜することができる。

【0215】また、EL層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が20程度以下の有機発光材料を示すものとする。EL層として中分子材料を用いる場合は、インクジェット方式等で成膜することができる。

【0216】なお、低分子材料と、高分子材料と、中分子材料とを組み合わせ用いても良い。

【0217】また、EL素子は、一重項励起子からの発光(蛍光)を利用するものでも、三重項励起子からの発光(燐光)を利用するものでも、どちらでも良い。

【0218】本実施の形態は、実施の形態1~実施の形態7と自由に組み合わせて実施することが可能である。

【0219】(実施の形態9)本実施の形態では、実施の形態1において図2に示した構成のマルチドレイン素子とは異なる構成のマルチドレイン素子を作製した例を、図13を用いて説明する。なお図13において、図2と同じ部分は同じ符号を用いて示し説明は、省略する。

【0220】図13(A)に、マルチドレイン素子の記号を示す。図13(B)は、図13(A)に示したマルチドレイン素子を作製した際の上面図である。また、図13(C)は、図13(B)のA-A'の断面図である。図13(D)は、図13(B)のB-B'の断面図である。

【0221】図13(C)及び図13(D)において、絶縁表面を有する基板200上に形成された活性層201は、同じ導電型を付与する不純物が添加された不純物領域203a、203b、203c及び230cと、チャネル領域204a、204b、204cを有している。電極220とチャネル形成領域204a、204b、204cとは、ゲート絶縁膜205を間に挟んで重なっている。また、接続電極221~223はそれぞれ、電極220上に形成された絶縁膜206上に形成され、コンタクトホール202a~202cを介して、前記不純物領域203a、203b、203cと電氣的に接続されている。電極220は、図13(A)における端子T0に相当する。図13における電極220の配置は、図2における電極220の配置と異なる。また、接続電極221は、端子T1に相当し、接続電極222は、端子T2に相当し、接続電極223は、端子T3に相当する。

【0222】なお、接続電極221は、端子T2に相当し、接続電極222は、端子T3に相当し、接続電極223は、端子T1に相当してもよい。また、接続電極221は、端子T3に相当し、接続電極222は、端子T

1に相当し、接続電極223は、端子T2に相当してもよい。

【0223】不純物領域203a、203b、203c及び230cはそれぞれチャンネル形成領域204a、204b、204cのうちの1つまたは、3つ全てに接している。なお本実施の形態では、全ての不純物領域がそれぞれチャンネル形成領域204に接しているが、本発明はこの構成に限定されない。不純物領域203a、203b、203c及び230cとチャンネル形成領域204a、204b、204cの間に、不純物領域よりも不純物濃度の低い低濃度不純物領域(LDD領域)が設けられていてもよい。

【0224】なお、図13(C)及び図13(D)ではゲート絶縁膜205が不純物領域203a、203b、203c及び230cを覆っているが、本発明はこの構成に限定されない。不純物領域203a、203b、203c及び230cは必ずしもゲート絶縁膜205に覆われている必要はなく、露出していてもよい。

【0225】マルチドレイン素子101は、通常のTF Tの工程と同様のプロセスで作製することが可能である。図13(C)及び図13(D)において、本発明のマルチドレイン素子101の電極220は、公知のTF Tのゲート電極と等しい材料によって形成することができる。また、活性層201に、チャンネル形成領域204a、204b、204cと、不純物領域203a、203b、203c及び230cを形成する手法も、公知のTF Tと同様にすることができる。

【0226】ここで、電極220の活性層201と重なる部分を、マルチドレイン素子のゲート電極とも呼ぶことにする。また、マルチドレイン素子の端子T1~T3が接続された不純物領域203a~203cは、それぞれソース領域またはドレイン領域と呼ぶことにする。また、マルチドレイン素子の端子T1~T3を、ソース端子またはドレイン端子とも呼ぶことにする。

【0227】図13に示したマルチドレイン素子101は、電極(ゲート電極)220に印加される電位によって、チャンネル形成領域204a、204b、204cに形成されるチャンネルが変化し、各端子T1~T3間(ソース・ドレイン端子間に相当する)の抵抗が制御される。つまり、ゲート電極220の電位によって、チャンネル形成領域にチャンネルが形成され、ソース・ドレイン端子間が導通状態となる。

【0228】例えば図13において、マルチドレイン素子101の不純物領域203a、203b、203c及び230cには、N型を付与する不純物元素が添加されているものとする。このとき、ゲート電極T0の電位を、不純物領域203a、203b、203cのうちのいずれか1つまたは2つに相当するソース領域の電位より十分に高くする。こうして、端子T1~端子T3を短絡することができる。上記構成のマルチドレイン素子1

01を、Nチャンネル型マルチドレイン素子と呼ぶことにする。

【0229】一方、図13において、マルチドレイン素子101の不純物領域203a、203b、203c及び230cには、P型を付与する不純物元素が添加されているものとする。このとき、ゲート電極T0の電位を、不純物領域203a、203b、203cのうちのいずれか1つまたは2つに相当するソース領域の電位より十分に低くする。こうして、端子T1~端子T3を短絡することができる。上記構成のマルチドレイン素子を、Pチャンネル型マルチドレイン素子と呼ぶことにする。

【0230】こうして、図13のマルチドレイン素子101は、3つのノード、具体的には端子T1~T3を同時に接続することができる。

【0231】本実施の形態は、実施の形態1~実施の形態9と自由に組みあわせて実施することが可能である。

【0232】つまり、実施の形態1~実施の形態4に示したようなマルチドレイン素子の代わりに、本実施の形態に示した構成のマルチドレイン素子を用いることができる。

【0233】また、実施の形態5や実施の形態6に示したような混合接合型のEL素子を有する画素において、本実施の形態に示したマルチドレイン素子を用いることができる。こうして、開口率をさらに向上させ、EL素子の劣化をさらに低減することができる。

【0234】更に、EL素子のEL層の端部を重ねて配置する構成を用いることができる。こうして開口率をさらに向上させ、EL素子の劣化をさらに低減することができる。

【0235】(実施の形態10)本実施の形態では、EL素子に定期的に逆バイアスを印加し、劣化を抑制する構成について説明する。

【0236】上記駆動方法を用いる際の画素構成の例を、図17、図18、図19に示す。なお、図17、図18において、図1(A)と同じ部分は同じ符号を用いて説明は省略する。また、図19において図20と同じ部分は同じ符号を用いて示す。ここで、画素電極は陽極であり、対向電極は陰極であるとする。

【0237】図17(A)では、EL素子709の画素電極にスイッチ991を介して端子992が接続されている。ここで、端子992の電位 $V_{992}$ をEL素子709の対向電極の電位より小さく設定する。スイッチ991をオンすることによって、EL素子709の画素電極の電位を対向電極の電位より小さくする。こうして、EL素子709に逆バイアスを印加する。

【0238】次いで、図17(A)の構成の画素において、逆バイアスを印加する際の駆動方法について説明する。例えば、実施の形態1に示したような時分割階調方式を用いる場合を例に説明する。画素が表示を行わない

期間に逆バイアス印加の操作を行うことができる。例えば、画像表示を一時中断してスイッチをオン状態とし、E L 素子 709 に逆バイアスを印加することができる。ここで、画素が表示を行っている期間では、スイッチ 991 はオフ状態である。時分割階調方式を行う際のスイッチ 991 以外の動作は、実施の形態 1 と同様であるので説明は省略する。

【0239】同様に、図 18 (A) や図 19 (A)、図 20 (A) の構成の画素においても、逆バイアス印加の操作を行うことができる。

【0240】また、図 17 (A) に示した画素の構成において、消去トランジスタを設けてもよい。この構成例を図 17 (B) に示す。なお、図 17 (A) と同じ部分と同じ符号を用いて示す。

【0241】ここで、図 17 (B) に示した画素構成において、逆バイアスを印加する際の駆動方法について説明する。例えば、実施の形態 2 に示したような時分割階調方式を用いる場合を例に説明する。画素が表示を行わない期間に逆バイアス印加の操作を行うことができる。例えば、非表示期間において、E L 素子 709 に逆バイ

アスを印加することができる。ここで、表示期間ではスイッチ 991 はオフ状態である。時分割階調方式を行う際のスイッチ 991 以外の動作は、実施の形態 2 と同様であるので説明は省略する。

【0242】同様に、図 18 (B) や図 19 (B)、図 20 (B) の構成の画素においても、逆バイアス印加の操作を行うことができる。

【0243】また、図 17 (C) に、図 17 (B) に示した構成においてスイッチ 991 として TFT を用いた例を示す。ここで、時分割階調表示を行う場合に、非表

示期間において逆バイアスを印加する駆動方法とすることができる。そのためには、スイッチ 991 は消去 TFT 501 がオン状態の時にオン状態となるよう動作させる。このとき、スイッチ 991 のゲート電極に入力される信号は、消去 TFT 501 のゲート電極に入力される信号 (消去用ゲート信号線 RG) の信号と同じとすることができる。

【0244】同様に、図 18 (C) や図 19 (C)、図 20 (C) の構成の画素においても、逆バイアス印加の操作を行うことができる。

【0245】上記構成によって、各画素の E L 素子の劣化を抑制することができる。

【0246】本実施の形態は、実施の形態 1 ~ 実施の形態 9 と自由に組み合わせて実施することができる。

【0247】つまり、実施の形態 1 ~ 実施の形態 4 に示したようなマルチドレイン素子において、E L 素子に逆バイアスを印加する構成を適用することができる。こう

して、E L 素子の劣化をさらに低減することができる。

【0248】また、実施の形態 5 や実施の形態 6 に示したような混合接合型の E L 素子を有する画素において、

\* E L 素子に逆バイアスを印加する構成を適用することができる。こうして、E L 素子の劣化をさらに低減することができる。

【0249】更に、E L 素子の E L 層の端部を重ねて配置する構成を用いることができる。こうして開口率をさらに向上させ、E L 素子の劣化をさらに低減することができる。

【0250】(実施の形態 11) 本発明は、表示装置を有する表示システムに応用することができる。ここで、表示システムとは、表示装置に入力される映像信号を記憶するメモリや、表示装置の各駆動回路に入力する制御信号 (クロックパルス、スタートパルス等) を出力するコントローラ、メモリやコントローラを制御する CPU 等を含むものとする。

【0251】また、本発明の表示装置は、様々な電子機器に応用することができる。本発明を用いて作製した電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置) などが挙げられる。

【0252】本実施の形態は、実施の形態 1 ~ 実施の形態 10 と自由に組み合わせて実施することが可能である。

【発明の効果】本発明は上記構成によって、E L 素子において、劣化等による電流特性の変化による輝度の変化を低減し、ほぼ一定の輝度で発光させることが可能な表示装置を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の表示装置の画素の構成を示す図。

【図 2】 本発明の表示装置の画素の有するマルチスイッチング素子の構成を示す図。

【図 3】 本発明の表示装置の画素部の構成を示す図。

【図 4】 本発明の表示装置の駆動方法を示すタイミングチャートを示す図。

【図 5】 本発明の表示装置の画素の構成を示す図。

【図 6】 本発明の表示装置の画素部の構成を示す図。

【図 7】 本発明の表示装置の駆動方法を示すタイミングチャートを示す図。

【図 8】 本発明の表示装置の画素の構成を示す図。

【図 9】 E L 素子の劣化を示す図。

【図 10】 電流制御型の画素の構成を示す図。

【図 11】 電流制御型の画素の駆動方法を示す図。

【図12】 電流制御型の画素の駆動方法を示すタイミングチャートを示す図。

【図13】 本発明の表示装置の画素の有するマルチスイッチング素子の構成を示す図。

【図14】 本発明の表示装置のEL素子の構成を示す模式図。

【図15】 本発明の表示装置のEL素子の構成を示す模式図。

\*【図16】 本発明の表示装置の画素部の構成を示す断面図。

【図17】 本発明の表示装置の画素の構成を示す図。

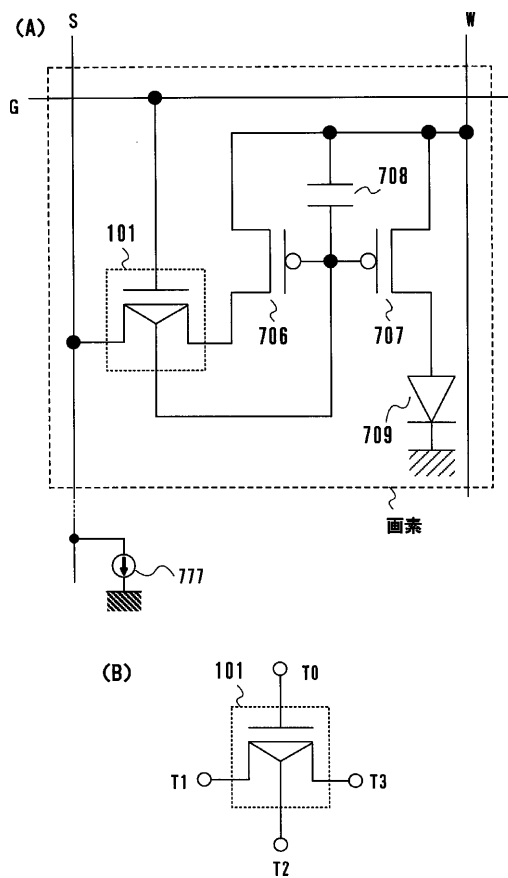
【図18】 本発明の表示装置の画素の構成を示す図。

【図19】 本発明の表示装置の画素の構成を示す図。

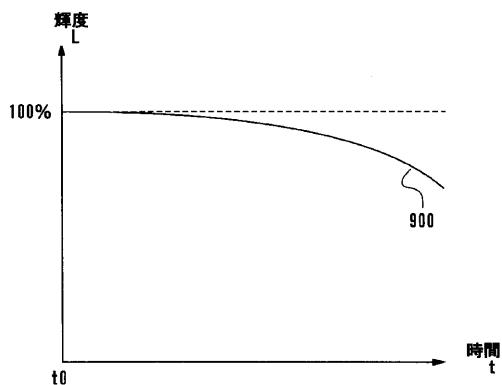
【図20】 本発明の表示装置の画素の構成を示す図。

【図21】 本発明の表示装置の画素の有するマルチスイッチング素子の構成を示す図。

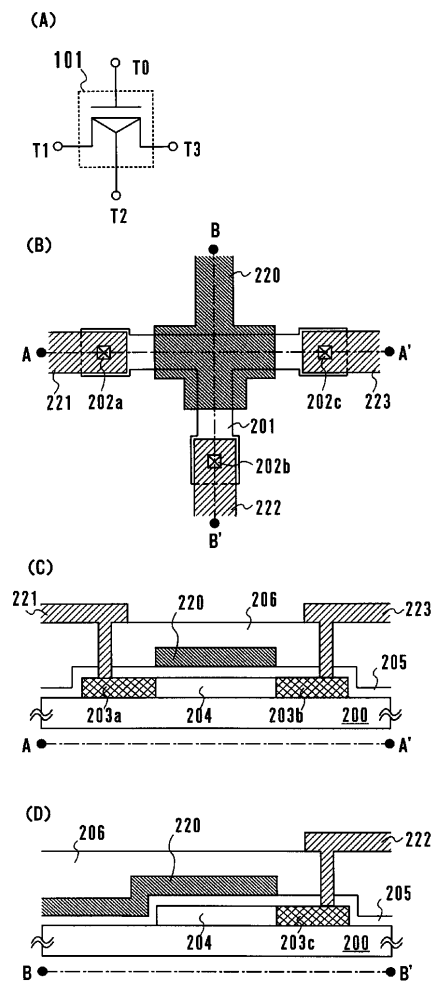
【図1】



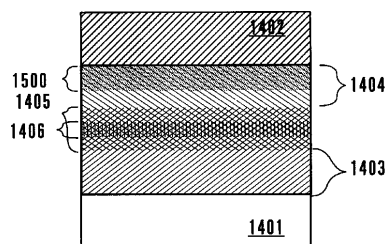
【図9】



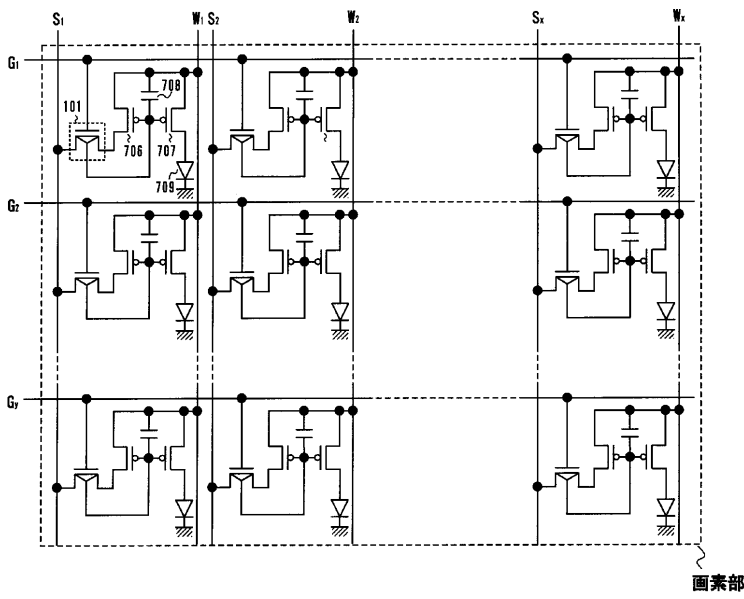
【図2】



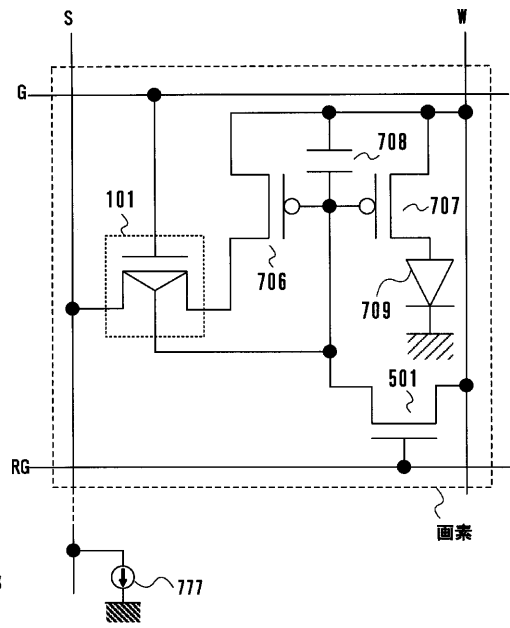
【図15】



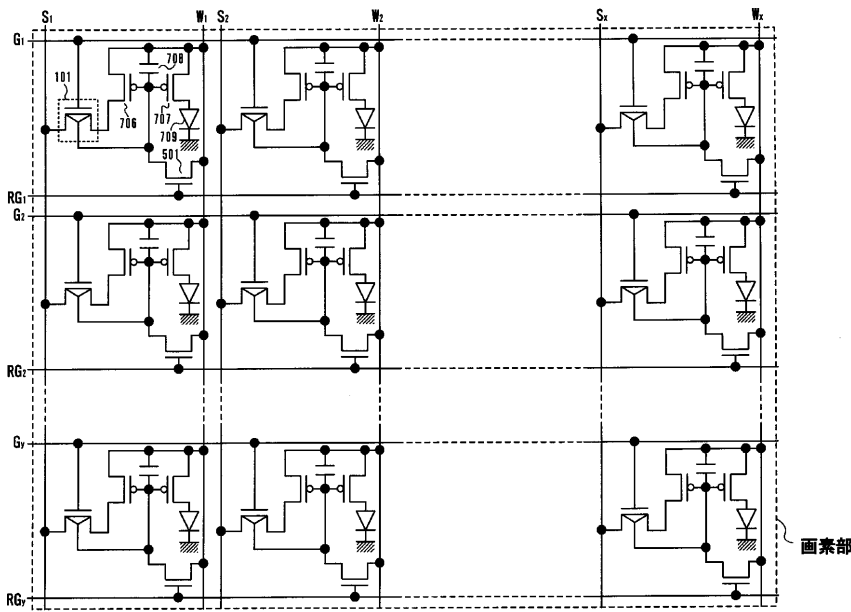
【図3】



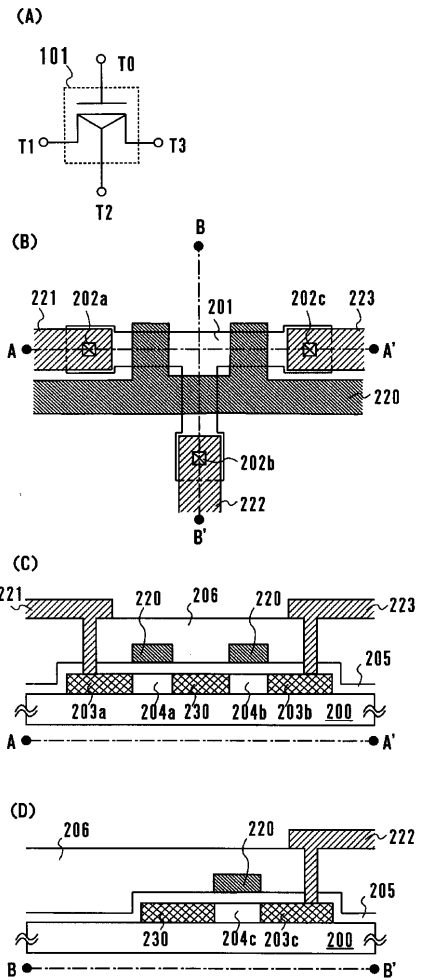
【図5】



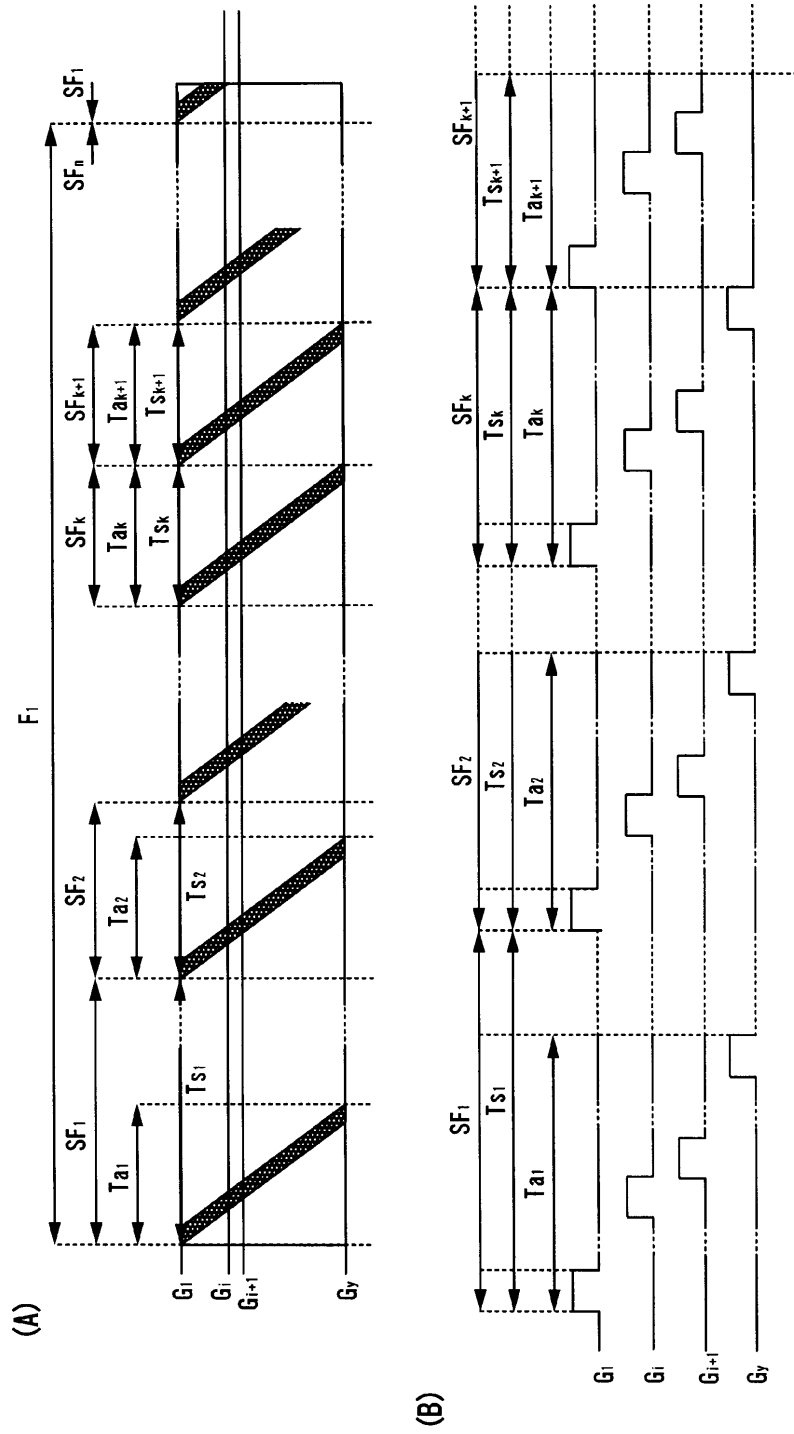
【図6】



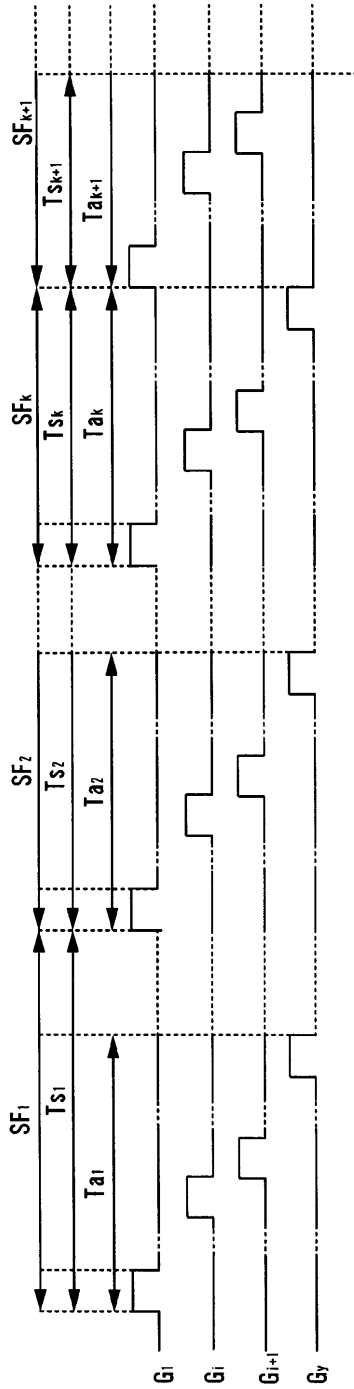
【図13】



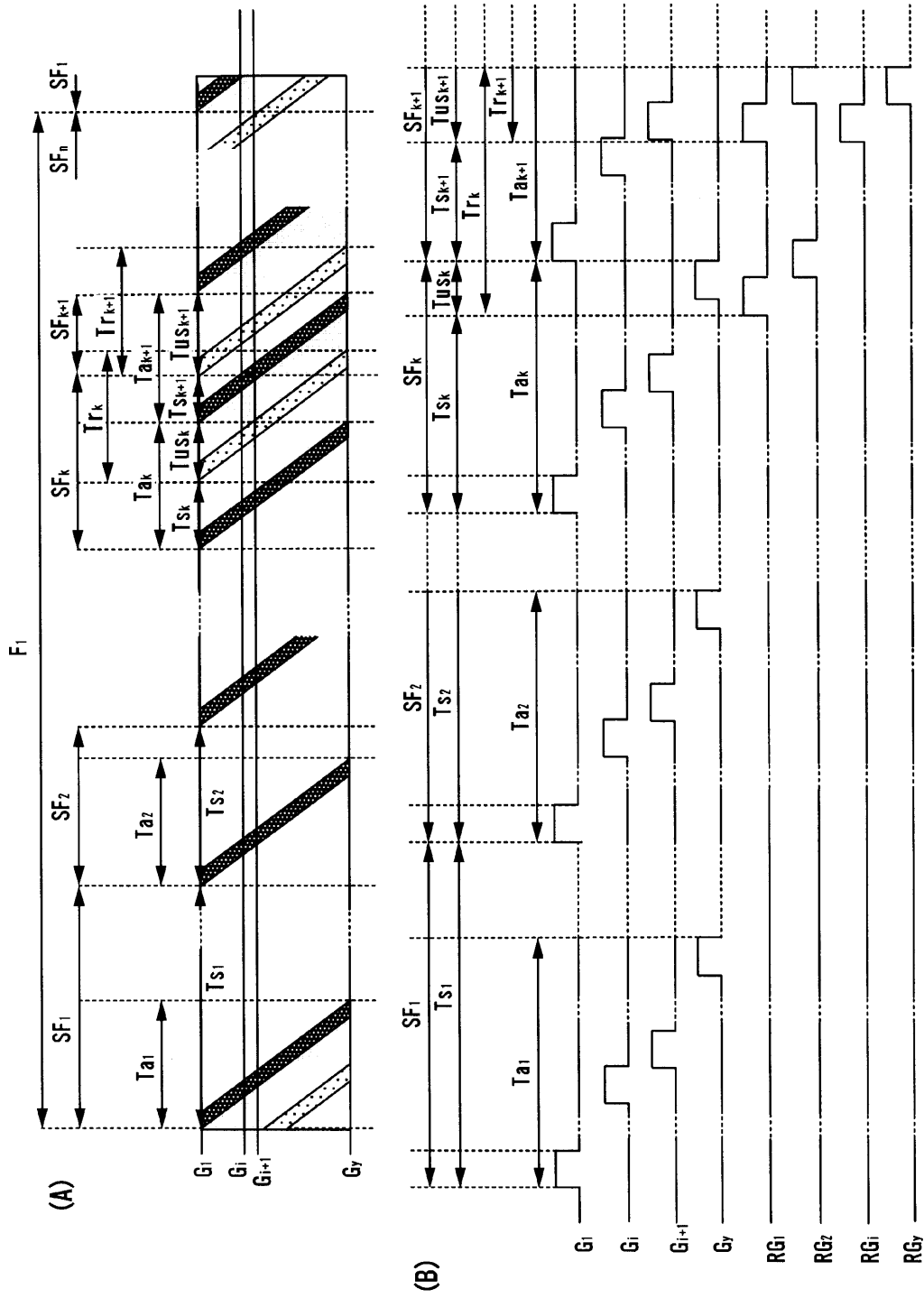
【図4】



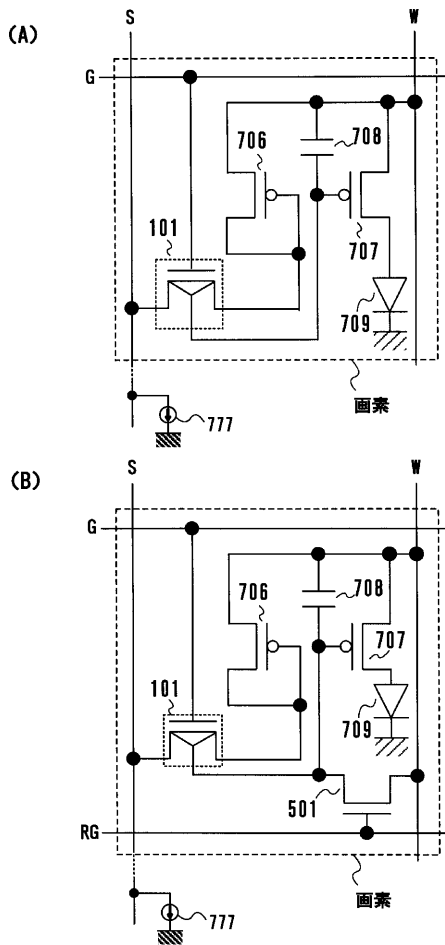
(B)



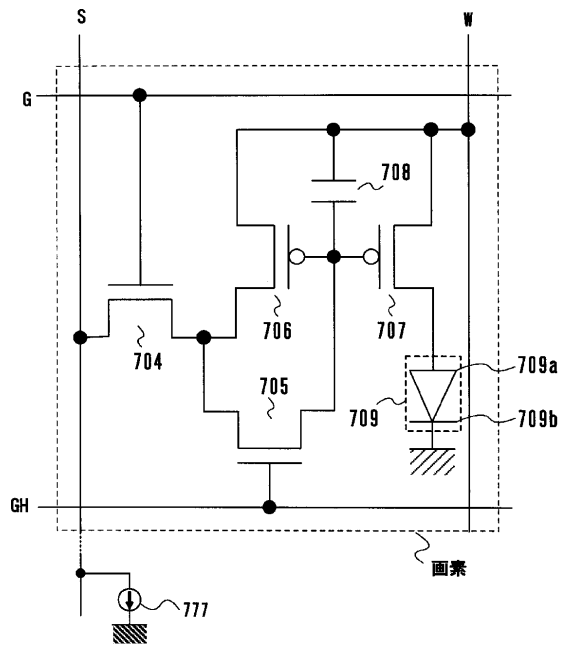
【図7】



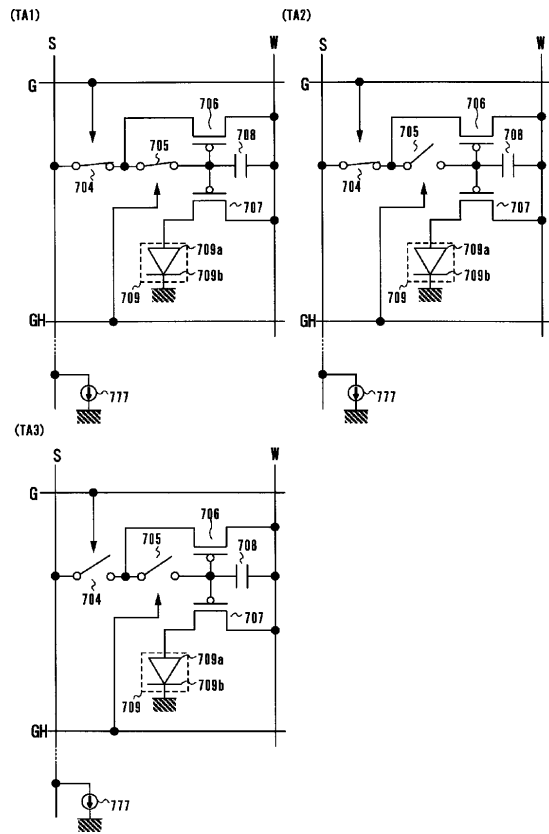
【図8】



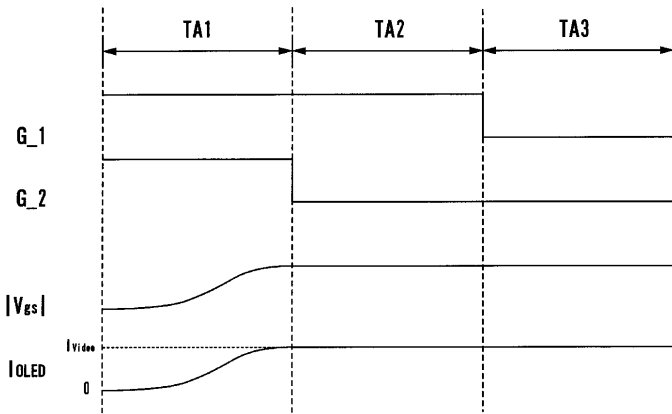
【図10】



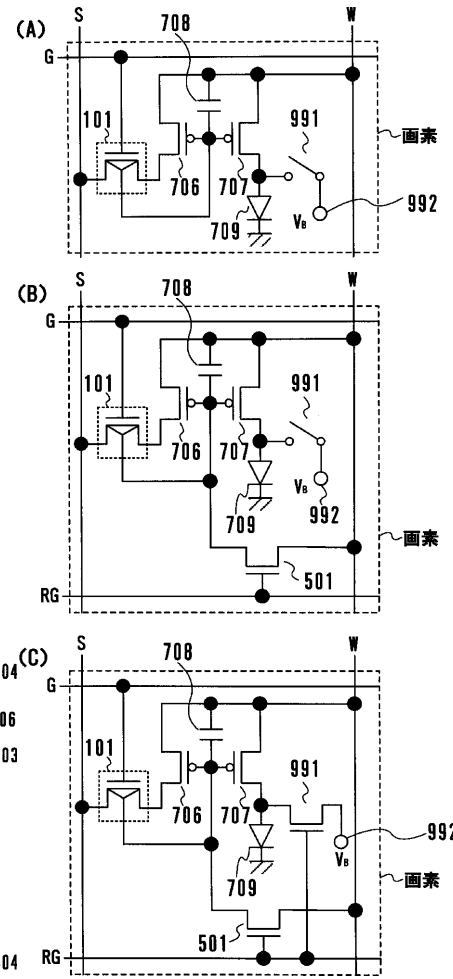
【図11】



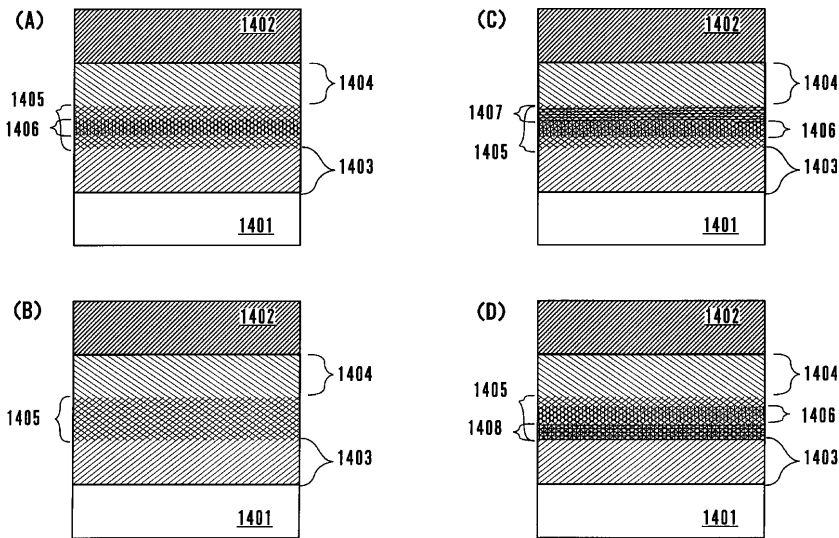
【図12】



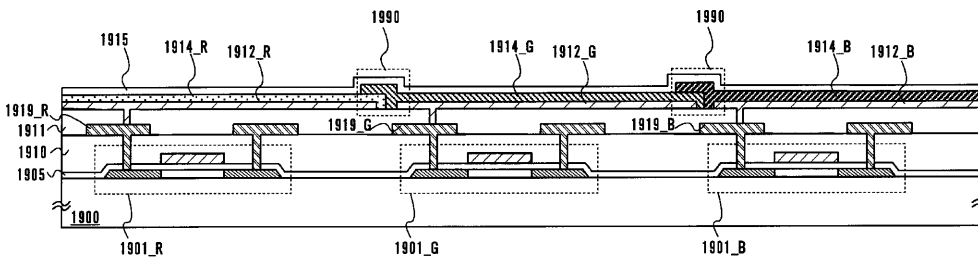
【図17】



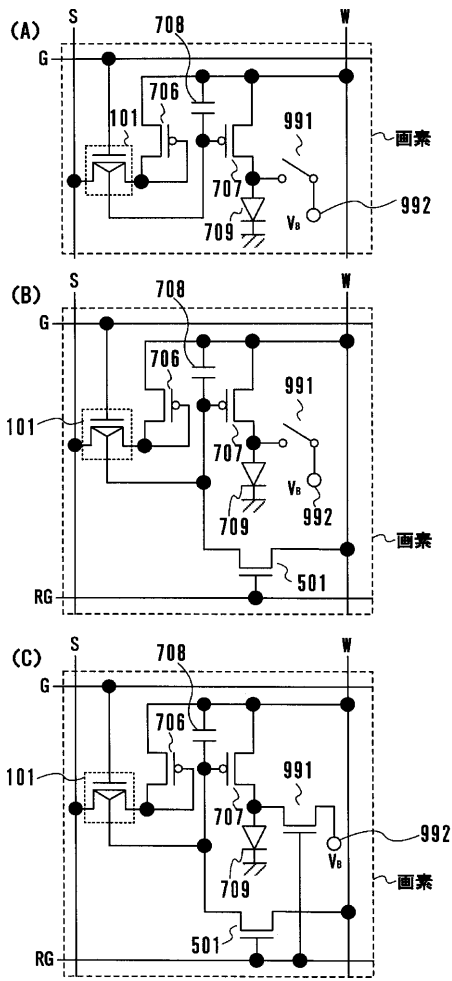
【図14】



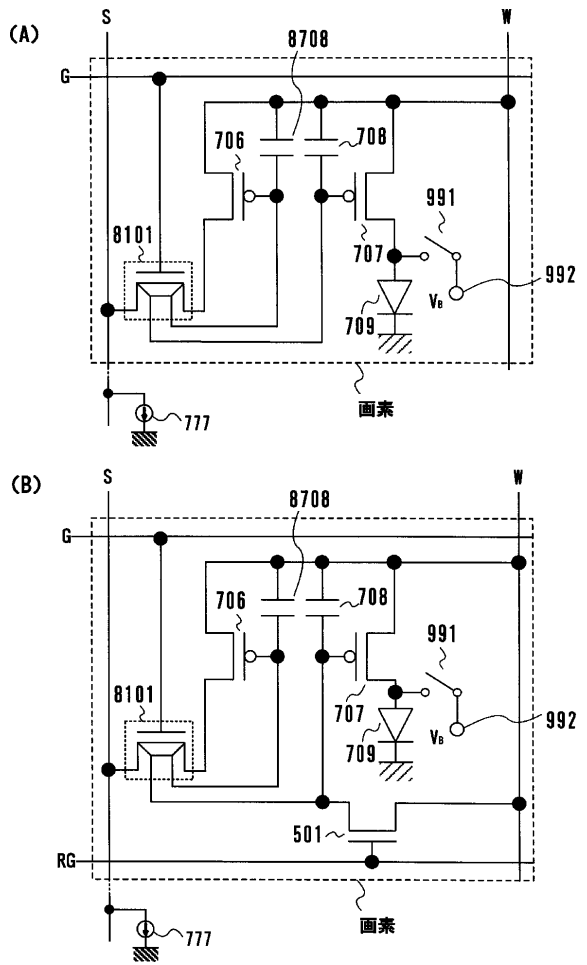
【図16】



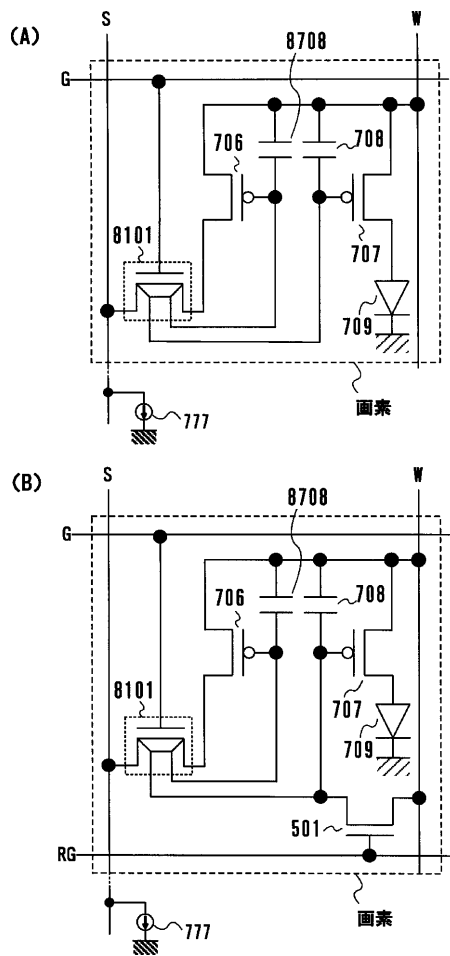
【図18】



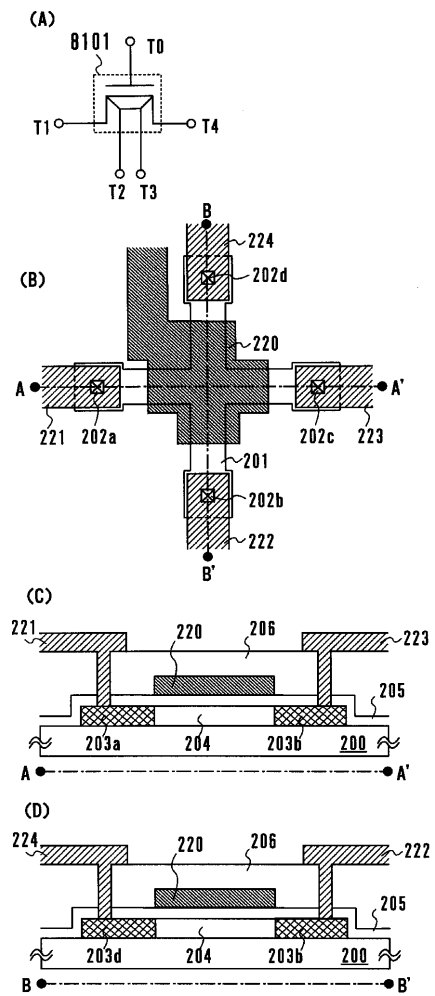
【図19】



【図20】



【図21】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコード<sup>\*</sup>(参考)

G 0 9 G 3/20

6 7 0

G 0 9 G 3/20

6 7 0 J

3/30

3/30

J

H 0 1 L 29/786

H 0 5 B 33/14

A

H 0 5 B 33/14

H 0 1 L 29/78

6 2 6 Z

6 1 8 C

6 1 6 T

6 1 4

Fターム(参考) 3K007 AB11 AB17 DB03 GA04  
5C080 AA06 BB05 DD03 DD05 EE28  
FF11 JJ03 JJ04 JJ05 JJ06  
5C094 AA03 AA07 AA31 BA03 BA27  
DA13 DB04 EA04 EA07 FA01  
FB14 FB15 FB19 HA08  
5F110 AA14 AA30 BB01 CC02 CC03  
CC07 DD11 EE28 EE30 GG23  
GG30 HM04 HM15 NN02 NN73  
NN78

专利名称(译)	<无法获取翻译>		
公开(公告)号	<a href="#">JP2003280557A5</a>	公开(公告)日	2005-09-08
申请号	JP2002087223	申请日	2002-03-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	犬飼和隆 瀬尾哲史 山崎舜平		
发明人	犬飼 和隆 瀬尾 哲史 山崎 舜平		
IPC分类号	G09G3/32 G09G3/30 H01L51/50 G09F9/30 H01L29/786 H01L27/32 G09G3/20 H05B33/14		
CPC分类号	G09G2300/0809 G09G2300/0852 G09G2310/0256 G09G3/3241 G09G3/2022 G09G2320/0233 G09G2330/08 G09G2320/043 G09G3/2029 G09G2300/0426 G09G2300/0842		
FI分类号	G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/20.641.D G09G3/20.642.C G09G3/20.670.J G09G3/30.J H05B33/14.A H01L29/78.626.Z H01L29/78.618.C H01L29/78.616.T H01L29/78.614		
F-TERM分类号	3K007/AB11 3K007/AB17 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA03 5C094/AA07 5C094/AA31 5C094/BA03 5C094/BA27 5C094/DA13 5C094/DB04 5C094/EA04 5C094/EA07 5C094/FA01 5C094/FB14 5C094/FB15 5C094/FB19 5C094/HA08 5F110/AA14 5F110/AA30 5F110/BB01 5F110/CC02 5F110/CC03 5F110/CC07 5F110/DD11 5F110/EE28 5F110/EE30 5F110/GG23 5F110/GG30 5F110/HM04 5F110/HM15 5F110/NN02 5F110/NN73 5F110/NN78 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC33 3K107/DD53 3K107/DD59 3K107/DD60 3K107/EE03 3K107/EE07 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB34 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BB05 5C380/BD05 5C380/BD08 5C380/BD09 5C380/BE11 5C380/BE14 5C380/CA13 5C380/CA14 5C380/CB01 5C380/CB17 5C380/CC14 5C380/CC26 5C380/CC34 5C380/CC38 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD013 5C380/CD014 5C380/CD015 5C380/CD023 5C380/CD024 5C380/CD025 5C380/CF02 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA11 5C380/DA16 5C380/DA47		
其他公开文献	JP2003280557A JP4046267B2		

#### 摘要(译)

解决的问题：解决由于EL显示装置中的EL元件的劣化引起的亮度变化的问题。在本发明的显示装置中，使用电流控制型像素以抑制由于EL元件的劣化而导致流过EL元件的电流的变化。此外，使用了可以同时短路或断开三个节点的元件。分别喷涂EL层时，该结构不需要堆积。使用混合型EL元件。反向偏置电压周期性地施加到EL元件。以此方式，提供了一种显示装置，其中抑制了由于EL元件的劣化引起的亮度变化。

