(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6417608号
(P6417608)

(45)発行日　平成30年11月7日(2018.11.7)　(24)登録日　平成30年10月19日(2018.10.19)

(51)Int.Cl.		F I		
G09G 3/30	(2006.01)	G09G	3/30	J
G09G 3/20	(2006.01)	G09G	3/20	624B
H01L 51/50	(2006.01)	G09G	3/20	642K
		G09G	3/20	670L
		G09G	3/20	670K

請求項の数 9　(全 69 頁)　最終頁に続く

(21)出願番号　特願2014-153089(P2014-153089)
(22)出願日　平成26年7月28日(2014.7.28)
(65)公開番号　特開2016-31431(P2016-31431A)
(43)公開日　平成28年3月7日(2016.3.7)
審査請求日　平成29年2月13日(2017.2.13)

(73)特許権者　514188173
株式会社ＪＯＬＥＤ
東京都千代田区神田錦町三丁目２３番地
(74)代理人　100189430
弁理士　吉川　修一
(74)代理人　100190805
弁理士　傍島　正朗
(72)発明者　高原　博司
大阪府門真市大字門真１００６番地　パナソニック株式会社内

審査官　橋本　直明

最終頁に続く

(54)【発明の名称】画像表示装置および画像表示装置の駆動方法。

(57)【特許請求の範囲】

【請求項１】

複数のゲート信号線および複数のソース信号線が形成され、前記複数のソース信号線と前記複数のゲート信号線との交点に配置された複数の画素を有する表示画面と、

第１の選択回路と、

第２の選択回路と、

映像信号を出力するソースドライバ回路と、

制御回路とを具備し、

前記複数の画素のそれぞれは、駆動用トランジスタと、第１のスイッチ用トランジスタと、第２のスイッチ用トランジスタと、コンデンサとを有し、

前記複数のゲート信号線のそれぞれには、第１のゲート信号線と、第２のゲート信号線とが含まれ、

前記第１のスイッチ用トランジスタは、前記第１のゲート信号線と接続され、

前記第２のスイッチ用トランジスタは、前記第２のゲート信号線と接続され、

前記第１のゲート信号線は、前記第１の選択回路に接続され、

前記第２のゲート信号線は、前記第２の選択回路に接続され、

前記制御回路は、前記表示画面に形成された前記第１のゲート信号線の選択順番を求め、

前記第１の選択回路は、前記制御回路が求めた前記第１のゲート信号線の選択順番に基づき、前記第１のゲート信号線を選択して、前記第１のスイッチ用トランジスタを動作状

態にし、前記ソースドライバ回路が出力する映像信号を、前記コンデンサに印加し、
前記第２の選択回路は、前記第２のゲート信号線を選択して、前記第２のスイッチ用トランジスタを動作状態にし、前記コンデンサに保持された映像信号に基づく電圧を、前記駆動用トランジスタに印加し、
前記表示画面に表示されるフレームは、複数のサブフィールドから構成され、表示画素ごとに、輝度値に応じて点灯させるサブフィールドが選択され、
前記表示画面には、任意の第１の画素行と、前記第１の画素行の次に選択する第２の画素行とが含まれ、
前記制御回路は、複数のサブフィールドのそれぞれについて、前記複数のソース信号線のそれぞれに接続された画素間ごとの前記第１の画素行に印加する映像信号の振幅と、前記第２の画素行に印加する映像信号の振幅との差の画素行についての総和が小さくなるように、前記第２の画素行を選択する
画像表示装置。
【請求項２】
前記複数の画素のそれぞれは、さらに、ＥＬ素子を有し、
前記駆動用トランジスタは、前記ＥＬ素子に電流を供給し、
前記第１のスイッチ用トランジスタは、前記コンデンサに、前記ソースドライバ回路が出力する映像信号を供給し、
前記第２のスイッチ用トランジスタは、前記コンデンサに保持された電圧を、前記駆動用トランジスタの供給する
請求項１記載の画像表示装置。
【請求項３】
前記第１の選択回路は、
第１の選択部と、
第２の選択部と、
前記第１の選択部を指定する第１のイネーブル信号線と、
前記第２の選択部を指定する第２のイネーブル信号線と、
前記第１の選択部と前記第２の選択部とに共通な複数の入力信号線とを有する
請求項１記載の画像表示装置。
【請求項４】
前記第２の選択回路は、
前記表示画面の複数の画素行の前記第２のゲート信号線に、共通した信号を印加する
請求項１記載の画像表示装置。
【請求項５】
前記複数の画素には、第１の色の画素と、第２の色の画素とが含まれ、
前記第１の色の画素および前記第２の色の画素は、横ストライプ状に配置されている
請求項１記載の画像表示装置。
【請求項６】
複数の画素がマトリックス状に配置された表示画面を有する画像表示装置の駆動方法であって、
前記複数の画素のそれぞれは、信号保持回路と、ＥＬ素子と、前記ＥＬ素子に電流を供給する駆動用トランジスタとを有し、
ソースドライバ回路がソース信号線に出力する映像信号の振幅の変化から、選択する画素行を決定し、
第１の期間において、
前記決定した画素行の画素の前記信号保持回路に、前記ソースドライバ回路が出力する映像信号を保持させ、
第２の期間において、
前記信号保持回路に保持された映像信号を、前記駆動用トランジスタに供給し、
前記表示画面に表示されるフレームは、複数のサブフィールドから構成され、表示画素

ごとに、輝度値に応じて点灯させるサブフィールドが選択され、
前記表示画面には、任意の第１の画素行と、前記第１の画素行の次に選択する第２の画素行とが含まれ、
前記選択する画素行の決定では、複数のサブフィールドのそれぞれについて、前記複数のソース信号線のそれぞれに接続された画素間ごとの前記第１の画素行に印加する映像信号の振幅と、前記第２の画素行に印加する映像信号の振幅との差の画素行についての総和が小さくなるように、前記第２の画素行を選択する
画像表示装置の駆動方法。
【請求項７】
前記複数の画素のそれぞれは、
コンデンサと、
前記コンデンサに、前記ソースドライバ回路が出力する映像信号を供給するための第１のスイッチ用トランジスタと、
前記コンデンサに保持された電圧を、前記駆動用トランジスタの供給する第２のスイッチ用トランジスタとを有する
請求項６記載の画像表示装置の駆動方法。
【請求項８】
前記複数の画素には、第１の色の画素と、第２の色の画素とが含まれ、
前記第１の色の画素および前記第２の色の画素は、横ストライプ状に配置されている
請求項６記載の画像表示装置の駆動方法。
【請求項９】
選択する画素行の決定では、
任意の画素行に印加される映像信号の第１の電圧値と、前記任意の画素行以外の画素行に印加される画素行の第２の電圧との電位差の２乗を求め、
前記電位差の２乗の値が小さくなるように、前記任意の画素行以外の画素行の中から、前記任意の画素行の次に前記ソースドライバ回路が映像信号を出力する画素行を決定する
請求項６記載の画像表示装置の駆動方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、画像表示装置および画像表示装置の駆動方法に関する。
【背景技術】
【０００２】
電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス素子（以下、ＥＬ素子と記す。）を用いたＥＬ表示パネルが知られている。このＥＬ表示パネルは、視野角特性が良好で、消費電力が少ないという利点を有する。
【０００３】
ＥＬ表示パネルは、複数の走査線（複数のゲート信号線）、複数の信号線（複数のソース信号線）、複数の表示画素、および、駆動回路等を備えている。複数の表示画素のそれぞれは、ゲート信号線とソース信号線との交差点に配置され、スイッチング素子、容量素子（コンデンサ）、駆動用トランジスタおよびＥＬ素子等を備えている。また、ピーク電流等を抑制する方法が検討されている（例えば、特許文献１参照）。
【０００４】
ＥＬ表示パネルでは、選択された画素の発光輝度を制御するために、映像信号等を出力するソースドライバＩＣ（回路）が配置されている。ソースドライバＩＣ（回路）は、ソース信号線に映像信号を印加する。また、ＥＬ表示パネルでは、選択された画素の発光タイミングを制御するために、選択された画素に接続されたゲート信号線にオン電圧またはオフ電圧を印加する。近年、ＥＬ表示パネルは、高精細化および大画面化する傾向がある。
【先行技術文献】

【特許文献】
【０００５】
【特許文献１】特開２００５－７０４２６号公報
【発明の概要】
【発明が解決しようとする課題】
【０００６】
しかしながら、大画面サイズ、高精細な表示パネルを用いたＥＬ表示パネルほど、ソース信号線の負荷容量が大きくなり、書き込み速度が高速になる傾向がある。ソース信号線の負荷容量が大きく、書き込み速度（動作周波数）が速いと、ソース信号線を駆動するソースドライバＩＣ（回路）の発熱量が大きくなる。
【０００７】
発熱量がソースドライバＩＣの耐熱量を上回ることが予想される場合は、ソースドライバＩＣの破損を防止するため、放熱機構が必要になるという課題がある。また、ソースドライバＩＣの発熱が、ＥＬ表示パネルの表示領域に伝熱され、画素のＥＬ素子を劣化させるという課題も発生する。放熱機構が大きいと、パネルモジュールの厚みが厚くなり、ＥＬ表示パネル（ＥＬ表示ディスプレイ）の薄型という特徴を発揮できなくなる。
【０００８】
そこで、本開示は、映像品質を低下させることなく発熱量を低減することが可能な画像表示装置およびその駆動方法を提供する。
【課題を解決するための手段】
【０００９】
本開示の一態様に係る画像表示装置は、複数のゲート信号線および複数のソース信号線が形成され、前記複数のソース信号線と前記複数のゲート信号線との交点に配置された複数の画素を有する表示画面と、第１の選択回路と、第２の選択回路と、映像信号を出力するソースドライバ回路と、制御回路とを具備するものである。
【００１０】
前記複数の画素のそれぞれは、駆動用トランジスタと、第１のスイッチ用トランジスタと、第２のスイッチ用トランジスタと、コンデンサとを有し、前記複数のゲート信号線のそれぞれには、第１のゲート信号線と、第２のゲート信号線とが含まれ、前記第１のスイッチ用トランジスタは、前記第１のゲート信号線と接続され、前記第２のスイッチ用トランジスタは、前記第２のゲート信号線と接続され、前記第１のゲート信号線は、前記第１の選択回路に接続され、前記第２のゲート信号線は、前記第２の選択回路に接続され、前記制御回路は、前記表示画面に形成された前記第１のゲート信号線の選択順番を求め、前記第１の選択回路は、前記制御回路が求めた前記第１のゲート信号線の選択順番に基づき、前記第１のゲート信号線を選択して、前記第１のスイッチ用トランジスタを動作状態にし、前記ソースドライバ回路が出力する映像信号を、前記コンデンサに印加し、前記第１の選択回路は、前記第２のゲート信号線を選択して、前記第２のスイッチ用トランジスタを動作状態にし、前記コンデンサに保持された映像信号に基づく電圧を、前記駆動用トランジスタに印加し、前記表示画面に表示されるフレームは、複数のサブフィールドから構成され、表示画素ごとに、輝度値に応じて点灯させるサブフィールドが選択され、前記表示画面には、任意の第１の画素行と、前記第１の画素行の次に選択する第２の画素行とが含まれ、前記制御回路は、複数のサブフィールドのそれぞれについて、前記複数のソース信号線のそれぞれに接続された画素間ごとの前記第１の画素行に印加する映像信号の振幅と、前記第２の画素行に印加する映像信号の振幅との差の画素行についての総和が小さくなるように、前記第２の画素行を選択することを特徴とするものである。
【００１１】
また、本開示の一態様に係る画像表示装置の駆動方法は、複数の画素がマトリックス状に配置された表示画面を有する画像表示装置の駆動方法である。
【００１２】
前記複数の画素のそれぞれは、信号保持回路と、ＥＬ素子と、前記ＥＬ素子に電流を供

給する駆動用トランジスタを有し、ソースドライバ回路がソース信号線に出力する映像振幅の変化から、選択する画素行を決定し、第１の期間において、前記決定した画素行の画素の前記信号保持回路に、前記ソースドライバ回路が出力する映像信号を保持させ、第２の期間において、前記信号保持回路に保持された映像信号を、前記駆動用トランジスタに供給し、前記表示画面に表示されるフレームは、複数のサブフィールドから構成され、表示画素ごとに、輝度値に応じて点灯させるサブフィールドが選択され、前記表示画面には、任意の第１の画素行と、前記第１の画素行の次に選択する第２の画素行とが含まれ、前記選択する画素行の決定では、複数のサブフィールドのそれぞれについて、前記複数のソース信号線のそれぞれに接続された画素間ごとの前記第１の画素行に印加する映像信号の振幅と、前記第２の画素行に印加する映像信号の振幅との差の画素行についての総和が小さくなるように、前記第２の画素行を選択することを特徴とするものである。

【発明の効果】

【００１３】

本開示の画像表示装置およびその駆動方法によれば、映像品質を低下させることなく発熱量を低減できる。

【図面の簡単な説明】

【００１４】

【図１】実施の形態に係るＥＬパネルの画素構成の一例を示す回路図である。

【図２】実施の形態に係るＥＬパネルの画素の動作を説明するタイミングチャート図である。

【図３】実施の形態に係るＥＬパネルの画素の動作を説明するタイミングチャート図である。

【図４】ＥＬ表示パネルのソース信号線の負荷容量の一例を示す説明図である。

【図５】画像の各行の輝度値とソースドライバ回路の出力電圧との関係を示す説明図である。

【図６】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。

【図７】実施の形態に係るＥＬパネルの画素の動作を説明する説明図である。

【図８】実施の形態に係るＥＬパネルの画素の動作を説明する説明図である。

【図９】実施の形態に係るＥＬパネルの画素の動作を説明する説明図である。

【図１０】実施の形態に係るＥＬパネルの画素の動作を説明する説明図である。

【図１１】実施の形態に係るＥＬパネルの画素の動作を説明する説明図である。

【図１２】実施の形態に係るＥＬパネルの画素の動作を説明する説明図である。

【図１３】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。

【図１４】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。

【図１５】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。

【図１６】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。

【図１７】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。

【図１８】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。

【図１９】実施の形態に係るＥＬ表示装置の画素配置を示す説明図である。

【図２０】実施の形態に係るＥＬ表示装置の画素配置を示す説明図である。

【図２１】実施の形態に係るＥＬパネルの画素構成の一例を示す回路図である。

【図２２】実施の形態に係るＥＬパネルの画素構成の一例を示す回路図である。

【図２３】実施の形態に係るＥＬパネルの画素構成の一例を示す回路図である。

【図２４】実施の形態に係るＥＬパネルの画素構成の一例を示す回路図である。

【図２５】実施の形態に係るＥＬパネルの画素の動作を説明する説明図である。

【図２６】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。

【図２７】実施の形態に係るＥＬ表示装置の駆動方法を説明する説明図である。

【図２８】実施の形態に係るＥＬ表示装置の駆動方法を説明する説明図である。

【図２９】実施の形態に係るＥＬ表示装置の駆動方法を説明する説明図である。

【図３０】従来のＥＬ表示装置の駆動方法を説明する説明図である。

【図３１】実施の形態に係るＥＬ表示装置の駆動方法を説明する説明図である。
【図３２】実施の形態に係るＥＬパネルの画素構成の一例を示す回路図である。
【図３３】実施の形態に係るＥＬパネルの画素の動作を説明するタイミングチャート図である。
【図３４】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。
【図３５】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。
【図３６】実施の形態に係るＥＬパネルの画素構成の一例を示す回路図である。
【図３７】実施の形態に係るＥＬパネルの画素の動作を説明するタイミングチャート図である。
【図３８】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。
【図３９】実施の形態に係るＥＬパネルの画素構成の一例を示す回路図である。
【図４０】実施の形態に係るＥＬパネルの画素の動作を説明するタイミングチャート図である。
【図４１】表示画面に表示される画像の一例を示す図である。
【図４２】表示画面に表示される画像の一例を示す図である。
【図４３】従来の駆動方式において表示画像が書き換えられている状態を説明する図である。
【図４４】実施の形態に係るＥＬ表示装置の駆動方法による表示画像の書き換え状態および表示状態を説明する図である。
【図４５】実施の形態に係るＥＬ表示装置の駆動方法を説明する説明図である。
【図４６】実施の形態に係るＥＬ表示装置の駆動方法を説明する説明図である。
【図４７】実施の形態に係るＥＬ表示装置の駆動方法を説明する説明図である。
【図４８】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。
【図４９】実施の形態に係るＥＬ表示装置の構成の一例を示す構成図である。
【図５０】ＥＬ表示装置の外観の一例を示す外観図である。
【図５１】ＥＬ表示装置の外観の一例を示す外観図である。
【図５２】ＥＬ表示装置の外観の一例を示す外観図である。
【発明を実施するための形態】
【００１５】
（本発明の基礎となった知見）
本発明者は、「背景技術」の欄において記載したＥＬ表示パネルに関し、以下の問題が生じることを見出した。
【００１６】
近年、携帯電話、スマートフォンに用いる表示パネルでは、高精細化が進んでいる。前述したように、高精細な表示パネルでは、ゲート信号線、画素数が多くなり、寄生容量が増加するため、ソース信号線の負荷容量が大きくなる。したがって、ソース信号線を充放電するソースドライバＩＣの発熱量が大きくなる傾向にある。また、ＥＬ表示パネルでは、４Ｋ２Ｋパネル（画素数が４Ｋ×２Ｋ以上のパネル）あるいは、８Ｋ４Ｋパネル等、高精細の表示パネルほど、１画素行の選択期間が短くなる。したがって、ソースドライバＩＣから出力する映像信号の変化速度（周波数）が速くなり、ソースドライバＩＣの発熱量が大きくなる。
【００１７】
（本開示の形態における画像表示装置の動作）
本開示の形態における画像表示は、映像品質を低下させることなくソースドライバ回路の発熱量を低減できる画素回路およびＥＬ表示装置を提供する。そのＥＬ表示装置の特徴的な動作は、次の通りである。
【００１８】
ソースドライバ回路１４がソース信号線１８に出力する映像信号の振幅差が小さくなるように、ＴＣＯＮ１４１（制御回路）によって、表示画面のゲート信号線１７ｂ（第１のゲート信号線）の選択順番が求められる。つまり、制御回路は、表示画面に形成された第

１のゲート信号線の選択順番を求める。

【００１９】

そして、選択回路１２ａ（第１の選択回路）は、求められたゲート信号線１７ｂの選択順番で、画素１６行を選択する。ソースドライバ回路１４は、選択された画素行のゲート信号線１７ｂに対応させて映像信号を出力し、映像信号は、画素１６のコンデンサ１９ｂに書き込まれる。つまり、第１の選択回路は、制御回路が求めた第１のゲート信号線の選択順番に基づき、第１のゲート信号線を選択して、第１のスイッチ用トランジスタを動作状態にし、ソースドライバ回路が出力する映像信号を、コンデンサに印加する。

【００２０】

ブランキング期間に、選択回路１２ｂ（第２の選択回路）は、全画面のゲート信号線１７ｆ、１７ｅ、１７ｃ、１７ｄ（第２のゲート信号線）を同時にオンオフ制御し、画素回路のオフセットキャンセルを実施する。オフセットキャンセル後、スイッチ用トランジスタ１１ｅをオンさせて、コンデンサ１９ｂの電圧が駆動用トランジスタ１１ａのゲート端子に印加される。表示期間に、駆動用トランジスタ１１ａに印加された電圧に基づいて、ＥＬ素子１５に発光電流を供給する。つまり、第２の選択回路は、第２のゲート信号線を選択して、第２のスイッチ用トランジスタを動作状態にし、コンデンサに保持された映像信号に基づく電圧を、駆動用トランジスタに印加する。

【００２１】

（ソース信号線の負荷モデル）

図４は、ＥＬ表示パネルのソース信号線１８の負荷容量の一例を示す説明図である。同図に示されたソースドライバ回路１４の出力電力Ｐｓは、Ｐｓ＝Ｋ・Ｃ×Ｖ×Ｖ×Ｆで示される。ここで、Ｋは比例定数、Ｃはソース信号線１８の寄生容量、Ｖは映像振幅電圧の変化電圧（電位差）、Ｆは１画素行の選択時間を換算した周波数である。したがって、ソースドライバＩＣの出力電力Ｐｓは、ソース信号線１８の寄生容量、映像振幅電圧の変化電圧の２乗、１画素行の選択時間を換算した周波数に比例する。フレーム周波数が１２０Ｈｚ、４Ｋ２Ｋの表示パネルであれば、画素行数が２１６０行である。したがって、Ｆ＝１２０×２１６０／２で、約１３０ｋＨｚである。

【００２２】

高精細な表示パネルを用いたＥＬ表示パネルほど、ソース信号線１８の負荷容量Ｃが大きくなり、かつ、書き込み速度（Ｆに対応）が高速になる傾向がある。また、充放電能力は、電位差Ｖの２乗に比例するため、当該電位差の影響が大きい。

【００２３】

８Ｋ４Ｋパネルでは、４Ｋ２Ｋパネルに比較して、画素行数が２倍となるため、フレームレートが同一であれば、ソースドライバ回路１４に必要とされる駆動能力は、通常のソースドライバ回路１４の２倍になる。

【００２４】

（ソースドライブ回路の信号振幅）

図５は、画像の各行の輝度値とソースドライバ回路１４の出力電圧との関係を示す図である。図５の左側には、パネルの表示画像が模式的に示されている。図５の表示画像は、１画素行白黒横ストライプ画像である。また、図５の右側には、ソース信号線の出力電圧（信号振幅）が示されている。Ｓｍｉｎは、最小階調電圧（黒表示）であり、Ｓｍａｘは最大階調電圧（白表示）を示す。

【００２５】

図５の右側に示すグラフにおいて、横軸はソースドライバ回路１４の出力電圧を示す軸であり、縦軸は時間（下方向が＋）を示す。したがって、縦軸は書き込みの順序を示す軸である。表示画像が１画素行白黒横ストライプ画像のため、ソースドライバ回路１４が出力する電圧は、１画素行ごとにＳｍａｘおよびＳｍｉｎへと変化する。

【００２６】

図５に示すように、輝度値が最大となる白色の画素で構成される画素行と、輝度値が最小となる黒色の画素で構成される画素行とが交互に配置されている場合、ソースドライバ

回路１４の出力電圧は最大となる。つまり、１画素行で最大電圧Ｓｍａｘと最小電圧Ｓｍｉｎとを繰り返すため、電位差Ｖ（＝Ｓｍａｘ－Ｓｍｉｎ）は最大となる。したがって、ソースドライバ回路１４の１端子あたりの電力は最大となる。

【００２７】

ソースドライバ回路１４が有するソースドライバＩＣがソース信号線に出力する映像信号の振幅電圧が大きくなると、ソースドライバＩＣの発熱量が増大する。発熱量が大きいと、ソースドライバＩＣが熱破壊されて、正常な動作が行えなくなる。そのため、ソースドライバＩＣを冷却するための放熱機構が必要となる。このため従来の表示装置のように放熱機構を備えた場合、ＥＬ表示パネルが有する放熱に必要な部品点数が増大するため、パネルの薄型化が困難になるという問題が発生する。

【００２８】

（ＴＣＯＮ等の動作）

本実施の形態におけるＥＬ表示装置では、ＴＣＯＮ１４１(図６参照)は、ソースドライバ回路（ソースドライバＩＣ）１４が出力する電圧信号振幅が小さくなるように、選択する画素行の順番を決定する。

【００２９】

ＴＣＯＮ１４１は、映像信号を印加する画素行の順番を決定する。選択回路１２ａは、決定した順番に、ゲート信号線１７ｂにオン電圧（選択電圧）を印加し、該当の画素行のスイッチ用トランジスタ１１ｂ（第１のスイッチ用トランジスタ）をオンさせる。ソースドライバ回路（ソースドライバＩＣ）１４は映像信号をソース信号線１８に出力し、選択回路１２ａが選択した画素１６のコンデンサ１９ｂに、映像信号を書き込む。

【００３０】

ブランキング期間（非表示期間）に、表示画面５１の画素１６のスイッチ用トランジスタ１１ｃをオンさせ、駆動用トランジスタ１１ａのゲート端子に電圧Ｖｒｓｔを書き込んだ後、スイッチ用トランジスタ１１ｅをオンさせてコンデンサ１９ｂに保持された映像信号をコンデンサ１９ａにコピーする（図１等を参照のこと）。

【００３１】

上述したように、ソース信号線の充放電能力は、CV^2Fで決まるが、ソース信号線１８の負荷容量Ｃおよび周波数Ｆは、ＥＬパネルの仕様である程度決まる。上記構成の表示装置では、選択する画素行を並べ替えることにより、電圧差（ソースドライバ回路１４から出力される映像信号の変化電圧）（Ｖ）を抑えるので、ソースドライバ回路（ソースドライバＩＣ）１４に要求される充放電能力を小さく抑えることが可能になる。また、ソース信号線１８の負荷容量を充放電する電力を低減することができ、ソースドライバ回路１４の発熱を抑制することができる。

【００３２】

（本発明の実施の形態）

以下、実施の形態に係る画像表示装置およびその駆動方法について、図面を参照しながら具体的に説明する。

【００３３】

なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップの順序などは、一例であり、本開示を限定する主旨ではない。

【００３４】

また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【００３５】

また、各図面は理解を容易するために、また、作図を容易にするために、省略、拡大あるいは縮小した箇所がある。また、同一番号または、記号等を付した箇所は、同一もしくは類似の形態もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用などを有している。

【００３６】
また、本明細書に記載した実施例、記載事項は、相互に組み合わせることができる。また、本発明の表示パネル、駆動方式は、タブレット、テレビ、スマートフォンなどの機器に適用することができる。
【００３７】
本実施の形態のＥＬ表示装置は、画像表示装置の一例であり、ソースドライバＩＣの出力電力が小さくなるように、ゲート信号線の選択順序を並び替える（選択する画素行を並び替える。選択する画素行の順番を変更する）。さらに、ゲート信号線の選択順序に伴う映像品質の低下を防止するために、表示画素に、書き込み処理と表示処理とを切り離して実行できる画素あるいはパネル構成を採用している。また、ブランキング期間あるいは非表示期間に、全表示画面を一括して表示画像を変化させる。映像信号の書込み処理を行っている画素であっても、ＥＬ素子には、書込み前の映像信号に基づいて駆動用トランジスタから電流が供給できる構成を採用している。
【００３８】
（画像表示装置の構成）
本実施の形態に係るＥＬ表示装置の構成について、図１および図６を基に説明する。図６は、実施の形態に係るＥＬ表示装置の構成の一例を示す図である。図６に示すように、本実施の形態に係るＥＬ表示装置は、表示パネル（ＥＬパネル）６１と、ソースドライバ回路１４と、選択回路１２（１２ａ、１２ｂ）と、ＴＣＯＮ（タイミングコントローラ、信号処理回路、メモリ）１４１とを備える。
【００３９】
選択回路１２は、画素１６のトランジスタ１１（１１ａ～１１ｆ）を形成するプロセスを用いて、画素回路と同時に形成されている。ソースドライバ回路１４は、半導体チップからなるＩＣであり、表示パネル６１にＣＯＧ技術を用いて実装されている。
【００４０】
選択回路１２ａは、第１の選択回路の一例であり、表示画面５１に左辺に形成されている。選択回路１２ｂは、第２の選択回路の一例であり、表示画面５１に右辺に形成されている。なお、選択回路１２ａと１２ｂとは形成位置を入れ替えてもよいことは言うまでもない。選択回路１２ａの具体例を図１４、図１５に図示している。また、選択回路１２ｂの具体例を図１６に図示している。画素１６の画素回路１６の具体例を図１に図示している。
【００４１】
選択回路１２ａは、第１のゲート信号線である画素１６のゲート信号線１７ｂにオン電圧（選択電圧）または、オフ電圧（非選択電圧）を印加する。ゲート信号線１７ｂには、画素１６の駆動用トランジスタ１１ａに映像信号を供給するスイッチ用トランジスタ１１ｂが接続されている。ゲート信号線１７ｂにオン電圧を印加することにより、ソースドライバ回路１４からソース信号線１８に供給された映像信号が、スイッチ用トランジスタ１１ｂを介して供給される。
【００４２】
ＴＣＯＮ１４１は、制御回路の一例であり、フレームメモリ（図示せず）を有する。映像信号（映像データ）は、前記フレームメモリに蓄積され、蓄積された映像信号（映像データ）を演算して、各ソース信号線に出力される映像振幅差を求める。また、映像信号の振幅差が、小さくなるように、選択する画素行の順番を求める。求めた順番により、選択回路１２ａを制御する。
【００４３】
ブランキング期間には、選択回路１２ｂは、第２のゲート信号線であるゲート信号線１７ｆ、１７ｅ、１７ｃ、１７ｄに選択電圧または非選択電圧を印加し、画素回路１６の各トランジスタ１１を制御する。
【００４４】
各ゲート信号線のオンオフ制御は、図６に図示するように、ソースドライバ回路１４が

、選択回路１２（１２ａ、１２ｂ）を制御することにより実施する。しかし、本発明はこれに限定するものではなく、ＴＣＯＮ１４１から、直接に、選択回路１２（１２ａ、１２ｂ）を制御してもよいことは言うまでもない。

【００４５】

選択回路１２（１２ａ、１２ｂ）は、パネル１６に低温ポリシリコン技術で、表示パネル６１（ガラス基板、プラスティック基板）内に内蔵させるとして説明をするが、これに限定するものではない。たとえば、選択回路１２を半導体チップで構成し、表示パネル６１にＣＯＧ技術などを用いて、実装してもよい。また、選択回路１２をソースドライバ回路１４、またはＴＣＯＮ１４１内に内蔵させてもよい。

【００４６】

ソースドライバ回路１４は、半導体チップからなるＩＣであるとして説明するが、本発明はこれに限定するものではない。たとえば、表示画素１６を構成するトランジスタと同一プロセスで形成された内蔵ソースドライバ回路であってもよい。つまり、表示パネル６１内に、ソースドライバ回路１４を内蔵させてもよい。

【００４７】

表示パネル６１は、行毎に配置された複数のゲート信号線１７と、列毎に配置された複数のソース信号線１８と、表示画面５１（表示部に相当）と、ガラス基板とを備える。表示画面５１は、ゲート信号線１７とソース信号線１８との交差点のそれぞれに行列状に配置された複数の表示画素１６を備える。ガラス基板あるいはプラスティック基板には、表示画素１６と選択回路１２（１２ａ、１２ｂ）、ゲート信号線１７、ソース信号線１８が形成されている。

【００４８】

表示画面５１は、映像を表示するための領域であり、複数の表示画素１６は、ユーザーが視認できる位置にマトリクス状に配置されている。

【００４９】

（表示画素の構成）

表示画素１６は、Ｒ（赤）Ｇ（緑）Ｂ（青）の３原色のいずれか１つに対応している。ＲＧＢの３つの表示画素１６のセットで、１つの画素が構成されている。同じ画素を構成する複数の表示画素１６は、それぞれ隣接して配置されている。なお、表示画素１６は、Ｒ（赤）Ｇ（緑）Ｂ（青）、Ｗ（白）であってもよい。その他、黄（Ｙ）、Ｍ（マゼンダ）、Ｃ（シアン）の表示画素を形成してもよい。

【００５０】

本実施の形態の表示画素１６は、電圧信号の書き込みと、ＥＬ素子の発光とを独立して行うことができる構成となっている。このように構成することにより、１枚のフレームにおいて、ゲート信号線の選択順番がばらばらな状態であっても、表示の切り替えは全ての表示画素１６において同時（たとえば、ブランキング期間）に行うことが可能になる。このため、本実施の形態のＥＬ表示装置では、２つのフレームが混在して表示されることがなく、映像品質の低下を防止することが可能になる。

【００５１】

図１は、実施の形態に係る表ＥＬパネルの画素構成の一例を示す回路図である。同図に示すように、表示画素１６は、スイッチ用トランジスタ１１ｂ～１１ｆと、コンデンサ１９ｂ、１９ｃおよび１９ａと、駆動用トランジスタ１１ａと、ＥＬ素子（発光素子）１５とを備える。

【００５２】

スイッチ用トランジスタ１１ｂ～１１ｆ、駆動用トランジスタ１１ａは、Ｐチャネル型ＭＯＳトランジスタである。スイッチ用トランジスタ１１ｂ～１１ｆにより、コンデンサ１９ｂに対し電圧信号の書き込みを行う書き込み動作、コンデンサ１９ａ、１９ｃあるいは駆動用トランジスタ１１ａのゲート端子電圧をリセットするリセット動作、コンデンサ１９ｃにコンデンサ１９ｂに書き込まれた映像信号（電圧信号）をコピーするコピー動作、および、ＥＬ素子１５の発光を行う発光動作を行わせることができる。

【００５３】
スイッチ用トランジスタ１１ｂは、表示画素１６の選択および非選択を切り替えるスイッチ回路の一例であり、Ｐチャネル型ＭＯＳトランジスタで構成されている。スイッチ用トランジスタ１１ｂは、ゲート信号線１７ｂに印加される選択信号(オン電圧)に応じて、ソース信号線１８とノードＮ１との間の導通および非導通を切り替える。スイッチ用トランジスタ１１ｂがオンすることにより、映像信号に対応する電圧を、コンデンサ１９ｂに印加し、コンデンサ１９ｂは印加された電圧を保持する。
【００５４】
スイッチ用トランジスタ１１ｅは、コンデンサ１９ｂとコンデンサ１９ｃとの接続および非接続を切り替えるスイッチ回路の一例であり、ゲート信号線１７ｅに印加される信号に応じて、ノードＮ１とノードＮ２との間の導通および非導通を切り替える。スイッチ用トランジスタ１１ｅがオン状態となることにより、コンデンサ１９ｂの保持された電圧（電荷）が、ノードＮ２にコピーされ、ノードＮ２の電位変化が、ノードＮ３に伝達されて駆動用トランジス１１ａのゲート端子電位として１フレームの期間、保持される。
【００５５】
スイッチ用トランジスタ１１ｃは、ゲート信号線１７ｃに印加される信号に応じて、ノードＮ２に電圧Ｖｒｓｔを入力するか否かを切り替える。電圧Ｖｒｓｔは、コンデンサ１９ｃの一方の端子電圧を基準電圧に設定する電圧である。電圧Ｖｒｓｔは、映像信号の基準となる。
【００５６】
電圧Ｖｒｓｔは、駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合は、アノード電圧Ｖｄｄの電位により設定する。また、映像信号の低階調側の電位により設定する。
【００５７】
スイッチ用トランジスタ１１ｄは、駆動用トランジスタ１１ａとＥＬ素子１５との接続および非接続を切り替えるスイッチ回路の一例であり、ゲート信号線１７ｄに印加される信号に応じて、駆動用トランジスタ１１ａによるＥＬ素子１５への発光電流の供給と非供給とを切り替える。スイッチ用トランジスタ１１ｄがオンすることにより、駆動用トランジスタ１１ａからの発光電流がＥＬ素子１５に供給される。
【００５８】
なお、トランジスタ１１（１１ａ～１１ｇ）は、ゲート端子、ソース端子、ドレイン端子を有する。トランジスタ１１は、双方向の素子であるため、ソース端子とドレイン端子は入れ替えてもよい。本明細書では、Ｐチャンネルトランジスタでは、電流の入力側をソース端子、出力側をドレイン端子と呼ぶ。Ｎチャンネルトランジスタでは、電流の入力側をドレイン端子、出力側をソース端子と呼ぶ。ただし、ソース端子、ドレイン端子の名称は便宜上のものであり、名称は入れ替えてもよい。また、第１の端子、第２の端子と呼んでもよいことは言うまでもない。トランジスタ１１は、ゲート端子と、第１の端子（ソース端子またはドレイン端子）と、第２の端子（ドレイン端子またはソース端子）を有する。
【００５９】
本実施の形態における画素回路において、主として、トランジスタ１１（１１ａ～１１ｇ）はＰチャンネルトランジスタで構成しているが、これに限定するものではなく、トランジスタ１１（１１ａ～１１ｇ）はＮチャンネルトランジスタに置き換えてもよい。たとえば、図３２の画素回路においても、Ｎチャンネルトランジスタで構成してもよいことは言うまでもない。
【００６０】
以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。
【００６１】
スイッチ用トランジスタ１１ｆは、駆動用トランジスタ１１ａのゲート端子に、初期化

電圧Ｖｉｎｉを印加するものである。初期化電圧Ｖｉｎｉは、駆動用トランジスタ１１ａをオン状態にする電圧である。Ｖｉｎｉ電圧は、アノード電圧Ｖｄｄおよび駆動用トランジスタ１１ａのオフセット電圧を考慮して設定される。

【００６２】

駆動用トランジスタ１１ａがＰチャンネルトランジスタの場合、初期化電圧Ｖｉｎｉは、（Ｖｄｄ－３）（Ｖ）＞Ｖｉｎｉ（Ｖ）＞（Ｖｄｄ－１２）（Ｖ）の範囲で設定される。たとえば、アノード電圧Ｖｄｄ＝５（Ｖ）であれば、２（Ｖ）＞Ｖｉｎｉ（Ｖ）＞－７（Ｖ）となる。

【００６３】

なお、アノード電圧Ｖｄｄは、１２（Ｖ）以下、３（Ｖ）以上の電圧範囲である。また、カソード電圧Ｖｓｓは、０（Ｖ）以下、－１０（Ｖ）の電圧範囲である。

【００６４】

本開示の形態における実施例では、アノード電圧Ｖｄｄ＝５（Ｖ）、カソード電圧Ｖｓｓ＝－５（Ｖ）としている。また、初期化電圧Ｖｉｎｉ＝－１（Ｖ）、リセット電圧Ｖｒｓｔ＝３（Ｖ）として説明をする。

【００６５】

駆動用トランジスタ１１ａのゲート端子に初期化電圧Ｖｉｎｉを印加することにより、駆動用トランジスタ１１ａは、オン状態にすることができ、駆動用トランジスタ１１ａのオフセットキャンセル動作を実施することができる。スイッチ用トランジスタ１１ｆは、ドレイン端子が、ノードＮ３（駆動用トランジスタ１１ａのゲート端子）に接続され、ソース端子が、初期化電圧Ｖｉｎｉが印加された電極などと接続されている。

【００６６】

駆動用トランジスタ１１ａは、ＰチャネルＭＯＳトランジスタであり、コンデンサ１９ａに書き込まれた電圧信号、あるいは駆動用トランジスタ１１ａのゲート端子に保持された電圧の大きさに応じて、発光電流をＥＬ素子１５に供給する。

【００６７】

駆動用トランジスタ１１ａのゲート端子はノードＮ３に接続され、駆動用トランジスタ１１ａのソース端子はアノード電極Ｖｄｄに接続され、駆動用トランジスタ１１ａのドレイン端子はスイッチ用トランジスタ１１ｄのソース端子と接続されている。

【００６８】

ＥＬ素子１５は、駆動用トランジスタ１１ａから供給される発光電流に応じて発光する素子である。ＥＬ素子１５は、カソード電極にカソード電圧Ｖｓｓが印加され、アノード電極がスイッチ用トランジスタ１１ｄのドレイン端子に接続されている。なお、ＥＬ素子１５は、低分子材料で形成されたＥＬ素子でも、高分子材料で形成されたＥＬ素子のいずれでもよい。

【００６９】

コンデンサ１９ｂは、ソースドライバ回路１４から出力される映像信号（電圧信号）が書き込まれる書き込み用コンデンサ（つまり、信号保持回路）の一例であり、一端がノードＮ１に接続され、他端にリセット電圧Ｖｒｓｔが入力される。コンデンサ１９ｂは、映像信号に基づく電圧あるいは電荷を１フレーム期間、保持する。

【００７０】

リセット電圧Ｖｒｓｔは、映像信号の基準位置となる電圧である。駆動用トランジスタ１１ａが、Ｐチャンネルトランジスタの場合で、かつ、駆動用トランジスタ１１ａのソース端子が、アノード電圧Ｖｄｄに接続されている場合、映像信号の０階調目（黒表示）に対応する電圧は、アノード電圧に近い電圧となる。

【００７１】

本開示の形態におけるリセット電圧Ｖｒｓｔは、映像信号の０階調目を基準として設定される。本開示の形態における実施例では、リセット電圧Ｖｒｓｔは、（Ｖｄｄ＋１）（Ｖ）＞Ｖｒｓｔ（Ｖ）＞（Ｖｄｄ－５）（Ｖ）に設定される。たとえば、アノード電圧Ｖｄｄ＝５（Ｖ）であれば、６（Ｖ）＞Ｖｒｓｔ（Ｖ）＞０（Ｖ）となる。

【００７２】
スイッチ用トランジスタ１１ｅがオンすることにより、ノードＮ２には、コンデンサ１９ｂ（Ｃｃ）の電圧信号がコピーされる（コンデンサ１９ｂの電荷を受け付ける）。コンデンサ１９ｃの一端子が接続されたノードＮ２の電圧変化により、ノードＮ３の電圧が変化する。変化した電圧および駆動用トランジスタ１１ａのオフセットキャンセル電圧は、コンデンサ１９ａに保持される。駆動用トランジスタ１１ａは、ノードＮ３の電圧に基づいて、ＥＬ素子１５に発光電流を供給する。
【００７３】
コンデンサ１９ａ、１９ｃは、駆動用トランジスタ１１ａのゲート端子を、１フレームの期間の間、電圧を保持する。コンデンサ１９ｃの一端子はノードＮ２に接続され、他端子はノードＮ３に接続されている。また、コンデンサ１９ａ（Ｃｓ）の一端子はノードＮ３に接続され、他端子はアノード電圧Ｖｄｄが印加された電極などに接続されている。
【００７４】
コンデンサ１９ａは、駆動用トランジスタ１１ａのゲート端子容量でもよい。つまり、コンデンサ１９ｃ（Ｃｋ）および駆動用トランジスタ１１ａのゲート容量で、１フレーム期間の間、電圧を保持できるのであれば、コンデンサ１９ａは省略することができる。
【００７５】
スイッチ用トランジスタ１１ｇは、駆動用トランジスタ１１ａのゲート端子とドレイン端子間を短絡または開放を制御するトランジスタである。スイッチ用トランジスタ１１ｇのソース端子は、駆動用トランジスタ１１ａのゲート端子と接続され、スイッチ用トランジスタ１１ｇのドレイン端子は、駆動用トランジスタ１１ａのドレイン端子と接続されている。スイッチ用トランジスタ１１ｇがオンすることにより、駆動用トランジスタ１１ａのオフセットキャンセル動作を実施することができる。
【００７６】
スイッチ用トランジスタ１１ｆのゲート端子は、ゲート信号線１７ｆと接続されている。ゲート信号線１７ｆの選択電圧（オン電圧）が印加されることにより、スイッチ用トランジスタ１１ｆは、動作（オン）状態となり、ゲート信号線１７ｆの非選択電圧（オフ電圧）が印加されることにより、スイッチ用トランジスタ１１ｆは、非動作（オフ）状態となる。
【００７７】
スイッチ用トランジスタ１１ｅのゲート端子は、ゲート信号線１７ｅと接続されている。ゲート信号線１７ｅの選択電圧（オン電圧）が印加されることにより、スイッチ用トランジスタ１１ｅは、動作（オン）状態となり、ゲート信号線１７ｅの非選択電圧（オフ電圧）が印加されることにより、スイッチ用トランジスタ１１ｅは、非動作（オフ）状態となる。
【００７８】
スイッチ用トランジスタ１１ｂのゲート端子は、ゲート信号線１７ｂと接続されている。ゲート信号線１７ｂの選択電圧（オン電圧）が印加されることにより、スイッチ用トランジスタ１１ｂは、動作（オン）状態となり、ゲート信号線１７ｂの非選択電圧（オフ電圧）が印加されることにより、スイッチ用トランジスタ１１ｂは、非動作（オフ）状態となる。
【００７９】
スイッチ用トランジスタ１１ｄのゲート端子は、ゲート信号線１７ｄと接続されている。ゲート信号線１７ｄの選択電圧（オン電圧）が印加されることにより、スイッチ用トランジスタ１１ｄは、動作（オン）状態となり、ゲート信号線１７ｄの非選択電圧（オフ電圧）が印加されることにより、スイッチ用トランジスタ１１ｄは、非動作（オフ）状態となる。
【００８０】
スイッチ用トランジスタ１１ｃ、１１ｇのゲート端子は、ゲート信号線１７ｃと接続されている。ゲート信号線１７ｃの選択電圧（オン電圧）が印加されることにより、スイッ

チ用トランジスタ１１ｃ、１１ｇは、動作（オン）状態となり、ゲート信号線１７ｃの非選択電圧（オフ電圧）が印加されることにより、スイッチ用トランジスタ１１ｃ、１１ｇは、非動作（オフ）状態となる。

【００８１】

ゲート信号線１７ｂは、選択回路１２ａに接続され、選択回路１２ａは、ゲート信号線１７ｂにオン電圧またはオフ電圧を印加する。

【００８２】

ゲート信号線１７ｆ、１７ｅ、１７ｃ、１７ｄは、選択回路１２ｂに接続され、選択回路１２ｂは、ゲート信号線１７ｆ、１７ｅ、１７ｃ、１７ｄにオン電圧またはオフ電圧を印加する。

【００８３】

なお、駆動用トランジスタ１１ａおよびスイッチ用トランジスタ１１ｂ～１１ｇ、薄膜トランジスタ（ＴＦＴ）として説明するが、これに限定するものではない。ＦＥＴ、ＭＯＳ－ＦＥＴ、ＭＯＳトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、ＰＬＺＴ素子などでもよいことは言うまでもない。あるいはこれらを組み合わせて機能する素子であってもよい。

【００８４】

また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。

【００８５】

なお、トランジスタは、Ｎチャンネル、Ｐチャンネルのトランジスタの両方とも、ＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）構造を採用することが好ましい。

【００８６】

また、トランジスタは、高温ポリシリコン（ＨＴＰＳ：Ｈｉｇｈ－ｔｅｍｐｅｒａｔｕｒｅ　ｐｏｌｙｃｒｙｓｔａｌｌｉｎｅ　ｓｉｌｉｃｏｎ)、低温ポリシリコン（ＬＴＰＳ：Ｌｏｗ－ｔｅｍｐｅｒａｔｕｒｅ　ｐｏｌｙｃｒｙｓｔａｌｌｉｎｅ　ｓｉｌｉｃｏｎ)、連続粒界シリコン（ＣＧＳ：Ｃｏｎｔｉｎｕｏｕｓ　ｇｒａｉｎ　ｓｉｌｉｃｏｎ)、透明アモルファス酸化物半導体（ＴＡＯＳ：Ｔｒａｎｓｐａｒｅｎｔ　Ａｍｏｒｐｈｏｕｓ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒｓ、ＩＺＯ)、アモルファスシリコン（ＡＳ：Ａｍｏｒｐｈｏｕｓ　ｓｉｌｉｃｏｎ）、赤外線ＲＴＡ（ＲＴＡ：Ｒａｐｉｄ　ｔｈｅｒｍａｌ　ａｎｎｅａｌｉｍｇ）で形成したもののうち、いずれでもよい。

【００８７】

特に、低温ポリシリコン（ＬＴＰＳ）を採用することが好ましい。低温ポリシリコンは、トランジスタはトップゲート構造であり寄生容量が小さく、ＮチャンネルおよびＰチャンネルのトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。

【００８８】

図１では、表示画素１６を構成するすべてのトランジスタはＰチャンネルで構成しているが、表示画素１６のトランジスタをＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

【００８９】

トランジスタはトップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減し、トップゲートのゲート電極パターンが、遮光層となり、ＥＬ素子から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できる。

【００９０】

ゲート信号線１７またはソース信号線１８、もしくはゲート信号線１７およびソース信号線１８の両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。これにより、信号線の配線抵抗を低減でき、より大型のＥＬ表示パネルを実現できる。銅配線は、Ｔｉ－Ｃｕ－Ｔｉの３層構造を採用することが好ましい。

【００９１】

ゲート信号線１７またはソース信号線１８などの配線は、トランジスタが透明アモルファス酸化物半導体（ＴＡＯＳ）の場合には、Ｍｏ－Ｃｕ－Ｍｏの３層構造を採用することが好ましい。

【００９２】

なお、コンデンサ１９ａおよび１９ｂは、ソース信号線１８またはゲート信号線１７の少なくとも一方にオーバーラップするように（重なるように）形成または配置される。この場合、レイアウトの自由度が向上し、素子間のスペースをより広く確保することが可能になり、歩留まりが向上する。

【００９３】

ソース信号線１８およびゲート信号線１７には、絶縁膜あるいはアクリル材料からなる絶縁膜（平坦化膜）が形成されて絶縁され、当該絶縁膜上に画素電極が形成される。

【００９４】

図１に示す表示画素１６の動作について、図２、図３のタイミングチャート、図７～図１２を基に説明する。

【００９５】

（画素回路の動作）

表示画素１６は、図１等に示す構成とすることにより、映像信号Ｖｓｉｇの書き込み処理と、ＥＬ素子１５の発光処理とを独立して行うことができる。つまり、表示画素１６では、書き込み処理、初期化処理、コピー処理（複写処理）、および、発光処理が実行される。

【００９６】

図７～図１２は、表示画素１６の回路動作を説明する図である。各処理は、ＴＣＯＮ１４１がＥＬ表示装置を構成する各回路を制御することにより実行される。あるいは、ＴＣＯＮ１４１の演算結果（映像信号を印加する画素行の順番など）に基づいて、ソースドライバ回路１４が、選択回路１２（１２ａ、１２ｂ）を制御することにより実行される。

【００９７】

図９、図１０および図１１に示された回路動作は、１フレームのブランキング期間において、表示画面の全画素に対して同時に実施される。図７、図８に示された回路動作では、１フレームのブランキング期間以外の時間に、画面の上部から下部に１画素行ずつ順次映像信号電圧がコンデンサ１９ｂに印加される。図１２に示された回路動作は、画素１６の発光動作であり、１フレームのブランキング期間以外の時間に実施される。なお、ブランキング期間は、表示画素１６のスイッチ用トランジスタ１１ｄはオフされており、ＥＬ素子１５には発光電流は供給されない。

【００９８】

なお、図９、図１０および図１１に示された回路動作は、１フレームのブランキング期間において、表示画面５１の全画素に対して同時に実施されるとしたが、これに限定するものではない。たとえば、複数の画素行（たとえば、２００画素行）を組みとして、順次、図９、図１０および図１１の動作を実施してもよい。あるいは、全画素行を同時ではなく、高速に１画素行を、順次、選択してもよい。

【００９９】

書き込み処理では、コンデンサ１９ｂに対し電圧信号（映像信号電圧）の書き込みが行われる。選択する画素行は、一例として、ＴＣＯＮ１４１が順次決定し、ソースドライバ回路１４を介して、選択回路１２ａを制御して実施する。つまり、第１の期間において、ＴＣＯＮ１４１で決定された画素行の画素の信号保持回路に、ソースドライバ回路１４が出力する映像信号が保持される。

【０１００】
なお、本実施の形態における駆動方式では、ソースドライバ回路１４は、電圧信号を出力するとして説明するが、これに限定されるものではない。たとえば、ソースドライバ回路１４（ソースドライバ回路１４）が出力する映像信号を電流信号としてもよい。たとえば、電流信号をする駆動方式として、電流プログラム方式が例示される。電流信号は、表示画素１６で電圧に変換され、コンデンサ１９ｂに保持されるように構成する。あるいは、カレントミラー回路などを表示画素１６に形成し、電流信号を表示画素１６に保持できるように構成する。
【０１０１】
図７は、書き込み処理におけるスイッチ用トランジスタ１１ｂ～１１ｆの状態を示す図である。図７に示すように、書き込み処理では、スイッチ用トランジスタ１１ｂおよび１１ｄがオン状態、スイッチ用トランジスタ１１ｅ、１１ｆおよび１１ｃがオフ状態となっている。スイッチ用トランジスタ１１ｂを順次、オンさせることにより画素行に映像信号を印加し、各画素１６のコンデンサ１９ｂに映像信号を保持させる。スイッチ用トランジスタ１１ｄをオンさせることにより、駆動用トランジスタ１１ａからの発光電流をＥＬ素子１５に供給し、ＥＬ素子１５は、前記発光電流に基づき、発光する。
【０１０２】
以上のように、各トランジスタの状態を設定することで、ＥＬ素子１５を現在の電圧信号に応じて発光させながら、コンデンサ１９ｂに次の電圧信号を書き込むことができる。
【０１０３】
スイッチ用トランジスタ１１ｂがコンデンサ１９ｂに書き込んでいる状態は、図４４の（Ａ１）、（Ａ２）が該当する。駆動用トランジスタ１１ａがＥＬ素子１５に発光電流を供給し、画像表示を行っている状態は、図４４の（Ｂ１）、（Ｂ２）が該当する。なお、図４４の（Ａ１）、（Ａ２）は、コンデンサ１９ｂに書き込まれた電圧をイメージとして図示している。画像表示状態を示すものではない。図４４の（Ｂ１）、（Ｂ２）は、表示画像である。図４４の（Ｂ１）から（Ｂ２）への表示は、ブランキング期間に前画面の表示状態が同時に変化する。
【０１０４】
（画像表示パネルおよびＴＣＯＮの動作）
図６は、本開示の形態における表示パネルの説明図である。映像信号（映像データ）は、ＴＣＯＮ１４１に印加され、ＴＣＯＮ１４１は、映像データをソースドライバ回路１４に出力するとともに、選択回路１２ａが選択するゲート信号線１７ｂの順番（１７ｂ選択信号）を、ソースドライバ回路１４に出力する。
【０１０５】
ソースドライバ回路１４は、選択回路１２ａに選択回路１２ａの制御信号（１２ａ制御信号）を供給し、選択回路１２ｂに選択回路１２ｂの制御信号（１２ｂ制御信号）を供給する。選択回路１２ａおよび１２ｂは、図６に図示するように、表示画面５１の左右に形成される。選択回路１２ａはソースドライバ回路１４が出力する映像信号とタイミングを取り、映像信号を印加する画素行を選択するゲート信号線１７ｂを制御する。選択回路１２ｂはソースドライバ回路１４とタイミングを取り、ブランキング期間（非表示期間）に、ゲート信号線１７ｆ、１７ｅ、１７ｃ、１７ｄを制御する。
【０１０６】
ＴＣＯＮ１４１は、ソース信号線１８に出力する映像信号の変化が小さくなるように、選択するゲート信号線１７ｂの順番を決定する。ソースドライバ回路１４は、選択回路１２ａを制御する。選択回路１２ａは決定された順番でゲート信号線１７ｂに選択電圧を印加する。ソースドライバ回路１４は、選択電圧を印加した画素行位置に対応する映像信号電圧をソース信号線１８に印加する。
【０１０７】
ブランキング期間（非表示期間）では、選択回路１２ｂは、画素のスイッチ用トランジスタ１１ｄを、オフ状態に制御する。また、ゲート信号線１７ｆ、１７ｃ、１７ｅを制御

して、駆動用トランジスタ１１ａのオフセットキャンセルを実施するとともに、コンデンサ１９ｂに保持した電圧を駆動用トランジスタ１１ａに供給する。

【０１０８】

従来の表示パネルは、ゲート信号線１７ｂの選択はゲートドライバ回路のシフトレジスタ（図示せず）が実施し、画素行は表示画面の一方から他方に選択する順次選択駆動であった。

【０１０９】

本開示の形態に実施例では、図８に図示するように、ＴＣＯＮ１４１が決定した順番に、ゲート信号線１７ｂが選択される。ゲート信号線１７ｂの選択は、選択回路１２ａが担当する。ＴＣＯＮ１４１は、映像信号から、映像信号の振幅差を演算し、求められた映像信号の振幅差により、選択されるゲート信号線１７ｂの順番を決定する。

【０１１０】

図８の（ａ）では、画素１６ａのゲート信号線１７ｂが選択され、ソースドライバ回路１４がソース信号線１８に出力した映像信号を、画素１６ａのコンデンサ１９ｂに印加する。次の１水平走査期間を図８の（ｂ）で示す。さらに、次の１水平走査期間を図８の（ｃ）で示す。図８の（ｂ）では、画素１６ｃのゲート信号線１７ｂが選択され、ソースドライバ回路１４がソース信号線１８に出力した映像信号を、画素１６ｃのコンデンサ１９ｂに印加する。図８の（ｃ）では、画素１６ｂのゲート信号線１７ｂが選択され、ソースドライバ回路１４がソース信号線１８に出力した映像信号を、画素１６ｂのコンデンサ１９ｂに印加する。以上のように、本開示の形態における表示パネルは、画素行がシフトレジスタ（図示せず）で選択されるように、順次、選択されるものではない。

【０１１１】

図９は、初期化処理におけるスイッチ用トランジスタ１１ｂ～１１ｆの状態を示す図である。初期化処理では、スイッチ用トランジスタ１１ｄをオフさせ、ＥＬ素子１５の発光を停止した状態で、コンデンサ１９ａの初期化が行われる。

【０１１２】

初期化処理とは、初期化処理、所定状態化処理などの概念を含む。コンデンサ１９ａ、１９ｃの端子電圧、駆動用トランジスタ１１ａの初期化あるいは一定の動作にする処理などである。

【０１１３】

初期化処理では、ゲート信号線１７ｆに選択電圧を印加し、スイッチ用トランジスタ１１ｆをオンさせる。また、ゲート信号線１７ｃに選択電圧を印加し、スイッチ用トランジスタ１１ｃ、１１ｇをオンさせる。また、ゲート信号線１７ｄに非選択電圧を印加し、スイッチ用トランジスタ１１ｄをオフさせる。初期化処理は、表示画面５１の全画素に対して同時に実施する。

【０１１４】

なお、初期化処理において、スイッチ用トランジスタ１１ｃ、１１ｆのオン動作を表示画面５１の全体で同時に実施し、スイッチ用トランジスタ１１ｅのオン動作を複数画素行単位あるいは順次に実施してもよい。その他、いずれかのスイッチ用トランジスタ１１を同時にオ動作ンまたはオフ動作させ、他のスイッチ用トランジスタを順次あるいは個別にオン動作またはオフ動作させる駆動方式も例示される。

【０１１５】

スイッチ用トランジスタ１１ｆがオンすることにより、ノードＮ３に電圧Ｖｉｎｉが印加される。電圧Ｖｉｎｉの印加により、駆動用トランジスタ１１ａは、オン状態（動作状態）となる。また、スイッチ用トランジスタ１１ｃをオンすることにより、電圧ＶｒｓｔがノードＮ２に印加され、コンデンサ１９ｃの両端子に、電圧Ｖｉｎｉ、電圧Ｖｒｓｔが印加されることになり、コンデンサ１９ｃが初期化状態に設定される。

【０１１６】

初期化処理では、駆動用トランジスタ１１ａのゲート端子およびコンデンサ１９ａの一端子(ノードＮ３)に初期化電圧Ｖｉｎｉが印加される。コンデンサ１９ｃの一端子（ノー

ドＮ２）に電圧Ｖｒｓｔを印加する。
【０１１７】
コンデンサ１９ｃの容量：コンデンサ１９ｂの容量は、１：２以上１：２０以下にすることが好ましい。また、コンデンサ１９ａの容量：コンデンサ１９ｂの容量は、１：２以上１：２０以下にすることが好ましい。
【０１１８】
図９に示すように、初期化処理では、スイッチ用トランジスタ１１ｆ、１１ｃ、１１ｇがオン状態、スイッチ用トランジスタ１１ｂ、１１ｅ、１１ｄがオフ状態となっている。
【０１１９】
スイッチ用トランジスタ１１ｂおよび１１ｅがオフ状態となることで、コンデンサ１９ｂには、次の電圧信号に応じた電荷が保持される。また、スイッチ用トランジスタ１１ｆがオン状態であるため、駆動用トランジスタ１１ａのゲート端子、コンデンサ１９ａの一端に電圧Ｖｉｎｉが入力される。また、スイッチ用トランジスタ１１ｃがオン状態のため、ノードＮ２に電圧Ｖｒｓｔが入力される。これにより、駆動用トランジスタ１１ａは初期化される。
【０１２０】
初期化処理が実行される期間は、スイッチ用トランジスタ１１ｄがオフ状態であるため、ＥＬ素子１５は発光しない。
【０１２１】
次に、図１０に図示するように、ゲート信号線１７ｆに非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ１１ｆがオフ状態に設定される。この時、スイッチ用トランジスタ１１ｃのオン状態は、維持されているため、ノードＮ２の電位は電圧Ｖｒｓｔに保持される。スイッチ用トランジスタ１１ｂ、１１ｅは非動作（オフ状態）である。
【０１２２】
図１０において、駆動用トランジスタ１１ａのソース端子はアノード電圧Ｖｄｄが印加されている。駆動用トランジスタ１１ａのドレイン端子とゲート端子間が、スイッチ用トランジスタ１１ｇで短絡されているため、オフセット電流Ｉｓが流れる。
【０１２３】
したがって、駆動用トランジスタ１１ａのゲート端子電位（ノードＮ３）が上昇し、徐々にオフセット電流Ｉｓは流れなくなる。オフセット電流Ｉｓが一定値以下の電流になったときの駆動用トランジスタ１１ａのゲート端子電圧をオフセット電圧Ｖｔと呼ぶ。
【０１２４】
オフセット電圧Ｖｔは、コンデンサ１９ａ（Ｃｓ）および、コンデンサ１９ｃ（Ｃｋ）に保持される。コンデンサ１９ｃは、一端子が、電圧Ｖｒｓｔに保持されているため、コンデンサ１９ｃには、電圧Ｖｒｓｔを基準とするオフセット電圧Ｖｔが保持される。
【０１２５】
図１１では、スイッチ用トランジスタ１１ｆ、１１ｂ、１１ｃ、１１ｇ、１１ｄは非動作状態（オフ状態）に設定される。スイッチ用トランジスタ１１ｅは動作状態（オン状態）に設定される。コンデンサ１９ｂ（Ｃｃ）には、映像信号に対応する電圧が保持（電荷が保持）されている。スイッチ用トランジスタ１１ｅのオンすることにより、前記電圧が、コンデンサ１９ｃの一端子（ノードＮ２）に印加される。ノードＮ３の電圧も、ノードＮ２の電圧変化に伴い変化する。以上の動作により、コンデンサ１９ｃ（コンデンサ１９ａ）には、オフセット電圧Ｖｔ＋映像信号に基づく電圧が保持される。
【０１２６】
図１１は、コピー処理におけるスイッチ用トランジスタ１１ｂ～１１ｅの状態を示す図である。コピー処理では、ＥＬ素子１５の発光を停止させた状態で、コンデンサ１９ｃにコンデンサ１９ｂに書き込まれた次の電圧信号がコピーされる。
【０１２７】
コピー処理は、スイッチ用トランジスタ１１ｅをオンさせて行う。コピー処理は、表示画面５１の全画素に対して同時に実施する。図１１に示すように、コピー処理では、スイ

ッチ用トランジスタ１１ｅがオン状態、スイッチ用トランジスタ１１ｆ、１１ｂ、１１ｄ、１１ｃがオフ状態となっている。スイッチ用トランジスタ１１ｃがオフ状態となり、スイッチ用トランジスタ１１ｅがオン状態となることで、コンデンサ１９ｂの一端とコンデンサ１９ｃの一端とが接続され、コンデンサ１９ｂに書き込まれた次の電圧信号をコンデンサ１９ｃにコピーする（書き込む）ことができる。

【０１２８】

コンデンサ１９ｃは、駆動用トランジスタ１１ａのゲート端子に接続されている。したがって、コンデンサ１９ｂに保持された電圧に基づいて駆動用トランジスタ１１ａはＥＬ素子１５に発光電流Ｉｄを供給する。コピー処理が実行される期間は、スイッチ用トランジスタ１１ｄがオフ状態であるため、ＥＬ素子１５は発光しない。

【０１２９】

図１２は、駆動用トランジスタ１１ａから発光電流ＩｄがＥＬ素子１５に供給され、ＥＬ素子１５が発光する状態を図示している。図１２では、スイッチ用トランジスタ１１ｆ、１１ｂ、１１ｃ、１１ｅ、１１ｇは非動作状態（オフ状態）に設定される。スイッチ用トランジスタ１１ｄは動作状態（オン状態）に設定される。駆動用トランジスタ１１ａは、ノードＮ３に保持された（設定された）電圧に基づき、ＥＬ素子１５に発光電流Ｉｄを供給する。つまり、第２の期間において、信号保持回路に保持された映像信号が駆動用トランジスタ１１ａに供給される。

【０１３０】

図１２は、発光処理におけるスイッチ用トランジスタ１１ｂ～１１ｅの状態を示す図である。発光処理では、ＥＬ素子１５の発光が行われる。

【０１３１】

発光処理は、スイッチ用トランジスタ１１ｄをオンさせて行う。発光処理は、表示画面５１の全画素に対して同時に実施する。

【０１３２】

図１２に示すように、発光処理では、スイッチ用トランジスタ１１ｄがオン状態、スイッチ用トランジスタ１１ｅがオフ状態となっている。画素行のゲート信号線１７ｂは、適時、選択され、選択された画素１６のコンデンサ１９ｂに映像信号が書き込まれる。しかし、スイッチ用トランジスタ１１ｅがオフ状態であるため、コンデンサ１９ｂの保持電圧が、駆動用トランジスタ１１ａに印加されることはない。

【０１３３】

以上のように、各トランジスタの状態を設定することで、ＥＬ素子１５を、現在のフレームの電圧信号と、次のフレームの電圧信号とを全画面を同時に変更することができる。

【０１３４】

（画素回路の動作タイミングチャート）

図２、図３は、図７～図１２に示された画素回路の動作を示すタイミングチャート図である。図２のタイミングチャートに図示するように、時間ｔ１でゲート信号線１７ｄにオフ電圧が印加され、また、オフ電圧は、時間ｔ７まで保持される。この期間は、スイッチ用トランジスタ１１ｄがオフ状態に設定されるため、駆動用トランジスタ１１ａからＥＬ素子１５には発光電流が供給されない。

【０１３５】

期間ｔ２～ｔ３は、初期化期間である。図９の画素の回路状態が該当する。初期化処理では、スイッチ用トランジスタ１１ｄ、１１ｂ、１１ｅをオフさせ、ＥＬ素子１５の発光を停止した状態で、コンデンサ１９ａ、１９ｃ、駆動用トランジスタ１１ａの初期化が行われる。

【０１３６】

期間ｔ３～ｔ４は、オフセットキャンセル期間である。図１０の画素状態が対応する。ゲート信号線１７ｆ、１７ｂ、１７ｅに非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ１１ｆ、１１ｂ、１１ｅがオフ状態に設定される。ゲート信号線１７ｃはオン電圧が印加されているため、スイッチ用トランジスタ１１ｃのオン状態は、維持される

。したがって、ノードＮ２には、電圧Ｖｒｓｔが印加される。駆動用トランジスタ１１ａは、オフ状態となるように、オフセット電流Ｉｓが流れ、時刻ｔ４で、電流Ｉｓは、ほぼ０（Ａ）となり、オフセット電圧ＶｔがノードＮ３に設定される。

【０１３７】

期間ｔ５～ｔ６は、コピー期間である。図１１の画素状態が対応する。ゲート信号線１７ｆ、１７ｂ、１７ｄ、１７ｃに非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ１１ｆ、１１ｂ、１１ｃ、１１ｇ、１１ｄがオフ状態に設定される。ゲート信号線１７ｅはオン電圧が印加されているため、スイッチ用トランジスタ１１ｅのオン状態となる。コンデンサ１９ｂ（コンデンサＣｃ）には、映像信号に対応する電圧が電荷として保持されている。スイッチ用トランジスタ１１ｅがオンすることにより、前記電荷が、コンデンサ１９ｃの一端子（ノードＮ２）に移動する。ノードＮ３の電圧も、ノードＮ２の電荷の保持状態に伴い変化する。コンデンサ１９ｃには、オフセットキャンセル期間にオフセット電圧Ｖｔが保持されている。コンデンサ１９ｂの電荷により、コンデンサ１９ｃに映像信号に基づく電圧とオフセット電圧が重畳されることになる。したがって、コンデンサ１９ｃには、映像信号の基づく電圧＋オフセット電圧Ｖｔが保持される。

【０１３８】

図１２に示すように、ゲート信号線１７ｄにオン電圧が印加されることにより、スイッチ用トランジスタ１１ｄがオンし、ゲート信号線１７ｄにオフ電圧が印加されることにより、スイッチ用トランジスタ１１ｄがオフする。スイッチ用トランジスタ１１ｄがオンすることにより、駆動用トランジスタ１１ａからＥＬ素子１５に発光電流が供給され、ＥＬ素子１５が発光する（発光電流が０（Ａ）の場合を除く）。スイッチ用トランジスタ１１ｄがオフすることにより、駆動用トランジスタ１１ａからＥＬ素子１５への電流経路が遮断され、ＥＬ素子１５は消灯する。

【０１３９】

なお、図２などにおいて、消灯とは、スイッチ用トランジスタ１１ｄなどがオフ状態となり、ＥＬ素子１５に発光電流が供給されない状態である。発光とは、スイッチ用トランジスタ１１ｄなどがオン状態となり、ＥＬ素子１５に発光電流が供給され得る状態である。したがって、たとえば、スイッチ用トランジスタ１１ｄがオン状態であれば、発光電流が０（Ａ）であっても、発光状態である。

【０１４０】

以上のゲート信号線１７ｆ、１７ｃ、１７ｅ、１７ｄのオン動作は、ブランキング期間で実施する（図２において、Ａ（Ａ動作）で示す）。つまり、図９、図１０、図１１の動作は、全表示画面５１の画素に一括して実施する。一方、ゲート信号線１７ｂのオン動作は、表示期間に順次実施する（図２において、Ｂ（Ｂ動作）で示す）。

【０１４１】

画素行Ｋおよび画素行Ｌは、表示画面５１の任意の画素行である。画素行Ｋは、期間ａ１～ａ２に画素行Ｋのゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンして、コンデンサ１９ｂに映像信号が書き込まれる。画素行Ｌは、期間ａ３～ａ４に画素行Ｋのゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンして、コンデンサ１９ｂに映像信号が書き込まれる。

【０１４２】

期間ａ１～ａ２、期間ａ３～ａ４は、通常１水平走査期間（１Ｈ：１画素行の選択期間）である。画素行Ｋ、画素行Ｌの選択タイミング、選択順序は、ＴＣＯＮ１４１が決定する。したがって、画素行Ｋの映像信号書き込み期間と、画素行Ｌの映像信号書き込み期間の時間差は、ｂＨ（ｂは、０以外の整数）である。ｂは、ＴＣＯＮ１４１の演算結果により、設定される。表示画像により、画素行Ｋ、画素行Ｌの選択順序、選択タイミングは異なる。

【０１４３】

以上の実施例において、ゲート信号線１７ｆ、１７ｃ、１７ｅ、１７ｄのオン動作は、ブランキング期間内で実施し、全表示画面５１の画素行を一括して実施するとした。しか

し、本発明はこれに限定するものではない。たとえば、表示画面５１を１／２の領域に分割し、分割した表示画面５１で独立（時間的に相違）して、ゲート信号線１７ｆ、１７ｃ、１７ｅ、１７ｄのオン動作を実施してもよい。また、ブランキング期間に限定するものではなく、ブランキング期間以外の期間で、スイッチ用トランジスタ１１ｄをオフさせて、図９、図１０、図１１の動作を実施してもよい。

【０１４４】

ゲート信号線１７ｆ、１７ｃ、１７ｅのオンオフ動作は、表示画面５１の全画素に対して同時に実施されるとしたが、これに限定するものではない。たとえば、複数の画素行（たとえば、２００画素行）を組みとして、順次、図９、図１０および図１１の動作を実施してもよい。あるいは、全画素行を同時ではなく、高速に１画素行を選択してもよい。

【０１４５】

また、初期化処理、オフセットキャンセル処理、コピー処理において、全画面を同時ではなく、一部のゲート信号線１７は、複数画素行単位あるいは画素行を順次選択する方法により実施してもよい。たとえば、スイッチ用トランジスタ１１ｃ、１１ｆのオン動作を表示画面５１の全体で同時に実施し、スイッチ用トランジスタ１１ｅのオン動作を複数画素行単位あるいは順次に実施する方式が例示される。その他、いずれかのスイッチ用トランジスタ１１を同時にオ動作ンまたはオフ動作させ、他のスイッチ用トランジスタを順次あるいは個別にオン動作またはオフ動作させる駆動方式も例示される。

【０１４６】

期間ｔ７～ｔ８、ｔ９～ｔ１０が発光期間であり、ｔ９～ｔ１０が消灯期間である。ゲート信号線１７ｄに印加する電圧を、オン電圧またはオフ電圧に変化させることにより、スイッチ用トランジスタ１１ｄがオン、オフする。したがって、ＥＬ素子１５の発光を制御できる。スイッチ用トランジスタ１１ｄのオンオフ動作により、表示画面５１に黒表示（非発光）の横帯を表示される。前記黒表示の横帯は、画面上部から下部に１フレーム周期で移動する。表示画面５１に占める黒表示の横帯の面積を調整あるいは設定することにより、表示画面の明るさを調整できる（デューティ駆動）。

【０１４７】

図２は、主として、ブランキング期間の駆動方式を説明するタイミングチャートであった。図３は、フレーム期間での動作を説明するタイミングチャートである。１フレーム（１Ｆ）ごとに、全表示画面５１に対して、Ａ動作が実施される。スイッチ用トランジスタ１１ｂを選択し、該当画素行に映像信号を書き込む動作（Ｂ動作）の順番は、ＴＣＯＮ１４１により選択される。

【０１４８】

ＴＣＯＮ１４１は、映像信号データを保持する複数フレームを保持するメモリ回路を具備する。また、該当画素行に映像信号を書き込む動作（Ｂ動作）の順番は、ソースドライバ回路１４などで行ってもよいことはいうまでもない。

【０１４９】

図３の範囲「Ｂ動作」で図示するように、該当画素行に映像信号を書き込む動作（Ｂ動作）の順番は、ソースドライバ回路１４からみて、ソース信号線１８に出力する映像信号の振幅電圧が小さくなるように画素行が選択される。したがって、自然画では、一見、ランダムに画素行が選択されているように図示される。

【０１５０】

図４１に図示するように、縦ランプ画像の場合は、ソースドライバ回路１４がソース信号線１８に出力する電圧は、画素行位置に対応して順番に変化する。図４１のように縦ランプ画像の場合は、画面の上の振幅電圧が大きく、画面に下になるにしたがって振幅電圧は小さくなる。したがって、表示画面の上から下方向、あるいは表示画面の下から上方向に順次、画素行が選択される。そのため、選択回路１２ａは、シフトレジスタでゲート信号線１７ｂを選択的した時のように、ゲート信号線１７ｂは、表示画面５１の上から下、あるいは表示画面５１の下から上に、順番に選択される。

【０１５１】

なお、期間ｔ１～ｔ２、ｔ４～ｔ５、ｔ６～ｔ７は、０期間（時間０ｓｅｃ）でもよいが、ゲート信号線の変化期間を考慮し、０．１μｓｅｃ以上１．０μｓｅｃ以下の期間を設けることが好ましい。

【０１５２】

図２、図３等において、ブランキング期間とは、スイッチ用トランジスタ１１ｄをオフ状態とし、表示画面５１の非表示期間と置き換える（言い換える）ことができる。また、ブランキング期間とは、ＥＬ素子１５に発光電流を供給しない状態、あるいは一時的に停止状態と置き換えることができる。また、ブランキング期間とは、ゲート信号線１７ｂにより表示画素行が選択されていない期間、あるいは選択を停止している期間と置き換えることができる。また、ブランキング期間とは、スイッチ用トランジスタ１１ｅを選択し、コンデンサ１９ｃの電圧をコンデンサ１９ａなどにコピーしている期間と置き換えることができる。

【０１５３】

図２、図３等において、表示期間とは、駆動用トランジスタ１１ａからＥＬ素子１５に発光電流を供給している期間と置き換えることができる。また、表示期間とは、ゲート信号線１７ｂを選択し、映像信号を画素のコンデンサ１９ｂに、映像信号に基づく電圧等を書き換えている期間と置き換えることができる。

【０１５４】

図２、図３等において、表示期間とは、スイッチ用トランジスタ１１ｃをオンさせてコンデンサ１９ｂに保持された電圧を駆動用トランジスタ１１ａに印加した後の期間、非表示期間とは、スイッチ用トランジスタ１１ｃをオンさせてコンデンサ１９ｂに保持された電圧を駆動用トランジスタ１１ａに印加する前の期間、と置き換えることができる。

【０１５５】

なお、本開示の形態における画素回路は、図１に限定されるものではない。図１の画素構成では、図９の初期化期間、図１０のオフセットキャンセル期間を実施する。図３２の画素構成では、コピー期間は存在するが、初期化期間、オフセットキャンセル期間は存在しない。したがって、図３２の画素構成では、コピー期間（スイッチ用トランジスタ１１ｃがオン状態となる）で、非表示期間に制御すればよい。つまり、コピー期間が図２、図３の「Ａ」範囲に対応する。

【０１５６】

（画素の映像信号書き込みと画像表示）

図７に示すように、本開示の表示画素１６の回路構成では、ＥＬ素子１５に電流を供給している状態でも、映像信号電圧を画素に書き込むことができる。前フレーム期間に画素に書き込まれた映像信号に対応する電圧が、コンデンサ１９ａで保持されており、駆動用トランジスタ１１ａは、コンデンサ１９ａに保持された電圧に基づいて、ＥＬ素子１５に電流を供給する。

【０１５７】

図７のコンデンサ１９ｂへの信号電圧の書込み動作が、図４４の（Ａ１）および（Ａ２）で説明した駆動状態に対応する。図７の画像表示動作が、図４４の（Ｂ１）および（Ｂ２）で説明した駆動動作に対応する。図４４の（Ｂ１）、（Ｂ２）は、ＥＬ素子１５には、コンデンサ１９ａの端子電圧に基づき、駆動用トランジスタ１１ａが発光電流を供給されている状態を図示している。

【０１５８】

図４４の（Ａ１）、（Ａ２）では、コンデンサ１９に、映像信号が順次書き込まれている状態をイメージで図示している。ただし、理解を容易にするため、図４４の（Ａ１）、（Ａ２）では、表示画面５１の上側から下側に順番にコンデンサ１９ｂに電圧が印加されるとして図示している。実際には、コンデンサ１９ｂに電圧を印加する画素行の選択は、ＴＣＯＮ１４１などが決定する。コンデンサ１９ｂに次のフレームで駆動用トランジスタ１１ａがＥＬ素子１５に供給する電流値が保持される。

【０１５９】

選択回路１２ａは、映像信号を印加する画素行を選択し、ソースドライバ回路１４は、選択回路１２ａが選択し画素に映像信号を印加する。表示画素１６では、映像信号に対応する電圧がコンデンサ１９ｂに保持される。

【０１６０】

各フレームの各ブランキング期間では、コンデンサ１９ｂに保持された電圧が、コンデンサ１９ａにコピーされる。この期間は、表示画面５１は非表示状態に維持される。一例として非表示状態の期間は、ブランキング期間である。次のフレームでは、コンデンサ１９ａに保持された電圧に基づいて、駆動用トランジスタ１１ａがＥＬ素子１５に電流を供給する。

【０１６１】

本実施の形態に係る表示画素１６は、映像信号に基づく電圧を保持するコンデンサ１９ｂを具備することを特徴とする。ソースドライバ回路１４からの映像信号は、コンデンサ１９ｂに保持され、ブランキング期間などにコンデンサ１９ａ、１９ｃにコピーされる。コンデンサ１９ｂと１９ｃとの間には、スイッチとしてのスイッチ用トランジスタ１１ｅが配置され、スイッチ用トランジスタ１１ｅにより、映像信号に基づく電圧信号がコンデンサ１９ｃにコピーされる。

【０１６２】

コンデンサ１９ｃは駆動用トランジスタ１１ａのゲート端子に接続されており、駆動用トランジスタ１１ａは、コンデンサ１９ｃにコピーされた電圧信号に基づき、発光電流をＥＬ素子１５に供給する。

【０１６３】

以上の実施の形態では、映像信号に基づく電圧を保持するコンデンサ１９ａ、１９ｃおよび１９ｂを具備するとしたが、これに限定されるものではない。たとえば、トランジスタなどで２つのメモリ回路を構成し、このメモリ回路に映像信号に基づく電圧を保持させてもよい。また、ＭＯＳトランジスタのゲート容量に、映像信号に基づく電圧を保持させてもよい。

【０１６４】

また、１画面全体を同一タイミングで画像表示を変更（全表示画面を一括して表示状態を変更）することに限定されるものではない。たとえば、画面の上部と下部に２分割し、１フレームの前半の１／２の期間で画面上部の画像表示を変更し、１フレームの後半の１／２の期間で画面下部の画像表示を変更してもよい。この際、ブランキング期間も１フレームに２回、設定する。

【０１６５】

本実施の形態に係るＥＬ表示装置は、画像表示状態（第１の期間）で、映像信号を、各表示画素１６内に形成されたコンデンサ１９ｂに保持させていく。ブランキング期間などの期間（第２の期間）では、画像を非表示（ＥＬ素子１５に電流を供給しない状態）で、コンデンサ１９ｂに保持された信号を、コンデンサ１９ａにコピーする。

【０１６６】

画像表示状態（第１の期間）では、駆動用トランジスタ１１ａはコンデンサ１９ａに保持された信号の大きさに基づいて、ＥＬ素子１５に発光電流を供給する。

【０１６７】

なお、コンデンサ１９ａ、１９ｃおよび１９ｂなどに電圧などの信号を保持させるとしたが、コンデンサに限定するものではない。たとえば、オペアンプ、トランジスタなどを用いて信号に基づく電流値を一定期間流す回路（たとえばカレントミラー回路、カレントコピア回路など）を形成し、信号を保持させてもよい。

【０１６８】

上記書き込み処理、初期化処理、コピー処理および発光処理を繰り返し実行することで、映像（例えば、動画像）の表示を行うことができる。

【０１６９】

発光処理において、全ての表示画素１６について、同時にスイッチ用トランジスタ１１

ｄをオフ状態からオン状態にすることで、フレームの表示の切り替えを、表示画面５１の全ての表示画素１６で同時に実行することができる。つまり、２つのフレーム（表示画像１、表示画像２）が混在表示されない。従来の画像表示は、表示画面５１の上から下方向に順番に画像が書き換えられる。したがって、表示画面５１には、２つのフレームが混在する。本開示の形態における駆動方式では、２のフレームが混在表示されない。混在表示されないことにより、良好な動画表示、３Ｄ表示が可能となる。

【０１７０】

（選択回路の構成と動作）

図１３～図１８は、選択回路１２および本発明の画像表示装置の説明図である。映像信号を画素に印加するゲート信号線１７ｂは、選択回路１２ａに接続されている。選択回路１２ａの具体的構成は、一例として、図１４、図１５に図示して説明している。

【０１７１】

画素１６を初期化、オフセットキャンセル、コピー処理を行うゲート信号線１７ｆ、１７ｅ，１７ｃ、１７ｄは、選択回路１２ｂに接続されている。選択回路１２ｂの具体的構成は、一例として、図１６に図示して説明している。

【０１７２】

選択回路１２ａは、ＴＣＯＮ１４１が決定あるいは判断した順番にゲート信号線１７ｂを選択する回路である。選択回路１２ｂは、表示画面５１のゲート信号線１７ｂ以外のゲート信号線を、一括してオンオフ制御する選択回路である。選択回路１２ａは、任意のゲート信号線１７ｂを選択できる構成である。

【０１７３】

なお、選択回路１２ａは、１本のゲート信号線１７ｂを選択するとして説明をするが本開示の形態における選択回路１２ａはこれに限定されるものではない。たとえば、任意の隣接する偶数番目と奇数番目のゲート信号線１７ｂを選択する構成を採用してもよい。

【０１７４】

選択回路１２ｂは、最も簡単には、図１３に図示するように、制御線Ｃｆ、Ｃｅ、Ｃｃ、Ｃｄを形成することにより実現する。制御線Ｃｆ、Ｃｅ、Ｃｃ、Ｃｄは、ソースドライバ回路１４に接続されている。なお、制御線Ｃｆ、Ｃｅ、Ｃｃ、Ｃｄは、ＴＣＯＮ１４１など、他の制御回路で制御できるように構成してもよい。

【０１７５】

選択回路１２ａは、映像信号を印加する画素行を選択（指定）する回路であり、選択回路１２ｂは、選択回路１２ａが選択するゲート信号線１７以外を選択する回路であるとして説明をする。

【０１７６】

制御線Ｃｆは、ゲート信号線１７ｆと接続されている。制御線Ｃｆにオン電圧を印加することにより、ゲート信号線１７ｆにオン電圧が印加され、スイッチ用トランジスタ１１ｆが動作状態となる。制御線Ｃｆにオフ電圧を印加することにより、ゲート信号線１７ｆにオフ電圧が印加され、スイッチ用トランジスタ１１ｆが非動作状態となる。

【０１７７】

制御線Ｃｅは、ゲート信号線１７ｅと接続されている。制御線Ｃｅにオン電圧を印加することにより、ゲート信号線１７ｅにオン電圧が印加され、スイッチ用トランジスタ１１ｅが動作状態となる。制御線Ｃｅにオフ電圧を印加することにより、ゲート信号線１７ｅにオフ電圧が印加され、スイッチ用トランジスタ１１ｅが非動作状態となる。

【０１７８】

制御線Ｃｃは、ゲート信号線１７ｃと接続されている。制御線Ｃｃにオン電圧を印加することにより、ゲート信号線１７ｃにオン電圧が印加され、スイッチ用トランジスタ１１ｃ、１１ｇが動作状態となる。制御線Ｃｃにオフ電圧を印加することにより、ゲート信号線１７ｃにオフ電圧が印加され、スイッチ用トランジスタ１１ｃ、１１ｇが非動作状態となる。

【０１７９】

制御線Ｃｄは、ゲート信号線１７ｄと接続されている。制御線Ｃｄにオン電圧を印加することにより、ゲート信号線１７ｄにオン電圧が印加され、スイッチ用トランジスタ１１ｄが動作状態となる。制御線Ｃｄにオフ電圧を印加することにより、ゲート信号線１７ｄにオフ電圧が印加され、スイッチ用トランジスタ１１ｄが非動作状態となる。

【０１８０】

選択回路１２ａは、複数の選択部１４３から構成される。選択部１４３の一例としての回路構成を図１５に図示する。選択部１４３は、図１４の実施例では、＃１～＃１６の１６個から構成される。

【０１８１】

なお、本開示の形態における実施例では、画素行は、６４×１６＝１０２４として説明する。しかし、本発明は、これに限定するものではない。画素行を２０４８などとしてもよい。この場合は、一例として、選択部を３２個、入力信号線（Ｄ）を６４本として構成する例が開示される（３２×６４＝２０４８）。画素行が１９２０の場合は、一例として、選択部を３２個、入力信号線（Ｄ）を６０本として構成する例が開示される（３２×６０＝１９２０）。

【０１８２】

以上のように、画素行数に対応させて、選択部１４３の個数、入力信号線（Ｄ）の本数を決定し、画像表示パネルを構成する。

【０１８３】

入力信号線数と、イネーブル信号線数(通常、選択部１４３の個数)は、信号線の形成幅により決定する。図６に図示するように、スマートフォンなどを構成する場合、選択回路１２の形成幅を狭くする必要がある。

【０１８４】

入力信号線（Ｄ）を、配線幅５μｍ、配線と配線の間隔を５μｍであれば、６４本の入力信号線（Ｄ）であれば、（５μｍ＋５μｍ）×６４＝０．６４ｍｍとなる（正確には、－５μｍにする必要がある）。選択部１４３が１６個であれば、イネーブル信号線は、１６本であるので、（５μｍ＋５μｍ）×１６＝０．１６ｍｍとなる（正確には、－５μｍにする必要がある）。合計で、０．６４＋０．１６＝０．８ｍｍとなる。

【０１８５】

したがって、選択回路１２ａは０．８ｍｍの配線領域と、図１５に図示するＡＮＤ回路１５１、バッファ回路１５２を加えた幅で構成することができる。配線領域が狭いほど、狭額縁化を実現できる。選択部１４３の個数と、入力信号線（Ｄ）の数は、選択回路１２ａの形成幅を考慮して決定すればよい。

【０１８６】

１つの選択部１４３には６４本の入力信号線（Ｄ）と、１本のイネーブル信号線（ＥＮＢ）と、６４本の出力端子（Ｏｕｔ）を有する。入力信号線（Ｄ）、イネーブル信号線（ＥＮＢ）は、ソースドライバ回路１４に接続されている。選択部１４３の＃１～＃１６の入力信号線（Ｄ１～Ｄ６４）は、同一（共通）である。また、６４本の入力信号線（Ｄ１～Ｄ６４）は、６４つのすべてがオフロジック信号か、もしくは、１つがオンロジック信号で他の６３つがオフロジック信号である。また、イネーブル信号（ＥＮＢ）は、１６つのすべてがオフロジック信号か、もしくは、１つがオンロジック信号で他の１５つがオフロジック信号である。オンロジック信号、オフロジック信号は、バッファ回路１５２でレベルシフトされ、オンロジック信号は、Ｖｏｎ電圧となり、オフロジック信号は、Ｖｏｆｆ電圧となる。

【０１８７】

たとえば、入力信号線（Ｄ）のＤ１～Ｄ６４のうち、Ｄ４がオンロジック信号で、他の入力信号（Ｄ１～Ｄ３、Ｄ５～Ｄ６４）がオフロジック信号とし、イネーブル信号ＥＮＢ２がオンロジック信号で、他のイネーブル信号ＥＮＢ（ＥＮＢ１、ＥＮＢ３～ＥＮＢ１６）がオフロジック信号の場合、選択部１４３の＃２のＯＵＴ４にオン電圧が出力される。

【０１８８】

したがって、選択部１４３の＃２のＯＵＴ４は、画素行６８番目（６４×（２－１）＋４＝６８）のゲート信号線１７ｂに接続されているから、６８画素行のゲート信号線１７ｂにオン電圧が印加され、映像信号は、６８画素行目のコンデンサ１９ｃに書き込まれる。他の画素行のゲート信号線１７ｂには、オフ電圧が印加されるため、スイッチ用トランジスタ１１ｂはオフ状態である。

【０１８９】

同様に、イネーブル信号ＥＮＢ３がオンロジック信号で、他のイネーブル信号ＥＮＢ（ＥＮＢ１～２、ＥＮＢ４～ＥＮＢ１６）がオロジック信号の場合、選択部１４３の＃３のＯＵＴ４にオン電圧が出力される。

【０１９０】

したがって、選択部１４３の＃３のＯＵＴ４は、画素行１３２番目（６４×（３－１）＋４＝１３２）のゲート信号線１７ｂに接続されているから、１３２画素行のゲート信号線１７ｂにオン電圧が印加され、映像信号は、１３２画素行目のコンデンサ１９ｃに書き込まれる。他の画素行のゲート信号線１７ｂには、オフ電圧が印加されるため、スイッチ用トランジスタ１１ｂはオフ状態である。

【０１９１】

たとえば、入力信号線（Ｄ）のＤ１～Ｄ６４のうち、Ｄ１０がオンロジック信号で、他の入力信号（Ｄ１～Ｄ９、Ｄ１１～Ｄ６４）がオフロジック信号とし、イネーブル信号ＥＮＢ３がオンロジック信号で、他のイネーブル信号ＥＮＢ（ＥＮＢ１、ＥＮＢ３～ＥＮＢ１６）がオロジック信号の場合、選択部１４３の＃３のＯＵＴ１０にオン電圧が出力される。

【０１９２】

したがって、選択部１４３の＃３のＯＵＴ１０は、画素行１３８番目（６４×（３－１）＋１０＝１３８）のゲート信号線１７ｂに接続されているから、６８画素行のゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンし、映像信号は、１３８画素行目のコンデンサ１９ｃに書き込まれる。他の画素行のゲート信号線１７ｂには、オフ電圧が印加されるため、スイッチ用トランジスタ１１ｂはオフ状態である。

【０１９３】

図１５は、選択回路１２ａの選択部１４３の構成図である。入力信号線Ｄは、ＡＮＤ回路１５１に入力され、ＡＮＤ回路１５１の他方の入力は、イネーブル信号（ＥＮＢ）である。したがって、ＡＮＤ回路１５１の出力は、イネーブル信号（ＥＮＢ）がオンロジック（Ｈ）でないと、オンロジック（Ｈ）とならない。

【０１９４】

以上のことから、入力信号線（Ｄ）の６４本は選択部１４３に共通の入力であっても、イネーブル信号線（ＥＮＢ）により、任意の画素行のゲート信号線１７ｂを選択することができる。また、選択回路１２ａの入力は、入力信号線（Ｄ）と、イネーブル信号線（ＥＮＢ）だけでよく、信号線本数を少なくできるため、選択回路１２ａの幅を狭くでき、結果として、表示パネル６１を狭額縁化できる。

【０１９５】

ＡＮＤ回路１５１の出力は、バッファ回路１５２に入力され、バッファ回路１５２でレベルシフトされる。バッファ回路１５２は、オン電圧Ｖｏｎ、オフ電圧Ｖｏｆｆを電源とする。

【０１９６】

なお、図１５の実施例において、バッファ回路１５２でレベルシフトさせるとしたが、本発明はこれに限定するものではない。たとえば、ソースドライバ回路１４で、Ｖｏｎ電圧またはＶｏｆｆ電圧にレベルシフトさせて選択回路１２ａに印加してもよい。つまり、ソースドライバ回路１４にレベルシフタ回路（図示せず）を具備させる。また、ＴＣＯＮ１４１で選択回路１２ａを制御する場合は、レベルシフタ回路を、ＴＣＯＮ１４１内にレベルシフタ回路を具備させてもよい。

【０１９７】

なお、図１５の実施例に置いて、ＡＮＤ回路１５１とバッファ回路１５２で選択部１４３を構成するとしたが、本発明はこれに限定されるものではない。複数の入力信号線（Ｄ）を用いて、１本以上のゲート信号線１７ｂを選択する回路構成であればいずれの構成であってもよい。たとえば、６４入力１選択のセレクタ回路であってもよい。

【０１９８】

図１６は、選択回路１２ａの構成図である。図１６において、制御信号線（Ｃｆ、Ｃｅ、Ｃｃ、Ｃｄ）とゲート信号線１７間に、バッファ回路１５２を配置している。図１３に図示するように、直接、制御信号線（Ｃｆ、Ｃｄ、Ｃｅ、Ｃｃ）で、ゲート信号線１７を直接駆動してもよい。しかし、１つの制御信号線で駆動するゲート信号線１７の本数が多く、負荷容量が大きいため、オン電圧とオフ電圧の変化電圧波形が鈍る。図１６に図示するように、ゲート信号線１７毎に、バッファ回路１５２を配置または形成することにより、オンオフ電圧波形のスルーレート（立ち上がり時間、立下り時間）を大きくすることができる。

【０１９９】

（他の実施形態における選択回路１）

図１４、図１５における選択回路１２ａは、選択部１４３を用いて、表示画面５１に形成された画素行から、１画素行のゲート信号線１７ｂを選択するものであった。図４８、図４９は本開示の形態における選択回路１２および画像表示装置の説明図である。なお、図４８、図４９は、図１４、図１５などで説明した事項が基本的に適用される。

【０２００】

図４８、図４９は、図１４の選択部１４３をデコーダ部に置き換えた構成である。デコーダ部４８１のデコーダ回路４９１には、一例として６ビットのデータ線（ＳＥＬｘ）と、１本のイネーブル（ＥＮＢｘ）信号線が入力される。デコーダ回路４９１の出力（Ｇｘ）は６４出力である。

【０２０１】

デコーダ部４８１も、図１４、図１５などの選択部１４３と同様に、画素１６のトランジスタ１１（１１ａ～１１ｇ）を形成するプロセスを用いて、画素回路と同時に形成されている。ソースドライバ回路１４は、半導体チップからなるＩＣであり、表示パネル６１にＣＯＧ技術を用いて実装されている。

【０２０２】

デコーダ部４８１の出力は、画素１６のゲート信号線１７ｂに接続されており、ゲート信号線１７ｂにオン電圧（選択電圧）または、オフ電圧（非選択電圧）を印加する。

【０２０３】

各ゲート信号線のオンオフ制御は、ソースドライバ回路１４またはＴＣＯＮ１４１が、選択回路１２（１２ａ、１２ｂ）を制御することにより実施する。

【０２０４】

デコーダ部４８１には、６ビットのＳＥＬ信号線（ＳＥＬ０～ＳＥＬ５）が入力されている。ＳＥＬ信号線の６ビットの２の６乗（＝６４）を指定できる。したがって、ＳＥＬ［０：５］で、出力Ｇ［１：６４］のいずれかの出力を選択することができる。選択されたときは、Ｇｘのロジック信号は、「１」となり、非選択の場合、Ｇｘのロジック信号は。「０」となる。

【０２０５】

たとえば、ＳＥＬ［０：５］＝０であれば、出力Ｇ１が選択され、ＳＥＬ［０：５］＝１２であれば、出力Ｇ１２が選択され、ＳＥＬ［０：５］＝６２であれば、出力Ｇ６２が選択される。いずれのデコーダ部４８１が選択（指定）されるかは、イネーブル（ＥＮＢ）信号線で指定する。

【０２０６】

１つのデコーダ部４８１には６本のＳＥＬ信号線（ＳＥＬ［０：５］）と、１本のイネーブル信号線（ＥＮＢ）と、６４本の出力端子（Ｏｕｔ）を有する。ＳＥＬ信号線（ＳＥＬ［０：５］）、イネーブル信号線（ＥＮＢ）は、ソースドライバ回路１４またはＴＣＯ

Ｎ１４１に接続されている。デコーダ４８１の＃１～＃１６のＳＥＬ信号線（ＳＥＬ［０：５］）は共通である。

【０２０７】

図４９は、デコーダ部４８１の構成図である。ＳＥＬ信号線（ＳＥＬ［０：５］）は、ＡＮＤ回路１５１に入力され、ＡＮＤ回路１５１の他方の入力は、イネーブル信号（ＥＮＢ）である。したがって、ＡＮＤ回路１５１の出力は、イネーブル信号（ＥＮＢ）がオンロジック（Ｈ）でないと、オンロジック（Ｈ）とならない。

【０２０８】

以上のことから、ＳＥＬ信号線（ＳＥＬ［０：５］）の６ビットはデコーダ部４８１に共通の入力であっても、イネーブル信号線（ＥＮＢ）により、任意の画素行のゲート信号線１７ｂを選択することができる。

【０２０９】

また、選択回路１２ａの入力は、入力信号線（Ｄ）と、イネーブル信号線（ＥＮＢ）だけでよく、信号線本数を少なくできるため、選択回路１２ａの幅を狭くでき、結果として、表示パネル６１を狭額縁化できる。

【０２１０】

ＡＮＤ回路１５１の出力は、バッファ回路１５２に入力され、バッファ回路１５２でレベルシフトされる。バッファ回路１５２は、オン電圧Ｖｏｎ、オフ電圧Ｖｏｆｆを電源とする。

【０２１１】

なお、図１５の実施例において、バッファ回路１５２でレベルシフトさせるとしたが、本発明はこれに限定するものではない。たとえば、図１４、図１５などで説明したように、ソースドライバ回路１４で、Ｖｏｎ電圧またはＶｏｆｆ電圧にレベルシフトさせて選択回路１２ａに印加してもよい。つまり、ソースドライバ回路１４にレベルシフタ回路（図示せず）を具備させる。また、ＴＣＯＮ１４１で選択回路１２ａを制御する場合は、レベルシフタ回路を、ＴＣＯＮ１４１内にレベルシフタ回路を具備させてもよい。

【０２１２】

６本のＳＥＬ信号線（ＳＥＬ［０：５］）は、６ビットのロジック信号である。また、イネーブル信号（ＥＮＢ）は、１６つのすべてがオフロジック信号か、もしくは、１つがオンロジック信号で他の１５つがオフロジック信号である。オンロジック信号、オフロジック信号は、バッファ回路１５２でレベルシフトされ、オンロジック信号は、Ｖｏｎ電圧となり、オフロジック信号は、Ｖｏｆｆ電圧となる。

【０２１３】

たとえば、ＳＥＬ信号線（ＳＥＬ［０：５］）＝４で、イネーブル信号ＥＮＢ２がオンロジック信号で、他のイネーブル信号ＥＮＢ（ＥＮＢ１、ＥＮＢ３～ＥＮＢ１６）がオフロジック信号の場合、選択部１４３の＃２のＯＵＴ４にオン電圧が出力される。

【０２１４】

したがって、選択部１４３の＃２のＯＵＴ４は、画素行６８番目（６４×（２－１）＋４＝６８）のゲート信号線１７ｂに接続されているから、６８画素行のゲート信号線１７ｂにオン電圧が印加され、映像信号は、６８画素行目のコンデンサ１９ｃに書き込まれる。他の画素行のゲート信号線１７ｂには、オフ電圧が印加されるため、スイッチ用トランジスタ１１ｂはオフ状態である。ＳＥＬ信号線（ＳＥＬ［０：５］）、イネーブル信号ＥＮＢｘの選択は、ソースドライバ回路１４またはＴＣＯＮ１４１により選択される。

【０２１５】

同様に、イネーブル信号ＥＮＢ３がオンロジック信号で、他のイネーブル信号ＥＮＢ（ＥＮＢ１～２、ＥＮＢ４～ＥＮＢ１６）がオロジック信号の場合、選択部１４３の＃３のＯＵＴ４にオン電圧が出力される。

【０２１６】

したがって、選択部１４３の＃３のＯＵＴ４は、画素行１３２番目（６４×（３－１）＋４＝１３２）のゲート信号線１７ｂに接続されているから、１３２画素行のゲート信号

線１７ｂにオン電圧が印加され、映像信号は、１３２画素行目のコンデンサ１９ｃに書き込まれる。他の画素行のゲート信号線１７ｂには、オフ電圧が印加されるため、スイッチ用トランジスタ１１ｂはオフ状態である。

【０２１７】

たとえば、ＳＥＬ信号線（ＳＥＬ［０：５］）＝１０で、イネーブル信号ＥＮＢ３がオンロジック信号で、他のイネーブル信号ＥＮＢ（ＥＮＢ１、ＥＮＢ３～ＥＮＢ１６）がオロジック信号の場合、選択部１４３の＃３のＯＵＴ１０にオン電圧が出力される。

【０２１８】

したがって、デコーダ部４８１の＃３のＯＵＴ１０は、画素行１３８番目（６４×（３－１）＋１０＝１３８）のゲート信号線１７ｂに接続されているから、６８画素行のゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンし、映像信号は、１３８画素行目のコンデンサ１９ｃに書き込まれる。他の画素行のゲート信号線１７ｂには、オフ電圧が印加されるため、スイッチ用トランジスタ１１ｂはオフ状態である。

【０２１９】

以上のように、画素行数に対応させて、デコーダ部４８１の個数、ＳＥＬ信号線（ＳＥＬの本数を決定し、画像表示パネルを構成する。

【０２２０】

入力信号線数と、イネーブル信号線数(通常、デコーダ部４８１の個数)は、信号線の形成幅により決定する。図６に図示するように、スマートフォンなどを構成する場合、選択回路１２の形成幅を狭くする必要がある。

【０２２１】

ＳＥＬ信号線（ＳＥＬ［０：５］）を、配線幅５μｍ、配線と配線の間隔を５μｍであれば、６本であるから、（５μｍ＋５μｍ）×６＝０．０６ｍｍとなる（正確には、－５μｍにする必要がある）。デコード部４８１が１６個であれば、イネーブル信号線は、１６本であるので、（５μｍ＋５μｍ）×１６＝０．１６ｍｍとなる（正確には、－５μｍにする必要がある）。合計で、０．０６＋０．１６＝０．２２ｍｍとなる。

【０２２２】

したがって、選択回路１２ａは０．２２ｍｍの配線領域と、図４９に図示するＡＮＤ回路１５１、バッファ回路１５２を加えた幅で構成することができる。配線領域が狭いほど、狭額縁化を実現できる。デコーダ４８１の個数と、ＳＥＬ信号線（ＳＥＬ［０：５］）の数は、選択回路１２ａの形成幅を考慮して決定すればよい。たとえば、ＳＥＬ信号線（ＳＥＬ［０：７］）を８本とすれば、２の８乗であるから、２５６本のＯｕｔ端子を指定できる。画素行数が２０４８画素行であれば、２０４８／２５６＝８であるので、８本のイネーブル信号線と、８本のＳＥＬ信号線（ＳＥＬ［０：７］）で、２０４８画素行を指定することができる。

【０２２３】

以上のことから、ＳＥＬ信号線（ＳＥＬ［０：５］）の６本はデコーダ回路４９１に共通の入力であっても、イネーブル信号線（ＥＮＢ）により、任意の画素行のゲート信号線１７ｂを選択することができる。また、選択回路１２ａの入力は、ＳＥＬ信号線（ＳＥＬ［０：５］）と、イネーブル信号線（ＥＮＢ）だけでよく、信号線本数を少なくできるため、選択回路１２ａの幅を狭くでき、結果として、表示パネル６１を狭額縁化できる。

【０２２４】

図４９の実施例において、バッファ回路１５２でレベルシフトさせるとしたが、本発明はこれに限定するものではない。たとえば、ソースドライバ回路１４で、Ｖｏｎ電圧またはＶｏｆｆ電圧にレベルシフトさせて選択回路１２ａに印加してもよい。つまり、ソースドライバ回路１４にレベルシフタ回路（図示せず）を具備させる。また、ＴＣＯＮ１４１で選択回路１２ａを制御する場合は、レベルシフタ回路を、ＴＣＯＮ１４１内にレベルシフタ回路を具備させてもよい。

【０２２５】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０２２６】

（他の実施形態における選択回路２）

図１３～図１６の実施例では、表示画面５１の左側に選択回路１２ａを形成または配置し、表示画面５１の右側に選択回路１２ｂを形成または配置した構成である。しかし、本開示の形態における実施例は、これに限定するものではない。たとえば、図１７の構成が例示される。

【０２２７】

図１７は、他の実施例における選択回路１２の構成例である。奇数画素行のゲート信号線１７ｂが、表示画面５１の左辺に位置する選択回路１２ａＬによって駆動される。偶数画素行のゲート信号線１７ｂが、表示画面５１の右辺に位置する選択回路１２ａＲによって駆動される。また、奇数画素行のゲート信号線１７ｂ以外のゲート信号線１７が、表示画面５１の右辺に位置する選択回路１２ｂＲによって駆動され、偶数画素行のゲート信号線１７ｂ以外のゲート信号線１７が、表示画面５１の左辺に位置する選択回路１２ｂＬによって駆動される。

【０２２８】

選択回路１２ｂは、バッファ回路１５２と、制御信号線（Ｃｆ、Ｃｅ、Ｃｃ、Ｃｄ）しない構成であるため、形成面積が小さい。一方、選択回路１２ａは、入力信号線（Ｄ）の本数が比較的に多く、また、ＡＮＤ回路１５１、バッファ回路１５２を有するため、比較的、選択回路１２ａの形成面積が大きい。したがって、図１４の画像表示装置では、表示画面５１の左側の額縁が、右側の額縁より広くなり、左右の額縁（選択回路１２ａ、１２ｂ）の形成面積がアンバランスとなる場合がある。

【０２２９】

図１７の画像表示装置の構成では、奇数画素行のゲート信号線１７ｂを駆動する選択回路１２ａＬを表示画面の左側の額縁に配置し、奇数画素行のゲート信号線１７ｂ以外のゲート信号線を駆動する選択回路１２ｂＲを表示画面の右側の額縁に配置している。また、偶数画素行のゲート信号線１７ｂを駆動する選択回路１２ａＲを表示画面の右側の額縁に配置し、偶数画素行のゲート信号線１７ｂ以外のゲート信号線を駆動する選択回路１２ｂＬを表示画面の左側の額縁に配置している。

【０２３０】

図１７の構成では、奇数画素行、偶数画素行を駆動する選択回路１２ａ（１２ａＲ、１２ａＬ）と、奇数画素行、偶数画素行を駆動する選択回路１２ｂ（１２ｂＲ、１２ｂＬ）をそれぞれ表示画面５１の左右に配置しているため、表示画面５１の左右の額縁が均等にすることができる。

【０２３１】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０２３２】

（画素の色配置）

図１９は、本開示の形態における画像表示装置の画素配列を図示している。赤（Ｒ）、緑（Ｇ）、青（Ｂ）の画素がマトリックス状に配置されている。赤（Ｒ）、緑（Ｇ）、青（Ｂ）の画素は、縦方向にストライプ状に配置されている。

【０２３３】

図２０は、本開示の形態における画像表示装置の画素配列を図示している。赤（Ｒ）、緑（Ｇ）、青（Ｂ）の画素がマトリックス状に配置されている。赤（Ｒ）、緑（Ｇ）、青（Ｂ）の画素は、横方向にストライプ状に配置されている。つまり、複数の画素には、第１の色の画素と第２の色の画素とが含まれ、第１の色の画素および第２の色の画素は、横ストライプ状に配置されている。

【０２３４】

なお、図１９、図２０において、画素の色は、赤（Ｒ）、緑（Ｇ）、青（Ｂ）としたが、これに限定するものではなく、赤（Ｒ）、緑（Ｇ）、青（Ｂ）、白（Ｗ）としてもよい。

【０２３５】

本発明は、図１９、図２０の画素配置のいずれでもよいが、ソースドライバ回路１４が出力する映像振幅を小さくし、ソースドライバ回路１４の発熱を抑制するためには、図２０の画素配置を採用することが好ましい。赤（Ｒ）映像、緑（Ｇ）映像、青（Ｂ）映像は、隣接した画素で階調差が近似しているからである。選択回路１２は、図２０の画素配置を採用した場合、図１８の構成を採用することが好ましい。

【０２３６】

図２０の画素配置では、表示画面５１の赤（Ｒ）映像を画素に書き込み、次に表示画面５１の緑（Ｇ）映像を画素に書き込み、表示画面５１の青（Ｂ）映像を画素に書き込みという様に駆動する。各色では、隣接した画像の階調差が近似している場合が多い。したがって、図２０において、Ｒ１ｘ（ｘは１～ｎの自然数）を選択すれば、Ｒ１ｘの画素に書き込む映像データ（映像電圧）は、近似している場合が多い。また、次に選択するＲ画素行が、Ｒ２ｘ（ｘは１～ｎの自然数）を選択すれば、Ｒ１ｘの画素に書き込む映像データ（映像電圧）とＲ２ｘの画素に書き込む映像データ（映像電圧）は、近似している場合が多い。Ｇ、Ｂにおいても同様である。つまり、表示画面５１において、Ｒ色の画像を書き換え、次にＧ色の画像を書き換え、次にＢ色の画像を書き換え、次にＲ色の画像を書き換え、・・・・・・と駆動する。そのため、ソースドライバ回路１４が出力する映像信号の振幅電圧差（変化）を小さくできるため、ソースドライバ回路１４の低消費電力化を実現できる。

【０２３７】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０２３８】

（画素配置と選択回路の構成）

図１８は、Ｒ画素行のゲート信号線１７ｂは、選択部１４３Ｒ（＃Ｒ１～＃Ｒｍ）で選択する。なお、ｍは１以上の自然数である。Ｇ画素行のゲート信号線１７ｂは、選択部１４３Ｇ（＃Ｇ１～＃Ｇｍ）で選択する。Ｂ画素行のゲート信号線１７ｂは、選択部１４３Ｂ（＃Ｂ１～＃Ｂｍ）で選択する。

【０２３９】

Ｒ画素行のゲート信号線１７ｂ以外のゲート信号線は、選択回路１２ｂＲで選択する。Ｇ画素行のゲート信号線１７ｂ以外のゲート信号線は、選択回路１２ｂＧで選択する。Ｂ画素行のゲート信号線１７ｂ以外のゲート信号線は、選択回路１２ｂＢで選択する。

【０２４０】

図２０の構成を採用し、図２０の画素配置を採用することにより、Ｒ、Ｇ、Ｂの画素を独立して書き換えることができる。

【０２４１】

ソースドライバ回路１４は、選択部１４３が選択するゲート信号線１７ｂ位置に対応させて映像信号を出力する。したがって、ソースドライバ回路１４は、選択部１４３ＲがＲ色の画素行を選択している場合は、Ｒ画素行に対応する映像信号を出力する。ソースドライバ回路１４は、選択部１４３ＧがＧ色の画素行を選択している場合は、Ｇ画素行に対応する映像信号を出力する。ソースドライバ回路１４は、選択部１４３ＢがＢ色の画素行を選択している場合は、Ｂ画素行に対応する映像信号を出力する。図２０に図示するような画素配置で、「Ｒ画素行を順次選択し、表示画面５１のＲ画素のコンデンサ１９ｃに映像信号を印加する。次にＧ画素行を順次選択し、表示画面５１のＧ画素のコンデンサ１９ｃに映像信号を印加する。次にＢ画素行を順次選択し、表示画面５１のＢ画素のコンデンサ１９ｃに映像信号を印加する。」と言う駆動順序を実施することにより、ソースドライバ回路１４が出力する映像振幅は小さくすることができる。

【０２４２】
Ｒ画素行への映像信号の書込みは、図７、図８に図示するように、順次Ｒ画素行を選択して書き込む。図９の初期化期間、図１０のオフセットキャンセル期間、図１１のコピー期間をＲ画素行に対して実施する。
【０２４３】
次に、Ｇ画素行への映像信号の書込みは、図７、図８に図示するように、順次Ｇ画素行を選択して書き込む。図９の初期化期間、図１０のオフセットキャンセル期間、図１１のコピー期間をＧ画素行に対して実施する。
【０２４４】
次に、Ｂ画素行への映像信号の書込みは、図７、図８に図示するように、順次Ｂ画素行を選択して書き込む。図９の初期化期間、図１０のオフセットキャンセル期間、図１１のコピー期間をＢ画素行に対して実施する。
【０２４５】
なお、以上の駆動方式に限定されない。たとえば、図９の初期化期間、図１０のオフセットキャンセル期間、図１１のコピー期間をＲ、Ｇ、Ｂ画素行に対して実施するし、次に、図７、図８に図示するように、順次Ｒ画素行を選択して書き込み、次に、図７、図８に図示するように、順次Ｇ画素行を選択して書き込み、次に、図７、図８に図示するように、順次Ｂ画素行を選択して書き込んでもよい。
【０２４６】
なお、Ｒ、Ｇ、Ｂの書込み順次、あるいはオフセットキャンセル順序などは、フレームごとに変化させてもよい。たとえば、第１のフレームで、Ｒ、Ｇ、Ｂの順序とし、次に第２のフレームで、Ｇ、Ｒ、Ｂの順序とし、次の第３のフレームで、Ｂ、Ｇ、Ｒの順序とするなどの方式が例示される。
【０２４７】
なお、図１８の構成においても、図１７などの本明細書で説明する他の技術的思想を採用できることは言うまでもない。また、本明細書で説明する他の技術的思想と組み合わせることができることは言うまでもない。
【０２４８】
以上のように、Ｒ、Ｇ、Ｂの画素を独立して書き換えることができるのは、図１で説明したように、画素の表示状態と独立して、映像信号を画素１６に印加することができる（コンデンサ１９ｃに映像信号を印加できる）こと、ブランキング期間に、次の画像表示を変更できること、ＴＣＯＮ１４１が求めた画素行の順番に対応させて画素行を選択できることの効果である。
【０２４９】
以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。
【０２５０】
（画素回路の他の実施例）
本開示の形態における画素回路は、図１を例示したが、これに限定するものではない。図２１は、図１に対して、コンデンサ１９ａの一端子をノードＮ２に接続した構成例である。コンデンサ１９ａの他の端子は、アノード電圧Ｖｄｄに接続する。
【０２５１】
なお、コンデンサ１９ａはアノード電圧Ｖｄｄと接続するとしたが、これに限定するものではない。他の安定した電圧であれば、いずれの電圧であってもよい。
【０２５２】
以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることもいうまでもない。
【０２５３】
スイッチ用トランジスタ１１ｃがオンすることにより、電圧ＶｒｓｔがノードＮ２に印加され、コンデンサ１９ａとコンデンサ１９ｃの一端子に電圧Ｖｒｓｔが印加されて初期

化される。スイッチ用トランジスタ１１ｅがオンすることにより、コンデンサ１９ｂに保持された電圧が、コンデンサ１９ａとコンデンサ１９ｃの一端子に印加され、ノードＮ２、Ｎ３の電位が、１フレーム期間（次に、Ｎ２、Ｎ３電圧が書き換えられるまでの期間）の間、保持される。他の事項は、図１等で説明しているので説明を省略する。

【０２５４】

図２２は、図１に対して、コンデンサ１９ａの一端子をノードＮ２に接続し、コンデンサ１９ｃの一端子をアノード電圧Ｖｄｄに接続し、スイッチ用トランジスタ１１ｃのソース端子をソース信号線１８に接続し、ドレイン端子をノードＮ２に接続した構成例である。

【０２５５】

スイッチ用トランジスタ１１ｃがノードＮ２に供給する電圧Ｖｒｓｔは、ソースドライバ回路１４から供給する。または、ソース信号線１８を介して画素１６に供給する。

【０２５６】

ソースドライバ回路１４は、電圧Ｖｒｓｔと映像信号をソース信号線１８に印加する。電圧Ｖｒｓｔは、ブランキング期間に必要な電圧で、映像信号はブランキング期間以外に必要な電圧である。

【０２５７】

ソースドライバ回路１４は、ブランキング期間に、ソース信号線１８に電圧Ｖｒｓｔを出力し、それ以外の期間は、選択された画素行に対応する映像信号を出力する。また、電圧Ｖｒｓｔは、映像信号の階調０近傍の電圧であるので、ソースドライバ回路１４で出力することができる。

【０２５８】

コンデンサ１９ｂの一端子は、アノード電圧Ｖｄｄと接続している。駆動用トランジスタ１１ａはＰチャンネルトランジスタであるため、駆動用トランジスタ１１ａのゲート端子電位が、アノード電圧Ｖｄｄに近いとオフ状態となり、駆動用トランジスタ１１ａのゲート端子電位が、アノード電圧Ｖｄｄから離れるにしたがって、駆動用トランジスタ１１ａがＥＬ素子１５に流す電流値は大きくなる。映像信号も、アノードＶｄｄまたはその近傍の電圧を基準とするため、コンデンサ１９ｂの一端子の電位をアノード電圧Ｖｄｄとすることにより、映像信号あるいは映像信号レベルが安定化する。

【０２５９】

図２２の画素回路構成では、画素回路に電圧Ｖｒｓｔの配線をレイアウトする必要がなく、画素回路のレイアウト設計が容易となる。他の事項は、図１と類似あるいは同様であるので、説明を省略する。

【０２６０】

図２２の画素回路構成では、初期化期間では、ソースドライバ回路１４から電圧Ｖｒｓｔを画素のノードＮ２に印加し（スイッチ用トランジスタ１１ｃ、１１ｇはオン状態、スイッチ用トランジスタ１１ｂ、１１ｅ、１１ｄはオフ状態）、また、スイッチ用トランジスタ１１ｆをオン状態にして、ノードＮ３に電圧Ｖｉｎｉを印加する。オフセットキャンセル期間では、ソースドライバ回路１４から電圧Ｖｒｓｔを画素のノードＮ２に印加した状態を維持し、スイッチ用トランジスタ１１ｆをオフ状態にとし、駆動用トランジスタ１１ａのオフセットキャンセル動作を行う。

【０２６１】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０２６２】

図２３の画素回路構成は、図１、図２２の変形例である。図２３では、コンデンサ１９ｂの一端子が、ゲート信号線１７ｃと接続され、スイッチ用トランジスタ１１ｆのソース端子がゲート信号線１７ｃと接続されている。一例として、電圧Ｖｏｆｆ＝６（Ｖ）、電圧Ｖｏｎ＝－６（Ｖ）とする。

【０２６３】

コンデンサ１９ｂ（コンデンサＣｃ）の一端子（ノードＮ５）の電位は、映像信号のコンデンサ１９ｃへの書込み時は、ゲート信号線１７ｃの電位は、電圧Ｖｏｆｆ（６（Ｖ））である。コピー動作（スイッチ用トランジスタ１１ｅがオン状態）の時は、ゲート信号線１７ｄの電位は、電圧Ｖｏｆｆ（６（Ｖ））である。したがって、映像信号のコンデンサ１９ｃへの書込み時と、コピー動作時の両方とも、ノードＮ５が、電圧Ｖｏｆｆと一定であるため、コンデンサ１９ｂの保持した電圧と安定して、駆動用トランジスタ１１ａに印加できる。

【０２６４】

スイッチ用トランジスタ１１ｆのソース端子は、ゲート信号線１７ｃ（ノードＮ５）に接続されている。電圧ＶｉｎｉをノードＮ３に印加するときは、ゲート信号線１７ｃに、電圧Ｖｏｎ（－６（Ｖ））が印加されている。したがって、初期化時には、ノードＮ３には、電圧Ｖｏｎ（－６（Ｖ））が印加される。駆動用トランジスタ１１ａのゲート端子が、負電圧に設定されることにより、駆動用トランジスタ１１ａのオフセットキャンセル駆動が実施できる。

【０２６５】

図２５に図示するように、電圧Ｖｒｓｔは、ソースドライバ回路１４から、ノードＮ２に印加され、初期化電圧Ｖｉｎｉとして、Ｖｏｎ１電圧がノードＮ３に印加される。

【０２６６】

図２３の画素回路構成では、画素に電圧Ｖｉｎｉの配線を形成する必要がない。したがって、画素回路のレイアウト設計が容易である。また、電圧Ｖｉｎｉ配線の配置に伴う、短絡欠陥の発生も抑制できる。

【０２６７】

なお、図２３に示される実施例において、スイッチ用トランジスタ１１ｆを良好にオン状態にするため、ゲート信号線１７ｆに印加する電圧Ｖｏｎ２は、ゲート信号線１７ｃに印加する電圧Ｖｏｎ１よりも、低く設定することが好ましい（Ｖｏｎ２＜Ｖｏｎ１）。たとえば、Ｖｏｎ１＝－６（Ｖ）であれば、Ｖｏｎ２＝－８（Ｖ）に設定する。

【０２６８】

図２４の画素回路構成は、図１、図２２、図２３の変形例である。図２４では、コンデンサ１９ｂの一端子が、アノード電圧Ｖｄｄの配線と接続され、スイッチ用トランジスタ１１ｆのソース端子がゲート信号線１７ｃ（ノードＮ５）と接続されている。スイッチ用トランジスタ１１ｃのソース端子は、ソース信号線１８を接続されている。

【０２６９】

以上のように、本発明の画素回路構成は、多種多様な構成が例示される。本発明の選択回路１２に関する事項は、多種多様な画素構成に対応することができる。また、組み合わせることもできる。

【０２７０】

なお、本発明の実施例において、ゲート信号線１７ｄとゲート信号線１７ｃなどのゲート信号線の電圧Ｖｏｆｆ、電圧Ｖｏｎを独立して、電圧設定できるように構成することにより、コンデンサ１９ｂ、１９ａの一端子に印加するＶｏｎ電圧、Ｖｏｆｆ電圧をより適正な電圧に設定することができることは言うまでもない。

【０２７１】

図２３において、コンデンサ１９ｂ（コンデンサＣｃ）の一端子をノードＮ５（ゲート信号線１７ｃ）に接続としたが、これに限定するものではなく、たとえば、ノードＮ４（ゲート信号線１７ｄ）に接続してもよい。以上のように、コンデンサ１９ｂの一端子は、ゲート信号線１７と接続する構成を採用してもよい。同様に、コンデンサ１９ａに関しても、一端子を、ゲート信号線１７と接続した構成を採用してもよい。

【０２７２】

なお、以上の事項は、図３２などの本明細書の他の発明においても、適用できることは言うまでもない。また、組み合わせることができることは言うまでもない。

【０２７３】

（オフセットキャンセルなしの画素構成）
図３２は、実施の他の形態に係るＥＬ表示パネルの画素構成の一例を示す回路図である。同図に示すように、表示画素１６は、スイッチ用トランジスタ１１ｂ～１１ｅと、コンデンサ１９ｂおよび１９ａと、駆動トランジスタ１１ａと、ＥＬ素子（発光素子）１５とを備える。
【０２７４】
スイッチ用トランジスタ１１ｂ～１１ｅは、Ｐチャネル型ＭＯＳトランジスタである。スイッチ用トランジスタ１１ｂ～１１ｅにより、コンデンサ１９ｂに対し電圧信号の書き込みを行う書き込み動作、コンデンサ１９ａあるいは駆動トランジスタ１１ａのゲート端子電圧をリセットするリセット動作、コンデンサ１９ａにコンデンサ１９ｂに書き込まれた電圧信号をコピーするコピー動作、および、ＥＬ素子１５の発光を行う発光動作を行わせることができる。
【０２７５】
スイッチ用トランジスタ１１ｂは、表示画素１６の選択および非選択を切り替えるスイッチ回路の一例であり、Ｐチャネル型ＭＯＳトランジスタで構成されている。スイッチ用トランジスタ１１ｂは、ゲート信号線１７ｂに印加される選択信号に応じて、ソース信号線１８とノードＮ１との間の導通および非導通を切り替える。
【０２７６】
スイッチ用トランジスタ１１ｅは、コンデンサ１９ｂとコンデンサ１９ａとの接続および非接続を切り替えるスイッチ回路の一例であり、ゲート信号線１７ａに印加される信号に応じて、ノードＮ１とノードＮ２との間の導通および非導通を切り替える。
【０２７７】
スイッチ用トランジスタ１１ｃは、ゲート信号線１７ｃに印加される信号に応じて、ノードＮ２に電圧Ｖｒｓｔを入力するか否かを切り替える。電圧Ｖｒｓｔは、コンデンサ１９ａを初期化あるいは駆動トランジスタ１１ａを初期化する初期化電圧であり、あるいは、コンデンサ１９ａの端子または駆動トランジスタ１１ａのゲート端子に印加される所定電圧である。
【０２７８】
スイッチ用トランジスタ１１ｄは、駆動トランジスタ１１ａとＥＬ素子１５との接続および非接続を切り替えるスイッチ回路の一例であり、ゲート信号線１７ｄに印加される信号に応じて、駆動トランジスタ１１ａによるＥＬ素子１５への発光電流の供給と非供給とを切り替える。
【０２７９】
駆動トランジスタ１１ａは、Ｐチャネル型ＭＯＳトランジスタであり、コンデンサ１９ａに書き込まれた電圧信号の大きさに応じた発光電流をＥＬ素子１５に供給する。駆動トランジスタ１１ａは、ゲート端子がノードＮ２に、ドレイン端子がＥＬ素子１５のアノード電極にそれぞれ接続され、ソース端子にアノード電圧Ｖｄｄが入力されている。
【０２８０】
ＥＬ素子１５は、駆動トランジスタ１１ａから供給される発光電流に応じて発光する素子である。ＥＬ素子１５は、カソード電極にカソード電圧Ｖｓｓが入力され、アノード電極がスイッチ用トランジスタ１１ｄに接続されている。
【０２８１】
コンデンサ１９ｂは、ソースドライバ回路１４により電圧信号が書き込まれる書き込み用コンデンサの一例であり、一端がノードＮ１に接続され、他端にリファレンス電圧Ｖｒｓｔが入力される。
【０２８２】
コンデンサ１９ａは、コンデンサ１９ｂの電圧信号がコピーされる（コンデンサ１９ｂの電荷を受け付ける）表示用コンデンサの一例であり、一端がノードＮ２に接続され、他端に電圧Ｖｄｄが入力されている。
【０２８３】

なお、図１と同様に、図３２においても、表示画素１６を構成するすべてのトランジスタはＰチャンネルで構成しているが、表示画素１６のトランジスタをＰチャンネルで構成することのみに限定するものではない。Ｎチャンネルのみで構成してもよい。また、ＮチャンネルとＰチャンネルの両方を用いて構成してもよい。

【０２８４】

また、スイッチ用トランジスタ１１ｂ～１１ｃは、ＮまたはＰチャンネルのトランジスタに限定するものではなく、たとえば、ＰチャンネルのトランジスタとＮチャンネルのトランジスタの両方を用いて構成したアナログスイッチであってもよい。

【０２８５】

図３２に示す本開示の形態における表示画素１６の動作について説明をする。図１と同様に、図３２の表示画素１６は、映像信号Ｖｓｉｇ（電圧信号）の書き込み処理と、ＥＬ素子１５の発光処理とを独立して行うことができる。つまり、表示画素１６では、映像信号の書き込み処理、初期化処理、コピー処理（複写処理）、および、発光処理が実行される。各処理は、ＴＣＯＮ１４１などがＥＬ表示装置を構成する各回路を制御することにより実行される。

【０２８６】

１フレーム（１Ｆ）のブランキング期間（非表示期間）において、初期化処理、コピー処理は、表示画面の全画素に対して同時に実施される。映像信号の書込み処理は、１フレーム（１Ｆ）のブランキング期間以外の時間に、ＴＣＯＮ１４１などが決定あるいは求めた画素行の順番にしたがって、画面の１画素行ずつ順次、映像信号電圧がコンデンサ１９ｂに印加される。ブランキング期間（非表示期間）は、表示画素１６のスイッチ用トランジスタ１１ｄはオフされており、ＥＬ素子１５には発光電流は供給されない。

【０２８７】

初期化処理、コピー処理は、ブランキング期間において、表示画面５１の全画素に対して同時に実施されるとしたが、これに限定するものではない。たとえば、ブランキング期間に、複数の画素行を組みとして、順次、動作を実施してもよい。あるいは、高速に、１画素行を順次選択してもよい。以上の事項は、図１などの実施例でも同様である。

【０２８８】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０２８９】

書き込み処理期間では、コンデンサ１９ａの現在の電圧信号に応じてＥＬ素子１５を発光させながら、コンデンサ１９ｂに対し電圧信号（映像信号電圧）の書き込みが行われる。選択する画素行は、選択回路１２ａにより行う。

【０２９０】

書き込み処理期間では、スイッチ用トランジスタ１１ｂおよび１１ｄがオン状態、スイッチ用トランジスタ１１ｅおよび１１ｃがオフ状態となっている。このように各トランジスタの状態を設定することで、ＥＬ素子１５を現在の電圧信号に応じて発光させながら、コンデンサ１９ｂに次の電圧信号（映像信号）を書き込むことができる。

【０２９１】

初期化処理期間では、ＥＬ素子１５の発光を停止した状態で、コンデンサ１９ａの初期化が行われる。なお、初期化処理とは、初期化処理、所定状態化処理などの概念を含む。コンデンサ１９ａの端子電圧、駆動用トランジスタ１１ａの初期化あるいは一定の動作にする処理などである。

【０２９２】

初期化処理は、スイッチ用トランジスタ１１ｃをオンさせて行う。初期化処理は、表示画面５１の全画素に対して同時に実施する。初期化処理では、駆動用トランジスタ１１ａのゲート端子、コンデンサ１９ａの一端子に電圧Ｖｒｓｔを印加する。電圧Ｖｒｓｔは、駆動用トランジスタ１１ａのカットオフ電圧以下の電圧とする。

【０２９３】

また、コンデンサ１９ａの容量：コンデンサ１９ｂの容量は、１：１以上１：２０以下にすることが好ましい。

【０２９４】

初期化処理期間では、スイッチ用トランジスタ１１ｃがオン状態、スイッチ用トランジスタ１１ｂ、１１ｅ、１１ｄがオフ状態となっている。スイッチ用トランジスタ１１ｂおよび１１ｅがオフ状態となることで、コンデンサ１９ｂには、次の電圧信号に応じた電荷が保持される。また、スイッチ用トランジスタ１１ｃがオン状態であるため、駆動用トランジスタ１１ａのゲート端子、コンデンサ１９ａの一端に電圧Ｖｒｓｔが入力される。これにより、駆動用トランジスタ１１ａは初期化される。

【０２９５】

初期化処理が実行される期間は、スイッチ用トランジスタ１１ｄがオフ状態であるため、ＥＬ素子１５は発光しない。

【０２９６】

なお、電圧Ｖｒｓｔを、駆動用トランジスタ１１ａをオフ状態とする電圧（Ｖｔ電圧以下）に設定することにより、電圧Ｖｒｓｔを駆動用トランジスタ１１ａのゲート端子に印加しても、駆動用トランジスタ１１ａをカットオフに維持できる。したがって、スイッチ用トランジスタ１１ｄがオン状態でも、駆動用トランジスタ１１ａからＥＬ素子１５に電流は供給されない。この場合は、スイッチ用トランジスタ１１ｄをオフにしなくともよい。また、スイッチ用トランジスタ１１ｄを画素回路の構成から省略することができる。

【０２９７】

コピー処理期間では、ＥＬ素子１５の発光を停止させた状態で、コンデンサ１９ａにコンデンサ１９ｂに書き込まれた次の電圧信号がコピーされる。

【０２９８】

コピー処理は、スイッチ用トランジスタ１１ｅをオンさせて行う。コピー処理は、表示画面５１の全画素に対して同時に実施する。コピー処理では、スイッチ用トランジスタ１１ｅがオン状態、スイッチ用トランジスタ１１ｂ、１１ｃ、１１ｄがオフ状態となっている。スイッチ用トランジスタ１１ｃがオフ状態となり、スイッチ用トランジスタ１１ｅがオン状態となることで、コンデンサ１９ｂの一端とコンデンサ１９ａの一端とが接続される。したがって、コンデンサ１９ｂに書き込まれた次の電圧信号をコンデンサ１９ａにコピーする（書き込む）ことができる。

【０２９９】

コンデンサ１９ａは、駆動用トランジスタ１１ａのゲート端子に接続されている。コンデンサ１９ａに保持された電圧に基づいて駆動用トランジスタ１１ａはＥＬ素子１５に電流を供給する。コピー処理が実行される期間は、スイッチ用トランジスタ１１ｄがオフ状態であるため、ＥＬ素子１５は発光しない。

【０３００】

発光処理期間では、ＥＬ素子１５の発光が行われる。発光処理は、スイッチ用トランジスタ１１ｄをオンさせて行う。発光処理は、表示画面５１の全画素に対して同時に実施する。発光処理では、スイッチ用トランジスタ１１ｄがオン状態、スイッチ用トランジスタ１１ｂ～１１ｃがオフ状態となっている。このように各トランジスタの状態を設定することで、ＥＬ素子１５を、次の電圧信号に応じて発光させることができる。

【０３０１】

本開示の表示画素１６の回路構成では、ＥＬ素子１５に電流を供給している状態でも、映像信号電圧を画素に書き込むことができる。前フレーム期間に画素に書き込まれた映像信号に対応する電圧が、コンデンサ１９ａで保持されており、駆動用トランジスタ１１ａは、コンデンサ１９ａに保持された電圧に基づいて、ＥＬ素子１５に電流を供給する。

【０３０２】

現フレーム期間では、画素行が選択回路１２ａにより選択され、ソースドライバ回路１４は選択された画素に映像信号を印加する。表示画素１６では、映像信号に対応する電圧がコンデンサ１９ｂに保持される。１フレームの各ブランキング期間では、コンデンサ１

９ｂに保持された電圧が、コンデンサ１９ａにコピーされる。この期間は、表示画面５１は非表示状態に維持される。一例として非表示状態の期間は、ブランキング期間である。

【０３０３】

次のフレームでは、コンデンサ１９ａに保持された電圧に基づいて、駆動用トランジスタ１１ａがＥＬ素子１５に電流を供給する。

【０３０４】

以上のように、本実施の形態に係る表示画素１６は、映像信号に基づく電圧を保持するコンデンサ１９ａおよび１９ｂを具備することを特徴とする。ソースドライバ回路１４からの映像信号は、コンデンサ１９ｂに保持される。ブランキング期間などに、コンデンサ１９ａにコピーされる。コンデンサ１９ａと１９ｂとの間には、スイッチとしてのスイッチ用トランジスタが配置され、このスイッチ用トランジスタにより、映像信号に基づく電圧信号がコンデンサ１９ａにコピーされる。コンデンサ１９ａは駆動用トランジスタ１１ａのゲート端子に接続されており、駆動用トランジスタ１１ａは、コンデンサ１９ａにコピーされた電圧信号に基づき、発光電流をＥＬ素子１５に供給する。

【０３０５】

図３３は、図３２の画素回路の動作を示すタイミングチャート図である。図３３のタイミングチャートに図示するように、時間ｔ１でゲート信号線１７ｄにオフ電圧が印加され、また、オフ電圧は、時間ｔ６まで保持される。この期間は、スイッチ用トランジスタ１１ｄがオフ状態に設定されるため、駆動用トランジスタ１１ａからＥＬ素子１５には電流が供給されない。

【０３０６】

期間ｔ２～ｔ３は、初期化期間である。初期化処理では、スイッチ用トランジスタ１１ｄ、１１ｂ、１１ｅをオフさせ、ＥＬ素子１５の発光を停止した状態で、スイッチ用トランジスタ１１ｅをオンさせ、コンデンサ１９ａの初期化が行われる。

【０３０７】

期間ｔ４～ｔ５は、コピー期間である。ゲート信号線１７ｃ、１７ｂ、１７ｄに非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ１１ｂ、１１ｃ、１１ｄがオフ状態に設定される。ゲート信号線１７ｅはオン電圧が印加されているため、スイッチ用トランジスタ１１ｅのオン状態となる。コンデンサ１９ｂ（Ｃｃ）には、映像信号に対応する電圧が電荷として保持されている。スイッチ用トランジスタ１１ｅのオンすることにより、前記電荷が、コンデンサ１９ｃの一端子（ノードＮ２）に移動する。

【０３０８】

発光期間では、ゲート信号線１７ｄにオン電圧が印加されることにより、スイッチ用トランジスタ１１ｄがオンし、駆動用トランジスタ１１ａからＥＬ素子１５に発光電流が供給され、ＥＬ素子１５が発光する（発光電流が０（Ａ）の場合を除く）。スイッチ用トランジスタ１１ｄがオフすることにより、駆動用トランジスタ１１ａからＥＬ素子１５への電流経路が遮断され、ＥＬ素子１５は消灯する。

【０３０９】

以上のゲート信号線１７ｃ、１７ｅ、１７ｄのオン動作は、ブランキング期間で実施する（図３３において、Ａ（Ａ動作）で示す）。つまり、全表示画面５１の画素に一括して実施する。一方、ゲート信号線１７ｂのオン動作は、表示期間に順次実施する（図３３において、Ｂ（Ｂ動作）で示す）。

【０３１０】

表示画面５１における任意の画素行を画素行Ｋ、画素行Ｌとする。画素行Ｋは、期間ａ１～ａ２に画素行Ｋのゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンして、コンデンサ１９ｂに映像信号が書き込まれる。画素行Ｌは、期間ａ３～ａ４に画素行Ｋのゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンして、コンデンサ１９ｂに映像信号が書き込まれる。

【０３１１】

期間ａ１～ａ２、期間ａ３～ａ４は、通常１水平走査期間（１Ｈ：１画素行の選択期間

）である。画素行Ｋ、画素行Ｌの選択タイミングは、ＴＣＯＮ１４１が決定する。したがって、画素行Ｋの映像信号書き込み期間と、画素行Ｌの映像信号書き込み期間の時間差は、ｂＨ（ｂは、０以外の整数）である。ｂは、ＴＣＯＮ１４１の演算結果により、設定される。

【０３１２】

なお、以上の実施例において、ゲート信号線１７ｃ、１７ｅ、１７ｄのオン動作は、ブランキング期間内で実施し、全表示画面５１の画素を一括して実施するとしたが、本発明はこれに限定するものではない。たとえば、表示画面５１を１／２の領域に分割し、分割した表示画面５１で独立（時間的に相違）して、ゲート信号線１７ｃ、１７ｅ、１７ｄのオン動作を実施してもよい。また、ブランキング期間に限定するものではなく、ブランキング期間以外の期間で、スイッチ用トランジスタ１１ｄをオフさせてもよい。

【０３１３】

期間ｔ６～ｔ７、ｔ８～ｔ９が発光期間であり、ｔ７～ｔ８が消灯期間である。ゲート信号線１７ｄに印加する電圧をオン電圧とオフ電圧に変化させることにより、表示画面５１に黒表示の横帯を表示され、前記横帯は、画面上部から下部に１フレーム周期で移動する。表示画面５１に占める黒表示の横帯の面積が大きくなれば、表示画面５１の輝度は低くなる。表示画面５１に占める黒表示の横帯の面積が小さくなれば、表示画面５１の輝度は高くなる。表示画面５１に占める黒表示の横帯の面積を調整あるいは設定することにより、表示画面の明るさを調整できる（デューティ駆動）。なお、フレーム期間での動作を説明するタイミングチャートは、図３と同様であるので説明を省略する。

【０３１４】

なお、以上の実施の形態では、映像信号に基づく電圧を保持するコンデンサ１９ａおよび１９ｂを具備するとしたが、これに限定されるものではない。たとえば、トランジスタなどで２つのメモリ回路を構成し、このメモリ回路に映像信号に基づく電圧を保持させてもよい。また、ＭＯＳトランジスタのゲート容量に、映像信号に基づく電圧を保持させてもよい。

【０３１５】

１画面全体を同一タイミングで画像表示を変更（全表示画面を一括して表示状態を変更）することに限定されるものではない。たとえば、画面の上部と下部に２分割し、１フレームの前半の１／２の期間で画面上部の画像表示を変更し、１フレームの後半の１／２の期間で画面下部の画像表示を変更してもよい。この際、ブランキング期間も１フレームに２回、設定する。

【０３１６】

なお、図３２の実施例に置いても、図１～図３、図５～図２５などの本明細書で説明している事項を適用すること、あるいは組み合わせることができることは言うまでもない。

【０３１７】

本実施の形態に係るＥＬ表示装置は、画像表示状態（第１の期間）で、映像信号を、各表示画素１６内に形成されたコンデンサ１９ｂに保持させていく。ブランキング期間などの期間（第２の期間）では、画像を非表示（ＥＬ素子１５に電流を供給しない状態）で、コンデンサ１９ｂに保持された信号を、コンデンサ１９ａにコピーする。

【０３１８】

画像表示状態（第１の期間）では、駆動用トランジスタ１１ａはコンデンサ１９ａに保持された信号の大きさに基づいて、ＥＬ素子１５に発光電流を供給する。

【０３１９】

なお、コンデンサ１９ａおよび１９ｂに電圧などの信号を保持させるとしたが、コンデンサに限定するものではない。たとえば、オペアンプ、トランジスタなどを用いて信号に基づく電流値を一定期間流す回路（たとえばカレントミラー回路、カレントコピア回路など）を形成し、信号を保持させてもよい。

【０３２０】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他

の実施例と組み合わせることができることも言うまでもない。

【０３２１】

上記書き込み処理、初期化処理、コピー処理および発光処理を繰り返し実行することで、映像（例えば、動画）の表示を行うことができる。なお、発光処理において、全ての表示画素１６について、同時にスイッチ用トランジスタ１１ｄをオフ状態からオン状態にすることで、フレームの表示の切り替えを全ての表示画素１６で同時に実行することができる。つまり、２つのフレームが混在表示されないようにすることができる。

【０３２２】

初期化電圧Ｖｒｓｔが、駆動用トランジスタ１１ａをオフさせる電圧である場合は、図３６に図示するように、スイッチ用トランジスタ１１ｄを削減することができる。

【０３２３】

図３６は、図２２などと同様に、ソースドライバ回路１４が出力する初期化電圧Ｖｒｓｔをノード Ｎ２に印加する画素構成である。

【０３２４】

図３７は、図３６の画素回路の動作を示すタイミングチャート図である。図３７のタイミングチャートに図示するように、期間ｔ２～ｔ３は、初期化期間である。初期化処理では、スイッチ用トランジスタ１１ｄ、１１ｂ、１１ｅをオフさせ、ＥＬ素子１５の発光を停止した状態で、スイッチ用トランジスタ１１ｅをオンさせ、コンデンサ１９ａの初期化が行われる。

【０３２５】

期間ｔ４～ｔ５は、コピー期間である。ゲート信号線１７ｃ、１７ｂに非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ１１ｂ、１１ｃがオフ状態に設定される。ゲート信号線１７ｅはオン電圧が印加されているため、スイッチ用トランジスタ１１ｅはオン状態となる。コンデンサ１９ｂ（Ｃｃ）には、映像信号に対応する電圧が電荷として保持されている。スイッチ用トランジスタ１１ｅのオンすることにより、前記電荷が、コンデンサ１９ｃの一端子（ノードＮ２）に移動する。

【０３２６】

発光期間では、駆動用トランジスタ１１ａからＥＬ素子１５に発光電流が供給され、ＥＬ素子１５が発光する。

【０３２７】

一方、ゲート信号線１７ｂのオン動作は、表示期間に順次実施する（図３７において、Ｂ（Ｂ動作）で示す）。画素行Ｋは、期間ａ１～ａ２に画素行Ｋのゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンして、コンデンサ１９ｂに映像信号が書き込まれる。画素行Ｌは、期間ａ３～ａ４に画素行Ｋのゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンして、コンデンサ１９ｂに映像信号が書き込まれる。期間ａ１～ａ２、期間ａ３～ａ４は、通常１水平走査期間（１Ｈ：１画素行の選択期間）である。画素行Ｋ、画素行Ｌの選択タイミングは、ＴＣＯＮ１４１が決定する。したがって、画素行Ｋの映像信号書き込み期間と、画素行Ｌの映像信号書き込み期間の時間差は、ｂＨ（ｂは、０以外の整数）である。ｂは、ＴＣＯＮ１４１の演算結果により、設定される。

【０３２８】

なお、以上の実施例において、ゲート信号線１７ｃ、１７ｅのオン動作は、ブランキング期間内で実施し、全表示画面５１の画素を一括して実施するとしたが、本発明はこれに限定するものではない。たとえば、表示画面５１を複数の領域に分割し、分割した表示画面５１で独立（時間的に相違）して、ゲート信号線１７ｃ、１７ｅのオン動作を実施してもよい。

【０３２９】

以上の実施例は、画素回路を構成するトランジスタ１１をＰチャンネルトランジスタで構成した実施例であった。本開示の形態における表示パネルはこれに限定するものではない。たとえば、図３９に図示するように、ＮチャンネルトランジスタとＰチャンネルトラ

ンジスタで構成してもよいことは言うまでもない。

【０３３０】

図３９において、スイッチ用トランジスタ１１ｄはＮチャンネルトランジスタで形成しており、スイッチ用トランジスタ１１ｃは、Ｐチャンネルトランジスタで形成している。スイッチ用トランジスタ１１ｃのゲート端子とスイッチ用トランジスタ１１ｄのゲート端子は、共通のゲート信号線１７ｃに接続されている。

【０３３１】

スイッチ用トランジスタ１１ｄがオン状態の時は、スイッチ用トランジスタ１１ｃがオフ状態となる。スイッチ用トランジスタ１１ｄがオフ状態の時は、スイッチ用トランジスタ１１ｃがオン状態となる。スイッチ用トランジスタ１１ｃをオンさせ、リセット電圧Ｖｒｓｔをノード Ｎ２に印加している時は、スイッチ用トランジスタ１１ｄは、オフ状態に制御する。

【０３３２】

スイッチ用トランジスタ１１ｃのゲート端子とスイッチ用トランジスタ１１ｄのゲート端子は、共通のゲート信号線１７ｃに接続されている。

【０３３３】

スイッチ用トランジスタ１１ｄはＮチャンネルトランジスタで形成しており、スイッチ用トランジスタ１１ｃは、Ｐチャンネルトランジスタで形成している。したがって、ゲート信号線１７ｃに印加する電圧により、スイッチ用トランジスタ１１ｄと、スイッチ用トランジスタ１１ｃとは、逆動作（オン動作またはオフ動作）を実施することができる。

【０３３４】

図４０は、図３９の画素回路の動作を示すタイミングチャート図である。スイッチ用トランジスタ１１ｃとスイッチ用トランジスタ１１ｄは、共通のゲート信号線１７ｃに接続されている。したがって、「トランジスタ１１ｃ」と「トランジスタ１１ｄ」は同一の波形である。ただし、スイッチ用トランジスタ１１ｃとスイッチ用トランジスタ１１ｄのオンオフ動作は逆の関係にある。

【０３３５】

図４０のタイミングチャートに図示するように、時間ｔ２でゲート信号線１７ｃにオフ電圧またはオン電圧が印加され、また、時間ｔ３まで保持される。この期間は、スイッチ用トランジスタ１１ｄがオフ状態に設定されるため、駆動用トランジスタ１１ａからＥＬ素子１５には電流が供給されない。

【０３３６】

期間ｔ４～ｔ５は、コピー期間である。スイッチ用トランジスタ１１ｃ、１１ｂがオフ状態に設定される。ゲート信号線１７ｅはオン電圧が印加されているため、スイッチ用トランジスタ１１ｅのオン状態となる。コンデンサ１９ｂ（Ｃｃ）には、映像信号に対応する電圧が電荷として保持されている。スイッチ用トランジスタ１１ｅのオンすることにより、前記電荷が、コンデンサ１９ｃの一端子（ノードＮ２）に移動する。同時に、スイッチ用トランジスタ１１ｄがオンし、駆動用トランジスタ１１ａからＥＬ素子１５に発光電流が供給され、ＥＬ素子１５が発光する（発光電流が０（Ａ）の場合を除く）。

【０３３７】

スイッチ用トランジスタ１１ｃ、１１ｅのオン動作、スイッチ用トランジスタ１１ｄのオフ動作は、ブランキング期間に実施する（図４０において、Ａ（Ａ動作）で示す）。ゲート信号線１７ｂのオン動作は、表示期間に順次実施する（図４０において、Ｂ（Ｂ動作）で示す）。

【０３３８】

表示画面５１の任意の画素行を画素行Ｋおよび画素行Ｌとした時、画素行Ｋは、期間ａ１～ａ２に画素行Ｋのゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンして、コンデンサ１９ｂに映像信号が書き込まれる。画素行Ｌは、期間ａ３～ａ４に画素行Ｋのゲート信号線１７ｂにオン電圧が印加され、スイッチ用トランジスタ１１ｂがオンして、コンデンサ１９ｂに映像信号が書き込まれる。

【０３３９】
期間ａ１～ａ２、期間ａ３～ａ４は、通常１水平走査期間（１Ｈ：１画素行の選択期間）である。画素行Ｋ、画素行Ｌの選択タイミングは、ＴＣＯＮ１４１が決定する。したがって、画素行Ｋの映像信号書き込み期間と、画素行Ｌの映像信号書き込み期間の時間差は、ｂＨ（ｂは、０以外の整数）である。ｂは、ＴＣＯＮ１４１の演算結果により、設定される。
【０３４０】
図３２の画素構成では、映像信号を印加する画素行を選択する選択回路１２ａは、図１などと同様に１本である。選択回路１２ｂが選択するゲート信号線１７は、３本（３種類）である。したがって、選択回路１２ｂは、図３４に図示する構成としている。
【０３４１】
図３４において、選択回路１２ａは、表示画面５１に左辺に形成されている。選択回路１２ｂは、表示画面５１に右辺に形成されている。選択回路１２ａの具体例は、図１５を用いて説明しているので説明を省略する。また、選択回路１２ｂの具体例は、図１６に図示して説明しているので説明を省略する。図１５、図１６など、本明細書で説明あるいは図示自他事項は、図３４などの他の実施例にも適用される。
【０３４２】
以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。
【０３４３】
ＴＣＯＮ１４１（図示せず）は、フレームメモリ内蔵あるいは外部にフレームメモリを有する。入力された映像信号から、各ソース信号線に出力される映像振幅差を求め、映像信号の振幅差が、小さくなるように、選択する画素行の順番を求める。求めた順番により、選択回路１２ａを制御する。
【０３４４】
各ゲート信号線１７のオンオフ制御は、図６に図示するように、ソースドライバ回路１４が、選択回路１２を制御することにより実施する。しかし、本発明はこれに限定するものではなく、ＴＣＯＮ１４１から、直接に選択回路１２を制御してもよいことは言うまでもない。
【０３４５】
図３４において、制御信号線（Ｃｅ、Ｃｃ、Ｃｄ）とゲート信号線間に、バッファ回路１５２を配置している。図１３に図示するように、直接、制御信号線で、ゲート信号線１７を駆動してもよいが、負荷容量が大きいため、オン電圧とオフ電圧の変化電圧波形が鈍る場合がある。
【０３４６】
図３４では、バッファ回路１５２の電源（電圧Ｖｏｎ、Ｖｏｆｆ）は、ゲート信号線１７ｅ、１７ｃ、１７ｄで共通にしている。ゲート信号線１７ｅ、ゲート信号線１７ｃ、ゲート信号線１７ｄで、独立した電源（電圧Ｖｏｎ、Ｖｏｆｆ）を用いることにより、さらに良好なスルーレートを実現できる。
【０３４７】
なお、図３４の実施例においても、図１７、図１８に図示するように、ゲート信号線１７毎に、バッファ回路１５２を形成することにより、オンオフ電圧波形のスルーレートを高くすることができる。
【０３４８】
図１３～図１６の実施例では、表示画面５１の左側に選択回路１２ａを形成または配置し、表示画面５１の右側に選択回路１２ｂを形成または配置した構成である。しかし、本開示の形態における実施例は、これに限定するものではない。図３４の実施例においても、たとえば、図１７、図１８の構成を適用してもよいことは言うまでもない。
【０３４９】
また、図１６、図３４では、各ゲート信号線１７に１つのバッファ回路１５２を配置し

た実施例である。しかし、本発明はこれに限定するものではない。たとえば、図３５に図示するように、複数のゲート信号線１７に１つのバッファ回路１５２を配置した構成としてもよいことは言うまでもない。

【０３５０】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０３５１】

図３４は、各画素のゲート信号線１７数が、４本の場合であった。図３９の画素回路では、各画素のゲート信号線１７数が３本の構成である。この場合は、図３８に図示するように、選択回路１２ｂを構成すればよい。

【０３５２】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０３５３】

図３２、図３６、図３９の画素回路構成においても、選択回路１２は、図６、図１４、図１５、図１６、図１７、図１８、図３５で説明した構成、事項、方式が適用できることは言うまでもない。

【０３５４】

（ＴＣＯＮの信号処理）

ＴＣＯＮ１４１は、表示画素１６の各動作の制御、および、１フレームにおける書き込みの順序の決定あるいは判断を行う。

【０３５５】

図２６は、ＴＣＯＮ１４１の機能的な構成の一例を示すブロック図である。なお、図２６では、本実施の形態を説明するのに必要な構成のみを記載し、その他の構成については省略している。ＴＣＯＮ１４１は、図２６に示すように、電圧差算出部２６１、並び替え部２６２、選択回路制御部２６３、および、ソースドライバ制御部２６４を備えている。

【０３５６】

なお、ＴＣＯＮ１４１は、本実施の形態では、専用のＬＳＩ（Ｌａｒｇｅ　Ｓｃａｌｅ　Ｉｎｔｅｇｒａｔｉｏｎ：大規模集積回路）により構成されている場合を例に説明するが、これに限るものではない。ＴＣＯＮ１４１は、例えば、マイクロプロセッサ（ＭＰＵ）、ＲＯＭ、ＲＡＭなどから構成されるコンピュータシステムあるいは電子回路で構成されていても構わない。この場合は、マイクロプロセッサが、上述した各動作を実行させるためのコンピュータプログラムに従って動作することにより、上述した各動作を実現できる。

【０３５７】

ＥＬ表示パネルの動作について、図面を参照しながら説明する。上述したように、ＥＬ表示パネルでは、ＴＣＯＮ１４１により、１フレームにおける書き込みの順序の決定、および、表示画素１６の各動作の制御が行われる。

【０３５８】

ＴＣＯＮ１４１は、ソースドライバ回路１４の出力電力を小さくするため、書き込みの順序が連続する２つの行の間の電圧信号の差（以下、適宜「電圧差」と略称する）が小さくなるように、書き込みの順序を並び替える。前述したように、ソースドライバ回路１４の出力電力Ｐｓは、$ＣＶ^{2}Ｆ$で規定される。つまり、ソースドライバ回路１４の出力電力Ｐｓあるいはその大きさもしくは大きさ割合は、Ｖに対応する電圧信号の差の２乗に応じて決まる。電圧信号の差が小さくなるように書き込みの順序を並び替えることで、ソースドライバ回路１４の出力電力Ｐｓを小さくすることができる。

【０３５９】

具体的には、先ず、本実施の形態では、電圧差算出部２６１（図２６）は、行単位で書き込みの順序を設定するための指標値を算出する。指標値は、各行の電圧を示している。ここでは、指標値として、電圧信号の二乗の合計値（$＝\Sigma_{k=1\sim n}$（Ｌｕｍａ（ｋ））

^{2}、ｋは整数、ｎは１行に含まれる画素の数、Ｌｕｍａ（ｋ）はｋ列の表示画素１６に対応する電圧信号が示す電圧値）を算出する。これを全ての画素行について求める。

【０３６０】

図２７では、説明のため、１１の画素行分の指標値を例示している。ここでは、この１１画素行について並び替えを行う場合を例に説明する。図２７の（ａ）では、画素行１～画素行１１で示している。図２７の（ｂ）では、指標値は、２６、１７、１、５、１９、２、１５、２９、７、１８、２となっている。書き込み順１は、並び替え前の書き込みの順番であり、１行目から順に順番が割り当てられている。なお、指標値として電圧２乗値（電位差２乗値）の合計としている。

【０３６１】

並び替え部２６２は、本実施の形態では、指標値を昇順に並び替え、並び替えた順に書き込み順序を設定している。図２７の（ｂ）では、書き込み順２は、並び替え後の書き込みの順序を示している。書き込み順２では、３行目、６行目、１１行目、４行目、９行目、７行目、２行目、１０行目、５行目、１行目、８行目の順になっている。

【０３６２】

図２７の（ｂ）の表の右端欄の「書込み順番２（入れ替え後）」のように、映像信号を印加する画素行の順番を入れ替えることにより、ソースドライバ回路１４（ソースドライバ回路１４）から出力する映像信号の振幅差が小さくなる。

【０３６３】

「書込み順番１（入れ替え前）」は、電圧２乗値の合計の値が、２３→１７→１→５→１９→２→１５→２９→７→１８→２であるのに対して、「書込み順番２（入れ替え後）」は、電圧２乗値の合計の値が、１→２→２→５→７→１５→１７→１８→１９→２３→２９となり、値の変化量が小さくなる。つまり、選択する画素行の決定では、任意の画素行に印加される映像信号の第１の電圧値と、画素行以外の画素行に印加される画素行の第２の電圧との電位差の２乗を求め、その電位差の２乗の値が小さくなるように、画素行を決定する。したがって、ソースドライバ回路１４（ソースドライバ回路１４）が出力する電力が減少し、ソースドライバ回路１４（ソースドライバ回路１４）の発熱、過熱が抑制される。

【０３６４】

図５に図示するように、隣接した画素行が白黒表示の横ストライプ画像では、従来の駆動方式では、図５の右端のグラフに示すように、１水平走査期間（１画素行選択期間）ごとに、ソース信号線１８の振幅電圧はＳｍａｘとＳｍｉｎ間で変化する。したがって、ソースドライバ回路１４（ソースドライバ回路１４）がソース信号線１８に供給する電力は非常に大きく、ソースドライバ回路１４が過熱する。

【０３６５】

ソースドライバ回路１４（ソースドライバ回路１４）の過熱は、ＥＬパネルを過熱することになり、ＥＬ素子１５の寿命低下、表示画像の色ムラなどの発生を招く。

【０３６６】

図２８は、図５に示すフレームの書き込みの順序を本実施の形態の方法で並び替えた場合におけるソースドライバ回路１４の映像信号（出力電圧）を示す図である。図２８の本開示の形態における実施例では、まず、最大電圧Ｓｍａｘの画素行を順次選択して、各画素行に電圧を印加し、次に、最小電圧Ｓｍｉｎの画素行を順次選択して、各画素行に電圧を印加する。したがって、各画素行に印加する順番は、図２８のようになる。表示パネルの表示画面の表示は、図５と同様になる。

【０３６７】

なお、図５、図２８は、理解を容易にするため、画素行数を少なくし、模式的に図示している。

【０３６８】

図２８では、図５に比べ、出力電圧の電圧差が生じるのは、７番目の白表示の画素（１６ｋ）と８番目黒表示の画素（１６ｂ）間だけであり、ソースドライバ回路１４に必要と

される駆動能力を飛躍的に下げることができる。したがって、発熱量も低減させることができる。

【０３６９】

図２８に図示するように、本実施の形態における駆動方式では、まず、白画素表示の画素行が選択され、次に黒表示の画素行が選択される。したがって、選択画素行は、１６ａ→１６ｃ→１６ｅ→１６ｇ→１６ｉ→１６ｋ→１６ｂ→１６ｄ→１６ｆ→１６ｈ→１６ｊ→・・・・となる。そのため、ソースドライバ回路１４が出力する映像振幅電圧は変化がない。変化があるのは、７番目の白表示の画素（１６ｋ）と８番目黒表示の画素（１６ｂ）間だけである。

【０３７０】

したがって、ソースドライバ回路１４がソース信号線１８に供給する電力は非常に小さくなる。ソースドライバ回路１４の過熱はなく、ＥＬパネルを過熱することもなく、ＥＬ素子１５の寿命低下、表示画像の色ムラなどの発生も抑制できる。

【０３７１】

図２７の実施例は、各画素行の各画素に印加される電圧から画素行の電圧２乗値の合計を求め、求めた画素行の各画素に印加される電圧から画素行の電圧２乗値の合計の差に基づいて、選択する画素行の順番を設定するものである。

【０３７２】

本実施の形態における駆動方式は、これに限定するものではない。ソースドライバ回路１４の電力は、各ソース信号線１８の振幅電圧差から求められた値の総和である。１つのソース信号線１８は、１つの画素列の画素が接続されている。たとえば、表示画像によっては、ｋ番目のソース信号線１８では、画素行１２番目→画素行１番目→画素行３番目→画素行８番目→画素行１１番目→・・・・・と選択することが最も電力が小さくなるが、ｋ＋１番目のソース信号線１８では、画素行１番目→画素行８番目→画素行７番目→画素行１２番目→画素行２番目→・・・・・と選択することが最も電力が小さくなる場合がある。

【０３７３】

図２９は、他実施の形態における駆動方式の説明図である。図２９において、任意のＫ画素行である画素１６（ｋ、１）＝１７、画素１６（ｋ、２）＝２、画素１６（ｋ、３）＝１０、画素１６（ｋ、４）＝１０８、画素１６（ｋ、５）＝５４、画素１６（ｋ、６）＝６７なる指標値が設定されているとする。また、任意のＪ画素行である画素１６（ｊ、１）＝１、画素１６（ｊ、２）＝５、画素１６（ｊ、３）＝１７、画素１６（ｊ、４）＝１１９、画素１６（ｊ、５）＝１１０、画素１６（ｊ、６）＝３２なる指標値が設定されているとする。

【０３７４】

説明を容易にするため各画素の指標値は、電圧振幅の差の２乗などソースドライバ回路１４の各ソース信号線１８が出力する電力に換算した指標値とする。つまり、２つの指標値の差が、電力あるいは発熱量に対応する（あるいは基づく）として説明をする。

【０３７５】

１本のソース信号線１８は、１つの画素列の画素が接続されている。任意の画素に印加される指標値と、他の画素に印加する指標値との差が最も小さくなるように画素を選択する場合に、ソースドライバ回路１４の発熱量は最低となる。しかし、選択回路１２ａは、１つの画素行を選択する。したがって、ソースドライバ回路１４が出力する映像電圧は、選択回路１２ａが選択する画素行に揃える必要がある。

【０３７６】

現時点で、選択回路１２ａが選択している画素行をＫ画素行目とした場合、ソースドライバ回路１４の出力電力が小さくなるように、選択回路１２ａが選択する画素行を選ぶ必要がある。選択する画素行は、現在映像を書き換えているフレームで、未だ選択されていない画素行である。この選択されていない画素行をＪ画素行目とする。

【０３７７】

１本のソース信号線１８は、１つの画素列の画素が接続されている。したがって、画素１６（ｋ，１）と画素１６（ｊ，１）との演算、画素１６（ｋ，２）と画素１６（ｊ，２）との演算、画素１６（ｋ，３）と画素１６（ｊ，３）との演算、画素１６（ｋ，４）と画素１６（ｊ，４）との演算、画素１６（ｋ，５）と画素１６（ｊ，５）との演算、画素１６（ｋ，６）と画素１６（ｊ，６）との演算、・・・・を行う。

【０３７８】

なお、Ｊ画素行目とは、現在映像を書き換えているフレームで、未だ選択されていない複数の画素行である。Ｋ画素行目とＪ画素行目の各画素間で指標値の差を求め、画素行の各画素間の指標値の差を総和する。

【０３７９】

一例として、図５の実施の形態では、指標値の差は、（１７－１）＋（５－２）＋（１７－１０）＋（１１９－１０８）＋（１１０－５４）＋（６７－２２）＝１６＋３＋７＋１１＋５６＋４５＝９３となる。

【０３８０】

以上のように、現在選択しているＫ画素行目と、任意のＪ画素行目の指標値を比較演算して指標値の差の総和を求め、指標値の差の総和が最も小さくなるＪ画素行目を求め、選択回路１２ａがＪ画素行目を選択するとともに、ソースドライバ回路１４からＪ画素行目の映像信号を出力する。

【０３８１】

次の水平走査期間では、前述のＪ画素行目をＫ画素行目とし、現在映像を書き換えているフレームで、未だ選択されていない次のＪ画素行を求めるための演算を行う。

【０３８２】

選択する画素行の順番を入れ替えるために、選択回路制御部２６３は、選択回路１２ａが選択する（オン電圧を印加する）ゲート信号線１７を制御する。ＴＣＯＮ１４１は、選択回路１２ａを制御する。

【０３８３】

図２９に図示するように、各ソース信号線に接続された画素間ごとの電圧差（映像信号電圧差）を求める必要がある。画素間ごとの電圧差を画素行で総和し、求めた総和の大小関係を求め、選択する画素行の順番を求める。

【０３８４】

なお、第１の画素行と第２の画素行における画素の電圧差は、画素行数がｎ画素行存在すれば、ｎ－１の組み合わせがある。組み合わせ演算は、メモリに格納されたデータを用いて演算処理すれば求めることができる。

【０３８５】

画素行の画素間の演算は、すべての画素間について実施する必要はない。たとえば、各画素行の偶数番目の画素間で演算をすることにより、演算数を削減できる。また、１０画素置きなど、演算する画素を選択して演算を実施することにより演算数を削減できる。また、画素間で電位差が大きい組を抽出して、演算することによっても演算数を削減できる。

【０３８６】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０３８７】

図３０は、書き込みの順序の並び替え前における各画素行の指標値を示すグラフである。ただし、図３０では、理解を容易にするため、各画素行の指標値（電圧振幅差に相当する値）を１指標値として縦軸値に表現している。

【０３８８】

横軸は書き込みの順序を示す軸である。１画面が、２１６０画素行で構成される場合は、１～２１６０となる。図３０では、図示を容易にするため、また、理解を容易にするため、画素行数を１１画素行とし、１～１２番目までを表現している。

【０３８９】
図３０は、従来の駆動方式の説明図である。なお、図示を容易にするため、１フレーム（書込み画像）の画素行数を１２としている。
【０３９０】
図３０に図示するように、従来の駆動方式では、１画素行目から１２画素行目に順番に映像信号電圧を印加する。したがって、ソースドライバ回路１４が出力する映像信号電圧の変化は大きく、ソースドライバ回路１４は過熱する。
【０３９１】
図３１は、書き込みの順序の並び替え後における各画素行の指標値を示すグラフである。図３１において、縦軸は指標値を示す軸であり、横軸は書き込みの順序を示す軸である。但し、横軸に付した数値は、棒グラフが何番目の画素行に対応するかを示す値である。
【０３９２】
図３１のグラフでは、図３０のグラフと比較して、書き込みの順序が連続する２つの画素行間で、指標値の差が小さくなっている。指標値の差が小さいとは、ソースドライバ回路１４の出力電力が小さくなることを意味する。
【０３９３】
上述したように、ソースドライバ回路１４の出力電力は、CV^2Fで規定され、出力電圧の差Ｖの二乗に比例する。書き込みの順序を並び替えることにより、図２６に示すように、出力電圧の差Ｖを小さくすることができ、ソースドライバ回路１４の出力電圧を低減することが可能になる。
【０３９４】
図３１は、本実施の形態における駆動方式の説明図である。映像振幅電圧の変化量が小さくなるように、選択する画素行を制御する。したがって、ソースドライバ回路１４が出力する映像信号電圧の変化は小さく、ソースドライバ回路１４が過熱することはない。また、本実施の形態における駆動方式では、図３１に示すように、書込み画像１では、映像振幅電圧が高い画素行から低い画素行を選択し、書込み画像２では、映像振幅電圧が低い画素行から高い画素行を選択する。
【０３９５】
以上のように駆動することにより、駆動電力を低減することができる。つまり、各フレーム（書込み画像）間においても、映像信号電圧の差が小さくなるように書込み画素行を選択する。
【０３９６】
なお、図３１では、書き込みの順序を、指標値を降順に（大きい方から順に）並び替える場合を例示したが、指標値を昇順に（小さい方から順に）並び替えても構わない。また、並び替えの精度は、比較的低精度でもよい。
【０３９７】
映像信号電圧は、ＴＣＯＮ１４１などに内蔵するフレームメモリにメモリされる。ＴＣＯＮ１４１は、フレームメモリにメモリされたデータを用いて、画素行の電圧値を求める。
【０３９８】
簡易的には、ＴＣＯＮ１４１は、各画素に印加される映像信号の電圧値を、各画素行で総和し、総和した値で、選択する画素行の選択順番を求める。画素行は、選択回路１２ａで選択する。たとえば、図２７の（ｂ）の表において、２３、１７、１、５、１９・・・・１８、２が各画素行の電圧の総和の場合、３、６、１１、４、７、・・・・・、１、８画素行目を順次選択し、各画素行の画素にソースドライバから映像信号電圧を印加する。
【０３９９】
ソースドライバ回路１４の電力を低減させるには、書き込む画素行の順番を入れ替えることで実現できる。各ソース信号線に接続された画素間ごとの電圧差（映像信号電圧差）を求めることが最も高精度の実現手段である。しかし、演算数量が大きい。書き込む画素

行を選択するには、各画素行の代表値（たとえば、奇数画素列、偶数列画素列、１６の倍数の画素列など）を比較し、画素行の各指標値（演算値）差が最小に画素行の順番を求めることにより演算数量を削減できる。

【０４００】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【０４０１】

図４１に図示するように、表示画面５１の上下方向に滑らかに画素行に印加する映像信号電圧が変化する表示画像（縦ランプ画像）では、１画素行目から最終画素行目、あるいは最終画素行目から１画素行目に、順次画素行が書き換えられるため、本実施の形態における駆動方式を実施しても画像が書き換えられる際の違和感は発生しない。

【０４０２】

図４２は、フレーム（表示画像）の一例を示す図である。一例として書き込みの順序を、例えば、輝度値の合計を小さい方から順に並び替えるとする。図４２に示すフレームでは、最初に比較的暗い領域Ｂ書き込まれ、次に、中間の明るさの領域Ｃが、最後に、比較的明るい領域Ａが書き込まれる。本実施の形態では、書き込みの順序を並び替えるため、映像は、領域Ｂ、Ｃ、Ａの順に書き換えられる。

【０４０３】

なお、「領域Ｂ、Ｃ、Ａの順に書き換えられる」とは、理解を容易にするための概念的な表現である。本開示の形態における駆動方法では、画素行または各画素の画素間で、電圧差が小さくなるように、画素行を選択する。したがって、Ａ、Ｂ、Ｃの各領域において、画面の上下方向あるいは下上方向に順次に画素行が選択されるものではない。ただし、実現の容易性から、Ａ、Ｂ、Ｃの各領域において、画面の上下方向あるいは下上方向に順次に選択される場合も本発明の範疇である。たとえば、領域Ａの一部の画素行を書き込み、次に領域Ｃの一部の画素行を書き込み、また、領域Ａの残りの一部の画素行を書き込むという場合もあることは言うまでもない。

【０４０４】

先の実施の形態において、映像は、「領域Ｂ、Ｃ、Ａの順に書き換えられる。」としたが、これに限定されるものではない。映像は、明るい順番に基づいて、「領域Ａ、Ｃ、Ｂの順に」書き換えてもよい。

【０４０５】

本実施の形態の電圧信号の書き込みと映像の表示とを独立して行える表示画素１６ではなく、独立して行えない表示画素を用いた場合、１画面上に２つのフレームが混在して表示される期間が生じる。

【０４０６】

図４２の表示画像では、Ａ領域は比較的明るい画素あるいは画素行が多く、Ｂ領域は比較的暗い画素あるいは画素行が多く、Ｃ領域は比較的暗い画素あるいは画素行が多い。そのため、本実施の形態における駆動方式を実施した際、Ａ領域の画像が書き換えられ、次にＣ領域の画像が書き換えられ、次にＢ領域の画像が書き換えられる。そのため、画像が書き換えられる領域が急に変化することがあるため、画像が書き換えられる際に違和感が発生する。

【０４０７】

図４３は、従来の駆動方式において表示画像が書き換えられている状態を説明するための説明図である。なお、表示画像の順序は、フレーム（表示画像）Ａ→フレーム（表示画像）Ｂ→フレーム（表示画像）Ｃ→とする。

【０４０８】

図４３に示すように、表示画面５１には、フレームＡの画像が表示されている。次に、表示画面５１の上部より、フレームＢの画像が順次表示されていく（図４３の（Ａ１））。フレームＡの画像がフレームＢの画像に書き換えられると、次に、表示画面５１の上部より、フレームＣの画像が順次表示されていく（図４３の（Ａ２））。

【０４０９】
図４３の（Ａ１）および図４３の（Ａ２）は、実際に画面上に表示される映像の状態を示している。当該比較例は、電圧信号の書き込みと映像の表示とを独立して行えず、かつ、各画素行を上から順に（画素行１から順に）下方に向かって選択する場合を例示している。
【０４１０】
図４３の（Ａ１）および図４３の（Ａ２）に示すように、比較例では、１画面上に２つのフレームが混在して表示されている。図４３の（Ａ１）のように、フレームＡからフレームＢに切り替わるときは、画面上部分に次のフレームＢの映像が、画面下部分に現在のフレームＡの映像が混在して表示される。図４３の（Ａ２）に示すように、フレームＢからフレームＣに切り替わるときは、例えば、画面上部分に次のフレームＣの映像が、画面下部分に現在のフレームＢの映像が混在して表示される。
【０４１１】
以上のように従来の駆動方式では、書き換えられていく画像表示と、表示される画像表示とは同一であった。つまり、画像が書き換えられる画素行は、画像が書き換えられると同時に視覚的に見えるように駆動されていた。
【０４１２】
図４４は、本実施の形態における駆動方式の説明図である。本実施の形態における駆動方式では書き換え中の画像（図４４の（Ａ））は視認（表示）されない。１フレームの画像が書き換えられてから、表示画像として表示される（図４４の（Ｂ））。
【０４１３】
図４４の（Ａ１）および（Ａ２）は、表示画面２９にマトリックス状に配置された画素１６に保持された映像信号電圧を、理解を容易にするため、「表示画像」として図示したものである。つまり、図４４の（Ａ）は画素１６に保持されている電圧を示しており、画像ではない。図４４の（Ｂ１）および（Ｂ２）は、表示画面２９に表示された画像を図示したものである。
【０４１４】
図４４の（Ａ１）に示すように、パネルの各画素１６には、フレームＡの画像が保持されており、次に、パネルの上部の画素行から、フレームＢの画像が順次書き換えられていく。この状態では、図４４の（Ｂ１）に図示するように、フレームＡの画像が表示されている。
【０４１５】
パネルの画素１６にフレームＢの画像に書き換えられると、次に、パネルの上部より、フレームＣの画像が順次、画素に保持されていく（図４４の（Ａ２））。また、パネルの画素１６にフレームＢの画像に書き換えられたタイミングで、図４４の（Ｂ２）に図示するように、フレームＢの画像が表示される。パネルの画素１６にフレームＣの画像に書き換えられたタイミングで、フレームＣの画像が表示される。
【０４１６】
フレームＡからフレームＢの画像表示に変化する時間は短時間である。また、フレームＢからフレームＣの画像表示に変化する時間は短時間である。短時間とは一例としてブランキング期間である。図１、図３２などのスイッチ用トランジスタ１１ｄをオンからオフにすることにより画像表示が変化する。ただし、後に説明するが、画像表示切り替え制御のためにブランキング期間の黒表示期間が必要である。黒表示期間は、一例として１フレーム期間の１／１００～１０／１００の期間である。
【０４１７】
以上のように本実施の形態における駆動方式では、書き換えられていく途中での画像は、表示（視認）されず、１フレームの画像が書き換えられたタイミングで、画像が表示されるように駆動される。１フレーム期間とは、１２０Ｈｚ以上である。
【０４１８】
図４４の（Ａ１）および図４４の（Ａ２）は、比較例における画素への信号書き込み状

態の一例を示す図である。図４４の（Ａ１）および（Ａ２）において、理解を容易にするため、画素に書き込まれている電圧を「表示画像」として表現している。実際には、「表示画像」ではなく、各画素１６に書き込まれている信号電圧である。信号電圧は、画素１６のコンデンサ１９ｂに保持された電圧である。信号電圧は、ソースドライバ回路１４が出力する映像信号に基づく電圧である。

【０４１９】

表示画像は、図４４の（Ｂ１）および（Ｂ２）である。図４４の（Ａ１）時の表示画像は、図４４の（Ｂ１）が対応し、図４４の（Ａ２）時の表示画像は、図４４の（Ｂ２）が対応する。表示画像は、画素１６のコンデンサ１９ａに保持された電圧に基づいて、駆動用トランジスタ１１ａがＥＬ素子１５に発光電流を供給し、発光素子１５が発光する。

【０４２０】

ＥＬ素子１５に供給される電流は、スイッチ用トランジスタ１１ｄによりオンオフ制御される。本実施の形態における駆動方式では、スイッチ用トランジスタ１１ｄは、ブランキング期間にオフ制御される。ブランキング期間には、初期化処理、コピー処理が実施される。また、画面に黒帯を表示し、前記黒帯位置を走査するｄｕｔｙ駆動時にも、スイッチ用トランジスタ１１ｄはオンオフ制御される。

【０４２１】

本実施の形態では、上述したように、図４２では、領域Ｂ、Ｃ、Ａの順に電圧信号の書き込みが行われる。そうすると、電圧信号の書き込みと映像の表示とを独立して行えない場合は、図４３に示す駆動方式よりも、２つのフレームＡ、ＢあるいはＢ、Ｃがばらばらに混在して表示されることになり、映像品質が低下する可能性がある。

【０４２２】

また、１つのフレームの場合であっても、以下の場合に表示画像に違和感を発生する。たとえば、Ａ領域の画像を書き換え、次にＣ領域の画像を書き換え、次にＢ領域の画像を書き換える場合である。画面の上下方向に順次に画像を書き換えるのと比較して、表示画面の特定領域の表示画像が書き換えられるため、表示画像を書き換えている領域がノイズ表示のように見える。特に、表示画像が動画表示の場合に顕著である。

【０４２３】

これに対し、本実施の形態では、上述したように、電圧信号の書き込みと映像の表示とを独立して行える表示画素１６を用いている。このため、映像の切り替えは、全ての画素行について、発光処理において同時に行われる。

【０４２４】

電圧信号の書き込みを行っている画像は、表示画像として表示されず、電圧の書込みが完了したコンデンサ１９ａあるいは駆動用トランジスタ１１ａのゲート端子の電圧に基づいて表示画面に表示画像が表示される。したがって、図２２のように、領域Ｂ、Ｃ、Ａの順に電圧信号の書き込んでも書き込み時の画像は、表示されないから、従来のような表示画像の違和感が発生しない。

【０４２５】

図４４の（Ｂ１）および図４４の（Ｂ２）は、本実施の形態の表示画素１６を用いた場合におけるフレームの切り替え時の表示画面の一例を示す図である。図４４の（Ｂ１）および図４４の（Ｂ２）は、実際に画面上に表示される映像の状態を示している。

【０４２６】

本実施の形態では、図４４の（Ｂ１）および図４４の（Ｂ２）に示すように、映像の切り替えは全ての画素行で同じタイミングで行われる。映像の切り替えは、１フレーム期間のブランキング期間に実施することが好ましい。１フレームが複数のサブフィールドで構成される場合は、すべてのサブフィールドのブランキング期間あるいは、任意のサブフィールド期間で映像信号の切り替えを行うことが好ましい。本実施の形態では、１つの画面上で２つのフレームが混在して表示されることはない。

【０４２７】

上述したように、本実施の形態では、書き込みの順序の並び替えを行うため、電圧信号

の書き込みと映像の表示とを独立して行えない場合は、１つの画面上に２つのフレームがさらに断片的に混在して表示される状態となる場合がある。これに対し、本実施の形態の表示画素１６を用いれば、電圧信号の書き込みと映像の表示とを独立して行えるため、１つの画面上に２つのフレームが混在して表示されることがなく、書き込みの順序の並び替えによる映像品質の低下を防止できる。

【０４２８】

以上より、本実施の形態の画像表示パネルでは、書き込みの順序の並び替えを行い、かつ、電圧信号の書き込みと映像の表示とを独立して行える。これにより、本開示の形態における画像表示は、映像品質を低下させることなく、ソースドライバ回路１４に必要とされる駆動能力を低減し、ソースドライバ回路１４の発熱量を押えて、特別な放熱機構を備える必要を無くすことが可能になる。

【０４２９】

表示画素１６は、上述した構成とすることにより、図４４で説明した、映像信号Ｖｓｉｇ（電圧信号）の書き込み処理と、ＥＬ素子の発光処理とを独立して行うことができる。具体的には、本実施の形態の表示画素１６では、書き込み処理、初期化処理、コピー処理、および、発光処理が実行される。

【０４３０】

図１の書き込み処理では、スイッチ用トランジスタ１１ｂおよび１１ｄがオン状態、スイッチ用トランジスタ１１ｅおよび１１ｃがオフ状態となっている。このように各トランジスタの状態を設定することで、ＥＬ素子１５を現在の電圧信号に応じて発光させながら、コンデンサ１９ｂに次の電圧信号を書き込むことができる。この状態は、図４４の（Ａ）が該当する。

【０４３１】

以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせできることも言うまでもない。たとえば、図４４の駆動方式は、図２１～図２４、図３２、図３６などの他の画素回路構成についても適用できることは言うまでもない。また、選択回路１２についても同様である。

【０４３２】

（他の駆動方式）

本実施の形態の変形例について、図４５～図４７を基に説明する。本変形例では、フレームが、複数のサブフィールドを重畳したものである場合について説明する。

【０４３３】

図４５は、複数のサブフィールドで構成されるフレームの一例を示す図である。各サブフィールドは、添え字（数字）の値が小さいほど輝度値が高く、添え字の値が大きいほど輝度値が低くなっている。表示画素１６毎に、輝度値に応じて点灯させるサブフィールドを選択することで、所望の輝度を得ることができる。

【０４３４】

１フレームの映像信号を、複数のサブフィールドに分解する。図４５のｅｘ．Ａの実施例では、各サブフィールドは、輝度（明るさ）で区分されている。なお、ｅｘ．Ｂのように、映像データの上位ビット～下位ビット等でサブフィールドに区分してもよいことは言うまでもない。たとえば、映像信号が８ビットの場合、８つのサブフィールドから１フレームを構成する。

【０４３５】

ソースドライバ回路（ソースドライバＩＣ）１４は、各サブフィールドにおいて、ビットに重みづけを行った電圧値をソース信号線に出力する。この場合、各画素行の指標値は、ビット”１”の個数を求めることにより取得することができる。また、他の画素行との指標値は、ビット”１”の位置を比較することにより、指標値を取得することができる。

【０４３６】

図４６および図４７は、それぞれ、実施の形態の変形例に係るソースドライバ回路１４の出力電力の一例を示す図である。

【０４３７】
図４６および図４７では、先ず、サブフィールド内で書き込みの順序の並び替えを行っている。また、図４６および図４７では、説明のため、１つのフレームが４つのサブフィールドで構成されている場合を示している。
【０４３８】
図４６では、フィールドの表示順序は並び替えず、サブフィールド内で書き込みの順序の並び替えを行っている。図４６では、サブフィールド１～４の何れも、指標値（＝電圧信号の２乗の合計値）を降順に並び替え、並び替えた順に書き込み順序を設定している。
【０４３９】
上述したように、サブフィールド１～４の順番で指標値が大きい（サブフィールド１の指標値＞サブフィールド２の指標値＞サブフィールド３の指標値＞サブフィールド４の指標値）。このため、フィールド毎に指標値を降順に並び替えた場合、フレーム全体で指標値を降順に並び替えたことになる。これにより、ソースドライバ回路１４の出力電圧の差をフレーム全体で小さくすることができる。
【０４４０】
図４７では、サブフィールドの表示順序を、サブフィールド４～１の順に設定している。さらに、図４７では、サブフィールド毎に、指標値を昇順に並び替えている。つまり、図４７では、フレーム全体で指標値を昇順に並び替えている。これにより、ソースドライバ回路１４の出力電圧の差を小さくすることができる。
【０４４１】
映像信号電圧は、ＴＣＯＮ１４１などに内蔵されるフレームメモリに記憶される。フレームメモリは、さらに複数のサブフィールドに区分されている。ＴＣＯＮ１４１は、まず、フレームメモリデータを演算し、画像データを複数のサブフィールドに区分する。そして、ＴＣＯＮ１４１は、記憶されたデータを用いて、各サブフィールドでの画素行の電圧値を求める。
【０４４２】
簡易的には、ＴＣＯＮ１４１は、各表示画素に印加される映像信号の電圧値を、各サブフィールドの各画素行で総和し、総和した値で、選択する画素行の選択順番を求める。
【０４４３】
各ソース信号線に接続された表示画素間ごとの電圧差（映像信号電圧差）を求める必要がある。そのために、ＴＣＯＮ１４１は、表示画素間ごとの電圧差を画素行で総和し、求めた総和の大小関係を求め、選択する画素行の順番を求める。なお、第１の画素行と第２の画素行における画素の電圧差は、画素行数がｎ画素行存在すれば、（ｎ－１）の組み合わせがある。組み合わせ演算は、メモリに格納されたデータを用いて演算処理すれば求めることができる。
【０４４４】
ソースドライバ回路１４の電力を低減させるには、書き込む画素行の順番を入れ替えることで実現できる。各ソース信号線１８に接続された画素間ごとの電圧差（映像信号電圧差）を求めることが最も高精度の実現手段である。しかし、画素間ごとの電圧差の算出の場合には演算数量が大きい。書き込む画素行を選択するには、各画素行の代表値（たとえば、奇数画素列、素数画素列、６４の倍数の画素列など）を比較し、画素行の各指標値（演算値）差が最小に画素行の順番を求めることにより演算数量を削減できる。また、各画素行の代表値（たとえば、奇数画素列、素数画素列、６４の倍数の画素列など）は、サブフィールドごとに変化させることが好ましい。
【０４４５】
本実施の形態に係るＥＬ表示装置は、ＴＣＯＮ１４１により、表示画面の画素行に印加する映像信号の指標値を算出し、指標値を用いて、画素行の順序の並び替えを行い、画素行の順序の並び替えの結果に基づいて、ゲート信号線１７ｂを選択することを特徴とする。
【０４４６】

ＴＣＯＮ１４１は、任意の画素行に印加する映像信号の第１の電圧値と、画素行以外の画素行に印加する画素行の第２の電圧との電位差の二乗を求め、電位差の二乗の値が小さくなるように、選択する前記画素行の順序の並び替えを行うことを特徴とする。

【０４４７】

以上のように、本開示のＥＬ表示装置によれば、映像品質を低下させることなく発熱量を低減できる。また、ＥＬ表示装置の画素行を選択する選択回路を小面積で形成するため、狭額縁の表示モジュールを提供できる。また、ブランキング期間等で、画像表示を変更するため、画像表示変更時にちらつきの発生がなく、また、良好な動画表示を実現できる。

【０４４８】

（その他の実施の形態）

以上、画像表示装置およびその駆動方法について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれても良い。

【０４４９】

例えば、上記実施の形態および変形例では、複数の表示画素の各行の明るさを示す指標値として、輝度値の２乗の合計値を求め、また、電圧信号の２乗の差の合計値を求めたが、これに限るものではない。指標値は、例えば、１行の画素の平均値、あるいは、２乗の平均値等であっても構わない。

【０４５０】

また、上記実施の形態および変形例では、指標値を降順または昇順に並び替え、変形例２では、指標値を降順または昇順に並び替えるかをフィールドまたはフレーム毎に判定したが、これに限るものではない。例えば、フィールドあるいはフレーム毎に、指標値を昇順に並び替えるか降順に並び替えるかを規定したパターンを予め設定しておいても構わない。

【０４５１】

具体的には、例えば、一般的に、最小値同士、最大値同士は指標値の差が小さくなると考えられることから、フィールドあるいはフレーム毎に、指標値の並び替えを、降順に行うか昇順に行うかを交互に設定しても構わない。

【０４５２】

上記実施の形態では、ソースドライバ回路１４はソースドライバＩＣとして説明したが、ソースドライバ回路１４の構成は、半導体チップからなるソースドライバＩＣで構成されるものに限定されるものではない。

【０４５３】

たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。また、低温ポリシリコン、高温ポリシリコン、ＴＡＯＳ技術などを用い、画素、トランジスタなどが形成されたガラス基板に直接ソースドライバ回路１４を形成したものであってもよい。つまり、画素、トランジスタの形成プロセスを用いて、ソースドライバ回路１４を形成してもよい。

【０４５４】

以上の事項は、選択回路１２においても同様である。つまり、選択回路１２は、画素、トランジスタと同一プロセスを用いて、画素等と同時にガラス基板上に形成してもよい。

【０４５５】

なお、本発明において、ソースドライバから出力する信号は、電圧信号としたが（電圧プログラム方式）、これに限定するものではない。たとえば、電流信号であってもよい（電流プログラム方式）。電流であっても、映像信号の振幅として表現され、電流を電圧としてとらえることができ、電流Ｉ→電圧Ｖに対応させ、相対的にCV^2Fとして発熱を計

算することができる。あるいは、CV^2Fに比例するとして発熱を計算することができる。

【０４５６】

なお、上記実施の形態にかかる包括的または具体的な態様は、システム、方法、集積回路、コンピュータプログラムまたはコンピュータ読み取り可能なＣＤ－ＲＯＭなどの記録媒体で実現されてもよく、システム、方法、集積回路、コンピュータプログラムまたは記録媒体の任意な組み合わせで実現されても良い。

【０４５７】

また、本実施の形態に係る表示パネル６１は、図５０に記載されたような携帯電話、図５１に記載されたようなノートパソコン、図５２に記載されたようなタブレットに搭載される。本実施の形態に係るＥＬ表示パネルおよびその駆動方法により、発熱量が低減された高品質の表示機器が実現される。なお、図５０、図５１、図５２において、６１は本開示の形態における表示パネル、５０１は表示パネルおよび駆動回路を収納する筐体である。

【０４５８】

また、本開示の形態における実施例では、ＥＬ表示装置、ＥＬ表示パネルを例示して説明したが、本発明の技術思想は、液晶表示装置、液晶表示パネルなどの他の画像表示装置等にも適用することができることは言うまでもない。

【０４５９】

たとえば、液晶表示装置において、図１で説明した画素回路のうち、映像信号を印加するスイッチ用トランジスタ１１ｂ、電圧保持用のコンデンサ１９ｂ、コンデンサ１９ｂの電圧を液晶層に印加するスイッチ用トランジスタ１１ｅを形成すればよい。

【産業上の利用可能性】

【０４６０】

本開示は、画像表示装置として、例えば、液晶表示ディスプレイ、有機エレクトロルミネッセンス（ＥＬ）素子を用いたＥＬ表示パネル等の表示装置に利用可能である。

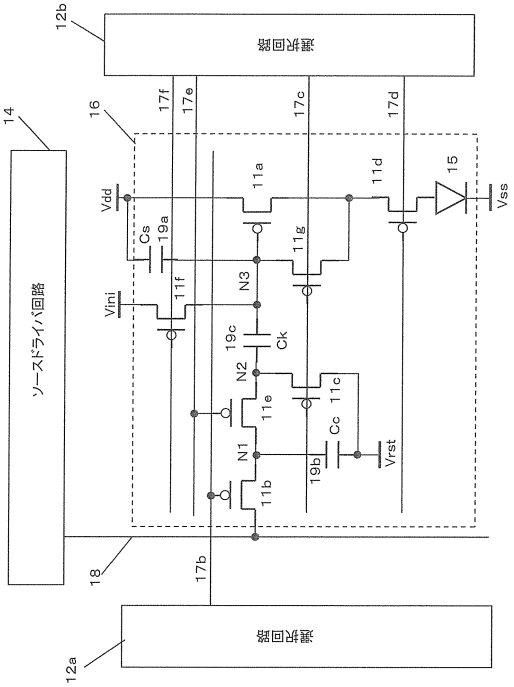
【符号の説明】

【０４６１】

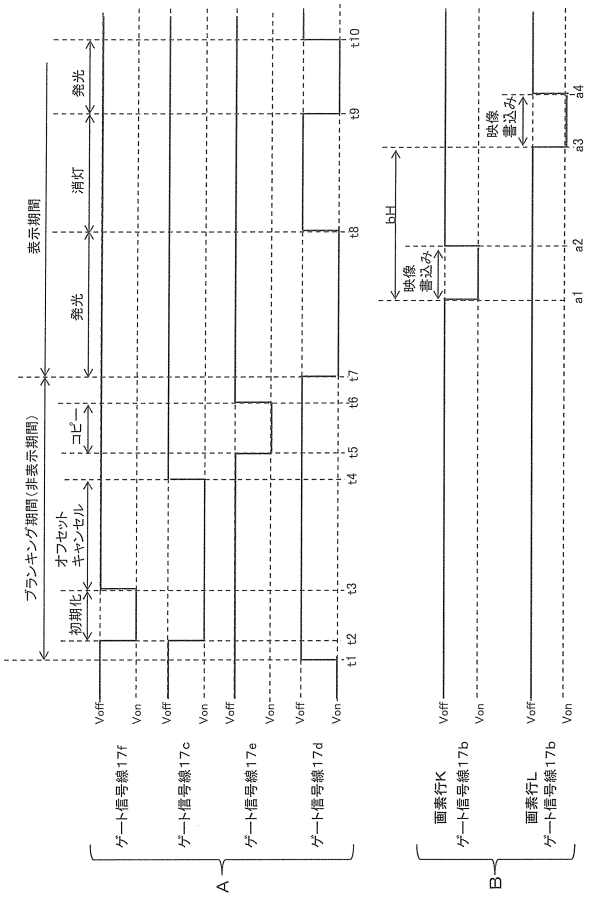
１１ａ　駆動用トランジスタ
１１ｂ、１１ｃ、１１ｄ、１１ｅ、１１ｆ、１１ｇ　スイッチ用トランジスタ
１２、１２ａ、１２ｂ　選択回路
１４　ソースドライバ回路
１５　ＥＬ素子（発光素子）
１６、１６ａ、１６ｂ、１６ｃ　表示画素（画素）
１７　ゲート信号線
１７ａ、１７ｂ、１７ｃ、１７ｄ、１７ｅ、１７ｆ　ゲート信号線
１８　ソース信号線
１９ａ、１９ｂ、１９ｃ　コンデンサ
５１　表示画面
６１　表示パネル
１４１　制御回路（ＴＣＯＮ）
１４３　選択部
１５１　ＡＮＤ回路
１５２　バッファ回路
２６１　電圧差算出部
２６２　並び替え部
２６３　選択回路制御部
２６４　ソースドライバ制御部
４８１　デコーダ部
４９１　デコーダ回路

５０１　筐体

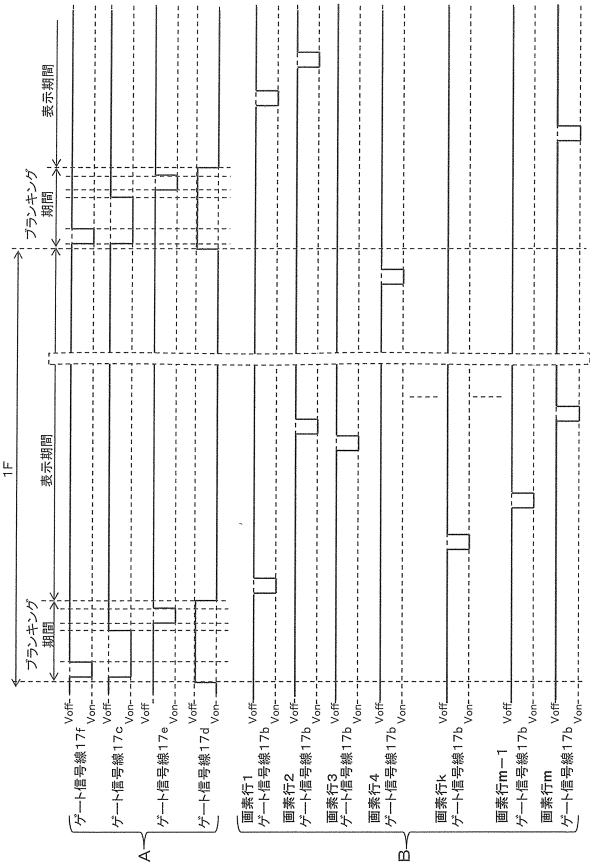
【図１】


12b
走査回路
14
ソースドライバ回路
16
17f
17e
17c
17d
Vdd
Cs
19a
11f
Vini
N3
11a
11g
11d
15
Vss
19c
Ck
N2
11e
11c
Cc
N1
11b
19b
Vrst
18
17b
走査回路
12a

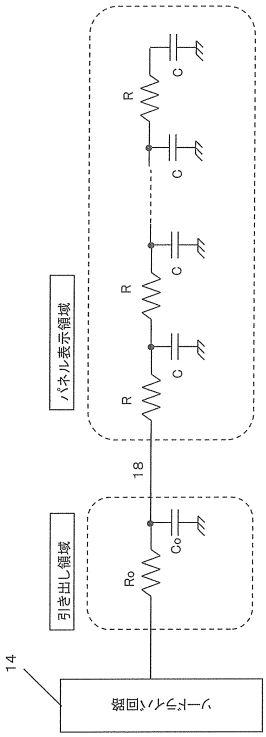
【図２】


表示期間
ブランキング期間（非表示期間）
初期化
オフセット
キャンセル
コピー
発光
消灯
発光
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
Voff
Von
ゲート信号線17f
ゲート信号線17c
ゲート信号線17e
ゲート信号線17d
A
bH
映像
書込み
a1
a2
a3
a4
画素行K
ゲート信号線17b
画素行L
ゲート信号線17b
B

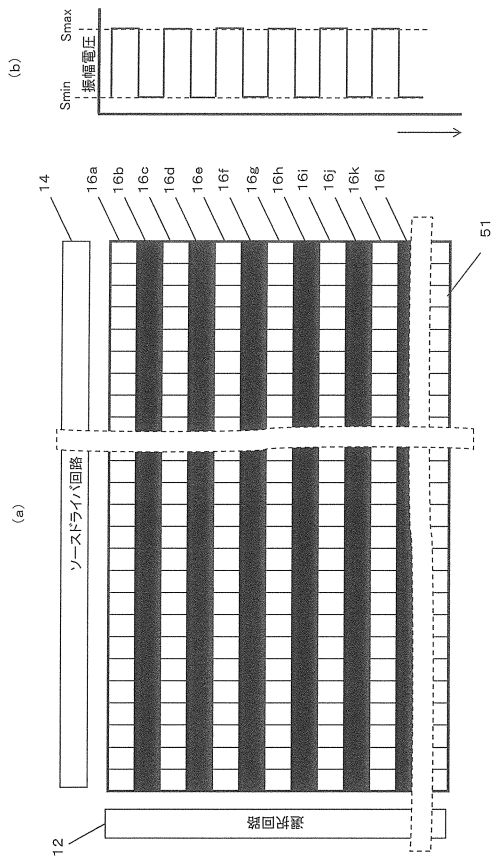
【図３】


1F
表示期間
ブランキング期間
表示期間
ブランキング期間
ゲート信号線17f
ゲート信号線17c
ゲート信号線17e
ゲート信号線17d
画素行1 ゲート信号線17b
画素行2 ゲート信号線17b
画素行3 ゲート信号線17b
画素行4 ゲート信号線17b
画素行k ゲート信号線17b
画素行m−1 ゲート信号線17b
画素行m ゲート信号線17b
Voff
Von
A
B

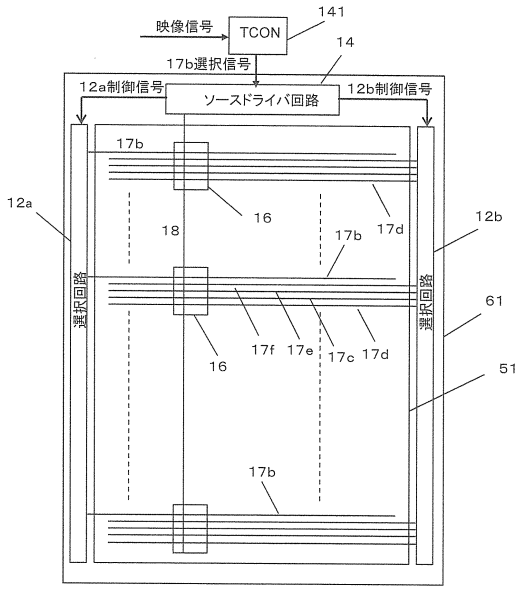
【図４】


パネル表示領域
引き出し領域
R
C
Ro
Co
18
14
ソースドライバ回路

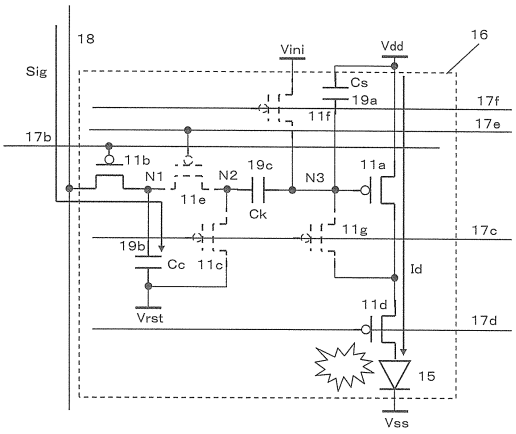
【図５】


(b)
Smax
振幅電圧
Smin
(a)
14
16a
16b
16c
16d
16e
16f
16g
16h
16i
16j
16k
16l
51
ソースドライバ回路
選択回路
12

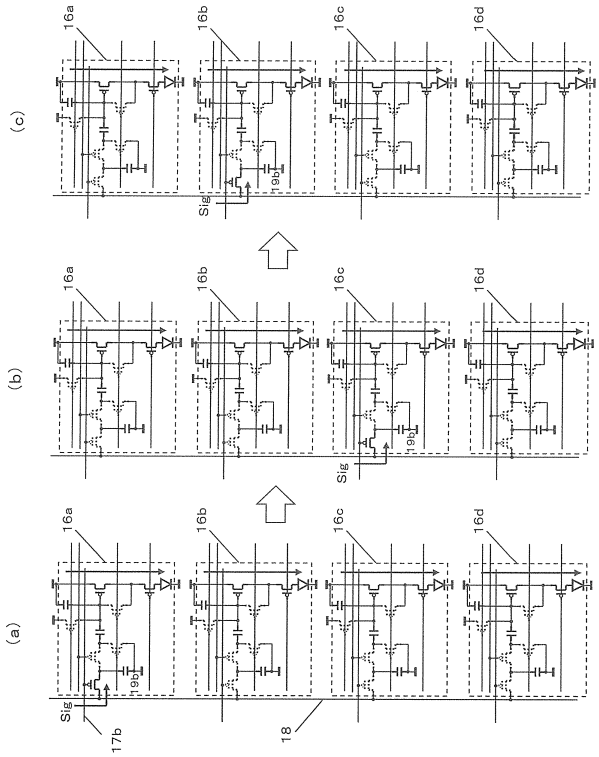
【図６】


映像信号
TCON
141
14
17b選択信号
12a制御信号
ソースドライバ回路
12b制御信号
17b
12a
16
17d
18
12b
選択回路
61
17f
17e
17c
51
17b

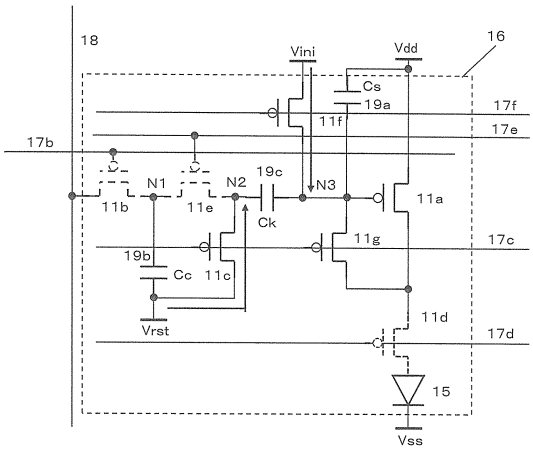
【図７】


18
Sig
Vini
Vdd
16
Cs
19a
11f
17f
17e
17b
11b
N1
N2
19c
N3
11a
11e
Ck
11g
17c
19b
Cc
11c
Id
Vrst
11d
17d
15
Vss

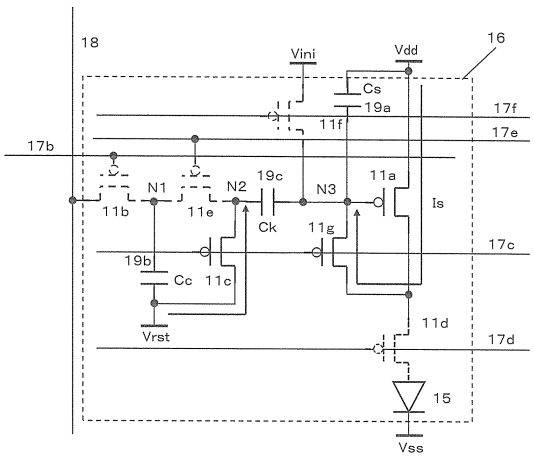
【図８】


(c)
(b)
(a)
16a
16b
16c
16d
19b
Sig
17b
18

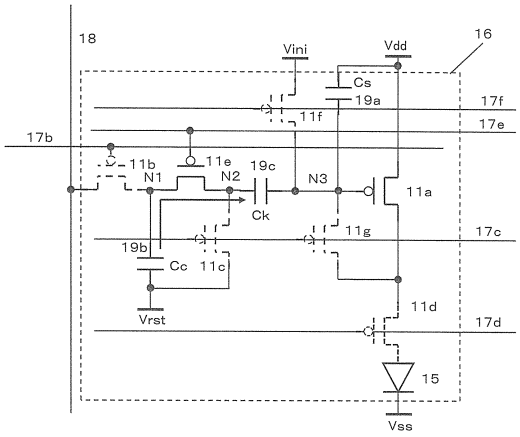
【図９】


18
Vini
Vdd
16
Cs
19a
11f
17f
17e
17b
11b
N1
11e
N2
19c
N3
11a
Ck
11g
17c
19b
Cc
11c
Vrst
11d
17d
15
Vss

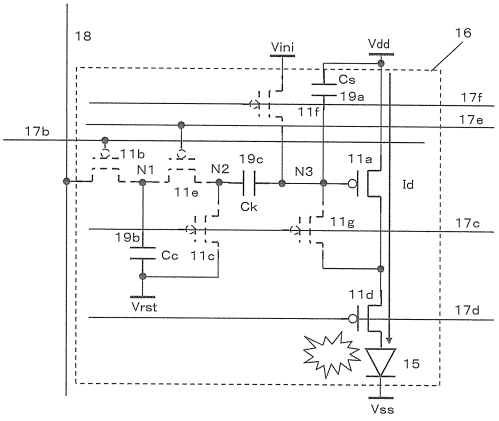
【図１０】


18
Vini
Vdd
16
Cs
19a
11f
17f
17e
17b
11b
N1
11e
N2
19c
N3
11a
Is
Ck
11g
17c
19b
Cc
11c
Vrst
11d
17d
15
Vss

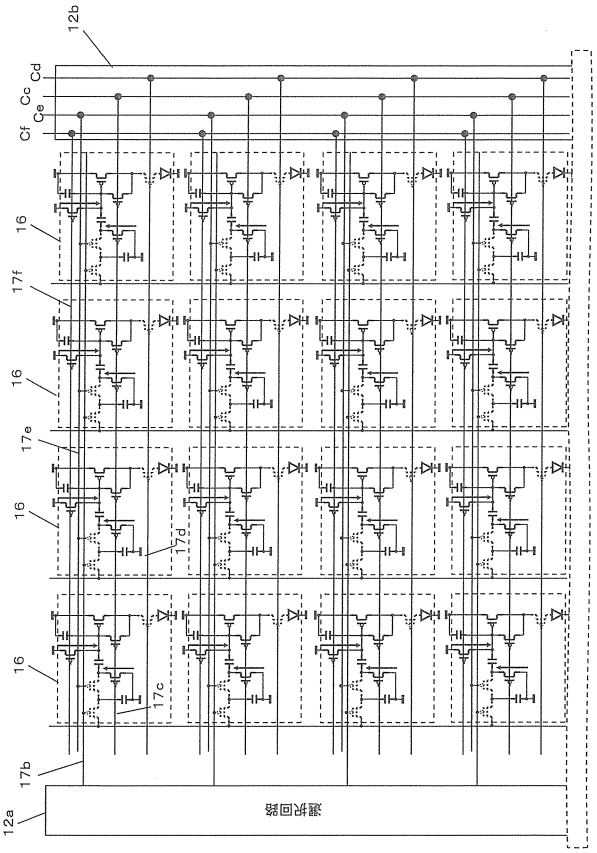
【図１１】



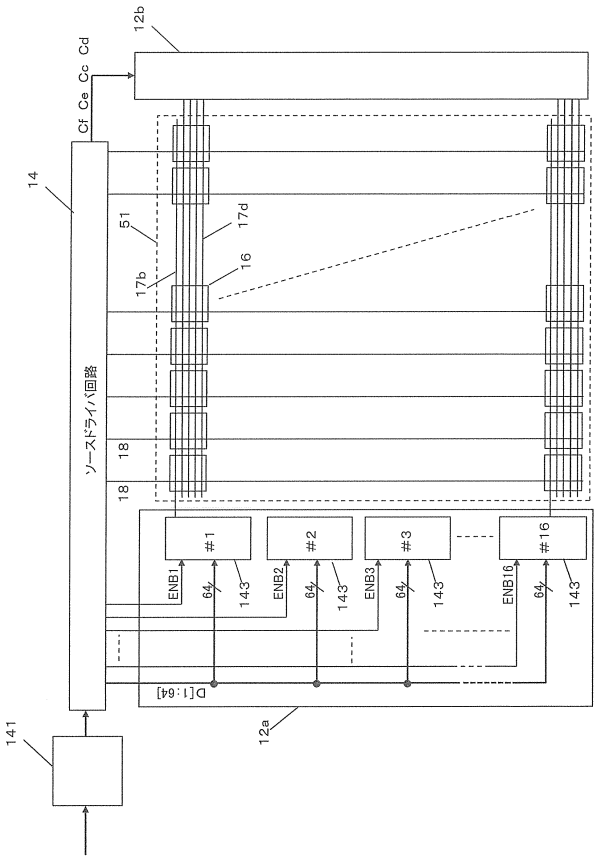
【図１２】



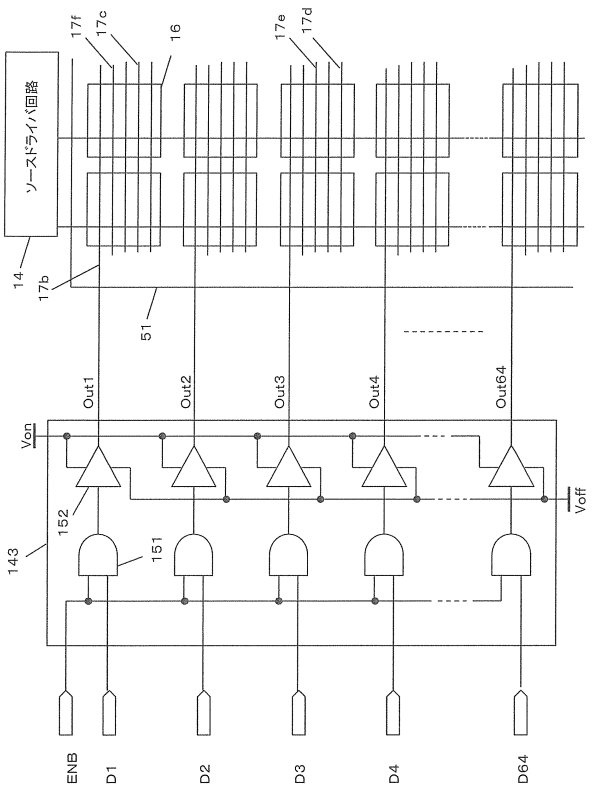
【図１３】



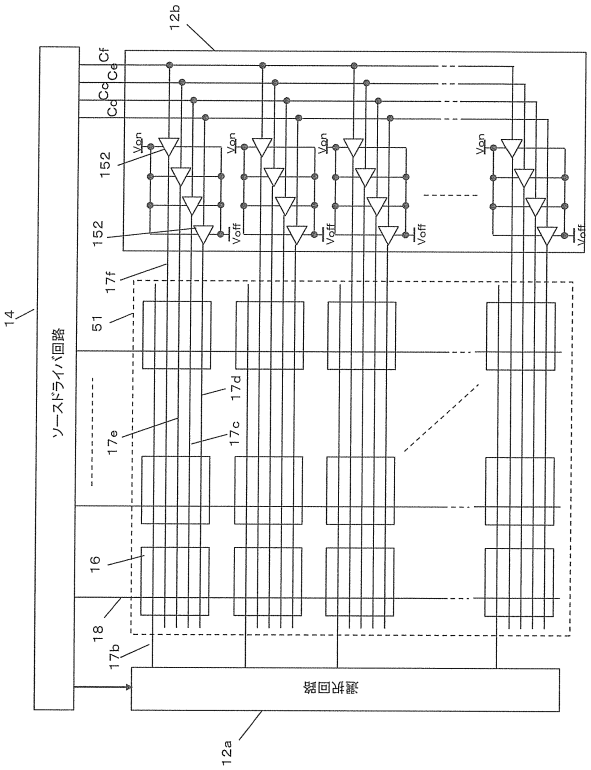
【図１４】



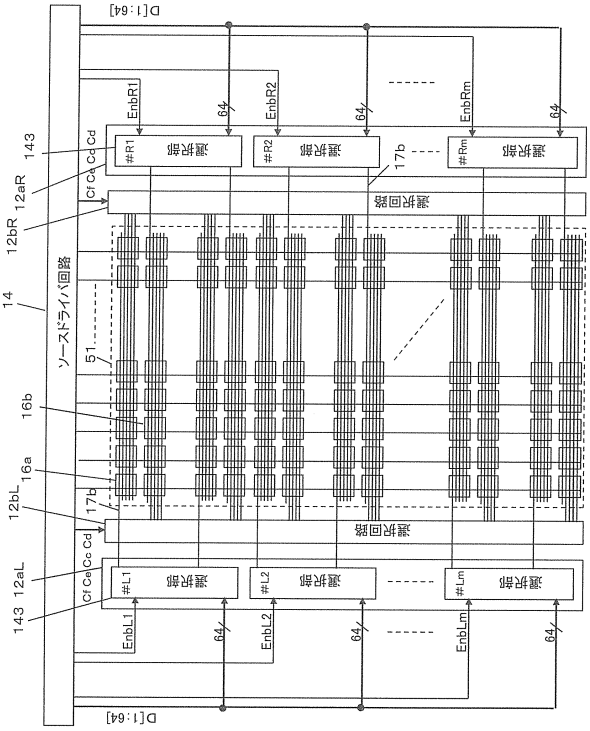
【図１５】



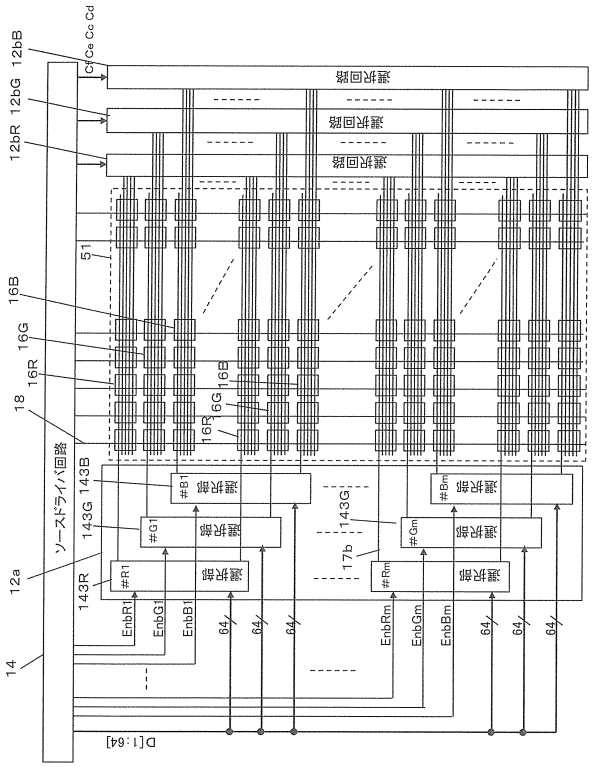
【図１６】



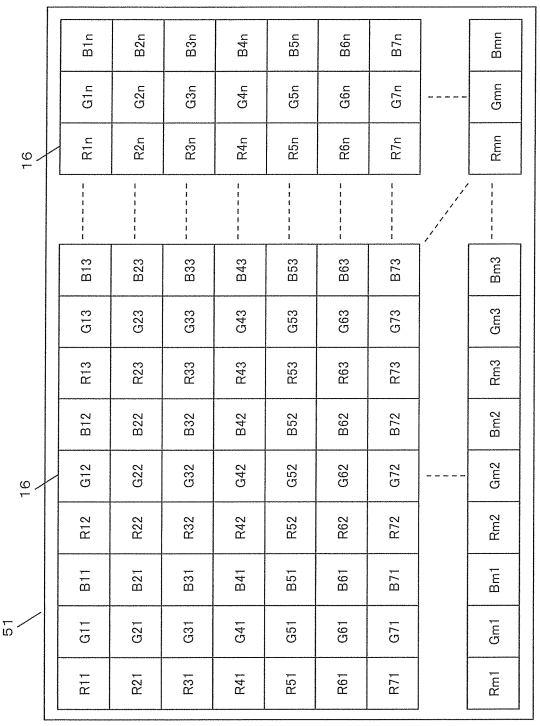
【図１７】



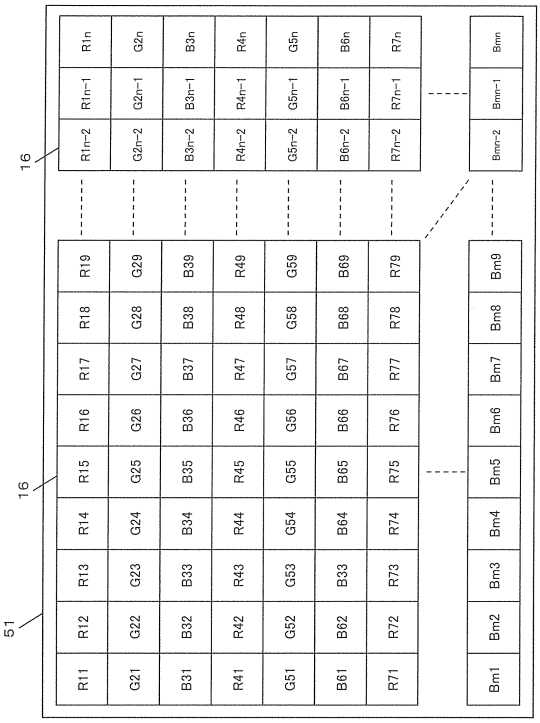
【図１８】



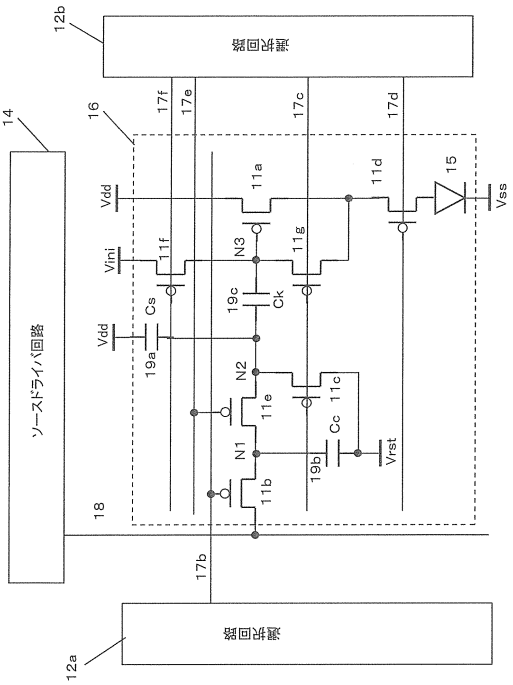
【図１９】



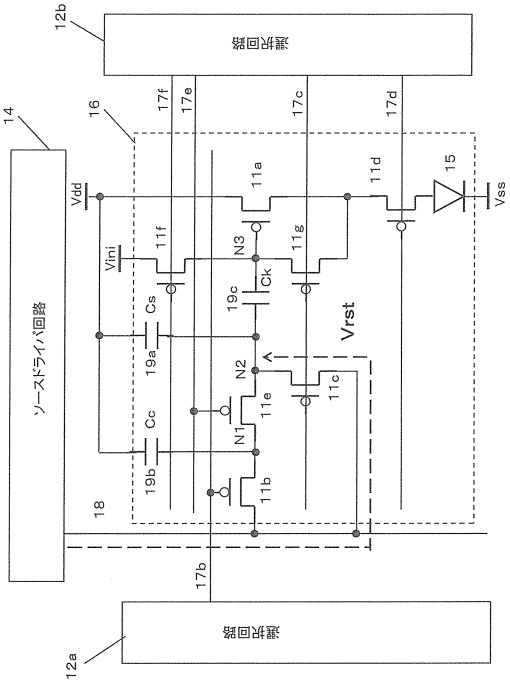
【図２０】



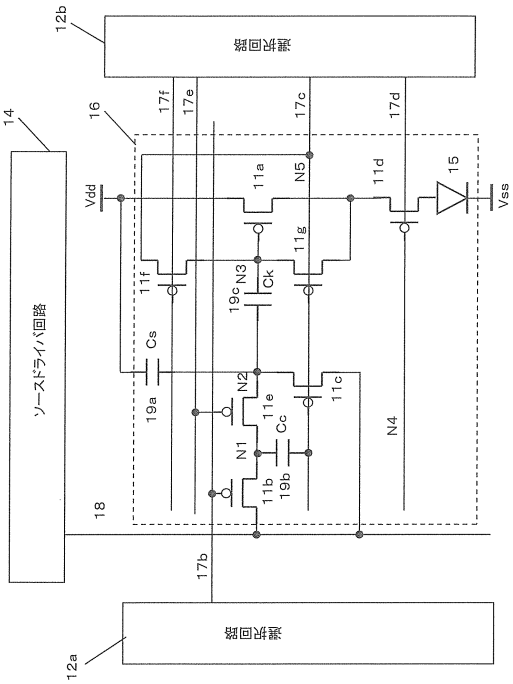
【図２１】



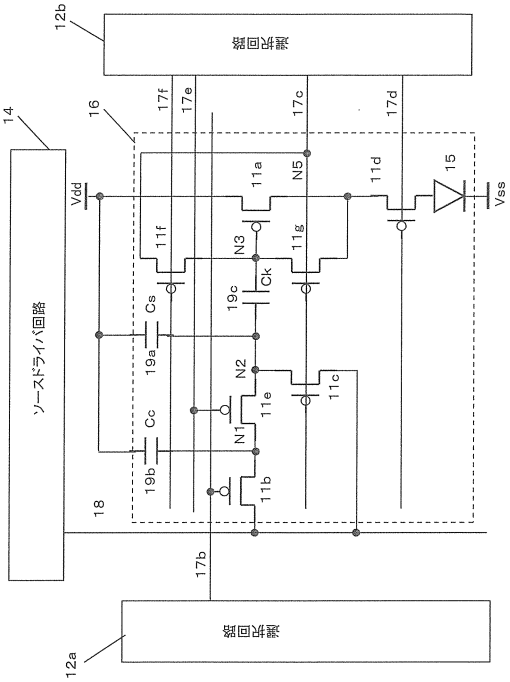
【図２２】



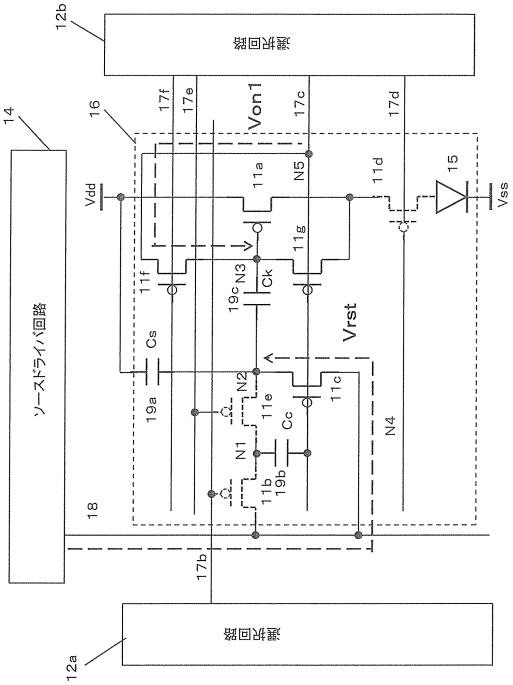
【図２３】



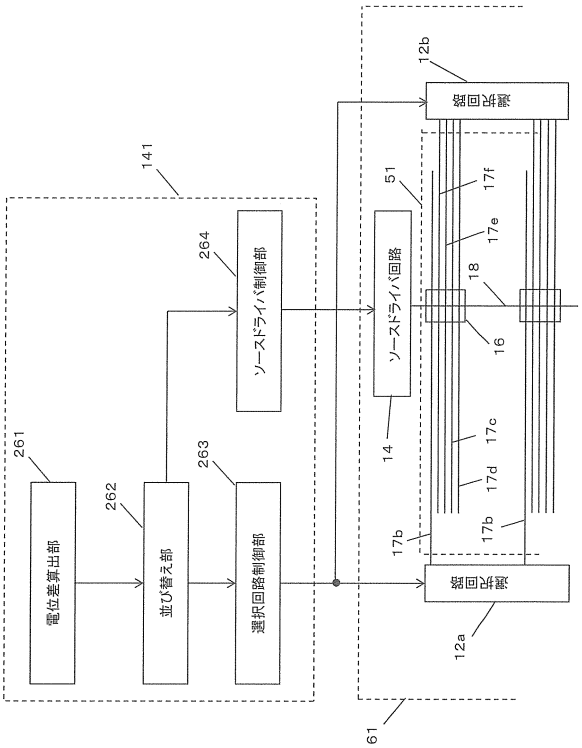
【図２４】



【図２５】



【図２６】

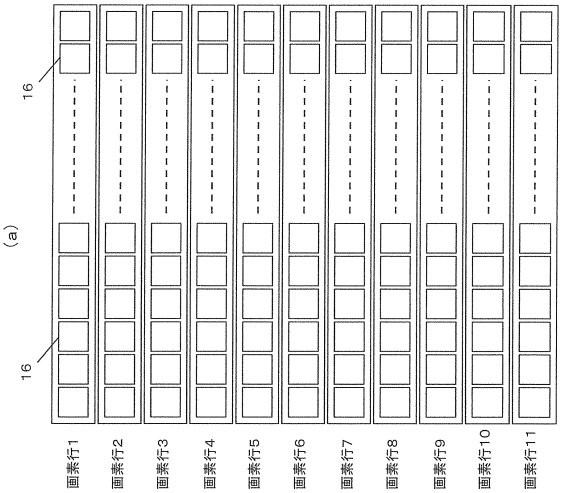


【図２７】

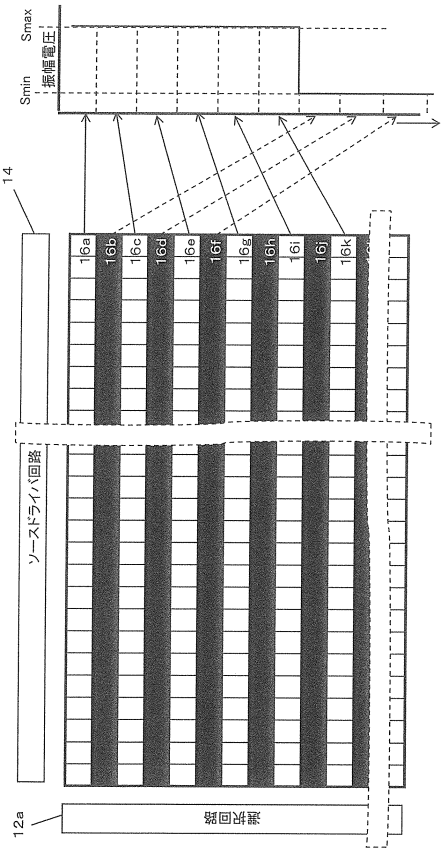
(b)

電圧2乗値の合計	書込み順番1（入れ替え前）	書込み順番2（入れ替え後）
23	1	10
17	2	7
1	3	1
5	4	4
19	5	9
2	6	2
15	7	6
29	8	11
7	9	5
18	10	8
2	11	3

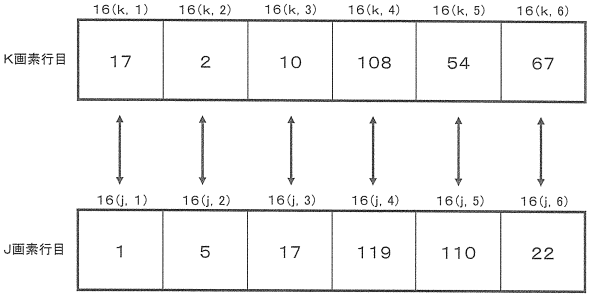
(a)



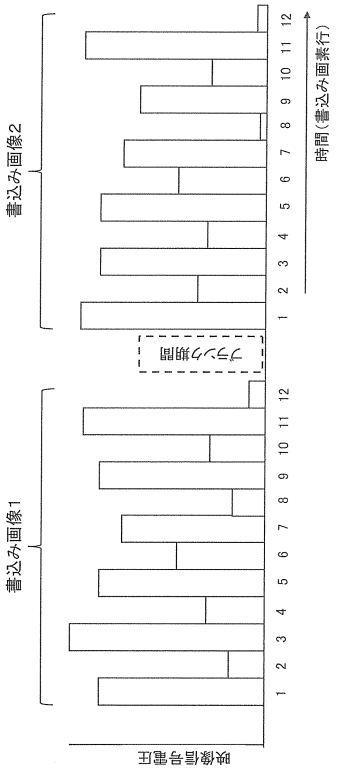
【図２８】



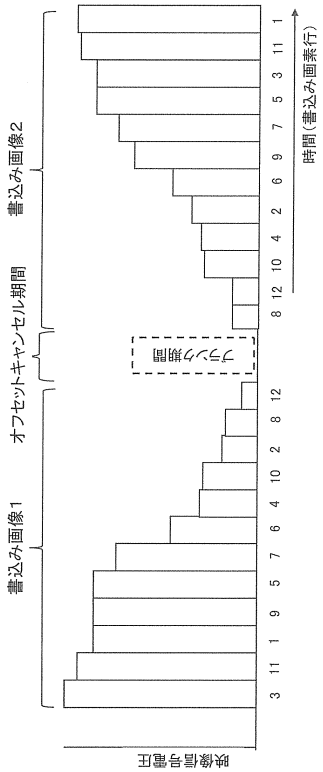
【図２９】



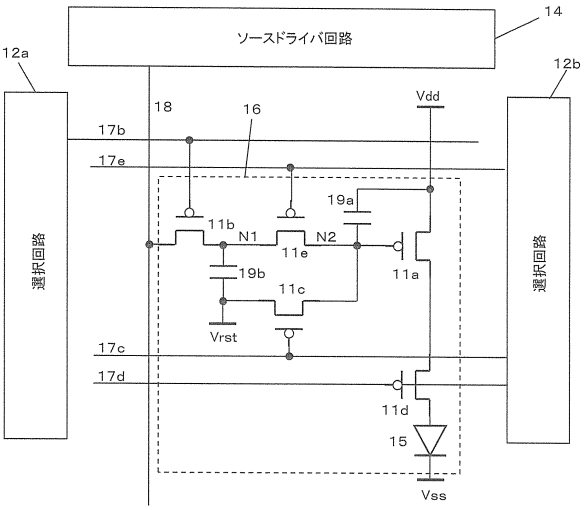
【図３０】



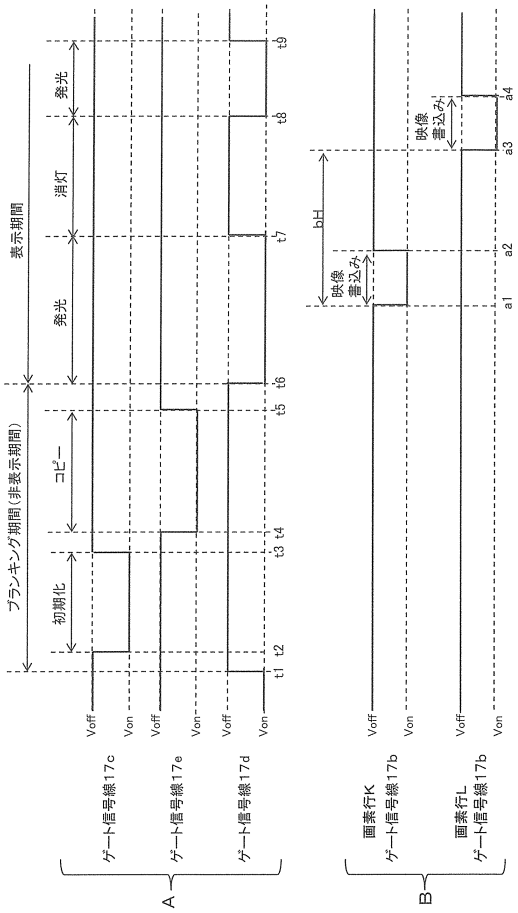
【図３１】



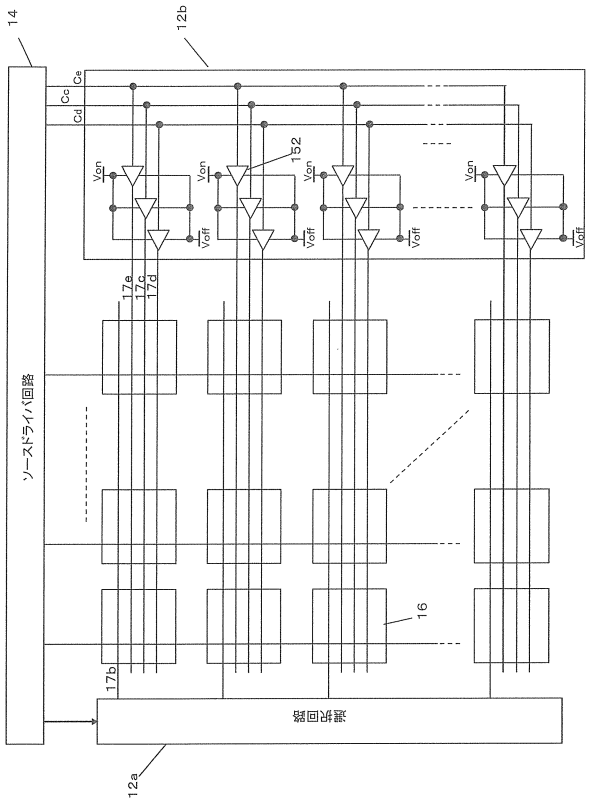
【図３２】



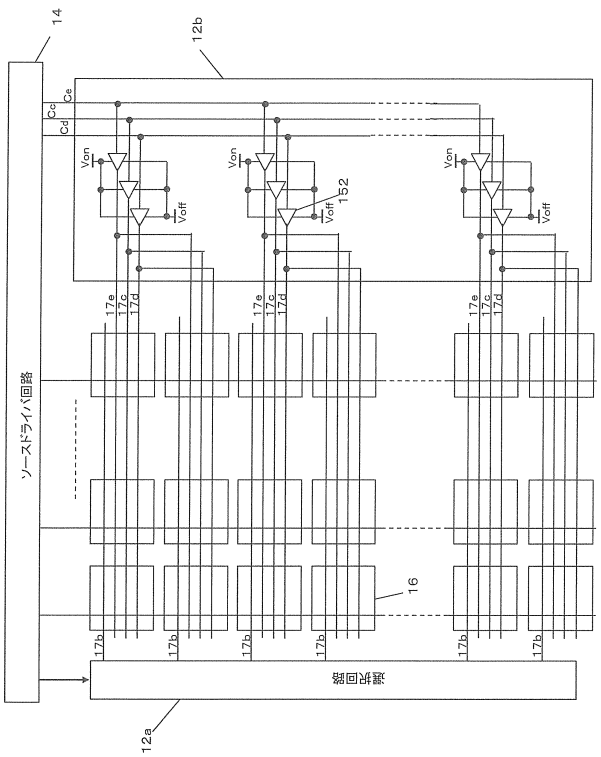
【図３３】



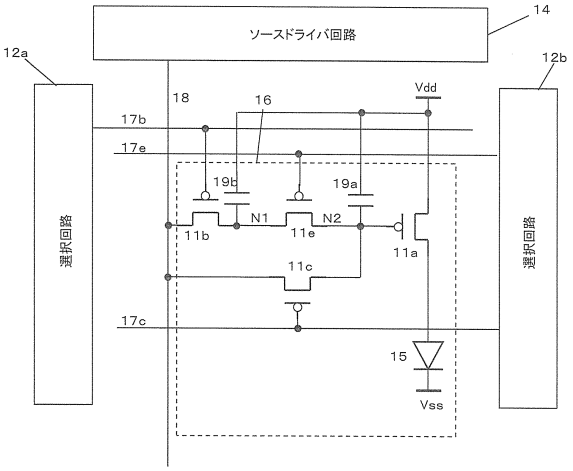
【図３４】



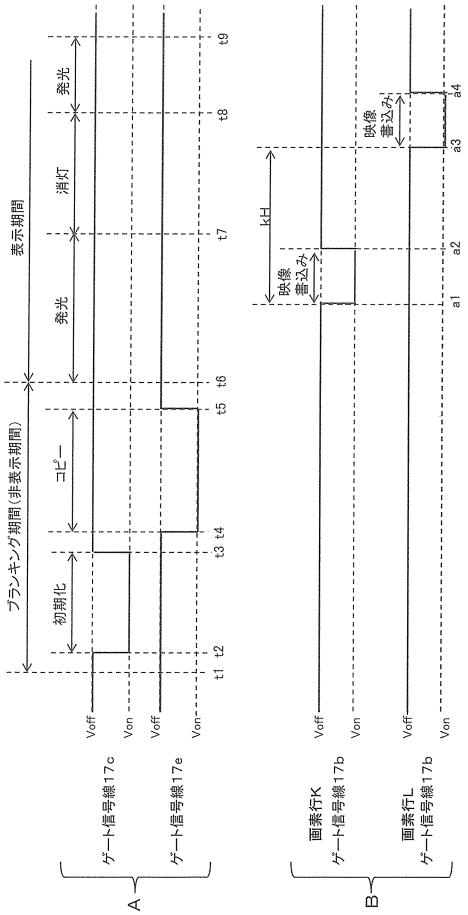
【図３５】



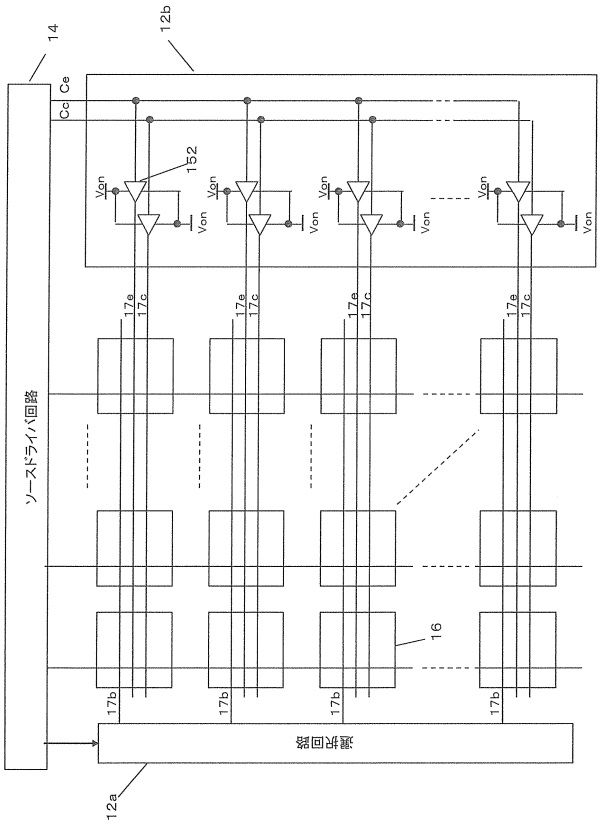
【図３６】



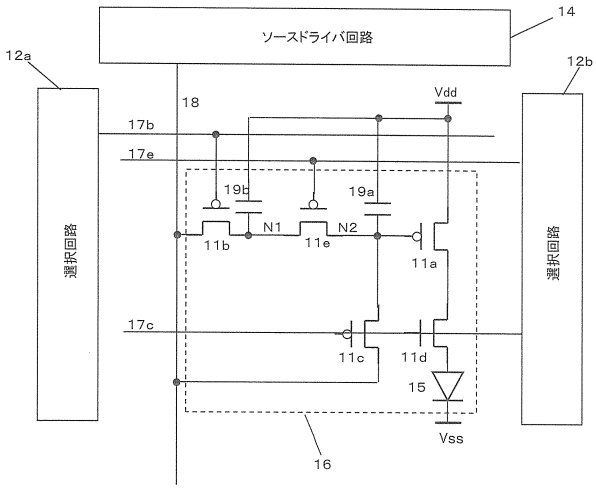
【図３７】



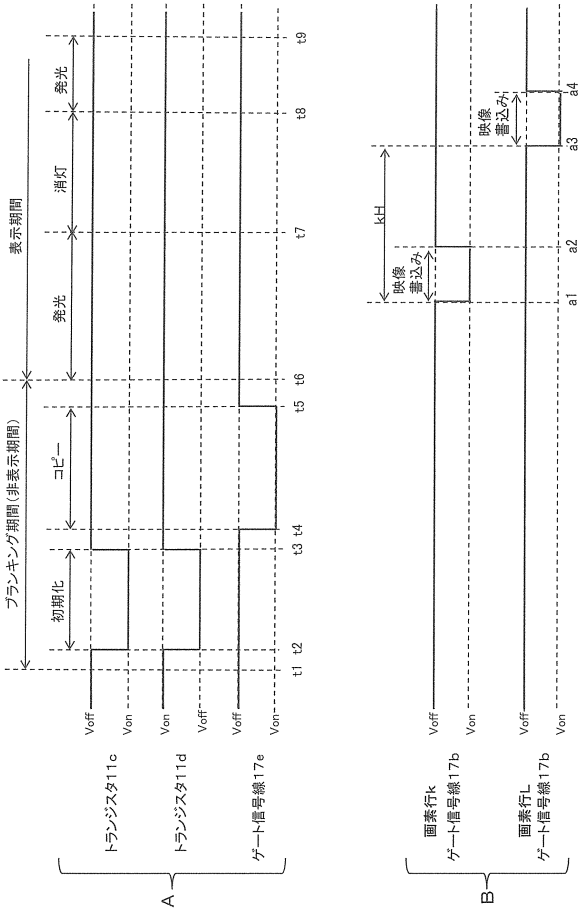
【図３８】



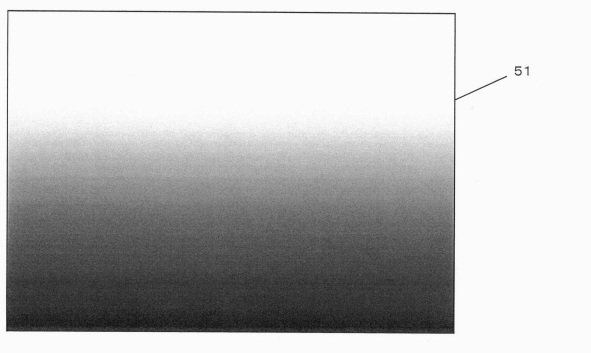
【図３９】



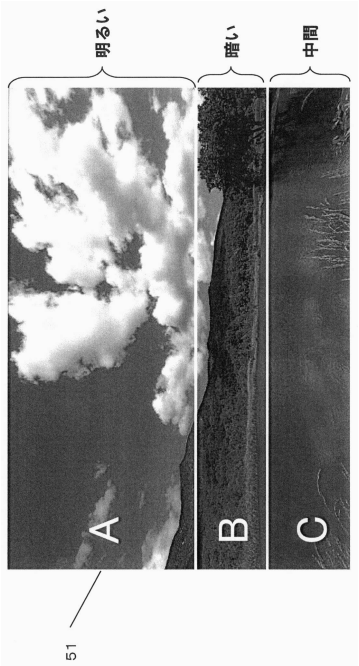
【図４０】



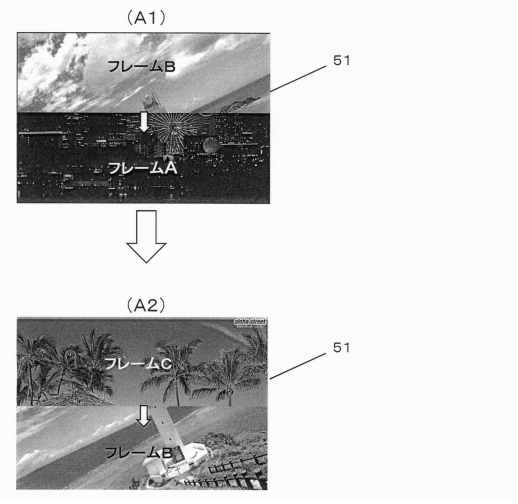
【図４１】



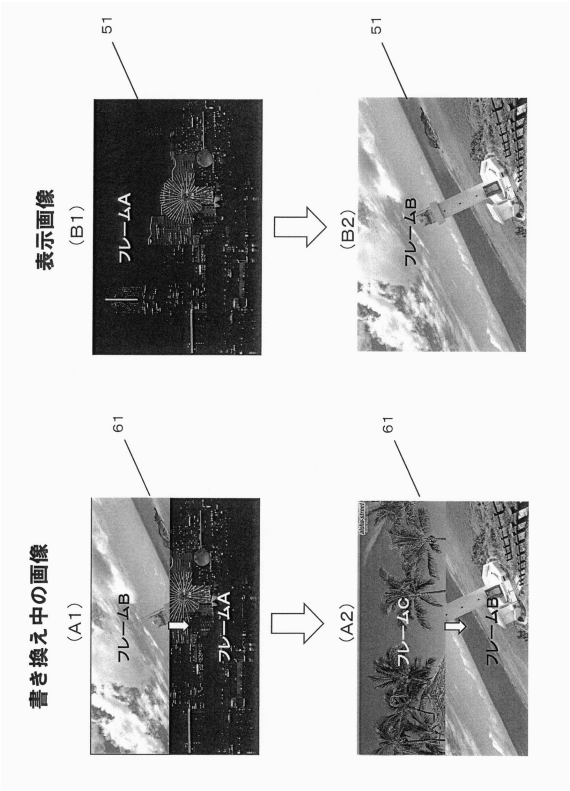
【図４２】



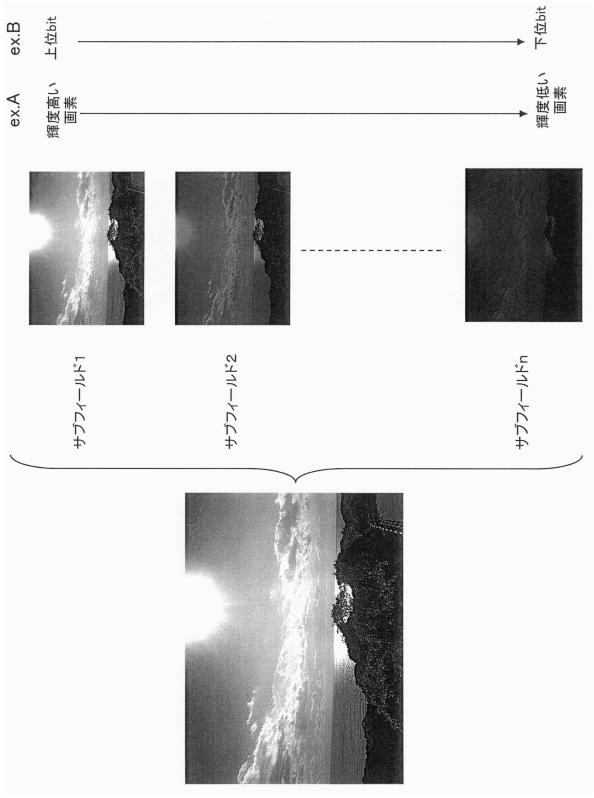
【図４３】



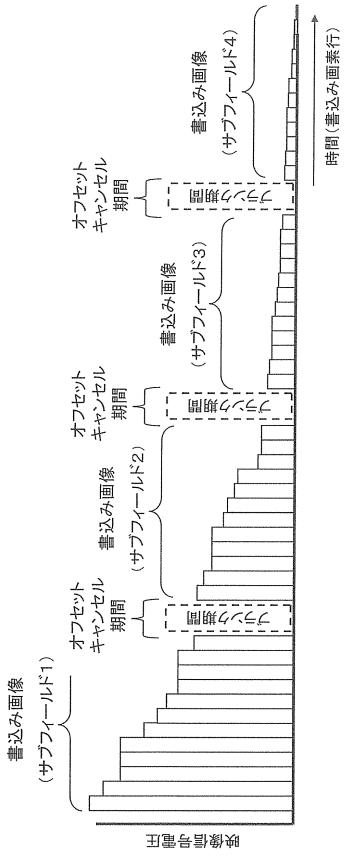
【図４４】



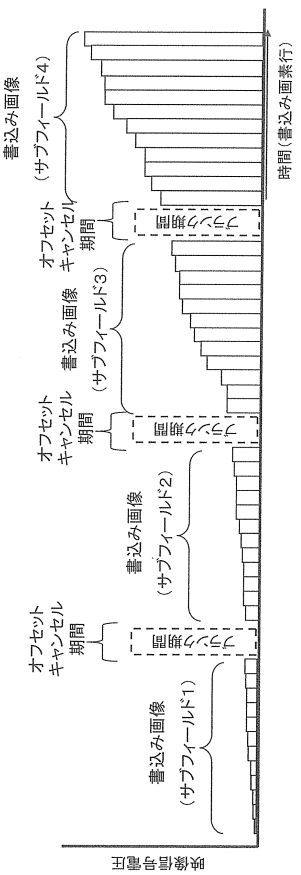
【図４５】



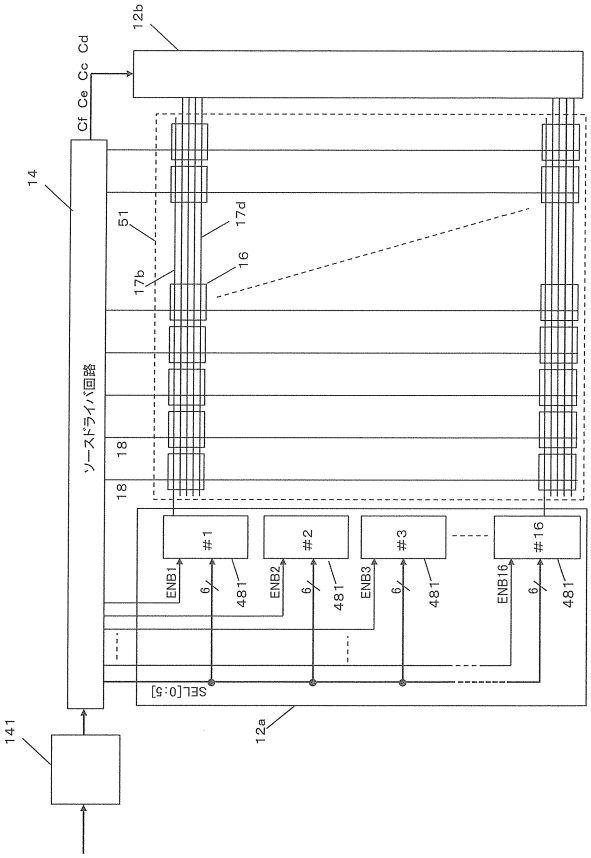
【図４６】



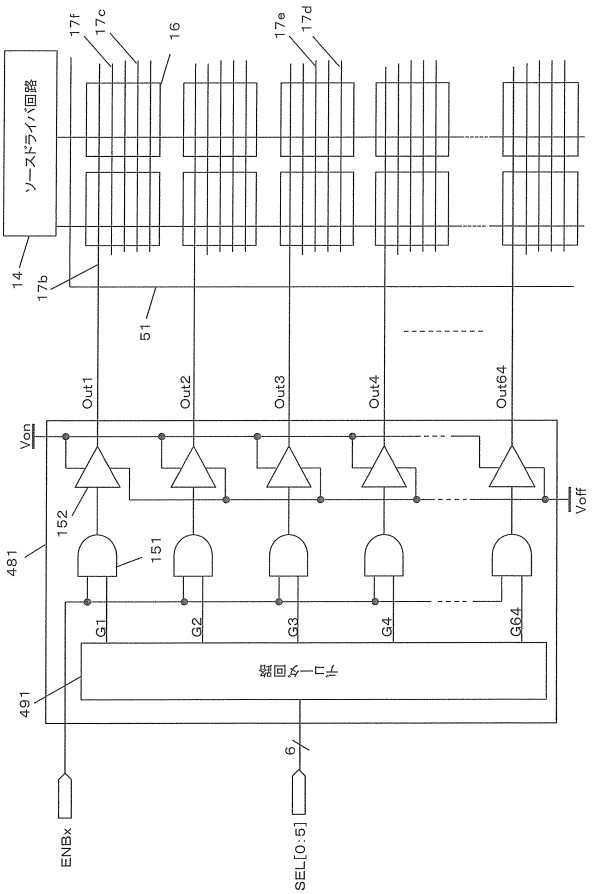
【図４７】



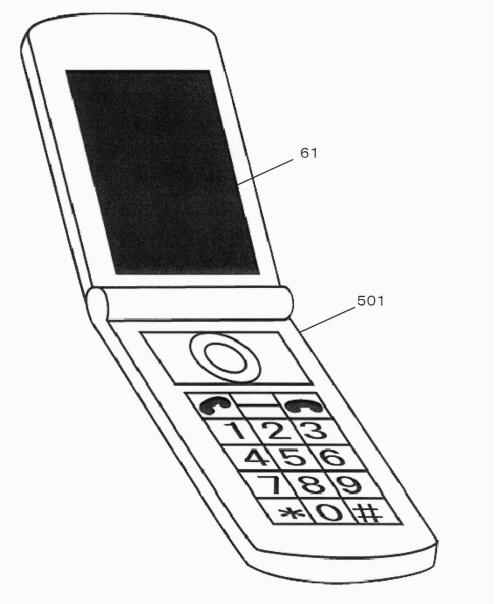
【図４８】



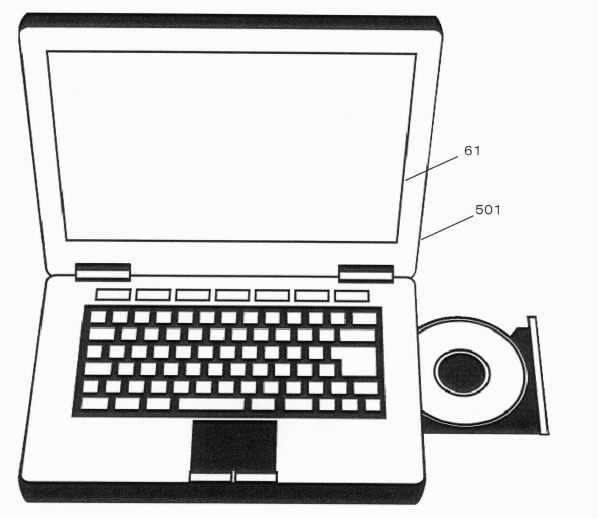
【図４９】



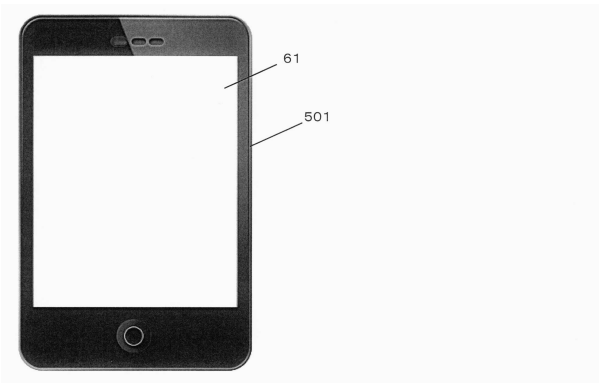
【図５０】



【図５１】



【図５２】



フロントページの続き

(51)Int.Cl.	FI		
	G09G	3/20	611A
	G09G	3/20	612T
	G09G	3/20	622Q
	G09G	3/20	622P
	G09G	3/20	611H
	G09G	3/30	H
	G09G	3/20	612U
	H05B	33/14	A

(56)参考文献 国際公開第２０１１／０７７７１８（WO，Ａ１）
特開２０１２－０７８８１６（ＪＰ，Ａ）
特開２００８－０４６１８６（ＪＰ，Ａ）
国際公開第２０１３／１１８３２３（WO，Ａ１）
国際公開第２０１４／０９７９９０（WO，Ａ１）
特開２００８－２４９７４４（ＪＰ，Ａ）
特開２０１１－０１８０２０（ＪＰ，Ａ）
国際公開第２０１４／０６１２３１（WO，Ａ１）
特開２００２－０３２０５１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０９Ｇ　３／３０
Ｇ０９Ｇ　３／２０
Ｈ０１Ｌ　５１／５０

专利名称(译)	图像显示装置和图像显示装置的驱动方法。		
公开(公告)号	JP6417608B2	公开(公告)日	2018-11-07
申请号	JP2014153089	申请日	2014-07-28
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
当前申请(专利权)人(译)	株式会社JOLED		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.K G09G3/20.670.L G09G3/20.670.K G09G3/20.611.A G09G3/20.612.T G09G3/20.622.Q G09G3/20.622.P G09G3/20.611.H G09G3/30.H G09G3/20.612.U H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC35 3K107/CC41 3K107/CC42 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD07 5C080/DD18 5C080/DD19 5C080/DD22 5C080/DD23 5C080/DD26 5C080/DD29 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG11 5C080/GG13 5C080/HH10 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB24 5C380/AB34 5C380/AB41 5C380/AB45 5C380/AC11 5C380/BA01 5C380/BA05 5C380/BA11 5C380/BA12 5C380/BA17 5C380/BA45 5C380/BD09 5C380/BD10 5C380/CA12 5C380/CA53 5C380/CB02 5C380/CB04 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CB37 5C380/CC04 5C380/CC07 5C380/CC11 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC34 5C380/CC38 5C380/CC39 5C380/CC52 5C380/CC64 5C380/CC65 5C380/CC66 5C380/CD024 5C380/CD025 5C380/CD037 5C380/CE04 5C380/CE19 5C380/CF02 5C380/CF17 5C380/CF22 5C380/CF24 5C380/CF32 5C380/CF52 5C380/CF64 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA35 5C380/DA42 5C380/DA44 5C380/DA47 5C380/DA49 5C380/HA02 5C380/HA05 5C380/HA11		
代理人(译)	吉川修 Sobashima正雄		
审查员(译)	Naoaki桥本		
其他公开文献	JP2016031431A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在不降低视频质量的情况下减少发热量的图像显示设备。 确定显示屏幕上的栅极信号线的选择顺序，以便减小由源极驱动器电路输出到源极信号线的视频信号的幅度差。选择电路12a按所获得的栅极信号线17b的选择顺序选择16行像素。源极驱动器电路14输出与所选像素行的栅极信号线17b对应的视频信号，并且视频信号被写入像素16的电容器19b中。消隐期间，开关控制选择电路12b中，整个屏幕，17E，17C的栅极信号线17F，17D同时，并执行偏移抵消像素电路。在抵消偏移之后，开关晶体管11e导通，电容器19b的电压施加到驱动晶体管11a的栅极端子，并且发光电流被提供给EL元件15。

(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第6417608号
(P6417608)
(45)発行日　平成30年11月7日(2018.11.7)　(24)登録日　平成30年10月19日(2018.10.19)

(51)Int.Cl.　　F I
G09G 3/30 (2006.01)　G09G 3/30 J
G09G 3/20 (2006.01)　G09G 3/20 624B
H01L 51/50 (2006.01)　G09G 3/20 642K
G09G 3/20 670L
G09G 3/20 670K
請求項の数 9　(全 69 頁)　最終頁に続く

(21)出願番号　特願2014-153089(P2014-153089)
(22)出願日　平成26年7月28日(2014.7.28)
(65)公開番号　特開2016-31431(P2016-31431A)
(43)公開日　平成28年3月7日(2016.3.7)
審査請求日　平成29年2月13日(2017.2.13)

(73)特許権者　514188173
株式会社ＪＯＬＥＤ
東京都千代田区神田錦町三丁目２３番地
(74)代理人　100189430
弁理士　吉川　修一
(74)代理人　100190805
弁理士　傍島　正朗
(72)発明者　高原　博司
大阪府門真市大字門真１００６番地　パナソニック株式会社内

審査官　橋本　直明

最終頁に続く

(54)【発明の名称】画像表示装置および画像表示装置の駆動方法。