

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4151882号
(P4151882)

(45) 発行日 平成20年9月17日(2008.9.17)

(24) 登録日 平成20年7月11日(2008.7.11)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	6 1 1 A
HO 1 L 51/50 (2006.01)	G09G 3/20	6 2 3 B
	G09G 3/20	6 2 3 R
	G09G 3/20	6 4 1 D
請求項の数 8 (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2002-120128 (P2002-120128)
 (22) 出願日 平成14年4月23日(2002.4.23)
 (65) 公開番号 特開2003-316319 (P2003-316319A)
 (43) 公開日 平成15年11月7日(2003.11.7)
 審査請求日 平成14年8月21日(2002.8.21)
 審判番号 不服2005-9045 (P2005-9045/J1)
 審判請求日 平成17年5月13日(2005.5.13)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100079555
 弁理士 梶山 侑是
 (74) 代理人 100079957
 弁理士 山本 富士男
 (72) 発明者 北原 慎二
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内

合議体
 審判長 杉野 裕幸
 審判官 堀部 修平
 審判官 上原 徹

最終頁に続く

(54) 【発明の名称】 有機EL駆動回路および有機EL表示装置

(57) 【特許請求の範囲】

【請求項1】

カレントミラー回路で構成される電流出力回路からの出力電流により有機EL表示パネルの端子ピンを電流駆動する有機EL駆動回路において、

前記電流出力回路は前記端子ピンに対応して多数設けられ、

同じチャネル型の第1のMOSトランジスタのドレインと第2のMOSトランジスタのソースとがすでに接続された状態の2個のトランジスタからなる回路を単位回路として多数作成しておき、各前記電流出力回路がそれぞれ前記単位回路をn個(ただし、nは3以上の整数)有し、

このn個のうちの2以上の単位回路を第1および第2のMOSトランジスタのいずれか一方のゲート同士を共通のゲートとして接続して一方の前記単位回路を前記カレントミラー回路の入力側回路とし、他方の前記単位回路を前記カレントミラー回路の出力側回路とし、共通に接続された前記ゲートと前記入力側回路の電流駆動側の端子とを残りの少なくとも1個の前記単位回路の第1および第2のいずれか一方のMOSトランジスタで接続して前記n個の単位回路が配線されることにより各前記電流出力回路がIC化されているものであって、

各前記電流出力回路における残りの少なくとも1個の前記単位回路の前記いずれか一方のMOSトランジスタをONさせることにより前記入力側回路における前記共通のゲートをもつMOSトランジスタがダイオード接続されて前記カレントミラー回路が構成され、かつ、共通のゲートとして接続されていない前記出力側回路のMOSトランジスタをON

10

20

させて前記端子ピンに対する駆動電流を発生することにより各前記電流出力回路における無駄なリーク電流を防止するものであって、各前記出力側回路の第1および第2のMOSトランジスタが前記単位回路として配線されていることを特徴とする有機EL駆動回路。

【請求項2】

共通のゲートとして接続されていない前記入力側回路のMOSトランジスタのゲートは、所定のバイアス電圧に接続されてこのトランジスタが所定のインピーダンスに設定され、残りの少なくとも1個の前記単位回路の第1および第2のMOSトランジスタのゲートは、所定の制御ラインに接続され、この制御ラインに受ける制御信号に応じてON/OFFされる請求項1記載の有機EL駆動回路。

【請求項3】

前記単位回路の前記第1および第2のMOSトランジスタは、Pチャネルトランジスタであり、前記出力側回路は、パラレルに接続されたm個（ただしmは2以上の整数）の単位回路からなる請求項2記載の有機EL駆動回路。

【請求項4】

さらに、前記出力側回路に並列に前記単位回路からなるピーク電流生成回路が設けられ、このピーク電流生成回路の前記単位回路の第1のPチャネルMOSトランジスタのゲートに第2の制御信号を受けてON/OFFされてピーク電流が生成される請求項3記載の有機EL駆動回路。

【請求項5】

共通のゲートとして接続しているラインと電源ラインとの間にコンデンサが設けられ、残りの少なくとも1個の前記単位回路の前記いずれか一方のMOSトランジスタをONさせて前記コンデンサを所定の電圧で充電した後に、共通のゲートとして接続されていない前記出力側回路のMOSトランジスタをONさせて前記端子ピンに対する駆動電流を発生する請求項1記載の有機EL駆動回路。

【請求項6】

カレントミラー回路で構成される電流出力回路からの出力電流により有機EL表示パネルの端子ピンを電流駆動する有機EL駆動回路を有する有機EL表示装置において、

前記電流出力回路は前記端子ピンに対応して多数設けられ、

同じチャネル型の第1のMOSトランジスタのドレインと第2のMOSトランジスタのソースとがすでに接続された状態の2個のトランジスタからなる回路を単位回路として多数作成しておき、各前記電流出力回路がそれぞれ前記単位回路をn個（ただし、nは3以上の整数）有し、

このn個のうちの2以上の単位回路を第1および第2のMOSトランジスタのいずれか一方のゲート同士を共通のゲートとして接続して一方の前記単位回路を前記カレントミラー回路の入力側回路とし、他方の前記単位回路を前記カレントミラー回路の出力側回路とし、共通に接続された前記ゲートと前記入力側回路の電流駆動側の端子とを残りの少なくとも1個の前記単位回路の第1および第2のいずれか一方のMOSトランジスタで接続して前記n個の単位回路が配線されることにより各前記電流出力回路がIC化されているものであって、

各前記電流出力回路における残りの少なくとも1個の前記単位回路の前記いずれか一方のMOSトランジスタをONさせることにより前記入力側回路における前記共通のゲートをもつMOSトランジスタがダイオード接続されて前記カレントミラー回路が構成され、かつ、共通のゲートとして接続されていない前記出力側回路のMOSトランジスタをONさせて前記端子ピンに対する駆動電流を発生することにより各前記電流出力回路における無駄なリーク電流を防止するものであって、各前記出力側回路の第1および第2のMOSトランジスタが前記単位回路として配線されていることを特徴とする有機EL表示装置。

【請求項7】

共通のゲートとして接続されていない前記入力側回路のMOSトランジスタのゲートは、所定のバイアス電圧に接続されてこのトランジスタが所定のインピーダンスに設定され、残りの少なくとも1個の前記単位回路の第1および第2のMOSトランジスタのゲート

10

20

30

40

50

は、所定の制御ラインに接続され、この制御ラインに受ける制御信号に応じてON/OFFされる請求項6記載の有機EL表示装置。

【請求項8】

共通のゲートとして接続しているラインと電源ラインとの間にコンデンサが設けられ、残りの少なくとも1個の前記単位回路の前記いずれか一方のMOSトランジスタをONさせて前記コンデンサを所定の電圧で充電した後に、共通のゲートとして接続されていない前記出力側回路のMOSトランジスタをONさせて前記端子ピンに対する駆動電流を発生する請求項6記載の有機EL表示装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

この発明は、有機EL駆動回路および有機EL表示装置に関し、詳しくは、有機ELパネルのピン駆動電流を発生するカラムライン（有機EL素子の陽極側ドライブレイン、以下同じ）の電流駆動回路において、IC化した場合に電流駆動回路の配線とレイアウトの自由度が増し、その占有面積を低減でき、かつ、低消費電力化が図れるような有機EL駆動回路および有機EL表示装置の改良に関する。

【0002】

【従来の技術】

有機EL表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、PHS、DVDプレーヤ、PDA（携帯端末装置）等に搭載される次世代表示装置として現在注目されている。この有機EL表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R（赤）、G（緑）、B（青）に感度差があることから制御が難しくなる問題点がある。

20

そこで、最近では、電流駆動のドライバを用いた有機EL表示装置が提案されている。例えば、特開平10-112391号などでは、電流駆動により輝度ばらつきの問題を解決する技術が記載されている。

【0003】

携帯電話機、PHS用の有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個（132×3）の端子ピン（以下ピン）、ローラインが162個のピンを持つものが提案され、カラムライン、ローラインのピンはこれ以上に増加する傾向にある。

30

このような有機EL表示パネルの電流駆動回路の出力段は、アクティブマトリクス型でも単純マトリクス型のものでピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。そのドライブ段は、例えば、特願2001-86967号（特開2002-82662号）に示されるようにピン対応に多数の出力側トランジスタを有するパラレル駆動のカレントミラー回路とする。そして、手前の入力段となる基準電流発生回路から基準電流を受けてピン対応に多数のミラー電流を発生して、あるいはこのミラー電流として発生した基準電流をさらにk倍電流増幅回路でk倍（kは2以上の整数）の電流に増幅して前記出力回路を駆動する。さらに、このk倍電流増幅回路に換えてピン対応にD/A変換回路を設けて、このD/A変換回路がカラム側（陽極側）のピン対応に表示データを受けてこの表示データをピン対応にA/D変換して1ライン分の駆動電流を同時に生成する回路も提案されている。

40

ところで、容量性負荷となとる特性を持つ有機EL素子は、初期充電して駆動するための駆動電流としてピークを持つ電流を生成する。そのピーク電流生成は、前記のドライブ段の手前において基準電流として生成するものと、この発明の先行技術としてD/A変換回路あるいはこれの後で行うものがある。

【0004】

D/A変換回路にピーク電流生成回路を設けた、この発明の先行技術の特願2002-33937（特開2003-28086号）「有機EL駆動回路および有機EL表示装置」に記載された例を図3に示す。

図3において、20は、有機EL駆動回路のカラムドライバであり、10は、その駆動

50

電流生成回路であって、そのときどきの表示データに対応する駆動電流を生成する。11は、駆動電流生成回路に設けられたD/A変換回路、12は電流値 I_p の定電流源、13はカレントミラー電流出力回路、14はピーク電流生成回路、15はコントロール回路、そして16はレジスタである。

D/A変換回路11は、Nチャンネルの入力側トランジスタ T_{Na} とこの入力側トランジスタ T_{Na} に並列に接続されたカレントミラーのNチャンネルの入力側トランジスタ T_{Np} を有している。そして、Nチャンネルの出力側トランジスタ $T_{Nb} \sim T_{Nn-1}$ がこれら入力側トランジスタ T_{Na} とトランジスタ T_{Np} に対してカレントミラー接続されている。

【0005】

トランジスタ T_{Na} とトランジスタ T_{Np} は、チャンネル幅(ゲート幅)の比が1:9に設定されていて、トランジスタ T_{Na} のソースは、抵抗 R_a を介してグランドGNDに接続され、トランジスタ T_{Np} のソースは、抵抗 R_{pa} 、スイッチ回路 S_{Wpa} を介してグランドGNDに接続されている。

10

なお、前記のチャンネル幅(ゲート幅)の比1:9は、同一形状のMOS1個に対してペア性のよいMOS9個を平行に接続して構成してもよい。

2個の入力側トランジスタ T_{Na} と入力側トランジスタ T_{Np} は、入力端子11aに接続されて、この入力端子11aを介して定電流源12から電流値 I_p の電流を受ける。

【0006】

入力側トランジスタ T_{Na} に電流値 I_p の電流が動作電流として流れたときには、D/A変換回路11の出力端子11bにピーク電流 $I_a = I_{pa}$ を発生する。また、入力側のトランジスタ T_{Na} と T_{Np} とにこの電流 I_p が動作電流として分流して流れたときには、D/A変換回路11の出力端子11bに表示データに応じた駆動電流 $I_a (= I_{pa} / 10)$ を発生する。

20

抵抗 $R_b \sim R_{n-1}$ は、出力側トランジスタ $T_{Nb} \sim T_{Nn-1}$ のソースとトランジスタ $T_{rb} \sim T_{rn-1}$ のドレインとの間に挿入された抵抗である。これによりD/A変換回路11の電流ペアリング精度を向上させることができる。

なお、トランジスタ $T_{rb} \sim T_{rn-1}$ のゲートは、nビットの表示データが入力される入力端子 $D_0 \sim D_{n-1}$ に接続され、レジスタ16からの表示データを受ける。トランジスタ $T_{rb} \sim T_{rn-1}$ のソースはグランドGNDに接続されている。

【0007】

30

カレントミラー電流出力回路13は、駆動レベルシフト回路13aと出力段カレントミラー回路13bとからなる。

駆動レベルシフト回路13aは、D/A変換回路11の出力を出力段カレントミラー回路13bに伝達するための回路であって、NチャンネルのMOSFETトランジスタ T_{Nv} からなる。そのゲートはバイアスライン V_b に接続され、ソース側がD/A変換回路11の出力端子11bに接続されている。そしてドレイン側が出力段カレントミラー回路13bの入力端子13cに接続されている。

これによりD/A変換回路11の出力電流を I_a とすると、これに対して入力端子13cに I_a の駆動電流を発生することができる。

出力段カレントミラー回路13bは、ゲート駆動電圧補正用のPチャンネルMOSFETトランジスタ T_{Pu} 、 T_{Pw} のカレントミラー回路と、このカレントミラー回路を介して駆動されることで出力段カレントミラー回路を構成するPチャンネルMOSFETトランジスタ T_{Px} 、 T_{Py} とを有している。出力段カレントミラー回路13bのトランジスタ T_{Px} とトランジスタ T_{Py} のゲート幅比は1:Nであり、これらトランジスタのソースは、電源ライン+VDDではなく、これより高い電圧、例えば、+15V程度の電源ライン+ V_{cc} に接続され、出力側トランジスタ T_{Py} は、カラム側のピン9に接続され、駆動時には $N \times I_a$ の駆動電流を流してピン9を駆動する。このピン9とグランドGNDとの間には、有機EL素子8が接続されている。なお、図中の V_c もバイアスラインである。

40

【0008】

ここで、入力側トランジスタ T_{Np} と抵抗 R_{pa} 、スイッチ回路 S_{Wpa} とは、ピーク電流生成

50

回路14を構成していて、スイッチ回路SWpaは、駆動初期の一定期間 t_p だけコントロール回路15からコントロール信号CONTを受けることなく、OFFにされ、一定期間 t_p 後にCONTを受けてONになる。

そのピーク電流発生動作を簡単に説明すると、まず、MPU19から送出された $D_0 \sim D_{n-1}$ の各入力端子に対するそのときの表示データがコントロール回路15からのラッチパルス L_p に応じてレジスタ16にセットされると、レジスタ16を介して $D_0 \sim D_{n-1}$ の各入力端子にその表示データが設定される。コントロール回路15がレジスタ16にラッチパルス L_p を送出後に、ロー側の走査が行われてカラム側のそのときの表示データに対応する駆動電流がピン9から有機EL素子8に流れる。

【0009】

この駆動開始時点では、スイッチ回路SWpaがコントロール回路15からコントロール信号CONTを受けていないので、入力側トランジスタTNaに電流 I_p が流れて、 $D_0 \sim D_{n-1}$ の各入力端子に設定された表示データに対応する倍数、例えばM倍の電流値 $M \times I_p (= I_{pa})$ が生成されてD/A変換回路11の出力端子11bにピーク電流 $I_a = M \times I_p$ を発生する。そして、ピーク電流発生期間 t_p だけずれてコントロール信号CONTが発生してスイッチ回路SWpaがONになると、入力側トランジスタTNaに流れる電流が入力側トランジスタTNpに分流されて、これらトランジスタのゲート幅比1:9に従って入力側トランジスタTNaに $I_p/10$ が流れ、入力側トランジスタTNpに $9 \times I_p/10$ の電流が流れる。

その結果、通常駆動電流として駆動電流 $I_a = I_{pa}/10$ が出力される。それらが出力段カレントミラー回路13bでN倍に電流増幅されて、有機ELパネルのピン9に出力される。

なお、ピークの期間 t_p は、容量性負荷となる特性を持つ有機EL素子8がピーク電流で初期充電されればよいので、必ずしもピークの開始時点が駆動開始と一致していなくてもよい。

ところで、有機EL表示装置では、ロー側の走査に応じてカラム側の電流駆動回路から電流が出力される。したがって、図1の有機EL素子8は、ピン9とグランドGNDとの間に接続されているが、実際には、有機EL素子8は、ローライン走査回路を介してグランドGNDに接続される。

【0010】

【発明が解決しようとする課題】

近年、駆動ピン数は高解像度化の要請により増加する傾向にある。これに伴って、電流駆動回路の出力段の数も駆動ピン数に対応して増加する傾向にある。そのため、消費電力も増加してくるので、電流駆動回路の電力低減の要請は強い。そこで、図3に示すように、電流駆動回路をMOSトランジスタで形成する回路が提案されている。これのMOSトランジスタの出力段(カレントミラー電流出力回路13)では、MOSトランジスタの駆動回路とMOSのカレントミラーの出力回路とを縦方向の従属接続して高い電圧の電源ラインに接続されている。

バイポーラトランジスタの電流駆動回路はもちろんのこと、前記のようなMOSトランジスタの電流駆動回路を用いた場合に、バイアス電流、ベース電流補正のための電流など、回路を動作させるための各種の電流が必要となり、また、リーク電流も発生する。これらの電流は、ピン数が増えるとともに増加して、回路全体の消費電力に与える影響もそれだけ大きくなり、消費電力低減の障害になってくる。

【0011】

また、図3の回路では、D/A変換回路11と、このD/A変換回路11に設けられたピーク電流生成回路、さらに、MOSトランジスタの出力段の回路とそれぞれ回路構成が相違している。このような回路にあっては、それぞれの回路をそれぞれにレイアウトして電流駆動回路全体を設計し、配線しなければならず、レイアウト効率が悪く、配線の自由度が少ない。そのため、回路規模を低減することが比較的難しくなる。

この発明の目的は、このような従来技術の問題点を解決するものであって、IC化した場

10

20

30

40

50

合に電流駆動回路の配線とレイアウトの自由度が増し、その占有面積を低減でき、かつ、低消費電力化が図れるような有機EL駆動回路および有機EL表示装置を提供することにある。

【0012】

【課題を解決するための手段】

このような目的を達成するためのこの発明の有機EL駆動回路および有機EL表示装置の特徴は、カレントミラーで構成される電流出力回路からの出力電流により有機EL表示パネルのピンを電流駆動する有機EL駆動回路において、

電流出力回路は前記端子ピンに対応して多数設けられ、

同じチャンネル型の第1のMOSトランジスタのドレインと第2のMOSトランジスタのソースとがすでに接続された状態の2個のトランジスタからなる回路を単位回路として多数作成しておき、各前記電流出力回路がそれぞれ前記単位回路をn個(ただし、nは3以上の整数)有し、

このn個のうちの2以上の単位回路を第1および第2のMOSトランジスタのいずれか一方のゲート同士を共通のゲートとして接続して一方の単位回路をカレントミラー回路の入力側回路とし、他方の単位回路をカレントミラー回路の出力側回路とし、共通に接続されたゲートと入力側回路の電流駆動側の端子とを残りの少なくとも1個の単位回路の第1および第2のいずれか一方のMOSトランジスタで接続してn個の単位回路が配線されることにより各電流出力回路がIC化されているものであって、

各電流出力回路における残りの少なくとも1個の前記単位回路のいずれか一方のMOSトランジスタをONさせることにより入力側回路における共通のゲートをもつMOSトランジスタがダイオード接続されてカレントミラー回路が構成され、かつ、共通のゲートとして接続されていない前記出力側回路のMOSトランジスタをONさせて前記端子ピンに対する駆動電流を発生することにより各電流出力回路における無駄なリーク電流を防止するものであって、各記出力側回路の第1および第2のMOSトランジスタが前記単位回路として配線されているものである。

【0013】

【発明の実施の形態】

このように、この発明にあっては、Pチャンネルの第1のMOSトランジスタのドレインとPチャンネルの第2のMOSトランジスタのソースとを接続した回路あるいはNチャンネルの第1のMOSトランジスタのドレインとNチャンネルの第2のMOSトランジスタのソースとを接続した回路を単位回路として、この単位回路を多数作成しておき、単位回路を選択的に配線すれば、出力段のカレントミラー回路が構成できる。この単位回路は、2つのMOSトランジスタが直列接続されているので、残りの単位回路の出力段のカレントミラー回路を構成するMOSトランジスタをONさせ、かつ、出力段のカレントミラー回路の出力側回路となる単位回路の共通のゲートとして接続されていない側のトランジスタをONさせれば、ピンに対して駆動電流を発生することができる。

【0014】

このような回路構成にすれば、共通のゲートとして接続されていない側のトランジスタは、駆動電流を出力するとき以外はOFFとなっているので、この出力側回路となる単位回路からこれに接続されている他の回路へ不要な電流が流れないで済む。特に、単位回路をPチャンネルのMOSトランジスタで構成して、これの上流側のトランジスタをONにして駆動電流を発生するようにすれば、このトランジスタがOFFしているときには下流側に不要な電流が流れないで済む。しかも、この出力段のカレントミラー回路の駆動は、残りの少なくとも1つの単位回路のMOSトランジスタをONにしてから駆動することになるので、ほとんどリーク電流も流れない。

したがって、前記のような単位回路からなる出力段のカレントミラー回路は、ピンを電流駆動しているとき以外は、駆動のためのバイアス電流、ベース電流補正のための電流、リーク電流等もほとんど流れないで済む上に、単位回路で構成できる。

その結果、IC化した場合に電流駆動回路の配線とレイアウトの自由度が増し、その占有

10

20

30

40

50

面積を低減でき、かつ、低消費電力化が図れる有機 E L 駆動回路および有機 E L 表示装置が容易に実現できる。

【 0 0 1 5 】

【実施例】

図 1 は、この発明の有機 E L 駆動回路を適用した一実施例の電流駆動回路の出力段回路を中心とするブロック図、図 2 は、有機 E L 素子の駆動波形の説明図である。なお、図 3 に対応する構成要素は、同一の符号を用いて示してあるので、その説明を割愛する。

図 1 において、1 は、有機 E L 駆動回路のカラムドライバであって、2 はカレントミラー電流出力回路、3 はピーク電流生成回路、4 は、図 3 の D / A 変換回路 1 1 に対応する D / A 変換回路であって、D / A 変換回路 1 1 に設けられたピーク電流生成回路 1 4 が削除された回路である。

10

したがって、D / A 変換回路 4 は、図 3 の D / A 変換回路 1 1 の入力側トランジスタ T Na が 1 個だけ設けられ、トランジスタ T Np は削除されている。トランジスタ T Na は、ピーク電流に対応する電流 I_p の十分の 1 の $I_p / 10$ の電流を定電流源 1 2 a から入力端子 4 a に受ける。図示していないが、その出力側トランジスタとして図 3 に示すように、出力側トランジスタ T Nb ~ T Nn-1 を有して、これら出力側トランジスタの合計電流値が出力端子 1 1 b に対応する出力端子 4 b に出力される。

【 0 0 1 6 】

カレントミラー電流出力回路 2 は、図 3 のカレントミラー電流出力回路 1 3 に対応する回路であり、駆動回路 2 a と出力段カレントミラー回路 2 b とからなる。ここで、駆動回路 2 a と出力段カレントミラー回路 2 b とピーク電流生成回路 3 とは同じ P チャネルの MOS トランジスタ T r1 と P チャネルの MOS トランジスタ T r2 を縦方向に従属接続した単位回路からなる。すなわち、この単位回路は、グランド G N D と電源ライン + V cc との間でトランジスタ T r1 のドレイン (D) とトランジスタ T r2 のソース (S) とを従属接続して構成されている。

20

図では、この単位回路 5 a ~ 5 c で出力段カレントミラー回路 2 を構成することにより、低消費電力と、配線とレイアウトの自由度とが確保され、回路規模の低減を図ることができる。なお、単位回路のトランジスタ T r1 とトランジスタ T r2 のバックゲートは、共通に電源ライン + V cc に接続されている。

【 0 0 1 7 】

まず、駆動回路 2 a から説明すると、これは、P チャネルの MOS トランジスタ T P1 と T P2 とから単位回路 5 a で構成される。トランジスタ T P1 のドレインとトランジスタ T P2 のソースとが接続され、トランジスタ T P1 のドレインは、D / A 変換回路 4 の出力端子 4 b にスイッチ回路 6 を介して接続されている。また、トランジスタ T P1 と T P2 のゲートは、それぞれ制御ライン 7 a を介して制御端子 G o に接続され、制御端子 G o にコントロール回路 1 5 から制御信号 S o を受ける。

30

出力段カレントミラー回路 2 b の入力側単位回路 5 b もトランジスタ T r1 とトランジスタ T r2 とからなる単位回路で構成され、トランジスタ T r1 のソースが電源ライン + V cc に接続され、トランジスタ T r2 のドレインが駆動回路 2 a の単位回路 5 a のトランジスタ T P1 のドレインに接続され、駆動回路 2 a により駆動される。

40

なお、入力側単位回路 5 b のトランジスタ T r1 のゲートは、グランド G N D に接続されている。これにより単位回路 5 b のトランジスタ T r1 は、所定のインピーダンスで O N 状態に設定されている。また、ここでは、トランジスタ T r1 のゲートがグランド G N D に接続されているが、このゲートは、グランド G N D に限定されるものではなく、所定のインピーダンスを持って O N 状態にするバイアスラインに接続されていてもよい。

この所定のインピーダンスに設定されている単位回路 5 b のトランジスタ T r1 により、出力段カレントミラー回路 2 b の出力側単位回路 5 c と同じ単位回路を使用して入力側単位回路 5 b を構成でき、出力側単位回路 5 c と動作レベルを合わせることができる。

【 0 0 1 8 】

出力段カレントミラー回路 2 b の出力側単位回路 5 c は、トランジスタ T r1 とトランジス

50

タ T_{r2} とからなる単位回路が p 個並列に接続された回路として構成され、 p 個のトランジスタ T_{r1} のソースが電源 $+V_{cc}$ に接続され、 p 個のトランジスタ T_{r2} のドレインがピン9に接続されている。これの p 個のトランジスタ T_{r1} のゲートは、共通に接続されて制御端子 G_1 に接続され、コントロール回路15から制御信号 S_2 を受ける。なお、この場合、 p 個の平行に接続したトランジスタ T_{r1} と p 個の平行に接続したトランジスタ T_{r2} とのドレインとソースとを接続して p 個平行接続の単位回路が形成されてもよい。

【0019】

出力段カレントミラー回路2bの入力側単位回路5bのトランジスタ T_{r2} のゲートと、出力側単位回路5cのトランジスタ T_{r2} のゲートとは、共通にゲート接続ライン7bにより接続され、この共通のゲート接続ライン7bと電源ライン $+V_{cc}$ との間にはコンデンサCが設けられている。さらに、ゲート接続ライン7bには、駆動回路2aの単位回路5aのトランジスタ T_{r1} のソースが接続されて、コンデンサCの電圧により共通に接続されたゲートが電圧駆動される。

10

ここで、駆動回路2aの単位回路5aのトランジスタ T_{r1} のソースは、この共通のゲート接続ライン7bに接続され、そのドレインは、入力側単位回路5bのトランジスタ T_{r2} のドレインに接続されている。そこで、駆動回路2aのトランジスタ T_{r1} がONすることで、入力側単位回路5bと出力側単位回路5cとがカレントミラー回路となり、カレントミラー動作をする。

【0020】

ピーク電流生成回路3は、トランジスタ T_{r1} とトランジスタ T_{r2} とからなる単位回路5dが n 個(ただし $n > p$)並列に接続された回路として構成され、 n 個のトランジスタ T_{r1} のソースが電源 $+V_{cc}$ に接続され、 n 個のトランジスタ T_{r2} のドレインがピン9に接続されている。これの n 個のトランジスタ T_{r1} のゲートは、共通に接続されて制御端子 G_2 に接続され、コントロール回路15から制御信号 S_2 を受ける。なお、前記と同様に、この場合、 n 個の平行に接続したトランジスタ T_{r1} と n 個の平行に接続したトランジスタ T_{r2} とのドレインとソースとを接続して n 個平行接続の単位回路を形成してもよい。

20

端子 G_4 は、Lowレベル(以下“L”)のリセット信号 RS をコントロール回路15から受ける端子であり、“L”のリセット信号 RS によりスイッチ回路6をOFFするとともに、制御ライン7aに“L”を加えて、駆動回路2aの単位回路のトランジスタ T_{r1} 、 T_{r2} をONにしてコンデンサCの電荷を駆動回路2aのONとなったトランジスタ T_{r1} と、ONとなっている入力側単位回路5bのトランジスタ T_{r1} 、 T_{r2} を経て放電させ、コンデンサCの電圧をリセットする。なお、端子 G_4 は、スイッチ回路6に制御ライン7cを介して接続され、制御ライン7cは、さらに制御ライン7aにバッファアンプ6aを介して接続されている。そこで、端子 G_4 に加えられたリセット信号 RS によりスイッチ回路6をONさせるとともに制御ライン7aを“L”に設定して駆動回路2aの各トランジスタ T_{r1} 、 T_{r2} をONにすることができる。

30

【0021】

次に、図2に従ってカレントミラー電流出力回路2の動作について説明する。なお、制御信号 $S_0 \sim S_2$ とリセット信号 RS は、“L”を有意とし、ここでは、コンデンサCにカレントミラー動作の駆動電圧が一旦記憶されて、実際の電流出力動作は、制御信号 S_1 、 S_2 の発生タイミングに応じて行われるものとする。

40

まず、D/A変換回路4に表示データが設定されて、図2(a)に示すようにラッチパルス L_p に応じて図3のレジスタ16にセットされた後に、図2(b)に示すように一定期間“L”の制御信号 S_0 が発生して制御ライン G_0 が“L”になる。制御信号 S_0 が“L”の期間に駆動回路2aのトランジスタ T_{r1} と T_{r2} がともにONになり、表示データに対応する駆動電流でゲート接続ライン7bが駆動されて、コンデンサCが充電され、これが所定の電圧に設定される。このとき、コンデンサCの電圧を受けて入力側単位回路5bと出力側単位回路5cのトランジスタ T_{r2} はONになるが、それぞれ制御信号 S_1 、 S_2 がHighレベル(以下“H”)となっていて、これらの信号が制御端子 G_1 、 G_2 にそれぞれ

50

加えられているので、出力側単位回路5cとピーク電流生成回路3のトランジスタTr1のゲートが“H”になり、これらトランジスタTr1は、OFFのままになる。その結果、ピン9には電流が供給されない。

【0022】

次に、図2(c)に示すように制御ラインGoが“H”になったタイミングに合わせ、制御信号S1が“L”になると、出力側単位回路5cのトランジスタTr1がONになり、コンデンサCに充電された電圧に従ってONになっている出力側単位回路5cのトランジスタTr2を通してピン9に電流が供給される。これに続いて、図2(d)に示すように制御信号S2が“L”になると、ピーク電流生成回路3のトランジスタTr1もONになり、コンデンサCに充電された電圧に従ってONになっているピーク電流生成回路3のトランジスタTr2を通してピン9に電流がさらに供給される。

10

【0023】

その結果として、制御信号S1, S2の“L”になっている期間に応じて図2(e)に示すような、ピークを持つ駆動波形がピン9に発生して、有機EL素子8が電流駆動される。この場合、出力段カレントミラー回路2bの出力側単位回路5cは、トランジスタTr1がOFFしている限り、出力段駆動回路として無駄な電流が流れないで済む。また、駆動回路2aのトランジスタTr1, Tr2も、制御信号Soを受けてONするタイミングでコンデンサCを充電するための駆動電流を流すだけであるので、これらトランジスタがOFFしている時には、リーク電流等の無駄な駆動電流がほとんど流れないで済む。

ここで、制御信号S1に対する制御信号S2のタイミングは、容量性負荷となる特性を持つ有機EL素子を初期充電して駆動するためのピーク電流を生成するものであれば、前記のようなタイミングに限定されるものではない。

20

なお、図2(f)に示すようにリセット信号RSは、次のカラムラインの駆動の手前のタイミングで発生してコンデンサCの電圧をリセットする。

【0024】

以上説明してきたが、実施例では、制御信号So~S2とリセット信号RSとは、“L”を有意として説明しているが、インバータを介せば“H”有意の制御になる。

また、実施例では、ピーク電流生成回路3もトランジスタTr1とトランジスタTr2とからなる単位回路で構成しているが、これは、必ずしも、単位回路で構成する必要はない。また、このピーク電流生成回路3は、出力段カレントミラー回路に並列に設けなくてもよく、図3と同様に、D/A変換回路4を図3のピーク電流生成回路14を有するD/A変換回路11に置き換えてもよい。

30

【0025】

さらに、実施例では、コンデンサCを設けてカレントミラー出力回路の駆動電圧を一旦記憶して制御信号に応じてピン駆動電流を出力するようにしているが、このコンデンサCを削除して、ピン駆動電流を直接出力するようにしてもよい。この場合にも、出力側単位回路5cには、トランジスタTr1とトランジスタTr2とが設けられているので、上流側のトランジスタTr1がONするタイミングで駆動電流を出力することができる。この場合も出力段カレントミラー回路2bの出力側単位回路5cは、トランジスタTr1がOFFしている限り、出力段駆動回路として無駄な電流が流れないで済む。なお、このときには、駆動回路2aのトランジスタTr1, Tr2も同時にONさせることになるが、このONのタイミングで駆動電流を出力し、後はOFFしているので、この場合もリーク電流等の無駄な駆動電流もほとんど流れないで済む。

40

なお、実施例では、PチャンネルMOSFETトランジスタを主体として構成しているが、実施例のPチャンネル型トランジスタは、Nチャンネル型トランジスタに置き換えることができる。この場合には、電源電圧は負となり、上流に設けたトランジスタは下流に設けることになる。

【0026】

【発明の効果】

以上説明してきたように、この発明にあつては、Pチャンネルの第1のMOSトランジスタ

50

のドレインとPチャンネルの第2のMOSトランジスタのソースとを接続した回路あるいはNチャンネルの第1のMOSトランジスタのドレインとNチャンネルの第2のMOSトランジスタのソースとを接続した回路を単位回路として、この単位回路を多数作成しておき、単位回路を選択的に配線すれば、出力段のカレントミラー回路が構成できる。この単位回路は、2つのMOSトランジスタが直列接続されているので、残りの単位回路の出力段のカレントミラー回路を構成するMOSトランジスタをONさせ、かつ、出力段のカレントミラー回路の出力側回路となる単位回路の共通のゲートとして接続されていない側のトランジスタをONさせれば、ピンに対して駆動電流を発生することができる。

したがって、前記のような単位回路からなる出力段のカレントミラー回路は、ピンを電流駆動しているとき以外は、駆動のためのバイアス電流、ベース電流補正のための電流、リーク電流等もほとんど流れないで済む上に、単位回路で構成できる。

その結果、IC化した場合に電流駆動回路の配線とレイアウトの自由度が増し、その占有面積を低減でき、かつ、低消費電力化が図れるような有機EL駆動回路および有機EL表示装置が容易に実現できる。

【図面の簡単な説明】

【図1】図1は、この発明の有機EL駆動回路を適用した一実施例の電流駆動回路の出力段回路を中心とするブロック図である。

【図2】図2は、有機EL素子の駆動波形の説明図である。

【図3】図3は、先行出願の有機EL駆動回路の一例の説明図である。

【符号の説明】

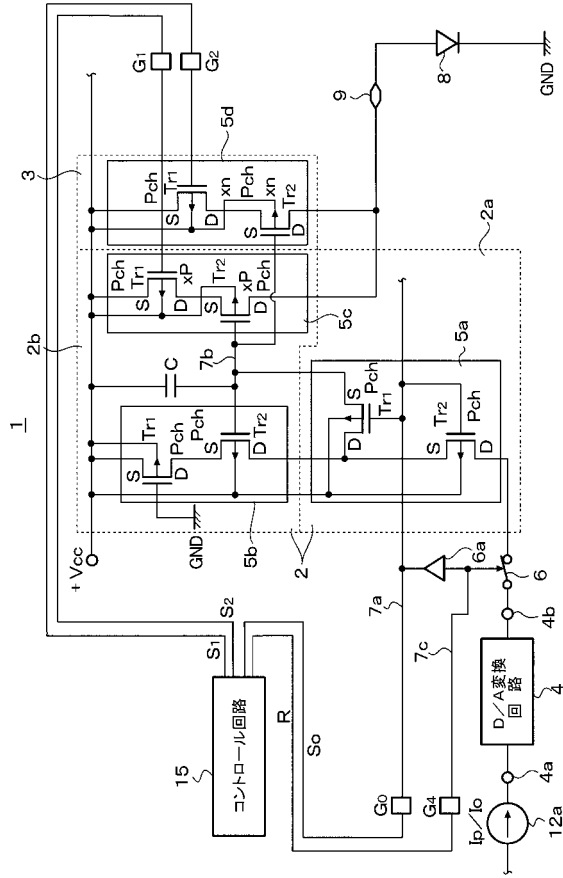
1, 10 ... カラムドライバ、
 2, 13 ... カレントミラー電流出力回路、
 3, 14 ... ピーク電流生成回路、4, 11 ... D/A変換回路、
 8 ... 有機EL素子、9 ... 端子ピン、
 11a ... 入力端子、11b ... 出力端子、
 9 ... ピン、12, 12a ... 定電流源、
 13a ... 駆動レベルシフト回路、
 13b ... 出力段カレントミラー回路、
 14 ... ピーク電流生成回路、
 15 ... コントロール回路、16 ... レジスタ、
 19 ... MPU、
 Tr1 ~ Tr2, TPa ~ TPn-1, TNa ~ TNn-1 ... トランジスタ。

10

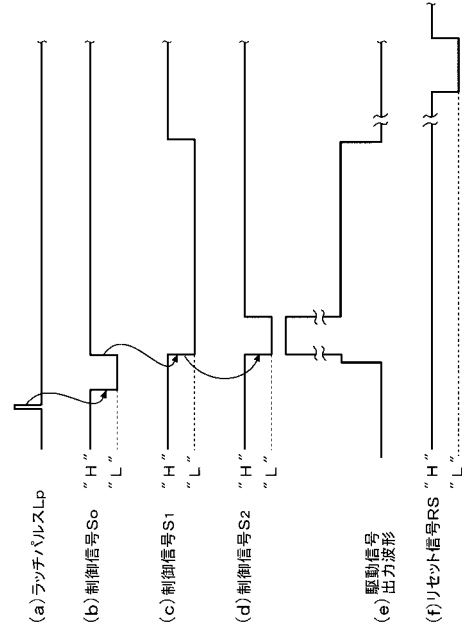
20

30

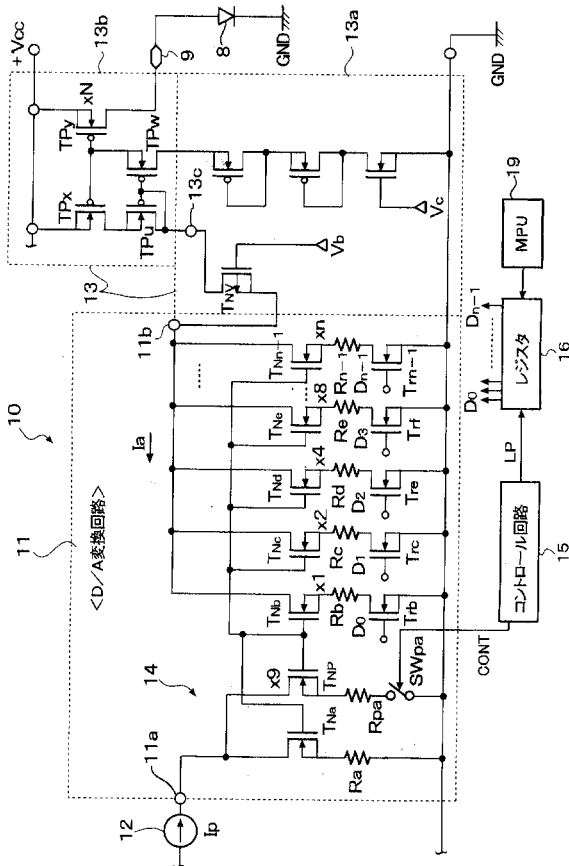
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(56)参考文献 特開2000-56847(JP,A)
特開2000-81920(JP,A)
国際公開第01/06484(WO,A1)
特開平11-282419(JP,A)
特開昭63-169113(JP,A)
特開平10-242812(JP,A)
特開平11-45071(JP,A)
特開2000-122608(JP,A)
特開2001-143867(JP,A)
特開2001-42827(JP,A)
特開2002-55654(JP,A)
特開2000-56727(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G3/30

专利名称(译)	有机EL驱动电路和有机EL显示装置		
公开(公告)号	JP4151882B2	公开(公告)日	2008-09-17
申请号	JP2002120128	申请日	2002-04-23
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
当前申请(专利权)人(译)	ROHM株式会社		
[标]发明人	北原慎二		
发明人	北原 慎二		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3283 G09G3/3216 G09G2310/0248 G09G2310/027		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.623.B G09G3/20.623.R G09G3/20.641.D H05B33/14.A G09G3/3216 G09G3/3233 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB03 3K007/AB18 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC35 3K107/CC43 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD23 5C080/DD25 5C080/DD26 5C080/EE29 5C080/FF03 5C080/FF11 5C080/FF12 5C080/JJ03 5C080/JJ04 5C080/KK07 5C380/AA01 5C380/AB05 5C380/AB06 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA10 5C380/BA11 5C380/CA13 5C380/CA16 5C380/CA34 5C380/CA35 5C380/CE04 5C380/CF06 5C380/CF22 5C380/CF24 5C380/CF26 5C380/CF48 5C380/CF62 5C380/DA02 5C380/HA13		
代理人(译)	梶山 信是 山本富士雄		
助理审查员(译)	上原彻		
其他公开文献	JP2003316319A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有机EL驱动电路和有机EL显示器件，其中当将它们制成IC并且其占用面积和功耗时，电流驱动电路的布线自由度及其布局增加。降低。ZOLUTION：在单元电路中，连接第一MOS晶体管的漏极和第二MOS晶体管的源极，两者都是相同的沟道类型。通过选择性地连接n个单元电路（其中n是等于或大于3的整数）来构成输出级的电流镜。由于在单元电路中串联连接两个MOS晶体管，所以通过导通构成其余单元电路的输出级电流镜电路的MOS晶体管，并通过导通侧面的晶体管，为引脚产生驱动电流。未连接为成为输出级电流镜电路的输出侧电路的单元电路的公共栅极。Z

