

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-31431

(P2016-31431A)

(43) 公開日 平成28年3月7日(2016.3.7)

(51) Int.Cl.			F I			テーマコード (参考)	
G09G	3/30	(2006.01)	G09G	3/30	J	3K107	
G09G	3/20	(2006.01)	G09G	3/20	624B	5C080	
H01L	51/50	(2006.01)	G09G	3/20	642K	5C380	
			G09G	3/20	670L		
			G09G	3/20	670K		

審査請求 未請求 請求項の数 10 O L (全 74 頁) 最終頁に続く

(21) 出願番号 特願2014-153089 (P2014-153089)
 (22) 出願日 平成26年7月28日 (2014.7.28)

(71) 出願人 514188173
 株式会社 J O L E D
 東京都千代田区神田錦町三丁目23番地
 (74) 代理人 100189430
 弁理士 吉川 修一
 (74) 代理人 100190805
 弁理士 傍島 正朗
 (72) 発明者 高原 博司
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC35 CC41 CC42
 EE03 HH04 HH05

最終頁に続く

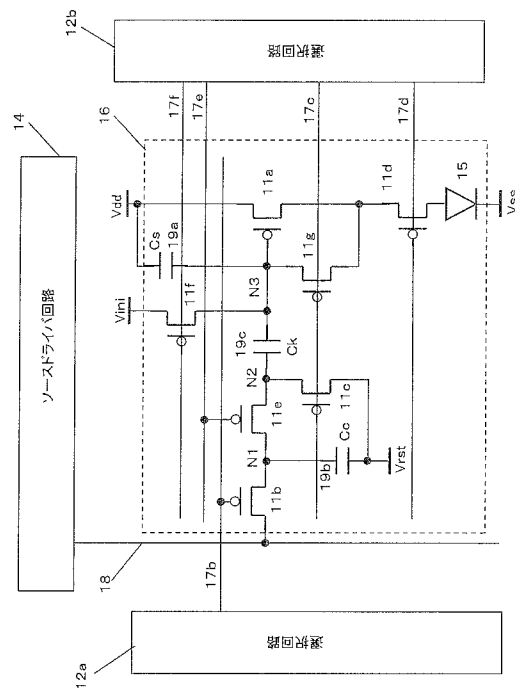
(54) 【発明の名称】 画像表示装置および画像表示装置の駆動方法。

(57) 【要約】

【課題】 映像品質を低下させることなく発熱量を低減することが可能な画像表示装置を提供する。

【解決手段】 ソースドライバ回路14がソース信号線18に出力する映像信号の振幅差が小さくなるように、表示画面のゲート信号線17bの選択順番が求められる。選択回路12aは、求められたゲート信号線17bの選択順番で、画素16行を選択する。ソースドライバ回路14は、選択された画素行のゲート信号線17bに対応させて映像信号を出力し、映像信号は、画素16のコンデンサ19bに書き込まれる。ブランキング期間に、選択回路12bは、全画面のゲート信号線17f、17e、17c、17dを同時にオンオフ制御し、画素回路のオフセットキャンセルを実施する。オフセットキャンセル後、スイッチ用トランジスタ11eをオンさせて、コンデンサ19bの電圧が駆動用トランジスタ11aのゲート端子に印加され、EL素子15に発光電流が供給される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のゲート信号線および複数のソース信号線が形成され、前記複数のソース信号線と前記複数のゲート信号線との交点に配置された複数の画素を有する表示画面と、

第 1 の選択回路と、

第 2 の選択回路と、

映像信号を出力するソースドライバ回路と、

制御回路とを具備し、

前記複数の画素のそれぞれは、駆動用トランジスタと、第 1 のスイッチ用トランジスタと、第 2 のスイッチ用トランジスタと、コンデンサとを有し、

前記複数のゲート信号線のそれぞれには、第 1 のゲート信号線と、第 2 のゲート信号線とが含まれ、

前記第 1 のスイッチ用トランジスタは、前記第 1 のゲート信号線と接続され、

前記第 2 のスイッチ用トランジスタは、前記第 2 のゲート信号線と接続され、

前記第 1 のゲート信号線は、前記第 1 の選択回路に接続され、

前記第 2 のゲート信号線は、前記第 2 の選択回路に接続され、

前記制御回路は、前記表示画面に形成された前記第 1 のゲート信号線の選択順番を求め

、前記第 1 の選択回路は、前記制御回路が求めた前記第 1 のゲート信号線の選択順番に基づき、前記第 1 のゲート信号線を選択して、前記第 1 のスイッチ用トランジスタを動作状態にし、前記ソースドライバ回路が出力する映像信号を、前記コンデンサに印加し、

前記第 2 の選択回路は、前記第 2 のゲート信号線を選択して、前記第 2 のスイッチ用トランジスタを動作状態にし、前記コンデンサに保持された映像信号に基づく電圧を、前記駆動用トランジスタに印加する

画像表示装置。

【請求項 2】

前記複数の画素のそれぞれは、さらに、EL素子を有し、

前記駆動用トランジスタは、前記EL素子に電流を供給し、

前記第 1 のスイッチ用トランジスタは、前記コンデンサに、前記ソースドライバ回路が出力する映像信号を供給し、

前記第 2 のスイッチ用トランジスタは、前記コンデンサに保持された電圧を、前記駆動用トランジスタの供給する

請求項 1 記載の画像表示装置。

【請求項 3】

前記第 1 の選択回路は、

第 1 の選択部と、

第 2 の選択部と、

前記第 1 の選択部を指定する第 1 のイネーブル信号線と、

前記第 2 の選択部を指定する第 2 のイネーブル信号線と、

前記第 1 の選択部と前記第 2 の選択部とに共通な複数の入力信号線とを有する

請求項 1 記載の画像表示装置。

【請求項 4】

前記第 2 の選択回路は、

前記表示画面の複数の画素行の前記第 2 のゲート信号線に、共通した信号を印加する

請求項 1 記載の画像表示装置。

【請求項 5】

前記複数の画素には、第 1 の色の画素と、第 2 の色の画素とが含まれ、

前記第 1 の色の画素および前記第 2 の色の画素は、横ストライプ状に配置されている

請求項 1 記載の画像表示装置。

【請求項 6】

10

20

30

40

50

前記表示画面には、任意の第 1 の画素行と、前記第 1 の画素行の次に選択する第 2 の画素行とが含まれ、

前記制御回路は、前記第 1 の画素行に印加する映像信号の振幅と、前記第 2 の画素行に印加する映像信号の振幅との差が小さくなるように、前記第 2 の画素行を選択する

請求項 1 記載の画像表示装置。

【請求項 7】

複数の画素がマトリックス状に配置された表示画面を有する画像表示装置の駆動方法であって、

前記複数の画素のそれぞれは、信号保持回路と、EL素子と、前記EL素子に電流を供給する駆動用トランジスタとを有し、

ソースドライバ回路がソース信号線に出力する映像振幅の変化から、選択する画素行を決定し、

第 1 の期間において、

前記決定した画素行の画素の前記信号保持回路に、前記ソースドライバ回路が出力する映像信号を保持させ、

第 2 の期間において、

前記信号保持回路に保持された映像信号を、前記駆動用トランジスタに供給する画像表示装置の駆動方法。

【請求項 8】

前記複数の画素のそれぞれは、

コンデンサと、

前記コンデンサに、前記ソースドライバ回路が出力する映像信号を供給するための第 1 のスイッチ用トランジスタと、

前記コンデンサに保持された電圧を、前記駆動用トランジスタの供給する第 2 のスイッチ用トランジスタとを有する

請求項 7 記載の画像表示装置の駆動方法。

【請求項 9】

前記複数の画素には、第 1 の色の画素と、第 2 の色の画素とが含まれ、

前記第 1 の色の画素および前記第 2 の色の画素は、横ストライプ状に配置されている

請求項 7 記載の画像表示装置の駆動方法。

【請求項 10】

選択する画素行の決定では、

任意の画素行に印加される映像信号の第 1 の電圧値と、前記画素行以外の画素行に印加される画素行の第 2 の電圧との電位差の 2 乗を求め、

前記電位差の 2 乗の値が小さくなるように、前記画素行を決定する

請求項 7 記載の画像表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、画像表示装置および画像表示装置の駆動方法に関する。

【背景技術】

【0002】

電流駆動型の発光素子を用いた表示装置として、有機エレクトロルミネッセンス素子（以下、EL素子と記す。）を用いたEL表示パネルが知られている。このEL表示パネルは、視野角特性が良好で、消費電力が少ないという利点を有する。

【0003】

EL表示パネルは、複数の走査線（複数のゲート信号線）、複数の信号線（複数のソース信号線）、複数の表示画素、および、駆動回路等を備えている。複数の表示画素のそれぞれは、ゲート信号線とソース信号線との交差点に配置され、スイッチング素子、容量素子（コンデンサ）、駆動用トランジスタおよびEL素子等を備えている。また、ピーク電

10

20

30

40

50

流等を抑制する方法が検討されている（例えば、特許文献1参照）。

【0004】

EL表示パネルでは、選択された画素の発光輝度を制御するために、映像信号等を出力するソースドライバIC（回路）が配置されている。ソースドライバIC（回路）は、ソース信号線に映像信号を印加する。また、EL表示パネルでは、選択された画素の発光タイミングを制御するために、選択された画素に接続されたゲート信号線にオン電圧またはオフ電圧を印加する。近年、EL表示パネルは、高精細化および大画面化する傾向がある。

【先行技術文献】

【特許文献】

10

【0005】

【特許文献1】特開2005-70426号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、大画面サイズ、高精細な表示パネルを用いたEL表示パネルほど、ソース信号線の負荷容量が大きくなり、書き込み速度が高速になる傾向がある。ソース信号線の負荷容量が大きく、書き込み速度（動作周波数）が速いと、ソース信号線を駆動するソースドライバIC（回路）の発熱量が大きくなる。

【0007】

20

発熱量がソースドライバICの耐熱量を上回ることが予想される場合は、ソースドライバICの破損を防止するため、放熱機構が必要になるという課題がある。また、ソースドライバICの発熱が、EL表示パネルの表示領域に伝熱され、画素のEL素子を劣化させるという課題も発生する。放熱機構が大きいと、パネルモジュールの厚みが厚くなり、EL表示パネル（EL表示ディスプレイ）の薄型という特徴を発揮できなくなる。

【0008】

そこで、本開示は、映像品質を低下させることなく発熱量を低減することが可能な画像表示装置およびその駆動方法を提供する。

【課題を解決するための手段】

【0009】

30

本開示の一態様に係る画像表示装置は、複数のゲート信号線および複数のソース信号線が形成され、前記複数のソース信号線と前記複数のゲート信号線との交点に配置された複数の画素を有する表示画面と、第1の選択回路と、第2の選択回路と、映像信号を出力するソースドライバ回路と、制御回路とを具備するものである。

【0010】

前記複数の画素のそれぞれは、駆動用トランジスタと、第1のスイッチ用トランジスタと、第2のスイッチ用トランジスタと、コンデンサとを有し、前記複数のゲート信号線のそれぞれには、第1のゲート信号線と、第2のゲート信号線とが含まれ、前記第1のスイッチ用トランジスタは、前記第1のゲート信号線と接続され、前記第2のスイッチ用トランジスタは、前記第2のゲート信号線と接続され、前記第1のゲート信号線は、前記第1の選択回路に接続され、前記第2のゲート信号線は、前記第2の選択回路に接続され、前記制御回路は、前記表示画面に形成された前記第1のゲート信号線の選択順番を求め、前記第1の選択回路は、前記制御回路が求めた前記第1のゲート信号線の選択順番に基づき、前記第1のゲート信号線を選択して、前記第1のスイッチ用トランジスタを動作状態にし、前記ソースドライバ回路が出力する映像信号を、前記コンデンサに印加し、前記第1の選択回路は、前記第2のゲート信号線を選択して、前記第2のスイッチ用トランジスタを動作状態にし、前記コンデンサに保持された映像信号に基づく電圧を、前記駆動用トランジスタに印加することを特徴とするものである。

40

【0011】

また、本開示の一態様に係る画像表示装置の駆動方法は、複数の画素がマトリックス状

50

に配置された表示画面を有する画像表示装置の駆動方法である。

【 0 0 1 2 】

前記複数の画素のそれぞれは、信号保持回路と、EL素子と、前記EL素子に電流を供給する駆動用トランジスタを有し、ソースドライバ回路がソース信号線に出力する映像振幅の変化から、選択する画素行を決定し、第1の期間において、前記決定した画素行の画素の前記信号保持回路に、前記ソースドライバ回路が出力する映像信号を保持させ、第2の期間において、前記信号保持回路に保持された映像信号を、前記駆動用トランジスタに供給することを特徴とするものである。

【 発明の効果 】

【 0 0 1 3 】

本開示の画像表示装置およびその駆動方法によれば、映像品質を低下させることなく発熱量を低減できる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 実施の形態に係るELパネルの画素構成の一例を示す回路図である。

【 図 2 】 実施の形態に係るELパネルの画素の動作を説明するタイミングチャート図である。

【 図 3 】 実施の形態に係るELパネルの画素の動作を説明するタイミングチャート図である。

【 図 4 】 EL表示パネルのソース信号線の負荷容量の一例を示す説明図である。

【 図 5 】 画像の各行の輝度値とソースドライバ回路の出力電圧との関係を示す説明図である。

【 図 6 】 実施の形態に係るEL表示装置の構成の一例を示す構成図である。

【 図 7 】 実施の形態に係るELパネルの画素の動作を説明する説明図である。

【 図 8 】 実施の形態に係るELパネルの画素の動作を説明する説明図である。

【 図 9 】 実施の形態に係るELパネルの画素の動作を説明する説明図である。

【 図 1 0 】 実施の形態に係るELパネルの画素の動作を説明する説明図である。

【 図 1 1 】 実施の形態に係るELパネルの画素の動作を説明する説明図である。

【 図 1 2 】 実施の形態に係るELパネルの画素の動作を説明する説明図である。

【 図 1 3 】 実施の形態に係るEL表示装置の構成の一例を示す構成図である。

【 図 1 4 】 実施の形態に係るEL表示装置の構成の一例を示す構成図である。

【 図 1 5 】 実施の形態に係るEL表示装置の構成の一例を示す構成図である。

【 図 1 6 】 実施の形態に係るEL表示装置の構成の一例を示す構成図である。

【 図 1 7 】 実施の形態に係るEL表示装置の構成の一例を示す構成図である。

【 図 1 8 】 実施の形態に係るEL表示装置の構成の一例を示す構成図である。

【 図 1 9 】 実施の形態に係るEL表示装置の画素配置を示す説明図である。

【 図 2 0 】 実施の形態に係るEL表示装置の画素配置を示す説明図である。

【 図 2 1 】 実施の形態に係るELパネルの画素構成の一例を示す回路図である。

【 図 2 2 】 実施の形態に係るELパネルの画素構成の一例を示す回路図である。

【 図 2 3 】 実施の形態に係るELパネルの画素構成の一例を示す回路図である。

【 図 2 4 】 実施の形態に係るELパネルの画素構成の一例を示す回路図である。

【 図 2 5 】 実施の形態に係るELパネルの画素の動作を説明する説明図である。

【 図 2 6 】 実施の形態に係るEL表示装置の構成の一例を示す構成図である。

【 図 2 7 】 実施の形態に係るEL表示装置の駆動方法を説明する説明図である。

【 図 2 8 】 実施の形態に係るEL表示装置の駆動方法を説明する説明図である。

【 図 2 9 】 実施の形態に係るEL表示装置の駆動方法を説明する説明図である。

【 図 3 0 】 従来のEL表示装置の駆動方法を説明する説明図である。

【 図 3 1 】 実施の形態に係るEL表示装置の駆動方法を説明する説明図である。

【 図 3 2 】 実施の形態に係るELパネルの画素構成の一例を示す回路図である。

【 図 3 3 】 実施の形態に係るELパネルの画素の動作を説明するタイミングチャート図である。

10

20

30

40

50

ある。

【図 3 4】実施の形態に係る E L 表示装置の構成の一例を示す構成図である。

【図 3 5】実施の形態に係る E L 表示装置の構成の一例を示す構成図である。

【図 3 6】実施の形態に係る E L パネルの画素構成の一例を示す回路図である。

【図 3 7】実施の形態に係る E L パネルの画素の動作を説明するタイミングチャート図である。

【図 3 8】実施の形態に係る E L 表示装置の構成の一例を示す構成図である。

【図 3 9】実施の形態に係る E L パネルの画素構成の一例を示す回路図である。

【図 4 0】実施の形態に係る E L パネルの画素の動作を説明するタイミングチャート図である。

10

【図 4 1】表示画面に表示される画像の一例を示す図である。

【図 4 2】表示画面に表示される画像の一例を示す図である。

【図 4 3】従来の駆動方式において表示画像が書き換えられている状態を説明する図である。

【図 4 4】実施の形態に係る E L 表示装置の駆動方法による表示画像の書き換え状態および表示状態を説明する図である。

【図 4 5】実施の形態に係る E L 表示装置の駆動方法を説明する説明図である。

【図 4 6】実施の形態に係る E L 表示装置の駆動方法を説明する説明図である。

【図 4 7】実施の形態に係る E L 表示装置の駆動方法を説明する説明図である。

【図 4 8】実施の形態に係る E L 表示装置の構成の一例を示す構成図である。

20

【図 4 9】実施の形態に係る E L 表示装置の構成の一例を示す構成図である。

【図 5 0】E L 表示装置の外観の一例を示す外観図である。

【図 5 1】E L 表示装置の外観の一例を示す外観図である。

【図 5 2】E L 表示装置の外観の一例を示す外観図である。

【発明を実施するための形態】

【0015】

(本発明の基礎となった知見)

本発明者は、「背景技術」の欄において記載した E L 表示パネルに関し、以下の問題が生じることを見出した。

【0016】

30

近年、携帯電話、スマートフォンに用いる表示パネルでは、高精細化が進んでいる。前述したように、高精細な表示パネルでは、ゲート信号線、画素数が多くなり、寄生容量が増加するため、ソース信号線の負荷容量が大きくなる。したがって、ソース信号線を充放電するソースドライバ IC の発熱量が大きくなる傾向にある。また、E L 表示パネルでは、4 K 2 K パネル（画素数が 4 K × 2 K 以上のパネル）あるいは、8 K 4 K パネル等、高精細の表示パネルほど、1 画素行の選択期間が短くなる。したがって、ソースドライバ IC から出力する映像信号の変化速度（周波数）が速くなり、ソースドライバ IC の発熱量が大きくなる。

【0017】

(本開示の形態における画像表示装置の動作)

40

本開示の形態における画像表示は、映像品質を低下させることなくソースドライバ回路の発熱量を低減できる画素回路および E L 表示装置を提供する。その E L 表示装置の特徴的な動作は、次の通りである。

【0018】

ソースドライバ回路 1 4 がソース信号線 1 8 に出力する映像信号の振幅差が小さくなるように、T C O N 1 4 1（制御回路）によって、表示画面のゲート信号線 1 7 b（第 1 のゲート信号線）の選択順番が求められる。つまり、制御回路は、表示画面に形成された第 1 のゲート信号線の選択順番を求める。

【0019】

そして、選択回路 1 2 a（第 1 の選択回路）は、求められたゲート信号線 1 7 b の選択

50

順番で、画素 16 行を選択する。ソースドライバ回路 14 は、選択された画素行のゲート信号線 17 b に対応させて映像信号を出力し、映像信号は、画素 16 のコンデンサ 19 b に書き込まれる。つまり、第 1 の選択回路は、制御回路が求めた第 1 のゲート信号線を選択順番に基づき、第 1 のゲート信号線を選択して、第 1 のスイッチ用トランジスタを動作状態にし、ソースドライバ回路が出力する映像信号を、コンデンサに印加する。

【0020】

ブランキング期間に、選択回路 12 b (第 2 の選択回路) は、全画面のゲート信号線 17 f、17 e、17 c、17 d (第 2 のゲート信号線) を同時にオンオフ制御し、画素回路のオフセットキャンセルを実施する。オフセットキャンセル後、スイッチ用トランジスタ 11 e をオンさせて、コンデンサ 19 b の電圧が駆動用トランジスタ 11 a のゲート端子に印加される。表示期間に、駆動用トランジスタ 11 a に印加された電圧に基づいて、EL 素子 15 に発光電流を供給する。つまり、第 2 の選択回路は、第 2 のゲート信号線を選択して、第 2 のスイッチ用トランジスタを動作状態にし、コンデンサに保持された映像信号に基づく電圧を、駆動用トランジスタに印加する。

10

【0021】

(ソース信号線の負荷モデル)

図 4 は、EL 表示パネルのソース信号線 18 の負荷容量の一例を示す説明図である。同図に示されたソースドライバ回路 14 の出力電力 P_s は、 $P_s = K \cdot C \times V \times V \times F$ で示される。ここで、 K は比例定数、 C はソース信号線 18 の寄生容量、 V は映像振幅電圧の変化電圧 (電位差)、 F は 1 画素行の選択時間を換算した周波数である。したがって、ソースドライバ IC の出力電力 P_s は、ソース信号線 18 の寄生容量、映像振幅電圧の変化電圧の 2 乗、1 画素行の選択時間を換算した周波数に比例する。フレーム周波数が 120 Hz、4K2K の表示パネルであれば、画素行数が 2160 行である。したがって、 $F = 120 \times 2160 / 2$ で、約 130 kHz である。

20

【0022】

高精細な表示パネルを用いた EL 表示パネルほど、ソース信号線 18 の負荷容量 C が大きくなり、かつ、書き込み速度 (F に対応) が高速になる傾向がある。また、充放電能力は、電位差 V の 2 乗に比例するため、当該電位差の影響が大きい。

【0023】

8K4K パネルでは、4K2K パネルに比較して、画素行数が 2 倍となるため、フレームレートが同一であれば、ソースドライバ回路 14 に必要とされる駆動能力は、通常のソースドライバ回路 14 の 2 倍になる。

30

【0024】

(ソースドライバ回路の信号振幅)

図 5 は、画像の各行の輝度値とソースドライバ回路 14 の出力電圧との関係を示す図である。図 5 の左側には、パネルの表示画像が模式的に示されている。図 5 の表示画像は、1 画素行白黒横ストライプ画像である。また、図 5 の右側には、ソース信号線の出力電圧 (信号振幅) が示されている。 S_{min} は、最小階調電圧 (黒表示) であり、 S_{max} は最大階調電圧 (白表示) を示す。

40

【0025】

図 5 の右側に示すグラフにおいて、横軸はソースドライバ回路 14 の出力電圧を示す軸であり、縦軸は時間 (下方向が+) を示す。したがって、縦軸は書き込みの順序を示す軸である。表示画像が 1 画素行白黒横ストライプ画像のため、ソースドライバ回路 14 が出力する電圧は、1 画素行ごとに S_{max} および S_{min} へと変化する。

【0026】

図 5 に示すように、輝度値が最大となる白色の画素で構成される画素行と、輝度値が最小となる黒色の画素で構成される画素行とが交互に配置されている場合、ソースドライバ回路 14 の出力電圧は最大となる。つまり、1 画素行で最大電圧 S_{max} と最小電圧 S_{min} とを繰り返すため、電位差 $V (= S_{max} - S_{min})$ は最大となる。したがって、ソースドライバ回路 14 の 1 端子あたりの電力は最大となる。

50

【0027】

ソースドライバ回路14が有するソースドライバICがソース信号線に出力する映像信号の振幅電圧が大きくなると、ソースドライバICの発熱量が増大する。発熱量が大きいと、ソースドライバICが熱破壊されて、正常な動作が行えなくなる。そのため、ソースドライバICを冷却するための放熱機構が必要となる。このため従来が表示装置のように放熱機構を備えた場合、EL表示パネルが有する放熱に必要な部品点数が増大するため、パネルの薄型化が困難になるという問題が発生する。

【0028】

(TCON等の動作)

本実施の形態におけるEL表示装置では、TCON141(図6参照)は、ソースドライバ回路(ソースドライバIC)14が出力する電圧信号振幅が小さくなるように、選択する画素行の順番を決定する。

10

【0029】

TCON141は、映像信号を印加する画素行の順番を決定する。選択回路12aは、決定した順番に、ゲート信号線17bにオン電圧(選択電圧)を印加し、該当の画素行のスイッチ用トランジスタ11b(第1のスイッチ用トランジスタ)をオンさせる。ソースドライバ回路(ソースドライバIC)14は映像信号をソース信号線18に出力し、選択回路12aが選択した画素16のコンデンサ19bに、映像信号を書き込む。

【0030】

ブランキング期間(非表示期間)に、表示画面51の画素16のスイッチ用トランジスタ11cをオンさせ、駆動用トランジスタ11aのゲート端子に電圧Vrstを書き込んだ後、スイッチ用トランジスタ11eをオンさせてコンデンサ19bに保持された映像信号をコンデンサ19aにコピーする(図1等を参照のこと)。

20

【0031】

上述したように、ソース信号線の充放電能力は、 CV^2F で決まるが、ソース信号線18の負荷容量Cおよび周波数Fは、ELパネルの仕様である程度決まる。上記構成の表示装置では、選択する画素行を並べ替えることにより、電圧差(ソースドライバ回路14から出力される映像信号の変化電圧)(V)を抑えるので、ソースドライバ回路(ソースドライバIC)14に要求される充放電能力を小さく抑えることが可能になる。また、ソース信号線18の負荷容量を充放電する電力を低減することができ、ソースドライバ回路14の発熱を抑制することができる。

30

【0032】

(本発明の実施の形態)

以下、実施の形態に係る画像表示装置およびその駆動方法について、図面を参照しながら具体的に説明する。

【0033】

なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップの順序などは、一例であり、本開示を限定する主旨ではない。

【0034】

また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

40

【0035】

また、各図面は理解を容易するために、また、作図を容易にするために、省略、拡大あるいは縮小した箇所がある。また、同一番号または、記号等を付した箇所は、同一もしくは類似の形態もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用などを有している。

【0036】

また、本明細書に記載した実施例、記載事項は、相互に組み合わせることができる。また、本発明の表示パネル、駆動方式は、タブレット、テレビ、スマートフォンなどの機器

50

に適用することができる。

【0037】

本実施の形態のEL表示装置は、画像表示装置の一例であり、ソースドライバICの出力電力が小さくなるように、ゲート信号線の選択順序を並び替える（選択する画素行を並び替える。選択する画素行の順番を変更する）。さらに、ゲート信号線の選択順序に伴う映像品質の低下を防止するために、表示画素に、書き込み処理と表示処理とを切り離して実行できる画素あるいはパネル構成を採用している。また、ブランキング期間あるいは非表示期間に、全表示画面を一括して表示画像を変化させる。映像信号の書き込み処理を行っている画素であっても、EL素子には、書き込み前の映像信号に基づいて駆動用トランジスタから電流が供給できる構成を採用している。

10

【0038】

（画像表示装置の構成）

本実施の形態に係るEL表示装置の構成について、図1および図6を基に説明する。図6は、実施の形態に係るEL表示装置の構成の一例を示す図である。図6に示すように、本実施の形態に係るEL表示装置は、表示パネル（ELパネル）61と、ソースドライバ回路14と、選択回路12（12a、12b）と、TCON（タイミングコントローラ、信号処理回路、メモリ）141とを備える。

【0039】

選択回路12は、画素16のトランジスタ11（11a～11f）を形成するプロセスを用いて、画素回路と同時に形成されている。ソースドライバ回路14は、半導体チップからなるICであり、表示パネル61にCOG技術を用いて実装されている。

20

【0040】

選択回路12aは、第1の選択回路の一例であり、表示画面51に左辺に形成されている。選択回路12bは、第2の選択回路の一例であり、表示画面51に右辺に形成されている。なお、選択回路12aと12bとは形成位置を入れ替えてもよいことは言うまでもない。選択回路12aの具体例を図14、図15に図示している。また、選択回路12bの具体例を図16に図示している。画素16の画素回路16の具体例を図1に図示している。

【0041】

選択回路12aは、第1のゲート信号線である画素16のゲート信号線17bにオン電圧（選択電圧）または、オフ電圧（非選択電圧）を印加する。ゲート信号線17bには、画素16の駆動用トランジスタ11aに映像信号を供給するスイッチ用トランジスタ11bが接続されている。ゲート信号線17bにオン電圧を印加することにより、ソースドライバ回路14からソース信号線18に供給された映像信号が、スイッチ用トランジスタ11bを介して供給される。

30

【0042】

TCON141は、制御回路の一例であり、フレームメモリ（図示せず）を有する。映像信号（映像データ）は、前記フレームメモリに蓄積され、蓄積された映像信号（映像データ）を演算して、各ソース信号線に出力される映像振幅差を求める。また、映像信号の振幅差が、小さくなるように、選択する画素行の順番を求める。求めた順番により、選択回路12aを制御する。

40

【0043】

ブランキング期間には、選択回路12bは、第2のゲート信号線であるゲート信号線17f、17e、17c、17dに選択電圧または非選択電圧を印加し、画素回路16の各トランジスタ11を制御する。

【0044】

各ゲート信号線のオンオフ制御は、図6に図示するように、ソースドライバ回路14が、選択回路12（12a、12b）を制御することにより実施する。しかし、本発明はこれに限定するものではなく、TCON141から、直接に、選択回路12（12a、12b）を制御してもよいことは言うまでもない。

50

【0045】

選択回路12(12a、12b)は、パネル16に低温ポリシリコン技術で、表示パネル61(ガラス基板、プラスチック基板)内に内蔵させるとして説明をするが、これに限定するものではない。たとえば、選択回路12を半導体チップで構成し、表示パネル61にCOG技術などを用いて、実装してもよい。また、選択回路12をソースドライバ回路14、またはTCON141内に内蔵させてもよい。

【0046】

ソースドライバ回路14は、半導体チップからなるICであるとして説明するが、本発明はこれに限定するものではない。たとえば、表示画素16を構成するトランジスタと同一プロセスで形成された内蔵ソースドライバ回路であってもよい。つまり、表示パネル61内に、ソースドライバ回路14を内蔵させてもよい。

10

【0047】

表示パネル61は、行毎に配置された複数のゲート信号線17と、列毎に配置された複数のソース信号線18と、表示画面51(表示部に相当)と、ガラス基板とを備える。表示画面51は、ゲート信号線17とソース信号線18との交差点のそれぞれに行列状に配置された複数の表示画素16を備える。ガラス基板あるいはプラスチック基板には、表示画素16と選択回路12(12a、12b)、ゲート信号線17、ソース信号線18が形成されている。

【0048】

表示画面51は、映像を表示するための領域であり、複数の表示画素16は、ユーザーが視認できる位置にマトリクス状に配置されている。

20

【0049】

(表示画素の構成)

表示画素16は、R(赤)G(緑)B(青)の3原色のいずれか1つに対応している。RGBの3つの表示画素16のセットで、1つの画素が構成されている。同じ画素を構成する複数の表示画素16は、それぞれ隣接して配置されている。なお、表示画素16は、R(赤)G(緑)B(青)、W(白)であってもよい。その他、黄(Y)、M(マゼンダ)、C(シアン)の表示画素を形成してもよい。

【0050】

本実施の形態の表示画素16は、電圧信号の書き込みと、EL素子の発光とを独立して行うことができる構成となっている。このように構成することにより、1枚のフレームにおいて、ゲート信号線の選択順番がばらばらな状態であっても、表示の切り替えは全ての表示画素16において同時(たとえば、ブランキング期間)に行うことが可能になる。このため、本実施の形態のEL表示装置では、2つのフレームが混在して表示されることがなく、映像品質の低下を防止することが可能になる。

30

【0051】

図1は、実施の形態に係る表ELパネルの画素構成の一例を示す回路図である。同図に示すように、表示画素16は、スイッチ用トランジスタ11b~11fと、コンデンサ19b、19cおよび19aと、駆動用トランジスタ11aと、EL素子(発光素子)15とを備える。

40

【0052】

スイッチ用トランジスタ11b~11f、駆動用トランジスタ11aは、Pチャネル型MOSトランジスタである。スイッチ用トランジスタ11b~11fにより、コンデンサ19bに対し電圧信号の書き込みを行う書き込み動作、コンデンサ19a、19cあるいは駆動用トランジスタ11aのゲート端子電圧をリセットするリセット動作、コンデンサ19cにコンデンサ19bに書き込まれた映像信号(電圧信号)をコピーするコピー動作、および、EL素子15の発光を行う発光動作を行わせることができる。

【0053】

スイッチ用トランジスタ11bは、表示画素16の選択および非選択を切り替えるスイッチ回路の一例であり、Pチャネル型MOSトランジスタで構成されている。スイッチ用

50

トランジスタ 11 b は、ゲート信号線 17 b に印加される選択信号(オン電圧)に応じて、ソース信号線 18 とノード N 1 との間の導通および非導通を切り替える。スイッチ用トランジスタ 11 b がオンすることにより、映像信号に対応する電圧を、コンデンサ 19 b に印加し、コンデンサ 19 b は印加された電圧を保持する。

【0054】

スイッチ用トランジスタ 11 e は、コンデンサ 19 b とコンデンサ 19 c との接続および非接続を切り替えるスイッチ回路の一例であり、ゲート信号線 17 e に印加される信号に応じて、ノード N 1 とノード N 2 との間の導通および非導通を切り替える。スイッチ用トランジスタ 11 e がオン状態となることにより、コンデンサ 19 b の保持された電圧(電荷)が、ノード N 2 にコピーされ、ノード N 2 の電位変化が、ノード N 3 に伝達されて駆動用トランジスタ 11 a のゲート端子電位として 1 フレームの期間、保持される。

10

【0055】

スイッチ用トランジスタ 11 c は、ゲート信号線 17 c に印加される信号に応じて、ノード N 2 に電圧 V_{rst} を入力するか否かを切り替える。電圧 V_{rst} は、コンデンサ 19 c の一方の端子電圧を基準電圧に設定する電圧である。電圧 V_{rst} は、映像信号の基準となる。

【0056】

電圧 V_{rst} は、駆動用トランジスタ 11 a が P チャンネルトランジスタの場合は、アノード電圧 V_{dd} の電位により設定する。また、映像信号の低階調側の電位により設定する。

20

【0057】

スイッチ用トランジスタ 11 d は、駆動用トランジスタ 11 a と E L 素子 15 との接続および非接続を切り替えるスイッチ回路の一例であり、ゲート信号線 17 d に印加される信号に応じて、駆動用トランジスタ 11 a による E L 素子 15 への発光電流の供給と非供給とを切り替える。スイッチ用トランジスタ 11 d がオンすることにより、駆動用トランジスタ 11 a からの発光電流が E L 素子 15 に供給される。

【0058】

なお、トランジスタ 11 (11 a ~ 11 g) は、ゲート端子、ソース端子、ドレイン端子を有する。トランジスタ 11 は、双方向の素子であるため、ソース端子とドレイン端子は入れ替えてもよい。本明細書では、P チャンネルトランジスタでは、電流の入力側をソース端子、出力側をドレイン端子と呼ぶ。N チャンネルトランジスタでは、電流の入力側をドレイン端子、出力側をソース端子と呼ぶ。ただし、ソース端子、ドレイン端子の名称は便宜上のものであり、名称は入れ替えてもよい。また、第 1 の端子、第 2 の端子と呼んでもよいことは言うまでもない。トランジスタ 11 は、ゲート端子と、第 1 の端子(ソース端子またはドレイン端子)と、第 2 の端子(ドレイン端子またはソース端子)を有する。

30

【0059】

本実施の形態における画素回路において、主として、トランジスタ 11 (11 a ~ 11 g) は P チャンネルトランジスタで構成しているが、これに限定するものではなく、トランジスタ 11 (11 a ~ 11 g) は N チャンネルトランジスタに置き換えてもよい。たとえば、図 32 の画素回路においても、N チャンネルトランジスタで構成してもよいことは言うまでもない。

40

【0060】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0061】

スイッチ用トランジスタ 11 f は、駆動用トランジスタ 11 a のゲート端子に、初期化電圧 V_{ini} を印加するものである。初期化電圧 V_{ini} は、駆動用トランジスタ 11 a をオン状態にする電圧である。 V_{ini} 電圧は、アノード電圧 V_{dd} および駆動用トランジスタ 11 a のオフセット電圧を考慮して設定される。

50

【0062】

駆動用トランジスタ11aがPチャンネルトランジスタの場合、初期化電圧 V_{ini} は、 $(V_{dd} - 3)(V) > V_{ini}(V) > (V_{dd} - 12)(V)$ の範囲で設定される。たとえば、アノード電圧 $V_{dd} = 5(V)$ であれば、 $2(V) > V_{ini}(V) > -7(V)$ となる。

【0063】

なお、アノード電圧 V_{dd} は、 $12(V)$ 以下、 $3(V)$ 以上の電圧範囲である。また、カソード電圧 V_{ss} は、 $0(V)$ 以下、 $-10(V)$ の電圧範囲である。

【0064】

本開示の形態における実施例では、アノード電圧 $V_{dd} = 5(V)$ 、カソード電圧 $V_{ss} = -5(V)$ としている。また、初期化電圧 $V_{ini} = -1(V)$ 、リセット電圧 $V_{rst} = 3(V)$ として説明をする。

10

【0065】

駆動用トランジスタ11aのゲート端子に初期化電圧 V_{ini} を印加することにより、駆動用トランジスタ11aは、オン状態にすることができ、駆動用トランジスタ11aのオフセットキャンセル動作を実施することができる。スイッチ用トランジスタ11fは、ドレイン端子が、ノードN3(駆動用トランジスタ11aのゲート端子)に接続され、ソース端子が、初期化電圧 V_{ini} が印加された電極などと接続されている。

【0066】

駆動用トランジスタ11aは、Pチャンネル型MOSトランジスタであり、コンデンサ19aに書き込まれた電圧信号、あるいは駆動用トランジスタ11aのゲート端子に保持された電圧の大きさに応じて、発光電流をEL素子15に供給する。

20

【0067】

駆動用トランジスタ11aのゲート端子はノードN3に接続され、駆動用トランジスタ11aのソース端子はアノード電極 V_{dd} に接続され、駆動用トランジスタ11aのドレイン端子はスイッチ用トランジスタ11dのソース端子と接続されている。

【0068】

EL素子15は、駆動用トランジスタ11aから供給される発光電流に応じて発光する素子である。EL素子15は、カソード電極にカソード電圧 V_{ss} が印加され、アノード電極がスイッチ用トランジスタ11dのドレイン端子に接続されている。なお、EL素子15は、低分子材料で形成されたEL素子でも、高分子材料で形成されたEL素子のいずれでもよい。

30

【0069】

コンデンサ19bは、ソースドライバ回路14から出力される映像信号(電圧信号)が書き込まれる書き込み用コンデンサ(つまり、信号保持回路)の一例であり、一端がノードN1に接続され、他端にリセット電圧 V_{rst} が入力される。コンデンサ19bは、映像信号に基づく電圧あるいは電荷を1フレーム期間、保持する。

【0070】

リセット電圧 V_{rst} は、映像信号の基準位置となる電圧である。駆動用トランジスタ11aが、Pチャンネルトランジスタの場合で、かつ、駆動用トランジスタ11aのソース端子が、アノード電圧 V_{dd} に接続されている場合、映像信号の0階調目(黒表示)に対応する電圧は、アノード電圧に近い電圧となる。

40

【0071】

本開示の形態におけるリセット電圧 V_{rst} は、映像信号の0階調目を基準として設定される。本開示の形態における実施例では、リセット電圧 V_{rst} は、 $(V_{dd} + 1)(V) > V_{rst}(V) > (V_{dd} - 5)(V)$ に設定される。たとえば、アノード電圧 $V_{dd} = 5(V)$ であれば、 $6(V) > V_{rst}(V) > 0(V)$ となる。

【0072】

スイッチ用トランジスタ11eがオンすることにより、ノードN2には、コンデンサ19b(C_c)の電圧信号がコピーされる(コンデンサ19bの電荷を受け付ける)。コン

50

デンサ 19 c の一端子が接続されたノード N 2 の電圧変化により、ノード N 3 の電圧が変化する。変化した電圧および駆動用トランジスタ 11 a のオフセットキャンセル電圧は、コンデンサ 19 a に保持される。駆動用トランジスタ 11 a は、ノード N 3 の電圧に基づいて、EL 素子 15 に発光電流を供給する。

【0073】

コンデンサ 19 a、19 c は、駆動用トランジスタ 11 a のゲート端子を、1 フレームの期間の間、電圧を保持する。コンデンサ 19 c の一端子はノード N 2 に接続され、他端子はノード N 3 に接続されている。また、コンデンサ 19 a (Cs) の一端子はノード N 3 に接続され、他端子はアノード電圧 Vdd が印加された電極などに接続されている。

【0074】

コンデンサ 19 a は、駆動用トランジスタ 11 a のゲート端子容量でもよい。つまり、コンデンサ 19 c (Ck) および駆動用トランジスタ 11 a のゲート容量で、1 フレーム期間の間、電圧を保持できるのであれば、コンデンサ 19 a は省略することができる。

【0075】

スイッチ用トランジスタ 11 g は、駆動用トランジスタ 11 a のゲート端子とドレイン端子間を短絡または開放を制御するトランジスタである。スイッチ用トランジスタ 11 g のソース端子は、駆動用トランジスタ 11 a のゲート端子と接続され、スイッチ用トランジスタ 11 g のドレイン端子は、駆動用トランジスタ 11 a のドレイン端子と接続されている。スイッチ用トランジスタ 11 g がオンすることにより、駆動用トランジスタ 11 a のオフセットキャンセル動作を実施することができる。

【0076】

スイッチ用トランジスタ 11 f のゲート端子は、ゲート信号線 17 f と接続されている。ゲート信号線 17 f の選択電圧 (オン電圧) が印加されることにより、スイッチ用トランジスタ 11 f は、動作 (オン) 状態となり、ゲート信号線 17 f の非選択電圧 (オフ電圧) が印加されることにより、スイッチ用トランジスタ 11 f は、非動作 (オフ) 状態となる。

【0077】

スイッチ用トランジスタ 11 e のゲート端子は、ゲート信号線 17 e と接続されている。ゲート信号線 17 e の選択電圧 (オン電圧) が印加されることにより、スイッチ用トランジスタ 11 e は、動作 (オン) 状態となり、ゲート信号線 17 e の非選択電圧 (オフ電圧) が印加されることにより、スイッチ用トランジスタ 11 e は、非動作 (オフ) 状態となる。

【0078】

スイッチ用トランジスタ 11 b のゲート端子は、ゲート信号線 17 b と接続されている。ゲート信号線 17 b の選択電圧 (オン電圧) が印加されることにより、スイッチ用トランジスタ 11 b は、動作 (オン) 状態となり、ゲート信号線 17 b の非選択電圧 (オフ電圧) が印加されることにより、スイッチ用トランジスタ 11 b は、非動作 (オフ) 状態となる。

【0079】

スイッチ用トランジスタ 11 d のゲート端子は、ゲート信号線 17 d と接続されている。ゲート信号線 17 d の選択電圧 (オン電圧) が印加されることにより、スイッチ用トランジスタ 11 d は、動作 (オン) 状態となり、ゲート信号線 17 d の非選択電圧 (オフ電圧) が印加されることにより、スイッチ用トランジスタ 11 d は、非動作 (オフ) 状態となる。

【0080】

スイッチ用トランジスタ 11 c、11 g のゲート端子は、ゲート信号線 17 c と接続されている。ゲート信号線 17 c の選択電圧 (オン電圧) が印加されることにより、スイッチ用トランジスタ 11 c、11 g は、動作 (オン) 状態となり、ゲート信号線 17 c の非選択電圧 (オフ電圧) が印加されることにより、スイッチ用トランジスタ 11 c、11 g は、非動作 (オフ) 状態となる。

10

20

30

40

50

【0081】

ゲート信号線17bは、選択回路12aに接続され、選択回路12aは、ゲート信号線17bにオン電圧またはオフ電圧を印加する。

【0082】

ゲート信号線17f、17e、17c、17dは、選択回路12bに接続され、選択回路12bは、ゲート信号線17f、17e、17c、17dにオン電圧またはオフ電圧を印加する。

【0083】

なお、駆動用トランジスタ11aおよびスイッチ用トランジスタ11b~11g、薄膜トランジスタ(TFT)として説明するが、これに限定するものではない。FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。あるいはこれらを組み合わせて機能する素子であってもよい。

10

【0084】

また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。

【0085】

なお、トランジスタは、Nチャンネル、Pチャンネルのトランジスタの両方とも、LDD(Lightly Doped Drain)構造を採用することが好ましい。

20

【0086】

また、トランジスタは、高温ポリシリコン(HTPS: High-temperature polycrystalline silicon)、低温ポリシリコン(LTPS: Low-temperature polycrystalline silicon)、連続粒界シリコン(CGS: Continuous grain silicon)、透明アモルファス酸化物半導体(TAOS: Transparent Amorphous Oxide Semiconductors、IZO)、アモルファスシリコン(AS: Amorphous silicon)、赤外線RTA(RTA: Rapid thermal annealing)で形成したもののうち、いずれでもよい。

30

【0087】

特に、低温ポリシリコン(LTPS)を採用することが好ましい。低温ポリシリコンは、トランジスタはトップゲート構造であり寄生容量が小さく、NチャンネルおよびPチャンネルのトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。

【0088】

図1では、表示画素16を構成するすべてのトランジスタはPチャンネルで構成しているが、表示画素16のトランジスタをPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよい。また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

40

【0089】

トランジスタはトップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減し、トップゲートのゲート電極パターンが、遮光層となり、EL素子から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できる。

【0090】

ゲート信号線17またはソース信号線18、もしくはゲート信号線17およびソース信号線18の両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。これにより、信号線の配線抵抗を低減でき、より大型のEL表示パ

50

ネルを実現できる。銅配線は、Ti - Cu - Tiの3層構造を採用することが好ましい。

【0091】

ゲート信号線17またはソース信号線18などの配線は、トランジスタが透明アモルファス酸化物半導体(TAOS)の場合には、Mo - Cu - Moの3層構造を採用することが好ましい。

【0092】

なお、コンデンサ19aおよび19bは、ソース信号線18またはゲート信号線17の少なくとも一方にオーバーラップするように(重なるように)形成または配置される。この場合、レイアウトの自由度が向上し、素子間のスペースをより広く確保することが可能になり、歩留まりが向上する。

【0093】

ソース信号線18およびゲート信号線17には、絶縁膜あるいはアクリル材料からなる絶縁膜(平坦化膜)が形成されて絶縁され、当該絶縁膜上に画素電極が形成される。

【0094】

図1に示す表示画素16の動作について、図2、図3のタイミングチャート、図7~図12を基に説明する。

【0095】

(画素回路の動作)

表示画素16は、図1等に示す構成とすることにより、映像信号Vsigの書き込み処理と、EL素子15の発光処理とを独立して行うことができる。つまり、表示画素16では、書き込み処理、初期化処理、コピー処理(複写処理)、および、発光処理が実行される。

【0096】

図7~図12は、表示画素16の回路動作を説明する図である。各処理は、TCON141がEL表示装置を構成する各回路を制御することにより実行される。あるいは、TCON141の演算結果(映像信号を印加する画素行の順番など)に基づいて、ソースドライバ回路14が、選択回路12(12a、12b)を制御することにより実行される。

【0097】

図9、図10および図11に示された回路動作は、1フレームのブランキング期間において、表示画面の全画素に対して同時に実施される。図7、図8に示された回路動作では、1フレームのブランキング期間以外の時間に、画面の上部から下部に1画素行ずつ順次映像信号電圧がコンデンサ19bに印加される。図12に示された回路動作は、画素16の発光動作であり、1フレームのブランキング期間以外の時間に実施される。なお、ブランキング期間は、表示画素16のスイッチ用トランジスタ11dはオフされており、EL素子15には発光電流は供給されない。

【0098】

なお、図9、図10および図11に示された回路動作は、1フレームのブランキング期間において、表示画面51の全画素に対して同時に実施されるとしたが、これに限定するものではない。たとえば、複数の画素行(たとえば、200画素行)を組みとして、順次、図9、図10および図11の動作を実施してもよい。あるいは、全画素行を同時ではなく、高速に1画素行を、順次、選択してもよい。

【0099】

書き込み処理では、コンデンサ19bに対し電圧信号(映像信号電圧)の書き込みが行われる。選択する画素行は、一例として、TCON141が順次決定し、ソースドライバ回路14を介して、選択回路12aを制御して実施する。つまり、第1の期間において、TCON141で決定された画素行の画素の信号保持回路に、ソースドライバ回路14が出力する映像信号が保持される。

【0100】

なお、本実施の形態における駆動方式では、ソースドライバ回路14は、電圧信号を出力するとして説明するが、これに限定されるものではない。たとえば、ソースドライバ回

10

20

30

40

50

路 14 (ソースドライバ回路 14) が出力する映像信号を電流信号としてもよい。たとえば、電流信号をする駆動方式として、電流プログラム方式が例示される。電流信号は、表示画素 16 で電圧に変換され、コンデンサ 19 b に保持されるように構成する。あるいは、カレントミラー回路などを表示画素 16 に形成し、電流信号を表示画素 16 に保持できるように構成する。

【0101】

図 7 は、書き込み処理におけるスイッチ用トランジスタ 11 b ~ 11 f の状態を示す図である。図 7 に示すように、書き込み処理では、スイッチ用トランジスタ 11 b および 11 d がオン状態、スイッチ用トランジスタ 11 e、11 f および 11 c がオフ状態となっている。スイッチ用トランジスタ 11 b を順次、オンさせることにより画素行に映像信号を印加し、各画素 16 のコンデンサ 19 b に映像信号を保持させる。スイッチ用トランジスタ 11 d をオンさせることにより、駆動用トランジスタ 11 a からの発光電流を EL 素子 15 に供給し、EL 素子 15 は、前記発光電流に基づき、発光する。

10

【0102】

以上のように、各トランジスタの状態を設定することで、EL 素子 15 を現在の電圧信号に応じて発光させながら、コンデンサ 19 b に次の電圧信号を書き込むことができる。

【0103】

スイッチ用トランジスタ 11 b がコンデンサ 19 b に書き込んでいる状態は、図 44 の (A1)、(A2) が該当する。駆動用トランジスタ 11 a が EL 素子 15 に発光電流を供給し、画像表示を行っている状態は、図 44 の (B1)、(B2) が該当する。なお、図 44 の (A1)、(A2) は、コンデンサ 19 b に書き込まれた電圧をイメージとして図示している。画像表示状態を示すものではない。図 44 の (B1)、(B2) は、表示画像である。図 44 の (B1) から (B2) への表示は、ブランキング期間に前画面の表示状態が同時に変化する。

20

【0104】

(画像表示パネルおよび TCON の動作)

図 6 は、本開示の形態における表示パネルの説明図である。映像信号 (映像データ) は、TCON 141 に印加され、TCON 141 は、映像データをソースドライバ回路 14 に出力するとともに、選択回路 12 a が選択するゲート信号線 17 b の順番 (17 b 選択信号) を、ソースドライバ回路 14 に出力する。

30

【0105】

ソースドライバ回路 14 は、選択回路 12 a に選択回路 12 a の制御信号 (12 a 制御信号) を供給し、選択回路 12 b に選択回路 12 b の制御信号 (12 b 制御信号) を供給する。選択回路 12 a および 12 b は、図 6 に図示するように、表示画面 51 の左右に形成される。選択回路 12 a はソースドライバ回路 14 が出力する映像信号とタイミングを取り、映像信号を印加する画素行を選択するゲート信号線 17 b を制御する。選択回路 12 b はソースドライバ回路 14 とタイミングを取り、ブランキング期間 (非表示期間) に、ゲート信号線 17 f、17 e、17 c、17 d を制御する。

【0106】

TCON 141 は、ソース信号線 18 に出力する映像信号の変化が小さくなるように、選択するゲート信号線 17 b の順番を決定する。ソースドライバ回路 14 は、選択回路 12 a を制御する。選択回路 12 a は決定された順番でゲート信号線 17 b に選択電圧を印加する。ソースドライバ回路 14 は、選択電圧を印加した画素行位置に対応する映像信号電圧をソース信号線 18 に印加する。

40

【0107】

ブランキング期間 (非表示期間) では、選択回路 12 b は、画素のスイッチ用トランジスタ 11 d を、オフ状態に制御する。また、ゲート信号線 17 f、17 c、17 e を制御して、駆動用トランジスタ 11 a のオフセットキャンセルを実施するとともに、コンデンサ 19 b に保持した電圧を駆動用トランジスタ 11 a に供給する。

【0108】

50

従来の表示パネルは、ゲート信号線 17 b の選択はゲートドライバ回路のシフトレジスタ（図示せず）が実施し、画素行は表示画面の一方から他方に選択する順次選択駆動であった。

【0109】

本開示の形態に実施例では、図 8 に図示するように、TCON 141 が決定した順番に、ゲート信号線 17 b が選択される。ゲート信号線 17 b の選択は、選択回路 12 a が担当する。TCON 141 は、映像信号から、映像信号の振幅差を演算し、求められた映像信号の振幅差により、選択されるゲート信号線 17 b の順番を決定する。

【0110】

図 8 の (a) では、画素 16 a のゲート信号線 17 b が選択され、ソースドライバ回路 14 がソース信号線 18 に出力した映像信号を、画素 16 a のコンデンサ 19 b に印加する。次の 1 水平走査期間を図 8 の (b) で示す。さらに、次の 1 水平走査期間を図 8 の (c) で示す。図 8 の (b) では、画素 16 c のゲート信号線 17 b が選択され、ソースドライバ回路 14 がソース信号線 18 に出力した映像信号を、画素 16 c のコンデンサ 19 b に印加する。図 8 の (c) では、画素 16 b のゲート信号線 17 b が選択され、ソースドライバ回路 14 がソース信号線 18 に出力した映像信号を、画素 16 b のコンデンサ 19 b に印加する。以上のように、本開示の形態における表示パネルは、画素行がシフトレジスタ（図示せず）で選択されるように、順次、選択されるものではない。

10

【0111】

図 9 は、初期化処理におけるスイッチ用トランジスタ 11 b ~ 11 f の状態を示す図である。初期化処理では、スイッチ用トランジスタ 11 d をオフさせ、EL 素子 15 の発光を停止した状態で、コンデンサ 19 a の初期化が行われる。

20

【0112】

初期化処理とは、初期化処理、所定状態化処理などの概念を含む。コンデンサ 19 a、19 c の端子電圧、駆動用トランジスタ 11 a の初期化あるいは一定の動作にする処理などである。

【0113】

初期化処理では、ゲート信号線 17 f に選択電圧を印加し、スイッチ用トランジスタ 11 f をオンさせる。また、ゲート信号線 17 c に選択電圧を印加し、スイッチ用トランジスタ 11 c、11 g をオンさせる。また、ゲート信号線 17 d に非選択電圧を印加し、スイッチ用トランジスタ 11 d をオフさせる。初期化処理は、表示画面 51 の全画素に対して同時に実施する。

30

【0114】

なお、初期化処理において、スイッチ用トランジスタ 11 c、11 f のオン動作を表示画面 51 の全体で同時に実施し、スイッチ用トランジスタ 11 e のオン動作を複数画素行単位あるいは順次に実施してもよい。その他、いずれかのスイッチ用トランジスタ 11 を同時にオン動作またはオフ動作させ、他のスイッチ用トランジスタを順次あるいは個別にオン動作またはオフ動作させる駆動方式も例示される。

【0115】

スイッチ用トランジスタ 11 f がオンすることにより、ノード N3 に電圧 V_{ini} が印加される。電圧 V_{ini} の印加により、駆動用トランジスタ 11 a は、オン状態（動作状態）となる。また、スイッチ用トランジスタ 11 c をオンすることにより、電圧 V_{rst} がノード N2 に印加され、コンデンサ 19 c の両端子に、電圧 V_{ini} 、電圧 V_{rst} が印加されることになり、コンデンサ 19 c が初期化状態に設定される。

40

【0116】

初期化処理では、駆動用トランジスタ 11 a のゲート端子およびコンデンサ 19 a の一端子（ノード N3）に初期化電圧 V_{ini} が印加される。コンデンサ 19 c の一端子（ノード N2）に電圧 V_{rst} を印加する。

【0117】

コンデンサ 19 c の容量：コンデンサ 19 b の容量は、1：2 以上 1：20 以下にする

50

ことが好ましい。また、コンデンサ 19 a の容量 : コンデンサ 19 b の容量は、1 : 2 以上 1 : 20 以下にすることが好ましい。

【0118】

図 9 に示すように、初期化処理では、スイッチ用トランジスタ 11 f、11 c、11 g がオン状態、スイッチ用トランジスタ 11 b、11 e、11 d がオフ状態となっている。

【0119】

スイッチ用トランジスタ 11 b および 11 e がオフ状態となることで、コンデンサ 19 b には、次の電圧信号に応じた電荷が保持される。また、スイッチ用トランジスタ 11 f がオン状態であるため、駆動用トランジスタ 11 a のゲート端子、コンデンサ 19 a の一端に電圧 V_{ini} が入力される。また、スイッチ用トランジスタ 11 c がオン状態のため、ノード N2 に電圧 V_{rst} が入力される。これにより、駆動用トランジスタ 11 a は初期化される。

【0120】

初期化処理が実行される期間は、スイッチ用トランジスタ 11 d がオフ状態であるため、EL 素子 15 は発光しない。

【0121】

次に、図 10 に図示するように、ゲート信号線 17 f に非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ 11 f がオフ状態に設定される。この時、スイッチ用トランジスタ 11 c のオン状態は、維持されているため、ノード N2 の電位は電圧 V_{rst} に保持される。スイッチ用トランジスタ 11 b、11 e は非動作（オフ状態）である。

【0122】

図 10 において、駆動用トランジスタ 11 a のソース端子はアノード電圧 V_{dd} が印加されている。駆動用トランジスタ 11 a のドレイン端子とゲート端子間が、スイッチ用トランジスタ 11 g で短絡されているため、オフセット電流 I_s が流れる。

【0123】

したがって、駆動用トランジスタ 11 a のゲート端子電位（ノード N3）が上昇し、徐々にオフセット電流 I_s は流れなくなる。オフセット電流 I_s が一定値以下の電流になったときの駆動用トランジスタ 11 a のゲート端子電圧をオフセット電圧 V_t と呼ぶ。

【0124】

オフセット電圧 V_t は、コンデンサ 19 a (C_s) および、コンデンサ 19 c (C_k) に保持される。コンデンサ 19 c は、一端子が、電圧 V_{rst} に保持されているため、コンデンサ 19 c には、電圧 V_{rst} を基準とするオフセット電圧 V_t が保持される。

【0125】

図 11 では、スイッチ用トランジスタ 11 f、11 b、11 c、11 g、11 d は非動作状態（オフ状態）に設定される。スイッチ用トランジスタ 11 e は動作状態（オン状態）に設定される。コンデンサ 19 b (C_c) には、映像信号に対応する電圧が保持（電荷が保持）されている。スイッチ用トランジスタ 11 e のオンすることにより、前記電圧が、コンデンサ 19 c の一端子（ノード N2）に印加される。ノード N3 の電圧も、ノード N2 の電圧変化に伴い変化する。以上の動作により、コンデンサ 19 c（コンデンサ 19 a）には、オフセット電圧 V_t + 映像信号に基づく電圧が保持される。

【0126】

図 11 は、コピー処理におけるスイッチ用トランジスタ 11 b ~ 11 e の状態を示す図である。コピー処理では、EL 素子 15 の発光を停止させた状態で、コンデンサ 19 c にコンデンサ 19 b に書き込まれた次の電圧信号がコピーされる。

【0127】

コピー処理は、スイッチ用トランジスタ 11 e をオンさせて行う。コピー処理は、表示画面 51 の全画素に対して同時に実施する。図 11 に示すように、コピー処理では、スイッチ用トランジスタ 11 e がオン状態、スイッチ用トランジスタ 11 f、11 b、11 d、11 c がオフ状態となっている。スイッチ用トランジスタ 11 c がオフ状態となり、スイッチ用トランジスタ 11 e がオン状態となることで、コンデンサ 19 b の一端とコンデ

10

20

30

40

50

ンサ 19 c の一端とが接続され、コンデンサ 19 b に書き込まれた次の電圧信号をコンデンサ 19 c にコピーする（書き込む）ことができる。

【0128】

コンデンサ 19 c は、駆動用トランジスタ 11 a のゲート端子に接続されている。したがって、コンデンサ 19 b に保持された電圧に基づいて駆動用トランジスタ 11 a は EL 素子 15 に発光電流 I_d を供給する。コピー処理が実行される期間は、スイッチ用トランジスタ 11 d がオフ状態であるため、EL 素子 15 は発光しない。

【0129】

図 12 は、駆動用トランジスタ 11 a から発光電流 I_d が EL 素子 15 に供給され、EL 素子 15 が発光する状態を図示している。図 12 では、スイッチ用トランジスタ 11 f、11 b、11 c、11 e、11 g は非動作状態（オフ状態）に設定される。スイッチ用トランジスタ 11 d は動作状態（オン状態）に設定される。駆動用トランジスタ 11 a は、ノード N3 に保持された（設定された）電圧に基づき、EL 素子 15 に発光電流 I_d を供給する。つまり、第 2 の期間において、信号保持回路に保持された映像信号が駆動用トランジスタ 11 a に供給される。

10

【0130】

図 12 は、発光処理におけるスイッチ用トランジスタ 11 b ~ 11 e の状態を示す図である。発光処理では、EL 素子 15 の発光が行われる。

【0131】

発光処理は、スイッチ用トランジスタ 11 d をオンさせて行う。発光処理は、表示画面 51 の全画素に対して同時に実施する。

20

【0132】

図 12 に示すように、発光処理では、スイッチ用トランジスタ 11 d がオン状態、スイッチ用トランジスタ 11 e がオフ状態となっている。画素行のゲート信号線 17 b は、適時、選択され、選択された画素 16 のコンデンサ 19 b に映像信号が書き込まれる。しかし、スイッチ用トランジスタ 11 e がオフ状態であるため、コンデンサ 19 b の保持電圧が、駆動用トランジスタ 11 a に印加されることはない。

【0133】

以上のように、各トランジスタの状態を設定することで、EL 素子 15 を、現在のフレームの電圧信号と、次のフレームの電圧信号とを全画面を同時に変更することができる。

30

【0134】

（画素回路の動作タイミングチャート）

図 2、図 3 は、図 7 ~ 図 12 に示された画素回路の動作を示すタイミングチャート図である。図 2 のタイミングチャートに図示するように、時間 t_1 でゲート信号線 17 d にオフ電圧が印加され、また、オフ電圧は、時間 t_7 まで保持される。この期間は、スイッチ用トランジスタ 11 d がオフ状態に設定されるため、駆動用トランジスタ 11 a から EL 素子 15 には発光電流が供給されない。

【0135】

期間 $t_2 \sim t_3$ は、初期化期間である。図 9 の画素の回路状態が該当する。初期化処理では、スイッチ用トランジスタ 11 d、11 b、11 e をオフさせ、EL 素子 15 の発光を停止した状態で、コンデンサ 19 a、19 c、駆動用トランジスタ 11 a の初期化が行われる。

40

【0136】

期間 $t_3 \sim t_4$ は、オフセットキャンセル期間である。図 10 の画素状態が対応する。ゲート信号線 17 f、17 b、17 e に非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ 11 f、11 b、11 e がオフ状態に設定される。ゲート信号線 17 c はオン電圧が印加されているため、スイッチ用トランジスタ 11 c のオン状態は、維持される。したがって、ノード N2 には、電圧 V_{rst} が印加される。駆動用トランジスタ 11 a は、オフ状態となるように、オフセット電流 I_s が流れ、時刻 t_4 で、電流 I_s は、ほぼ 0 (A) となり、オフセット電圧 V_t がノード N3 に設定される。

50

【0137】

期間 $t_5 \sim t_6$ は、コピー期間である。図 11 の画素状態が対応する。ゲート信号線 17f、17b、17d、17c に非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ 11f、11b、11c、11g、11d がオフ状態に設定される。ゲート信号線 17e はオン電圧が印加されているため、スイッチ用トランジスタ 11e のオン状態となる。コンデンサ 19b（コンデンサ Cc）には、映像信号に対応する電圧が電荷として保持されている。スイッチ用トランジスタ 11e がオンすることにより、前記電荷が、コンデンサ 19c の一端子（ノード N2）に移動する。ノード N3 の電圧も、ノード N2 の電荷の保持状態に伴い変化する。コンデンサ 19c には、オフセットキャンセル期間にオフセット電圧 V_t が保持されている。コンデンサ 19b の電荷により、コンデンサ 19c に映像信号に基づく電圧とオフセット電圧が重畳されることになる。したがって、コンデンサ 19c には、映像信号の基づく電圧 + オフセット電圧 V_t が保持される。

10

【0138】

図 12 に示すように、ゲート信号線 17d にオン電圧が印加されることにより、スイッチ用トランジスタ 11d がオンし、ゲート信号線 17d にオフ電圧が印加されることにより、スイッチ用トランジスタ 11d がオフする。スイッチ用トランジスタ 11d がオンすることにより、駆動用トランジスタ 11a から EL 素子 15 に発光電流が供給され、EL 素子 15 が発光する（発光電流が 0（A）の場合を除く）。スイッチ用トランジスタ 11d がオフすることにより、駆動用トランジスタ 11a から EL 素子 15 への電流経路が遮断され、EL 素子 15 は消灯する。

20

【0139】

なお、図 2 などにおいて、消灯とは、スイッチ用トランジスタ 11d などがオフ状態となり、EL 素子 15 に発光電流が供給されない状態である。発光とは、スイッチ用トランジスタ 11d などがオン状態となり、EL 素子 15 に発光電流が供給され得る状態である。したがって、たとえば、スイッチ用トランジスタ 11d がオン状態であれば、発光電流が 0（A）であっても、発光状態である。

【0140】

以上のゲート信号線 17f、17c、17e、17d のオン動作は、ブランキング期間で実施する（図 2 において、A（A 動作）で示す）。つまり、図 9、図 10、図 11 の動作は、全表示画面 51 の画素に一括して実施する。一方、ゲート信号線 17b のオン動作は、表示期間に順次実施する（図 2 において、B（B 動作）で示す）。

30

【0141】

画素行 K および画素行 L は、表示画面 51 の任意の画素行である。画素行 K は、期間 $a_1 \sim a_2$ に画素行 K のゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11b がオンして、コンデンサ 19b に映像信号が書き込まれる。画素行 L は、期間 $a_3 \sim a_4$ に画素行 K のゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11b がオンして、コンデンサ 19b に映像信号が書き込まれる。

【0142】

期間 $a_1 \sim a_2$ 、期間 $a_3 \sim a_4$ は、通常 1 水平走査期間（1H：1 画素行の選択期間）である。画素行 K、画素行 L の選択タイミング、選択順序は、TCON141 が決定する。したがって、画素行 K の映像信号書き込み期間と、画素行 L の映像信号書き込み期間の時間差は、 bH （ b は、0 以外の整数）である。 b は、TCON141 の演算結果により、設定される。表示画像により、画素行 K、画素行 L の選択順序、選択タイミングは異なる。

40

【0143】

以上の実施例において、ゲート信号線 17f、17c、17e、17d のオン動作は、ブランキング期間内で実施し、全表示画面 51 の画素行を一括して実施するとした。しかし、本発明はこれに限定するものではない。たとえば、表示画面 51 を 1/2 の領域に分割し、分割した表示画面 51 で独立（時間的に相違）して、ゲート信号線 17f、17c、17e、17d のオン動作を実施してもよい。また、ブランキング期間に限定するもの

50

ではなく、ブランキング期間以外の期間で、スイッチ用トランジスタ 11d をオフさせて、図 9、図 10、図 11 の動作を実施してもよい。

【0144】

ゲート信号線 17f、17c、17e のオンオフ動作は、表示画面 51 の全画素に対して同時に実施されるとしたが、これに限定するものではない。たとえば、複数の画素行（たとえば、200画素行）を組みとして、順次、図 9、図 10 および図 11 の動作を実施してもよい。あるいは、全画素行を同時ではなく、高速に 1 画素行を選択してもよい。

【0145】

また、初期化処理、オフセットキャンセル処理、コピー処理において、全画面を同時ではなく、一部のゲート信号線 17 は、複数画素行単位あるいは画素行を順次選択する方法により実施してもよい。たとえば、スイッチ用トランジスタ 11c、11f のオン動作を表示画面 51 の全体で同時に実施し、スイッチ用トランジスタ 11e のオン動作を複数画素行単位あるいは順次に実施する方式が例示される。その他、いずれかのスイッチ用トランジスタ 11 を同時にオン動作またはオフ動作させ、他のスイッチ用トランジスタを順次あるいは個別にオン動作またはオフ動作させる駆動方式も例示される。

10

【0146】

期間 $t_7 \sim t_8$ 、 $t_9 \sim t_{10}$ が発光期間であり、 $t_9 \sim t_{10}$ が消灯期間である。ゲート信号線 17d に印加する電圧を、オン電圧またはオフ電圧に変化させることにより、スイッチ用トランジスタ 11d がオン、オフする。したがって、EL 素子 15 の発光を制御できる。スイッチ用トランジスタ 11d のオンオフ動作により、表示画面 51 に黒表示（非発光）の横帯を表示される。前記黒表示の横帯は、画面上部から下部に 1 フレーム周期で移動する。表示画面 51 に占める黒表示の横帯の面積を調整あるいは設定することにより、表示画面の明るさを調整できる（デューティ駆動）。

20

【0147】

図 2 は、主として、ブランキング期間の駆動方式を説明するタイミングチャートであった。図 3 は、フレーム期間での動作を説明するタイミングチャートである。1 フレーム（1F）ごとに、全表示画面 51 に対して、A 動作が実施される。スイッチ用トランジスタ 11b を選択し、該当画素行に映像信号を書き込む動作（B 動作）の順番は、TCON 141 により選択される。

【0148】

TCON 141 は、映像信号データを保持する複数フレームを保持するメモリ回路を具備する。また、該当画素行に映像信号を書き込む動作（B 動作）の順番は、ソースドライバ回路 14 などで行ってもよいことはいうまでもない。

30

【0149】

図 3 の範囲「B 動作」で図示するように、該当画素行に映像信号を書き込む動作（B 動作）の順番は、ソースドライバ回路 14 からみて、ソース信号線 18 に出力する映像信号の振幅電圧が小さくなるように画素行が選択される。したがって、自然画では、一見、ランダムに画素行が選択されているように図示される。

【0150】

図 41 に図示するように、縦ランプ画像の場合は、ソースドライバ回路 14 がソース信号線 18 に出力する電圧は、画素行位置に対応して順番に変化する。図 41 のように縦ランプ画像の場合は、画面の上の振幅電圧が大きく、画面の下になるにしたがって振幅電圧は小さくなる。したがって、表示画面の上から下方向、あるいは表示画面の下から上方向に順次、画素行が選択される。そのため、選択回路 12a は、シフトレジスタでゲート信号線 17b を選択した時のように、ゲート信号線 17b は、表示画面 51 の上から下、あるいは表示画面 51 の下から上に、順番に選択される。

40

【0151】

なお、期間 $t_1 \sim t_2$ 、 $t_4 \sim t_5$ 、 $t_6 \sim t_7$ は、0 期間（時間 0 sec）でもよいが、ゲート信号線の変化期間を考慮し、 $0.1 \mu\text{sec}$ 以上 $1.0 \mu\text{sec}$ 以下の期間を設けることが好ましい。

50

【 0 1 5 2 】

図 2、図 3 等において、ブランキング期間とは、スイッチ用トランジスタ 1 1 d をオフ状態とし、表示画面 5 1 の非表示期間と置き換える（言い換える）ことができる。また、ブランキング期間とは、E L 素子 1 5 に発光電流を供給しない状態、あるいは一時的に停止状態と置き換えることができる。また、ブランキング期間とは、ゲート信号線 1 7 b により表示画素行が選択されていない期間、あるいは選択を停止している期間と置き換えることができる。また、ブランキング期間とは、スイッチ用トランジスタ 1 1 e を選択し、コンデンサ 1 9 c の電圧をコンデンサ 1 9 a などにコピーしている期間と置き換えることができる。

【 0 1 5 3 】

図 2、図 3 等において、表示期間とは、駆動用トランジスタ 1 1 a から E L 素子 1 5 に発光電流を供給している期間と置き換えることができる。また、表示期間とは、ゲート信号線 1 7 b を選択し、映像信号を画素のコンデンサ 1 9 b に、映像信号に基づく電圧等を書き換えている期間と置き換えることができる。

【 0 1 5 4 】

図 2、図 3 等において、表示期間とは、スイッチ用トランジスタ 1 1 c をオンさせてコンデンサ 1 9 b に保持された電圧を駆動用トランジスタ 1 1 a に印加した後の期間、非表示期間とは、スイッチ用トランジスタ 1 1 c をオンさせてコンデンサ 1 9 b に保持された電圧を駆動用トランジスタ 1 1 a に印加する前の期間、と置き換えることができる。

【 0 1 5 5 】

なお、本開示の形態における画素回路は、図 1 に限定されるものではない。図 1 の画素構成では、図 9 の初期化期間、図 1 0 のオフセットキャンセル期間を実施する。図 3 2 の画素構成では、コピー期間は存在するが、初期化期間、オフセットキャンセル期間は存在しない。したがって、図 3 2 の画素構成では、コピー期間（スイッチ用トランジスタ 1 1 c がオン状態となる）で、非表示期間に制御すればよい。つまり、コピー期間が図 2、図 3 の「A」範囲に対応する。

【 0 1 5 6 】

（画素の映像信号書き込みと画像表示）

図 7 に示すように、本開示の表示画素 1 6 の回路構成では、E L 素子 1 5 に電流を供給している状態でも、映像信号電圧を画素に書き込むことができる。前フレーム期間に画素に書き込まれた映像信号に対応する電圧が、コンデンサ 1 9 a で保持されており、駆動用トランジスタ 1 1 a は、コンデンサ 1 9 a に保持された電圧に基づいて、E L 素子 1 5 に電流を供給する。

【 0 1 5 7 】

図 7 のコンデンサ 1 9 b への信号電圧の書き込み動作が、図 4 4 の（A 1）および（A 2）で説明した駆動状態に対応する。図 7 の画像表示動作が、図 4 4 の（B 1）および（B 2）で説明した駆動動作に対応する。図 4 4 の（B 1）、（B 2）は、E L 素子 1 5 には、コンデンサ 1 9 a の端子電圧に基づき、駆動用トランジスタ 1 1 a が発光電流を供給されている状態を図示している。

【 0 1 5 8 】

図 4 4 の（A 1）、（A 2）では、コンデンサ 1 9 に、映像信号が順次書き込まれている状態をイメージで図示している。ただし、理解を容易にするため、図 4 4 の（A 1）、（A 2）では、表示画面 5 1 の上側から下側に順番にコンデンサ 1 9 b に電圧が印加されるとして図示している。実際には、コンデンサ 1 9 b に電圧を印加する画素行の選択は、T C O N 1 4 1 などが決定する。コンデンサ 1 9 b に次のフレームで駆動用トランジスタ 1 1 a が E L 素子 1 5 に供給する電流値が保持される。

【 0 1 5 9 】

選択回路 1 2 a は、映像信号を印加する画素行を選択し、ソースドライバ回路 1 4 は、選択回路 1 2 a が選択し画素に映像信号を印加する。表示画素 1 6 では、映像信号に対応する電圧がコンデンサ 1 9 b に保持される。

10

20

30

40

50

【0160】

各フレームの各ブランキング期間では、コンデンサ19bに保持された電圧が、コンデンサ19aにコピーされる。この期間は、表示画面51は非表示状態に維持される。一例として非表示状態の期間は、ブランキング期間である。次のフレームでは、コンデンサ19aに保持された電圧に基づいて、駆動用トランジスタ11aがEL素子15に電流を供給する。

【0161】

本実施の形態に係る表示画素16は、映像信号に基づく電圧を保持するコンデンサ19bを具備することを特徴とする。ソースドライバ回路14からの映像信号は、コンデンサ19bに保持され、ブランキング期間などにコンデンサ19a、19cにコピーされる。コンデンサ19bと19cとの間には、スイッチとしてのスイッチ用トランジスタ11eが配置され、スイッチ用トランジスタ11eにより、映像信号に基づく電圧信号がコンデンサ19cにコピーされる。

10

【0162】

コンデンサ19cは駆動用トランジスタ11aのゲート端子に接続されており、駆動用トランジスタ11aは、コンデンサ19cにコピーされた電圧信号に基づき、発光電流をEL素子15に供給する。

【0163】

以上の実施の形態では、映像信号に基づく電圧を保持するコンデンサ19a、19cおよび19bを具備するとしたが、これに限定されるものではない。たとえば、トランジスタなどで2つのメモリ回路を構成し、このメモリ回路に映像信号に基づく電圧を保持させてもよい。また、MOSトランジスタのゲート容量に、映像信号に基づく電圧を保持させてもよい。

20

【0164】

また、1画面全体を同一タイミングで画像表示を変更（全表示画面を一括して表示状態を変更）することに限定されるものではない。たとえば、画面の上部と下部に2分割し、1フレームの前半の1/2の期間で画面上部の画像表示を変更し、1フレームの後半の1/2の期間で画面下部の画像表示を変更してもよい。この際、ブランキング期間も1フレームに2回、設定する。

【0165】

本実施の形態に係るEL表示装置は、画像表示状態（第1の期間）で、映像信号を、各表示画素16内に形成されたコンデンサ19bに保持させていく。ブランキング期間などの期間（第2の期間）では、画像を非表示（EL素子15に電流を供給しない状態）で、コンデンサ19bに保持された信号を、コンデンサ19aにコピーする。

30

【0166】

画像表示状態（第1の期間）では、駆動用トランジスタ11aはコンデンサ19aに保持された信号の大きさに基づいて、EL素子15に発光電流を供給する。

【0167】

なお、コンデンサ19a、19cおよび19bなどに電圧などの信号を保持させるとしたが、コンデンサに限定するものではない。たとえば、オペアンプ、トランジスタなどを用いて信号に基づく電流値を一定期間流す回路（たとえばカレントミラー回路、カレントコピー回路など）を形成し、信号を保持させてもよい。

40

【0168】

上記書き込み処理、初期化処理、コピー処理および発光処理を繰り返し実行することで、映像（例えば、動画像）の表示を行うことができる。

【0169】

発光処理において、全ての表示画素16について、同時にスイッチ用トランジスタ11dをオフ状態からオン状態にすることで、フレームの表示の切り替えを、表示画面51の全ての表示画素16で同時に実行することができる。つまり、2つのフレーム（表示画像1、表示画像2）が混在表示されない。従来の画像表示は、表示画面51の上から下方向

50

に順番に画像が書き換えられる。したがって、表示画面 5 1 には、2 つのフレームが混在する。本開示の形態における駆動方式では、2 のフレームが混在表示されない。混在表示されないことにより、良好な動画表示、3 D 表示が可能となる。

【0170】

(選択回路の構成と動作)

図 1 3 ~ 図 1 8 は、選択回路 1 2 および本発明の画像表示装置の説明図である。映像信号を画素に印加するゲート信号線 1 7 b は、選択回路 1 2 a に接続されている。選択回路 1 2 a の具体的構成は、一例として、図 1 4、図 1 5 に図示して説明している。

【0171】

画素 1 6 を初期化、オフセットキャンセル、コピー処理を行うゲート信号線 1 7 f、1 7 e、1 7 c、1 7 d は、選択回路 1 2 b に接続されている。選択回路 1 2 b の具体的構成は、一例として、図 1 6 に図示して説明している。

【0172】

選択回路 1 2 a は、TC ON 1 4 1 が決定あるいは判断した順番にゲート信号線 1 7 b を選択する回路である。選択回路 1 2 b は、表示画面 5 1 のゲート信号線 1 7 b 以外のゲート信号線を、一括してオンオフ制御する選択回路である。選択回路 1 2 a は、任意のゲート信号線 1 7 b を選択できる構成である。

【0173】

なお、選択回路 1 2 a は、1 本のゲート信号線 1 7 b を選択するとして説明をするが本開示の形態における選択回路 1 2 a はこれに限定されるものではない。たとえば、任意の隣接する偶数番目と奇数番目のゲート信号線 1 7 b を選択する構成を採用してもよい。

【0174】

選択回路 1 2 b は、最も簡単には、図 1 3 に図示するように、制御線 C f、C e、C c、C d を形成することにより実現する。制御線 C f、C e、C c、C d は、ソースドライバ回路 1 4 に接続されている。なお、制御線 C f、C e、C c、C d は、TC ON 1 4 1 など、他の制御回路で制御できるように構成してもよい。

【0175】

選択回路 1 2 a は、映像信号を印加する画素行を選択 (指定) する回路であり、選択回路 1 2 b は、選択回路 1 2 a が選択するゲート信号線 1 7 以外を選択する回路であるとして説明をする。

【0176】

制御線 C f は、ゲート信号線 1 7 f と接続されている。制御線 C f にオン電圧を印加することにより、ゲート信号線 1 7 f にオン電圧が印加され、スイッチ用トランジスタ 1 1 f が動作状態となる。制御線 C f にオフ電圧を印加することにより、ゲート信号線 1 7 f にオフ電圧が印加され、スイッチ用トランジスタ 1 1 f が非動作状態となる。

【0177】

制御線 C e は、ゲート信号線 1 7 e と接続されている。制御線 C e にオン電圧を印加することにより、ゲート信号線 1 7 e にオン電圧が印加され、スイッチ用トランジスタ 1 1 e が動作状態となる。制御線 C e にオフ電圧を印加することにより、ゲート信号線 1 7 e にオフ電圧が印加され、スイッチ用トランジスタ 1 1 e が非動作状態となる。

【0178】

制御線 C c は、ゲート信号線 1 7 c と接続されている。制御線 C c にオン電圧を印加することにより、ゲート信号線 1 7 c にオン電圧が印加され、スイッチ用トランジスタ 1 1 c、1 1 g が動作状態となる。制御線 C c にオフ電圧を印加することにより、ゲート信号線 1 7 c にオフ電圧が印加され、スイッチ用トランジスタ 1 1 c、1 1 g が非動作状態となる。

【0179】

制御線 C d は、ゲート信号線 1 7 d と接続されている。制御線 C d にオン電圧を印加することにより、ゲート信号線 1 7 d にオン電圧が印加され、スイッチ用トランジスタ 1 1 d が動作状態となる。制御線 C d にオフ電圧を印加することにより、ゲート信号線 1 7 d

10

20

30

40

50

にオフ電圧が印加され、スイッチ用トランジスタ 11d が非動作状態となる。

【0180】

選択回路 12a は、複数の選択部 143 から構成される。選択部 143 の一例としての回路構成を図 15 に図示する。選択部 143 は、図 14 の実施例では、#1 ~ #16 の 16 個から構成される。

【0181】

なお、本開示の形態における実施例では、画素行は、 $64 \times 16 = 1024$ として説明する。しかし、本発明は、これに限定するものではない。画素行を 2048 などとしてもよい。この場合は、一例として、選択部を 32 個、入力信号線 (D) を 64 本として構成する例が開示される ($32 \times 64 = 2048$)。画素行が 1920 の場合は、一例として、

10

【0182】

以上のように、画素行数に対応させて、選択部 143 の個数、入力信号線 (D) の本数を決定し、画像表示パネルを構成する。

【0183】

入力信号線数と、イネーブル信号線数 (通常、選択部 143 の個数) は、信号線の形成幅により決定する。図 6 に図示するように、スマートフォンなどを構成する場合、選択回路 12 の形成幅を狭くする必要がある。

【0184】

入力信号線 (D) を、配線幅 $5 \mu\text{m}$ 、配線と配線の間隔を $5 \mu\text{m}$ であれば、64 本の入力信号線 (D) であれば、 $(5 \mu\text{m} + 5 \mu\text{m}) \times 64 = 0.64 \text{ mm}$ となる (正確には、 $-5 \mu\text{m}$ にする必要がある)。選択部 143 が 16 個であれば、イネーブル信号線は、16 本であるので、 $(5 \mu\text{m} + 5 \mu\text{m}) \times 16 = 0.16 \text{ mm}$ となる (正確には、 $-5 \mu\text{m}$ にする必要がある)。合計で、 $0.64 + 0.16 = 0.8 \text{ mm}$ となる。

20

【0185】

したがって、選択回路 12a は 0.8 mm の配線領域と、図 15 に図示する AND 回路 151、バッファ回路 152 を加えた幅で構成することができる。配線領域が狭いほど、狭額縁化を実現できる。選択部 143 の個数と、入力信号線 (D) の数は、選択回路 12a の形成幅を考慮して決定すればよい。

30

【0186】

1 つの選択部 143 には 64 本の入力信号線 (D) と、1 本のイネーブル信号線 (ENB) と、64 本の出力端子 (Out) を有する。入力信号線 (D)、イネーブル信号線 (ENB) は、ソースドライバ回路 14 に接続されている。選択部 143 の #1 ~ #16 の入力信号線 (D1 ~ D64) は、同一 (共通) である。また、64 本の入力信号線 (D1 ~ D64) は、64 つのすべてがオフロジック信号か、もしくは、1 つがオンロジック信号で他の 63 つがオフロジック信号である。また、イネーブル信号 (ENB) は、16 つのすべてがオフロジック信号か、もしくは、1 つがオンロジック信号で他の 15 つがオフロジック信号である。オンロジック信号、オフロジック信号は、バッファ回路 152 でレベルシフトされ、オンロジック信号は、Von 電圧となり、オフロジック信号は、Voff 電圧となる。

40

【0187】

たとえば、入力信号線 (D) の D1 ~ D64 のうち、D4 がオンロジック信号で、他の入力信号 (D1 ~ D3、D5 ~ D64) がオフロジック信号とし、イネーブル信号 ENB2 がオンロジック信号で、他のイネーブル信号 ENB (ENB1、ENB3 ~ ENB16) がオフロジック信号の場合、選択部 143 の #2 の OUT4 にオン電圧が出力される。

【0188】

したがって、選択部 143 の #2 の OUT4 は、画素行 68 番目 ($64 \times (2 - 1) + 4 = 68$) のゲート信号線 17b に接続されているから、68 画素行のゲート信号線 17b にオン電圧が印加され、映像信号は、68 画素行目のコンデンサ 19c に書き込まれる

50

。他の画素行のゲート信号線 17b には、オフ電圧が印加されるため、スイッチ用トランジスタ 11b はオフ状態である。

【0189】

同様に、イネーブル信号 ENB3 がオンロジック信号で、他のイネーブル信号 ENB (ENB1 ~ 2、ENB4 ~ ENB16) がオロジック信号の場合、選択部 143 の #3 の OUT4 にオン電圧が出力される。

【0190】

したがって、選択部 143 の #3 の OUT4 は、画素行 132 番目 ($64 \times (3 - 1) + 4 = 132$) のゲート信号線 17b に接続されているから、132 画素行のゲート信号線 17b にオン電圧が印加され、映像信号は、132 画素行目のコンデンサ 19c に書き込まれる。他の画素行のゲート信号線 17b には、オフ電圧が印加されるため、スイッチ用トランジスタ 11b はオフ状態である。

10

【0191】

たとえば、入力信号線 (D) の D1 ~ D64 のうち、D10 がオンロジック信号で、他の入力信号 (D1 ~ D9、D11 ~ D64) がオフロジック信号とし、イネーブル信号 ENB3 がオンロジック信号で、他のイネーブル信号 ENB (ENB1、ENB3 ~ ENB16) がオロジック信号の場合、選択部 143 の #3 の OUT10 にオン電圧が出力される。

【0192】

したがって、選択部 143 の #3 の OUT10 は、画素行 138 番目 ($64 \times (3 - 1) + 10 = 138$) のゲート信号線 17b に接続されているから、68 画素行のゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11b がオンし、映像信号は、138 画素行目のコンデンサ 19c に書き込まれる。他の画素行のゲート信号線 17b には、オフ電圧が印加されるため、スイッチ用トランジスタ 11b はオフ状態である。

20

【0193】

図 15 は、選択回路 12a の選択部 143 の構成図である。入力信号線 D は、AND 回路 151 に入力され、AND 回路 151 の他方の入力は、イネーブル信号 (ENB) である。したがって、AND 回路 151 の出力は、イネーブル信号 (ENB) がオンロジック (H) でないと、オンロジック (H) とならない。

【0194】

以上のことから、入力信号線 (D) の 64 本は選択部 143 に共通の入力であっても、イネーブル信号線 (ENB) により、任意の画素行のゲート信号線 17b を選択することができる。また、選択回路 12a の入力は、入力信号線 (D) と、イネーブル信号線 (ENB) だけでよく、信号線本数を少なくできるため、選択回路 12a の幅を狭くでき、結果として、表示パネル 61 を狭額縁化できる。

30

【0195】

AND 回路 151 の出力は、バッファ回路 152 に入力され、バッファ回路 152 でレベルシフトされる。バッファ回路 152 は、オン電圧 V_{on} 、オフ電圧 V_{off} を電源とする。

【0196】

なお、図 15 の実施例において、バッファ回路 152 でレベルシフトさせるとしたが、本発明はこれに限定するものではない。たとえば、ソースドライバ回路 14 で、 V_{on} 電圧または V_{off} 電圧にレベルシフトさせて選択回路 12a に印加してもよい。つまり、ソースドライバ回路 14 にレベルシフト回路 (図示せず) を具備させる。また、TCON 141 で選択回路 12a を制御する場合は、レベルシフト回路を、TCON 141 内にレベルシフト回路を具備させてもよい。

40

【0197】

なお、図 15 の実施例に置いて、AND 回路 151 とバッファ回路 152 で選択部 143 を構成するとしたが、本発明はこれに限定されるものではない。複数の入力信号線 (D) を用いて、1 本以上のゲート信号線 17b を選択する回路構成であればいずれの構成で

50

あってもよい。たとえば、64入力1選択のセレクタ回路であってもよい。

【0198】

図16は、選択回路12aの構成図である。図16において、制御信号線(Cf、Ce、Cc、Cd)とゲート信号線17間に、バッファ回路152を配置している。図13に図示するように、直接、制御信号線(Cf、Cd、Ce、Cc)で、ゲート信号線17を直接駆動してもよい。しかし、1つの制御信号線で駆動するゲート信号線17の本数が多く、負荷容量が大きいため、オン電圧とオフ電圧の変化電圧波形が鈍る。図16に図示するように、ゲート信号線17毎に、バッファ回路152を配置または形成することにより、オンオフ電圧波形のスルーレート(立ち上がり時間、立下り時間)を大きくすることができる。

10

【0199】

(他の実施形態における選択回路1)

図14、図15における選択回路12aは、選択部143を用いて、表示画面51に形成された画素行から、1画素行のゲート信号線17bを選択するものであった。図48、図49は本開示の形態における選択回路12および画像表示装置の説明図である。なお、図48、図49は、図14、図15などで説明した事項が基本的に適用される。

【0200】

図48、図49は、図14の選択部143をデコーダ部に置き換えた構成である。デコーダ部481のデコーダ回路491には、一例として6ビットのデータ線(SELx)と、1本のイネーブル(ENBx)信号線が入力される。デコーダ回路491の出力(Gx)は64出力である。

20

【0201】

デコーダ部481も、図14、図15などの選択部143と同様に、画素16のトランジスタ11(11a~11g)を形成するプロセスを用いて、画素回路と同時に形成されている。ソースドライバ回路14は、半導体チップからなるICであり、表示パネル61にCOG技術を用いて実装されている。

【0202】

デコーダ部481の出力は、画素16のゲート信号線17bに接続されており、ゲート信号線17bにオン電圧(選択電圧)または、オフ電圧(非選択電圧)を印加する。

【0203】

各ゲート信号線のオンオフ制御は、ソースドライバ回路14またはTCON141が、選択回路12(12a、12b)を制御することにより実施する。

30

【0204】

デコーダ部481には、6ビットのSEL信号線(SEL0~SEL5)が入力されている。SEL信号線の6ビットの2の6乗(=64)を指定できる。したがって、SEL[0:5]で、出力G[1:64]のいずれかの出力を選択することができる。選択されたときは、Gxのロジック信号は、「1」となり、非選択の場合、Gxのロジック信号は、「0」となる。

【0205】

たとえば、SEL[0:5]=0であれば、出力G1が選択され、SEL[0:5]=12であれば、出力G12が選択され、SEL[0:5]=62であれば、出力G62が選択される。いずれのデコーダ部481が選択(指定)されるかは、イネーブル(ENB)信号線で指定する。

40

【0206】

1つのデコーダ部481には6本のSEL信号線(SEL[0:5])と、1本のイネーブル信号線(ENB)と、64本の出力端子(Out)を有する。SEL信号線(SEL[0:5])、イネーブル信号線(ENB)は、ソースドライバ回路14またはTCON141に接続されている。デコーダ481の#1~#16のSEL信号線(SEL[0:5])は共通である。

【0207】

50

図49は、デコーダ部481の構成図である。SEL信号線(SEL[0:5])は、AND回路151に入力され、AND回路151の他方の入力、イネーブル信号(ENB)である。したがって、AND回路151の出力は、イネーブル信号(ENB)がオンロジック(H)でないと、オンロジック(H)とならない。

【0208】

以上のことから、SEL信号線(SEL[0:5])の6ビットはデコーダ部481に共通の入力であっても、イネーブル信号線(ENB)により、任意の画素行のゲート信号線17bを選択することができる。

【0209】

また、選択回路12aの入力は、入力信号線(D)と、イネーブル信号線(ENB)だけでよく、信号線本数を少なくできるため、選択回路12aの幅を狭くでき、結果として、表示パネル61を狭額縁化できる。

【0210】

AND回路151の出力は、バッファ回路152に入力され、バッファ回路152でレベルシフトされる。バッファ回路152は、オン電圧Von、オフ電圧Voffを電源とする。

【0211】

なお、図15の実施例において、バッファ回路152でレベルシフトさせるとしたが、本発明はこれに限定するものではない。たとえば、図14、図15などで説明したように、ソースドライバ回路14で、Von電圧またはVoff電圧にレベルシフトさせて選択回路12aに印加してもよい。つまり、ソースドライバ回路14にレベルシフト回路(図示せず)を具備させる。また、TCON141で選択回路12aを制御する場合は、レベルシフト回路を、TCON141内にレベルシフト回路を具備させてもよい。

【0212】

6本のSEL信号線(SEL[0:5])は、6ビットのロジック信号である。また、イネーブル信号(ENB)は、16つのすべてがオフロジック信号か、もしくは、1つがオンロジック信号で他の15つがオフロジック信号である。オンロジック信号、オフロジック信号は、バッファ回路152でレベルシフトされ、オンロジック信号は、Von電圧となり、オフロジック信号は、Voff電圧となる。

【0213】

たとえば、SEL信号線(SEL[0:5])=4で、イネーブル信号ENB2がオンロジック信号で、他のイネーブル信号ENB(ENB1、ENB3~ENB16)がオフロジック信号の場合、選択部143の#2のOUT4にオン電圧が出力される。

【0214】

したがって、選択部143の#2のOUT4は、画素行68番目(64×(2-1)+4=68)のゲート信号線17bに接続されているから、68画素行のゲート信号線17bにオン電圧が印加され、映像信号は、68画素行目のコンデンサ19cに書き込まれる。他の画素行のゲート信号線17bには、オフ電圧が印加されるため、スイッチ用トランジスタ11bはオフ状態である。SEL信号線(SEL[0:5])、イネーブル信号ENBxの選択は、ソースドライバ回路14またはTCON141により選択される。

【0215】

同様に、イネーブル信号ENB3がオンロジック信号で、他のイネーブル信号ENB(ENB1~2、ENB4~ENB16)がオフロジック信号の場合、選択部143の#3のOUT4にオン電圧が出力される。

【0216】

したがって、選択部143の#3のOUT4は、画素行132番目(64×(3-1)+4=132)のゲート信号線17bに接続されているから、132画素行のゲート信号線17bにオン電圧が印加され、映像信号は、132画素行目のコンデンサ19cに書き込まれる。他の画素行のゲート信号線17bには、オフ電圧が印加されるため、スイッチ用トランジスタ11bはオフ状態である。

10

20

30

40

50

【0217】

たとえば、SEL信号線(SEL[0:5])=10で、イネーブル信号ENB3がオロジック信号で、他のイネーブル信号ENB(ENB1、ENB3~ENB16)がオロジック信号の場合、選択部143の#3のOUT10にオン電圧が出力される。

【0218】

したがって、デコーダ部481の#3のOUT10は、画素行138番目(64×(3-1)+10=138)のゲート信号線17bに接続されているから、68画素行のゲート信号線17bにオン電圧が印加され、スイッチ用トランジスタ11bがオンし、映像信号は、138画素行目のコンデンサ19cに書き込まれる。他の画素行のゲート信号線17bには、オフ電圧が印加されるため、スイッチ用トランジスタ11bはオフ状態である。

10

【0219】

以上のように、画素行数に対応させて、デコーダ部481の個数、SEL信号線(SELの本数を決定し、画像表示パネルを構成する。

【0220】

入力信号線数と、イネーブル信号線数(通常、デコーダ部481の個数)は、信号線の形成幅により決定する。図6に図示するように、スマートフォンなどを構成する場合、選択回路12の形成幅を狭くする必要がある。

【0221】

SEL信号線(SEL[0:5])を、配線幅5μm、配線と配線の間隔を5μmであれば、6本であるから、(5μm+5μm)×6=0.06mmとなる(正確には、-5μmにする必要がある)。デコード部481が16個であれば、イネーブル信号線は、16本であるので、(5μm+5μm)×16=0.16mmとなる(正確には、-5μmにする必要がある)。合計で、0.06+0.16=0.22mmとなる。

20

【0222】

したがって、選択回路12aは0.22mmの配線領域と、図49に図示するAND回路151、バッファ回路152を加えた幅で構成することができる。配線領域が狭いほど、狭額縁化を実現できる。デコーダ481の個数と、SEL信号線(SEL[0:5])の数は、選択回路12aの形成幅を考慮して決定すればよい。たとえば、SEL信号線(SEL[0:7])を8本とすれば、2の8乗であるから、256本のOut端子を指定できる。画素行数が2048画素行であれば、2048/256=8であるので、8本のイネーブル信号線と、8本のSEL信号線(SEL[0:7])で、2048画素行を指定することができる。

30

【0223】

以上のことから、SEL信号線(SEL[0:5])の6本はデコーダ回路491に共通の入力であっても、イネーブル信号線(ENB)により、任意の画素行のゲート信号線17bを選択することができる。また、選択回路12aの入力は、SEL信号線(SEL[0:5])と、イネーブル信号線(ENB)だけでよく、信号線本数を少なくできるため、選択回路12aの幅を狭くでき、結果として、表示パネル61を狭額縁化できる。

【0224】

図49の実施例において、バッファ回路152でレベルシフトさせるとしたが、本発明はこれに限定するものではない。たとえば、ソースドライバ回路14で、Von電圧またはVoff電圧にレベルシフトさせて選択回路12aに印加してもよい。つまり、ソースドライバ回路14にレベルシフト回路(図示せず)を具備させる。また、TCON141で選択回路12aを制御する場合は、レベルシフト回路を、TCON141内にレベルシフト回路を具備させてもよい。

40

【0225】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0226】

50

(他の実施形態における選択回路2)

図13～図16の実施例では、表示画面51の左側に選択回路12aを形成または配置し、表示画面51の右側に選択回路12bを形成または配置した構成である。しかし、本開示の形態における実施例は、これに限定するものではない。たとえば、図17の構成が例示される。

【0227】

図17は、他の実施例における選択回路12の構成例である。奇数画素行のゲート信号線17bが、表示画面51の左辺に位置する選択回路12aLによって駆動される。偶数画素行のゲート信号線17bが、表示画面51の右辺に位置する選択回路12aRによって駆動される。また、奇数画素行のゲート信号線17b以外のゲート信号線17が、表示画面51の右辺に位置する選択回路12bRによって駆動され、偶数画素行のゲート信号線17b以外のゲート信号線17が、表示画面51の左辺に位置する選択回路12bLによって駆動される。

10

【0228】

選択回路12bは、バッファ回路152と、制御信号線(Cf、Ce、Cc、Cd)しない構成であるため、形成面積が小さい。一方、選択回路12aは、入力信号線(D)の本数が比較的が多く、また、AND回路151、バッファ回路152を有するため、比較的、選択回路12aの形成面積が大きい。したがって、図14の画像表示装置では、表示画面51の左側の額縁が、右側の額縁より広くなり、左右の額縁(選択回路12a、12b)の形成面積がアンバランスとなる場合がある。

20

【0229】

図17の画像表示装置の構成では、奇数画素行のゲート信号線17bを駆動する選択回路12aLを表示画面の左側の額縁に配置し、奇数画素行のゲート信号線17b以外のゲート信号線を駆動する選択回路12bRを表示画面の右側の額縁に配置している。また、偶数画素行のゲート信号線17bを駆動する選択回路12aRを表示画面の右側の額縁に配置し、偶数画素行のゲート信号線17b以外のゲート信号線を駆動する選択回路12bLを表示画面の左側の額縁に配置している。

【0230】

図17の構成では、奇数画素行、偶数画素行を駆動する選択回路12a(12aR、12aL)と、奇数画素行、偶数画素行を駆動する選択回路12b(12bR、12bL)をそれぞれ表示画面51の左右に配置しているため、表示画面51の左右の額縁が均等にすることができる。

30

【0231】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0232】

(画素の色配置)

図19は、本開示の形態における画像表示装置の画素配列を図示している。赤(R)、緑(G)、青(B)の画素がマトリクス状に配置されている。赤(R)、緑(G)、青(B)の画素は、縦方向にストライプ状に配置されている。

40

【0233】

図20は、本開示の形態における画像表示装置の画素配列を図示している。赤(R)、緑(G)、青(B)の画素がマトリクス状に配置されている。赤(R)、緑(G)、青(B)の画素は、横方向にストライプ状に配置されている。つまり、複数の画素には、第1の色の画素と第2の色の画素とが含まれ、第1の色の画素および第2の色の画素は、横ストライプ状に配置されている。

【0234】

なお、図19、図20において、画素の色は、赤(R)、緑(G)、青(B)としたが、これに限定するものではなく、赤(R)、緑(G)、青(B)、白(W)としてもよい。

50

【0235】

本発明は、図19、図20の画素配置のいずれでもよいが、ソースドライバ回路14が出力する映像振幅を小さくし、ソースドライバ回路14の発熱を抑制するためには、図20の画素配置を採用することが好ましい。赤(R)映像、緑(G)映像、青(B)映像は、隣接した画素で階調差が近似しているからである。選択回路12は、図20の画素配置を採用した場合、図18の構成を採用することが好ましい。

【0236】

図20の画素配置では、表示画面51の赤(R)映像を画素に書き込み、次に表示画面51の緑(G)映像を画素に書き込み、表示画面51の青(B)映像を画素に書き込みという様に駆動する。各色では、隣接した画像の階調差が近似している場合が多い。したがって、図20において、 $R1 \times$ (x は1~ n の自然数)を選択すれば、 $R1 \times$ の画素に書き込む映像データ(映像電圧)は、近似している場合が多い。また、次に選択するR画素行が、 $R2 \times$ (x は1~ n の自然数)を選択すれば、 $R1 \times$ の画素に書き込む映像データ(映像電圧)と $R2 \times$ の画素に書き込む映像データ(映像電圧)は、近似している場合が多い。G、Bにおいても同様である。つまり、表示画面51において、R色の画像を書き換え、次にG色の画像を書き換え、次にB色の画像を書き換え、次にR色の画像を書き換え、・・・と駆動する。そのため、ソースドライバ回路14が出力する映像信号の振幅電圧差(変化)を小さくできるため、ソースドライバ回路14の低消費電力化を実現できる。

10

【0237】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

20

【0238】

(画素配置と選択回路の構成)

図18は、R画素行のゲート信号線17bは、選択部143R(#R1~#Rm)で選択する。なお、 m は1以上の自然数である。G画素行のゲート信号線17bは、選択部143G(#G1~#Gm)で選択する。B画素行のゲート信号線17bは、選択部143B(#B1~#Bm)で選択する。

【0239】

R画素行のゲート信号線17b以外のゲート信号線は、選択回路12bRで選択する。G画素行のゲート信号線17b以外のゲート信号線は、選択回路12bGで選択する。B画素行のゲート信号線17b以外のゲート信号線は、選択回路12bBで選択する。

30

【0240】

図20の構成を採用し、図20の画素配置を採用することにより、R、G、Bの画素を独立して書き換えることができる。

【0241】

ソースドライバ回路14は、選択部143が選択するゲート信号線17b位置に対応させて映像信号を出力する。したがって、ソースドライバ回路14は、選択部143RがR色の画素行を選択している場合は、R画素行に対応する映像信号を出力する。ソースドライバ回路14は、選択部143GがG色の画素行を選択している場合は、G画素行に対応する映像信号を出力する。ソースドライバ回路14は、選択部143BがB色の画素行を選択している場合は、B画素行に対応する映像信号を出力する。図20に図示するような画素配置で、「R画素行を順次選択し、表示画面51のR画素のコンデンサ19cに映像信号を印加する。次にG画素行を順次選択し、表示画面51のG画素のコンデンサ19cに映像信号を印加する。次にB画素行を順次選択し、表示画面51のB画素のコンデンサ19cに映像信号を印加する。」という駆動順序を実施することにより、ソースドライバ回路14が出力する映像振幅は小さくすることができる。

40

【0242】

R画素行への映像信号の書込みは、図7、図8に図示するように、順次R画素行を選択して書き込む。図9の初期化期間、図10のオフセットキャンセル期間、図11のコピー

50

期間を R 画素行に対して実施する。

【0243】

次に、G 画素行への映像信号の書込みは、図 7、図 8 に図示するように、順次 G 画素行を選択して書き込む。図 9 の初期化期間、図 10 のオフセットキャンセル期間、図 11 のコピー期間を G 画素行に対して実施する。

【0244】

次に、B 画素行への映像信号の書込みは、図 7、図 8 に図示するように、順次 B 画素行を選択して書き込む。図 9 の初期化期間、図 10 のオフセットキャンセル期間、図 11 のコピー期間を B 画素行に対して実施する。

【0245】

なお、以上の駆動方式に限定されない。たとえば、図 9 の初期化期間、図 10 のオフセットキャンセル期間、図 11 のコピー期間を R、G、B 画素行に対して実施するし、次に、図 7、図 8 に図示するように、順次 R 画素行を選択して書き込み、次に、図 7、図 8 に図示するように、順次 G 画素行を選択して書き込み、次に、図 7、図 8 に図示するように、順次 B 画素行を選択して書き込んでよい。

【0246】

なお、R、G、B の書込み順次、あるいはオフセットキャンセル順序などは、フレームごとに変化させてもよい。たとえば、第 1 のフレームで、R、G、B の順序とし、次に第 2 のフレームで、G、R、B の順序とし、次の第 3 のフレームで、B、G、R の順序とするなどの方式が例示される。

【0247】

なお、図 18 の構成においても、図 17 などの本明細書で説明する他の技術的思想を採用できることは言うまでもない。また、本明細書で説明する他の技術的思想と組み合わせることができることは言うまでもない。

【0248】

以上のように、R、G、B の画素を独立して書き換えることができるのは、図 1 で説明したように、画素の表示状態と独立して、映像信号を画素 16 に印加することができる（コンデンサ 19c に映像信号を印加できる）こと、ブランキング期間に、次の画像表示を変更できること、TCON 141 が求めた画素行の順番に対応させて画素行を選択できることの効果である。

【0249】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0250】

（画素回路の他の実施例）

本開示の形態における画素回路は、図 1 を例示したが、これに限定するものではない。図 21 は、図 1 に対して、コンデンサ 19a の一端子をノード N2 に接続した構成例である。コンデンサ 19a の他の端子は、アノード電圧 V_{dd} に接続する。

【0251】

なお、コンデンサ 19a はアノード電圧 V_{dd} と接続するとしたが、これに限定するものではない。他の安定した電圧であれば、いずれの電圧であってもよい。

【0252】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることもいうまでもない。

【0253】

スイッチ用トランジスタ 11c がオンすることにより、電圧 V_{rst} がノード N2 に印加され、コンデンサ 19a とコンデンサ 19c の一端子に電圧 V_{rst} が印加されて初期化される。スイッチ用トランジスタ 11e がオンすることにより、コンデンサ 19b に保持された電圧が、コンデンサ 19a とコンデンサ 19c の一端子に印加され、ノード N2、N3 の電位が、1 フレーム期間（次に、N2、N3 電圧が書き換えられるまでの期間）

10

20

30

40

50

の間、保持される。他の事項は、図 1 等で説明しているので説明を省略する。

【 0 2 5 4 】

図 2 2 は、図 1 に対して、コンデンサ 1 9 a の一端子をノード N 2 に接続し、コンデンサ 1 9 c の一端子をアノード電圧 V d d に接続し、スイッチ用トランジスタ 1 1 c のソース端子をソース信号線 1 8 に接続し、ドレイン端子をノード N 2 に接続した構成例である。

【 0 2 5 5 】

スイッチ用トランジスタ 1 1 c がノード N 2 に供給する電圧 V r s t は、ソースドライバ回路 1 4 から供給する。または、ソース信号線 1 8 を介して画素 1 6 に供給する。

【 0 2 5 6 】

ソースドライバ回路 1 4 は、電圧 V r s t と映像信号をソース信号線 1 8 に印加する。電圧 V r s t は、ブランキング期間に必要な電圧で、映像信号はブランキング期間以外に必要な電圧である。

【 0 2 5 7 】

ソースドライバ回路 1 4 は、ブランキング期間に、ソース信号線 1 8 に電圧 V r s t を出力し、それ以外の期間は、選択された画素行に対応する映像信号を出力する。また、電圧 V r s t は、映像信号の階調 0 近傍の電圧であるので、ソースドライバ回路 1 4 で出力することができる。

【 0 2 5 8 】

コンデンサ 1 9 b の一端子は、アノード電圧 V d d と接続している。駆動用トランジスタ 1 1 a は P チャンネルトランジスタであるため、駆動用トランジスタ 1 1 a のゲート端子電位が、アノード電圧 V d d に近いとオフ状態となり、駆動用トランジスタ 1 1 a のゲート端子電位が、アノード電圧 V d d から離れるにしたがって、駆動用トランジスタ 1 1 a が E L 素子 1 5 に流す電流値は大きくなる。映像信号も、アノード V d d またはその近傍の電圧を基準とするため、コンデンサ 1 9 b の一端子の電位をアノード電圧 V d d とすることにより、映像信号あるいは映像信号レベルが安定化する。

【 0 2 5 9 】

図 2 2 の画素回路構成では、画素回路に電圧 V r s t の配線をレイアウトする必要がなく、画素回路のレイアウト設計が容易となる。他の事項は、図 1 と類似あるいは同様であるので、説明を省略する。

【 0 2 6 0 】

図 2 2 の画素回路構成では、初期化期間では、ソースドライバ回路 1 4 から電圧 V r s t を画素のノード N 2 に印加し（スイッチ用トランジスタ 1 1 c、1 1 g はオン状態、スイッチ用トランジスタ 1 1 b、1 1 e、1 1 d はオフ状態）、また、スイッチ用トランジスタ 1 1 f をオン状態にして、ノード N 3 に電圧 V i n i を印加する。オフセットキャンセル期間では、ソースドライバ回路 1 4 から電圧 V r s t を画素のノード N 2 に印加した状態を維持し、スイッチ用トランジスタ 1 1 f をオフ状態にし、駆動用トランジスタ 1 1 a のオフセットキャンセル動作を行う。

【 0 2 6 1 】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【 0 2 6 2 】

図 2 3 の画素回路構成は、図 1、図 2 2 の変形例である。図 2 3 では、コンデンサ 1 9 b の一端子が、ゲート信号線 1 7 c と接続され、スイッチ用トランジスタ 1 1 f のソース端子がゲート信号線 1 7 c と接続されている。一例として、電圧 V o f f = 6 (V)、電圧 V o n = - 6 (V) とする。

【 0 2 6 3 】

コンデンサ 1 9 b (コンデンサ C c) の一端子 (ノード N 5) の電位は、映像信号のコンデンサ 1 9 c への書込み時は、ゲート信号線 1 7 c の電位は、電圧 V o f f (6 (V)) である。コピー動作 (スイッチ用トランジスタ 1 1 e がオン状態) の時は、ゲート信号

10

20

30

40

50

線 17d の電位は、電圧 V_{off} (6 (V)) である。したがって、映像信号のコンデンサ 19c への書込み時と、コピー動作時の両方とも、ノード N5 が、電圧 V_{off} と一定であるため、コンデンサ 19b の保持した電圧と安定して、駆動用トランジスタ 11a に印加できる。

【0264】

スイッチ用トランジスタ 11f のソース端子は、ゲート信号線 17c (ノード N5) に接続されている。電圧 V_{ini} をノード N3 に印加するときは、ゲート信号線 17c に、電圧 V_{on} (-6 (V)) が印加されている。したがって、初期化時には、ノード N3 には、電圧 V_{on} (-6 (V)) が印加される。駆動用トランジスタ 11a のゲート端子が、負電圧に設定されることにより、駆動用トランジスタ 11a のオフセットキャンセル駆動が実施できる。

10

【0265】

図 25 に図示するように、電圧 V_{rst} は、ソースドライバ回路 14 から、ノード N2 に印加され、初期化電圧 V_{ini} として、 V_{on1} 電圧がノード N3 に印加される。

【0266】

図 23 の画素回路構成では、画素に電圧 V_{ini} の配線を形成する必要がない。したがって、画素回路のレイアウト設計が容易である。また、電圧 V_{ini} 配線の配置に伴う、短絡欠陥の発生も抑制できる。

【0267】

なお、図 23 に示される実施例において、スイッチ用トランジスタ 11f を良好にオン状態にするため、ゲート信号線 17f に印加する電圧 V_{on2} は、ゲート信号線 17c に印加する電圧 V_{on1} よりも、低く設定することが好ましい ($V_{on2} < V_{on1}$)。たとえば、 $V_{on1} = -6$ (V) であれば、 $V_{on2} = -8$ (V) に設定する。

20

【0268】

図 24 の画素回路構成は、図 1、図 22、図 23 の変形例である。図 24 では、コンデンサ 19b の一端子が、アノード電圧 V_{dd} の配線と接続され、スイッチ用トランジスタ 11f のソース端子がゲート信号線 17c (ノード N5) と接続されている。スイッチ用トランジスタ 11c のソース端子は、ソース信号線 18 を接続されている。

【0269】

以上のように、本発明の画素回路構成は、多種多様な構成が例示される。本発明の選択回路 12 に関する事項は、多種多様な画素構成に対応することができる。また、組み合わせることもできる。

30

【0270】

なお、本発明の実施例において、ゲート信号線 17d とゲート信号線 17c などのゲート信号線の電圧 V_{off} 、電圧 V_{on} を独立して、電圧設定できるように構成することにより、コンデンサ 19b、19a の一端子に印加する V_{on} 電圧、 V_{off} 電圧をより適正な電圧に設定することができることは言うまでもない。

【0271】

図 23 において、コンデンサ 19b (コンデンサ Cc) の一端子をノード N5 (ゲート信号線 17c) に接続としたが、これに限定するものではなく、たとえば、ノード N4 (ゲート信号線 17d) に接続してもよい。以上のように、コンデンサ 19b の一端子は、ゲート信号線 17 と接続する構成を採用してもよい。同様に、コンデンサ 19a に関して、一端子を、ゲート信号線 17 と接続した構成を採用してもよい。

40

【0272】

なお、以上の事項は、図 32 などの本明細書の他の発明においても、適用できることは言うまでもない。また、組み合わせることができることは言うまでもない。

【0273】

(オフセットキャンセルなしの画素構成)

図 32 は、実施の他の形態に係る EL 表示パネルの画素構成の一例を示す回路図である。同図に示すように、表示画素 16 は、スイッチ用トランジスタ 11b ~ 11e と、コン

50

デンサ 19 b および 19 a と、駆動トランジスタ 11 a と、E L 素子（発光素子）15 とを備える。

【0274】

スイッチ用トランジスタ 11 b ~ 11 e は、Pチャネル型 MOS トランジスタである。スイッチ用トランジスタ 11 b ~ 11 e により、コンデンサ 19 b に対し電圧信号の書き込みを行う書き込み動作、コンデンサ 19 a あるいは駆動トランジスタ 11 a のゲート端子電圧をリセットするリセット動作、コンデンサ 19 a にコンデンサ 19 b に書き込まれた電圧信号をコピーするコピー動作、および、E L 素子 15 の発光を行う発光動作を行わせることができる。

【0275】

スイッチ用トランジスタ 11 b は、表示画素 16 の選択および非選択を切り替えるスイッチ回路の一例であり、Pチャネル型 MOS トランジスタで構成されている。スイッチ用トランジスタ 11 b は、ゲート信号線 17 b に印加される選択信号に応じて、ソース信号線 18 とノード N 1 との間の導通および非導通を切り替える。

【0276】

スイッチ用トランジスタ 11 e は、コンデンサ 19 b とコンデンサ 19 a との接続および非接続を切り替えるスイッチ回路の一例であり、ゲート信号線 17 a に印加される信号に応じて、ノード N 1 とノード N 2 との間の導通および非導通を切り替える。

【0277】

スイッチ用トランジスタ 11 c は、ゲート信号線 17 c に印加される信号に応じて、ノード N 2 に電圧 V_{rst} を入力するか否かを切り替える。電圧 V_{rst} は、コンデンサ 19 a を初期化あるいは駆動トランジスタ 11 a を初期化する初期化電圧であり、あるいは、コンデンサ 19 a の端子または駆動トランジスタ 11 a のゲート端子に印加される所定電圧である。

【0278】

スイッチ用トランジスタ 11 d は、駆動トランジスタ 11 a と E L 素子 15 との接続および非接続を切り替えるスイッチ回路の一例であり、ゲート信号線 17 d に印加される信号に応じて、駆動トランジスタ 11 a による E L 素子 15 への発光電流の供給と非供給とを切り替える。

【0279】

駆動トランジスタ 11 a は、Pチャネル型 MOS トランジスタであり、コンデンサ 19 a に書き込まれた電圧信号の大きさに応じた発光電流を E L 素子 15 に供給する。駆動トランジスタ 11 a は、ゲート端子がノード N 2 に、ドレイン端子が E L 素子 15 のアノード電極にそれぞれ接続され、ソース端子にアノード電圧 V_{dd} が入力されている。

【0280】

E L 素子 15 は、駆動トランジスタ 11 a から供給される発光電流に応じて発光する素子である。E L 素子 15 は、カソード電極にカソード電圧 V_{ss} が入力され、アノード電極がスイッチ用トランジスタ 11 d に接続されている。

【0281】

コンデンサ 19 b は、ソースドライバ回路 14 により電圧信号が書き込まれる書き込み用コンデンサの一例であり、一端がノード N 1 に接続され、他端にリファレンス電圧 V_{rst} が入力される。

【0282】

コンデンサ 19 a は、コンデンサ 19 b の電圧信号がコピーされる（コンデンサ 19 b の電荷を受け付ける）表示用コンデンサの一例であり、一端がノード N 2 に接続され、他端に電圧 V_{dd} が入力されている。

【0283】

なお、図 1 と同様に、図 3 2 においても、表示画素 16 を構成するすべてのトランジスタは Pチャネルで構成しているが、表示画素 16 のトランジスタを Pチャネルで構成することのみに限定するものではない。Nチャネルのみで構成してもよい。また、Nチ

10

20

30

40

50

チャンネルとPチャンネルの両方を用いて構成してもよい。

【0284】

また、スイッチ用トランジスタ11b～11cは、NまたはPチャンネルのトランジスタに限定するものではなく、たとえば、PチャンネルのトランジスタとNチャンネルのトランジスタの両方を用いて構成したアナログスイッチであってもよい。

【0285】

図32に示す本開示の形態における表示画素16の動作について説明をする。図1と同様に、図32の表示画素16は、映像信号Vsig（電圧信号）の書き込み処理と、EL素子15の発光処理とを独立して行うことができる。つまり、表示画素16では、映像信号の書き込み処理、初期化処理、コピー処理（複写処理）、および、発光処理が実行される。各処理は、TCON141などがEL表示装置を構成する各回路を制御することにより実行される。

【0286】

1フレーム（1F）のブランキング期間（非表示期間）において、初期化処理、コピー処理は、表示画面の全画素に対して同時に実施される。映像信号の書き込み処理は、1フレーム（1F）のブランキング期間以外の時間に、TCON141などが決定あるいは求めた画素行の順番にしたがって、画面の1画素行ずつ順次、映像信号電圧がコンデンサ19bに印加される。ブランキング期間（非表示期間）は、表示画素16のスイッチ用トランジスタ11dはオフされており、EL素子15には発光電流は供給されない。

【0287】

初期化処理、コピー処理は、ブランキング期間において、表示画面51の全画素に対して同時に実施されるとしたが、これに限定するものではない。たとえば、ブランキング期間に、複数の画素行を組みとして、順次、動作を実施してもよい。あるいは、高速に、1画素行を順次選択してもよい。以上の事項は、図1などの実施例でも同様である。

【0288】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0289】

書き込み処理期間では、コンデンサ19aの現在の電圧信号に応じてEL素子15を発光させながら、コンデンサ19bに対し電圧信号（映像信号電圧）の書き込みが行われる。選択する画素行は、選択回路12aにより行う。

【0290】

書き込み処理期間では、スイッチ用トランジスタ11bおよび11dがオン状態、スイッチ用トランジスタ11eおよび11cがオフ状態となっている。このように各トランジスタの状態を設定することで、EL素子15を現在の電圧信号に応じて発光させながら、コンデンサ19bに次の電圧信号（映像信号）を書き込むことができる。

【0291】

初期化処理期間では、EL素子15の発光を停止した状態で、コンデンサ19aの初期化が行われる。なお、初期化処理とは、初期化処理、所定状態化処理などの概念を含む。コンデンサ19aの端子電圧、駆動用トランジスタ11aの初期化あるいは一定の動作にする処理などである。

【0292】

初期化処理は、スイッチ用トランジスタ11cをオンさせて行う。初期化処理は、表示画面51の全画素に対して同時に実施する。初期化処理では、駆動用トランジスタ11aのゲート端子、コンデンサ19aの一端に電圧Vrstを印加する。電圧Vrstは、駆動用トランジスタ11aのカットオフ電圧以下の電圧とする。

【0293】

また、コンデンサ19aの容量：コンデンサ19bの容量は、1：1以上1：20以下にすることが好ましい。

【0294】

10

20

30

40

50

初期化処理期間では、スイッチ用トランジスタ 11c がオン状態、スイッチ用トランジスタ 11b、11e、11d がオフ状態となっている。スイッチ用トランジスタ 11b および 11e がオフ状態となることで、コンデンサ 19b には、次の電圧信号に応じた電荷が保持される。また、スイッチ用トランジスタ 11c がオン状態であるため、駆動用トランジスタ 11a のゲート端子、コンデンサ 19a の一端に電圧 V_{rst} が入力される。これにより、駆動用トランジスタ 11a は初期化される。

【0295】

初期化処理が実行される期間は、スイッチ用トランジスタ 11d がオフ状態であるため、EL 素子 15 は発光しない。

【0296】

なお、電圧 V_{rst} を、駆動用トランジスタ 11a をオフ状態とする電圧 (V_t 電圧以下) に設定することにより、電圧 V_{rst} を駆動用トランジスタ 11a のゲート端子に印加しても、駆動用トランジスタ 11a をカットオフに維持できる。したがって、スイッチ用トランジスタ 11d がオン状態でも、駆動用トランジスタ 11a から EL 素子 15 に電流は供給されない。この場合は、スイッチ用トランジスタ 11d をオフにしなくともよい。また、スイッチ用トランジスタ 11d を画素回路の構成から省略することができる。

【0297】

コピー処理期間では、EL 素子 15 の発光を停止させた状態で、コンデンサ 19a にコンデンサ 19b に書き込まれた次の電圧信号がコピーされる。

【0298】

コピー処理は、スイッチ用トランジスタ 11e をオンさせて行う。コピー処理は、表示画面 51 の全画素に対して同時に実施する。コピー処理では、スイッチ用トランジスタ 11e がオン状態、スイッチ用トランジスタ 11b、11c、11d がオフ状態となっている。スイッチ用トランジスタ 11c がオフ状態となり、スイッチ用トランジスタ 11e がオン状態となることで、コンデンサ 19b の一端とコンデンサ 19a の一端とが接続される。したがって、コンデンサ 19b に書き込まれた次の電圧信号をコンデンサ 19a にコピーする (書き込む) ことができる。

【0299】

コンデンサ 19a は、駆動用トランジスタ 11a のゲート端子に接続されている。コンデンサ 19a に保持された電圧に基づいて駆動用トランジスタ 11a は EL 素子 15 に電流を供給する。コピー処理が実行される期間は、スイッチ用トランジスタ 11d がオフ状態であるため、EL 素子 15 は発光しない。

【0300】

発光処理期間では、EL 素子 15 の発光が行われる。発光処理は、スイッチ用トランジスタ 11d をオンさせて行う。発光処理は、表示画面 51 の全画素に対して同時に実施する。発光処理では、スイッチ用トランジスタ 11d がオン状態、スイッチ用トランジスタ 11b ~ 11c がオフ状態となっている。このように各トランジスタの状態を設定することで、EL 素子 15 を、次の電圧信号に応じて発光させることができる。

【0301】

本開示の表示画素 16 の回路構成では、EL 素子 15 に電流を供給している状態でも、映像信号電圧を画素に書き込むことができる。前フレーム期間に画素に書き込まれた映像信号に対応する電圧が、コンデンサ 19a で保持されており、駆動用トランジスタ 11a は、コンデンサ 19a に保持された電圧に基づいて、EL 素子 15 に電流を供給する。

【0302】

現フレーム期間では、画素行が選択回路 12a により選択され、ソースドライバ回路 14 は選択された画素に映像信号を印加する。表示画素 16 では、映像信号に対応する電圧がコンデンサ 19b に保持される。1 フレームの各ブランキング期間では、コンデンサ 19b に保持された電圧が、コンデンサ 19a にコピーされる。この期間は、表示画面 51 は非表示状態に維持される。一例として非表示状態の期間は、ブランキング期間である。

【0303】

10

20

30

40

50

次のフレームでは、コンデンサ 19 a に保持された電圧に基づいて、駆動用トランジスタ 11 a が E L 素子 15 に電流を供給する。

【0304】

以上のように、本実施の形態に係る表示画素 16 は、映像信号に基づく電圧を保持するコンデンサ 19 a および 19 b を具備することを特徴とする。ソースドライバ回路 14 からの映像信号は、コンデンサ 19 b に保持される。ブランキング期間などに、コンデンサ 19 a にコピーされる。コンデンサ 19 a と 19 b との間には、スイッチとしてのスイッチ用トランジスタが配置され、このスイッチ用トランジスタにより、映像信号に基づく電圧信号がコンデンサ 19 a にコピーされる。コンデンサ 19 a は駆動用トランジスタ 11 a のゲート端子に接続されており、駆動用トランジスタ 11 a は、コンデンサ 19 a にコ

10

【0305】

図 33 は、図 32 の画素回路の動作を示すタイミングチャート図である。図 33 のタイミングチャートに図示するように、時間 t1 でゲート信号線 17 d にオフ電圧が印加され、また、オフ電圧は、時間 t6 まで保持される。この期間は、スイッチ用トランジスタ 11 d がオフ状態に設定されるため、駆動用トランジスタ 11 a から E L 素子 15 には電流が供給されない。

【0306】

期間 t2 ~ t3 は、初期化期間である。初期化処理では、スイッチ用トランジスタ 11 d、11 b、11 e をオフさせ、E L 素子 15 の発光を停止した状態で、スイッチ用トランジスタ 11 e をオンさせ、コンデンサ 19 a の初期化が行われる。

20

【0307】

期間 t4 ~ t5 は、コピー期間である。ゲート信号線 17 c、17 b、17 d に非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ 11 b、11 c、11 d がオフ状態に設定される。ゲート信号線 17 e はオン電圧が印加されているため、スイッチ用トランジスタ 11 e のオン状態となる。コンデンサ 19 b (Cc) には、映像信号に対応する電圧が電荷として保持されている。スイッチ用トランジスタ 11 e のオンすることにより、前記電荷が、コンデンサ 19 c の一端子（ノード N2）に移動する。

【0308】

発光期間では、ゲート信号線 17 d にオン電圧が印加されることにより、スイッチ用トランジスタ 11 d がオンし、駆動用トランジスタ 11 a から E L 素子 15 に発光電流が供給され、E L 素子 15 が発光する（発光電流が 0 (A) の場合を除く）。スイッチ用トランジスタ 11 d がオフすることにより、駆動用トランジスタ 11 a から E L 素子 15 への電流経路が遮断され、E L 素子 15 は消灯する。

30

【0309】

以上のゲート信号線 17 c、17 e、17 d のオン動作は、ブランキング期間で実施する（図 33 において、A (A 動作) で示す）。つまり、全表示画面 51 の画素に一括して実施する。一方、ゲート信号線 17 b のオン動作は、表示期間に順次実施する（図 33 において、B (B 動作) で示す）。

【0310】

表示画面 51 における任意の画素行を画素行 K、画素行 L とする。画素行 K は、期間 a1 ~ a2 に画素行 K のゲート信号線 17 b にオン電圧が印加され、スイッチ用トランジスタ 11 b がオンして、コンデンサ 19 b に映像信号が書き込まれる。画素行 L は、期間 a3 ~ a4 に画素行 K のゲート信号線 17 b にオン電圧が印加され、スイッチ用トランジスタ 11 b がオンして、コンデンサ 19 b に映像信号が書き込まれる。

40

【0311】

期間 a1 ~ a2、期間 a3 ~ a4 は、通常 1 水平走査期間 (1H: 1 画素行の選択期間) である。画素行 K、画素行 L の選択タイミングは、TC ON 141 が決定する。したがって、画素行 K の映像信号書き込み期間と、画素行 L の映像信号書き込み期間の時間差は、bH (b は、0 以外の整数) である。b は、TC ON 141 の演算結果により、設定さ

50

れる。

【0312】

なお、以上の実施例において、ゲート信号線17c、17e、17dのオン動作は、ブランキング期間内で実施し、全表示画面51の画素を一括して実施するとしたが、本発明はこれに限定するものではない。たとえば、表示画面51を1/2の領域に分割し、分割した表示画面51で独立(時間的に相違)して、ゲート信号線17c、17e、17dのオン動作を実施してもよい。また、ブランキング期間に限定するものではなく、ブランキング期間以外の期間で、スイッチ用トランジスタ11dをオフさせてもよい。

【0313】

期間t6~t7、t8~t9が発光期間であり、t7~t8が消灯期間である。ゲート信号線17dに印加する電圧をオン電圧とオフ電圧に変化させることにより、表示画面51に黒表示の横帯を表示され、前記横帯は、画面上部から下部に1フレーム周期で移動する。表示画面51に占める黒表示の横帯の面積が大きくなれば、表示画面51の輝度は低くなる。表示画面51に占める黒表示の横帯の面積が小さくなれば、表示画面51の輝度は高くなる。表示画面51に占める黒表示の横帯の面積を調整あるいは設定することにより、表示画面の明るさを調整できる(デューティ駆動)。なお、フレーム期間での動作を説明するタイミングチャートは、図3と同様であるので説明を省略する。

10

【0314】

なお、以上の実施の形態では、映像信号に基づく電圧を保持するコンデンサ19aおよび19bを具備するとしたが、これに限定されるものではない。たとえば、トランジスタなどで2つのメモリ回路を構成し、このメモリ回路に映像信号に基づく電圧を保持させてもよい。また、MOSトランジスタのゲート容量に、映像信号に基づく電圧を保持させてもよい。

20

【0315】

1画面全体を同一タイミングで画像表示を変更(全表示画面を一括して表示状態を変更)することに限定されるものではない。たとえば、画面の上部と下部に2分割し、1フレームの前半の1/2の期間で画面上部の画像表示を変更し、1フレームの後半の1/2の期間で画面下部の画像表示を変更してもよい。この際、ブランキング期間も1フレームに2回、設定する。

【0316】

なお、図32の実施例に置いても、図1~図3、図5~図25などの本明細書で説明している事項を適用すること、あるいは組み合わせることができることは言うまでもない。

30

【0317】

本実施の形態に係るEL表示装置は、画像表示状態(第1の期間)で、映像信号を、各表示画素16内に形成されたコンデンサ19bに保持させていく。ブランキング期間などの期間(第2の期間)では、画像を非表示(EL素子15に電流を供給しない状態)で、コンデンサ19bに保持された信号を、コンデンサ19aにコピーする。

【0318】

画像表示状態(第1の期間)では、駆動用トランジスタ11aはコンデンサ19aに保持された信号の大きさに基づいて、EL素子15に発光電流を供給する。

40

【0319】

なお、コンデンサ19aおよび19bに電圧などの信号を保持させるとしたが、コンデンサに限定するものではない。たとえば、オペアンプ、トランジスタなどを用いて信号に基づく電流値を一定期間流す回路(たとえばカレントミラー回路、カレントコピー回路など)を形成し、信号を保持させてもよい。

【0320】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0321】

上記書き込み処理、初期化処理、コピー処理および発光処理を繰り返し実行することで

50

、映像（例えば、動画）の表示を行うことができる。なお、発光処理において、全ての表示画素 16 について、同時にスイッチ用トランジスタ 11d をオフ状態からオン状態にすることで、フレームの表示の切り替えを全ての表示画素 16 で同時に実行することができる。つまり、2つのフレームが混在表示されないようにすることができる。

【0322】

初期化電圧 V_{rst} が、駆動用トランジスタ 11a をオフさせる電圧である場合は、図 36 に図示するように、スイッチ用トランジスタ 11d を削減することができる。

【0323】

図 36 は、図 22 などと同様に、ソースドライバ回路 14 が出力する初期化電圧 V_{rst} をノード N2 に印加する画素構成である。

【0324】

図 37 は、図 36 の画素回路の動作を示すタイミングチャート図である。図 37 のタイミングチャートに図示するように、期間 $t_2 \sim t_3$ は、初期化期間である。初期化処理では、スイッチ用トランジスタ 11d、11b、11e をオフさせ、EL 素子 15 の発光を停止した状態で、スイッチ用トランジスタ 11e をオンさせ、コンデンサ 19a の初期化が行われる。

【0325】

期間 $t_4 \sim t_5$ は、コピー期間である。ゲート信号線 17c、17b に非動作電圧（オフ電圧）が印加され、スイッチ用トランジスタ 11b、11c がオフ状態に設定される。ゲート信号線 17e はオン電圧が印加されているため、スイッチ用トランジスタ 11e はオン状態となる。コンデンサ 19b（Cc）には、映像信号に対応する電圧が電荷として保持されている。スイッチ用トランジスタ 11e のオンすることにより、前記電荷が、コンデンサ 19c の一端子（ノード N2）に移動する。

【0326】

発光期間では、駆動用トランジスタ 11a から EL 素子 15 に発光電流が供給され、EL 素子 15 が発光する。

【0327】

一方、ゲート信号線 17b のオン動作は、表示期間に順次実施する（図 37 において、B（B 動作）で示す）。画素行 K は、期間 $a_1 \sim a_2$ に画素行 K のゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11b がオンして、コンデンサ 19b に映像信号が書き込まれる。画素行 L は、期間 $a_3 \sim a_4$ に画素行 K のゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11b がオンして、コンデンサ 19b に映像信号が書き込まれる。期間 $a_1 \sim a_2$ 、期間 $a_3 \sim a_4$ は、通常 1 水平走査期間（1H：1 画素行の選択期間）である。画素行 K、画素行 L の選択タイミングは、TCON141 が決定する。したがって、画素行 K の映像信号書き込み期間と、画素行 L の映像信号書き込み期間の時間差は、 bH （ b は、0 以外の整数）である。 b は、TCON141 の演算結果により、設定される。

【0328】

なお、以上の実施例において、ゲート信号線 17c、17e のオン動作は、ブランキング期間内で実施し、全表示画面 51 の画素を一括して実施するとしたが、本発明はこれに限定するものではない。たとえば、表示画面 51 を複数の領域に分割し、分割した表示画面 51 で独立（時間的に相違）して、ゲート信号線 17c、17e のオン動作を実施してもよい。

【0329】

以上の実施例は、画素回路を構成するトランジスタ 11 を P チャンネルトランジスタで構成した実施例であった。本開示の形態における表示パネルはこれに限定するものではない。たとえば、図 39 に図示するように、N チャンネルトランジスタと P チャンネルトランジスタで構成してもよいことは言うまでもない。

【0330】

図 39 において、スイッチ用トランジスタ 11d は N チャンネルトランジスタで形成し

10

20

30

40

50

ており、スイッチ用トランジスタ 11c は、Pチャンネルトランジスタで形成している。スイッチ用トランジスタ 11c のゲート端子とスイッチ用トランジスタ 11d のゲート端子は、共通のゲート信号線 17c に接続されている。

【0331】

スイッチ用トランジスタ 11d がオン状態の時は、スイッチ用トランジスタ 11c がオフ状態となる。スイッチ用トランジスタ 11d がオフ状態の時は、スイッチ用トランジスタ 11c がオン状態となる。スイッチ用トランジスタ 11c をオンさせ、リセット電圧 V_{rst} をノード N2 に印加している時は、スイッチ用トランジスタ 11d は、オフ状態に制御する。

【0332】

スイッチ用トランジスタ 11c のゲート端子とスイッチ用トランジスタ 11d のゲート端子は、共通のゲート信号線 17c に接続されている。

【0333】

スイッチ用トランジスタ 11d は Nチャンネルトランジスタで形成しており、スイッチ用トランジスタ 11c は、Pチャンネルトランジスタで形成している。したがって、ゲート信号線 17c に印加する電圧により、スイッチ用トランジスタ 11d と、スイッチ用トランジスタ 11c とは、逆動作（オン動作またはオフ動作）を実施することができる。

【0334】

図 40 は、図 39 の画素回路の動作を示すタイミングチャート図である。スイッチ用トランジスタ 11c とスイッチ用トランジスタ 11d は、共通のゲート信号線 17c に接続されている。したがって、「トランジスタ 11c」と「トランジスタ 11d」は同一の波形である。ただし、スイッチ用トランジスタ 11c とスイッチ用トランジスタ 11d のオンオフ動作は逆の関係にある。

【0335】

図 40 のタイミングチャートに図示するように、時間 t_2 でゲート信号線 17c にオフ電圧またはオン電圧が印加され、また、時間 t_3 まで保持される。この期間は、スイッチ用トランジスタ 11d がオフ状態に設定されるため、駆動用トランジスタ 11a から EL 素子 15 には電流が供給されない。

【0336】

期間 $t_4 \sim t_5$ は、コピー期間である。スイッチ用トランジスタ 11c、11b がオフ状態に設定される。ゲート信号線 17e はオン電圧が印加されているため、スイッチ用トランジスタ 11e のオン状態となる。コンデンサ 19b (Cc) には、映像信号に対応する電圧が電荷として保持されている。スイッチ用トランジスタ 11e のオンすることにより、前記電荷が、コンデンサ 19c の一端子（ノード N2）に移動する。同時に、スイッチ用トランジスタ 11d がオンし、駆動用トランジスタ 11a から EL 素子 15 に発光電流が供給され、EL 素子 15 が発光する（発光電流が 0 (A) の場合を除く）。

【0337】

スイッチ用トランジスタ 11c、11e のオン動作、スイッチ用トランジスタ 11d のオフ動作は、ブランキング期間に実施する（図 40 において、A (A 動作) で示す）。ゲート信号線 17b のオン動作は、表示期間に順次実施する（図 40 において、B (B 動作) で示す）。

【0338】

表示画面 51 の任意の画素行を画素行 K および画素行 L とした時、画素行 K は、期間 $a_1 \sim a_2$ に画素行 K のゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11b がオンして、コンデンサ 19b に映像信号が書き込まれる。画素行 L は、期間 $a_3 \sim a_4$ に画素行 K のゲート信号線 17b にオン電圧が印加され、スイッチ用トランジスタ 11b がオンして、コンデンサ 19b に映像信号が書き込まれる。

【0339】

期間 $a_1 \sim a_2$ 、期間 $a_3 \sim a_4$ は、通常 1 水平走査期間 (1H : 1 画素行の選択期間) である。画素行 K、画素行 L の選択タイミングは、TC ON 141 が決定する。したが

10

20

30

40

50

って、画素行 K の映像信号書き込み期間と、画素行 L の映像信号書き込み期間の時間差は、 bH (b は、0 以外の整数) である。 b は、TCON 141 の演算結果により、設定される。

【0340】

図 3 2 の画素構成では、映像信号を印加する画素行を選択する選択回路 12 a は、図 1 などと同様に 1 本である。選択回路 12 b が選択するゲート信号線 17 は、3 本 (3 種類) である。したがって、選択回路 12 b は、図 3 4 に図示する構成としている。

【0341】

図 3 4 において、選択回路 12 a は、表示画面 5 1 に左辺に形成されている。選択回路 12 b は、表示画面 5 1 に右辺に形成されている。選択回路 12 a の具体例は、図 1 5 を用いて説明しているので説明を省略する。また、選択回路 12 b の具体例は、図 1 6 に図示して説明しているので説明を省略する。図 1 5、図 1 6 など、本明細書で説明あるいは図示自他事項は、図 3 4 などの他の実施例にも適用される。

10

【0342】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0343】

TCON 141 (図示せず) は、フレームメモリ内蔵あるいは外部にフレームメモリを有する。入力された映像信号から、各ソース信号線に出力される映像振幅差を求め、映像信号の振幅差が、小さくなるように、選択する画素行の順番を求める。求めた順番により、選択回路 12 a を制御する。

20

【0344】

各ゲート信号線 17 のオンオフ制御は、図 6 に図示するように、ソースドライバ回路 14 が、選択回路 12 を制御することにより実施する。しかし、本発明はこれに限定するものではなく、TCON 141 から、直接に選択回路 12 を制御してもよいことは言うまでもない。

【0345】

図 3 4 において、制御信号線 (Ce、Cc、Cd) とゲート信号線間に、バッファ回路 15 2 を配置している。図 1 3 に図示するように、直接、制御信号線で、ゲート信号線 17 を駆動してもよいが、負荷容量が大きいため、オン電圧とオフ電圧の変化電圧波形が鈍る場合がある。

30

【0346】

図 3 4 では、バッファ回路 15 2 の電源 (電圧 Von、Voff) は、ゲート信号線 17 e、17 c、17 d で共通にしている。ゲート信号線 17 e、ゲート信号線 17 c、ゲート信号線 17 d で、独立した電源 (電圧 Von、Voff) を用いることにより、さらに良好なスルーレートを実現できる。

【0347】

なお、図 3 4 の実施例においても、図 1 7、図 1 8 に図示するように、ゲート信号線 17 毎に、バッファ回路 15 2 を形成することにより、オンオフ電圧波形のスルーレートを高くすることができる。

40

【0348】

図 1 3 ~ 図 1 6 の実施例では、表示画面 5 1 の左側に選択回路 12 a を形成または配置し、表示画面 5 1 の右側に選択回路 12 b を形成または配置した構成である。しかし、本開示の形態における実施例は、これに限定するものではない。図 3 4 の実施例においても、たとえば、図 1 7、図 1 8 の構成を適用してもよいことは言うまでもない。

【0349】

また、図 1 6、図 3 4 では、各ゲート信号線 17 に 1 つのバッファ回路 15 2 を配置した実施例である。しかし、本発明はこれに限定するものではない。たとえば、図 3 5 に図示するように、複数のゲート信号線 17 に 1 つのバッファ回路 15 2 を配置した構成としてもよいことは言うまでもない。

50

【0350】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0351】

図34は、各画素のゲート信号線17数が、4本の場合であった。図39の画素回路では、各画素のゲート信号線17数が3本の構成である。この場合は、図38に図示するように、選択回路12bを構成すればよい。

【0352】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

10

【0353】

図32、図36、図39の画素回路構成においても、選択回路12は、図6、図14、図15、図16、図17、図18、図35で説明した構成、事項、方式が適用できることは言うまでもない。

【0354】

(TCONの信号処理)

TCON141は、表示画素16の各動作の制御、および、1フレームにおける書き込みの順序の決定あるいは判断を行う。

【0355】

図26は、TCON141の機能的な構成の一例を示すブロック図である。なお、図26では、本実施の形態を説明するのに必要な構成のみを記載し、その他の構成については省略している。TCON141は、図26に示すように、電圧差算出部261、並び替え部262、選択回路制御部263、および、ソースドライバ制御部264を備えている。

20

【0356】

なお、TCON141は、本実施の形態では、専用のLSI(Large Scale Integration:大規模集積回路)により構成されている場合を例に説明するが、これに限るものではない。TCON141は、例えば、マイクロプロセッサ(MPU)、ROM、RAMなどから構成されるコンピュータシステムあるいは電子回路で構成されていても構わない。この場合は、マイクロプロセッサが、上述した各動作を実行させるためのコンピュータプログラムに従って動作することにより、上述した各動作を実現できる。

30

【0357】

EL表示パネルの動作について、図面を参照しながら説明する。上述したように、EL表示パネルでは、TCON141により、1フレームにおける書き込みの順序の決定、および、表示画素16の各動作の制御が行われる。

【0358】

TCON141は、ソースドライバ回路14の出力電力を小さくするため、書き込みの順序が連続する2つの行の間の電圧信号の差(以下、適宜「電圧差」と略称する)が小さくなるように、書き込みの順序を並び替える。前述したように、ソースドライバ回路14の出力電力 P_s は、 CV^2F で規定される。つまり、ソースドライバ回路14の出力電力 P_s あるいはその大きさもしくは大きさ割合は、 V に対応する電圧信号の差の2乗に応じて決まる。電圧信号の差が小さくなるように書き込みの順序を並び替えることで、ソースドライバ回路14の出力電力 P_s を小さくすることができる。

40

【0359】

具体的には、先ず、本実施の形態では、電圧差算出部261(図26)は、行単位で書き込みの順序を設定するための指標値を算出する。指標値は、各行の電圧を示している。ここでは、指標値として、電圧信号の二乗の合計値($= \sum_{k=1}^n (Luma(k))^2$ 、 k は整数、 n は1行に含まれる画素の数、 $Luma(k)$ は k 列の表示画素16に対応する電圧信号が示す電圧値)を算出する。これを全ての画素行について求める。

【0360】

50

図 27 では、説明のため、11 の画素行分の指標値を例示している。ここでは、この 11 画素行について並び替えを行う場合を例に説明する。図 27 の (a) では、画素行 1 ~ 画素行 11 で示している。図 27 の (b) では、指標値は、26、17、1、5、19、2、15、29、7、18、2 となっている。書き込み順 1 は、並び替え前の書き込みの順番であり、1 行目から順に順番が割り当てられている。なお、指標値として電圧 2 乗値 (電位差 2 乗値) の合計としている。

【0361】

並び替え部 262 は、本実施の形態では、指標値を昇順に並び替え、並び替えた順に書き込み順序を設定している。図 27 の (b) では、書き込み順 2 は、並び替え後の書き込みの順序を示している。書き込み順 2 では、3 行目、6 行目、11 行目、4 行目、9 行目、7 行目、2 行目、10 行目、5 行目、1 行目、8 行目の順になっている。

10

【0362】

図 27 の (b) の表の右端欄の「書き込み順番 2 (入れ替え後)」のように、映像信号を印加する画素行の順番を入れ替えることにより、ソースドライバ回路 14 (ソースドライバ回路 14) から出力する映像信号の振幅差が小さくなる。

【0363】

「書き込み順番 1 (入れ替え前)」は、電圧 2 乗値の合計の値が、23 17 1 5 19 2 15 29 7 18 2 であるのに対して、「書き込み順番 2 (入れ替え後)」は、電圧 2 乗値の合計の値が、1 2 2 5 7 15 17 18 19 23 29 となり、値の変化量が小さくなる。つまり、選択する画素行の決定では、任意の画素行に印加される映像信号の第 1 の電圧値と、画素行以外の画素行に印加される画素行の第 2 の電圧との電位差の 2 乗を求め、その電位差の 2 乗の値が小さくなるように、画素行を決定する。したがって、ソースドライバ回路 14 (ソースドライバ回路 14) が出力する電力が減少し、ソースドライバ回路 14 (ソースドライバ回路 14) の発熱、過熱が抑制される。

20

【0364】

図 5 に図示するように、隣接した画素行が白黒表示の横ストライプ画像では、従来の駆動方式では、図 5 の右端のグラフに示すように、1 水平走査期間 (1 画素行選択期間) ごとに、ソース信号線 18 の振幅電圧は S_{max} と S_{min} 間で変化する。したがって、ソースドライバ回路 14 (ソースドライバ回路 14) がソース信号線 18 に供給する電力は非常に大きく、ソースドライバ回路 14 が過熱する。

30

【0365】

ソースドライバ回路 14 (ソースドライバ回路 14) の過熱は、EL パネルを過熱することになり、EL 素子 15 の寿命低下、表示画像の色ムラなどの発生を招く。

【0366】

図 28 は、図 5 に示すフレームの書き込みの順序を本実施の形態の方法で並び替えた場合におけるソースドライバ回路 14 の映像信号 (出力電圧) を示す図である。図 28 の本開示の形態における実施例では、まず、最大電圧 S_{max} の画素行を順次選択して、各画素行に電圧を印加し、次に、最小電圧 S_{min} の画素行を順次選択して、各画素行に電圧を印加する。したがって、各画素行に印加する順番は、図 28 のようになる。表示パネルの表示画面の表示は、図 5 と同様になる。

40

【0367】

なお、図 5、図 28 は、理解を容易にするため、画素行数を少なくし、模式的に図示している。

【0368】

図 28 では、図 5 に比べ、出力電圧の電圧差が生じるのは、7 番目の白表示の画素 (16k) と 8 番目黒表示の画素 (16b) 間だけであり、ソースドライバ回路 14 に必要とされる駆動能力を飛躍的に下げることができる。したがって、発熱量も低減させることができる。

【0369】

50

図 28 に図示するように、本実施の形態における駆動方式では、まず、白画素表示の画素行が選択され、次に黒表示の画素行が選択される。したがって、選択画素行は、16a
16c 16e 16g 16i 16k 16b 16d 16f 16h 16j
・・・となる。そのため、ソースドライバ回路 14 が出力する映像振幅電圧は変化がない。変化があるのは、7 番目の白表示の画素 (16k) と 8 番目黒表示の画素 (16b) 間だけである。

【0370】

したがって、ソースドライバ回路 14 がソース信号線 18 に供給する電力は非常に小さくなる。ソースドライバ回路 14 の過熱はなく、EL パネルを過熱することもなく、EL 素子 15 の寿命低下、表示画像の色ムラなどの発生も抑制できる。

10

【0371】

図 27 の実施例は、各画素行の各画素に印加される電圧から画素行の電圧 2 乗値の合計を求め、求めた画素行の各画素に印加される電圧から画素行の電圧 2 乗値の合計の差に基づいて、選択する画素行の順番を設定するものである。

【0372】

本実施の形態における駆動方式は、これに限定するものではない。ソースドライバ回路 14 の電力は、各ソース信号線 18 の振幅電圧差から求められた値の総和である。1 つのソース信号線 18 は、1 つの画素列の画素が接続されている。たとえば、表示画像によっては、k 番目のソース信号線 18 では、画素行 12 番目 画素行 1 番目 画素行 3 番目 画素行 8 番目 画素行 11 番目 ・・・と選択することが最も電力が小さくなるが、k + 1 番目のソース信号線 18 では、画素行 1 番目 画素行 8 番目 画素行 7 番目 画素行 12 番目 画素行 2 番目 ・・・と選択することが最も電力が小さくなる場合がある。

20

【0373】

図 29 は、他実施の形態における駆動方式の説明図である。図 29 において、任意の K 画素行である画素 $16(k, 1) = 17$ 、画素 $16(k, 2) = 2$ 、画素 $16(k, 3) = 10$ 、画素 $16(k, 4) = 108$ 、画素 $16(k, 5) = 54$ 、画素 $16(k, 6) = 67$ なる指標値が設定されているとする。また、任意の J 画素行である画素 $16(j, 1) = 1$ 、画素 $16(j, 2) = 5$ 、画素 $16(j, 3) = 17$ 、画素 $16(j, 4) = 119$ 、画素 $16(j, 5) = 110$ 、画素 $16(j, 6) = 32$ なる指標値が設定されているとする。

30

【0374】

説明を容易にするため各画素の指標値は、電圧振幅の差の 2 乗などソースドライバ回路 14 の各ソース信号線 18 が出力する電力に換算した指標値とする。つまり、2 つの指標値の差が、電力あるいは発熱量に対応する(あるいは基づく)として説明をする。

【0375】

1 本のソース信号線 18 は、1 つの画素列の画素が接続されている。任意の画素に印加される指標値と、他の画素に印加する指標値との差が最も小さくなるように画素を選択する場合に、ソースドライバ回路 14 の発熱量は最低となる。しかし、選択回路 12a は、1 つの画素行を選択する。したがって、ソースドライバ回路 14 が出力する映像電圧は、選択回路 12a が選択する画素行に揃える必要がある。

40

【0376】

現時点で、選択回路 12a が選択している画素行を K 画素行目とした場合、ソースドライバ回路 14 の出力電力が小さくなるように、選択回路 12a が選択する画素行を選ぶ必要がある。選択する画素行は、現在映像を書き換えているフレームで、未だ選択されていない画素行である。この選択されていない画素行を J 画素行目とする。

【0377】

1 本のソース信号線 18 は、1 つの画素列の画素が接続されている。したがって、画素 $16(k, 1)$ と画素 $16(j, 1)$ との演算、画素 $16(k, 2)$ と画素 $16(j, 2)$ との演算、画素 $16(k, 3)$ と画素 $16(j, 3)$ との演算、画素 $16(k, 4)$ と

50

画素 16 (j , 4) との演算、画素 16 (k , 5) と画素 16 (j , 5) との演算、画素 16 (k , 6) と画素 16 (j , 6) との演算、・・・を行う。

【 0 3 7 8 】

なお、J 画素行目とは、現在映像を書き換えているフレームで、未だ選択されていない複数の画素行である。K 画素行目と J 画素行目の各画素間で指標値の差を求め、画素行の各画素間の指標値の差を総和する。

【 0 3 7 9 】

一例として、図 5 の実施の形態では、指標値の差は、 $(17 - 1) + (5 - 2) + (17 - 10) + (119 - 108) + (110 - 54) + (67 - 22) = 16 + 3 + 7 + 11 + 56 + 45 = 93$ となる。

10

【 0 3 8 0 】

以上のように、現在選択している K 画素行目と、任意の J 画素行目の指標値を比較演算して指標値の差の総和を求め、指標値の差の総和が最も小さくなる J 画素行目を求め、選択回路 12 a が J 画素行目を選択するとともに、ソースドライバ回路 14 から J 画素行目の映像信号を出力する。

【 0 3 8 1 】

次の水平走査期間では、前述の J 画素行目を K 画素行目とし、現在映像を書き換えているフレームで、未だ選択されていない次の J 画素行を求めるための演算を行う。

【 0 3 8 2 】

選択する画素行の順番を入れ替えるために、選択回路制御部 263 は、選択回路 12 a が選択する (オン電圧を印加する) ゲート信号線 17 を制御する。TC ON 141 は、選択回路 12 a を制御する。

20

【 0 3 8 3 】

図 29 に図示するように、各ソース信号線に接続された画素間ごとの電圧差 (映像信号電圧差) を求める必要がある。画素間ごとの電圧差を画素行で総和し、求めた総和の大小関係を求め、選択する画素行の順番を求める。

【 0 3 8 4 】

なお、第 1 の画素行と第 2 の画素行における画素の電圧差は、画素行数が n 画素行存在すれば、n - 1 の組み合わせがある。組み合わせ演算は、メモリに格納されたデータを用いて演算処理すれば求めることができる。

30

【 0 3 8 5 】

画素行の画素間の演算は、すべての画素間について実施する必要はない。たとえば、各画素行の偶数番目の画素間で演算をすることにより、演算数を削減できる。また、10 画素置きなど、演算する画素を選択して演算を実施することにより演算数を削減できる。また、画素間で電位差が大きい組を抽出して、演算することによっても演算数を削減できる。

【 0 3 8 6 】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【 0 3 8 7 】

図 30 は、書き込みの順序の並び替え前における各画素行の指標値を示すグラフである。ただし、図 30 では、理解を容易にするため、各画素行の指標値 (電圧振幅差に相当する値) を 1 指標値として縦軸値に表現している。

40

【 0 3 8 8 】

横軸は書き込みの順序を示す軸である。1 画面が、2160 画素行で構成される場合は、1 ~ 2160 となる。図 30 では、図示を容易にするため、また、理解を容易にするため、画素行数を 11 画素行とし、1 ~ 12 番目までを表現している。

【 0 3 8 9 】

図 30 は、従来 of 駆動方式の説明図である。なお、図示を容易にするため、1 フレーム (書込み画像) の画素行数を 12 としている。

50

【0390】

図30に図示するように、従来の駆動方式では、1画素行目から12画素行目に順番に映像信号電圧を印加する。したがって、ソースドライバ回路14が出力する映像信号電圧の変化は大きく、ソースドライバ回路14は過熱する。

【0391】

図31は、書き込みの順序の並び替え後における各画素行の指標値を示すグラフである。図31において、縦軸は指標値を示す軸であり、横軸は書き込みの順序を示す軸である。但し、横軸に付した数値は、棒グラフが何番目の画素行に対応するかを示す値である。

【0392】

図31のグラフでは、図30のグラフと比較して、書き込みの順序が連続する2つの画素行間で、指標値の差が小さくなっている。指標値の差が小さいとは、ソースドライバ回路14の出力電力が小さくなることを意味する。

10

【0393】

上述したように、ソースドライバ回路14の出力電力は、 CV^2F で規定され、出力電圧の差 V の二乗に比例する。書き込みの順序を並び替えることにより、図26に示すように、出力電圧の差 V を小さくすることができ、ソースドライバ回路14の出力電圧を低減することが可能になる。

【0394】

図31は、本実施の形態における駆動方式の説明図である。映像振幅電圧の変化量が小さくなるように、選択する画素行を制御する。したがって、ソースドライバ回路14が出力する映像信号電圧の変化は小さく、ソースドライバ回路14が過熱することはない。また、本実施の形態における駆動方式では、図31に示すように、書込み画像1では、映像振幅電圧が高い画素行から低い画素行を選択し、書込み画像2では、映像振幅電圧が低い画素行から高い画素行を選択する。

20

【0395】

以上のように駆動することにより、駆動電力を低減することができる。つまり、各フレーム（書込み画像）間においても、映像信号電圧の差が小さくなるように書込み画素行を選択する。

【0396】

なお、図31では、書き込みの順序を、指標値を降順に（大きい方から順に）並び替える場合を例示したが、指標値を昇順に（小さい方から順に）並び替えても構わない。また、並び替えの精度は、比較的low精度でもよい。

30

【0397】

映像信号電圧は、TCON141などに内蔵するフレームメモリにメモリされる。TCON141は、フレームメモリにメモリされたデータを用いて、画素行の電圧値を求める。

【0398】

簡易的には、TCON141は、各画素に印加される映像信号の電圧値を、各画素行で総和し、総和した値で、選択する画素行の選択順番を求める。画素行は、選択回路12aで選択する。たとえば、図27の(b)の表において、23、17、1、5、19・・・
・・・18、2が各画素行の電圧の総和の場合、3、6、11、4、7、・・・・・・、1、8画素行目を順次選択し、各画素行の画素にソースドライバから映像信号電圧を印加する。

40

【0399】

ソースドライバ回路14の電力を低減させるには、書き込む画素行の順番を入れ替えることで実現できる。各ソース信号線に接続された画素間ごとの電圧差（映像信号電圧差）を求めることが最も高精度の実現手段である。しかし、演算数量が大きい。書き込む画素行を選択するには、各画素行の代表値（たとえば、奇数画素列、偶数列画素列、16の倍数の画素列など）を比較し、画素行の各指標値（演算値）差が最小に画素行の順番を求めることにより演算数量を削減できる。

50

【0400】

以上の事項は、本明細書の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせることができることも言うまでもない。

【0401】

図41に図示するように、表示画面51の上下方向に滑らかに画素行に印加する映像信号電圧が変化する表示画像（縦ランプ画像）では、1画素行目から最終画素行目、あるいは最終画素行目から1画素行目に、順次画素行が書き換えられるため、本実施の形態における駆動方式を実施しても画像が書き換えられる際の違和感は発生しない。

【0402】

図42は、フレーム（表示画像）の一例を示す図である。一例として書き込みの順序を、例えば、輝度値の合計を小さい方から順に並び替えるとする。図42に示すフレームでは、最初に比較的暗い領域B書き込まれ、次に、中間の明るさの領域Cが、最後に、比較的明るい領域Aが書き込まれる。本実施の形態では、書き込みの順序を並び替えるため、映像は、領域B、C、Aの順に書き換えられる。

10

【0403】

なお、「領域B、C、Aの順に書き換えられる」とは、理解を容易にするための概念的な表現である。本開示の形態における駆動方法では、画素行または各画素の画素間で、電圧差が小さくなるように、画素行を選択する。したがって、A、B、Cの各領域において、画面の上下方向あるいは下上方向に順次に画素行が選択されるものではない。ただし、実現の容易性から、A、B、Cの各領域において、画面の上下方向あるいは下上方向に順次に選択される場合も本発明の範疇である。たとえば、領域Aの一部の画素行を書き込み、次に領域Cの一部の画素行を書き込み、また、領域Aの残りの一部の画素行を書き込むという場合もあることは言うまでもない。

20

【0404】

先の実施の形態において、映像は、「領域B、C、Aの順に書き換えられる。」としたが、これに限定されるものではない。映像は、明るい順番に基づいて、「領域A、C、Bの順に」書き換えてもよい。

【0405】

本実施の形態の電圧信号の書き込みと映像の表示とを独立して行える表示画素16ではなく、独立して行えない表示画素を用いた場合、1画面上に2つのフレームが混在して表示される期間が生じる。

30

【0406】

図42の表示画像では、A領域は比較的明るい画素あるいは画素行が多く、B領域は比較的暗い画素あるいは画素行が多く、C領域は比較的暗い画素あるいは画素行が多い。そのため、本実施の形態における駆動方式を実施した際、A領域の画像が書き換えられ、次にC領域の画像が書き換えられ、次にB領域の画像が書き換えられる。そのため、画像が書き換えられる領域が急に変化することがあるため、画像が書き換えられる際に違和感が発生する。

【0407】

図43は、従来の駆動方式において表示画像が書き換えられている状態を説明するための説明図である。なお、表示画像の順序は、フレーム（表示画像）A フレーム（表示画像）B フレーム（表示画像）C とする。

40

【0408】

図43に示すように、表示画面51には、フレームAの画像が表示されている。次に、表示画面51の上部より、フレームBの画像が順次表示されていく（図43の（A1））。フレームAの画像がフレームBの画像に書き換えられると、次に、表示画面51の上部より、フレームCの画像が順次表示されていく（図43の（A2））。

【0409】

図43の（A1）および図43の（A2）は、実際に画面上に表示される映像の状態を示している。当該比較例は、電圧信号の書き込みと映像の表示とを独立して行えず、かつ

50

、各画素行を上から順に（画素行 1 から順に）下方に向かって選択する場合を例示している。

【0410】

図 4 3 の（A 1）および図 4 3 の（A 2）に示すように、比較例では、1画面上に 2 つのフレームが混在して表示されている。図 4 3 の（A 1）のように、フレーム A からフレーム B に切り替わるときは、画面上部分に次のフレーム B の映像が、画面下部分に現在のフレーム A の映像が混在して表示される。図 4 3 の（A 2）に示すように、フレーム B からフレーム C に切り替わるときは、例えば、画面上部分に次のフレーム C の映像が、画面下部分に現在のフレーム B の映像が混在して表示される。

【0411】

以上のように従来 of 駆動方式では、書き換えられていく画像表示と、表示される画像表示とは同一であった。つまり、画像が書き換えられる画素行は、画像が書き換えられると同時に視覚的に見えるように駆動されていた。

【0412】

図 4 4 は、本実施の形態における駆動方式の説明図である。本実施の形態における駆動方式では書き換え中の画像（図 4 4 の（A））は視認（表示）されない。1フレームの画像が書き換えられてから、表示画像として表示される（図 4 4 の（B））。

【0413】

図 4 4 の（A 1）および（A 2）は、表示画面 2 9 にマトリックス状に配置された画素 1 6 に保持された映像信号電圧を、理解を容易にするため、「表示画像」として図示したものである。つまり、図 4 4 の（A）は画素 1 6 に保持されている電圧を示しており、画像ではない。図 4 4 の（B 1）および（B 2）は、表示画面 2 9 に表示された画像を図示したものである。

【0414】

図 4 4 の（A 1）に示すように、パネルの各画素 1 6 には、フレーム A の画像が保持されており、次に、パネルの上部の画素行から、フレーム B の画像が順次書き換えられていく。この状態では、図 4 4 の（B 1）に図示するように、フレーム A の画像が表示されている。

【0415】

パネルの画素 1 6 にフレーム B の画像に書き換えられると、次に、パネルの上部より、フレーム C の画像が順次、画素に保持されていく（図 4 4 の（A 2））。また、パネルの画素 1 6 にフレーム B の画像に書き換えられたタイミングで、図 4 4 の（B 2）に図示するように、フレーム B の画像が表示される。パネルの画素 1 6 にフレーム C の画像に書き換えられたタイミングで、フレーム C の画像が表示される。

【0416】

フレーム A からフレーム B の画像表示に変化する時間は短時間である。また、フレーム B からフレーム C の画像表示に変化する時間は短時間である。短時間とは一例としてブランキング期間である。図 1、図 3 2 などのスイッチ用トランジスタ 1 1 d をオンからオフにすることにより画像表示が変化する。ただし、後に説明するが、画像表示切り替え制御のためにブランキング期間の黒表示期間が必要である。黒表示期間は、一例として 1 フレーム期間の 1 / 1 0 0 ~ 1 0 / 1 0 0 の期間である。

【0417】

以上のように本実施の形態における駆動方式では、書き換えられていく途中での画像は、表示（視認）されず、1フレームの画像が書き換えられたタイミングで、画像が表示されるように駆動される。1フレーム期間とは、1 2 0 H z 以上である。

【0418】

図 4 4 の（A 1）および図 4 4 の（A 2）は、比較例における画素への信号書き込み状態の一例を示す図である。図 4 4 の（A 1）および（A 2）において、理解を容易にするため、画素に書き込まれている電圧を「表示画像」として表現している。実際には、「表示画像」ではなく、各画素 1 6 に書き込まれている信号電圧である。信号電圧は、画素 1

10

20

30

40

50

6のコンデンサ19bに保持された電圧である。信号電圧は、ソースドライバ回路14が出力する映像信号に基づく電圧である。

【0419】

表示画像は、図44の(B1)および(B2)である。図44の(A1)時の表示画像は、図44の(B1)が対応し、図44の(A2)時の表示画像は、図44の(B2)が対応する。表示画像は、画素16のコンデンサ19aに保持された電圧に基づいて、駆動用トランジスタ11aがEL素子15に発光電流を供給し、発光素子15が発光する。

【0420】

EL素子15に供給される電流は、スイッチ用トランジスタ11dによりオンオフ制御される。本実施の形態における駆動方式では、スイッチ用トランジスタ11dは、ブラン

10

【0421】

本実施の形態では、上述したように、図42では、領域B、C、Aの順に電圧信号の書き込みが行われる。そうすると、電圧信号の書き込みと映像の表示とを独立して行えない場合は、図43に示す駆動方式よりも、2つのフレームA、BあるいはB、Cがばらばらに混在して表示されることになり、映像品質が低下する可能性がある。

【0422】

また、1つのフレームの場合であっても、以下の場合に表示画像に違和感を発生する。たとえば、A領域の画像を書き換え、次にC領域の画像を書き換え、次にB領域の画像を書き換える場合である。画面の上下方向に順次に画像を書き換えるのと比較して、表示画面の特定領域の表示画像が書き換えられるため、表示画像を書き換えている領域がノイズ表示のように見える。特に、表示画像が動画表示の場合に顕著である。

20

【0423】

これに対し、本実施の形態では、上述したように、電圧信号の書き込みと映像の表示とを独立して行える表示画素16を用いている。このため、映像の切り替えは、全ての画素行について、発光処理において同時に行われる。

【0424】

電圧信号の書き込みを行っている画像は、表示画像として表示されず、電圧の書き込みが完了したコンデンサ19aあるいは駆動用トランジスタ11aのゲート端子の電圧に基づいて表示画面に表示画像が表示される。したがって、図22のように、領域B、C、Aの順に電圧信号の書き込みでも書き込み時の画像は、表示されないから、従来のような表示画像の違和感が発生しない。

30

【0425】

図44の(B1)および図44の(B2)は、本実施の形態の表示画素16を用いた場合におけるフレームの切り替え時の表示画面の一例を示す図である。図44の(B1)および図44の(B2)は、実際に画面上に表示される映像の状態を示している。

【0426】

本実施の形態では、図44の(B1)および図44の(B2)に示すように、映像の切り替えは全ての画素行で同じタイミングで行われる。映像の切り替えは、1フレーム期間のブランキング期間に実施することが好ましい。1フレームが複数のサブフィールドで構成される場合は、すべてのサブフィールドのブランキング期間あるいは、任意のサブフィールド期間で映像信号の切り替えを行うことが好ましい。本実施の形態では、1つの画面上で2つのフレームが混在して表示されることはない。

40

【0427】

上述したように、本実施の形態では、書き込みの順序の並び替えを行うため、電圧信号の書き込みと映像の表示とを独立して行えない場合は、1つの画面上に2つのフレームがさらに断片的に混在して表示される状態となる場合がある。これに対し、本実施の形態の表示画素16を用いれば、電圧信号の書き込みと映像の表示とを独立して行えるため、1

50

つの画面上に2つのフレームが混在して表示されることがなく、書き込みの順序の並び替えによる映像品質の低下を防止できる。

【0428】

以上より、本実施の形態の画像表示パネルでは、書き込みの順序の並び替えを行い、かつ、電圧信号の書き込みと映像の表示とを独立して行える。これにより、本開示の形態における画像表示は、映像品質を低下させることなく、ソースドライバ回路14に必要とされる駆動能力を低減し、ソースドライバ回路14の発熱量を押えて、特別な放熱機構を備える必要を無くすことが可能になる。

【0429】

表示画素16は、上述した構成とすることにより、図44で説明した、映像信号Vsig（電圧信号）の書き込み処理と、EL素子の発光処理とを独立して行うことができる。具体的には、本実施の形態の表示画素16では、書き込み処理、初期化処理、コピー処理、および、発光処理が実行される。

10

【0430】

図1の書き込み処理では、スイッチ用トランジスタ11bおよび11dがオン状態、スイッチ用トランジスタ11eおよび11cがオフ状態となっている。このように各トランジスタの状態を設定することで、EL素子15を現在の電圧信号に応じて発光させながら、コンデンサ19bに次の電圧信号を書き込むことができる。この状態は、図44の(A)が該当する。

【0431】

以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。また、他の実施例と組み合わせできることも言うまでもない。たとえば、図44の駆動方式は、図21～図24、図32、図36などの他の画素回路構成についても適用できることは言うまでもない。また、選択回路12についても同様である。

20

【0432】

（他の駆動方式）

本実施の形態の変形例について、図45～図47を基に説明する。本変形例では、フレームが、複数のサブフィールドを重畳したものである場合について説明する。

【0433】

図45は、複数のサブフィールドで構成されるフレームの一例を示す図である。各サブフィールドは、添え字（数字）の値が小さいほど輝度値が高く、添え字の値が大きいほど輝度値が低くなっている。表示画素16毎に、輝度値に応じて点灯させるサブフィールドを選択することで、所望の輝度を得ることができる。

30

【0434】

1フレームの映像信号を、複数のサブフィールドに分解する。図45のex.Aの実施例では、各サブフィールドは、輝度（明るさ）で区分されている。なお、ex.Bのように、映像データの上位ビット～下位ビット等でサブフィールドに区分してもよいことは言うまでもない。たとえば、映像信号が8ビットの場合、8つのサブフィールドから1フレームを構成する。

【0435】

ソースドライバ回路（ソースドライバIC）14は、各サブフィールドにおいて、ビットに重みづけを行った電圧値をソース信号線に出力する。この場合、各画素行の指標値は、ビット"1"の個数を求めることにより取得することができる。また、他の画素行との指標値は、ビット"1"の位置を比較することにより、指標値を取得することができる。

40

【0436】

図46および図47は、それぞれ、実施の形態の変形例に係るソースドライバ回路14の出力電力の一例を示す図である。

【0437】

図46および図47では、先ず、サブフィールド内で書き込みの順序の並び替えを行っている。また、図46および図47では、説明のため、1つのフレームが4つのサブフィ

50

ールドで構成されている場合を示している。

【0438】

図46では、フィールドの表示順序は並び替えず、サブフィールド内で書き込みの順序の並び替えを行っている。図46では、サブフィールド1～4の何れも、指標値(=電圧信号の2乗の合計値)を降順に並び替え、並び替えた順に書き込み順序を設定している。

【0439】

上述したように、サブフィールド1～4の順番で指標値が大きい(サブフィールド1の指標値>サブフィールド2の指標値>サブフィールド3の指標値>サブフィールド4の指標値)。このため、フィールド毎に指標値を降順に並び替えた場合、フレーム全体で指標値を降順に並び替えたことになる。これにより、ソースドライバ回路14の出力電圧の差をフレーム全体で小さくすることができる。

10

【0440】

図47では、サブフィールドの表示順序を、サブフィールド4～1の順に設定している。さらに、図47では、サブフィールド毎に、指標値を昇順に並び替えている。つまり、図47では、フレーム全体で指標値を昇順に並び替えている。これにより、ソースドライバ回路14の出力電圧の差を小さくすることができる。

【0441】

映像信号電圧は、TCON141などに内蔵されるフレームメモリに記憶される。フレームメモリは、さらに複数のサブフィールドに区分されている。TCON141は、まず、フレームメモリデータを演算し、画像データを複数のサブフィールドに区分する。そして、TCON141は、記憶されたデータを用いて、各サブフィールドでの画素行の電圧値を求める。

20

【0442】

簡易的には、TCON141は、各表示画素に印加される映像信号の電圧値を、各サブフィールドの各画素行で総和し、総和した値で、選択する画素行の選択順番を求める。

【0443】

各ソース信号線に接続された表示画素間ごとの電圧差(映像信号電圧差)を求める必要がある。そのために、TCON141は、表示画素間ごとの電圧差を画素行で総和し、求めた総和の大小関係を求め、選択する画素行の順番を求める。なお、第1の画素行と第2の画素行における画素の電圧差は、画素行数がn画素行存在すれば、(n-1)の組み合わせがある。組み合わせ演算は、メモリに格納されたデータを用いて演算処理すれば求めることができる。

30

【0444】

ソースドライバ回路14の電力を低減させるには、書き込む画素行の順番を入れ替えることで実現できる。各ソース信号線18に接続された画素間ごとの電圧差(映像信号電圧差)を求めることが最も高精度の実現手段である。しかし、画素間ごとの電圧差の算出の場合には演算数量が大きい。書き込む画素行を選択するには、各画素行の代表値(たとえば、奇数画素列、素数画素列、64の倍数の画素列など)を比較し、画素行の各指標値(演算値)差が最小に画素行の順番を求めることにより演算数量を削減できる。また、各画素行の代表値(たとえば、奇数画素列、素数画素列、64の倍数の画素列など)は、サブフィールドごとに変化させることが好ましい。

40

【0445】

本実施の形態に係るEL表示装置は、TCON141により、表示画面の画素行に印加する映像信号の指標値を算出し、指標値を用いて、画素行の順序の並び替えを行い、画素行の順序の並び替えの結果に基づいて、ゲート信号線17bを選択することを特徴とする。

【0446】

TCON141は、任意の画素行に印加する映像信号の第1の電圧値と、画素行以外の画素行に印加する画素行の第2の電圧との電位差の二乗を求め、電位差の二乗の値が小さくなるように、選択する前記画素行の順序の並び替えを行うことを特徴とする。

50

【 0 4 4 7 】

以上のように、本開示の E L 表示装置によれば、映像品質を低下させることなく発熱量を低減できる。また、E L 表示装置の画素行を選択する選択回路を小面積で形成するため、狭額縁の表示モジュールを提供できる。また、ブランキング期間等で、画像表示を変更するため、画像表示変更時にちらつきの発生がなく、また、良好な動画表示を実現できる。

【 0 4 4 8 】

(その他の実施の形態)

以上、画像表示装置およびその駆動方法について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれても良い。

10

【 0 4 4 9 】

例えば、上記実施の形態および変形例では、複数の表示画素の各行の明るさを示す指標値として、輝度値の 2 乗の合計値を求め、また、電圧信号の 2 乗の差の合計値を求めたが、これに限るものではない。指標値は、例えば、1 行の画素の平均値、あるいは、2 乗の平均値等であっても構わない。

【 0 4 5 0 】

また、上記実施の形態および変形例では、指標値を降順または昇順に並び替え、変形例 2 では、指標値を降順または昇順に並び替えるかをフィールドまたはフレーム毎に判定したが、これに限るものではない。例えば、フィールドあるいはフレーム毎に、指標値を昇順に並び替えるか降順に並び替えるかを規定したパターンを予め設定しておいても構わない。

20

【 0 4 5 1 】

具体的には、例えば、一般的に、最小値同士、最大値同士は指標値の差が小さくなると考えられることから、フィールドあるいはフレーム毎に、指標値の並び替えを、降順に行うか昇順に行うかを交互に設定しても構わない。

【 0 4 5 2 】

上記実施の形態では、ソースドライバ回路 1 4 はソースドライバ IC として説明したが、ソースドライバ回路 1 4 の構成は、半導体チップからなるソースドライバ IC で構成されるものに限定されるものではない。

30

【 0 4 5 3 】

たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。また、低温ポリシリコン、高温ポリシリコン、T A O S 技術などを用い、画素、トランジスタなどが形成されたガラス基板に直接にソースドライバ回路 1 4 を形成したものであってもよい。つまり、画素、トランジスタの形成プロセスを用いて、ソースドライバ回路 1 4 を形成してもよい。

【 0 4 5 4 】

以上の事項は、選択回路 1 2 においても同様である。つまり、選択回路 1 2 は、画素、トランジスタと同一プロセスを用いて、画素等と同時にガラス基板上に形成してもよい。

40

【 0 4 5 5 】

なお、本発明において、ソースドライバから出力する信号は、電圧信号としたが(電圧プログラム方式)、これに限定するものではない。たとえば、電流信号であってもよい(電流プログラム方式)。電流であっても、映像信号の振幅として表現され、電流を電圧としてとらえることができ、電流 I 電圧 V に対応させ、相対的に $C V^2 F$ として発熱を計算することができる。あるいは、 $C V^2 F$ に比例するとして発熱を計算することができる。

【 0 4 5 6 】

50

なお、上記実施の形態にかかる包括的または具体的な態様は、システム、方法、集積回路、コンピュータプログラムまたはコンピュータ読み取り可能なCD-ROMなどの記録媒体で実現されてもよく、システム、方法、集積回路、コンピュータプログラムまたは記録媒体の任意な組み合わせで実現されても良い。

【0457】

また、本実施の形態に係る表示パネル61は、図50に記載されたような携帯電話、図51に記載されたようなノートパソコン、図52に記載されたようなタブレットに搭載される。本実施の形態に係るEL表示パネルおよびその駆動方法により、発熱量が低減された高品質の表示機器が実現される。なお、図50、図51、図52において、61は本開示の形態における表示パネル、501は表示パネルおよび駆動回路を収納する筐体である。

10

【0458】

また、本開示の形態における実施例では、EL表示装置、EL表示パネルを例示して説明したが、本発明の技術思想は、液晶表示装置、液晶表示パネルなどの他の画像表示装置等にも適用することができることは言うまでもない。

【0459】

たとえば、液晶表示装置において、図1で説明した画素回路のうち、映像信号を印加するスイッチ用トランジスタ11b、電圧保持用のコンデンサ19b、コンデンサ19bの電圧を液晶層に印加するスイッチ用トランジスタ11eを形成すればよい。

【産業上の利用可能性】

20

【0460】

本開示は、画像表示装置として、例えば、液晶表示ディスプレイ、有機エレクトロルミネッセンス(EL)素子を用いたEL表示パネル等の表示装置に利用可能である。

【符号の説明】

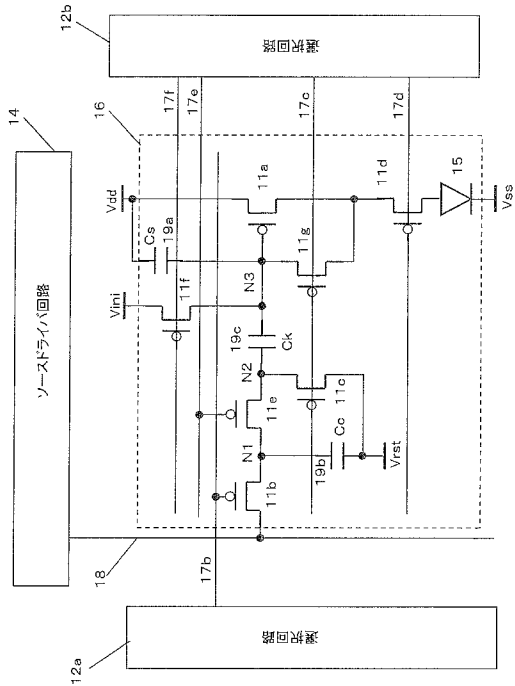
【0461】

- 11a 駆動用トランジスタ
- 11b、11c、11d、11e、11f、11g スイッチ用トランジスタ
- 12、12a、12b 選択回路
- 14 ソースドライバ回路
- 15 EL素子(発光素子)
- 16、16a、16b、16c 表示画素(画素)
- 17 ゲート信号線
- 17a、17b、17c、17d、17e、17f ゲート信号線
- 18 ソース信号線
- 19a、19b、19c コンデンサ
- 51 表示画面
- 61 表示パネル
- 141 制御回路(TCON)
- 143 選択部
- 151 AND回路
- 152 バッファ回路
- 261 電圧差算出部
- 262 並び替え部
- 263 選択回路制御部
- 264 ソースドライバ制御部
- 481 デコーダ部
- 491 デコーダ回路
- 501 筐体

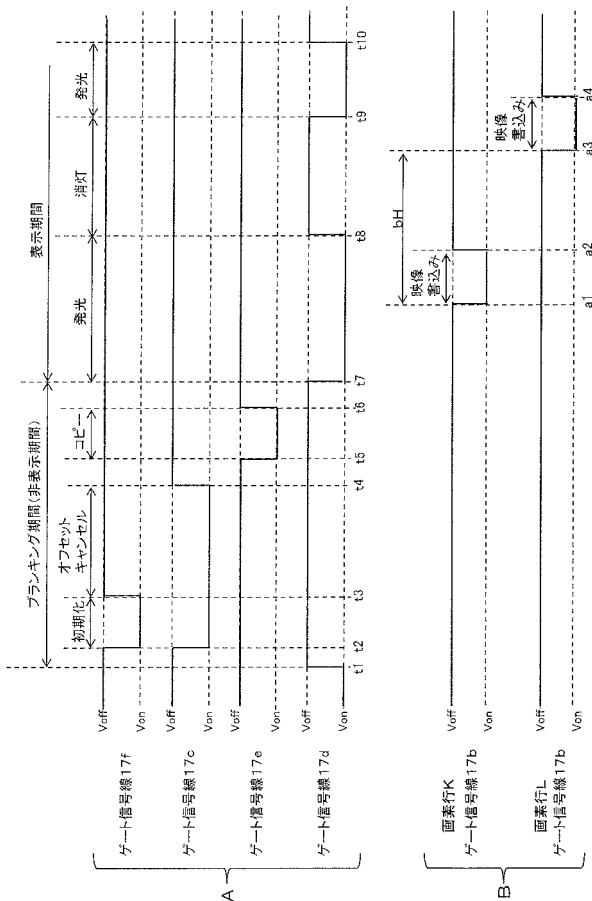
30

40

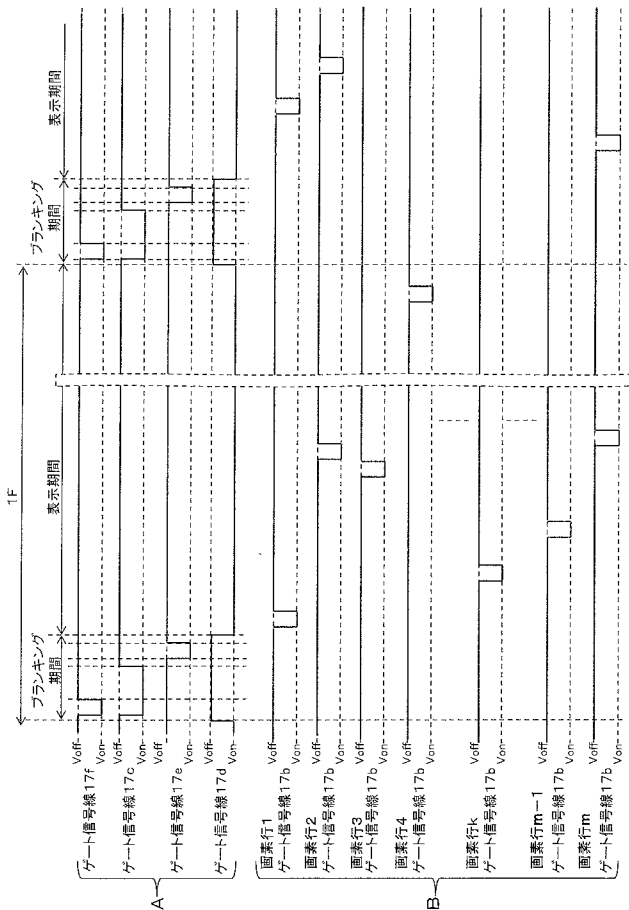
【図1】



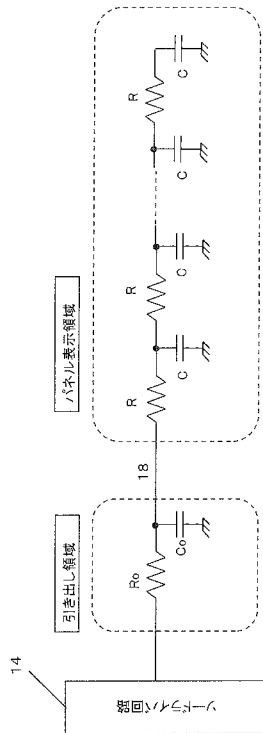
【図2】



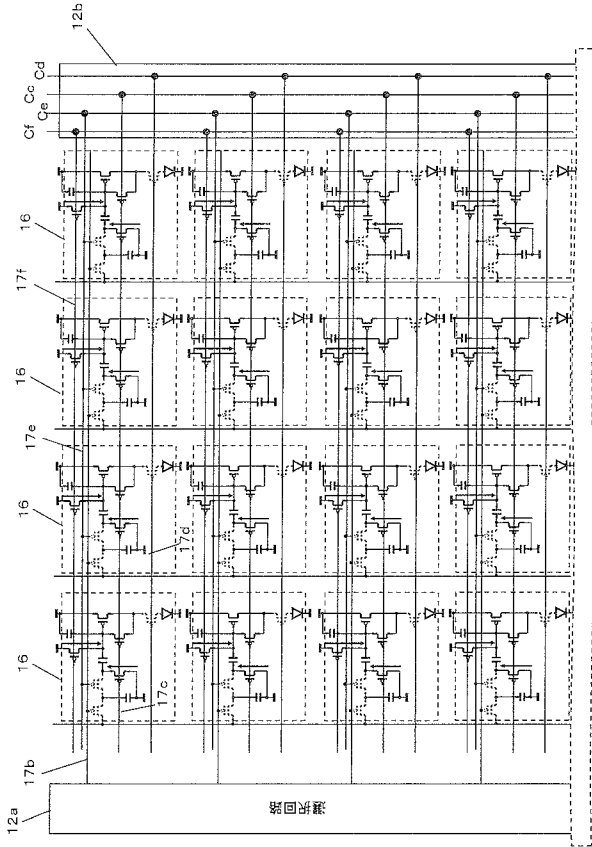
【図3】



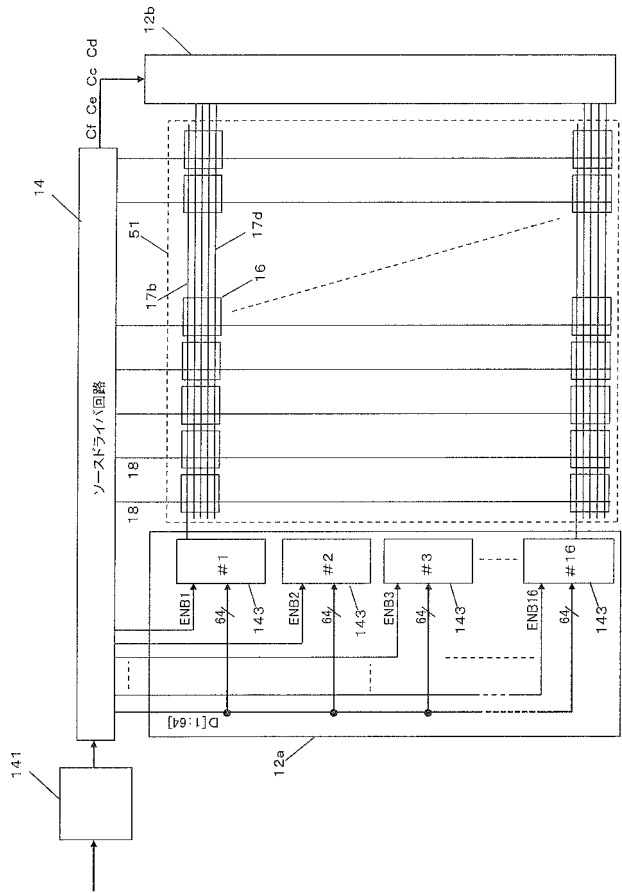
【図4】



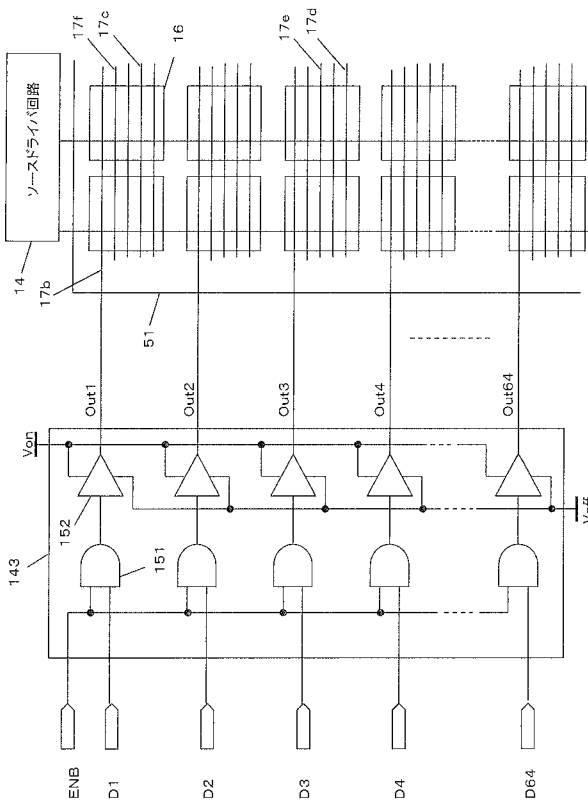
【図 13】



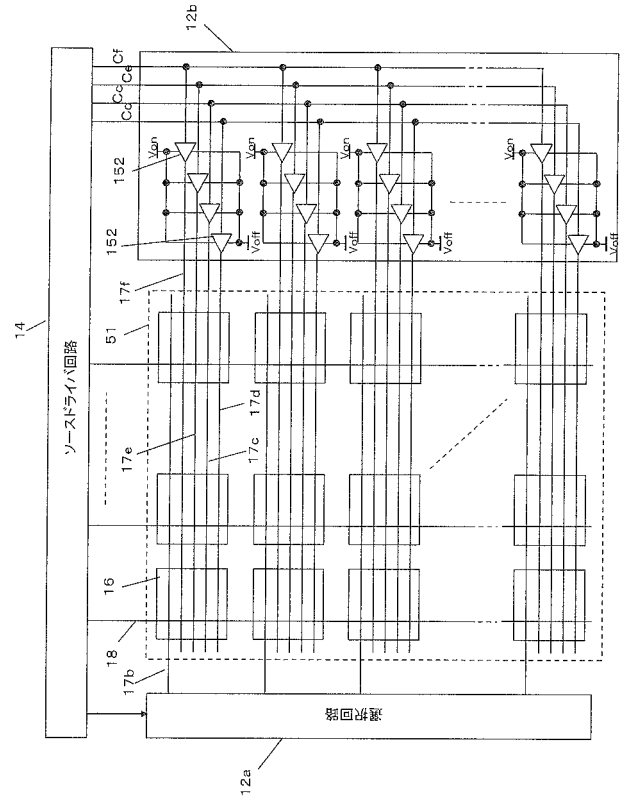
【図 14】



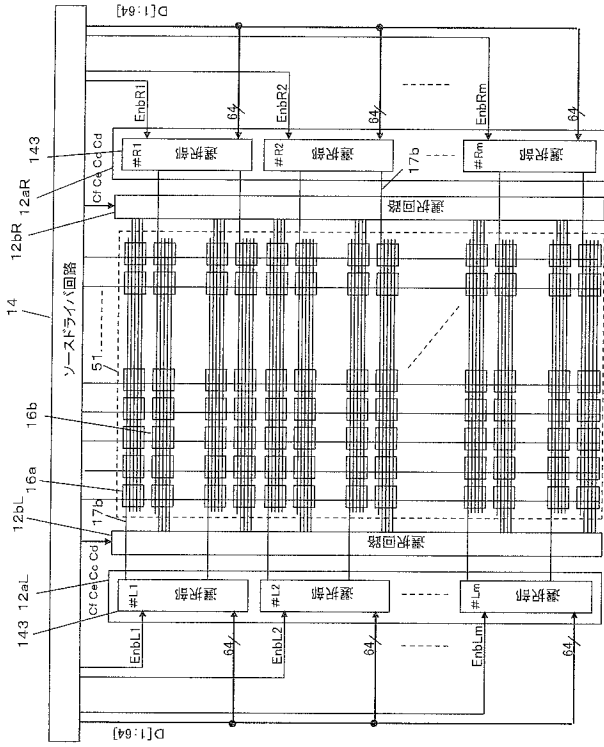
【図 15】



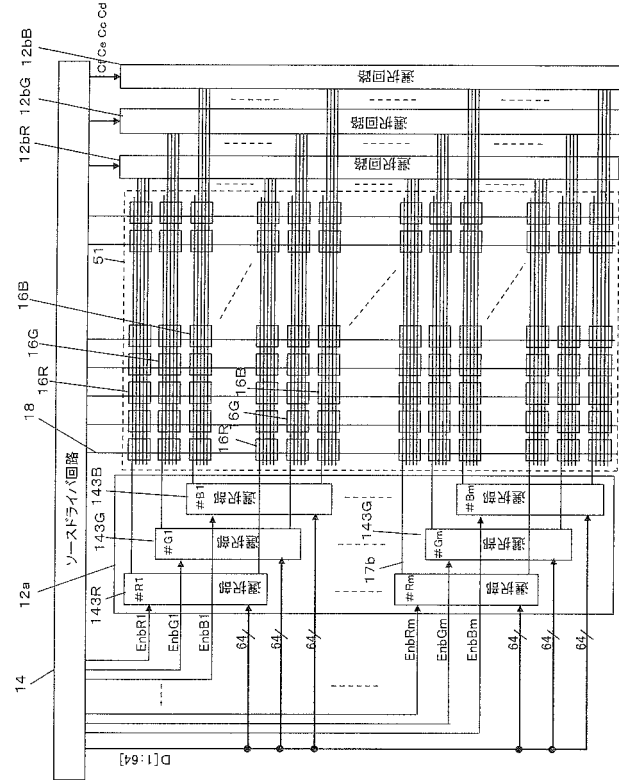
【図 16】



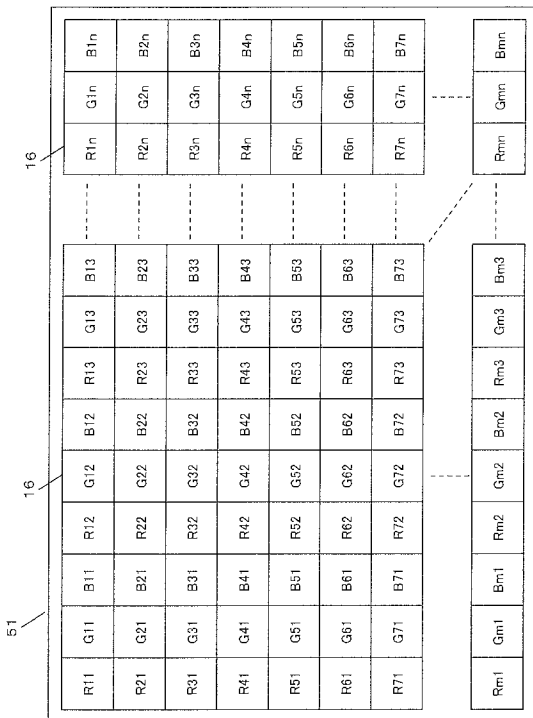
【図 17】



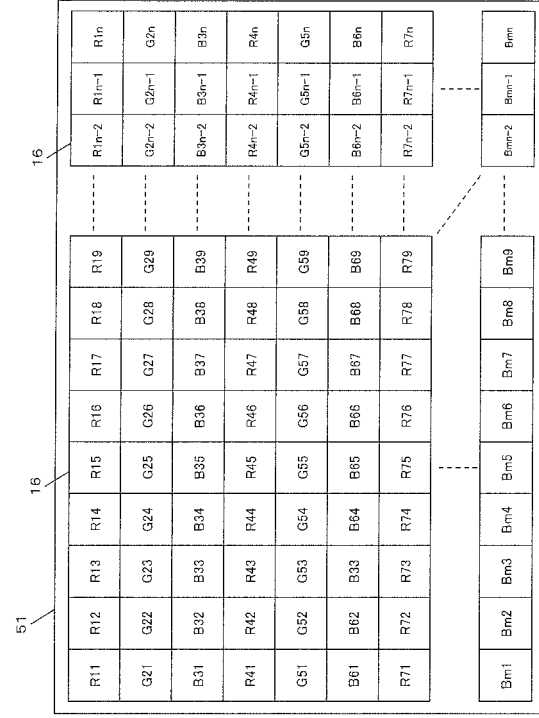
【図 18】



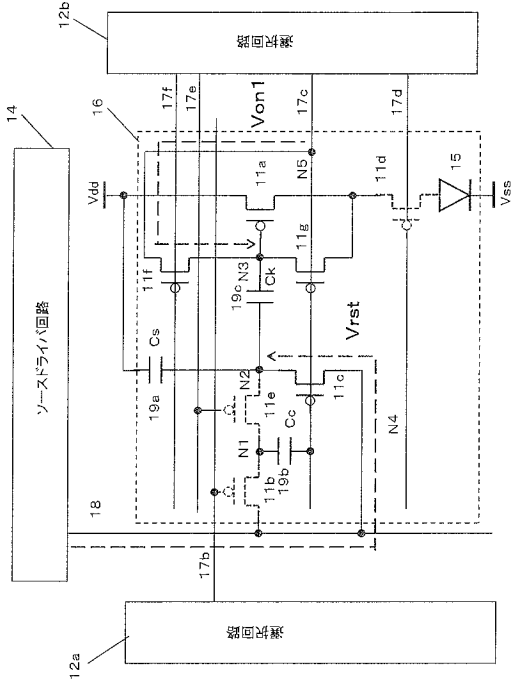
【図 19】



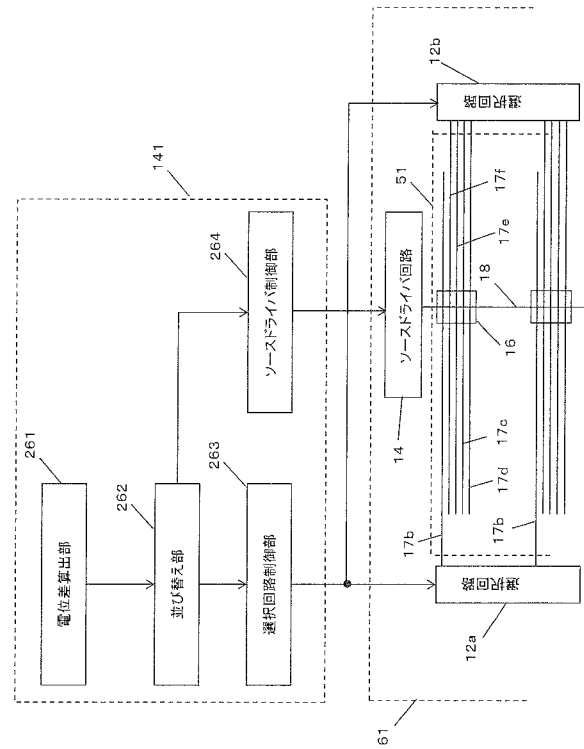
【図 20】



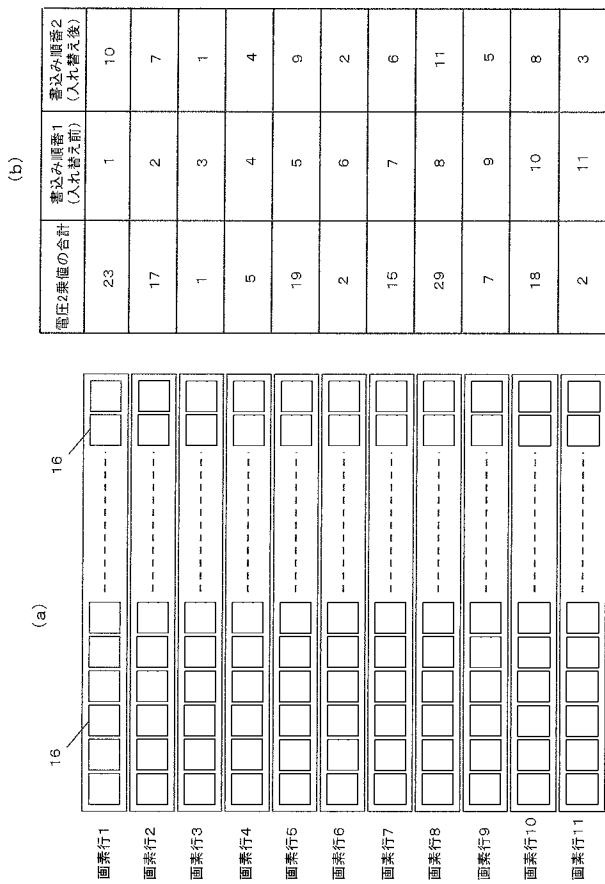
【図 25】



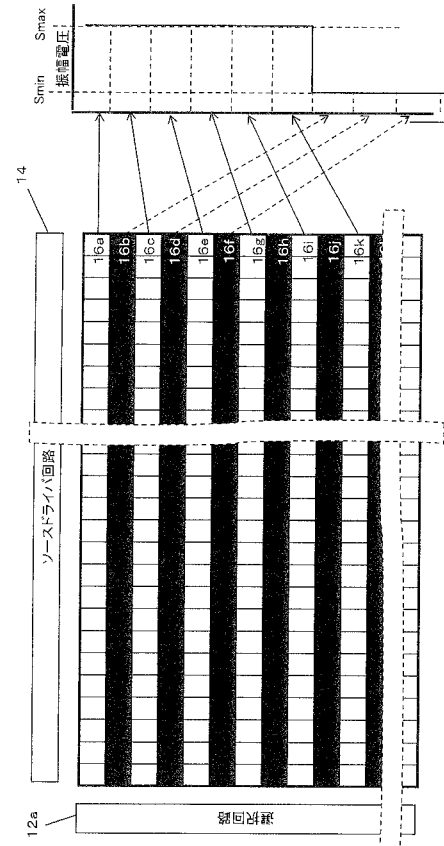
【図 26】



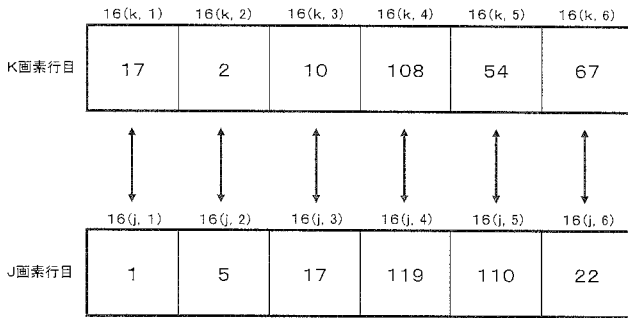
【図 27】



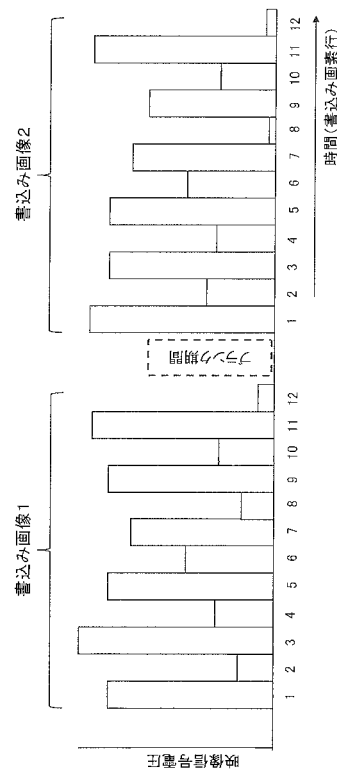
【図 28】



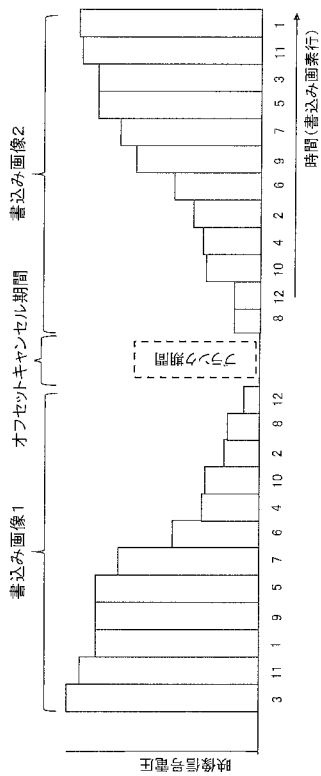
【図 29】



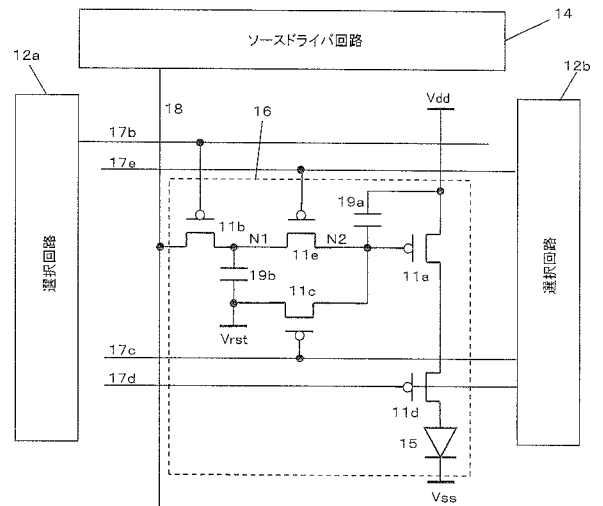
【図 30】



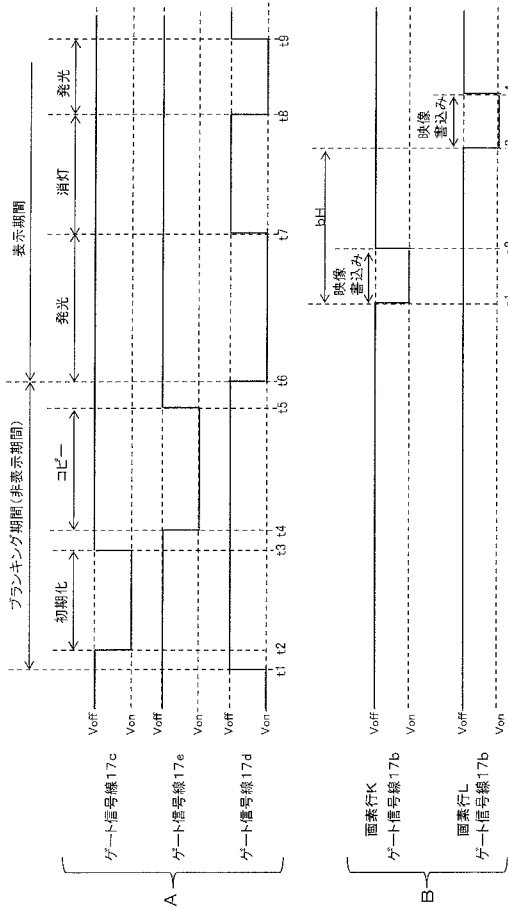
【図 31】



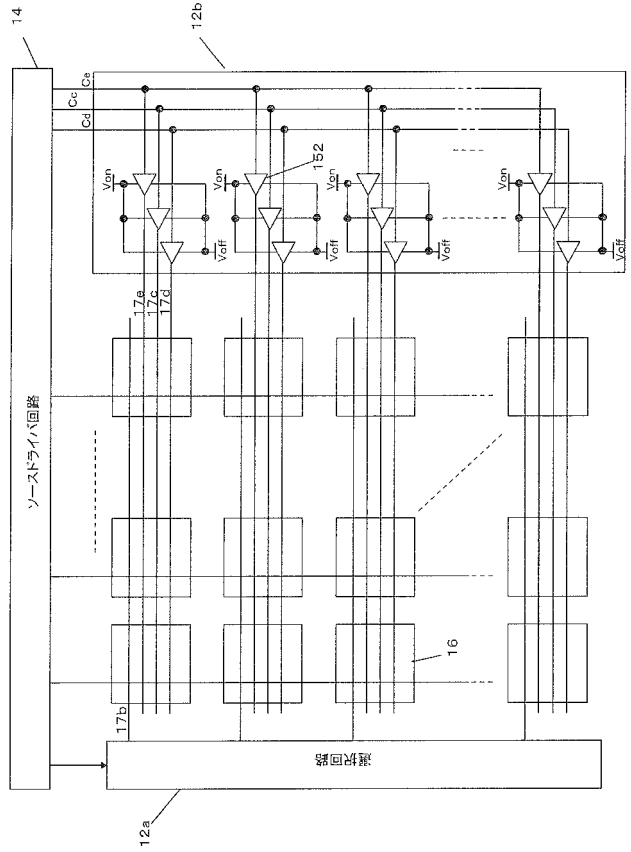
【図 32】



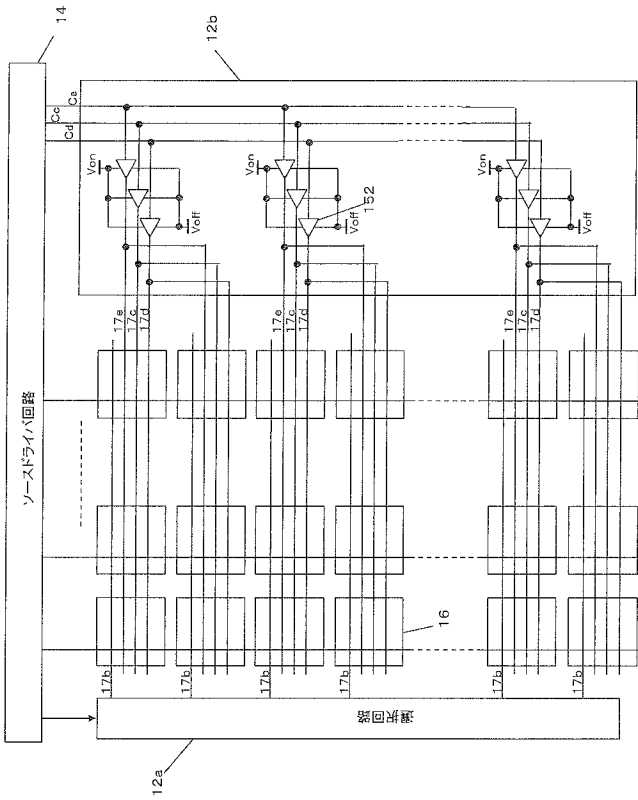
【図 3 3】



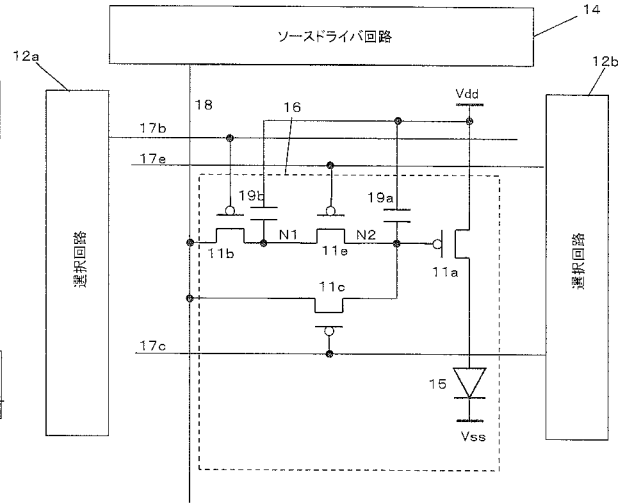
【図 3 4】



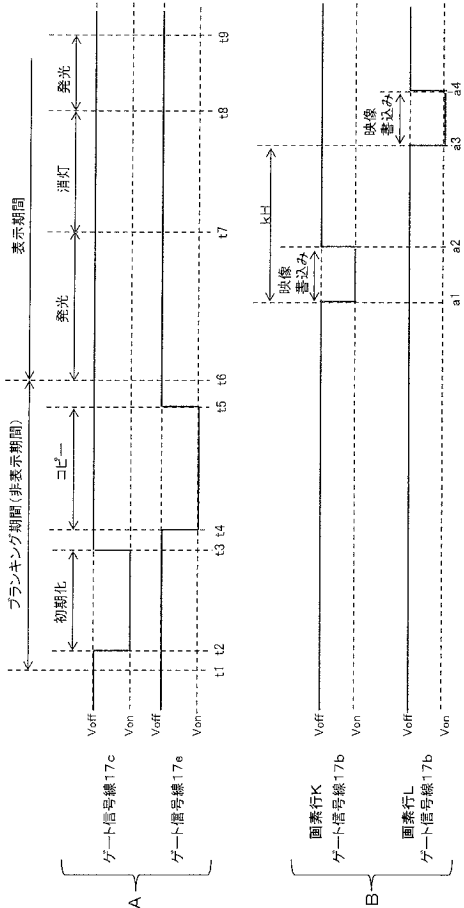
【図 3 5】



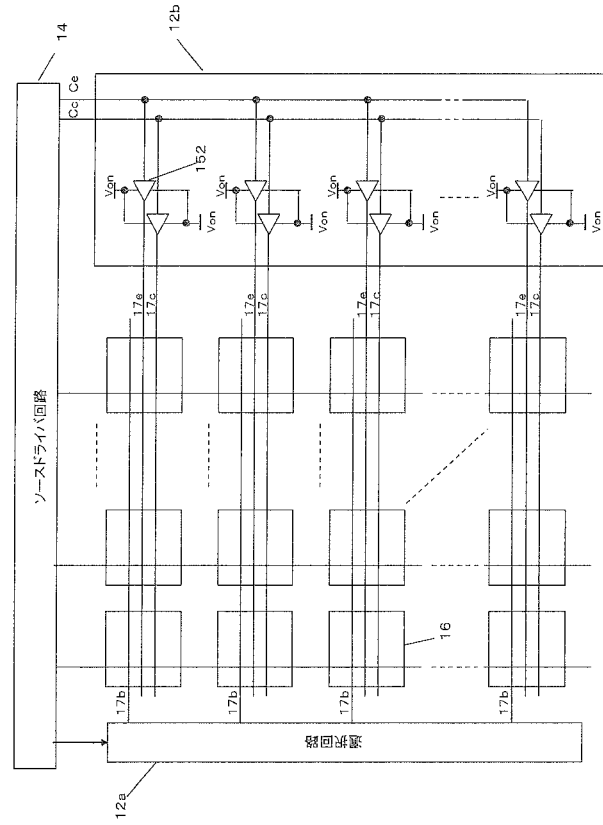
【図 3 6】



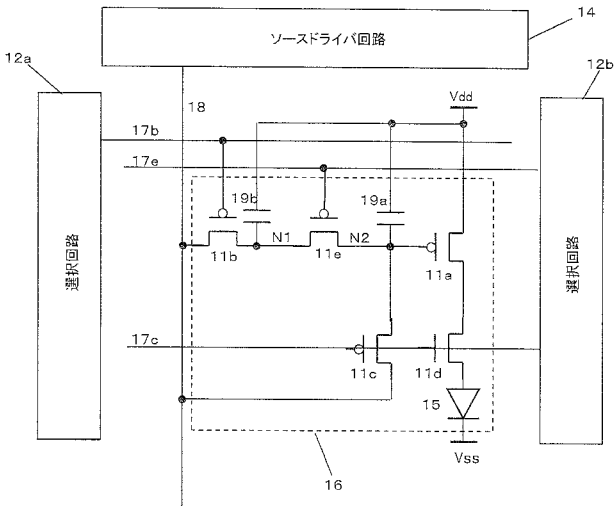
【図 37】



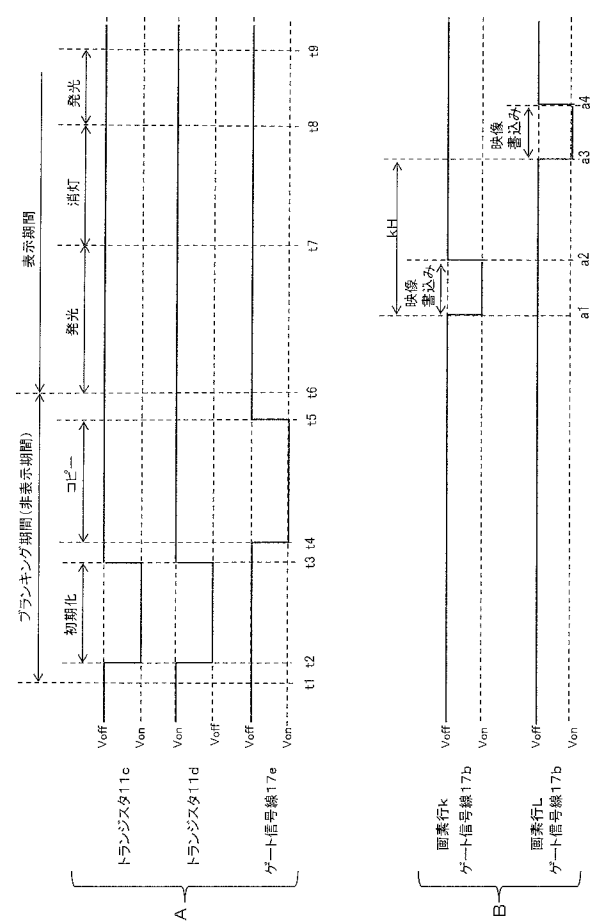
【図 38】



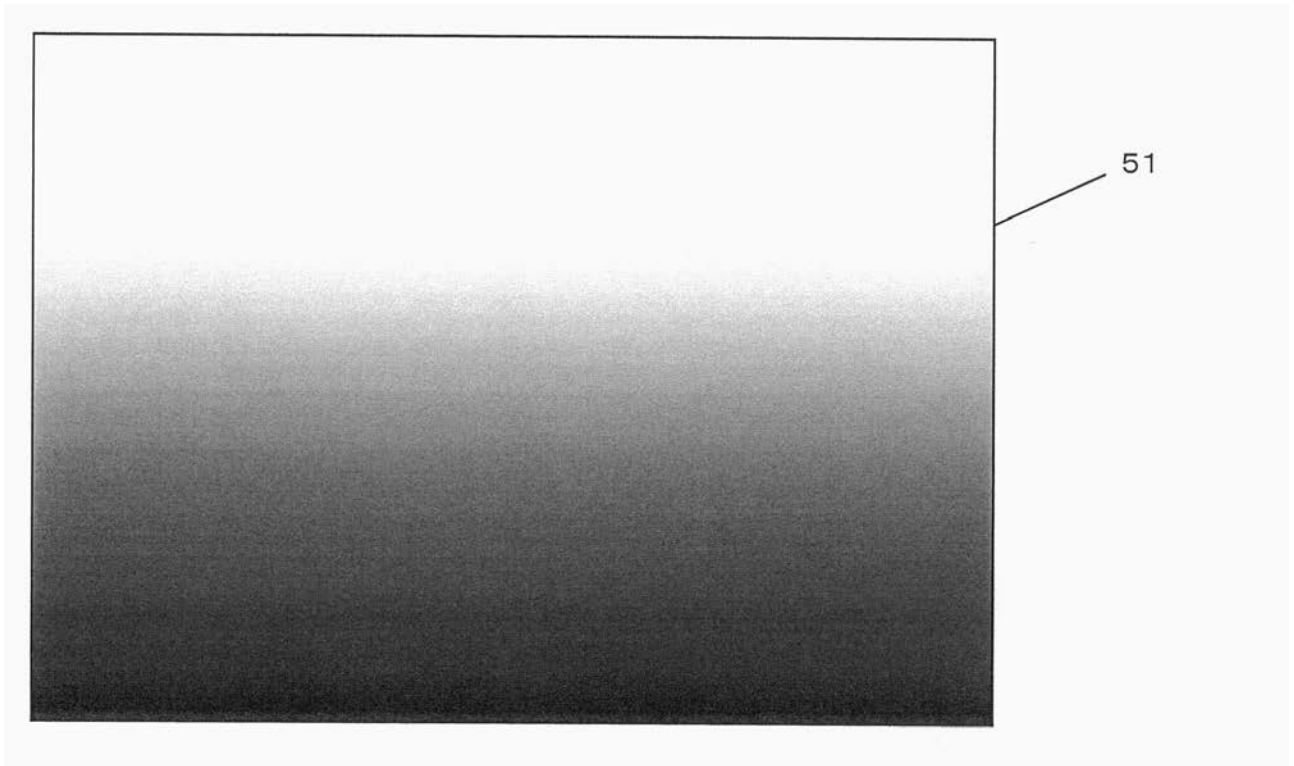
【図 39】



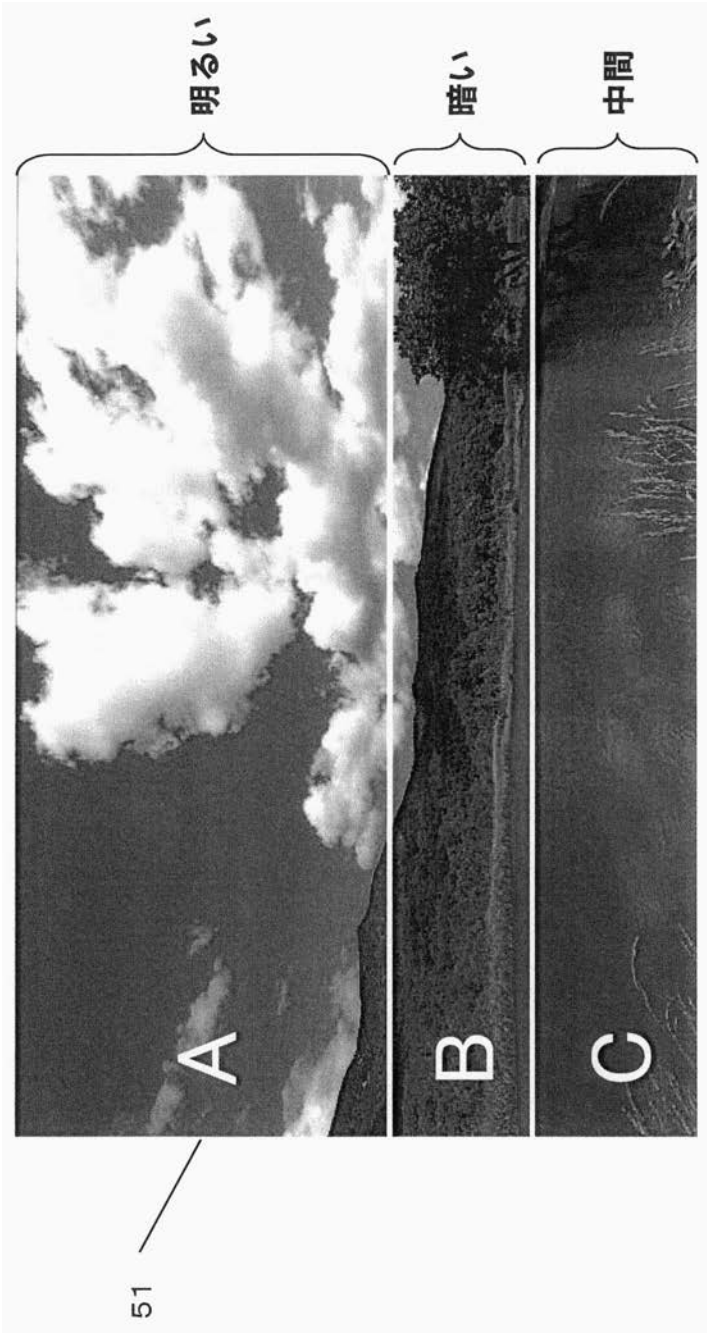
【図 40】



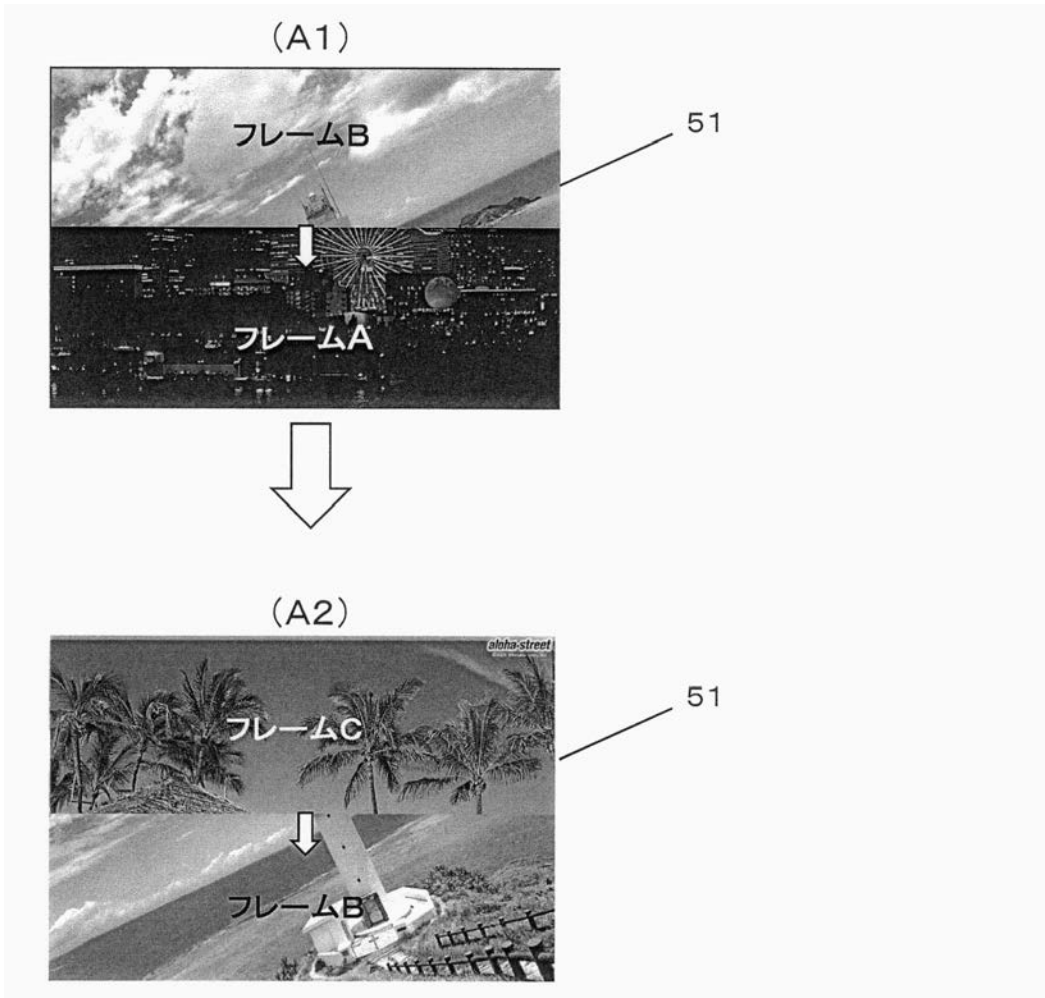
【 図 4 1 】



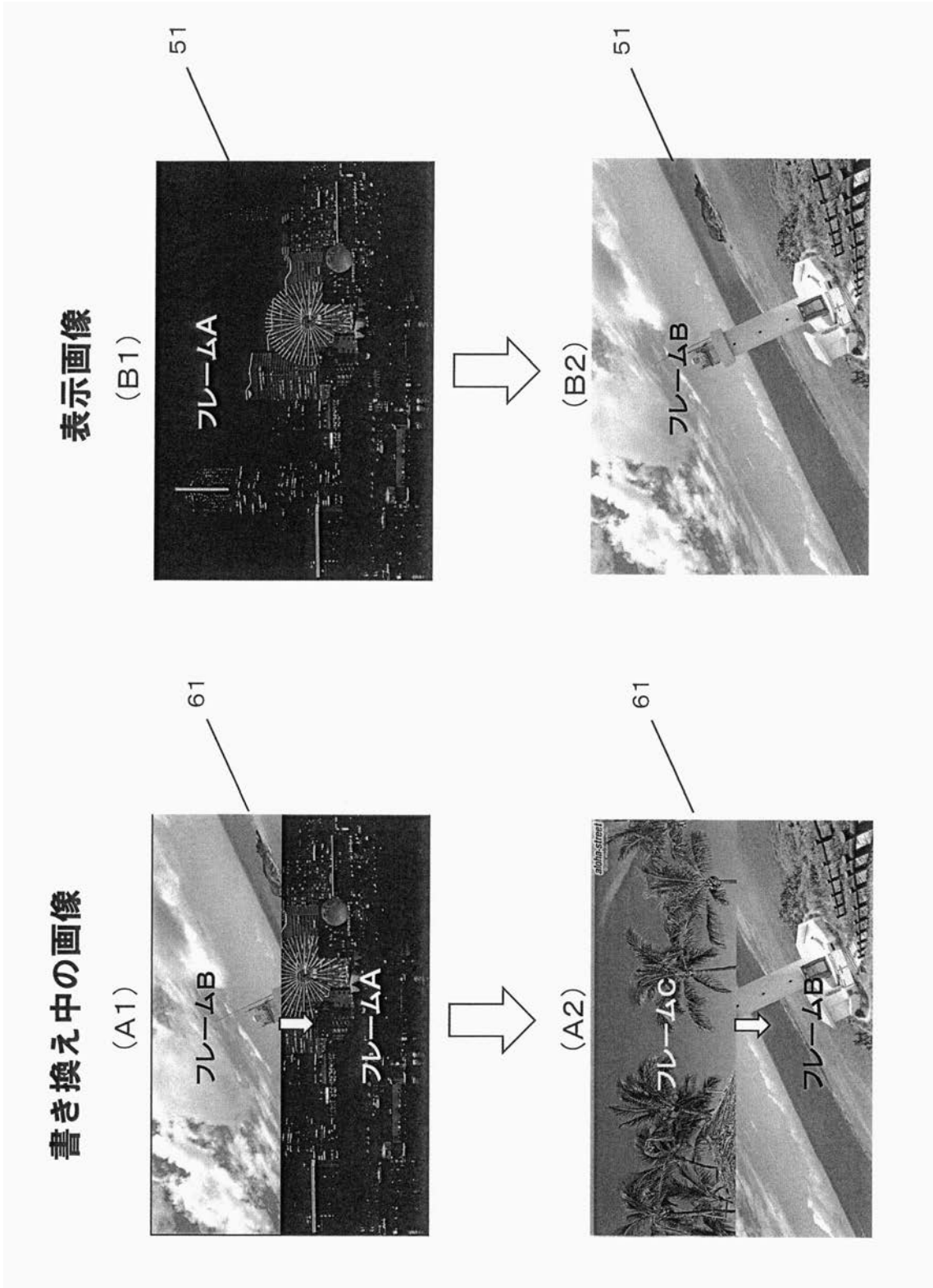
【 図 4 2 】



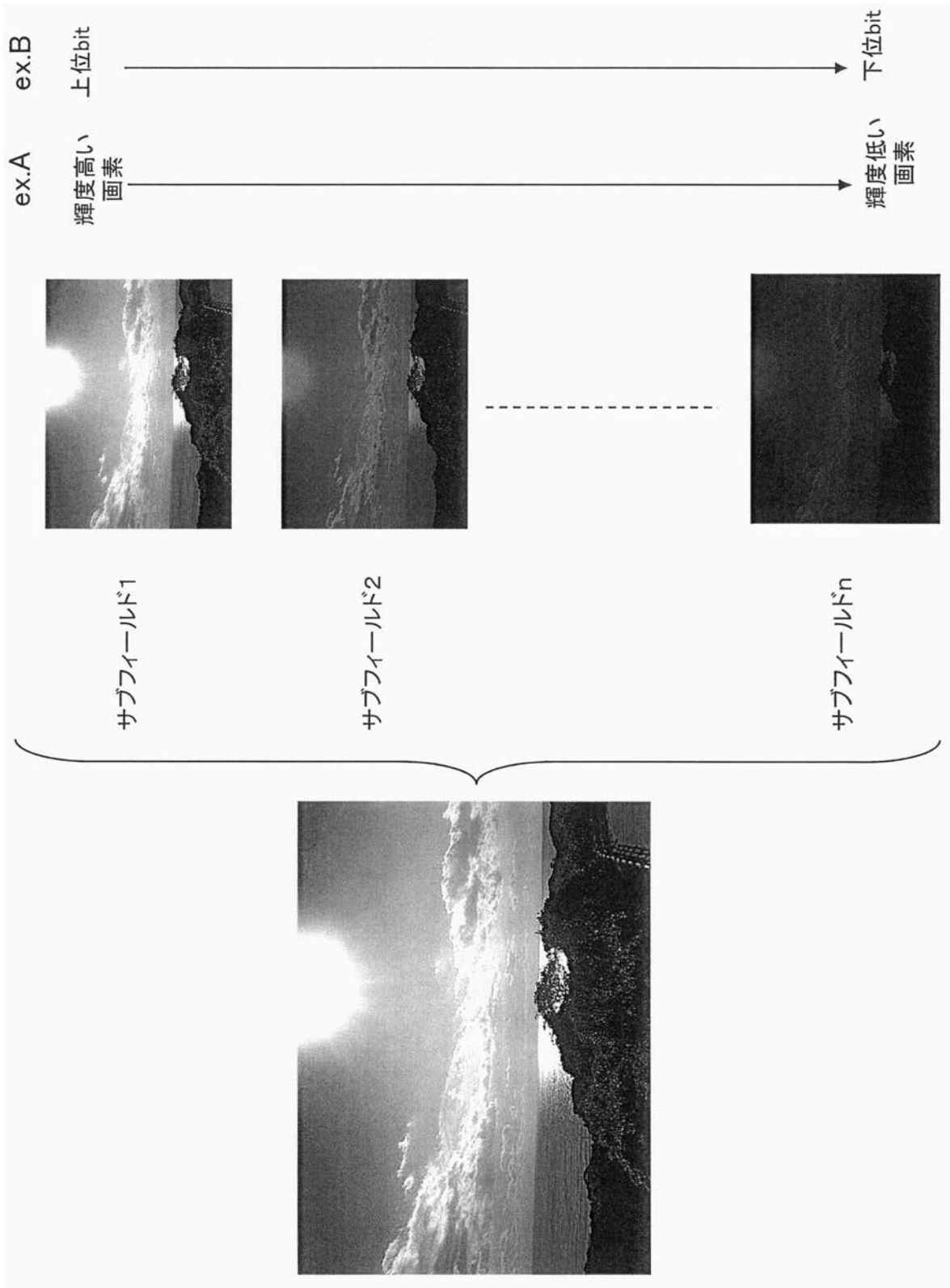
【 図 4 3 】



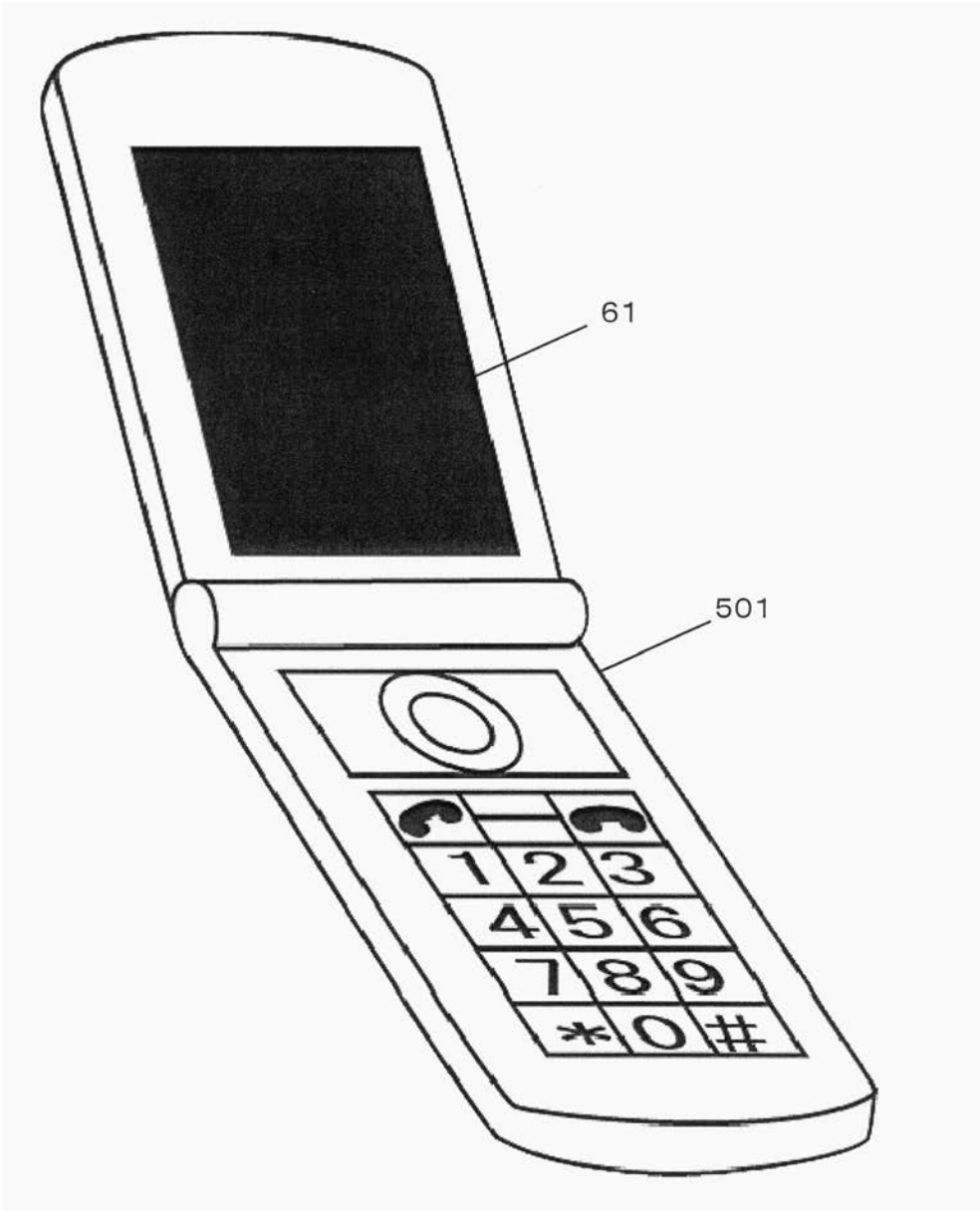
【 図 4 4 】



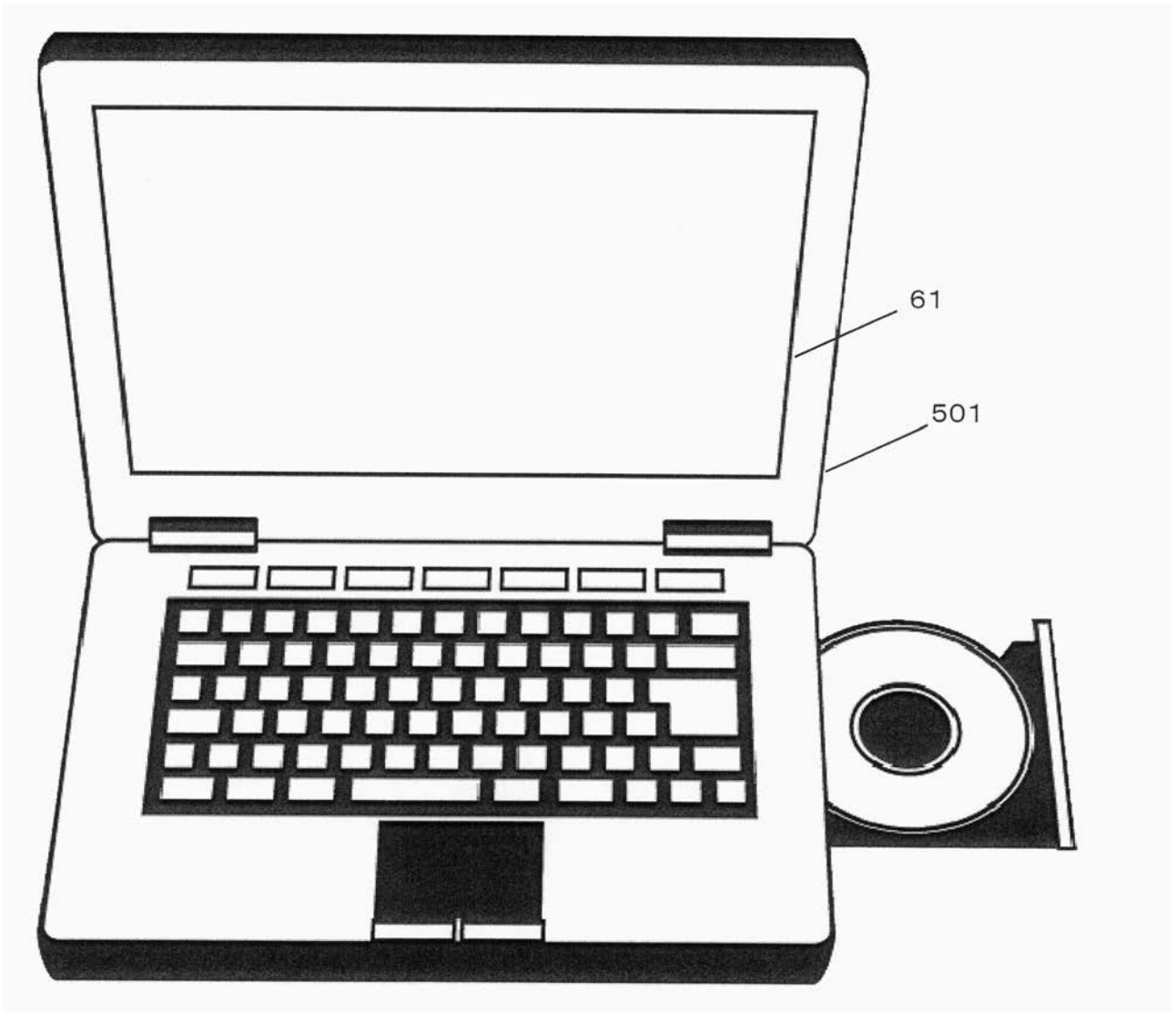
【 図 4 5 】



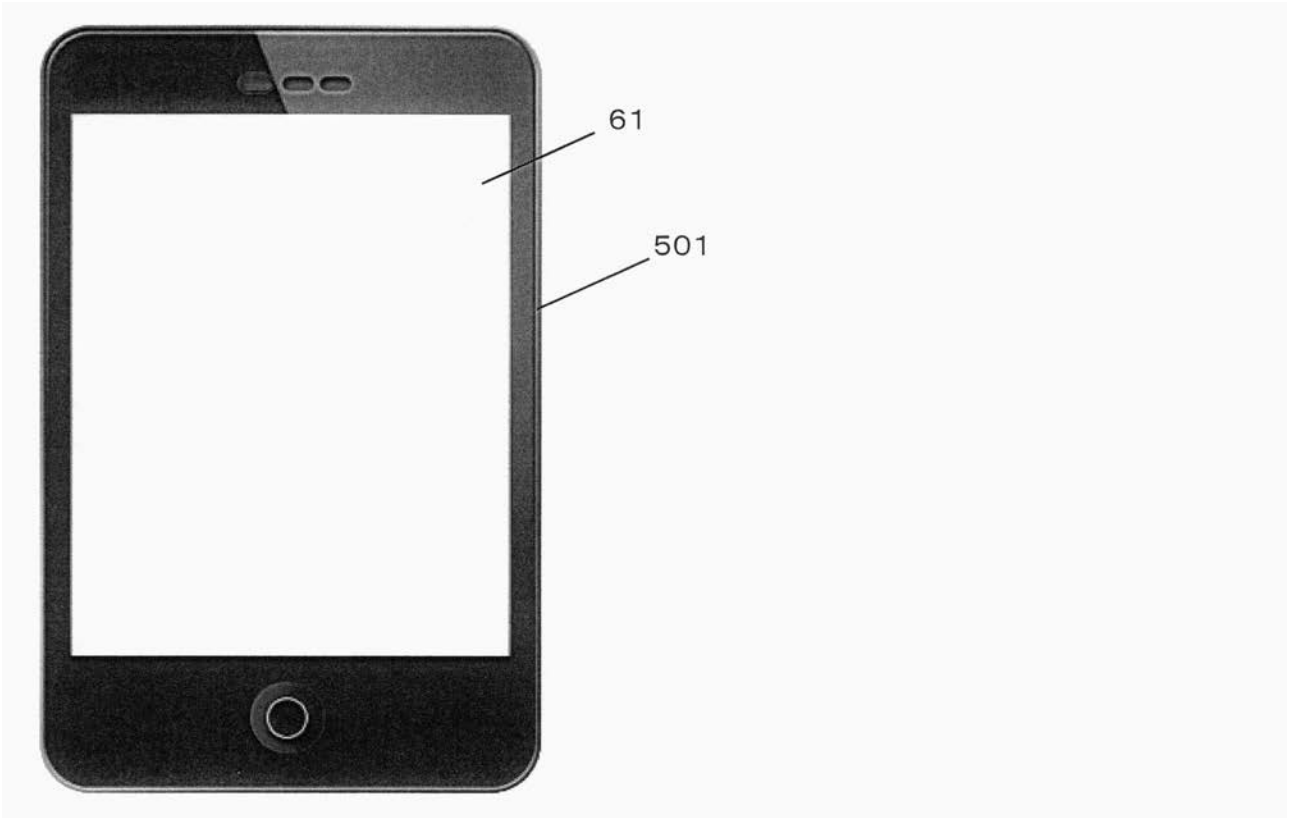
【図 50】



【図 5 1】



【図 5 2】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 1 2 T
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 2 2 P
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/30	H
G 0 9 G	3/20	6 1 2 U
H 0 5 B	33/14	A

Fターム(参考) 5C080 AA06 BB05 CC03 DD07 DD18 DD19 DD22 DD23 DD26 DD29
 EE19 EE29 EE30 FF11 GG11 GG13 HH10 JJ01 JJ02 JJ03
 JJ04 JJ05 JJ06 KK07 KK47
 5C380 AA01 AB06 AB18 AB24 AB34 AB41 AB45 AC11 BA01 BA05
 BA11 BA12 BA17 BA45 BD09 BD10 CA12 CA53 CB02 CB04
 CB12 CB14 CB16 CB17 CB26 CB31 CB37 CC04 CC07 CC11
 CC14 CC26 CC27 CC34 CC38 CC39 CC52 CC64 CC65 CC66
 CD024 CD025 CD037 CE04 CE19 CF02 CF17 CF22 CF24 CF32
 CF52 CF64 DA02 DA06 DA32 DA35 DA42 DA44 DA47 DA49
 HA02 HA05 HA11

专利名称(译)	图像显示装置和图像显示装置的驱动方法。		
公开(公告)号	JP2016031431A	公开(公告)日	2016-03-07
申请号	JP2014153089	申请日	2014-07-28
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	高原博司		
发明人	高原 博司		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.K G09G3/20.670.L G09G3/20.670.K G09G3/20.611.A G09G3/20.612.T G09G3/20.622.Q G09G3/20.622.P G09G3/20.611.H G09G3/30.H G09G3/20.612.U H05B33/14.A G09G3/3241 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC35 3K107/CC41 3K107/CC42 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD07 5C080/DD18 5C080/DD19 5C080/DD22 5C080/DD23 5C080/DD26 5C080/DD29 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG11 5C080/GG13 5C080/HH10 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB24 5C380/AB34 5C380/AB41 5C380/AB45 5C380/AC11 5C380/BA01 5C380/BA05 5C380/BA11 5C380/BA12 5C380/BA17 5C380/BA45 5C380/BD09 5C380/BD10 5C380/CA12 5C380/CA53 5C380/CB02 5C380/CB04 5C380/CB12 5C380/CB14 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CB37 5C380/CC04 5C380/CC07 5C380/CC11 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC34 5C380/CC38 5C380/CC39 5C380/CC52 5C380/CC64 5C380/CC65 5C380/CC66 5C380/CD024 5C380/CD025 5C380/CD037 5C380/CE04 5C380/CE19 5C380/CF02 5C380/CF17 5C380/CF22 5C380/CF24 5C380/CF32 5C380/CF52 5C380/CF64 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA35 5C380/DA42 5C380/DA44 5C380/DA47 5C380/DA49 5C380/HA02 5C380/HA05 5C380/HA11		
代理人(译)	吉川修 Sobashima正雄		
其他公开文献	JP6417608B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够在不降低图像质量的情况下减少发热量的图像显示装置。解决方案：计算显示屏上栅极信号线17b的选择顺序，以使源极驱动器电路14输出到源极信号线18的视频信号的幅度差变小。选择电路12a按照所确定的栅极信号线17b的选择顺序选择16行像素。源极驱动器电路14输出与所选像素行的栅极信号线17b相对应的视频信号，并且该视频信号被写入像素16的电容器19b中。在消隐期间，选择电路12b同时控制整个屏幕的栅极信号线17f，17e，17c和17d的导通/截止，以执行像素电路的偏移消除。在偏移抵消之后，开关晶体管11e导通，电容器19b的电压被施加到驱动晶体管11a的栅极端子，并且EL元件15被提供有发光电流。[选型图]图1

(21) 出願番号	特願2014-153089 (P2014-153089)	(71) 出願人	514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2-3番地
(22) 出願日	平成26年7月28日 (2014.7.28)	(74) 代理人	100189430 弁理士 吉川 修一
		(74) 代理人	100190805 弁理士 傍島 正朗
		(72) 発明者	高原 博司 大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC35 CC41 CC42 EE03 HH04 HH05