

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-152700
(P2015-152700A)

(43) 公開日 平成27年8月24日 (2015. 8. 24)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	5C380
	G09G 3/20 622D	
	G09G 3/20 621A	

審査請求 未請求 請求項の数 5 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2014-25079 (P2014-25079)
(22) 出願日 平成26年2月13日 (2014. 2. 13)

(71) 出願人 514188173
株式会社 J O L E D
東京都千代田区神田錦町三丁目23番地
(74) 代理人 110001357
特許業務法人つばき国際特許事務所
(72) 発明者 清水 栄寿
東京都港区港南1丁目7番1号 ソニー株式会社内
Fターム(参考) 3K107 AA01 BB01 CC31 CC33 EE03
HH05
5C080 AA06 BB06 DD05 DD10 EE29
FF03 FF11 FF13 HH09 JJ01
JJ02 JJ03 JJ04 KK04 KK07
KK43

最終頁に続く

(54) 【発明の名称】 表示装置および表示方法

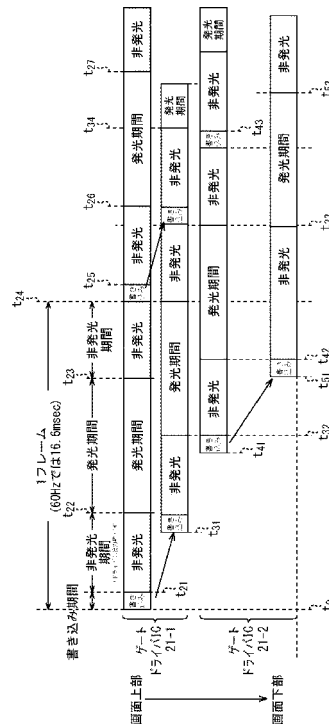
(57) 【要約】

【課題】有機ELパネルにおけるゲートドライバ単位のピッチでの輝度傾斜を抑制する。

【解決手段】ゲートドライバ単位で全ての画素列に対して、有機EL素子を駆動させる駆動用トランジスタDS-TFTの閾値と映像信号を画素容量に書き込み処理を、表示パネルの上側の画素列から順次実行させ、最下側の画素列の書き込みが全ての画素列に対して完了したタイミングで、上側の画素列から所定の時間間隔で順次発光させるようにする。本技術は、表示装置に適用することができる。

【選択図】 図8

図8



【特許請求の範囲】**【請求項 1】**

それぞれが画素を構成し、駆動電流により発光する発光部と、
画素毎の映像信号を画素容量に書き込む書き込み用トランジスタと、
前記画素容量に書き込まれた映像信号に応じた電圧により、記発光部の駆動電流を制御する駆動用トランジスタと、
前記書き込み用トランジスタによる前記画素容量への映像信号の書き込みと、前記駆動用トランジスタに供給する駆動電圧を制御する複数のゲートドライバとを含み、
前記ゲートドライバは、前記書き込み用トランジスタにより全画素の前記画素容量に対して映像信号を書き込んだ後、前記駆動用トランジスタに対して駆動電圧を供給するように制御する
表示装置。

10

【請求項 2】

前記ゲートドライバは、全画素の画素容量に対して映像信号を書き込んだ後、前記複数の画素の前記駆動用トランジスタに対して走査方向に対して順次駆動電圧を印加するように制御する
請求項 1 に記載の表示装置。

【請求項 3】

前記ゲートドライバは、全画素の画素容量に対して映像信号を書き込んだ後、前記複数の画素の前記駆動用トランジスタに対して同時に駆動電圧を印加するように制御する
請求項 1 に記載の表示装置。

20

【請求項 4】

前記ゲートドライバは、全画素の画素容量に対して閾値を書き込みが完了するまで、前記駆動電圧を中間電位に制御する
請求項 1 に記載の表示装置。

【請求項 5】

それぞれが画素を構成し、駆動電流により発光する発光部と、
画素毎の映像信号を画素容量に書き込む書き込み用トランジスタと、
前記画素容量に書き込まれた映像信号に応じた電圧により、記発光部の駆動電流を制御する駆動用トランジスタと、
前記書き込み用トランジスタによる前記画素容量への映像信号の書き込みと、前記駆動用トランジスタに供給する駆動電圧を制御する複数のゲートドライバとを含む表示装置の表示方法において、
前記ゲートドライバは、前記書き込み用トランジスタにより全画素の前記画素容量に対して映像信号を書き込んだ後、前記駆動用トランジスタに対して駆動電圧を供給するように制御する
表示方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本技術は、表示装置および表示方法に関し、特に、配線設計の自由度を向上させるようにした表示装置および表示方法に関する。

40

【背景技術】**【0002】**

近年、画像表示を行う表示装置の分野では、発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 EL (Electro Luminescence) 素子を用いた表示装置 (有機 EL 表示装置) が開発され、商品化が進められている (例えば、特許文献 1 参照)。有機 EL 素子は、液晶素子などと異なり自発光素子である。そのため、有機 EL 表示装置では光源 (バックライト) が必要ないことから、光源を必要とする液晶表示装置と比べ、画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

50

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特願2009-244665号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、有機EL表示装置には、垂直方向に複数の画素単位からなる所定数の列単位で走査用の複数のゲートドライバが設けられており、それぞれのゲートドライバが、それぞれに割り当てられている所定数の列単位で画素の発光を制御している。

10

【0005】

より具体的には、各画素を構成する有機EL素子毎に、有機EL素子の発光駆動を制御する駆動用トランジスタ、映像信号と閾値電位とを書き込む画素容量、および書き込み用トランジスタを備えている。

【0006】

ゲートドライバは、書き込み配線の電位を制御することにより、書き込み用トランジスタを制御して、信号出力部より出力されてくる映像信号を画素容量に書き込ませる。そして、駆動電源配線の電位を制御することで、画素容量に応じた電流を有機EL素子に流すことにより、映像信号に応じた輝度で有機ELを発光させる。

【0007】

しかしながら、複数の画素からなる各列の画素に対して画素容量に映像信号を書き込ませながら、駆動電源配線の電位を制御して有機EL素子が発光させると、発光に際して有機EL素子に流れ込む電流に応じた電圧降下が生じる。このため、電源より下流側の列に進むに従って電圧降下が進む。特に、同一のゲートドライバで管理される複数の列単位で、高輝度の範囲と低輝度の範囲とが含まれると、低輝度の範囲における電圧降下による輝度傾斜が現れてしまうことがあり、これを考慮した配線設計をしようとすると、制約が多く配線設計の自由度を低下させてしまうことがあった。

20

【0008】

本技術は、このような状況に鑑みてなされたものであり、特に、映像信号を書き込む際の電圧降下を抑制することで、輝度傾斜の発生を抑制し、輝度傾斜の発生に起因する有機EL表示装置の配線設計の制約を解消して、配線設計の自由度を向上させるものである。

30

【課題を解決するための手段】

【0009】

本技術の一側面の表示装置は、それぞれが画素を構成し、駆動電流により発光する発光部と、画素毎の映像信号を画素容量に書き込む書き込み用トランジスタと、前記画素容量に書き込まれた映像信号に応じた電圧により、記発光部の駆動電流を制御する駆動用トランジスタと、前記書き込み用トランジスタによる前記画素容量への映像信号の書き込みと、前記駆動用トランジスタに供給する駆動電圧を制御する複数のゲートドライバとを含み、前記ゲートドライバは、前記書き込み用トランジスタにより全画素の前記画素容量に対して映像信号を書き込んだ後、前記駆動用トランジスタに対して駆動電圧を供給するように制御する。

40

【0010】

前記ゲートドライバには、全画素の画素容量に対して閾値を書き込んだ後、前記複数の画素の前記駆動用トランジスタに対して走査方向に対して順次駆動電圧を印加するように制御させるようにすることができる。

【0011】

前記ゲートドライバは、全画素の画素容量に対して閾値を書き込んだ後、前記複数の画素の前記駆動用トランジスタに対して同時に駆動電圧を印加するように制御させるようにすることができる。

【0012】

50

前記ゲートドライバには、全画素の画素容量に対して閾値を書き込みが完了するまで、前記駆動電圧を中間電位に制御させるようにすることができる。

【0013】

本技術の一側面の表示方法は、それぞれが画素を構成し、駆動電流により発光する発光部と、画素毎の映像信号を画素容量に書き込む書き込み用トランジスタと、前記画素容量に書き込まれた映像信号に応じた電圧により、記発光部の駆動電流を制御する駆動用トランジスタと、前記書き込み用トランジスタによる前記画素容量への映像信号の書き込みと、前記駆動用トランジスタに供給する駆動電圧を制御する複数のゲートドライバとを含む表示装置の表示方法であって、前記ゲートドライバは、前記書き込み用トランジスタにより全画素の前記画素容量に対して映像信号を書き込んだ後、前記駆動用トランジスタに対して駆動電圧を供給するように制御する。

10

【0014】

本技術の一側面においては、発光部のそれぞれにより画素が構成され、駆動電流により発光され、書き込み用トランジスタにより、画素毎の映像信号が画素容量に書き込まれ、駆動用トランジスタにより、前記画素容量に書き込まれた映像信号に応じた電圧により、記発光部の駆動電流が制御され、複数のゲートドライバにより、前記書き込み用トランジスタによる前記画素容量への映像信号の書き込みと、前記駆動用トランジスタに供給する駆動電圧が制御され、前記ゲートドライバの制御により、前記書き込み用トランジスタにより全画素の前記画素容量に対して映像信号を書き込んだ後、前記駆動用トランジスタに対して駆動電圧が供給されるように制御される。

20

【発明の効果】

【0015】

本技術の一側面によれば、ゲートドライバの配線設計における自由度を向上させることが可能となる。

【図面の簡単な説明】

【0016】

【図1】本技術を適用した表示装置の一実施の形態の構成を説明する図である。

【図2】図1の表示装置の表示パネルにおける画素単位の回路構成を説明する図である。

【図3】図1の表示装置の一般的な制御方法を説明するタイミングチャートである。

【図4】一般的な制御方法により生じる輝度傾斜を説明する図である。

30

【図5】輝度傾斜を生じさせる電圧降下を説明する図である。

【図6】電圧降下を生じさせる内部抵抗および寄生容量を説明する図である。

【図7】1のゲートドライバにより管理される画素列のうち、最上列の画素列の各画素の画素容量に映像信号が書き込まれた直後の状態と、最下列の画素列の各画素の画素容量に映像信号が書き込まれた直後の状態を説明する図である。

【図8】本技術を適用した表示装置の制御方法の概念を説明する図である。

【図9】本技術を適用した表示装置の制御方法の具体例を説明する図である。

【図10】図9の制御方法における電圧降下を説明する図である。

【図11】本技術の制御方法により輝度傾斜が抑制される様子を説明する図である。

【図12】本技術が適用される電子機器の具体例としてテレビジョンセットに適用される例を説明する図である。

40

【図13】本技術が適用される電子機器の具体例としてスマートフォンに適用される例を説明する図である。

【発明を実施するための最良の形態】

【0017】

<表示装置の構成例>

図1は、本技術を適用した有機EL(Electro Luminescence)素子を用いた表示装置の一実施の形態の構成例を示すブロック図である。

【0018】

図1の表示装置は、書き込み駆動走査部11、信号出力部12、および表示パネル13

50

より構成される。

【0019】

書き込み駆動走査部11は、ゲートドライバIC(Integrated Circuit)21-1乃至21-nを備えており、表示パネル13上の各画素P11乃至Pmnへと信号出力部12からの映像信号を書き込むと共に、発光を制御する。

【0020】

尚、以降において、画素P11乃至Pmn、およびゲートドライバIC21-1乃至21-nについて、特に区別する必要がない場合、単に画素Pmn、および、ゲートドライバIC21と称するものとし、その他の構成についても同様に称するものとする。また、ここでは、画素Pmnについては、mが行方向の位置を、nが列方向の位置を示す値であるものとする。

10

【0021】

ゲートドライバIC21は、各画素Pmnに対して、書き込み用配線WS[n]を介して、それぞれ所定数の画素列の各画素への映像信号の書き込みを制御すると共に、駆動用配線DS[n]を介して、各画素の有機EL素子ELの発光を制御する。また、ゲートドライバIC21は、それぞれが制御する複数の列の画素のうち、図中の上の列から下の列に向かって、または、下の列から上の列に向かって(走査方向に向かって)順次列単位で画素列の書き込み、駆動、および走査を制御する。

【0022】

<画素の構成例>

次に、図2を参照して、各画素の詳細な構成について説明する。

20

【0023】

各画素Pmnは、書き込み用トランジスタWS-TFT、駆動用トランジスタDS-TFT、画素容量Cs、および有機EL素子ELを備えている。書き込み用トランジスタWS-TFT、および駆動用トランジスタDS-TFTは、いずれもThin Film Transistorより構成されている。尚、図中の容量CELは、回路を構成することで発生する有機EL素子ELの寄生容量であり、回路としての実態が存在するものではない。

【0024】

書き込み用トランジスタWS-TFTは、ゲートが書き込み配線WS[n]に接続されており、ドレインに信号出力部12より供給される映像信号を示す電圧の入力を受け付ける。また、書き込み用トランジスタWS-TFTのソースは、画素容量Csの一方の端部、および駆動用トランジスタDSのゲートに接続されている。

30

【0025】

駆動用トランジスタDS-TFTは、ドレインが駆動用配線DSに接続されており、ドレインが画素容量Csの他方の端部、および有機EL素子ELのアノードに接続されている。有機EL素子ELのカソードは、所定の電位Vcath(=接地電位)に接続されている。

【0026】

すなわち、ゲートドライバIC21は、書き込み配線WS[n]を介した書き込み用信号により、書き込み用トランジスタWS-TFTのオンまたはオフを制御し、信号出力部12より出力される映像信号を画素容量Csに書き込ませる。また、駆動用トランジスタDS-TFTは、この画素容量Csに書き込まれた映像信号により駆動し、ゲートドライバIC21より駆動用配線DS[n]を介してドレインに供給される電位と、ゲート-ソース間電圧Vgsで定まる電流を有機EL素子ELに流す。有機EL素子ELは、このとき流れ込む電流により発光する。

40

【0027】

<一般的な制御方法>

次に、図3を参照して、表示装置の一般的な制御方法について説明する。尚、図3の最上段は、駆動用配線DS[n]の駆動用信号の出力波形を示している。ここで、DS_Hは駆動用信号の高位電圧を、DS_Lは駆動用信号の低位電圧をそれぞれ示している。ま

50

た、図3の中段は、書き込み用配線 $WS[n]$ より出力される書き込み信号の出力波形を示したものであり、下段は、信号出力部12からの映像信号の出力波形を示している。

【0028】

すなわち、表示装置は、これまで一般的なゲートドライバにより、以下のように制御されていた。まず、時刻 t_0 乃至 t_1 において、1フレーム分の処理が開始されるとき、初期化処理が実行され、このとき、駆動用信号が低位 DS_L とされ、順次書き込み用信号、および映像信号が所定の周波数で出力される。尚、ここで、1フレームは、例えば、60Hzの場合、 $1/60\text{sec}$ となる。

【0029】

時刻 t_1 において、駆動用信号が高位 DS_H とされ、時刻 t_1 乃至 t_2 において、いわゆる閾値 V_{th} キャンセル期間となり、閾値 V_{th} キャンセル処理が実行される。ここでは、駆動用トランジスタ $DS-TFT$ のゲート-ソース間電圧が調整される処理がなされ、画素容量 C_s に閾値電圧に相当する電圧が書き込まれる。尚、詳細については、例えば、特許文献1を参照されたい。

【0030】

そして、閾値 V_{th} キャンセル期間が終了するタイミングである時刻 t_2 乃至 t_3 において、画素容量 C_s に映像信号が閾値に足し込まれる形で書き込みが完了すると、時刻 t_3 乃至 t_4 において、駆動用トランジスタ $DS-TFT$ がオンとされて、有機EL素子ELに、画素容量 C_s に書き込まれた映像信号に応じた電流が流れ、電流値に応じた輝度で発光する。

【0031】

<輝度傾斜の発生>

ところで、上述した一般的な制御においては、映像信号に応じた信号電圧が画素容量 C_s に書き込まれた直後に、駆動用信号の電圧が高位 DS_H (ON状態)のままであるので、すぐに発光が開始される。

【0032】

しかしながら、発光する列数(ライン数)が増加していくと、駆動用配線 $DS[n]$ の基板上、または、個々のゲートドライバIC21内の配線抵抗や寄生容量によって、電流依存の電圧降下が発生する。結果として、表示パネル13内において、ゲートドライバIC21のピッチで周期的な輝度傾斜が発生することがある。

【0033】

例えば、図4で示されるように、ゲートドライバIC21の画面の上から下へ書き込み信号が走査され、画素列の一部に高輝度のエリアHAと低輝度のエリアLAがある場合、各ゲートドライバIC21の駆動用配線 DS の出力電圧は、電流が増大すると配線抵抗の影響を受けて降下する。

【0034】

このように書き込みおよび発光を、表示パネル13の上から下方向に列単位で順次繰り返すと、図5で示されるように、ゲートドライバIC21-1の波形L1は、時刻 t_{11} 乃至 t_{12} で示される書き込み期間においては、駆動用信号の電圧は通常電圧に保たれる。しかしながら、時刻 t_{12} 乃至 t_{13} において、波形L2で示されるように、ゲートドライバIC21-1の発光に伴って、ゲートドライバIC21-2の書き込み期間中に駆動用信号の電圧が徐々に降下する。同様に、ゲートドライバIC21-3の波形L3で示されるように、時刻 t_{13} 乃至 t_{14} において、ゲートドライバIC21-2の発光に伴って、ゲートドライバIC21-3の書き込み期間中に電圧が徐々に降下する。

【0035】

すなわち、各ゲートドライバIC21内の駆動用信号に伴う駆動信号の電流量 I_{ds} は、発光に伴って増大し、これに起因して書き込み中に電圧降下が発生する。そのため、ゲートドライバIC21内で制御する書き込みはじめの列(上部の列)と、最終列(下部の列)とでは、書き込み時の駆動用信号 DS の電圧が異なる。

【0036】

10

20

30

40

50

つまり、最初のゲートドライバIC21内の書き込みが全て終了すると、駆動用信号DSの電圧は全て同一になり、このタイミングでは、1ゲートドライバIC21の上部の画素の書き込み電圧と、下部の画素に書き込む電圧が同じである。しかしながら、その後、2番目のゲートドライバIC21により書き込みが開始されると、直前のゲートドライバIC21により書き込まれた範囲の画素の発光に伴って増大する電流量Idsの影響により、駆動用信号DSの電圧降下量が異なる事になる為、駆動用トランジスタDS-TFTの寄生容量CDS(図6)によって、書き込み後の電圧の変動量も異なってしまう。その結果、同一のゲートドライバIC21により制御される列の上部から下部に沿ってグラデーションのような輝度低下(輝度傾斜)が発生される。

【0037】

特に、図4で示されるように、高輝度の表示エリアHAおよび低輝度の表示エリアLAが同一列内に存在すると、高輝度の表示エリアHAにおいては、輝度変化が視認され難いが、低輝度の表示エリアLAでは書き込み電圧の小さな変動でも視認されやすい。

【0038】

従って、高輝度の表示エリアHAと同一列内(横方向)に低輝度の表示エリアLAが存在すると、図4で示されるように、低輝度の表示エリアLAに、ゲートドライバIC21で管理される列単位で輝度傾斜が生じてしまう。

【0039】

<内部抵抗>

ここで、ゲートドライバIC21における内部の配線抵抗および寄生容量は、例えば、図6の抵抗R1乃至R3, R11-1, R11-2, R12-1, R12-2, および寄生容量CDSで示されるようなものである。尚、図6の抵抗R1乃至R3, R11-1, R11-2, R12-1, R12-2, および寄生容量CDSは、配線抵抗および配線に寄生する容量であるので、実態としての回路は存在しない。

【0040】

すなわち、抵抗R1は、駆動用電源配線DS(高位電圧DS_Hを供給)とゲート基板プリント基板などよりなる抵抗である。抵抗R2-1, R2-2は、ACF(Anisotropic Conductive Film)圧着抵抗およびゲートドライバIC21の前段の配線の抵抗である。抵抗R11-1, R11-2, およびR12-1, R12-2は、いずれも各画素単位の高位電圧DS_Hおよび低位電圧DS_Lの分岐位置前後の配線抵抗である。また、抵抗R3は、ゲートドライバIC21と画素間の配線抵抗である。寄生容量CDSは駆動用トランジスタDS-TFTのソース-ゲート間の寄生容量である。

【0041】

これらの配線抵抗および寄生容量により、例えば、図7で示されるような電圧降下が発生する。尚、図7の左上部においては、ゲートドライバIC21で管理される最上列における各画素の書き込み直後の状態が示されており、図7左下部は、ゲートドライバIC21で管理される最下列の各画素の書き込み直後における、最上列の各画素の状態が示されている。また、図7右下部は、ゲートドライバIC21で管理される最下列の各画素の書き込み直後における、最下列の各画素の状態が示されている。ここで、最下列の各画素については、最上列の各画素の書き込み直後においては、何ら信号が供給されていない状態

【0042】

さらに、ゲートドライバIC21により制御される画素列のうち、上側の画素列における各画素は、画素容量Csに書き込みがなされた直後の、駆動用配線DSの電位を電位Vdsであるものとし、駆動用配線DSの電流量を電流量Idsであるものとする。また、このときの有機EL素子ELのアノード電位を電位Vaであるものとする。また、映像信号は、Vsigとも表記するものとする。

【0043】

従って、この場合、駆動用トランジスタDS-TFTのゲート-ソース間電圧が電圧Vsであるとすると、画素容量Csの書き込み電位となる駆動用トランジスタDS-TFT

10

20

30

40

50

のゲート電位は、電位 ($V_s + V_a$) となる。

【0044】

この状態から、1のゲートドライバIC21の管理する画素列のうち、最上列の画素列について画素容量 C_s への書き込みが終了した直後から、徐々に下の列の画素列の書き込み操作がなされることにより、図7の左下部で示されるように、電流量 I_{ds} の増加に伴って駆動用配線DSの電位は、電位 V_{ds} から電位 V_{ds} だけ降下することにより、電位 ($V_{ds} - V_{ds}$) に変化する。

【0045】

このとき、駆動用トランジスタDS-TFTの寄生容量 C_{gd_ds} により電圧降下 ($V_{a'} + V_{ds}'$) が生じて駆動用トランジスタDS-TFTのソース-ドレインを流れる電流 I_{ds} が低下する。

【0046】

ここで、 V_{ds}' は、 $V_{ds}' = V_{ds} \times C_{gd_ds} / C_{all}$ である。ここで、 C_{all} は、書き込み用トランジスタWS-TFTのゲート-ソース間の寄生容量 C_{gs_ws} 、画素容量 C_s 、駆動用トランジスタDS-TFTのゲート-ドレイン間の寄生容量 C_{gd_ds} 、駆動用トランジスタDS-TFTのゲート-ソース間の寄生容量 C_{gd_ds} のそれぞれの総和を示している。また、 $V_{a'}$ は、 $V_{a'} = V_a \times C_{gd_ds} / C_{all}$ である。

【0047】

一方、ゲートドライバIC21により制御される画素列のうち、下側の画素列における書き込み信号は、上側の画素列における書き込みが終了した時点では発生していないため、比較すべき動作状態はない。そして、表示パネル13の上側の画素列が順次発光されてくるとき、図7の右下部で示されるように、図7の左上部同様に、書き込み信号が書き込まれる。

【0048】

従って、このように上側の画素列から順次下側の画素列に書き込み信号が記録されることにより、下側の画素列の処理に進むほど、電圧降下が進んでいく。しかしながら、電圧降下は、上側の画素列であるほど大きく、下側の画素列に進むに従って小さくなる。結果として、図4の低輝度の表示エリアLAで示されるように、1のゲートドライバIC21が制御する画素列の単位で周期的に輝度傾斜が発生することになる。

【0049】

<本技術における制御方法の概念>

以上のように、上側の画素列から順次、書き込みおよび発光が繰り返されることにより発生する電圧降下を抑制する必要がある。このため、図8で示されるように、ゲートドライバIC21単位で全画素について映像信号の書き込みが完了するまで待機状態とし、全画素について書き込みが完了した後、発光させるようにする。

【0050】

尚、図8においては、画面上部より、1のゲートドライバIC21単位に画素列単位で順次書き込み処理を実行し、全画素について書き込みが終了した後、順次、上側の画素列から発光されている。

【0051】

より詳細には、図8の最上段においては、ゲートドライバIC21-1の先頭画素列について、時刻 t_0 乃至 t_{21} において、書き込み処理が実行され、時刻 t_{21} 乃至 t_{22} において非発光期間、すなわち、待機状態であることが示されている。この時刻 t_{21} 乃至 t_{22} において、図示されていないが上側の画素列から順次書き込み処理が実行されて、時刻 t_{31} 乃至 t_{22} において、最下列の画素列の書き込み処理が実行される。

【0052】

そして、時刻 t_{22} 乃至 t_{23} において、最上段の画素列が発光期間とされ、順次、上側の画素列から発光処理が繰り返されて、時刻 t_{32} 乃至 t_{24} において、最下列の画素列の各画素列の発行処理が実行される。以降、ゲートドライバIC21単位で同様の処理

10

20

30

40

50

が繰り返される。

【 0 0 5 3 】

また、図 8 で示されるように、ゲートドライバ IC 2 1 - 2 においては、時刻 t_{41} 乃至 t_{32} において、上側の最上列の画素列の書き込み処理が実行された後、図示しないが、順次上側の画素列から書き込み処理が実行され、時刻 t_{51} 乃至 t_{42} において最下列の画素列の書き込み処理が終了すると、時刻 t_{42} 乃至 t_{33} で示されるように、順次上側の画素列より発光処理が実行される。

【 0 0 5 4 】

このように、ゲートドライバ IC 2 1 単位でも上側から順次書き込み処理および発光処理が実行されるようにすることで、電流が一気に流れず、分散されるのでより電流の集中による電圧降下による輝度傾斜の発生を抑制させることが可能となる。しかしながら、同一のゲートドライバ IC 2 1 内における配線抵抗や寄生容量に起因するものであるため、全てのゲートドライバ IC 2 1 を同時に駆動させるようにしても、これまでの一般的な制御方法よりも輝度傾斜の発生を抑制することは可能である。

【 0 0 5 5 】

尚、この全画素が発光されるまでの間隔は、1 フレーム分の期間であり、例えば、60 Hz である場合、16.6msec 間隔とされる。

【 0 0 5 6 】

< 本技術の具体的な制御方法 >

次に、図 9 のタイミングチャートを参照して、本技術による具体的な制御方法について説明する。尚、図 9 においては、最上段に映像信号 DAT が示されており、その下に、上段から順にゲートドライバ IC 2 1 - 1, 2 1 - 2 . . . のそれぞれの上側から順に列ごとの駆動配線の駆動用信号 DS [x] および書き込み配線の書き込み用信号 WS [x] ($x = 1, 2 . . . n$) の出力波形が示されている。

【 0 0 5 7 】

すなわち、時刻 t_0 において、表示パネル 1 3 の最上列付近の複数の画素列を制御するゲートドライバ IC 2 1 - 1 における最上列の画素列に対して、1 フレーム目の処理が開始される。

【 0 0 5 8 】

時刻 t_{111} において、書き込み用配線 WS [1] より書き込み用信号が閾値 V_{th} キャンセル準備のため出力される。

【 0 0 5 9 】

時刻 t_{101} において、駆動用配線 DS [1] の駆動用信号が低位 DS __ L から高位 DS __ H に制御され、閾値 V_{th} キャンセル期間となり、駆動用トランジスタ DS - TFT の閾値キャンセル処理が開始され、画素容量 Cs に閾値を書き込む。

【 0 0 6 0 】

時刻 t_{112} 乃至 t_{102} において、書き込み用トランジスタ WS - TFT が画素容量 Cs への映像信号の書き込み処理を実行すると共に、このタイミングにおいて、駆動用配線 DS [1] の駆動用信号が中間電位 M ($DS_L < M < DS_H$) に設定される。この処理により、時刻 t_{102} において、閾値 V_{th} キャンセル処理が終了し、非発光期間となる。

【 0 0 6 1 】

一方、上側から 2 列目の画素列については、時刻 t_{111} より所定の時間が経過した時刻 t_{131} において、表示パネル 1 3 のゲートドライバ IC 2 1 - 1 における 2 列目の画素列に対して、書き込み用配線 WS [2] より書き込み用信号が閾値 V_{th} キャンセル準備のため出力される。

【 0 0 6 2 】

時刻 t_{101} より所定の時間が経過した時刻 t_{121} において、駆動用配線 DS [2] の駆動用信号が低位 DS __ L から高位 DS __ H に制御され、閾値 V_{th} キャンセル期間となり、駆動用トランジスタ DS - TFT の閾値キャンセル処理が開始される。

10

20

30

40

50

【 0 0 6 3 】

時刻 t_{132} 乃至 t_{122} において、書き込み用トランジスタ $WS - TFT$ が画素容量 C_s への映像信号の書き込み処理を実行すると共に、このタイミングにおいて、駆動用配線 $DS[2]$ の駆動用信号が中間電位 $M (DS_L < M < S_H)$ に設定される。この処理により、時刻 t_{122} において、閾値 V_{th} キャンセル処理が終了し、非発光期間となる。

【 0 0 6 4 】

以下同様に、所定の時間間隔で、上側から 1 列ずつ順次画素列ごとに、閾値 V_{th} キャンセル期間、書き込み処理、および非発光期間が繰り返されていく。

【 0 0 6 5 】

そして、図示せぬ最下列の直前の列である $(n - 1)$ 列目の書き込み用配線 $WS[n - 1]$ より書き込み用信号が出力されたタイミングから所定の時間間隔が経過した時刻 t_{151} において、表示パネル 13 のゲートドライバ $IC21 - 1$ における最下列である n 列目の画素列に対して、書き込み用配線 $WS[n]$ より書き込み用信号が閾値 V_{th} キャンセル準備のため出力される。

【 0 0 6 6 】

図示せぬ $(n - 1)$ 列目の駆動用トランジスタ $DS - TFT$ の閾値キャンセル処理が開始されたタイミングから所定の時間経過した時刻 t_{141} において、駆動用配線 $DS[n]$ の駆動用信号が低位 DS_L から高位 DS_H に制御され、閾値 V_{th} キャンセル期間となり、駆動用トランジスタ $DS - TFT$ の閾値キャンセル処理が開始される。

【 0 0 6 7 】

時刻 t_{152} 乃至 t_{142} において、書き込み用トランジスタ $WS - TFT$ が画素容量 C_s への映像信号の書き込み処理を実行すると共に、このタイミングにおいて、駆動用配線 $DS[n]$ の駆動用信号が中間電位 $M (DS_L < M < S_H)$ に設定される。この処理により、時刻 t_{142} において、閾値 V_{th} キャンセル処理が終了し、非発光期間となる。

【 0 0 6 8 】

すなわち、以上の処理により、所定の時間間隔で、上側から順次 1 列ずつ画素列の閾値 V_{th} キャンセル処理が実行され、画素容量 C_s への書き込みが実行され、全ての画素列について、閾値 V_{th} キャンセル処理と画素容量 C_s への書き込みが完了する。

【 0 0 6 9 】

さらに、この全ての画素列の閾値 V_{th} キャンセル処理が実行され、さらに、画素容量 C_s への書き込みが完了する時刻 $t_{103} (= t_{142})$ において、最上列の画素列について、駆動用配線 $DS[1]$ の駆動用信号が中間電位 M から高位 DS_H に制御される。この処理により、最上列の各画素の有機 EL 素子 EL に電流が流れ込み、発光が開始される。

【 0 0 7 0 】

そして、時刻 t_{103} より所定の時間が経過する時刻 t_{104} において、最上列の画素列について、駆動用配線 $DS[1]$ の駆動用信号が高位 DS_H から低位 DS_L に制御される。この処理により、最上列の各画素の有機 EL 素子 EL への電流の流れ込みが停止されて、非発光状態にされる。

【 0 0 7 1 】

また、時刻 t_{103} より所定の時間が経過した時刻 t_{123} において、上から 2 列目の画素列について、駆動用配線 $DS[2]$ の駆動用信号が中間電位 M から高位 DS_H に制御される。この処理により、上から 2 列目の各画素における有機 EL 素子 EL に電流が流れ込み、発光が開始される。

【 0 0 7 2 】

そして、時刻 t_{123} より所定の時間が経過する時刻 t_{124} において、上から 2 列目の画素列について、駆動用配線 $DS[2]$ の駆動用信号が高位 DS_H から低位 DS_L に制御される。この処理により、上から 2 列目の各画素の有機 EL 素子 EL への電流の流

10

20

30

40

50

れ込みが停止されて、非発光状態にされる。

【0073】

以下、同様に所定の間隔で、上側から1列ずつ下方向に進みながら各画素列が、順次駆動用信号が中間電位Mから高位DS_Hに制御される。そして、最下側から1列前の(n-1)列目の駆動用配線DS[n-1]の駆動用信号が中間電位Mから高位DS_Hに制御された時刻から所定の時間が経過した時刻t₁₄₃において、最下側のn列目の画素列について、駆動用配線DS[n]の駆動用信号が中間電位Mから高位DS_Hに制御される。この処理により、有機EL素子ELに電流が流れ込み、発光が開始される。

【0074】

そして、時刻t₁₄₃より所定の時間が経過する時刻t₁₄₄において、最下側のn列目の画素列について、駆動用配線DS[n]の駆動用信号が高位DS_Hから低位DS_Lに制御される。この処理により、最下側の各画素の有機EL素子ELへの電流の流れ込みが停止されて、非発光状態にされる。

10

【0075】

次に、ゲートドライバIC21-1の下に存在するゲートドライバIC21-2の最上側列である(n+1)の画素列については、ゲートドライバIC21-1の最下側列であるn列目の画素列における時刻t₁₅₁より所定時間経過した時刻t₁₇₁において、書き込み用配線WS[n+1]より書き込み用信号が閾値V_{th}キャンセル準備のため出力される。

【0076】

時刻t₁₅₁より所定の時間経過した時刻t₁₆₁において、駆動用配線DS[n+1]の駆動用信号が低位DS_Lから高位DS_Hに制御され、閾値V_{th}キャンセル期間となり、駆動用トランジスタDS-TFTの閾値キャンセル処理が開始される。

20

【0077】

時刻t₁₇₂乃至t₁₆₂において、書き込み用トランジスタWS-TFTが画素容量C_sへの映像信号の書き込み処理を実行すると共に、このタイミングにおいて、駆動用配線DS[n+1]の駆動用信号が中間電位M(DS_L < M < DS_H)に設定される。この処理により、時刻t₁₆₂において、閾値V_{th}キャンセル処理が終了し、非発光期間となる。

【0078】

以下、ゲートドライバIC21-2により制御される各画素列についても、同様に所定の時間間隔で各画素列について、上側から順次閾値V_{th}キャンセル処理および書き込み処理が実行されて、画素列について処理が完了した時刻t₁₆₃において、駆動用配線DS[n+1]の駆動用信号が中間電位Mから高位DS_Hに制御される。この処理により、有機EL素子ELに電流が流れ込み、発光が開始される。

30

【0079】

そして、時刻t₁₆₃より所定の時間が経過する時刻t₁₆₄において、ゲートドライバIC21-2の最上側列である(n+1)列目の画素列について、駆動用配線DS[n+1]の駆動用信号が高位DS_Hから低位DS_Lに制御され、各画素の有機EL素子ELへの電流の流れ込みが停止されて、非発光状態にされる。以降、順次、各画素列が所定の時間間隔で発光状態とされる。

40

【0080】

すなわち、同一のゲートドライバIC21により制御される各画素列については、上側から1列ずつ順次閾値V_{th}キャンセル処理と書き込み処理が繰り返され、全ての画素列について処理が完了したタイミングから、上側より順次1列の画素列ずつ所定の時間間隔で発光される。

【0081】

これらのことから、本技術の制御方法を適用することで、同一のゲートドライバIC21内の全ての画素の有機EL素子ELが非発光状態のまま、閾値V_{th}キャンセル処理および書き込み処理が実行される。そして、全ての画素について、閾値V_{th}キャンセル処

50

理および書き込み処理が完了した後に、上から順次、1列ずつ画素列が発光されることになる。

【0082】

このため、同一のゲートドライバIC21内の全ての画素の閾値 V_{th} キャンセル処理および書き込み処理が実行される間は、図10で示されるように、電圧降下が発生しない状態となるため、画素列が進むにつれて輝度が変わるといったことがなくなる。

【0083】

尚、図10の波形L11乃至L13においては、それぞれゲートドライバIC21-1乃至21-3の駆動用配線DSの高位電圧DSHの時間方向の変化を示している。ここで、波形L11で示されるように、時刻 t_{181} 乃至 t_{182} においては、波形L11で示されるように、ゲートドライバIC21-1に係る各画素列の書き込み処理が実行されていることが示されている。また、波形L11, L12で示されるように、時刻 t_{182} 乃至 t_{183} においては、ゲートドライバIC21-1に係る各画素列の発光処理、およびゲートドライバIC21-2に係る各画素列の書き込み処理が実行されていることが示されている。さらに、波形L12, L13で示されるように、時刻 t_{183} 乃至 t_{184} においては、ゲートドライバIC21-2に係る各画素列の発光処理、およびゲートドライバIC21-3に係る各画素列の書き込み処理が実行されていることが示されている。また、波形L13で示されるように、時刻 t_{184} 以降においては、ゲートドライバIC21-3に係る各画素列の発光処理が実行されていることが示されている。

【0084】

いずれにおいても、ゲートドライバIC21単位で書き込み処理が実行されている間は、駆動用配線DSの高位電圧DSHの電圧降下が発生していないことが示されている。尚、図10においては、書き込み処理、および発光処理については、それぞれ「書き込み」、および「発光開始」と表記され、それぞれゲートドライバIC21-1乃至21-3に対応する番号が丸印内に表記されている。

【0085】

結果として、図11で示されるように、表示パネル13の同一画素列内に、高輝度の表示エリアHAと低輝度の表示エリアLAが含まれるような表示がなされても、低輝度の表示エリアLAでの、ゲートドライバIC21で管理される画素列の単位での輝度傾斜の発生を抑制することが可能となる。

【0086】

尚、ゲートドライバIC21の全画素について書き込みが完了した後、全画素列を同時に発光させるようにしてもよい。しかしながら、発光の際にも、上から順次1列ずつ、所定の時間間隔毎に発光タイミングをずらすようにしたことにより、同時発光における大電流が流れるのを防ぐことが期待でき、より高い精度で輝度傾斜の発生を抑制する効果を期待することができる。

【0087】

さらに、上述したように、ゲートドライバIC21単位で、全画素列について、書き込みが完了した後に順次、画素列単位で発光させるようにした上で、同一ではないゲートドライバIC21により制御される画素列についても所定の時間間隔で閾値 V_{th} キャンセル処理および書き込み処理を実行する例について説明してきたが、ゲートドライバIC21単位で閾値 V_{th} キャンセル処理および書き込み処理をする間、発光させないようにすればよく、例えば、全てのゲートドライバIC21について、同時に所定の時間間隔で閾値 V_{th} キャンセル処理および書き込み処理を実行するようにしてもよい。ただし、この場合についても、全ての画素列について、閾値 V_{th} キャンセル処理、書き込み処理、および発光処理を所定時間間隔でずらしながら実行することで、電流が一期に流れるタイミングを短くすることが可能となり、より高い精度で輝度傾斜の発生を抑制する効果が期待できる。

【0088】

結果として、輝度傾斜の発生を考慮した配線設計をするといった制約を解消させるよう

10

20

30

40

50

にすることができるので、配線設計の自由度を向上させることが可能となる。

【0089】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0090】

<本技術が適用される電子機器の具体例>

次に、図12、図13を参照して、本技術が適用される電子機器の具体例について説明する。

【0091】

図12は、電子機器の一例としてテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセット51は、フロントパネル71やフィルターガラス72等から構成される映像表示画面部61を含み、その映像表示画面部61として本技術による有機EL表示装置を用いることにより作製される。本技術を適用することにより、映像表示画面部61の輝度傾斜の発生を抑制し、テレビジョンセット51の表示部分の周辺領域の配線設計の自由度の向上に貢献することができる。

10

【0092】

図13は、電子機器の一例としてスマートフォンの外観を表している。このスマートフォン101は、例えば、表示部111および筐体112と、操作部113とを備えている。操作部113は、図13の上段に示したように筐体112の前面に設けられていてもよいし、図13の下段に示したように筐体112の上面に設けられていてもよい。スマートフォン101の表示部111として本技術による有機EL表示装置を用いることにより、配線設計の制約を解消することができるため、表示部分の周辺領域の削減が可能になり、スマートフォン101の小型化に寄与できる。またはスマートフォン101の本体の設計自由度の向上に寄与できる。

20

【0093】

以上、説明した本技術による有機EL表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示部（表示装置）に適用できる。一例として、図12にテレビジョンセットを、図13にスマートフォンを示したがこれに限られず、様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯端末装置、ビデオカメラなどの表示部に適用することが可能である。

30

【0094】

尚、本技術は、以下のような構成も取ることができる。

(1) それぞれが画素を構成し、駆動電流により発光する発光部と、

画素毎の映像信号を画素容量に書き込む書き込み用トランジスタと、

前記画素容量に書き込まれた映像信号に応じた電圧により、記発光部の駆動電流を制御する駆動用トランジスタと、

前記書き込み用トランジスタによる前記画素容量への映像信号の書き込みと、前記駆動用トランジスタに供給する駆動電圧を制御する複数のゲートドライバとを含み、

前記ゲートドライバは、前記書き込み用トランジスタにより全画素の前記画素容量に対して映像信号を書き込んだ後、前記駆動用トランジスタに対して駆動電圧を供給するように制御する

40

表示装置。

(2) 前記ゲートドライバは、全画素の画素容量に対して映像信号を書き込んだ後、前記複数の画素の前記駆動用トランジスタに対して走査方向に対して順次駆動電圧を印加するように制御する

(1)に記載の表示装置。

(3) 前記ゲートドライバは、全画素の画素容量に対して映像信号を書き込んだ後、前記複数の画素の前記駆動用トランジスタに対して同時に駆動電圧を印加するように制御する

50

(1) に記載の表示装置。
 (4) 前記ゲートドライバは、全画素の画素容量に対して閾値を書き込みが完了するまで、前記駆動電圧を中間電位に制御する
 (1) 乃至 (3) に記載の表示装置。
 (5) それぞれが画素を構成し、駆動電流により発光する発光部と、画素毎の映像信号を画素容量に書き込む書き込み用トランジスタと、前記画素容量に書き込まれた映像信号に応じた電圧により、記発光部の駆動電流を制御する駆動用トランジスタと、前記書き込み用トランジスタによる前記画素容量への映像信号の書き込みと、前記駆動用トランジスタに供給する駆動電圧を制御する複数のゲートドライバとを含む表示装置の表示方法において、
 前記ゲートドライバは、前記書き込み用トランジスタにより全画素の前記画素容量に対して映像信号を書き込んだ後、前記駆動用トランジスタに対して駆動電圧を供給するように制御する
 表示方法。

10

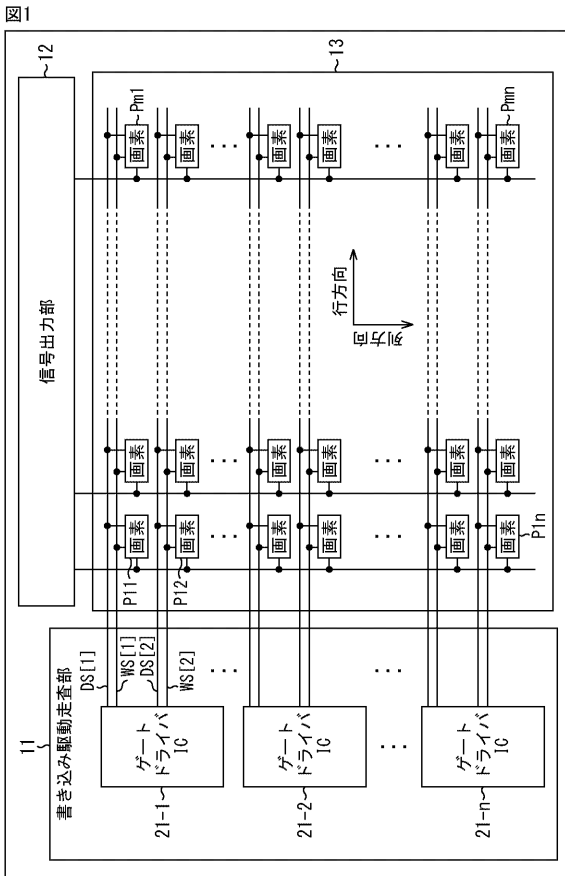
【符号の説明】

【 0 0 9 5 】

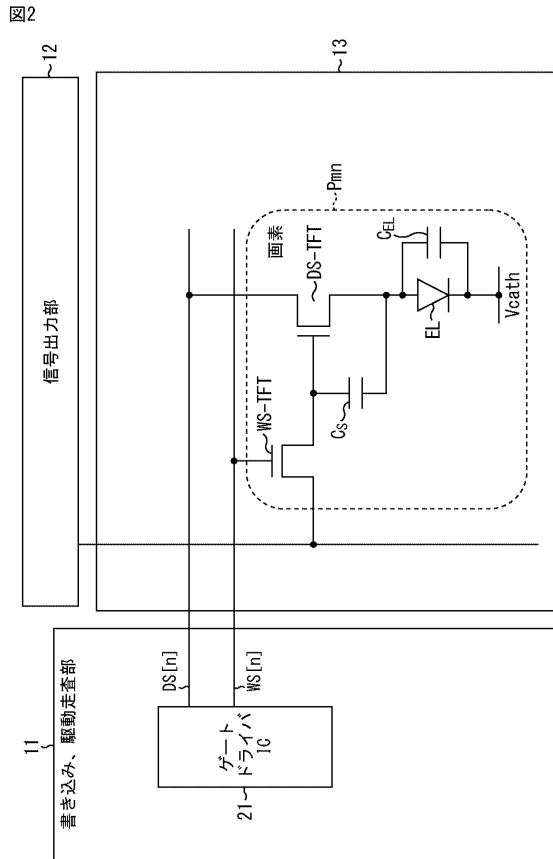
1 1 書き込み駆動走査部， 1 2 信号出力部， 1 3 表示部， 2 1， 2 1 - 1 乃至 2 1 - n ゲートドライバ， P， P 1 1 乃至 P m n 画素， W S - T F T 書き込み用トランジスタ， D S - T F T 駆動用トランジスタ， C e 画素容量， E L 有機 E L 素子

20

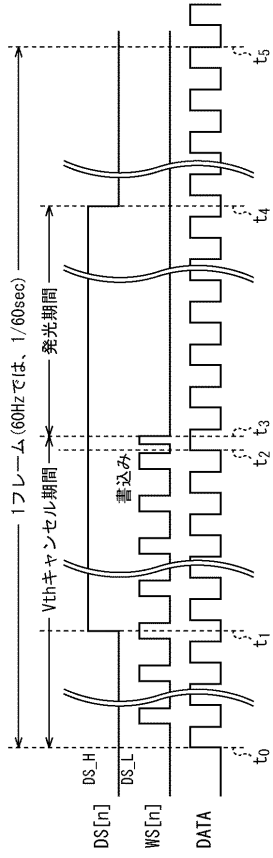
【 図 1 】



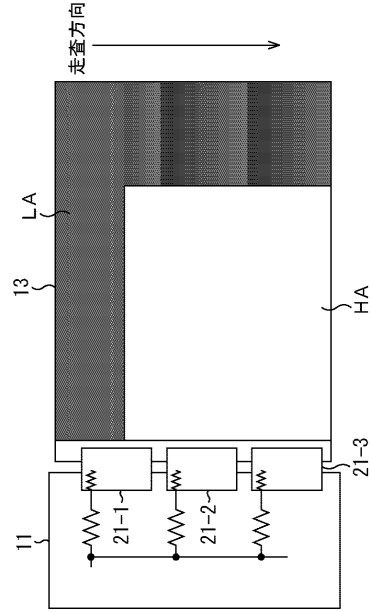
【 図 2 】



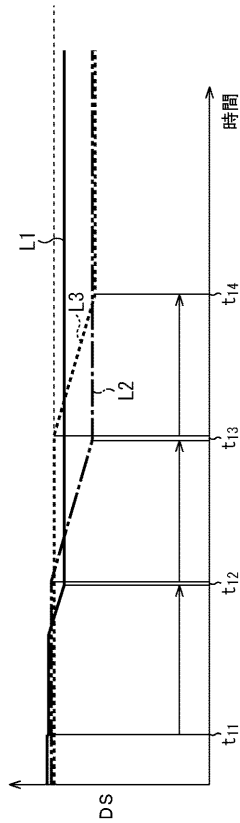
【図3】
図3



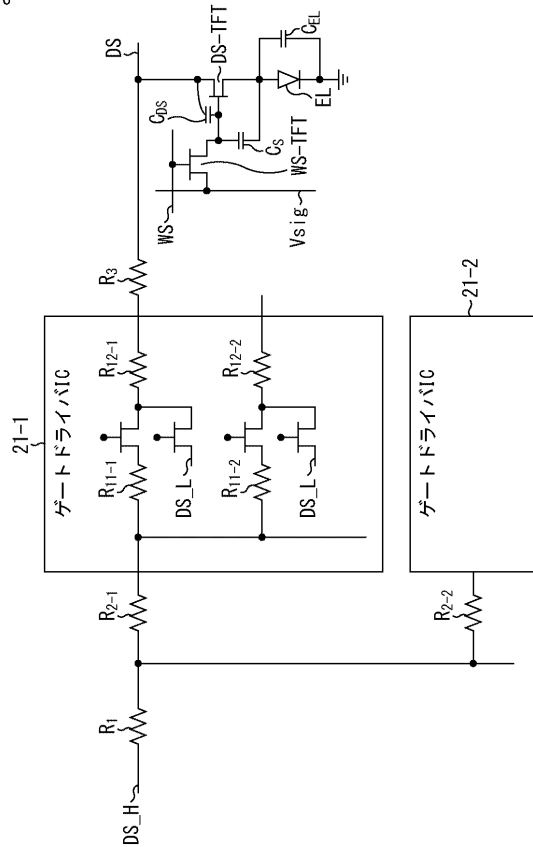
【図4】
図4



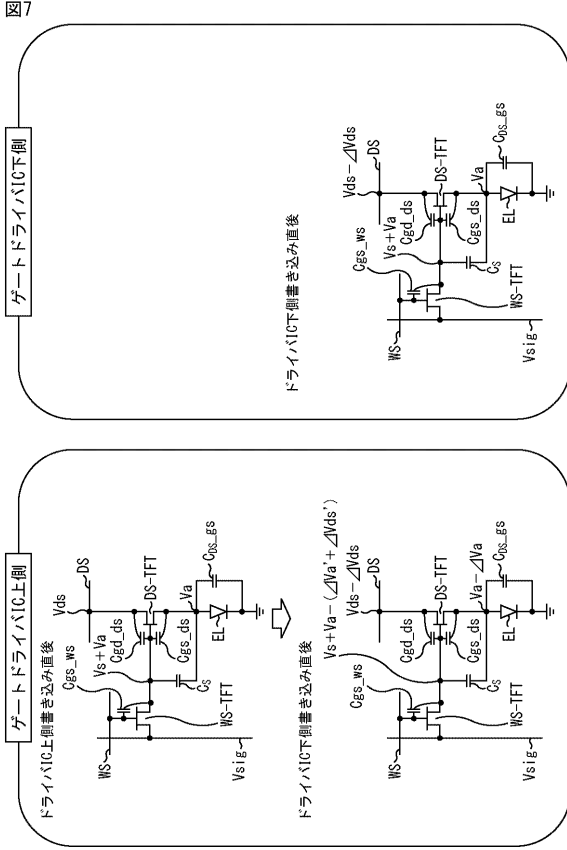
【図5】
図5



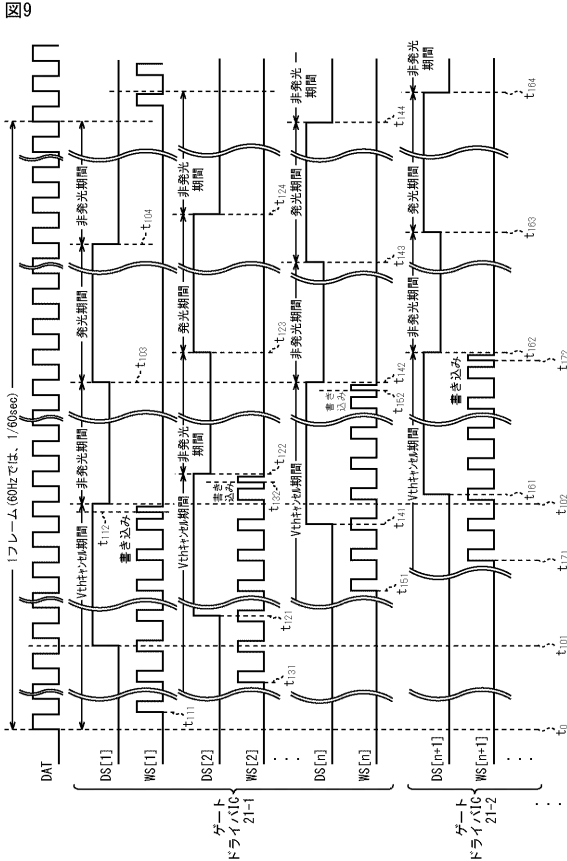
【図6】
図6



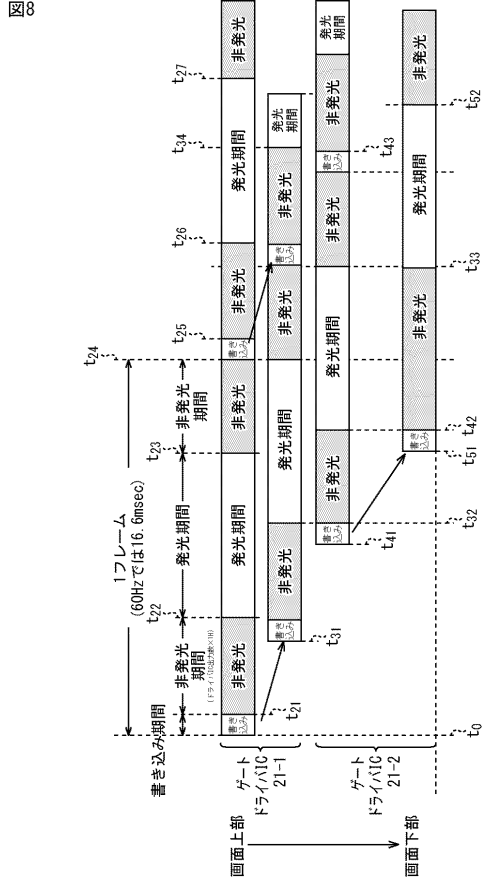
【 図 7 】



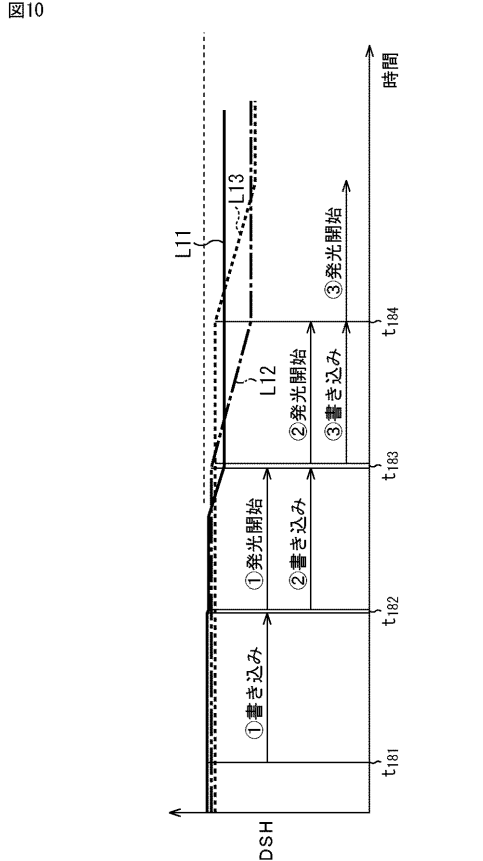
【 図 9 】



【 図 8 】

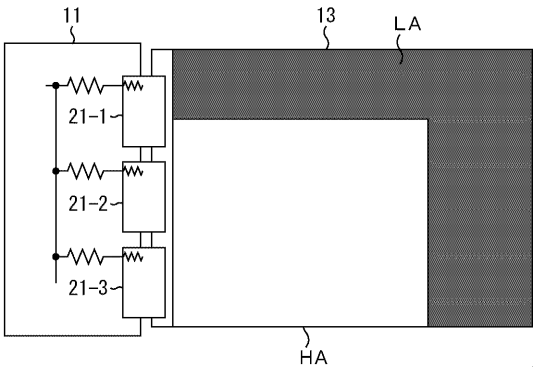


【 図 10 】



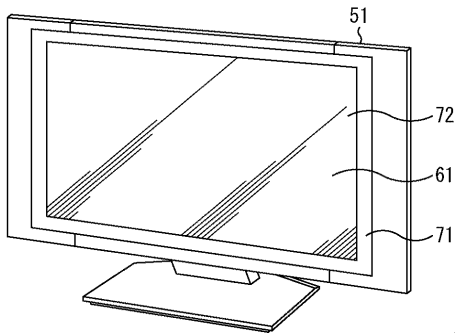
【 図 1 1 】

図11



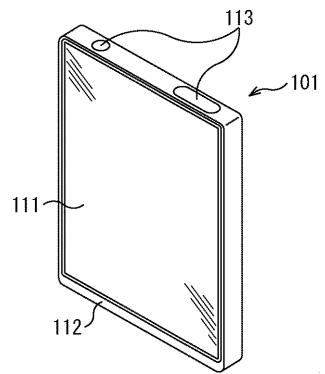
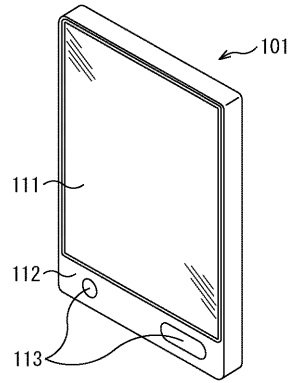
【 図 1 2 】

図12



【 図 1 3 】

図13



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 7 0 M
H 0 5 B	33/14	A
G 0 9 G	3/20	6 1 1 G

F ターム(参考) 5C380 AA01 AB06 AB45 AC07 AC08 AC09 AC11 AC12 BA05 BA19
 BA20 BA31 BA39 BA40 BB02 BB08 CA12 CB01 CB20 CB22
 CB27 CB31 CC02 CC04 CC05 CC27 CC33 CC41 CC62 CD012
 CD022 CD032 CD042 CE20 DA02 DA06 DA32

专利名称(译)	显示装置和显示方法		
公开(公告)号	JP2015152700A	公开(公告)日	2015-08-24
申请号	JP2014025079	申请日	2014-02-13
[标]申请(专利权)人(译)	日本有机雷特显示器股份有限公司		
申请(专利权)人(译)	株式会社JOLED		
[标]发明人	清水荣寿		
发明人	清水 荣寿		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0866		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.622.D G09G3/20.621.A G09G3/20.622.C G09G3/20.611.J G09G3/20.611.D G09G3/20.642.A G09G3/20.622.K G09G3/20.670.M H05B33/14.A G09G3/20.611.G G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE03 3K107/HH05 5C080/AA06 5C080/BB06 5C080/DD05 5C080/DD10 5C080/EE29 5C080/FF03 5C080/FF11 5C080/FF13 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK04 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB45 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA05 5C380/BA19 5C380/BA20 5C380/BA31 5C380/BA39 5C380/BA40 5C380/BB02 5C380/BB08 5C380/CA12 5C380/CB01 5C380/CB20 5C380/CB22 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC04 5C380/CC05 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CD022 5C380/CD032 5C380/CD042 5C380/CE20 5C380/DA02 5C380/DA06 5C380/DA32		
外部链接	Espacenet		

摘要(译) 解决的问题：抑制有机EL面板中栅极驱动器单元的间距处的亮度梯度。从显示面板的上部像素列开始，将用于驱动有机EL元件的驱动晶体管DS-TFT的阈值和视频信号依次写入到栅极驱动器单元中所有像素列的像素电容器中。当针对所有像素行完成最下部像素行的写入时，使上部像素行以预定时间间隔顺序发光。本技术可以应用于显示装置。[选择图]图8	(21) 出願番号	特願2014-25079 (P2014-25079)	(71) 出願人 514188173 株式会社JOLED 東京都千代田区神田錦町三丁目2番3号 (74) 代理人 110001357 特許業務法人つばき国際特許事務所 (72) 発明者 清水 栄寿 東京都港区港南1丁目7番1号 ソニー株式会社内 Fターム(参考) 3K107 AA01 BB01 CC31 CC33 EE03 HH05 5C080 AA06 BB06 DD05 DD10 EE29 FF03 FF11 FF13 HH09 JJ01 JJ02 JJ03 JJ04 KK04 KK07 KK43 最終頁に続く
	(22) 出願日	平成26年2月13日 (2014.2.13)	