

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-160203

(P2014-160203A)

(43) 公開日 平成26年9月4日(2014.9.4)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C080
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 611H	5C380
	HO5B 33/14 A	
	G09G 3/20 670E	

審査請求 未請求 請求項の数 8 O L (全 20 頁)

(21) 出願番号 特願2013-31375 (P2013-31375)  
 (22) 出願日 平成25年2月20日 (2013.2.20)

(71) 出願人 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100082131  
 弁理士 稲本 義雄  
 (74) 代理人 100121131  
 弁理士 西川 孝  
 (72) 発明者 多田羅 智史  
 東京都港区港南1丁目7番1号 ソニー株式会社社内  
 Fターム(参考) 3K107 AA01 BB01 CC11 CC31 EE03  
 5C080 AA05 AA06 AA07 AA10 BB05  
 CC03 DD09 EE29 EE30 FF11  
 FF12 HH10 JJ02 JJ03 JJ04  
 JJ05 JJ06 KK02 KK43  
 最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法、並びに電子機器

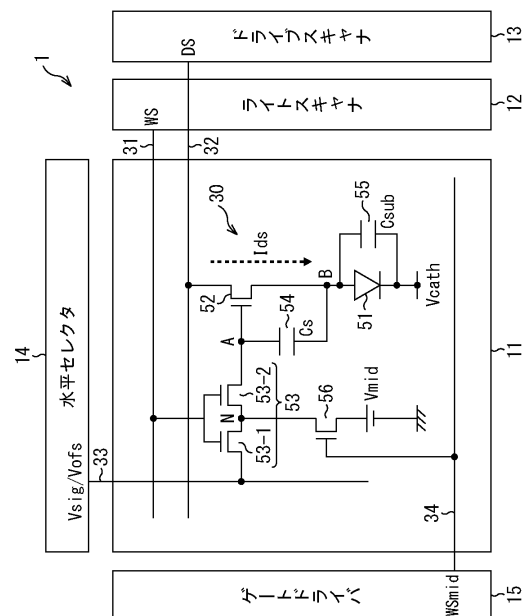
(57) 【要約】

【課題】 画面の信頼性を確保する。

【解決手段】 電気光学素子と、電気光学素子を駆動する駆動トランジスタと、信号線と駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて構成される書き込みトランジスタを含む画素が行列状に配置されてなる画素アレイ部と、画素アレイ部の各画素を駆動する駆動回路部とを備える表示装置において、書き込みトランジスタによる信号書き込み終了後に、書き込みトランジスタを構成する複数のトランジスタ素子の中間ノードの電位が、信号線の電位と駆動トランジスタのゲート電極の電位との間の中間電位とされる。本技術は、例えば有機EL表示装置に適用することができる。

【選択図】 図2

図2



**【特許請求の範囲】****【請求項 1】**

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、信号線と前記駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて構成される書込みトランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、前記画素アレイ部の各画素を駆動する駆動回路部とを備え、

前記書込みトランジスタによる信号書込み終了以降に、前記書込みトランジスタを構成する前記複数のトランジスタ素子の中間ノードの電位が、前記信号線の電位と前記駆動トランジスタのゲート電極の電位との間の中間電位とされる

表示装置。

10

**【請求項 2】**

前記画素は、前記書込みトランジスタの前記中間ノードに前記中間電位を書込むスイッチを備え、

前記駆動回路部は、前記書込みトランジスタによる信号書込み終了以降に、前記スイッチをオンする

請求項 1 に記載の表示装置。

**【請求項 3】**

前記画素は、前記駆動トランジスタによる前記電気光学素子の駆動電流の供給を制御するスイッチングトランジスタをさらに備え、

前記駆動回路部は、前記スイッチングトランジスタがオンするタイミングと同時に、前記スイッチをオンする

請求項 2 に記載の表示装置。

20

**【請求項 4】**

前記中間電位は、少なくとも、前記電気光学素子の発光時の前記駆動トランジスタのゲート電極の電位より低い

請求項 1 に記載の表示装置。

**【請求項 5】**

前記中間電位は、少なくとも、前記書込みトランジスタがオフ時の前記書込みトランジスタの走査線の電位から、前記書込みトランジスタを構成する前記複数のトランジスタ素子のうちの前記中間ノードより前記信号線側のトランジスタ素子の閾値電圧を減じた電位より高い

請求項 1 に記載の表示装置。

30

**【請求項 6】**

前記中間ノードは、前記書込みトランジスタを構成する前記複数のトランジスタ素子のうちの最も前記駆動トランジスタ側のトランジスタ素子と、他のトランジスタ素子との接続点である

請求項 1 に記載の表示装置。

**【請求項 7】**

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、信号線と前記駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて構成される書込みトランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、前記画素アレイ部の各画素を駆動する駆動回路部とを備える表示装置の駆動方法であって、

40

前記書込みトランジスタによる信号書込み終了以降に、前記書込みトランジスタを構成する前記複数のトランジスタ素子の中間ノードの電位を、前記信号線の電位と前記駆動トランジスタのゲート電極の電位との間の中間電位とする

ステップを含む表示装置の駆動方法。

**【請求項 8】**

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、信号線と前記駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて

50

構成される書込みトランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、前記画素アレイ部の各画素を駆動する駆動回路部とを備え、

前記書込みトランジスタによる信号書込み終了以降に、前記書込みトランジスタを構成する前記複数のトランジスタ素子の中間ノードの電位が、前記信号線の電位と前記駆動トランジスタのゲート電極の電位との間の中間電位とされる表示装置

を備える電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、表示装置およびその駆動方法、並びに電子機器に関し、特に、画面の信頼性を確保することができるようにする表示装置およびその駆動方法、並びに電子機器に関する。

10

【背景技術】

【0002】

従来、フラットパネル型の表示装置として、有機EL (Electro-Luminescence) 表示装置、液晶表示装置 (LCD: Liquid Crystal Display)、プラズマ表示装置 (PDP: Plasma Display Panel) 等が広く知られている。

【0003】

有機EL表示装置の中には、酸化物半導体を用いたトランジスタを備える画素回路において、駆動トランジスタや書込みトランジスタを、2以上のトランジスタ素子が直列接続されたマルチゲート構造としたものがある。(例えば、特許文献1参照)。

20

【0004】

酸化物半導体を用いた画素回路にマルチゲート構造のトランジスタを用いることで、シングルゲート構造と同等のチャネル幅およびチャネル長の電流供給能力を持たせる場合に、酸素抜けが生じる領域を狭めて、チャネル材料からの酸素抜けを低減させることができる。また、マルチゲート構造のトランジスタを用いた画素回路においては、シングルゲート構造のトランジスタを用いた画素回路において生じる恐れのある、閾値補正や移動度補正の際の不適正な画素動作を解消することができる。

【先行技術文献】

【特許文献】

30

【0005】

【特許文献1】特開2010-266490号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、書込みトランジスタをマルチゲート構造、例えば、2つのトランジスタ素子が直列接続されたダブルゲート構造とした場合、特に発光期間においては、書込みトランジスタを構成するトランジスタ素子のうちの駆動トランジスタ側のトランジスタ素子に大きな逆バイアスがかかってしまう。これにより、そのトランジスタ素子の閾値電圧がデプレッション側にシフトして(小さくなって)、本来オフとなるゲート電圧であってもオンとなってしまう、結果として、画面の信頼性が損なわれてしまう可能性があった。

40

【0007】

本技術は、このような状況に鑑みてなされたものであり、画面の信頼性を確保することができるようにするものである。

【課題を解決するための手段】

【0008】

本技術の一側面の表示装置は、電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、信号線と前記駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて構成される書込みトランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、前記画素アレイ部の各画素を駆動する駆動回路部とを備え

50

、前記書込みトランジスタによる信号書込み終了以降に、前記書込みトランジスタを構成する前記複数のトランジスタ素子の中間ノードの電位が、前記信号線の電位と前記駆動トランジスタのゲート電極の電位との間の中間電位とされる。

【0009】

前記画素には、前記書込みトランジスタの前記中間ノードに前記中間電位を書込むスイッチを設け、前記駆動回路部には、前記書込みトランジスタによる信号書込み終了以降に、前記スイッチをオンさせることができる。

【0010】

前記画素には、前記駆動トランジスタによる前記電気光学素子の駆動電流の供給を制御するスイッチングトランジスタをさらに設け、前記駆動回路部には、前記スイッチングトランジスタがオンするタイミングと同時に、前記スイッチをオンさせることができる。

10

【0011】

前記中間電位は、少なくとも、前記電気光学素子の発光時の前記駆動トランジスタのゲート電極の電位より低くなるようにすることができる。

【0012】

前記中間電位は、少なくとも、前記書込みトランジスタがオフ時の前記書込みトランジスタの走査線の電位から、前記書込みトランジスタを構成する前記複数のトランジスタ素子のうちの前記中間ノードより前記信号線側のトランジスタ素子の閾値電圧を減じた電位より高くなるようにすることができる。

【0013】

前記中間ノードは、前記書込みトランジスタを構成する前記複数のトランジスタ素子のうちの最も前記駆動トランジスタ側のトランジスタ素子と、他のトランジスタ素子との接続点とすることができる。

20

【0014】

本技術の一側面の表示装置の駆動方法は、電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、信号線と前記駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて構成される書込みトランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、前記画素アレイ部の各画素を駆動する駆動回路部とを備える表示装置の駆動方法であって、前記書込みトランジスタによる信号書込み終了以降に、前記書込みトランジスタを構成する前記複数のトランジスタ素子の中間ノードの電位を、前記信号線の電位と前記駆動トランジスタのゲート電極の電位との間の中間電位とするステップを含む。

30

【0015】

本技術の一側面の電子機器は、電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、信号線と前記駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて構成される書込みトランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、前記画素アレイ部の各画素を駆動する駆動回路部とを備え、前記書込みトランジスタによる信号書込み終了以降に、前記書込みトランジスタを構成する前記複数のトランジスタ素子の中間ノードの電位が、前記信号線の電位と前記駆動トランジスタのゲート電極の電位との間の中間電位とされる表示装置を備える。

40

【0016】

本技術の一側面においては、書込みトランジスタによる信号書込み終了以降に、書込みトランジスタを構成する複数のトランジスタ素子の中間ノードの電位が、信号線の電位と駆動トランジスタのゲート電極の電位との間の中間電位とされる。

【発明の効果】

【0017】

本技術の一側面によれば、画面の信頼性を確保することが可能となる。

【図面の簡単な説明】

【0018】

【図1】本技術を適用したアクティブマトリクス型表示装置の一実施の形態を示すプロッ

50

ク図である。

【図2】画素回路の構成例を示す図である。

【図3】画素回路の動作について説明するタイミングチャートである。

【図4】駆動トランジスタの移動度のばらつきについて説明する図である。

【図5】中間ノードの電位の制御について説明するタイミングチャートである。

【図6】中間ノードの電位の制御について説明するタイミングチャートである。

【図7】画素回路の他の構成例を示す図である。

【図8】中間ノードの電位の制御について説明するタイミングチャートである。

【図9】本技術を適用したテレビジョン受像機の外観を示す図である。

【図10】本技術を適用したデジタルカメラの外観を示す図である。

10

【図11】本技術を適用したノート型パーソナルコンピュータの外観を示す図である。

【図12】本技術を適用したデジタルビデオカメラの外観を示す図である。

【図13】本技術を適用した多機能携帯電話機の外観を示す図である。

【発明を実施するための形態】

【0019】

以下、本技術の実施の形態について図を参照して説明する。

【0020】

[表示装置の構成例]

図1は、本技術を適用したアクティブマトリクス型表示装置の一実施の形態を示すブロック図である。

20

【0021】

アクティブマトリクス型表示装置は、電気光学素子に流れる電流を、その電気光学素子と同じ画素内に設けられた能動素子、例えば絶縁ゲート型電界効果トランジスタによって制御する表示装置である。絶縁ゲート型電界効果トランジスタとしては、例えば薄膜トランジスタ(TFT:Thin Film Transistor)が用いられる。

【0022】

ここでは、一例として、電流値に応じて発光輝度が変化する電流駆動型の電気光学素子である有機EL素子を、画素(画素回路)の発光素子として用いるアクティブマトリクス型有機EL表示装置の構成について説明する。

【0023】

30

図1に示されるように、本技術を適用した有機EL表示装置1は、画素アレイ部11、ライトスキャナ12、ドライブスキャナ13、水平セクタ14、およびゲートドライバ15から構成される。

【0024】

画素アレイ部11は、有機EL素子を含む複数の画素30が行列状に2次元配置されており、ライトスキャナ12乃至第2のスキャナ16は、画素アレイ部11の各画素30を駆動する駆動回路部として機能する。

【0025】

ここで、有機EL表示装置1がカラー表示対応の場合、カラー画像を形成する単位となる1つの画素(単位画素)は複数の副画素(サブピクセル)から構成され、この副画素それぞれが図1の画素30に相当する。具体的には、カラー表示対応の表示装置において、1つの画素は、例えば、赤色(R:Red)光を発光する副画素、緑色(G:Green)光を発光する副画素、青色(B:Blue)光を発光する副画素の3つの副画素から構成される。

40

【0026】

ただし、1つの画素としては、RGB3色の副画素の組み合わせに限られるものではなく、3色の副画素にさらに1色または複数色の副画素を加えて1つの画素を構成することも可能である。具体的には、輝度向上のために白色(W:White)光を発光する副画素を加えて1つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも1つの副画素を加えて1つの画素を構成することも可能である。

【0027】

50

画素アレイ部 1 1 においては、 $m$  行  $n$  列の画素 3 0 の配列に対して、行方向（画素行の画素の配列方向）に沿って走査線 3 1 - 1 乃至 3 1 -  $m$  と電源供給線 3 2 - 1 乃至 3 2 -  $m$  とが、画素行毎に配線されている。さらに、 $m$  行  $n$  列の画素 3 0 の配列に対して、列方向（画素列の画素の配列方向）に沿って信号線 3 3 - 1 乃至 3 3 -  $n$  が画素列毎に配線されている。

【0028】

走査線 3 1 - 1 乃至 3 1 -  $m$  は、ライトスキャナ 1 2 の対応する行の出力端にそれぞれ接続されている。電源供給線 3 2 - 1 乃至 3 2 -  $m$  は、ドライブスキャナ 1 3 の対応する行の出力端にそれぞれ接続されている。信号線 3 3 - 1 乃至 3 3 -  $n$  は、水平セクタ 1 4 の対応する列の出力端にそれぞれ接続されている。

10

【0029】

また、画素アレイ部 1 1 においては、 $m$  行  $n$  列の画素 3 0 の配列に対して、行方向に沿って走査線 3 4 - 1 乃至 3 4 -  $m$  が、画素行毎に配線されている。

【0030】

走査線 3 4 - 1 乃至 3 4 -  $m$  は、ゲートドライバ 1 5 の対応する行の出力端にそれぞれ接続されている。

【0031】

画素アレイ部 1 1 は、通常、ガラス基板等の透明絶縁基板上に形成される。これにより、有機EL表示装置 1 は、平面型（フラット型）のパネル構造となる。画素アレイ部 1 1 の各画素 3 0 の画素回路は、アモルファスシリコンTFTまたは低温ポリシリコンTFTを用いて形成することができる。低温ポリシリコンTFTを用いる場合には、ライトスキャナ 1 2、ドライブスキャナ 1 3、水平セクタ 1 4、およびゲートドライバ 1 5 についても、画素アレイ部 1 1 を形成する表示パネル（基板）上に実装することができる。

20

【0032】

ライトスキャナ 1 2 は、クロックパルスに同期してスタートパルスを順にシフト（転送）するシフトレジスタ回路等によって構成されている。ライトスキャナ 1 2 は、画素アレイ部 1 1 の各画素 3 0 への映像信号の信号電圧の書込みに際して、走査線 3 1 - 1 乃至 3 1 -  $m$ （以下、単に走査線 3 1 という）に対して書込み走査信号WS1乃至WS $m$ （以下、単に書込み走査信号WSという）を順次供給することによって画素アレイ部 1 1 の各画素 3 0 を行単位で順番に走査（線順次走査）する。

30

【0033】

ドライブスキャナ 1 3 は、クロックパルスに同期してスタートパルスを順にシフトするシフトレジスタ回路等によって構成されている。ドライブスキャナ 1 3 は、ライトスキャナ 1 2 による線順次走査に同期して、第 1 電源電位Vccと、第 1 電源電位Vccよりも低い第 2 電源電位Viniとで切替え可能な電源電位DS1乃至DS $m$ （以下、単に電源電位DSという）を電源供給線 3 2 - 1 乃至 3 2 -  $m$ （以下、単に電源供給線 3 2 という）に供給する。この電源電位DSのVcc/Viniの切替えによって、画素 3 0 の発光/非発光の制御が行われる。

【0034】

水平セクタ 1 4 は、図示せぬ信号供給源から供給される輝度情報に応じた映像信号の信号電圧Vsigと基準電圧Vofsとを選択的に出力する。ここで、基準電圧Vofsは、映像信号の信号電圧Vsigの基準となる電位（例えば、映像信号の黒レベルに相当する電位）であり、後述する閾値補正処理の際に用いられる。

40

【0035】

水平セクタ 1 4 から出力される信号電圧Vsig/基準電圧Vofsは、信号線 3 3 - 1 乃至 3 3 -  $n$ （以下、単に信号線 3 3 という）を介して画素アレイ部 1 1 の各画素 3 0 に対して、ライトスキャナ 1 2 による走査によって選択された画素行の単位で書込まれる。すなわち、水平セクタ 1 4 は、信号電圧Vsigを行単位で書込む線順次書込みの駆動形態をとっている。

【0036】

ゲートドライバ 1 5 は、走査線 3 4 - 1 乃至 3 4 -  $m$ （以下、単に走査線 3 4 という）

50

に対して走査信号WSmid1乃至WSmidm（以下、単に走査信号WSmidという）を順次供給することによって画素アレイ部11の各画素30を行単位で順番に走査（線順次走査）する。

【0037】

[画素回路の構成例]

図2は、画素（画素回路）30の具体的な構成例を示している。画素30の発光部は、電流値に応じて発光輝度に変化する電流駆動型の電気光学素子である有機EL素子51からなる。

【0038】

図2に示されるように、画素30は、有機EL素子51と、有機EL素子51に電流を流すことによって有機EL素子51を駆動する駆動回路とによって構成される。

10

【0039】

有機EL素子51は、全ての画素30に対して共通に配線（いわゆるベタ配線）された共通電源供給線にカソード電極が接続されている。

【0040】

有機EL素子51を駆動する駆動回路は、駆動トランジスタ52、書込みトランジスタ53、保持容量54、補助容量55、およびスイッチングトランジスタ56から構成される。駆動トランジスタ52、書込みトランジスタ53、およびスイッチングトランジスタ56としては、Nチャネル型のTFTが用いられる。なお、ここでの各トランジスタの導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。さらに、以下で説明するトランジスタや保持容量、有機EL素子等の結線関係についても、この形態に限られるものではない。

20

【0041】

駆動トランジスタ52は、一方の電極（ソース/ドレイン電極）が有機EL素子51のアノード電極に接続され、他方の電極（ソース/ドレイン電極）が電源供給線32に接続されている。

【0042】

書込みトランジスタ53は、2つのトランジスタ素子53-1, 53-2が直列接続されて構成される、いわゆるダブルゲート構造をとっている。トランジスタ素子53-1は、一方の電極（ソース/ドレイン電極）が信号線33に接続され、他方の電極（ソース/ドレイン電極）がトランジスタ素子53-2の一方の電極（ソース/ドレイン電極）に接続されている。トランジスタ素子53-2は、他方の電極（ソース/ドレイン電極）が駆動トランジスタ52のゲート電極に接続されている。また、書込みトランジスタ53のゲート電極は、走査線31に接続されている。

30

【0043】

なお、書込みトランジスタ53において、トランジスタ素子53-1とトランジスタ素子53-2との接続点を、以下、中間ノードNという。

【0044】

保持容量54は、一方の電極が駆動トランジスタ52のゲート電極に接続され、他方の電極が駆動トランジスタ52の他方の電極、および、有機EL素子51のアノード電極に接続されている。

40

【0045】

補助容量55は、一方の電極が有機EL素子51のアノード電極に、他方の電極が共通電源供給線にそれぞれ接続されている。補助容量55は、有機EL素子51の等価容量の容量不足分を補うべくその等価容量の補助となって、保持容量54に対する映像信号の書込みゲインを高めるために設けられている。

【0046】

なお、図2においては、補助容量55の他方の電極が共通電源供給線に接続されるようにしているが、他方の電極の接続先としては、共通電源供給線に限られるものではなく、固定電位のノードであればよい。補助容量55の他方の電極を固定電位のノードに接続することで、有機EL素子51の容量不足分を補い、保持容量54に対する映像信号の書込み

50

ゲインを高めることができるようになる。

【0047】

スイッチングトランジスタ56は、一方の電極（ソース/ドレイン電極）が書込みトランジスタ53の中間ノードNに接続され、他方の電極（ソース/ドレイン電極）が、所定電位 $V_{mid}$ に接続されている。また、スイッチングトランジスタ56のゲート電極は、走査線34に接続されている。

【0048】

駆動トランジスタ52、書込みトランジスタ53（トランジスタ素子53-1, 53-2）、およびスイッチングトランジスタ56において、一方の電極とは、ソース/ドレイン領域に電氣的に接続された金属配線をいい、他方の電極とは、ドレイン/ソース領域に電氣的に接続された金属配線をいう。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

【0049】

[画素回路の動作]

次に、図3のタイミングチャートを参照して、有機EL表示装置1の画素回路30の動作について説明する。

【0050】

図3のタイミングチャートには、電源供給線32の電位（電源電位）DS、走査線31の電位（書込み走査信号）WS、信号線33の電位（ $V_{sig}/V_{ofs}$ ）、並びに、図2の画素回路30におけるA点（駆動トランジスタ52のゲート電位）およびB点（駆動トランジスタ52のソース電位）それぞれの変化が示されている。

【0051】

図3において、時刻 $t_0$ 以前は、前の表示フレーム（前フレーム）における有機EL素子51の発光期間となる。前フレームの発光期間では、電源供給線32の電位DSが第1電源電位（以下、高電位という） $V_{cc}$ にあり、また、書込みトランジスタ53が非導通状態にある。

【0052】

ここで、駆動トランジスタ52は、飽和領域で動作するように設計されている。これにより、駆動トランジスタ52のゲート-ソース間電圧 $V_{gs}$ に応じた駆動電流（ドレイン-ソース間電流） $I_{ds}$ が、電源供給線32から駆動トランジスタ52を通して有機EL素子51に供給される。そして、有機EL素子51は、駆動電流 $I_{ds}$ の電流値に応じた輝度で発光する。

【0053】

時刻 $t_0$ になると、線順次走査の新しい表示フレーム（現フレーム）に入る。駆動トランジスタ52の閾値電圧を $V_{th}$ とすると、電源供給線32の電位DSが、高電位 $V_{cc}$ から、信号線33の基準電圧 $V_{ofs}$ に対して $V_{ofs} - V_{th}$ よりも十分に低い第2電源電位（以下、低電位という） $V_{ini}$ に切替わる。

【0054】

ここで、有機EL素子51の閾値電圧を $V_{thel}$ 、共通電源供給線の電位（カソード電位）を $V_{cath}$ とする。このとき、低電位 $V_{ini}$ を、 $V_{ini} < V_{thel} + V_{cath}$ とすると、B点の電位が低電位 $V_{ini}$ に略等しくなるため、有機EL素子51は逆バイアス状態となって消光する。

【0055】

時刻 $t_1$ において、信号線33の電位が信号電圧 $V_{sig}$ から基準電圧 $V_{ofs}$ とされ、時刻 $t_2$ において、走査線31の電位WSが低電位側から高電位側に遷移することで、書込みトランジスタ53が導通状態となる。このとき、水平セクタ14から信号線33に対して基準電圧 $V_{ofs}$ が供給されている状態にあるため、A点の電位が基準電圧 $V_{ofs}$ になる。また、B点の電位は、基準電圧 $V_{ofs}$ よりも十分に低い電位、すなわち低電位 $V_{ini}$ にある。

【0056】

またこのとき、駆動トランジスタ52のゲート-ソース間電圧 $V_{gs}$ は $V_{ofs} - V_{ini}$ となる

10

20

30

40

50

。ここで、 $V_{ofs} - V_{ini}$ が駆動トランジスタ52の閾値電圧 $V_{th}$ よりも大きくないと、後述する閾値補正処理を行うことができないため、 $V_{ofs} - V_{ini} > V_{th}$ となる関係に設定する必要がある。

【0057】

このように、A点の電位を基準電圧 $V_{ofs}$ に固定し、かつ、B点の電位を低電位 $V_{ini}$ に固定して初期化する処理が、後述する閾値補正処理を行う前の準備（閾値補正準備）の処理である。

【0058】

時刻 $t_3$ において、電源供給線32の電位 $DS$ が低電位 $V_{ini}$ から高電位 $V_{cc}$ に切替わると、A点の電位が基準電圧 $V_{ofs}$ に保たれた状態で閾値補正処理が開始される。すなわち、A点の電位から駆動トランジスタ52の閾値電圧 $V_{th}$ を減じた電位に向けてB点の電位が上昇を開始する。

10

【0059】

この閾値補正処理が進むと、やがて駆動トランジスタ52のゲート-ソース間電圧 $V_{gs}$ が駆動トランジスタ52の閾値電圧 $V_{th}$ に収束する。この閾値電圧 $V_{th}$ に相当する電圧は保持容量54に保持される。

【0060】

なお、閾値補正処理を行う期間（閾値補正期間）において、電流が専ら保持容量54側に流れ、有機EL素子51側には流れないようにするために、有機EL素子51がカットオフ状態となるように、共通電源供給線の電位 $V_{cath}$ を設定しておくこととする。

20

【0061】

時刻 $t_4$ において、走査線31の電位 $WS$ が低電位側に遷移することで、書込みトランジスタ53が非導通状態となる。このとき、駆動トランジスタ52のゲート電極が信号線33から電氣的に切り離されることによってフローティング状態になる。しかしながら、ゲート-ソース間電圧 $V_{gs}$ が駆動トランジスタ52の閾値電圧 $V_{th}$ に等しいために、駆動トランジスタ52はカットオフ状態にある。したがって、駆動トランジスタ52に駆動電流 $I_{ds}$ は流れない。

【0062】

時刻 $t_5$ において、信号線33の電位が基準電圧 $V_{ofs}$ から映像信号の信号電圧 $V_{sig}$ に切替わる。続いて、時刻 $t_6$ において、走査線31の電位 $WS$ が高電位側に遷移することで、書込みトランジスタ53は、導通状態となって映像信号の信号電圧 $V_{sig}$ をサンプリングして画素30内に書込む。

30

【0063】

この書込みトランジスタ53による信号電圧 $V_{sig}$ の書込みにより、A点の電位が信号電圧 $V_{sig}$ になる。そして、映像信号の信号電圧 $V_{sig}$ による駆動トランジスタ52の駆動の際に、駆動トランジスタ52の閾値電圧 $V_{th}$ が、保持容量54に保持された閾値電圧 $V_{th}$ に相当する電圧と相殺される。

【0064】

このとき、有機EL素子51は、カットオフ状態（ハイインピーダンス状態）にある。したがって、映像信号の信号電圧 $V_{sig}$ に応じて電源供給線32から駆動トランジスタ52に流れる駆動電流 $I_{ds}$ は、有機EL素子51の等価容量および補助容量55に流れ込む。これにより、有機EL素子51の等価容量および補助容量55の充電が開始される。

40

【0065】

有機EL素子51の等価容量および補助容量55が充電されることにより、B点の電位が時間の経過とともに上昇していく。このときすでに、駆動トランジスタ52の閾値電圧 $V_{th}$ の画素毎のばらつきがキャンセルされており、駆動トランジスタ52の駆動電流 $I_{ds}$ は、駆動トランジスタ52の移動度 $\mu$ に依存したものとなる。なお、駆動トランジスタ52の移動度 $\mu$ は、駆動トランジスタ52のチャンネルを構成する半導体薄膜の移動度である。

【0066】

ここで、映像信号の信号電圧 $V_{sig}$ に対する保持容量54の保持電圧（駆動トランジスタ

50

5 2 のゲート - ソース間電圧  $V_{gs}$  の比率、すなわち書込みゲインが 1 (理想値) であると仮定する。すると、B 点の電位が  $V_{ofs} - V_{th} + V$  の電位まで上昇することで、駆動トランジスタ 5 2 のゲート - ソース間電圧  $V_{gs}$  は  $V_{sig} - V_{ofs} + V_{th} - V$  となる。

【0067】

すなわち、B 点の電位の上昇分  $V$  は、保持容量 5 4 に保持された電圧 ( $V_{sig} - V_{ofs} + V_{th}$ ) から差し引かれるように、すなわち、保持容量 5 4 の充電電荷を放電するように作用する。言い換えると、B 点の電位の上昇分  $V$  は、保持容量 5 4 に対して負帰還がかけられたことになる。したがって、B 点の電位の上昇分  $V$  は負帰還の帰還量となる。

【0068】

このように、駆動トランジスタ 5 2 に流れる駆動電流  $I_{ds}$  に応じた帰還量  $V$  でゲート - ソース間電圧  $V_{gs}$  に負帰還をかけることで、駆動トランジスタ 5 2 の駆動電流  $I_{ds}$  の移動度  $\mu$  に対する依存性を打ち消すことができる。この処理が、駆動トランジスタ 5 2 の移動度  $\mu$  の画素毎のばらつきを補正する移動度補正処理である。

10

【0069】

[移動度補正の原理]

ここで、図 4 を参照して、駆動トランジスタ 5 2 の移動度補正の原理について説明する。

【0070】

図 4 には、駆動トランジスタ 5 2 の移動度  $\mu$  が相対的に大きい画素 A と、駆動トランジスタ 5 2 の移動度  $\mu$  が相対的に小さい画素 B とを比較した状態での特性カーブが示されている。駆動トランジスタ 5 2 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度  $\mu$  がばらつくことは避けられない。

20

【0071】

画素 A と画素 B とで移動度  $\mu$  にばらつきがある状態で、駆動トランジスタ 5 2 のゲート電極に対して、例えば両画素 A, B に同レベルの信号振幅  $V_{in} (= V_{sig} - V_{ofs})$  を書込んだ場合を考える。この場合、何ら移動度  $\mu$  の補正が行われないと、移動度  $\mu$  の大きい画素 A に流れる駆動電流  $I_{ds1}'$  と移動度  $\mu$  の小さい画素 B に流れる駆動電流  $I_{ds2}'$  との間には大きな差が生じてしまう。このように、移動度  $\mu$  の画素毎のばらつきに起因して駆動電流  $I_{ds}$  に画素間で大きな差が生じると、画面のユニフォーミティ (一様性) が損なわれる。

30

【0072】

ここで、移動度  $\mu$  が大きいと駆動電流  $I_{ds}$  が大きくなることが知られている。したがって、負帰還における帰還量  $V$  は移動度  $\mu$  が大きくなる程大きくなる。図 4 に示されるように、移動度  $\mu$  の大きな画素 A の帰還量  $V_1$  は、移動度の小さな画素 B の帰還量  $V_2$  に比べて大きい。

【0073】

そこで、移動度補正処理によって駆動トランジスタ 5 2 の駆動電流  $I_{ds}$  に応じた帰還量  $V$  でゲート - ソース間電圧  $V_{gs}$  に負帰還をかけることにより、移動度  $\mu$  が大きいほど負帰還が大きくかかることになる。その結果、移動度  $\mu$  の画素毎のばらつきを抑制することができる。

【0074】

具体的には、移動度  $\mu$  の大きな画素 A で帰還量  $V_1$  の補正をかけると、駆動電流  $I_{ds}$  は  $I_{ds1}'$  から  $I_{ds1}$  まで大きく下降する。一方、移動度  $\mu$  の小さな画素 B の帰還量  $V_2$  は小さいために、駆動電流  $I_{ds}$  は  $I_{ds2}'$  から  $I_{ds2}$  までの下降となり、それ程大きく下降しない。その結果、画素 A の駆動電流  $I_{ds1}$  と画素 B の駆動電流  $I_{ds2}$  とはほぼ等しくなるために、移動度  $\mu$  の画素毎のばらつきが補正されるようになる。

40

【0075】

図 3 のタイミングチャートに戻り、時刻  $t_7$  において、走査線 3 1 の電位  $WS$  が低電位側に遷移することで、書込みトランジスタ 5 3 が非導通状態となる。これにより、駆動トランジスタ 5 2 のゲート電極は、信号線 3 3 から電氣的に切り離されるためにフローティング状態になる。

50

## 【 0 0 7 6 】

ここで、駆動トランジスタ 5 2 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 5 2 のゲート - ソース間に保持容量 5 4 が接続されていることにより、B 点の電位（駆動トランジスタ 5 2 のソース電位）の変動に連動して A 点の電位（駆動トランジスタ 5 2 のゲート電位）も変動する。

## 【 0 0 7 7 】

このように、駆動トランジスタ 5 2 のゲート電位がソース電位の変動に連動して変動する動作が、言い換えると、保持容量 5 4 に保持されたゲート - ソース間電圧  $V_{gs}$  を保ったまま、駆動トランジスタ 5 2 のゲート電位およびソース電位が上昇する動作が、いわゆるブートストラップ動作である。

10

## 【 0 0 7 8 】

駆動トランジスタ 5 2 のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 5 2 の駆動電流  $I_{ds}$  が有機 EL 素子 5 1 に流れ始めることにより、有機 EL 素子 5 1 のアノード電位が上昇する。

## 【 0 0 7 9 】

そして、有機 EL 素子 5 1 のアノード電位が  $V_{thel} + V_{cath}$  を越えると、有機 EL 素子 5 1 に駆動電流が流れ始め、有機 EL 素子 5 1 が発光を開始する。また、有機 EL 素子 5 1 のアノード電位の上昇は、駆動トランジスタ 5 2 のソース電位、すなわち B 点の電位の上昇に他ならない。そして、B 点の電位が上昇すると、保持容量 5 4 のブートストラップ動作により、A 点の電位も連動して上昇する。

20

## 【 0 0 8 0 】

このとき、ブートストラップゲインが 1（理想値）であると仮定した場合、A 点の電位の上昇量は B 点の電位の上昇量に等しくなる。したがって、発光期間中、駆動トランジスタ 5 2 のゲート - ソース間電圧  $V_{gs}$  は、 $V_{sig} - V_{ofs} + V_{th} - V$  で一定に保持される。そして、時刻  $t_8$  で信号線 3 3 の電位が映像信号の信号電圧  $V_{sig}$  から基準電圧  $V_{ofs}$  に切替わる。

## 【 0 0 8 1 】

上述した一連の回路動作において、閾値補正準備、閾値補正、信号電圧  $V_{sig}$  の書込み（信号書込み）、および移動度補正の各処理動作は、1 水平走査期間（1 H）において実行される。また、信号書込みおよび移動度補正の各処理動作は、時刻  $t_6$  乃至  $t_7$  の期間において並行して実行される。

30

## 【 0 0 8 2 】

## [分割閾値補正]

なお、以上においては、閾値補正処理を 1 回だけ実行する回路動作について説明したが、この回路動作は一例に過ぎず、この回路動作に限られるものではない。例えば、閾値補正処理を移動度補正および信号書込み処理とともに行う 1 H 期間に加えて、1 H 期間に先行する複数の水平走査期間にわたって分割して閾値補正処理を複数回実行する、いわゆる分割閾値補正を行う回路動作とすることも可能である。

## 【 0 0 8 3 】

この分割閾値補正の回路動作によれば、高精細化に伴う多画素化によって 1 水平走査期間として割り当てられる時間が短くなったとしても、閾値補正期間として複数の水平走査期間にわたって十分な時間を確保することができる。したがって、1 水平走査期間として割り当てられる時間が短くなっても、閾値補正期間として十分な時間を確保できるため、閾値補正処理を確実に実行することが可能となる。

40

## 【 0 0 8 4 】

## [中間ノードの電位の制御]

ところで、画素 3 0 においては、走査信号  $W_{Smid}$  によって書込みトランジスタ 5 3 の中間ノード N の電位が制御される。具体的には、走査信号  $W_{Smid}$  に応じてスイッチングトランジスタ 5 6 がオンすることで、書込みトランジスタ 5 3 の中間ノード N の電位が、所定電位  $V_{mid}$  とされる。この所定電位  $V_{mid}$  は、信号線 3 3 の電位と駆動トランジスタ 5 2 のゲート電極の電位との間の電位、例えば、信号線 3 3 の電位と駆動トランジスタ 5 2 のゲ

50

ト電極の電位の略中間の電位とされる。以下、この所定電位 $V_{mid}$ を中間電位 $V_{mid}$ という。

【0085】

ここで、図5のタイミングチャートを参照して、走査信号 $WS_{mid}$ によって書込みトランジスタ53の中間ノードNの電位を制御する動作例について説明する。

【0086】

図5のタイミングチャートには、電源供給線32の電位 $DS$ 、走査線31の電位 $WS$ 、および走査線34の走査信号 $WS_{mid}$ それぞれの変化が示されている。

【0087】

なお、図5のタイミングチャートにおいて、電源供給線32の電位 $DS$ および走査線31の電位 $WS$ の変化は、図3のタイミングチャートにおける変化と同一である。また、図示はしないが、信号線33の電位( $V_{sig}/V_{ofs}$ )の変化も、図3のタイミングチャートにおける変化と同一である。すなわち、図5のタイミングチャートに示されるように、時刻 $t_{11}$ 乃至 $t_{13}$ の期間において閾値補正準備の処理が行われ、時刻 $t_{13}$ 乃至 $t_{14}$ の期間において閾値補正の処理が行われ、時刻 $t_{15}$ 乃至 $t_{16}$ の期間において信号書込みおよび移動度補正の各処理が行われ、時刻 $t_{16}$ 以降は発光期間とされる。

【0088】

図5に示されるように、前フレームにおける発光期間において、走査線34の走査信号 $WS_{mid}$ が高電位から低電位に遷移することで、スイッチングトランジスタ56は非導通状態となる。この状態は、閾値補正準備、閾値補正、信号書込みおよび移動度補正の各処理が行われている間、継続される。

【0089】

そして、時刻 $t_{16}$ 以降の発光期間において、走査線34の走査信号 $WS_{mid}$ が低電位から高電位に遷移することで、スイッチングトランジスタ56が導通状態となる。すなわち、ゲートドライバ15は、有機EL素子51の発光時に、スイッチングトランジスタ56をオンする。これにより、書込みトランジスタ53の中間ノードNの電位は中間電位 $V_{mid}$ となる。

【0090】

図3のタイミングチャートを参照して説明したように、発光期間では、駆動トランジスタ52のゲート電位(図2のA点の電位)は高い電位になる一方、信号線33の電位は信号電圧 $V_{sig}$ から基準電圧 $V_{ofs}$ に下がる。ここで、書込みトランジスタ53がオフ時の走査線31の電位(低電位側の電位)を $WS\_L$ 、トランジスタ素子53-1の閾値電圧を $V_{th}$ とすると、このときの書込みトランジスタ53の中間ノードNの電位は $WS\_L - V_{th}$ となる。この電位は、発光期間における駆動トランジスタ52のゲート電位と比較して十分低いいため、書込みトランジスタ53、特に、駆動トランジスタ52側のトランジスタ素子53-2には、大きな逆バイアスがかかってしまう。

【0091】

そこで、本技術においては、有機EL素子51の発光期間において、スイッチングトランジスタ56をオンすることで、書込みトランジスタ53の中間ノードNの電位を中間電位 $V_{mid}$ とするようにする。ここで、中間電位 $V_{mid}$ は、少なくとも、有機EL素子51の発光時(例えば白発光時)の駆動トランジスタ52のゲート電位より低く、上述した $WS\_L - V_{th}$ より高い電位とされる。これにより、トランジスタ素子53-2にかかる逆バイアスを小さくすることができる。

【0092】

なお、図5のタイミングチャートにおいては、有機EL素子51の発光開始後に、スイッチングトランジスタ56をオンし、有機EL素子51の発光終了前に、スイッチングトランジスタ56をオフするようにしたが、少なくとも、書込みトランジスタ53による信号書込み終了以降に、スイッチングトランジスタ56がオンされ、閾値補正準備期間における書込みトランジスタ53がオンするまでに、スイッチングトランジスタ56がオフされればよい。したがって、図6に示されるように、書込みトランジスタ53による信号書込み終了時(時刻 $t_{16}$ )に、スイッチングトランジスタ56をオンし、閾値補正準備期間にお

10

20

30

40

50

ける書込みトランジスタ53のオン時(時刻 $t_{12}$ )に、スイッチングトランジスタ56をオフするようにしてもよい。

【0093】

以上の動作によれば、書込みトランジスタ53による信号書込み終了以降に、スイッチングトランジスタ56がオンされるので、発光時の書込みトランジスタ53の中間ノードNの電位を中間電位 $V_{mid}$ とすることができる。これにより、発光時に、書込みトランジスタ53において、駆動トランジスタ52側のトランジスタ素子53-2にかかる逆バイアスを小さくすることができるので、トランジスタ素子53-2の閾値電圧のデプレッション側へのシフトを抑えることができ、結果として、画面の信頼性を確保することが可能となる。

10

【0094】

書込みトランジスタ53を1つのトランジスタと見なした場合、以上においては、本技術を、駆動トランジスタ52および書込みトランジスタ53の2つのトランジスタと、保持容量54および補助容量55の2つの容量素子とを有するいわゆる $2Tr/2C$ 構成の画素回路を備える有機EL表示装置に適用した例について説明したが、本技術は、他の構成の画素回路を備える有機EL表示装置にも適用することができる。すなわち、本技術は、さらに多い数のトランジスタを有する画素回路や、さらに多い数の容量素子を有する画素回路を備える有機EL表示装置に対しても適用することができる。

【0095】

[表示装置の他の構成例]

20

図7は、 $3Tr/2C$ 構成の画素回路を備えるアクティブマトリクス型有機EL表示装置の構成例を示している。

【0096】

なお、図7の有機EL表示装置101において、図2の有機EL表示装置1に設けられたものと同様の機能を備える構成については、同一名称および同一符号を付するものとし、その説明は、適宜省略するものとする。

【0097】

すなわち、図7の有機EL表示装置101において、図2の有機EL表示装置1と異なるのは、画素30に代えて画素130を設けた点である。また、図7の画素130において、図2の画素30と異なるのは、スイッチングトランジスタ151が新たに設けられた点である。

30

【0098】

スイッチングトランジスタ151は、一方の電極(ソース/ドレイン電極)が固定電位 $V_{cc}$ に接続され、他方の電極(ソース/ドレイン電極)が駆動トランジスタ52のソース/ドレイン電極に接続されている。また、スイッチングトランジスタ151のゲート電極は、走査線32'に接続されている。

【0099】

なお、図7の有機EL表示装置101においては、ドライブスキャナ13が、ライトスキャナ12による線順次走査に同期して、走査線32'に対して走査信号 $DS'$ を供給することで、画素130の発光/非発光の制御が行われる。具体的には、スイッチングトランジスタ151が、走査線32'からの走査信号 $DS'$ に応じて、駆動トランジスタ52による有機EL素子51の駆動電流 $I_{ds}$ の供給を制御する。

40

【0100】

[画素回路の動作]

次に、図8のタイミングチャートを参照して、有機EL表示装置101の画素回路130の動作について説明する。

【0101】

図8のタイミングチャートには、走査線32'の電位 $DS'$ 、走査線31の電位 $WS$ 、および走査線34の走査信号 $WS_{mid}$ のそれぞれの変化が示されている。

【0102】

50

図8のタイミングチャートにおいて、時刻t21以前に行われる処理、具体的には、閾値補正準備および閾値補正の各処理についての説明は省略するが、図8のタイミングチャートに示されるように、時刻t21乃至t22の期間において信号書込みの処理が行われ、時刻t23以降は発光期間とされる。なお、図8のタイミングチャートにおいては、移動度補正の処理は行われない。

#### 【0103】

図8に示されるように、信号書込み終了後、時刻t23の発光開始時に、走査線34の走査信号WSmidが低電位から高電位に遷移することで、スイッチングトランジスタ56が導通状態となる。すなわち、ゲートドライバ15は、スイッチングトランジスタ151がオンするタイミングと同時に、スイッチングトランジスタ56をオンする。これにより、書込みトランジスタ53の中間ノードNの電位は中間電位Vmidとなる。

10

#### 【0104】

以上の動作によれば、書込みトランジスタ53による信号書込み以降に、スイッチングトランジスタ151がオンするタイミングと同時に、スイッチングトランジスタ56がオンされるので、発光時の書込みトランジスタ53の中間ノードNの電位を中間電位Vmidとすることができる。これにより、発光時に、書込みトランジスタ53において、駆動トランジスタ52側のトランジスタ素子53-2にかかる逆バイアスを小さくすることができるので、トランジスタ素子53-2の閾値電圧のデプレッション側へのシフトを抑えることができ、結果として、画面の信頼性を確保することが可能となる。

20

#### 【0105】

なお、上述したように、スイッチングトランジスタ56とスイッチングトランジスタ151とは、同一のタイミングでオンされるので、有機EL表示装置101においては、ドライブキャパ13とゲートドライバ15とを1つの回路として設けるようにしてもよい。これにより、有機EL表示装置101の構成を簡略化することができるようになる。

#### 【0106】

また、以上においては、書込みトランジスタ53はダブルゲート構造をとるものとしたが、3以上のトランジスタ素子が直列接続されて構成されるマルチゲート構造をとるようにしてもよい。この場合、中間ノードは、3以上のトランジスタ素子のうちの、最も駆動トランジスタ52側のトランジスタ素子と、他のトランジスタ素子との接続点とされる。これにより、発光時に、最も駆動トランジスタ52側のトランジスタ素子にかかる逆バイアスを小さくすることができる。

30

#### 【0107】

以上においては、本技術を適用した有機EL表示装置の構成および動作について説明してきたが、本技術は他の表示装置に適用することができる。具体的には、本技術は、無機EL素子、LED素子、半導体レーザ素子等、そのデバイスに流れる電流の電流値に応じて発光輝度が増加する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用することができる。さらに、電流駆動型の電気光学素子を用いた表示装置以外にも、液晶表示装置やプラズマ表示装置等、画素内に容量素子を有する構成の表示装置全般に対して適用することができる。

40

#### 【0108】

##### [電子機器]

上述した本技術を適用した表示装置は、電子機器に入力された画像信号または電子機器内で生成した画像信号を、画像として表示するあらゆる分野の電子機器の表示部（表示装置）に適用することができる。例えば、図9乃至図13に示される様々な電子機器の表示部に適用することができる。

#### 【0109】

上述したように、本技術を適用した表示装置によれば、画面の信頼性を確保することが可能となる。したがって、あらゆる分野の電子機器において、その表示部として本技術を適用した表示装置を用いることで、高品位の表示画像を得ることができる。

#### 【0110】

50

本技術を適用した表示装置には、封止された構成のモジュール形状のものも含まれる。例えば、本技術を適用した表示装置には、画素アレイ部に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが含まれる。なお、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0111】

以下、本技術を適用した電子機器の具体例について説明する。

【0112】

図9は、本技術を適用したテレビジョン受像機の外観を示す斜視図である。本技術を適用したテレビジョン受像機は、フロントパネル202やフィルターガラス203等から構成される画像表示画面部201を有し、画像表示画面部201として本技術の表示装置が用いられることにより作製される。

10

【0113】

図10は、本技術を適用したデジタルカメラの外観を示す斜視図であり、図10Aは表側から見た斜視図、図10Bは裏側から見た斜視図である。本技術を適用したデジタルカメラは、フラッシュ用の発光部211、表示部212、メニュースイッチ213、シャッターボタン214等を有し、表示部212として本技術の表示装置が用いられることにより作製される。

【0114】

図11は、本技術を適用したノート型パーソナルコンピュータの外観を示す斜視図である。本技術を適用したノート型パーソナルコンピュータは、本体221に、文字等を入力するときに操作されるキーボード222、画像を表示する表示部223等を有し、表示部223として本技術の表示装置が用いられることにより作製される。

20

【0115】

図12は、本技術を適用したビデオカメラの外観を示す斜視図である。本技術を適用したビデオカメラは、本体部231、被写体撮影用のレンズ232、撮影時のスタート/ストップスイッチ233、表示部234等を有し、表示部134として本技術の表示装置が用いられることにより作製される。

【0116】

図13は、本技術を適用した携帯端末装置、例えば多機能携帯電話機を示す外観図である。本技術を適用した多機能携帯電話機は、筐体241、タッチパネル機能を備えるディスプレイ242、図示せぬカメラ等を有し、ディスプレイ242として本技術の表示装置が用いられることにより作製される。

30

【0117】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【0118】

さらに、本技術は以下のような構成をとることができる。

(1)

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、信号線と前記駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて構成される書込みトランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、前記画素アレイ部の各画素を駆動する駆動回路部とを備え、

40

前記書込みトランジスタによる信号書込み終了以降に、前記書込みトランジスタを構成する前記複数のトランジスタ素子の中間ノードの電位が、前記信号線の電位と前記駆動トランジスタのゲート電極の電位との間の中間電位とされる

表示装置。

(2)

前記画素は、前記書込みトランジスタの前記中間ノードに前記中間電位を書込むスイッチを備え、

50

前記駆動回路部は、前記書込みトランジスタによる信号書込み終了以降に、前記スイッチをオンする

(1)に記載の表示装置。

(3)

前記画素は、前記駆動トランジスタによる前記電気光学素子の駆動電流の供給を制御するスイッチングトランジスタをさらに備え、

前記駆動回路部は、前記スイッチングトランジスタがオンするタイミングと同時に、前記スイッチをオンする

(2)に記載の表示装置。

(4)

前記中間電位は、少なくとも、前記電気光学素子の発光時の前記駆動トランジスタのゲート電極の電位より低い

(1)乃至(3)のいずれかに記載の表示装置。

(5)

前記中間電位は、少なくとも、前記書込みトランジスタがオフ時の前記書込みトランジスタの走査線の電位から、前記書込みトランジスタを構成する前記複数のトランジスタ素子のうちの前記中間ノードより前記信号線側のトランジスタ素子の閾値電圧を減じた電位より高い

(1)乃至(4)のいずれかに記載の表示装置。

(6)

前記中間ノードは、前記書込みトランジスタを構成する前記複数のトランジスタ素子のうちの前記最も前記駆動トランジスタ側のトランジスタ素子と、他のトランジスタ素子との接続点である

(1)乃至(5)のいずれかに記載の表示装置。

(7)

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、信号線と前記駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて構成される書込みトランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、

前記画素アレイ部の各画素を駆動する駆動回路部とを備える表示装置の駆動方法であって、

前記書込みトランジスタによる信号書込み終了以降に、前記書込みトランジスタを構成する前記複数のトランジスタ素子の中間ノードの電位を、前記信号線の電位と前記駆動トランジスタのゲート電極の電位との間の中間電位とする

ステップを含む表示装置の駆動方法。

(8)

電気光学素子と、前記電気光学素子を駆動する駆動トランジスタと、信号線と前記駆動トランジスタのゲート電極との間に接続され、複数のトランジスタ素子が直列接続されて構成される書込みトランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、

前記画素アレイ部の各画素を駆動する駆動回路部とを備え、

前記書込みトランジスタによる信号書込み終了以降に、前記書込みトランジスタを構成する前記複数のトランジスタ素子の中間ノードの電位が、前記信号線の電位と前記駆動トランジスタのゲート電極の電位との間の中間電位とされる表示装置

を備える電子機器。

【符号の説明】

【0119】

1 有機EL表示装置, 11 画素アレイ, 12 ライトスキャナ, 13 ドライブスキャナ, 14 水平セクタ, 15 ゲートドライバ, 30 画素, 51 有機EL素子, 52 駆動トランジスタ, 53 書込みトランジスタ, 54 保持容量, 55 補助容量, 56 スwitchングトランジスタ

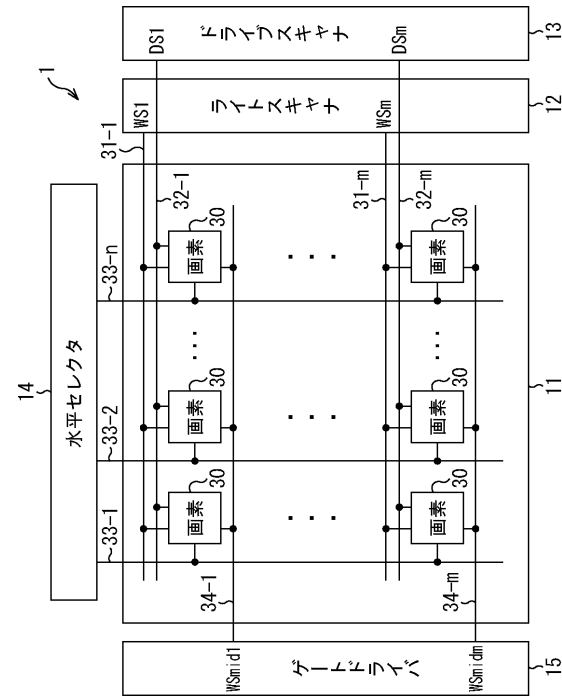
10

20

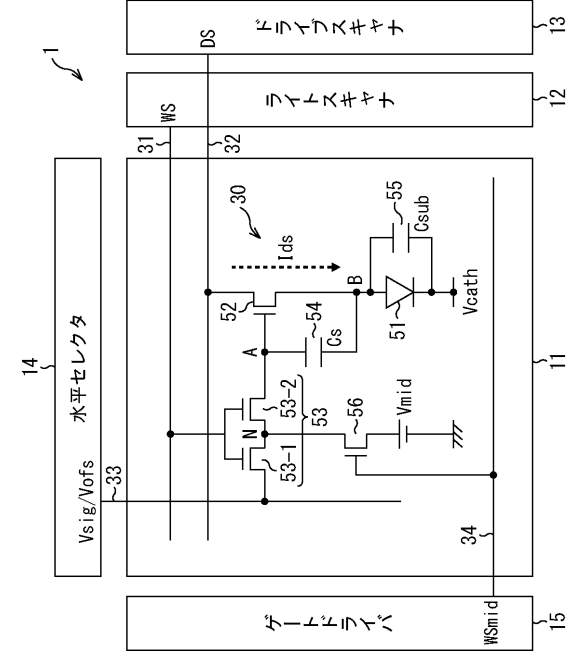
30

40

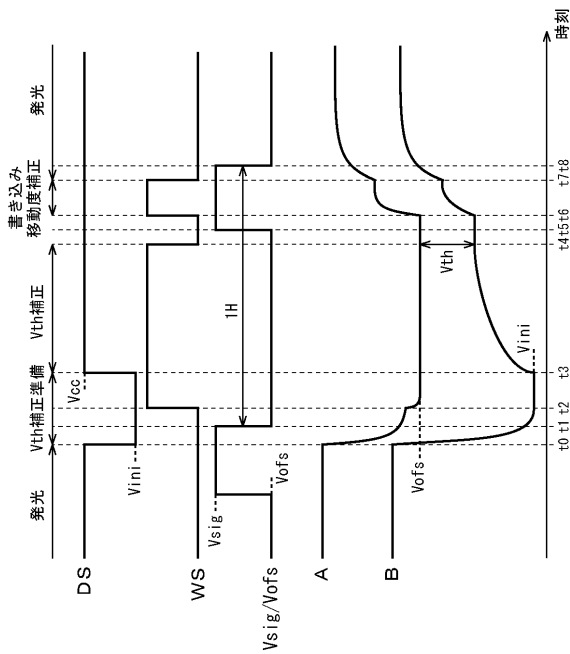
【図1】



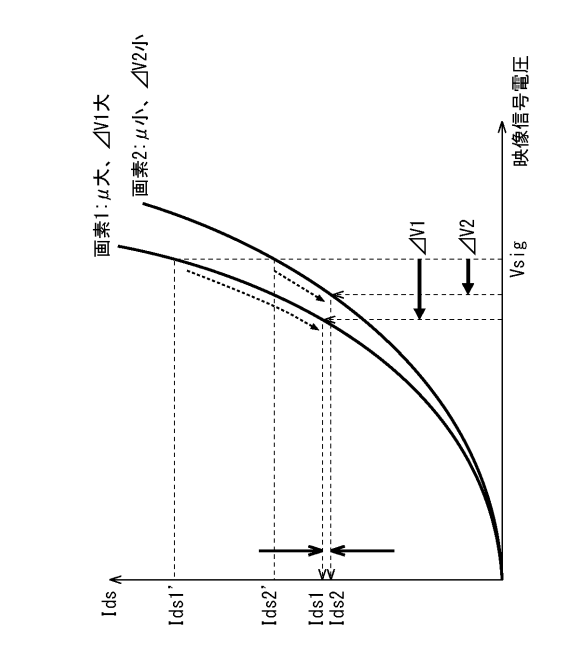
【図2】



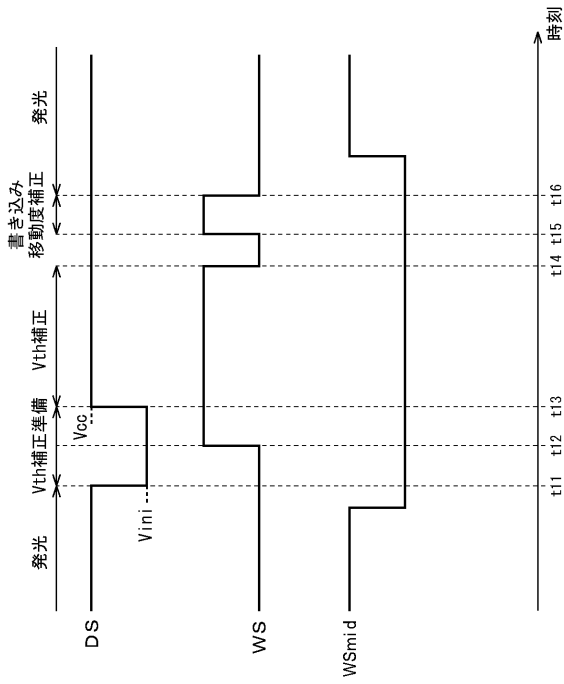
【図3】



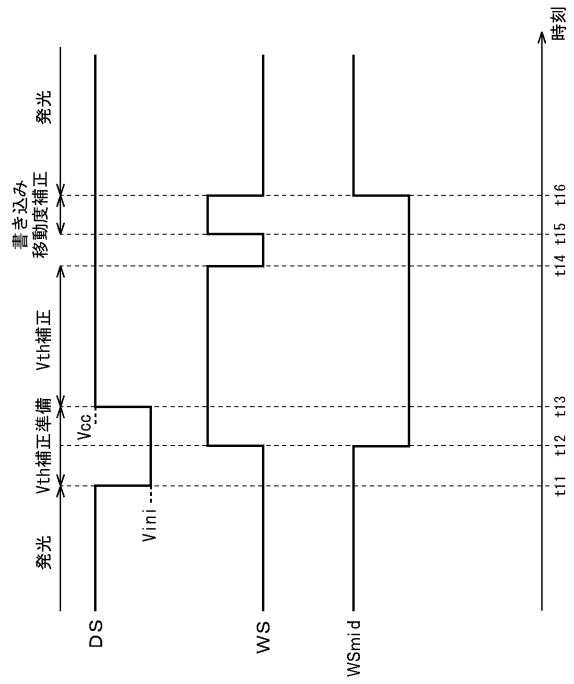
【図4】



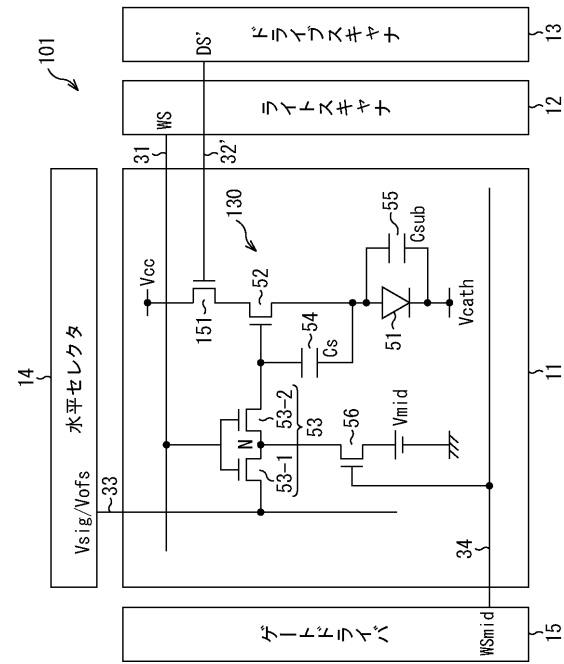
【図5】  
図5



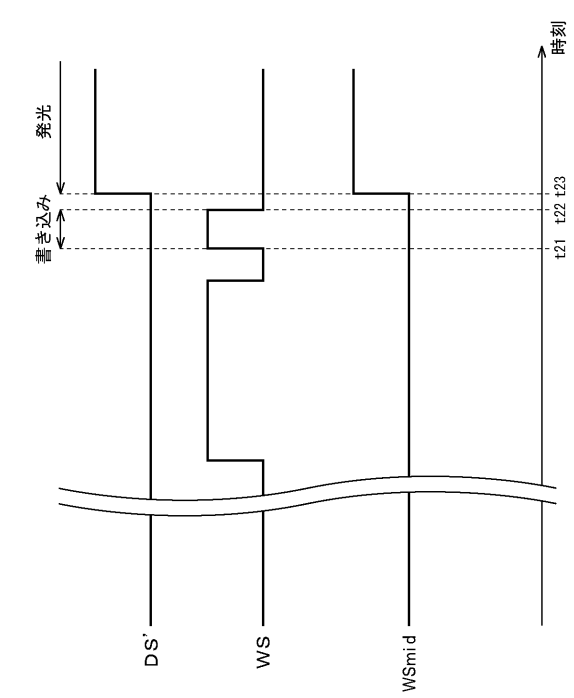
【図6】  
図6



【図7】  
図7

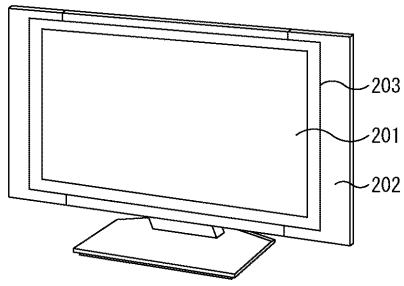


【図8】  
図8



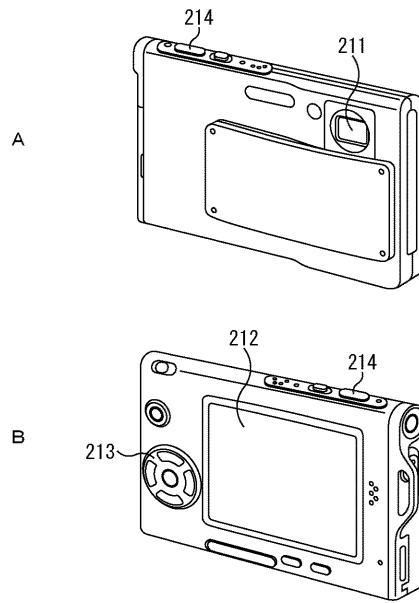
【 図 9 】

図9



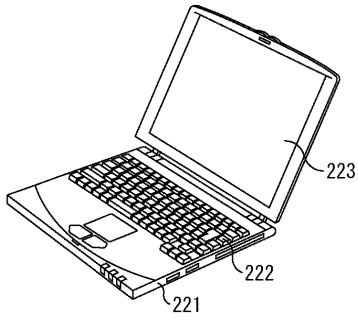
【 図 1 0 】

図10



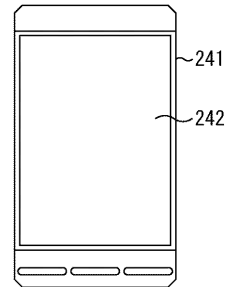
【 図 1 1 】

図11



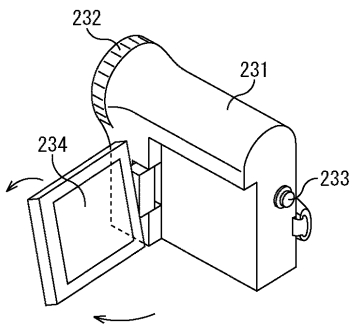
【 図 1 3 】

図13



【 図 1 2 】

図12



---

フロントページの続き

Fターム(参考) 5C380 AA01 AA02 AA03 AB06 AB18 AB24 AB34 AB36 AB37 AB45  
AC07 AC08 AC09 BA05 BA10 BA34 BA38 BA39 BB02 CA08  
CA32 CA54 CB01 CB17 CB20 CB26 CB33 CC03 CC04 CC06  
CC07 CC26 CC30 CC33 CC39 CC41 CC63 CC64 CC77 CD023  
CD024 CE04 CF07 DA02 DA06 DA50 HA03 HA05 HA08

专利名称(译)	显示装置及其驱动方法和电子设备		
公开(公告)号	<a href="#">JP2014160203A</a>	公开(公告)日	2014-09-04
申请号	JP2013031375	申请日	2013-02-20
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	多田羅智史		
发明人	多田羅 智史		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0852 G09G2300/0861 G09G3/3677		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H H05B33/14.A G09G3/20.670.E G09G3/3233 G09G3/3266 G09G3/3275		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC31 3K107/EE03 5C080/AA05 5C080/AA06 5C080/AA07 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD09 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/HH10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB24 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AB45 5C380/AC07 5C380/AC08 5C380/AC09 5C380/BA05 5C380/BA10 5C380/BA34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA32 5C380/CA54 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CB33 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC63 5C380/CC64 5C380/CC77 5C380/CD023 5C380/CD024 5C380/CE04 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA50 5C380/HA03 5C380/HA05 5C380/HA08		
代理人(译)	西川 孝		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：确保屏幕可靠性。电光元件，驱动该电光元件的驱动晶体管，以及写晶体管，其连接在驱动晶体管的信号线和栅电极之间，并通过串联连接多个晶体管元件而构成。在包括像素阵列部分的显示装置中，在该像素阵列中将要包括的像素布置成矩阵，并且该驱动电路部分驱动该像素阵列部分的每个像素，在完成由写入晶体管的信号写入之后，形成写入晶体管的多个晶体管。元件的中间节点的电位被设置为信号线的电位与驱动晶体管的栅电极的电位之间的中间电位。本技术可以应用于例如有机EL显示装置。[选择图]图2

