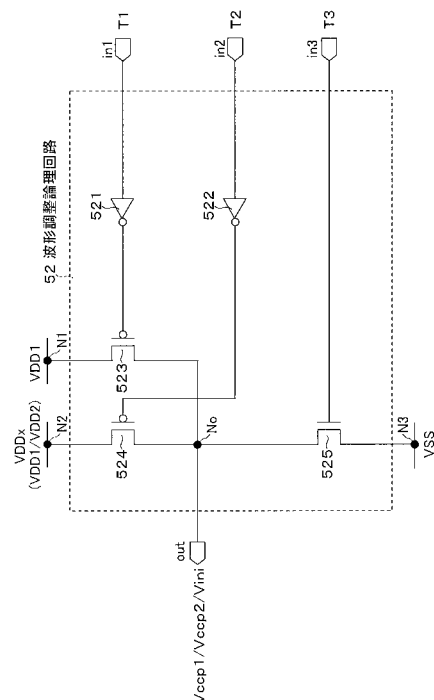




【特許請求の範囲】**【請求項 1】**

電気光学素子と、
映像信号を書き込む書込みトランジスタと、
前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、
前記保持容量に保持された前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタとを有し、

前記電気光学素子の発光駆動に先立って、前記駆動トランジスタのゲート電位の初期化電位を基準として当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向けてソース電位を変化させる閾値補正処理の機能を持つ画素が行列状に配置された画素アレイ部と、

前記駆動トランジスタに電流を供給する電源供給線の電源電位として、前記閾値補正処理を行う閾値補正期間と前記電気光学素子の発光期間とで異なる電位を設定する電源供給部とを備え、

前記電源供給部は、前記電気光学素子の発光期間では前記電源供給線に対して複数の電源ノードから複数のスイッチング素子を通して電源電位を供給する

表示装置。

【請求項 2】

前記電源供給部は、前記閾値補正処理後の前記駆動トランジスタのドレイン - ソース間電圧と、前記電気光学素子の発光中の前記駆動トランジスタのドレイン - ソース間電圧とが等しくなるように、前記発光期間の電源電位に対して前記閾値補正期間の電源電位を設定する

請求項 1 記載の表示装置。

【請求項 3】

前記画素は、前記書込みトランジスタによる前記映像信号の書込み処理と並行して、前記駆動トランジスタに流れる電流に応じた補正量で当該駆動トランジスタのゲート - ソース間の電位差に負帰還をかける移動度補正処理の機能を持つ

請求項 1 記載の表示装置。

【請求項 4】

前記電源供給部は、前記駆動トランジスタに電流を供給する電源供給線の電源電位として、前記閾値補正処理を行う閾値補正期間と前記移動度補正処理を行う移動度補正期間とで同電位を設定する

請求項 3 記載の表示装置。

【請求項 5】

前記電源供給部は、前記移動度補正処理の期間において前記駆動トランジスタをキンク現象が発生する領域で使用しないような電位に前記発光期間の電源電位および前記閾値補正期間の電源電位を設定する

請求項 4 記載の表示装置。

【請求項 6】

前記電源供給部は、前記駆動トランジスタに電流を供給する電源供給線の電源電位として、前記閾値補正処理を行う閾値補正期間と前記移動度補正処理を行う移動度補正期間とで異なる電位を設定する

請求項 3 記載の表示装置。

【請求項 7】

前記電源供給部は、前記閾値補正処理後の前記駆動トランジスタのドレイン - ソース間電圧と、前記移動度補正処理中の前記駆動トランジスタのドレイン - ソース間電圧と、前記電気光学素子の発光中の前記駆動トランジスタのドレイン - ソース間電圧とが等しくなるように、前記閾値補正期間および前記発光期間の各電源電位に対して前記移動度補正期間の電源電位を設定する

請求項 6 記載の表示装置。

10

20

30

40

50

【請求項 8】

前記複数の電源ノードのうちの一つの電源ノードには前記電気光学素子の発光期間に前記電源供給線に与える第 1 の電源電位が供給され、他の電源ノードには前記第 1 の電源電位と少なくとも前記閾値補正期間に前記電源供給線に与える第 2 の電源電位とが選択的に供給され、

前記電源供給部は、前記複数のスイッチング素子が前記電源供給線に対して電源電位を出力する出力ノードと前記複数の電源ノードとの間に接続されており、前記電気光学素子の発光期間では前記複数の電源ノードから前記複数のスイッチング素子を通して前記電源供給線に前記第 1 の電源電位を供給する

請求項 1 記載の表示装置。

10

【請求項 9】

前記複数のスイッチング素子のサイズは、1つの電源ノードから1つのスイッチング素子を通して前記電源供給線に前記第 1 の電源電位を供給する場合に比べて小さい

請求項 8 記載の表示装置。

【請求項 10】

電気光学素子と、

映像信号を書き込む書込みトランジスタと、

前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、

前記保持容量に保持された前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタとを有し、

20

前記電気光学素子の発光駆動に先立って、前記駆動トランジスタのゲート電位の初期化電位を基準として当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向けてソース電位を変化させる閾値補正処理の機能を持つ画素が行列状に配置された表示装置の駆動に当たって、

前記駆動トランジスタに電流を供給する電源供給線の電源電位として、前記閾値補正処理を行う閾値補正期間と前記電気光学素子の発光期間とで異なる電位を設定し、

前記電気光学素子の発光期間では前記電源供給線に対して複数の電源ノードから複数のスイッチング素子を通して電源電位を供給する

表示装置の駆動方法。

30

【請求項 11】

電気光学素子と、

映像信号を書き込む書込みトランジスタと、

前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、

前記保持容量に保持された前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタとを有し、

前記電気光学素子の発光駆動に先立って、前記駆動トランジスタのゲート電位の初期化電位を基準として当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向けてソース電位を変化させる閾値補正処理の機能を持つ画素が行列状に配置された画素アレイ部と、

前記駆動トランジスタに電流を供給する電源供給線の電源電位として、前記閾値補正処理を行う閾値補正期間と前記電気光学素子の発光期間とで異なる電位を設定する電源供給部とを備え、

40

前記電源供給部は、前記電気光学素子の発光期間では前記電源供給線に対して複数の電源ノードから複数のスイッチング素子を通して電源電位を供給する

表示装置を有する電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置、表示装置の駆動方法および電子機器に関し、特に、画素が行列状（マトリクス状）に 2 次元配置された平面型（フラットパネル型）の表示装置、当該表示

50

装置の駆動方法および当該表示装置を有する電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素（画素回路）が行列状に配置されてなる平面型の表示装置が急速に普及している。平面型の表示装置の一つとして、デバイスに流れる電流値に応じて発光輝度が変化するいわゆる電流駆動型の電気光学素子を画素の発光素子として用いた表示装置がある。電流駆動型の電気光学素子としては、有機薄膜に電界をかけると発光する現象を利用した有機EL(Electro Luminescence)素子が知られている。

【0003】

画素の電気光学素子として有機EL素子を用いた有機EL表示装置は次のような特長を持っている。すなわち、有機EL素子は、10V以下の印加電圧で駆動できるために低消費電力である。有機EL素子は、自発光素子であるために、画素ごとに液晶にて光源からの光強度を制御することによって画像を表示する液晶表示装置に比べて、画像の視認性が高く、しかもバックライト等の照明部材を必要としないために軽量化および薄型化が容易である。さらに、有機EL素子の応答速度が数 μ s程度と非常に高速であるために動画表示時の残像が発生しない。

【0004】

有機EL表示装置では、液晶表示装置と同様に、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、電気光学素子の発光期間が走査線（即ち、画素数）の増加によって減少するために、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。

【0005】

そのため、近年、電気光学素子に流れる電流を、当該電気光学素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタによって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。絶縁ゲート型電界効果トランジスタとしては、一般には、TFT(Thin Film Transistor; 薄膜トランジスタ)が用いられる。アクティブマトリクス方式の表示装置は、電気光学素子が1フレームの期間に亘って発光を持続するために、大型でかつ高精細な表示装置の実現が容易である。

【0006】

ところで、一般的に、有機EL素子のI-V特性（電流-電圧特性）は、時間が経過すると劣化（いわゆる、経時劣化）することが知られている。有機EL素子を電流駆動するトランジスタ（以下、「駆動トランジスタ」と記述する）として特にNチャネル型のTFTを用いた画素回路では、有機EL素子のI-V特性が経時劣化すると、駆動トランジスタのゲート-ソース間電圧 V_{gs} が変化する。その結果、有機EL素子の発光輝度が変化する。これは、駆動トランジスタのソース電極側に有機EL素子が接続されることに起因する。

【0007】

このことについてより具体的に説明する。駆動トランジスタのソース電位は、駆動トランジスタと有機EL素子の動作点で決まる。そして、有機EL素子のI-V特性が劣化すると、駆動トランジスタと有機EL素子の動作点が変わってしまうために、駆動トランジスタのゲート電極に同じ電圧を印加したとしても駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース-ゲート間電圧 V_{gs} が変化するために、駆動トランジスタに流れる電流値が変化する。その結果、有機EL素子に流れる電流値も変化するために、有機EL素子の発光輝度が変化するようになる。

【0008】

また、特にポリシリコンTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動トランジスタのトランジスタ特性が経時的に変化したり、製造プロセスのばらつきによってトランジスタ特性が画素ごとに異なったりする。すなわち、画素

10

20

30

40

50

個々に駆動トランジスタのトランジスタ特性にばらつきがある。トランジスタ特性としては、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度 μ （以下、単に「駆動トランジスタの移動度 μ 」と記述する）等が挙げられる。

【0009】

駆動トランジスタのトランジスタ特性が画素ごとに異なると、画素ごとに駆動トランジスタに流れる電流値にばらつきが生じるために、駆動トランジスタのゲート電極に画素間で同じ電圧を印加しても、有機EL素子の発光輝度に画素間でばらつきが生じる。その結果、画面のユニフォームティ（一様性）が損なわれる。

【0010】

そこで、有機EL素子のI-V特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化等の影響を受けることなく、有機EL素子の発光輝度を一定に維持するために、各種の補正（補償）機能を画素回路に持たせている（例えば、特許文献1参照）。

【0011】

補正機能としては、有機EL素子の特性変動に対する補償機能、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正機能、駆動トランジスタの移動度 μ の変動に対する補正機能などが挙げられる。以下、駆動トランジスタの閾値電圧 V_{th} の変動に対する補正を「閾値補正」と呼び、駆動トランジスタの移動度 μ の変動に対する補正を「移動度補正」と呼ぶこととする。

【0012】

このように、画素回路の各々に、各種の補正機能を持たせることで、有機EL素子のI-V特性の経時劣化や、駆動トランジスタのトランジスタ特性の経時変化の影響を受けることなく、有機EL素子の発光輝度を一定に保つことができる。その結果、有機EL表示装置の表示品質を向上できる。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2006-133542号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

一般的に、トランジスタは、図37に示すように、ドレイン電圧（ドレイン・ソース間電圧） V_{ds} がある電圧に到達するまでドレイン電流（ドレイン・ソース間電流） I_{ds} が急激に上昇し、ある電圧を超えるとドレイン電流 I_{ds} が飽和する特性を持っている。ただし、ドレイン電流 I_{ds} は飽和後もドレイン電圧 V_{ds} が高くなるにつれて一定の傾きを持って直線的に上昇する。図37に示すドレイン電圧・ドレイン電流（ V_{ds} - I_{ds} ）の特性は理想的な特性である。

【0015】

実際には、図38に示すように、飽和領域において直線性が崩れる現象、具体的にはドレイン電流 I_{ds} が急激に上昇する、いわゆるキンク現象が起こる。キンク現象は、チャネルキャリアの衝突電離によって発生したキャリアの一部が浮遊基板に流れ込み、基板電位の変化とそれに伴う閾値電圧の低下により電流が増大する現象である。このキンク現象は、 V_{ds} - I_{ds} 特性の線形性の低下をもたらし、出力波形にひずみが生じる原因となる。キンク現象には、製造ばらつきによって発生状態にばらつきが生じる。

【0016】

先述した駆動トランジスタは、飽和領域で動作するように設計されている。ここで、駆動トランジスタのドレイン・ソース間電圧 V_{ds} に注目とする、閾値補正処理後のドレイン・ソース間電圧 V_{ds} は大きく、有機EL素子の発光中のドレイン・ソース間電圧 V_{ds} は小さくなる。このとき、キンク現象の大きさがばらついてしまうと、ドレイン・ソース間電圧 V_{ds} の変動がキンク現象の領域を跨ぐ場合にそのばらつきの影響を受けてしま

10

20

30

40

50

う（その詳細については後述する）。その結果、画素間においてドレイン・ソース間電流 I_{ds} 、ひいては有機 EL 素子の駆動電流がばらついてしまうため、画素間で輝度差が発生して画質の悪化を招く。

【0017】

そこで、本発明は、駆動トランジスタのキンク現象に起因する電気光学素子の駆動電流のばらつきを抑え、表示画像の画質を改善できるようにした表示装置、当該表示装置の駆動方法および当該表示装置を用いた電子機器を提供することを目的とする。

【課題を解決するための手段】

【0018】

上記目的を達成するために、本発明は、
電気光学素子と、
映像信号を書き込む書込みトランジスタと、
前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、
前記保持容量に保持された前記映像信号に応じて前記電気光学素子を駆動する駆動トランジスタとを有し、

前記電気光学素子の発光駆動に先立って、前記駆動トランジスタのゲート電位の初期化電位を基準として当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向けてソース電位を変化させる閾値補正処理の機能を持つ画素が行列状に配置された表示装置の駆動に当たって、

前記駆動トランジスタに電流を供給する電源供給線の電源電位として、前記閾値補正処理を行う閾値補正期間と前記電気光学素子の発光期間とで異なる電位を設定し、

前記電気光学素子の発光期間では前記電源供給線に対して複数の電源ノードから複数のスイッチング素子を通して電源電位を供給する。

【0019】

電源供給線の電源電位が閾値補正処理を行う閾値補正期間と電気光学素子の発光期間とで同じだと、閾値補正処理後と電気光学素子の発光中とで駆動トランジスタのドレイン・ソース間電圧 V_{ds} に違いが生じる。そこで、電源供給線の電源電位を閾値補正期間と発光期間とで異ならせる。これにより、閾値補正処理後のドレイン・ソース間電圧 V_{ds} と電気光学素子の発光中のドレイン・ソース間電圧 V_{ds} との違いを、電源供給線の電源電位が閾値補正期間と発光期間とで同じ場合に比べて小さくできる。その結果、駆動トランジスタにキンク現象が発生し、その発生状態に製造ばらつきによってばらつきが生じたとしても、画素間での駆動トランジスタのドレイン・ソース間電流 I_{ds} 、ひいては電気光学素子の駆動電流のばらつきを小さく抑えることができる。

【0020】

また、例えば領域ごとに輝度差が大きい画表示を行う場合に、例えば白領域のラインと黒の矩形を含む領域のラインとで、各ラインの電源供給線ごとに流れるトータル電流に差が生じる。すると、電源供給部において、電源ノードから電源供給線に対して電源電位を選択的に供給するスイッチング素子での電圧降下にライン間で差が生じるために、各ラインの電源供給線に電位差が生じる。この電位差により、駆動トランジスタのドレイン・ソース間電流がライン間で異なるために映像ラインごとに輝度差が生じる。

【0021】

そこで、電気光学素子の発光期間では電源供給線に対して複数の電源ノードから複数のスイッチング素子を通して電源電位を供給するようにすることで、複数のスイッチング素子に流れる電流値が、1つのスイッチング素子を通して供給する場合よりも少なくなる。これにより、複数のスイッチング素子でのライン間の電圧降下の差が、1つの電源ノードから供給する場合に比べて減少する。その結果、映像ライン間で発生する輝度差を抑えることができるために、各ラインの電源供給線ごとに流れるトータル電流に差が生じる際の画質を改善できる。また、スイッチング素子に流れる電流値が小さくなることで、電源供給部の発熱（単位時間あたりの熱量）を低減できる。

【0022】

一方、スイッチング素子での電圧降下による画質への影響がないとした場合は、複数のスイッチング素子に流れる電流値が少なくなることで、その分だけスイッチング素子のサイズを、1つの電源ノードから電源電位を供給する場合に比べて小さくできる。例えばスイッチング素子としてトランジスタを用いた場合は、トランジスタサイズを小さくできる。これにより、電源供給部のレイアウト面積の削減を図ることができる。

【発明の効果】

【0023】

本発明によれば、電源供給線の電源電位として、閾値補正期間と電気光学素子の発光期間とで異なる電位を設定することで、駆動トランジスタのキンク現象に起因する電気光学素子の駆動電流のばらつきを抑えることができるため表示画像の画質を改善できる。

10

【0024】

特に、電気光学素子の発光期間では電源供給線に対して複数の電源ノードから複数のスイッチング素子を通して電源電位を供給することで、各ラインの電源供給線ごとに流れるトータル電流に差が生じる際の画質改善および電源供給部の発熱低減が図れる。また、スイッチング素子での電圧降下による画質への影響がないとした場合は、スイッチング素子のサイズを小さくするために、電源供給部のレイアウト面積を削減できる。

【図面の簡単な説明】

【0025】

【図1】本発明が適用される有機EL表示装置の構成の概略を示すシステム構成図である。

20

【図2】本発明が適用される有機EL表示装置の画素（画素回路）の回路構成を示す回路図である。

【図3】画素の断面構造の一例を示す断面図である。

【図4】本発明が適用される有機EL表示装置の基本的な回路動作の説明に供するタイミング波形図である。

【図5】本発明が適用される有機EL表示装置の基本的な回路動作の動作説明図（その1）である。

【図6】本発明が適用される有機EL表示装置の基本的な回路動作の動作説明図（その2）である。

【図7】駆動トランジスタの閾値電圧 V_{th} のばらつきに起因する課題の説明に供する特性図である。

30

【図8】駆動トランジスタの移動度 μ のばらつきに起因する課題の説明に供する特性図である。

【図9】閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタのドレイン・ソース間電流 I_{ds} との関係の説明に供する特性図である。

【図10】電源供給線の電位 D_S が閾値補正期間と発光期間とで同じ場合の動作説明に供するタイミング波形図である。

【図11】電源供給線の電位 D_S が閾値補正期間と発光期間とで同じ場合における理想的なトランジスタ特性のときの駆動トランジスタの $V_{ds} - I_{ds}$ 特性図である。

【図12】電源供給線の電位 D_S が閾値補正期間と発光期間とで同じ場合におけるキンク現象が発生するトランジスタ特性のときの駆動トランジスタの $V_{ds} - I_{ds}$ 特性図である。

40

【図13】第1実施形態の実施例1に係る電源電位 D_S の設定についてのタイミング関係を示すタイミング波形図である。

【図14】実施例1の場合における理想的なトランジスタ特性のときの駆動トランジスタの $V_{ds} - I_{ds}$ 特性図である。

【図15】実施例1の場合におけるキンク現象が発生するトランジスタ特性のときの駆動トランジスタの $V_{ds} - I_{ds}$ 特性図である。

【図16】実施例1に係る電源供給走査回路の構成の一例を示すブロック図である。

【図17】実施例1に係る波形整形論理回路の構成の一例を示す回路図である。

50

【図 18】実施例 1 に係る波形整形論理回路の回路動作の説明に供するタイミング波形図である。

【図 19】参考例に係る波形整形論理回路の構成の一例を示す回路図である。

【図 20】参考例に係る波形整形論理回路の回路動作の説明に供するタイミング波形図である。

【図 21】面の上下方向の中央部分に左寄りに黒の矩形を表示し、当該黒の矩形の周囲を白表示とする表示画面を示す図である。

【図 22】 V_{ccp1} 、 V_{ccp2} の設定についての説明図（その 1）である。

【図 23】 V_{ccp1} 、 V_{ccp2} の設定についての説明図（その 2）である。

【図 24】第 1 実施形態の実施例 2 に係る電源電位 D_S の設定についてのタイミング関係を示すタイミング波形図である。

10

【図 25】実施例 2 の場合におけるキンク現象が発生するトランジスタ特性のときの駆動トランジスタの $V_{ds} - I_{ds}$ 特性図である。

【図 26】実施例 2 に係る電源供給走査回路の構成の一例を示すブロック図である。

【図 27】実施例 2 に係る電源供給走査回路を構成する波形整形論理回路の構成の一例を示す回路図である。

【図 28】実施例 2 に係る電源供給走査回路の回路動作の説明に供するタイミング波形図である。

【図 29】第 2 実施形態に係る有機 EL 表示装置の要部の構成を示す回路図である。

【図 30】第 2 実施形態に係る有機 EL 表示装置における電源供給走査回路の要部のレイアウト図である。

20

【図 31】他の構成の画素の回路構成を示す回路図である。

【図 32】本発明が適用されるテレビジョンセットの外観を示す斜視図である。

【図 33】本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A) は表側から見た斜視図、(B) は裏側から見た斜視図である。

【図 34】本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図 35】本発明が適用されるビデオカメラの外観を示す斜視図である。

【図 36】本発明が適用される携帯電話機を示す外観図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

30

【図 37】トランジスタのドレイン電圧 - ドレイン電流の特性図である。

【図 38】キンク現象を伴うトランジスタのドレイン電圧 - ドレイン電流の特性図である。

【発明を実施するための形態】

【0026】

以下、発明を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。なお、説明は以下の順序で行う。

1. 本発明が適用される有機 EL 表示装置

40

2. 第 1 実施形態（画質改善および電源供給部の発熱低減の例）

3. 第 2 実施形態（電源供給部のレイアウト面積削減の例）

4. 変形例

5. 適用例（電子機器）

【0027】

< 1. 本発明が適用される有機 EL 表示装置 >

[システム構成]

図 1 は、本発明が適用されるアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機 EL 素子を画素（画素回路）の発光素子

50

として用いたアクティブマトリクス型有機ＥＬ表示装置の場合を例に挙げて説明するものとする。

【００２８】

図１に示すように、本適用例に係る有機ＥＬ表示装置１０は、有機ＥＬ素子を含む複数の画素２０と、当該画素２０が行列状に２次元配置された画素アレイ部３０と、当該画素アレイ部３０の周辺に配置された駆動部とを有する構成となっている。駆動部は、書込み走査回路４０、電源供給部としての電源供給走査回路５０および信号出力回路６０等からなり、画素アレイ部３０の各画素２０を駆動する。

【００２９】

ここで、有機ＥＬ表示装置１０がカラー表示対応の場合は、１つの画素は複数の副画素（サブピクセル）から構成され、この副画素が画素２０に相当することになる。より具体的には、カラー表示用の表示装置では、１つの画素は、赤色光（Ｒ）を発光する副画素、緑色光（Ｇ）を発光する副画素、青色光（Ｂ）を発光する副画素の３つの副画素から構成される。

【００３０】

ただし、１つの画素としては、ＲＧＢの３原色の副画素の組み合わせに限られるものではなく、３原色の副画素にさらに１色あるいは複数色の副画素を加えて１つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色光（Ｗ）を発光する副画素を加えて１つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも１つの副画素を加えて１つの画素を構成したりすることも可能である。

【００３１】

画素アレイ部３０には、ｍ行ｎ列の画素２０の配列に対して、行方向（画素行の画素の配列方向）に沿って走査線３１－１～３１－ｍと電源供給線３２－１～３２－ｍとが画素行ごとに配線されている。さらに、列方向（画素列の画素の配列方向）に沿って信号線３３－１～３３－ｎが画素列ごとに配線されている。

【００３２】

走査線３１－１～３１－ｍは、書込み走査回路４０の対応する行の出力端にそれぞれ接続されている。電源供給線３２－１～３２－ｍは、電源供給走査回路５０の対応する行の出力端にそれぞれ接続されている。信号線３３－１～３３－ｎは、信号出力回路６０の対応する列の出力端にそれぞれ接続されている。

【００３３】

画素アレイ部３０は、通常、ガラス基板などの透明絶縁基板上に形成されている。これにより、有機ＥＬ表示装置１０は、平面型（フラット型）のパネル構造となっている。画素アレイ部３０の各画素２０の駆動回路は、アモルファスシリコンＴＦＴまたは低温ポリシリコンＴＦＴを用いて形成することができる。低温ポリシリコンＴＦＴを用いる場合には、図１に示すように、書込み走査回路４０、電源供給走査回路５０および信号出力回路６０についても、画素アレイ部３０を形成する表示パネル（基板）７０上に実装することができる。

【００３４】

書込み走査回路４０は、クロックパルスｃｋに同期してスタートパルスｓｐを順にシフト（転送）するシフトレジスタ等によって構成されている。この書込み走査回路４０は、画素アレイ部３０の各画素２０への映像信号の書込みに際して、走査線３１－１～３１－ｍに対して書込み走査信号ＷＳ（ＷＳ１～ＷＳｍ）を順次供給することによって画素アレイ部３０の各画素２０を行単位で順番に走査（線順次走査）する。

【００３５】

電源供給走査回路５０は、クロックパルスｃｋに同期してスタートパルスｓｐを順にシフトするシフトレジスタ等によって構成されている。この電源供給走査回路５０は、書込み走査回路４０による線順次走査に同期して、第１電源電位Ｖｃｃｐと当該第１電源電位Ｖｃｃｐよりも低い第２電源電位Ｖｉｎｉで切り替わる電源電位ＤＳ（ＤＳ１～ＤＳｍ）を電源供給線３２－１～３２－ｍに供給する。後述するように、電源電位ＤＳのＶｃｃｐ

10

20

30

40

50

/ V i n i の切替えにより、画素 2 0 の発光 / 非発光の制御が行なわれる。

【 0 0 3 6 】

信号出力回路 6 0 は、信号供給源（図示せず）から供給される輝度情報に応じた映像信号の信号電圧（以下、単に「信号電圧」と記述する場合もある）V s i g と基準電位 V o f s とを選択的に出力する。ここで、基準電位 V o f s は、映像信号の信号電圧 V s i g の基準となる電位（例えば、映像信号の黒レベルに相当する電位）である。

【 0 0 3 7 】

信号出力回路 6 0 から出力される信号電圧 V s i g / 基準電位 V o f s は、信号線 3 3 - 1 ~ 3 3 - n を介して画素アレイ部 3 0 の各画素 2 0 に対して行単位で書き込まれる。すなわち、信号出力回路 6 0 は、信号電圧 V s i g を行（ライン）単位で書き込む線順次書き込みの駆動形態を採っている。

10

【 0 0 3 8 】

（画素回路）

図 2 は、画素（画素回路）2 0 の具体的な回路構成を示す回路図である。

【 0 0 3 9 】

図 2 に示すように、画素 2 0 は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子である有機 E L 素子 2 1 と、当該有機 E L 素子 2 1 を駆動する駆動回路とによって構成されている。有機 E L 素子 2 1 は、全ての画素 2 0 に対して共通に配線（いわゆる、ベタ配線）された共通電源供給線 3 4 にカソード電極が接続されている。

20

【 0 0 4 0 】

有機 E L 素子 2 1 を駆動する駆動回路は、駆動トランジスタ 2 2 、書込みトランジスタ 2 3 および保持容量 2 4 を有する構成となっている。ここでは、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 として N チャネル型の T F T を用いている。ただし、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【 0 0 4 1 】

なお、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 として N チャネル型の T F T を用いると、アモルファスシリコン（a - S i ）プロセスを用いることができる。a - S i プロセスを用いることで、T F T を作成する基板の低コスト化、ひいては本有機 E L 表示装置 1 0 の低コスト化を図ることが可能になる。また、駆動トランジスタ 2 2 および書込みトランジスタ 2 3 を同じ導電型の組み合わせにすると、両トランジスタ 2 2 , 2 3 を同じプロセスで作成することができるために低コスト化に寄与できる。

30

【 0 0 4 2 】

駆動トランジスタ 2 2 は、一方の電極（ソース / ドレイン電極）が有機 E L 素子 2 1 のアノード電極に接続され、他方の電極（ドレイン / ソース電極）が電源供給線 3 2 （3 2 - 1 ~ 3 2 - m ）に接続されている。

【 0 0 4 3 】

書込みトランジスタ 2 3 は、一方の電極（ソース / ドレイン電極）が信号線 3 3 （3 3 - 1 ~ 3 3 - n ）に接続され、他方の電極（ドレイン / ソース電極）が駆動トランジスタ 2 2 のゲート電極に接続されている。また、書込みトランジスタ 2 3 のゲート電極は、走査線 3 1 （3 1 - 1 ~ 3 1 - m ）に接続されている。

40

【 0 0 4 4 】

駆動トランジスタ 2 2 および書込みトランジスタ 2 3 において、一方の電極とは、ソース / ドレイン領域に電氣的に接続された金属配線を言い、他方の電極とは、ドレイン / ソース領域に電氣的に接続された金属配線を言う。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

【 0 0 4 5 】

保持容量 2 4 は、一方の電極が駆動トランジスタ 2 2 のゲート電極に接続され、他方の

50

電極が駆動トランジスタ 22 の他方の電極および有機 EL 素子 21 のアノード電極に接続されている。

【0046】

なお、有機 EL 素子 21 の駆動回路としては、駆動トランジスタ 22 および書込みトランジスタ 23 の 2 つのトランジスタと保持容量 24 の 1 つの容量素子とからなる回路構成のものに限られるものではない。例えば、一方の電極が有機 EL 素子 21 のアノード電極に、他方の電極が固定電位にそれぞれ接続されることで、有機 EL 素子 21 の容量不足分を補う補助容量を必要に応じて設けた回路構成を採ることも可能である。

【0047】

上記構成の画素 20 において、書込みトランジスタ 23 は、書込み走査回路 40 から走査線 31 を通してゲート電極に印加される High アクティブの書込み走査信号 WS に応答して導通状態となる。これにより、書込みトランジスタ 23 は、信号線 33 を通して信号出力回路 60 から供給される輝度情報に応じた映像信号の信号電圧 V_{sig} または基準電位 V_{ofs} をサンプリングして画素 20 内に書き込む。この書き込まれた信号電圧 V_{sig} または基準電位 V_{ofs} は、駆動トランジスタ 22 のゲート電極に印加されるとともに保持容量 24 に保持される。

【0048】

駆動トランジスタ 22 は、電源供給線 32 ($32-1 \sim 32-m$) の電位 D_S が第 1 電源電位 V_{ccp} にあるときには、一方の電極がドレイン電極、他方の電極がソース電極となって飽和領域で動作する。これにより、駆動トランジスタ 22 は、電源供給線 32 から電流の供給を受けて有機 EL 素子 21 を電流駆動にて発光駆動する。より具体的には、駆動トランジスタ 22 は、飽和領域で動作することにより、保持容量 24 に保持された信号電圧 V_{sig} の電圧値に応じた電流値の駆動電流を有機 EL 素子 21 に供給し、当該有機 EL 素子 21 を電流駆動することによって発光させる。

【0049】

駆動トランジスタ 22 はさらに、電源電位 D_S が第 1 電源電位 V_{ccp} から第 2 電源電位 V_{ini} に切り替わったときには、一方の電極がソース電極、他方の電極がドレイン電極となってスイッチングトランジスタとして動作する。これにより、駆動トランジスタ 22 は、有機 EL 素子 21 への駆動電流の供給を停止し、有機 EL 素子 21 を非発光状態にする。すなわち、駆動トランジスタ 22 は、有機 EL 素子 21 の発光 / 非発光を制御するトランジスタとしての機能をも併せ持っている。

【0050】

この駆動トランジスタ 22 のスイッチング動作により、有機 EL 素子 21 が非発光状態となる期間（非発光期間）を設け、有機 EL 素子 21 の発光期間と非発光期間の割合（デューティ）を制御することができる。このデューティ制御により、1 フレーム期間に亘って画素が発光することに伴う残像ボケを低減できるために、特に動画の画品位をより優れたものとすることができる。

【0051】

電源供給走査回路 50 から電源供給線 32 を通して選択的に供給される第 1、第 2 電源電位 V_{ccp} 、 V_{ini} のうち、第 1 電源電位 V_{ccp} は有機 EL 素子 21 を発光駆動する駆動電流を駆動トランジスタ 22 に供給するための電源電位である。また、第 2 電源電位 V_{ini} は、有機 EL 素子 21 に対して逆バイアスを掛けるための電源電位である。この第 2 電源電位 V_{ini} は、基準電位 V_{ofs} よりも低い電位、例えば、駆動トランジスタ 22 の閾値電圧を V_{th} とするとき $V_{ofs} - V_{th}$ よりも低い電位、好ましくは $V_{ofs} - V_{th}$ よりも十分に低い電位に設定される。

【0052】

（画素構造）

図 3 は、画素 20 の断面構造の一例を示す断面図である。図 3 に示すように、ガラス基板 201 上には、駆動トランジスタ 22 等を含む駆動回路が形成されている。そして、画素 20 は、ガラス基板 201 上に絶縁膜 202、絶縁平坦化膜 203 およびウインド絶縁

10

20

30

40

50

膜 204 がその順に形成され、当該ウインド絶縁膜 204 の凹部 204 A に有機 EL 素子 21 が設けられた構成となっている。ここでは、駆動回路の各構成素子のうち、駆動トランジスタ 22 のみを図示し、他の構成素子については省略している。

【0053】

有機 EL 素子 21 は、アノード電極 205 と、有機層（電子輸送層、発光層、ホール輸送層/ホール注入層）206 と、カソード電極 207 とから構成されている。アノード電極 205 は、ウインド絶縁膜 204 の凹部 204 A の底部に形成された金属等からなる。有機層 206 は、アノード電極 205 上に形成されている。カソード電極 207 は、有機層 206 上に全画素共通に形成された透明導電膜等からなる。

【0054】

この有機 EL 素子 21 において、有機層 206 は、アノード電極 205 上にホール輸送層/ホール注入層 2061、発光層 2062、電子輸送層 2063 および電子注入層（図示せず）が順次堆積されることによって形成される。そして、図 2 の駆動トランジスタ 22 による電流駆動の下に、駆動トランジスタ 22 からアノード電極 205 を通して有機層 206 に電流が流れることで、当該有機層 206 内の発光層 2062 において電子と正孔が再結合する際に発光するようになっている。

【0055】

駆動トランジスタ 22 は、ゲート電極 221 と、半導体層 222 の両側に設けられたソース/ドレイン領域 223、224 と、半導体層 222 のゲート電極 221 と対向する部分のチャネル形成領域 225 とから構成されている。ソース/ドレイン領域 223 は、コンタクトホールを介して有機 EL 素子 21 のアノード電極 205 と電氣的に接続されている。

【0056】

そして、図 3 に示すように、ガラス基板 201 上に、絶縁膜 202、絶縁平坦化膜 203 およびウインド絶縁膜 204 を介して有機 EL 素子 21 が画素単位で形成された後は、パッシベーション膜 208 を介して封止基板 209 が接着剤 210 によって接合される。この封止基板 209 によって有機 EL 素子 21 が封止されることにより表示パネル 70 が形成される。

【0057】

〔回路動作〕

続いて、上記構成の有機 EL 表示装置 10 の基本的な回路動作について、図 4 のタイミング波形図を基に図 5 および図 6 の動作説明図を用いて説明する。なお、図 5 および図 6 の動作説明図では、図面の簡略化のために、書込みトランジスタ 23 をスイッチのシンボルで図示している。また、有機 EL 素子 21 の等価容量 25 についても図示している。

【0058】

図 4 のタイミング波形図には、走査線 31 の電位（書込み走査信号）WS、電源供給線 32 の電位（電源電位）DS、信号線 33 の電位（Vsig/Vofs）、駆動トランジスタ 22 のゲート電位 Vg およびソース電位 Vs のそれぞれの変化を示している。

【0059】

（前フレームの発光期間）

図 4 のタイミング波形図において、時刻 t11 以前は、前のフレーム（フィールド）における有機 EL 素子 21 の発光期間となる。この前フレームの発光期間では、電源供給線 32 の電位 DS が第 1 電源電位（以下、「高電位」と記述する）Vccp にあり、また、書込みトランジスタ 23 が非導通状態にある。

【0060】

このとき、駆動トランジスタ 22 は飽和領域で動作するように設計されている。これにより、図 5（A）に示すように、駆動トランジスタ 22 のゲート-ソース間電圧 Vgs に応じた駆動電流（ドレイン-ソース間電流）Ids が、電源供給線 32 から駆動トランジスタ 22 を通して有機 EL 素子 21 に供給される。よって、有機 EL 素子 21 が駆動電流 Ids の電流値に応じた輝度で発光する。

10

20

30

40

50

【0061】

(閾値補正準備期間)

時刻 t_{11} になると、線順次走査の新しいフレーム (現フレーム) に入る。そして、図 5 (B) に示すように、電源供給線 32 の電位 $D S$ が高電位 V_{ccp} から、信号線 33 の基準電位 V_{ofs} に対して $V_{ofs} - V_{th}$ よりも十分に低い第 2 電源電位 (以下、「低電位」と記述する) V_{ini} に切り替わる。

【0062】

ここで、有機 EL 素子 21 の閾値電圧を V_{thel} 、共通電源供給線 34 の電位 (カソード電位) を V_{cath} とする。このとき、低電位 V_{ini} を $V_{ini} < V_{thel} + V_{cath}$ とすると、駆動トランジスタ 22 のソース電位 V_s が低電位 V_{ini} にほぼ等しくなるために、有機 EL 素子 21 は逆バイアス状態となって消光する。

10

【0063】

次に、時刻 t_{12} で走査線 31 の電位 $W S$ が低電位側から高電位側に遷移することで、図 5 (C) に示すように、書込みトランジスタ 23 が導通状態となる。このとき、信号出力回路 60 から信号線 33 に対して基準電位 V_{ofs} が供給されているために、駆動トランジスタ 22 のゲート電位 V_g が基準電位 V_{ofs} になる。また、駆動トランジスタ 22 のソース電位 V_s は、基準電位 V_{ofs} よりも十分に低い電位 V_{ini} にある。

【0064】

このとき、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{ofs} - V_{ini}$ となる。ここで、 $V_{ofs} - V_{ini}$ が駆動トランジスタ 22 の閾値電圧 V_{th} よりも大きくないと、後述する閾値補正処理を行うことができないために、 $V_{ofs} - V_{ini} > V_{th}$ なる電位関係に設定する必要がある。

20

【0065】

このように、駆動トランジスタ 22 のゲート電位 V_g を基準電位 V_{ofs} に、ソース電位 V_s を低電位 V_{ini} にそれぞれ固定して (確定させて) 初期化する処理が、後述する閾値補正処理を行う前の準備 (閾値補正準備) の処理である。したがって、基準電位 V_{ofs} および低電位 V_{ini} が、駆動トランジスタ 22 のゲート電位 V_g およびソース電位 V_s の各初期化電位となる。

【0066】

(閾値補正期間)

次に、時刻 t_{13} で、図 5 (D) に示すように、電源供給線 32 の電位 $D S$ が低電位 V_{ini} から高電位 V_{ccp} に切り替わると、駆動トランジスタ 22 のゲート電位 V_g が保たれた状態で閾値補正処理が開始される。すなわち、ゲート電位 V_g から駆動トランジスタ 22 の閾値電圧 V_{th} を減じた電位に向けて駆動トランジスタ 22 のソース電位 V_s が上昇を開始する。

30

【0067】

ここでは、便宜上、駆動トランジスタ 22 のゲート電極の初期化電位 V_{ofs} を基準として、当該初期化電位 V_{ofs} から駆動トランジスタ 22 の閾値電圧 V_{th} を減じた電位に向けてソース電位 V_s を変化させる処理を閾値補正処理と呼んでいる。この閾値補正処理が進むと、やがて、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th} に収束する。この閾値電圧 V_{th} に相当する電圧は保持容量 24 に保持される。

40

【0068】

なお、閾値補正処理を行う期間 (閾値補正期間) において、電流が専ら保持容量 24 側に流れ、有機 EL 素子 21 側には流れないようにするために、有機 EL 素子 21 がカットオフ状態となるように共通電源供給線 34 の電位 V_{cath} を設定しておくこととする。

【0069】

次に、時刻 t_{14} で走査線 31 の電位 $W S$ が低電位側に遷移することで、図 6 (A) に示すように、書込みトランジスタ 23 が非導通状態となる。このとき、駆動トランジスタ 22 のゲート電極が信号線 33 から電氣的に切り離されることによってフローティング状

50

態になる。しかし、ゲート - ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th} に等しいために、当該駆動トランジスタ 22 はカットオフ状態にある。したがって、駆動トランジスタ 22 にドレイン - ソース間電流 I_{ds} は流れない。

【0070】

(信号書込み & 移動度補正期間)

次に、時刻 t_{15} で、図 6 (B) に示すように、信号線 33 の電位が基準電位 V_{ofs} から映像信号の信号電圧 V_{sig} に切り替わる。続いて、時刻 t_{16} で、走査線 31 の電位 WS が高電位側に遷移することで、図 6 (C) に示すように、書込みトランジスタ 23 が導通状態になって映像信号の信号電圧 V_{sig} をサンプリングして画素 20 内に書き込む。

10

【0071】

この書込みトランジスタ 23 による信号電圧 V_{sig} の書込みにより、駆動トランジスタ 22 のゲート電位 V_g が信号電圧 V_{sig} となる。そして、映像信号の信号電圧 V_{sig} による駆動トランジスタ 22 の駆動の際に、当該駆動トランジスタ 22 の閾値電圧 V_{th} が保持容量 24 に保持された閾値電圧 V_{th} に相当する電圧と相殺される。この閾値キャンセルの原理の詳細については後述する。

【0072】

このとき、有機 EL 素子 21 はカットオフ状態 (ハイインピーダンス状態) にある。したがって、映像信号の信号電圧 V_{sig} に応じて電源供給線 32 から駆動トランジスタ 22 に流れる電流 (ドレイン - ソース間電流 I_{ds}) は有機 EL 素子 21 の等価容量 25 に流れ込み、当該等価容量 25 の充電が開始される。

20

【0073】

有機 EL 素子 21 の等価容量 25 の充電により、駆動トランジスタ 22 のソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきがキャンセルされており、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 22 の移動度 μ に依存したものとなる。

【0074】

ここで、映像信号の信号電圧 V_{sig} に対する保持容量 24 の保持電圧 V_{gs} の比率、即ち書込みゲイン G が 1 (理想値) であると仮定する。すると、駆動トランジスタ 22 のソース電位 V_s が $V_{ofs} - V_{th} + \Delta V$ の電位まで上昇することで、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - \Delta V$ となる。

30

【0075】

すなわち、駆動トランジスタ 22 のソース電位 V_s の上昇分 ΔV は、保持容量 24 に保持された電圧 ($V_{sig} - V_{ofs} + V_{th}$) から差し引かれるように、換言すれば、保持容量 24 の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 ΔV は負帰還の帰還量となる。

【0076】

このように、駆動トランジスタ 22 に流れるドレイン - ソース間電流 I_{ds} に応じた帰還量 ΔV でゲート - ソース間電圧 V_{gs} に負帰還をかけることで、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消すことができる。この打ち消す処理が、駆動トランジスタ 22 の移動度 μ の画素ごとのばらつきを補正する移動度補正処理である。

40

【0077】

より具体的には、駆動トランジスタ 22 のゲート電極に書き込まれる映像信号の信号振幅 V_{in} ($= V_{sig} - V_{ofs}$) が高いほどドレイン - ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量 ΔV の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正処理が行われる。

【0078】

また、映像信号の信号振幅 V_{in} を一定とした場合、駆動トランジスタ 22 の移動度 μ が大きいほど負帰還の帰還量 ΔV の絶対値も大きくなるために、画素ごとの移動度 μ のば

50

らつきを取り除くことができる。したがって、負帰還の帰還量 ΔV は移動度補正の補正量とも言える。移動度補正の原理の詳細については後述する。

【0079】

(発光期間)

次に、時刻 t_{17} で走査線 31 の電位 $W S$ が低電位側に遷移することで、図 6 (D) に示すように、書込みトランジスタ 23 が非導通状態となる。これにより、駆動トランジスタ 22 のゲート電極は、信号線 33 から電氣的に切り離されるためにフローティング状態になる。

【0080】

ここで、駆動トランジスタ 22 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 22 のゲート - ソース間に保持容量 24 が接続されていることにより、駆動トランジスタ 22 のソース電位 V_s の変動に連動してゲート電位 V_g も変動する。このように、駆動トランジスタ 22 のゲート電位 V_g がソース電位 V_s の変動に連動して変動する動作が、保持容量 24 によるブートストラップ動作である。

【0081】

駆動トランジスタ 22 のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} が有機 EL 素子 21 に流れ始めることにより、当該電流 I_{ds} に応じて有機 EL 素子 21 のアノード電位が上昇する。

【0082】

そして、有機 EL 素子 21 のアノード電位が $V_{thel} + V_{cat h}$ を越えると、有機 EL 素子 21 に駆動電流が流れ始めるため有機 EL 素子 21 が発光を開始する。また、有機 EL 素子 21 のアノード電位の上昇は、即ち駆動トランジスタ 22 のソース電位 V_s の上昇に他ならない。駆動トランジスタ 22 のソース電位 V_s が上昇すると、保持容量 24 のブートストラップ動作により、駆動トランジスタ 22 のゲート電位 V_g も連動して上昇する。

【0083】

このとき、ブートストラップゲインが 1 (理想値) であると仮定した場合、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - \Delta V$ で一定に保持される。そして、時刻 t_{18} で信号線 33 の電位が映像信号の信号電圧 V_{sig} から基準電位 V_{ofs} に切り替わる。

【0084】

以上説明した一連の回路動作において、閾値補正準備、閾値補正、信号電圧 V_{sig} の書込み (信号書込み) および移動度補正の各処理動作は、1 水平走査期間 (1H) において実行される。また、信号書込みおよび移動度補正の各処理動作は、時刻 $t_6 - t_7$ の期間において並行して実行される。

【0085】

なお、ここでは、閾値補正処理を 1 回だけ実行する駆動法を採用する場合を例に挙げて説明したが、この駆動法は一例に過ぎず、この駆動法に限られるものではない。例えば、閾値補正処理を移動度補正および信号書込み処理と共に行う 1H 期間に加えて、当該 1H 期間に先行する複数の水平走査期間に亘って分割して複数回実行する、いわゆる分割閾値補正を行う駆動法を採用することも可能である。

【0086】

この分割閾値補正の駆動法を採用することにより、高精細化に伴う多画素化によって 1 水平走査期間に割り当てられる時間が短くなったとしても、閾値補正期間として複数の水平走査期間に亘って十分な時間を確保することができるために、閾値補正処理を確実に行うことができる。

【0087】

(閾値キャンセルの原理)

ここで、駆動トランジスタ 22 の閾値キャンセル (即ち、閾値補正) の原理について説

10

20

30

40

50

明する。駆動トランジスタ 22 は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機 EL 素子 21 には駆動トランジスタ 22 から、次式 (1) で与えられる一定のドレイン - ソース間電流 (駆動電流) I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、 W は駆動トランジスタ 22 のチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量である。

【0088】

図 7 に、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} 対ゲート - ソース間電圧 V_{gs} の特性を示す。

【0089】

この特性図に示すように、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきに対するキャンセル処理を行わないと、閾値電圧 V_{th} が V_{th1} のとき、ゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds1} になる。

【0090】

これに対して、閾値電圧 V_{th} が V_{th2} ($V_{th2} > V_{th1}$) のとき、同じゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds2} ($I_{ds2} < I_{ds1}$) になる。すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} が変動すると、ゲート - ソース間電圧 V_{gs} が一定であってもドレイン - ソース間電流 I_{ds} が変動する。

【0091】

一方、上記構成の画素 (画素回路) 20 では、先述したように、発光時の駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - \Delta V$ である。したがって、これを式 (1) に代入すると、ドレイン - ソース間電流 I_{ds} は、次式 (2) で表される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - \Delta V)^2 \quad \dots \dots (2)$$

【0092】

すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} の項がキャンセルされており、駆動トランジスタ 22 から有機 EL 素子 21 に供給されるドレイン - ソース間電流 I_{ds} は、駆動トランジスタ 22 の閾値電圧 V_{th} に依存しない。その結果、駆動トランジスタ 22 の製造プロセスのばらつきや経時変化により、駆動トランジスタ 22 の閾値電圧 V_{th} が画素ごとに変動したとしても、ドレイン - ソース間電流 I_{ds} が変動しないために、有機 EL 素子 21 の発光輝度を一定に保つことができる。

【0093】

〔移動度補正の原理〕

次に、駆動トランジスタ 22 の移動度補正の原理について説明する。図 8 に、駆動トランジスタ 22 の移動度 μ が相対的に大きい画素 A と、駆動トランジスタ 22 の移動度 μ が相対的に小さい画素 B とを比較した状態で特性カーブを示す。駆動トランジスタ 22 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度 μ がばらつくことは避けられない。

【0094】

画素 A と画素 B で移動度 μ にばらつきがある状態で、駆動トランジスタ 22 のゲート電極に例えば両画素 A, B に同レベルの信号振幅 V_{in} ($= V_{sig} - V_{ofs}$) を書き込んだ場合を考える。この場合、何ら移動度 μ の補正を行わないと、移動度 μ の大きい画素 A に流れるドレイン - ソース間電流 I_{ds1}' と移動度 μ の小さい画素 B に流れるドレイン - ソース間電流 I_{ds2}' との間には大きな差が生じてしまう。このように、移動度 μ の画素ごとのばらつきに起因してドレイン - ソース間電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォームティが損なわれる。

【0095】

ここで、先述した式 (1) のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン - ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 Δ

10

20

30

40

50

Vは移動度 μ が大きくなるほど大きくなる。図8に示すように、移動度 μ の大きな画素Aの帰還量 ΔV_1 は、移動度の小さな画素Bの帰還量 ΔV_2 に比べて大きい。

【0096】

そこで、移動度補正処理によって駆動トランジスタ22のドレイン・ソース間電流 I_{ds} に応じた帰還量 ΔV でゲート・ソース間電圧 V_{gs} に負帰還をかけることにより、移動度 μ が大きいほど負帰還が大きくなることになる。その結果、移動度 μ の画素ごとのばらつきを抑制することができる。

【0097】

具体的には、移動度 μ の大きな画素Aで帰還量 ΔV_1 の補正をかけると、ドレイン・ソース間電流 I_{ds} は I_{ds1}' から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素Bの帰還量 ΔV_2 は小さいために、ドレイン・ソース間電流 I_{ds} は I_{ds2}' から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素Aのドレイン・ソース間電流 I_{ds1} と画素Bのドレイン・ソース間電流 I_{ds2} とはほぼ等しくなるために、移動度 μ の画素ごとのばらつきが補正される。

【0098】

以上をまとめると、移動度 μ の異なる画素Aと画素Bがあった場合、移動度 μ の大きい画素Aの帰還量 ΔV_1 は移動度 μ の小さい画素Bの帰還量 ΔV_2 に比べて大きくなる。つまり、移動度 μ が大きい画素ほど帰還量 ΔV が大きく、ドレイン・ソース間電流 I_{ds} の減少量が大きくなる。

【0099】

したがって、駆動トランジスタ22のドレイン・ソース間電流 I_{ds} に応じた帰還量 ΔV で、ゲート・ソース間電圧 V_{gs} に負帰還をかけることで、移動度 μ の異なる画素のドレイン・ソース間電流 I_{ds} の電流値が均一化される。その結果、移動度 μ の画素ごとのばらつきを補正することができる。すなわち、駆動トランジスタ22に流れる電流(ドレイン・ソース間電流 I_{ds})に応じた帰還量 ΔV で、駆動トランジスタ22のゲート・ソース間電圧 V_{gs} に負帰還をかける処理が移動度補正処理となる。

【0100】

ここで、図2に示した画素(画素回路)20において、閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタ22のドレイン・ソース間電流 I_{ds} との関係について図9を用いて説明する。

【0101】

図9において、(A)は閾値補正および移動度補正を共に行わない場合、(B)は移動度補正を行わず、閾値補正のみを行った場合、(C)は閾値補正および移動度補正を共に行った場合をそれぞれ示している。図9(A)に示すように、閾値補正および移動度補正を共に行わない場合には、閾値電圧 V_{th} および移動度 μ の画素A、Bごとのばらつきに起因してドレイン・ソース間電流 I_{ds} に画素A、B間で大きな差が生じることになる。

【0102】

これに対し、閾値補正のみを行った場合は、図9(B)に示すように、ドレイン・ソース間電流 I_{ds} のばらつきをある程度低減できるものの、移動度 μ の画素A、Bごとのばらつきに起因する画素A、B間でのドレイン・ソース間電流 I_{ds} の差は残る。そして、閾値補正および移動度補正を共に行うことで、図9(C)に示すように、閾値電圧 V_{th} および移動度 μ の画素A、Bごとのばらつきに起因する画素A、B間でのドレイン・ソース間電流 I_{ds} の差をほぼ無くすることができる。したがって、どの階調においても有機EL素子21の輝度ばらつきは発生せず、良好な画質の表示画像を得ることができる。

【0103】

また、図2に示した画素20は、閾値補正および移動度補正の各補正機能に加えて、先述した保持容量24によるブートストラップ動作の機能を備えていることで、次のような作用効果を得ることができる。

【0104】

すなわち、有機EL素子21のI-V特性の経時変化に伴って駆動トランジスタ22の

10

20

30

40

50

ソース電位 V_s が変化したとしても、保持容量 24 によるブートストラップ動作により、駆動トランジスタ 22 のゲート - ソース間電位 V_{gs} を一定に維持することができる。したがって、有機 EL 素子 21 に流れる電流は変化せず一定となる。その結果、有機 EL 素子 21 の発光輝度も一定に保たれるために、有機 EL 素子 21 の $I - V$ 特性が経時変化したとしても、それに伴う輝度劣化のない画像表示を実現できる。

【0105】

[キンク現象に起因する駆動電流のばらつきについて]

ここで、有機 EL 素子 21 に駆動電流を流すときに、飽和領域で動作するように設計されている駆動トランジスタ 22 のドレイン - ソース間電圧 V_{ds} について、図 10 のタイミング波形図を用いて考える。

10

【0106】

図 10 には、図 2 に示す駆動トランジスタ 22 のドレイン電位 V_d 、ゲート電位 V_g 、ソース電位 V_s についてその波形を示している。駆動トランジスタ 22 のドレイン電位 V_d は電源供給線 32 の電源電位である。また、図 10 において、時刻 $t_1 \sim t_7$ は、図 4 の時刻 $t_{11} \sim t_{17}$ に対応している。

【0107】

先述した動作説明から明らかなように、閾値補正処理の終了後、書込みトランジスタ 23 によって映像信号の信号電圧 V_{sig} が書き込まれると、駆動トランジスタ 22 のゲート電位 V_g が上昇し、それに伴ってソース電位 V_s も上昇する。その後も、移動度補正処理が行われることでソース電位 V_s が上昇し、発光期間においても負帰還がかかることによってソース電位 V_s がさらに上昇する。したがって、図 10 のタイミング波形図から明らかなように、閾値補正処理後のドレイン - ソース間電圧 $V_{ds}(a)$ は大きく、有機 EL 素子 21 の発光中のドレイン - ソース間電圧 $V_{ds}(b)$ は小さくなる。

20

【0108】

ここで、駆動トランジスタ 22 の特性が、図 11 に示す理想的なトランジスタ特性であるとする。この場合、飽和領域においてドレイン電流 I_{ds} がドレイン - ソース間電圧 V_{ds} に対して傾きが一定で変化するため、ドレイン - ソース間電圧 V_{ds} が変動しても画素間のドレイン電流 I_{ds} の変動分 ΔI_{ds} の差分が小さい。したがって、ドレイン - ソース間電圧 V_{ds} が変動しても、画素間で有機 EL 素子 21 の駆動電流のばらつきが起きにくい。

30

【0109】

駆動トランジスタ 22 の飽和領域では、 $V_{ds} > V_{gs} - V_{th}$ の電位関係にある。ここで、駆動トランジスタ 22 のチャネル変調係数を λ とすると、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} は、次式 (3) で表される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdot (1 + \lambda V_{ds}) \dots \dots (3)$$

【0110】

これに対して、駆動トランジスタ 22 の特性が図 12 に示すトランジスタ特性、即ちキンク現象が発生するトランジスタ特性の場合には次のようになる。

【0111】

キンク現象の発生状態は、製造ばらつき等によってトランジスタごとにばらつく。ここに、キンク現象の発生状態とは、ドレイン電流 I_{ds} が急激に変化する時の変化量やキンク現象の立ち上がりのタイミング等をいう。このように、キンク現象の変化量やキンク現象の立ち上がりのタイミング等、キンク現象の発生状態がトランジスタごとにばらついてしまうと、ドレイン - ソース間電圧 V_{ds} の変動がキンク現象の領域を跨ぐ場合にそのばらつきの影響を受けてしまう。

40

【0112】

例えば、キンク現象の大きさ (変化量) がトランジスタごとにばらつくと、図 12 から明らかなように、画素間のドレイン電流 I_{ds} の変動分 ΔI_{ds} の差分が、 $V_{ds} - I_{ds}$ 特性が傾き一定の場合に比べて大きくなる。これにより、前にも述べたように、閾値補

50

正処理後 (a) と発光中 (b) とでドレイン - ソース間電圧 V_{ds} が異なっていると、画素間での駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} 、ひいては有機 EL 素子 21 の駆動電流がばらついてしまうため、画素間で輝度差が発生し、画質の悪化を招くことになる。

【 0 1 1 3 】

< 2 . 第 1 実施形態 >

上述したキंक現象に起因する有機 EL 素子 21 の駆動電流のばらつきを抑えて画質の改善を図ることを目的として為されたのが、本発明の第 1 実施形態に係る有機 EL 表示装置である。

【 0 1 1 4 】

先述した有機 EL 表示装置 10 の場合、電源供給走査回路 50 は、電源供給線 32 の電位 D_S を、第 1 電源電位 (高電位) V_{ccp} と第 2 電源電位 (低電位) V_{ini} との 2 値に設定する構成となっている。そして、電源供給線 32 の電位 D_S が、閾値補正期間と発光期間とで同じ電位 V_{ccp} (図 4 参照) に設定されているが故に、駆動トランジスタ 22 のキंक現象に起因する有機 EL 素子 21 の駆動電流がばらつきの問題が発生する。

【 0 1 1 5 】

そこで、第 1 実施形態に係る有機 EL 表示装置では、電源供給線 32 の電位 D_S を閾値補正期間と発光期間とで異ならせる構成を採ることを特徴としている。かかる構成を採ることにより、閾値補正処理後のドレイン - ソース間電圧 V_{ds} と有機 EL 素子 21 の発光中のドレイン - ソース間電圧 V_{ds} との違いを、電源供給線 32 の電位 D_S が閾値補正期間と発光期間とで同じ場合に比べて小さくできる。

【 0 1 1 6 】

電源供給線 32 の電位 D_S を閾値補正期間と発光期間とで異ならせるために、第 1 実施形態に係る有機 EL 表示装置では、電源供給部としての電源供給走査回路 50 を、電源供給線 32 の電源電位 D_S として少なくとも 3 値に設定可能な構成としている。そして、電源供給走査回路 50 により、電源供給線 32 の電位 D_S として少なくとも 3 値の電源電位のうちの 1 つを適宜設定することで、当該電位 D_S を閾値補正期間と発光期間とで異ならせるようにしている。

【 0 1 1 7 】

これにより、駆動トランジスタ 22 にキंक現象が発生し、その発生状態に製造ばらつきによってばらつきが生じたとしても、画素間での駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} のばらつきを小さく抑えることができる。その結果、有機 EL 素子 21 の駆動電流のばらつきを小さく抑えることができるために表示画像の画質を改善できる。以下に、電源供給線 32 の電源電位 D_S として少なくとも 3 値に設定可能とするための第 1 実施形態の具体的な実施例について説明する。

【 0 1 1 8 】

[実施例 1]

図 1 および図 2 に示すシステム構成の有機 EL 表示装置 10 において、実施例 1 に係る電源供給走査回路 50 A は、電源供給線 32 の電位 D_S として 3 値の電位を設定可能な構成となっている。具体的には、実施例 1 に係る電源供給走査回路 50 A は、高電位 V_{ccp} (以下、 V_{ccp1} と記述する) と、低電位 V_{ini} と、それらの間の中間電位 V_{ccp2} との 3 値の電位を電源電位 D_S として適宜設定できるようになっている。

【 0 1 1 9 】

実施例 1 に係る電源電位 D_S の設定についてのタイミング関係を図 13 に示す。電源供給走査回路 50 A は、閾値補正準備期間 ($t_{11} - t_{13}$) では低電位 V_{ini} を設定し、少なくとも閾値補正期間 ($t_{13} - t_{14}$) では中間電位 V_{ccp2} を設定し、発光期間 (t_{17} 以降) では高電位 V_{ccp1} を設定する。

【 0 1 2 0 】

すなわち、先述した基本的な回路動作の場合、電源供給線 32 の電位 D_S を閾値補正期間と発光期間とで同じ高電位 V_{ccp1} (V_{ccp}) に設定するようにしていた。これに

10

20

30

40

50

対して、本実施例 1 では、電源供給線 3 2 の電位 $D S$ を閾値補正期間と発光期間とで異ならせる、具体的には、閾値補正期間で中間電位 V_{ccp2} ($< V_{ccp1}$) に設定し、発光期間で高電位 V_{ccp1} に設定するようにしている。

【0121】

先述したように、電源供給線 3 2 の電位 $D S$ が閾値補正期間と発光期間とで同じだと、閾値補正処理後と有機 EL 素子 2 1 の発光中とで駆動トランジスタ 2 2 のドレイン - ソース間電圧 V_{ds} に違いが生じる。そこで、本実施例 1 においては、電源供給線 3 2 の電位 $D S$ を閾値補正期間と発光期間とで異ならせる構成を採っている。

【0122】

かかる構成を採ることにより、閾値補正処理後のドレイン - ソース間電圧 $V_{ds}(a)$ と有機 EL 素子 2 1 の発光中のドレイン - ソース間電圧 $V_{ds}(b)$ との違いを、電源供給線 3 2 の電位 $D S$ が閾値補正期間と発光期間とで同じ場合に比べて小さくできる。その結果、駆動トランジスタ 2 2 にキंक現象が発生し、その発生状態に製造ばらつきによってキंक現象にばらつきが生じたとしても、画素間での駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} のばらつきを小さく抑えることができる。

10

【0123】

ここで、閾値補正期間で設定する中間電位 V_{ccp2} については、発光期間で設定する高電位 V_{ccp1} に対して次のように設定するのが好ましい。すなわち、閾値補正処理後の駆動トランジスタ 2 2 のドレイン - ソース間電圧 $V_{ds}(a)$ と有機 EL 素子 2 1 の発光中の駆動トランジスタ 2 2 のドレイン - ソース間電圧 $V_{ds}(b)$ とが等しくなるような電位に中間電位 V_{ccp2} を設定するのが好ましい。

20

【0124】

図 1 4 には、駆動トランジスタ 2 2 の特性が、理想的なトランジスタ特性の場合の $V_{ds} - I_{ds}$ 特性を示している。図 1 5 には、駆動トランジスタ 2 2 の特性が、キंक現象が発生するトランジスタ特性の場合の $V_{ds} - I_{ds}$ 特性を示している。

【0125】

このような電位関係にて高電位 V_{ccp1} に対して中間電位 V_{ccp2} を設定することで、キंक現象に起因する画素間での駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} のばらつきをより小さく抑えることができる（理想的にはばらつきを無くすることができる）。その結果、表示画像の画質を改善できる。

30

【0126】

ここで、電源供給線 3 2 の電源電位 $D S$ として、3 値の電位 V_{ccp1} , V_{ccp2} , V_{ini} を設定可能な実施例 1 に係る電源供給走査回路 5 0 A の具体的な構成について説明する。

【0127】

図 1 6 は、3 値の電位 V_{ccp1} , V_{ccp2} , V_{ini} を設定可能な実施例 1 に係る電源供給走査回路 5 0 A の構成の一例を示すブロック図である。

【0128】

電源供給走査回路 5 0 A は、シフトレジスタ 5 1 と波形整形論理回路 5 2 とから構成されている。シフトレジスタ 5 1 は、書込み走査回路 4 0 (図 1 参照) による垂直走査に同期して、3 つのタイミング信号 $T1$, $T2$, $T3$ を画素行ごとに出力する。波形整形論理回路 5 2 は、3 つのタイミング信号 $T1$, $T2$, $T3$ に基づいて 3 値の電位 V_{ccp1} , V_{ccp2} , V_{ini} を適宜出力する。

40

【0129】

(実施例 1 に係る波形整形論理回路の構成)

図 1 7 は、実施例 1 に係る波形整形論理回路 5 2 の構成の一例を示す回路図である。本実施例 1 に係る波形整形論理回路 5 2 は、2 つのインバータ 5 2 1 , 5 2 2 と、スイッチング素子である 2 つの $PchMOS$ トランジスタ 5 2 3 , 5 2 4 および 1 つの $NchMOS$ トランジスタ 5 2 5 とから構成されている。

【0130】

50

インバータ521は、入力端子in1を介して入力されるタイミング信号T1の論理を反転してPchMOSトランジスタ523のゲート電極に与える。PchMOSトランジスタ523は、電源ノードN1と出力ノードNoとの間に接続されている。電源ノードN1には、電源部（図示せず）から正側電源電圧VDD1が供給される。

【0131】

インバータ522は、入力端子in2を介して入力されるタイミング信号T2の論理を反転してPchMOSトランジスタ524のゲート電極に与える。PchMOSトランジスタ523は、電源ノードN2と出力ノードNoとの間に接続されている。電源ノードN2には、電源部から2つの正側電源電圧VDD1, VDD2が電源電圧VDDxとして選択的に供給される。電源電圧VDD2は、正側電源電圧VDD1と負側電源電圧VSSとの間の電圧である。

10

【0132】

NchMOSトランジスタ525は、出力ノードNoと電源ノードN3との間に接続されており、ゲート電極には入力端子in3を介してタイミング信号T3が供給される。電源ノードN3には、電源部から負側電源電圧VSSが供給される。出力ノードNoには、出力端子outが電氣的に接続されている。

【0133】

（実施例1に係る波形整形論理回路の回路動作）

次に、上記構成の実施例1に係る波形整形論理回路52の回路動作については、図18のタイミング波形図を用いて説明する。

20

【0134】

図18は、タイミング信号T1, T2, T3および電源電圧VDDxのタイミング関係を示している。図18において、時刻t11, t13, t17は、図13の時刻t11, t13, t17にそれぞれ対応している。

【0135】

図18に示すように、電源電圧VDDxは、時刻t13までおよび時刻t17以降の各期間で電源電圧VDD1をとり、時刻t13 - t17の期間で電源電圧VDD2をとる。また、タイミング信号T1, T2, T3のパルス振幅は、VDD1 - VSSである。

【0136】

時刻t11 - t13の期間では、タイミング信号T1, T2がLowレベル、タイミング信号T3がHighレベルになるために、PchMOSトランジスタ523, 524が共に非導通状態になり、NchMOSトランジスタ525が導通状態になる。これにより、負側電源電圧VSSがNchMOSトランジスタ525および出力ノードNoを通して出力端子outから低電位Vin1として出力される。

30

【0137】

時刻t13 - t17の期間では、タイミング信号T1がLowレベルを維持し、タイミング信号T2がHighレベルに、タイミング信号T3がLowレベルにそれぞれ遷移するために、PchMOSトランジスタ524のみが導通状態になる。このとき、VDDx = VDD2であることから、当該電源電圧VDD2がPchMOSトランジスタ524および出力ノードNoを通して出力端子outから中間電位Vccp2として出力される。

40

【0138】

時刻t17以降の発光期間では、タイミング信号T1がHighレベルに遷移し、タイミング信号T2がHighレベルを、タイミング信号T3がLowレベルをそれぞれ維持するために、PchMOSトランジスタ523, 524が共に導通状態になる。これにより、電源電圧VDD1がPchMOSトランジスタ523および出力ノードNoを通して出力端子outから高電位Vccp1として出力される。

【0139】

このとき、VDDx = VDD1であることから、当該電源電圧VDD1もPchMOSトランジスタ524および出力ノードNoを通して出力端子outから高電位Vccp1として出力される。すなわち、発光期間では、PchMOSトランジスタ523, 524

50

が共に導通状態になることで電源ノードN1と電源ノードN2とが電氣的に接続されるために、2つの電源ノードN1, N2から電源電圧VDD1が高電位Vccp1として出力されることになる。

【0140】

このように、本実施例1に係る波形整形論理回路52によれば、電源供給線32の電源電位DSとして3値の電位、即ち高電位Vccp1、中間電位Vccp2および低電位Vin1を設定することができる。そして、本実施例1に係る波形整形論理回路52は、有機EL素子21の発光期間に電源ノードN1と電源ノードN2とを接続して当該2つの電源ノードN1, N2から電源電圧VDD1を高電位Vccp1として電源供給線32に供給する構成を採ることを特徴としている。この構成を採ることによる作用効果については後述する。

10

【0141】

(参考例に係る波形整形論理回路)

ところで、3値の電位Vccp1, Vccp2, Vin1を設定するに当たっては、電源電圧VDD1, VDD2, VSSを単純に切り替えて3値の電位Vccp1, Vccp2, Vin1として電源供給線32に供給する構成の波形整形論理回路が一般的に考えられる。この構成例に係る波形整形論理回路を参考例として以下に説明する。

【0142】

図19は、参考例に係る波形整形論理回路52'の構成の一例を示す回路図である。図19において、図17と同等部分(対応する部分)には同一符号を付して示している。

20

【0143】

本参考例に係る波形整形論理回路52'は、PchMOSトランジスタ523, 524およびNchMOSトランジスタ525に加えて、2つのNAND回路526, 527および2つのインバータ528, 529を有する構成となっている。

【0144】

NAND回路526は、入力端子in1を介して入力されるタイミング信号T1を一方の入力とし、入力端子in2を介して入力され、インバータ529で論理反転されるタイミング信号T2を他方の入力とする。NAND回路527は、入力端子in1を介して入力され、インバータ528で論理反転されるタイミング信号T1を一方の入力とし、入力端子in2を介して入力され、インバータ529で論理反転されるタイミング信号T2を他方の入力とする。

30

【0145】

PchMOSトランジスタ523は、NAND回路526の出力をゲート入力とし、当該出力がLowレベルのときに導通状態となって電源ノードN1の電源電位VDD1を高電位Vccp1として出力端子outから出力する。PchMOSトランジスタ524は、NAND回路527の出力をゲート入力とし、当該出力がLowレベルのときに導通状態となって電源ノードN2の電源電位VDD2を中間電位Vccp2として出力端子outから出力する。NchMOSトランジスタ525は、タイミング信号T2をゲート入力とし、当該タイミング信号T2がHighレベルのときに導通状態となって電源ノードN3の電源電位VSSを低電位Vin1として出力端子outから出力する。

40

【0146】

図20に、タイミング信号T1, T2のタイミング関係を示す。図20において、時刻t11, t13, t17は、図13の時刻t11, t13, t17にそれぞれ対応している。

【0147】

図20のタイミング波形図に示すように、閾値補正準備期間でタイミング信号T1がLowレベルに、タイミング信号T2がHighレベルになることにより、波形整形論理回路52'から低電位Vin1が出力される。閾値補正期間から発光期間に入る前までの期間でタイミング信号T1, T2が共にLowレベルになることにより、波形整形論理回路52'から中間電位Vccp2が出力される。発光期間でタイミング信号T1がHigh

50

レベルに、タイミング信号 T_2 が Low レベルになることにより、波形整形論理回路 52' から高電位 V_{ccp1} が出力される。

【0148】

(参考例に係る波形整形論理回路の不具合)

ここで、理解を容易にするために、図 21 に示すように、画面の上下方向の中央部分に左寄りに黒の矩形(いわゆる、黒ウインドウ)を表示し、当該黒の矩形の周囲を白表示とする場合について考える。

【0149】

図 21 の画表示において、白領域のライン A と、黒の矩形を含む領域のライン B とで、各ライン A, B の電源供給線 32 ごとに流れるトータル電流に差が生じる。何故ならば、画素に流れる電流は、白表示では大きく、黒表示ではほぼ 0 であるためである。ライン A, B 間で有機 EL 素子 21 の発光に必要なトータル電流が違っていると、電源電圧 V_{DD1} を高電位 V_{ccp1} として電源供給線 32 に供給する PchMOS トランジスタ 523 での電圧降下にライン A, B 間で差が生じる。

【0150】

このように、ライン A, B 間で PchMOS トランジスタ 523 での電圧降下が異なると、ライン A, B の各電源供給線 32 に電位差が生じてしまう。すると、ライン A, B の各駆動トランジスタ 22 のドレイン電圧が異なることになるためにチャネル長変調効果が発生する。ここで、チャネル長変調効果とは、駆動トランジスタ 22 の $V_{ds} - I_{ds}$ 特性において、あるドレイン - ソース間電圧 V_{ds} 以上で飽和すべきところが飽和せずに、ドレイン - ソース間電圧 V_{ds} に比例してドレイン - ソース間電流 I_{ds} が増大する現象である。

【0151】

したがって、ライン A, B の各電源供給線 32 に電位差が生じ、電源供給線 32 から与えられる電源電圧 V_{ccp1} が異なると、チャネル長変調効果によってドレイン - ソース間電流 I_{ds} がライン A, B 間で異なるために映像ラインごとに輝度差が生じる。具体的には、図 21 の画表示において、同じ白レベルの信号を入力しても、黒の矩形の上下の白表示領域と黒の矩形の右横の白表示領域との境界で輝度差が生じる。

【0152】

図 21 の画表示の例の場合には、電源供給線 32 に流れるトータル電流がライン A > ライン B となり、PchMOS トランジスタ 523 での電圧降下がライン A > ライン B となる。その結果、黒の矩形の上下の白表示領域の表示色が白ではなくグレーで表示されるために、黒の矩形の右横の白表示領域とで輝度差が生じることになる。

【0153】

(実施例 1 に係る波形整形論理回路の作用効果)

これに対して、実施例 1 に係る波形整形論理回路 52 は、有機 EL 素子 21 の発光期間に電源ノード N1 と電源ノード N2 とを接続して当該 2 つの電源ノード N1, N2 から電源電圧 V_{DD1} を高電位 V_{ccp1} として電源供給線 32 に供給する構成を採っている。かかる構成を採ることで、ライン A, B の電源供給線 32 ごとに流れるトータル電流に差が生じた場合において、PchMOS トランジスタ 523 での電圧降下の差が、1 つの電源ノードから電源電圧 V_{DD1} を供給する参考例の場合に比べて減少する。

【0154】

仮に、PchMOS トランジスタ 523 と PchMOS トランジスタ 524 のトランジスタサイズが同じとした場合、発光中のあるラインの電源供給線 32 に流れるトータル電流値を I とすると、両トランジスタ 523, 524 に流れる電流は $I/2$ となる。したがって、トランジスタ 523, 524 での電圧降下が $1/2$ となり、ライン間での電圧降下差も同様に低下するために、映像ライン間で発生する輝度差を、1 つの電源ノードから電源電圧 V_{DD1} を供給する参考例の場合に比べて抑えることができる。

【0155】

その結果、参考例の場合、即ち電源電圧 V_{DD1} , V_{DD2} , V_{SS} を単純に切り替え

て3値の電位 V_{ccp1} , V_{ccp2} , V_{ini} として電源供給線32に供給する場合に比べて画質の改善を図ることができる。より具体的には、例えば図21に示すように、領域ごとに輝度差が大きい画表示を行う場合に、各ラインの電源供給線32ごとに流れるトータル電流に差が生じる際の画質改善を行うことができる。

【0156】

また、各トランジスタ523, 524に流れる電流値が小さくなることで、波形整形論理回路52の発熱(単位時間あたりの熱量)、ひいては当該波形整形論理回路52を含む電源供給走査回路50Aの発熱低減を図ることができる。ここで、単位時間あたりの熱量 Q は、次式(4)で表わされる。

【0157】

$$\begin{aligned} Q &= I_{ds} V_{ds} \\ &= I_{ds} \{ (V_{gs} - V_{th}) - \sqrt{(V_{gs} - V_{th})^2} \\ &\quad - 2 I_{ds} (L / W C_o \times \mu) \} \dots \dots (4) \end{aligned}$$

10

ただし、 $V_{ds} < V_{gs} - V_{th}$

【0158】

(V_{ccp1} , V_{ccp2} の設定)

先述したように、本実施例1においては、中間電位 V_{ccp2} を高電位 V_{ccp1} に対して、好ましくは、閾値補正処理後の駆動トランジスタ22のドレイン・ソース間電圧 $V_{ds}(a)$ と有機EL素子21の発光中の駆動トランジスタのドレイン・ソース間電圧 $V_{ds}(b)$ とが等しくなるように設定する。このとき、信号書込み+移動度補正期間での電源供給線32の電位 D_S を、閾値補正期間と同じ中間電位 V_{ccp2} に設定している。

20

【0159】

しかし、移動度補正期間の電位 D_S を中間電位 V_{ccp2} とした場合、移動度補正期間中の駆動トランジスタ22のドレイン・ソース間電圧 $V_{ds}(c)$ が、閾値補正処理後および発光中のドレイン・ソース間電圧 $V_{ds}(a)$, (b) よりも小さくなる(図13参照)。これにより、図22に示すように、駆動トランジスタ22をキंक現象が発生する領域(以下、「キंक現象の領域」と記述する)で使用してしまう可能性がある。キंक現象の領域で使用すると、それ以外の領域で使用する場合よりも、画素間において駆動トランジスタ22のドレイン・ソース間電流 I_{ds} にばらつきが発生し易くなるために、画素間において輝度差が発生する。

30

【0160】

このような理由から、中間電位 V_{ccp2} のみならず、高電位 V_{ccp1} についても、移動度補正期間において駆動トランジスタ22をキंक現象の領域で使用しないように各電位を設定することが望ましい。具体的には、出荷前において、移動度補正期間において駆動トランジスタ22をキंक現象の領域で使用している場合は、そのときの電位よりも電位 V_{ccp1} , V_{ccp2} の各電位を上げるか、または下げる。

【0161】

電位 V_{ccp1} , V_{ccp2} の各電位を上げることで図23(A)に示すように、下げることで図23(B)に示すように、駆動トランジスタ22をキंक現象の領域で使用しないようにすることができる。その結果、キंक現象が存在するトランジスタ特性においても、画素間における駆動トランジスタ22のドレイン・ソース間電流 I_{ds} のばらつきを抑制することができるため、表示画像の画質を改善できる。

40

【0162】

[実施例2]

図1および図2に示すシステム構成の有機EL表示装置10において、実施例2に係る電源供給走査回路50Bは、電源供給線32の電位 D_S として、4値の電位を設定可能な構成となっている。具体的には、電源供給走査回路50は、高電位 V_{ccp1} と、低電位 V_{ini} と、それらの間の2つの中間電位 V_{ccp2} , V_{ccp3} との4値の電位を電源電位 D_S として適宜設定できるようになっている。ここで、中間電位 V_{ccp2} , V_{ccp3} は、 $V_{ccp2} < V_{ccp3}$ の高低関係にある。

50

【0163】

実施例1では、移動度補正期間（信号電圧 V_{sig} の書込み期間を含む）での電源供給線32の電位 D_S を中間電位 V_{ccp2} に設定していた。すなわち、移動度補正期間における電源供給線32の電位 D_S を閾値補正期間と移動度補正期間とで同じ電位に設定していた。これに対して、実施例2では、移動度補正期間における電源供給線32の電位 D_S を閾値補正期間と移動度補正期間とで異なる中間電位 V_{ccp2} , V_{ccp3} に設定することを特徴としている。

【0164】

実施例2の場合の電源電位 D_S の設定についてのタイミング関係を図24に示す。電源供給走査回路50Bは、閾値補正準備期間（ $t_{11} - t_{13}$ ）では低電位 V_{ini} を設定し、少なくとも閾値補正期間（ $t_{13} - t_{14}$ ）では中間電位 V_{ccp2} を設定する。電源供給走査回路50Bはさらに、信号書込み＋移動度補正期間（ $t_{16} - t_{17}$ ）では中間電位 V_{ccp3} を設定し、発光期間（ t_{17} 以降）では高電位 V_{ccp1} を設定する。

【0165】

すなわち、実施例1では、移動度補正期間における電源供給線32の電位 D_S を閾値補正期間と移動度補正期間とで同じ中間電位 V_{ccp2} に設定するようにしていた。これに対して、本実施例2では、電源供給線32の電位 D_S を閾値補正期間と移動度期間とで異なる、具体的には、閾値補正期間で中間電位 V_{ccp2} に設定し、移動度期間で中間電位 V_{ccp3} に設定するようにしている。

【0166】

電源供給線32の電位 D_S が閾値補正期間と発光期間とで異なっていたとしても、先述したように、移動度補正期間における電源供給線32の電位 D_S を閾値補正期間と移動度補正期間とで同じ中間電位 V_{ccp2} とした場合、駆動トランジスタ22をキंक現象の領域で使用してしまう可能性がある。その結果、画素間において駆動トランジスタ22のドレイン－ソース間電流 I_{ds} にばらつきが発生し易くなるために、画素間において輝度差が発生する。

【0167】

これに対して、電源供給線32の電位 D_S を閾値補正期間と移動度期間とで異なることで、たとえ駆動トランジスタ22をキंक現象の領域で使用していても、画素間での駆動トランジスタ22のドレイン－ソース間電流 I_{ds} のばらつきを小さく抑えることができる。ここで、中間電位 V_{ccp3} については中間電位 V_{ccp2} に対して、閾値補正処理後のドレイン－ソース間電圧 $V_{ds}(a)$ と、移動度補正中の駆動トランジスタ22のドレイン－ソース間電圧 $V_{ds}(c)$ とが等しくなるような電位に設定するのが好ましい。

【0168】

このような電位関係にて中間電位 V_{ccp2} に対して中間電位 V_{ccp3} を設定することで、図25に示すように、閾値補正処理後、移動度補正処理後および発光期間を全て同じドレイン－ソース間電圧 V_{ds} とすることができる。これにより、たとえ駆動トランジスタ22をキंक現象の領域で使用していても、閾値補正および移動度補正の各処理の終わりと発光中でドレイン－ソース間電圧 V_{ds} が変動しない。その結果、キंक現象に起因する画素間での駆動トランジスタ22のドレイン－ソース間電流 I_{ds} のばらつきをより小さく抑えることができる（理想的にはばらつきを無くすることができる）ため、表示画像の画質を改善できる。

【0169】

ここで、電源供給線32の電源電位 D_S として、4値の電位 V_{ccp1} , V_{ccp2} , V_{ccp3} , V_{ini} を設定可能な電源供給走査回路50Bの具体的な構成について説明する。

【0170】

図26は、4値の電位 V_{ccp1} , V_{ccp2} , V_{ccp3} , V_{ini} を設定可能な電源供給走査回路50Bの構成の一例を示すブロック図である。

【0171】

電源供給走査回路50Bは、シフトレジスタ53と波形整形論理回路54とから構成されている。シフトレジスタ53は、書込み走査回路40（図1参照）による垂直走査に同期して、4つのタイミング信号T1, T2, T3, T4を画素行ごとに出力する。波形整形論理回路54は、4つのタイミング信号T1, T2, T3, T4に基づいて4値の電位Vccp1, Vccp2, Vccp3, Viniを適宜出力する。

【0172】

（実施例2に係る波形整形論理回路の構成）

図27は、実施例2に係る波形整形論理回路54の構成の一例を示す回路図である。本実施例2に係る波形整形論理回路54は、3つのインバータ541, 542, 543と、
10 スwitchング素子である3つのPchMOSトランジスタ544, 545, 546および
1つのNchMOSトランジスタ547とから構成されている。

【0173】

インバータ541は、入力端子in1を介して入力されるタイミング信号T1の論理を反転してPchMOSトランジスタ544のゲート電極に与える。PchMOSトランジスタ544は、電源ノードN1と出力ノードNoとの間に接続されている。電源ノードN1には、電源部（図示せず）から正側電源電圧VDD1が供給される。

【0174】

インバータ542は、入力端子in2を介して入力されるタイミング信号T2の論理を反転してPchMOSトランジスタ545のゲート電極に与える。PchMOSトランジスタ545は、電源ノードN2と出力ノードNoとの間に接続されている。電源ノードN2には、電源部から2つの正側電源電圧VDD1, VDD2が電源電圧VDDx__1として選択的に供給される。電源電圧VDD2は、正側電源電圧VDD1と負側電源電圧VSSとの間の電圧である。

【0175】

インバータ543は、入力端子in3を介して入力されるタイミング信号T3の論理を反転してPchMOSトランジスタ546のゲート電極に与える。PchMOSトランジスタ546は、電源ノードN3と出力ノードNoとの間に接続されている。電源ノードN3には、電源部から2つの正側電源電圧VDD1, VDD3が電源電圧VDDx__2として選択的に供給される。電源電圧VDD3は、正側電源電圧VDD1と負側電源電圧VSSとの間の電圧であって、電源電圧VDD2よりも低い電圧である。

【0176】

NchMOSトランジスタ547は、出力ノードNoと電源ノードN4との間に接続されており、ゲート電極には入力端子in4を介してタイミング信号T4が供給される。電源ノードN4には、電源部から負側電源電圧VSSが供給される。出力ノードNoには、出力端子outが電氣的に接続されている。

【0177】

（実施例2に係る波形整形論理回路の回路動作）

次に、上記構成の実施例2に係る波形整形論理回路54の回路動作については、図28のタイミング波形図を用いて説明する。

【0178】

図28は、タイミング信号T1, T2, T3, T4および電源電圧VDDx__1, VDDx__2のタイミング関係を示している。図28において、時刻t11, t13, t17は、図13の時刻t11, t13, t17にそれぞれ対応している。

【0179】

図28に示すように、電源電圧VDDx__1は、時刻t11までおよび時刻t17以降の各期間で電源電圧VDD1をとり、時刻t11 - t17の期間で電源電圧VDD2をとる。電源電圧VDDx__2は、時刻t11までおよび時刻t17以降の各期間で電源電圧VDD1をとり、時刻t11 - t17の期間で電源電圧VDD3（< VDD2）をとる。また、タイミング信号T1, T2, T3, T4のパルス振幅幅は、VDD1 - VSSであ

10

20

30

40

50

る。

【0180】

時刻 $t_{11} - t_{13}$ の期間では、タイミング信号 T_1, T_2, T_3 が Low レベル、タイミング信号 T_4 が High レベルになるために、PchMOSトランジスタ544~546が共に非導通状態になり、NchMOSトランジスタ547が導通状態になる。これにより、負側電源電圧 V_{SS} がNchMOSトランジスタ547および出力ノード N_o を通して出力端子 out から低電位 V_{ini} として出力される。

【0181】

時刻 $t_{13} - t_{16}$ の期間では、タイミング信号 T_1, T_2 が Low レベルを持続し、タイミング信号 T_3 が High レベルに、タイミング信号 T_4 が Low レベルにそれぞれ遷移するために、PchMOSトランジスタ546のみが導通状態になる。このとき、 $V_{DDx_2} = V_{DD3}$ であることから、当該電源電圧 V_{DD3} がPchMOSトランジスタ546および出力ノード N_o を通して出力端子 out から中間電位 V_{ccp3} として出力される。

10

【0182】

時刻 $t_{16} - t_{17}$ の期間では、タイミング信号 T_1, T_4 が Low レベルを持続し、タイミング信号 T_2 が High レベルに、タイミング信号 T_3 が Low レベルにそれぞれ遷移するために、PchMOSトランジスタ545のみが導通状態になる。このとき、 $V_{DDx_1} = V_{DD2}$ であることから、当該電源電圧 V_{DD2} がPchMOSトランジスタ545および出力ノード N_o を通して出力端子 out から中間電位 V_{ccp2} として出力される。

20

【0183】

時刻 t_{17} 以降の発光期間では、タイミング信号 T_1, T_3 が High レベルに遷移し、タイミング信号 T_2 が High レベルを、タイミング信号 T_4 が Low レベルをそれぞれ持続するために、PchMOSトランジスタ544~546が共に導通状態になる。これにより、電源電圧 V_{DD1} がPchMOSトランジスタ544および出力ノード N_o を通して出力端子 out から高電位 V_{ccp1} として出力される。

【0184】

このとき、 $V_{DDx_1} = V_{DD1}$ 、 $V_{DDx_2} = V_{DD1}$ であることから、当該電源電圧 V_{DD1} もPchMOSトランジスタ545, 546および出力ノード N_o を通して出力端子 out から高電位 V_{ccp1} として出力される。すなわち、発光期間では、PchMOSトランジスタ544~546が共に導通状態になることで電源ノード N_1, N_2, N_3 が電氣的に接続されるために、2つの電源ノード N_1, N_2, N_3 から電源電圧 V_{DD1} が高電位 V_{ccp1} として出力されることになる。

30

【0185】

このように、本実施例2に係る波形整形論理回路54によれば、電源供給線32の電源電位 D_S として4値の電位、即ち高電位 V_{ccp1} 、中間電位 V_{ccp2}, V_{ccp3} および低電位 V_{ini} を設定することができる。そして、本実施例2に係る波形整形論理回路54は、発光期間では電源ノード N_1, N_2, N_3 を接続して当該3つの電源ノード N_1, N_2, N_3 から電源電圧 V_{DD1} を高電位 V_{ccp1} として電源供給線32に供給する構成を採ることを特徴としている。

40

【0186】

(実施例2に係る波形整形論理回路の作用効果)

かかる構成を採ることで、図21の画表示において、ラインA, Bの電源供給線32ごとに流れるトータル電流に差が生じた場合において、PchMOSトランジスタ544での電圧降下の差が、先述した参考例の場合に比べて減少する。

【0187】

仮に、PchMOSトランジスタ544~546のトランジスタサイズが同じとした場合、発光中のあるラインの電源供給線32に流れるトータル電流値を I とすると、トランジスタ544~546に流れる電流は $I/3$ となる。したがって、トランジスタ544~

50

5 4 6 での電圧降下が 1 / 3 となり、ライン間での電圧降下差も同様に低下するために、映像ライン間で発生する輝度差を、先述した参考例の場合に比べて抑えることができる。その結果、実施例 1 の場合と同様に、例えば図 2 1 に示すような輝度差のある画表示の場合に、各ラインの電源供給線 3 2 ごとに流れるトータル電流に差が生じる際の画質改善および電源供給走査回路 5 0 B の発熱低減を図ることができる。

【 0 1 8 8 】

電源供給線 3 2 の電位 D S として、実施例 1 では 3 値の電位を、実施例 2 では 4 値の電位をそれぞれ設定する場合の波形整形論理回路 5 2 , 5 4 について説明したが、5 値以上の電位を設定する場合にも同様の考え方を適用することができる。

【 0 1 8 9 】

< 3 . 第 2 実施形態 >

第 1 実施形態では、駆動トランジスタ 2 2 にキンク現象に起因する有機 E L 素子 2 1 の駆動電流のばらつきを抑えて画質の改善を図るために、電源供給線 3 2 の電位 D S を閾値補正期間と発光期間とで異ならせるようにしている。より具体的には、電源供給走査回路 5 0 を、電源供給線 3 2 の電源電位 D S として少なくとも 3 値に設定可能な構成としている。

【 0 1 9 0 】

そして、電源供給走査回路 5 0 により、電源供給線 3 2 の電位 D S として少なくとも 3 値の電源電位のうちの 1 つを適宜設定することで、当該電位 D S を閾値補正期間と発光期間とで異ならせるようにしている。特に、実施例 1 , 2 に係る波形整形論理回路 5 2 , 5 4 を用いることで、例えば図 2 1 に示すような輝度差のある画表示の場合に、各ラインの電源供給線 3 2 ごとに流れるトータル電流に差が生じる際の画質改善および電源供給走査回路 5 0 の発熱低減を図ることができる。

【 0 1 9 1 】

これに対して、第 2 実施形態では、第 1 実施形態の実施例 1 , 2 に係る波形整形論理回路 5 2 , 5 4 における P c h M O S トランジスタでの電圧降下が先述した参考例の場合と同程度でも、当該電圧降下による画質への影響がないことを前提している。そして、当該波形整形論理回路 5 2 , 5 4 を用いることで、電源供給走査回路 5 0 のレイアウト面積の削減を図ることを特徴としている。

【 0 1 9 2 】

図 2 9 は、第 2 実施形態に係る有機 E L 表示装置の要部の構成を示す回路図であり、画素アレイ部 3 0 と、波形整形論理回路 5 2 (5 4) を含む電源供給走査回路 5 0 とを示している。ここでは、図面の簡略化のために、4 行 (4 ライン) 分について示している。

【 0 1 9 3 】

先述した実施例 1 で説明したように、仮に、P c h M O S トランジスタ 5 2 3 と P c h M O S トランジスタ 5 2 4 のトランジスタサイズが同じとした場合、両トランジスタ 5 2 3 , 5 2 4 に流れる電流は I / 2 となる。

【 0 1 9 4 】

ここで、トランジスタの線形電流式は、

$$I_{ds} = (W/L) C_{ox} \mu \{ (V_{gs} - V_{th}) V_{ds} - (1/2) V_{ds}^2 \cdot (1 + \lambda V_{ds}) \dots \dots (5)$$

なる式で表わされる。

【 0 1 9 5 】

したがって、電流 I d s が 1 / 2 になれば、トランジスタ 5 2 3 , 5 2 4 のサイズ、具体的にはチャネル幅 W を、1 つの電源ノードから電源電圧を供給する場合に比べて半分程度まで小さくすることができる。ただし、トランジスタサイズの W 長を半分にすると、トランジスタ 5 2 3 , 5 2 4 での電圧降下値は、先述した参考例の場合とほぼ同じになる。

【 0 1 9 6 】

図 3 0 は、電源供給走査回路 5 0 の要部のレイアウト図である。図 3 0 において、図 1 7 と対応する部分には同一符号を付して示している。また、図中、黒丸 (●) は、配線層

10

20

30

40

50

間を電氣的に接続するコンタクト部を表わしている。

【0197】

図30には、図17に示す実施例1に係る波形整形論理回路52におけるPchMOSトランジスタ524とNchMOSトランジスタ525の2つのトランジスタのレイアウトを示している。これらトランジスタ524, 525の移動度 μ が例えば等しいとした場合、PchMOSトランジスタ524に流れる電流値を1/2にできない場合には、両トランジスタ524, 525のトランジスタサイズを等しく設定する必要がある。

【0198】

これに対して、実施例1に係る波形整形論理回路52によれば、PchMOSトランジスタ524に流れる電流が1/2になるために、当該トランジスタ524のチャネル幅 W_p を、NchMOSトランジスタ525のチャネル幅 W_n の1/2にすることができる。図示を省略しているが、PchMOSトランジスタ524と対となるPchMOSトランジスタ523についても同様である。実施例2に係る波形整形論理回路54を用いた場合にも同様のことが言える。

【0199】

上述したように、電源供給走査回路50において、各行に対応した回路部分のPchMOSトランジスタ523, 524のトランジスタサイズを、1つの電源ノードから電源電圧 V_{DD1} を供給する場合に比べて小さくできる。これにより、電源供給走査回路50のレイアウト面積を削減できるために、表示パネル70の周縁部(いわゆる、額縁)の縮小化に寄与できる。また、レイアウトスペースに余裕ができるために、異物等による配線間のショートなどを防止することができる。

【0200】

<4. 変形例>

上記各実施形態では、有機EL素子21の駆動回路が、基本的に、駆動トランジスタ22および書込みトランジスタ23の2つのトランジスタからなる画素構成の場合を例に挙げて説明したが、本発明はこの画素構成への適用に限られるものではない。

【0201】

一例として、図31に示すように、駆動トランジスタ22、書込みトランジスタ23に加えて、発光制御トランジスタ26および2つのスイッチングトランジスタ27, 28を有する5つのトランジスタからなる5Trの回路構成を基本構成とする画素20'が知られている(例えば、特開2005-345722号公報参照)。ここでは、発光制御トランジスタ26としてPchトランジスタ、スイッチングトランジスタ27, 28としてNchを用いているが、これらの導電型の組み合わせは任意である。

【0202】

発光制御トランジスタ26は、駆動トランジスタ22に対して直列に接続され、駆動トランジスタ22への高電位 V_{ccp} の供給を選択的に行うことで、有機EL素子21の発光/非発光の制御を行なう。スイッチングトランジスタ27は、駆動トランジスタ22のゲート電極に基準電位 V_{ofs} を選択的に与えることで、そのゲート電位 V_g を基準電位 V_{ofs} に初期化する。スイッチングトランジスタ28は、駆動トランジスタ22のソース電極に低電位 i_{ni} を選択的に与えることで、そのソース電位 V_s を低電位 i_{ni} に初期化する。

【0203】

ここでは、他の画素構成として、5Trの回路構成を例に挙げたが、例えば、信号線33を通して基準電位 V_{ofs} を供給し、当該基準電位 V_{ofs} を書込みトランジスタ23によって書き込むようにすることでスイッチングトランジスタ27を省略するなど、種々の画素構成のものが考えられる。

【0204】

また、上記各実施形態では、画素20の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。具体的には、本発明は、無機EL素子、LED素子、半導体レーザー素子

など、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用可能である。

【0205】

< 5 . 適用例 >

以上説明した本発明による表示装置は、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。一例として、図32～図36に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなどの表示装置に適用することが可能である。

【0206】

このように、あらゆる分野の電子機器の表示装置として本発明による表示装置を用いることにより、各種の電子機器において高品位な画像表示を行うことができる。すなわち、先述した各実施形態の説明から明らかなように、本発明による表示装置は、キンク現象に起因する画素間での駆動トランジスタのドレイン・ソース間電流 I_{ds} のばらつきをより小さく抑えることができ、表示画像の画質を改善できるため、高品質な表示画像を得ることができる。

【0207】

本発明による表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部30に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。なお、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

【0208】

以下に、本発明が適用される電子機器の具体例について説明する。

【0209】

図32は、本発明が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明による表示装置を用いることにより作成される。

【0210】

図33は、本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュースイッチ113、シャッターボタン114等を含み、その表示部112として本発明による表示装置を用いることにより作製される。

【0211】

図34は、本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体121に、文字等を入力するとき操作されるキーボード122、画像を表示する表示部123等を含み、その表示部123として本発明による表示装置を用いることにより作製される。

【0212】

図35は、本発明が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート/ストップスイッチ133、表示部134等を含み、その表示部134として本発明による表示装置を用いることにより作製される。

【0213】

図36は、本発明が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。本適用

10

20

30

40

50

例に係る携帯電話機は、上側筐体 141、下側筐体 142、連結部（ここではヒンジ部）143、ディスプレイ 144、サブディスプレイ 145、ピクチャーライト 146、カメラ 147 等を含んでいる。そして、ディスプレイ 144 やサブディスプレイ 145 として本発明による表示装置を用いることにより本適用例に係る携帯電話機が作製される。

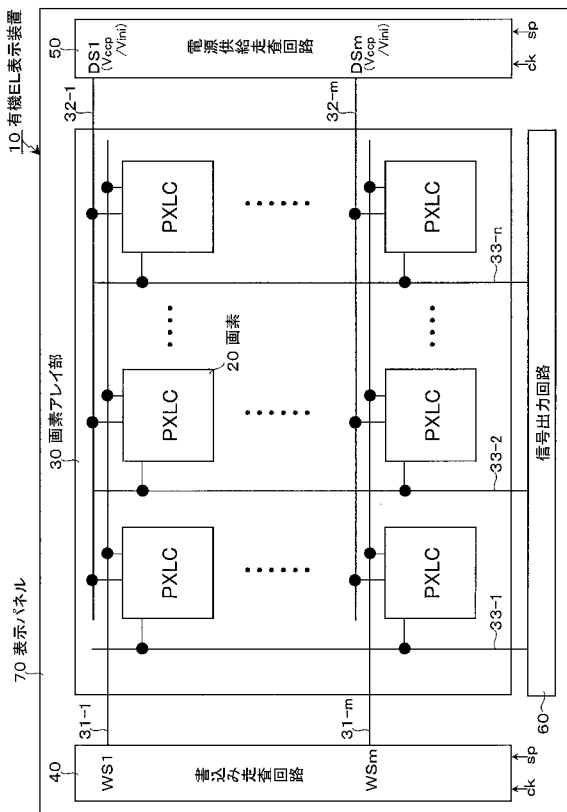
【符号の説明】

【0214】

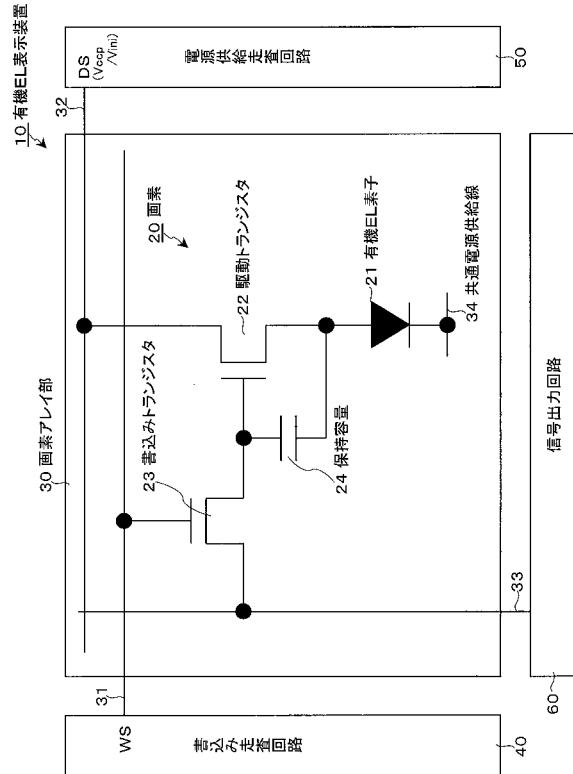
10 ... 有機 EL 表示装置、20, 20' ... 画素、21 ... 有機 EL 素子、22 ... 駆動トランジスタ、23 ... 書き込みトランジスタ、24 ... 保持容量、30 ... 画素アレイ部、31 (31-1 ~ 31-m) ... 走査線、32 (32-1 ~ 32-m) ... 電源供給線、33 (33-1 ~ 33-n) ... 信号線、34 ... 共通電源供給線、40 ... 書き込み走査回路、50, 50A, 50B ... 電源供給走査回路、51, 53 ... シフトレジスタ、52, 54 ... 波形調整論理回路、60 ... 信号出力回路、70 ... 表示パネル

10

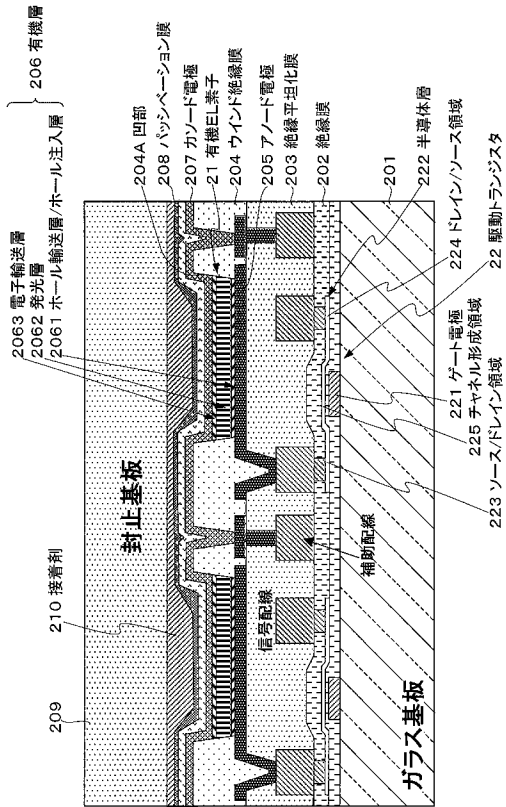
【図 1】



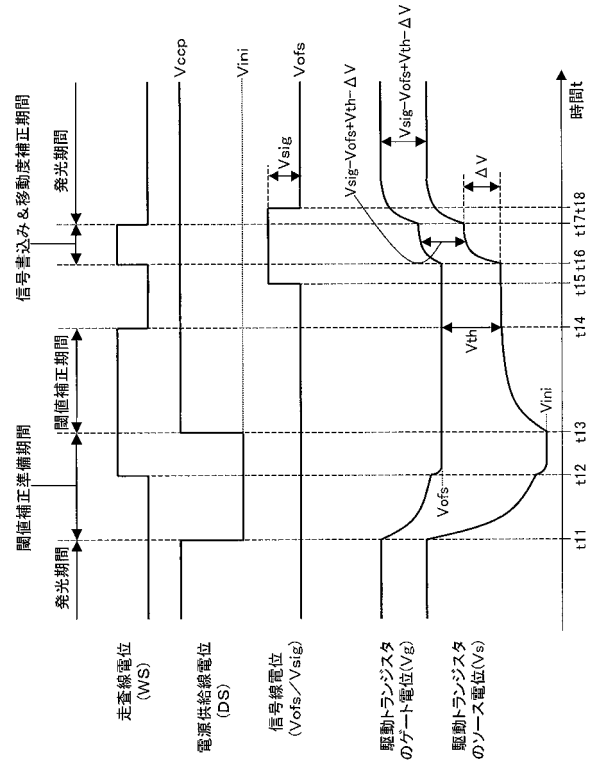
【図 2】



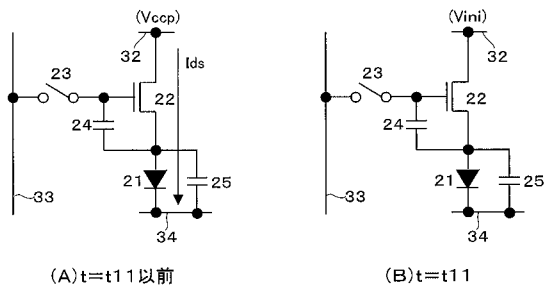
【図 3】



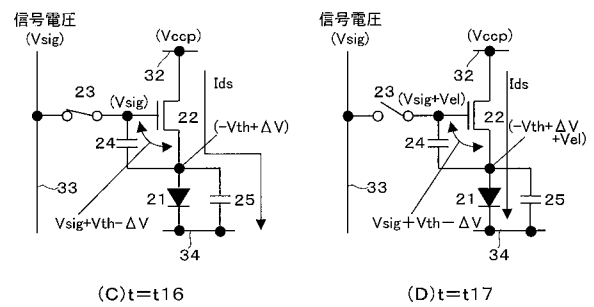
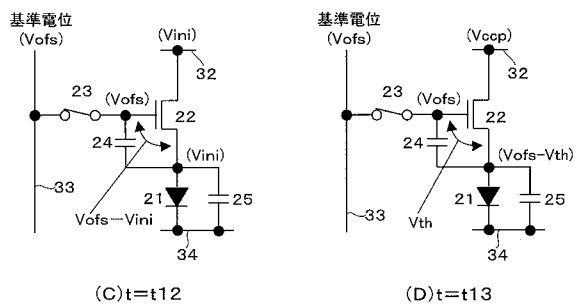
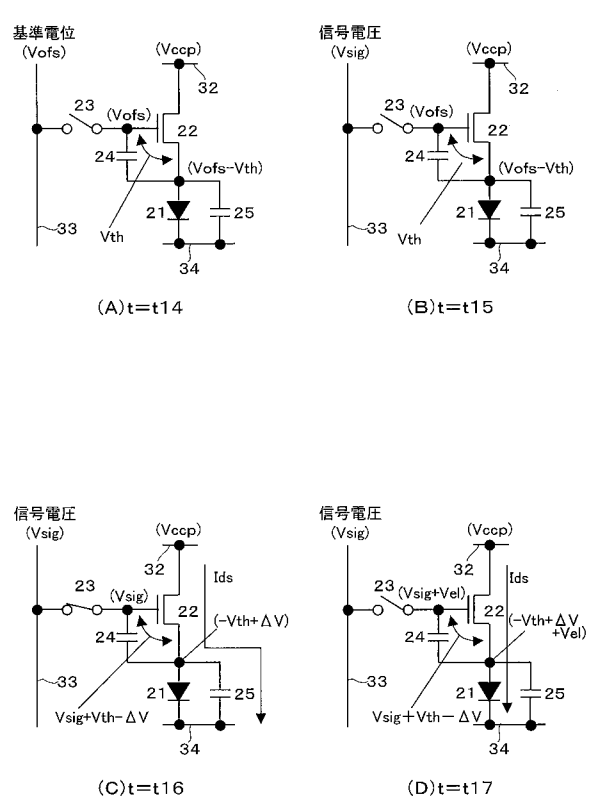
【図 4】



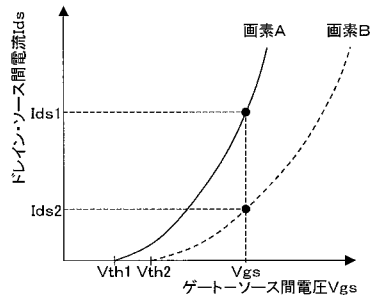
【図 5】



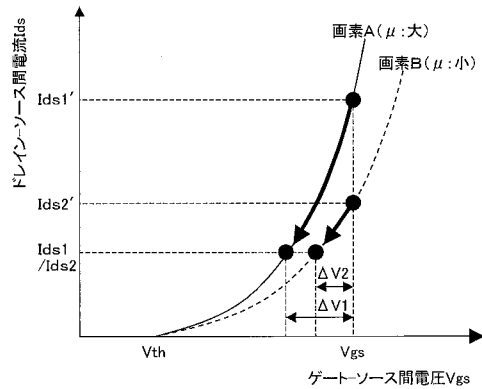
【図 6】



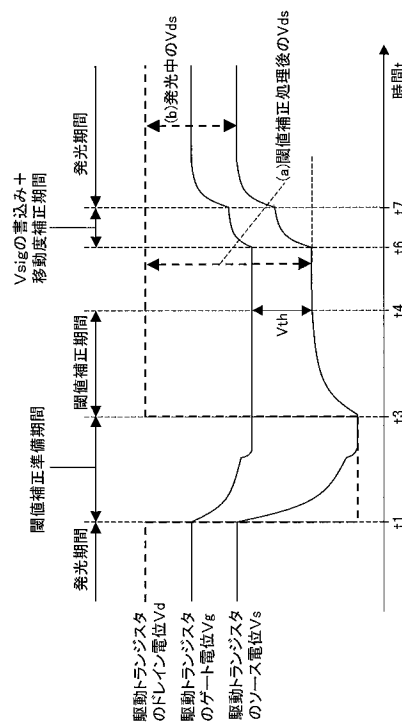
【図 7】



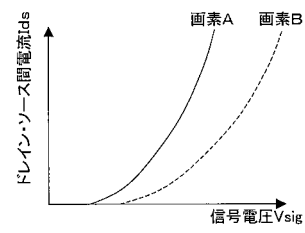
【図 8】



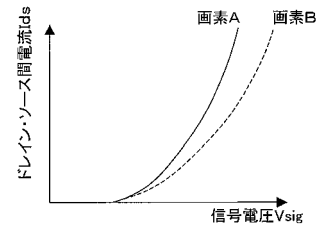
【図 10】



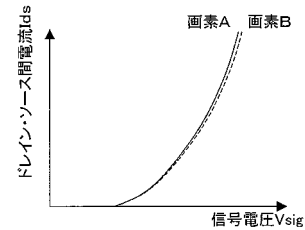
【図 9】



(A) 閾値補正: 無、移動度補正: 無

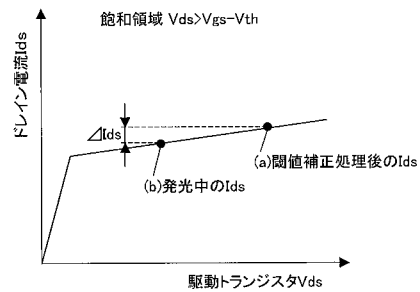


(B) 閾値補正: 有、移動度補正: 無



(C) 閾値補正: 有、移動度補正: 有

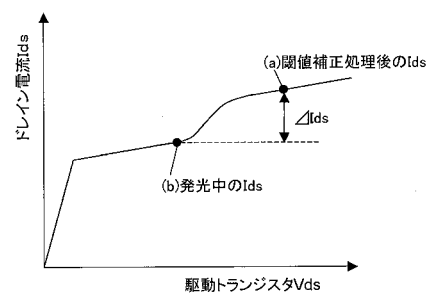
【図 11】



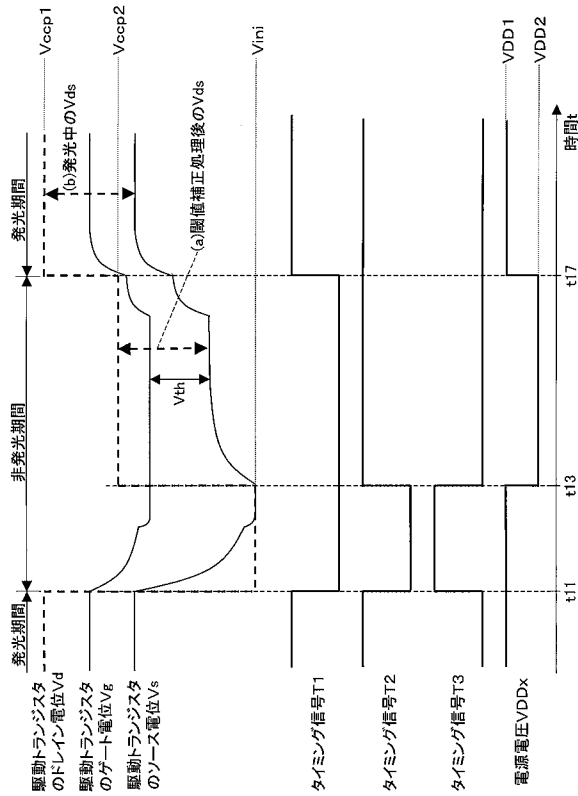
$$I_{ds} = \frac{1}{2} \frac{W}{L} C_{ox} \mu (V_{gs} - V_{th})^2 (1 + \lambda V_{ds})$$

λ: チャンネル長変調係数

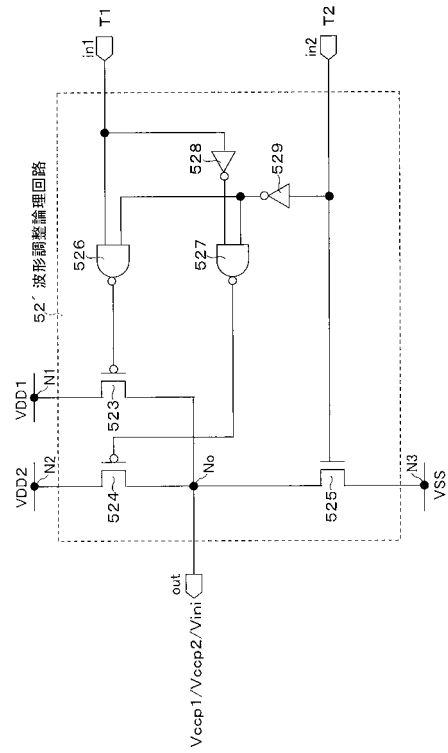
【図 12】



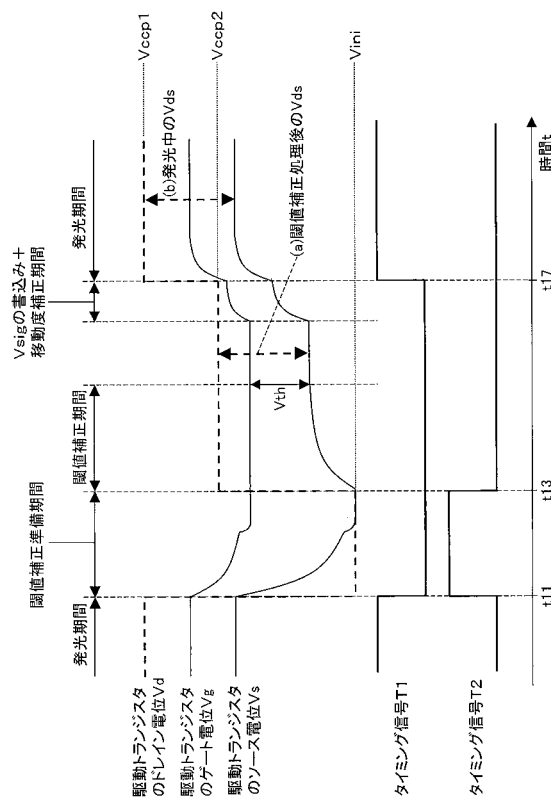
【 図 1 8 】



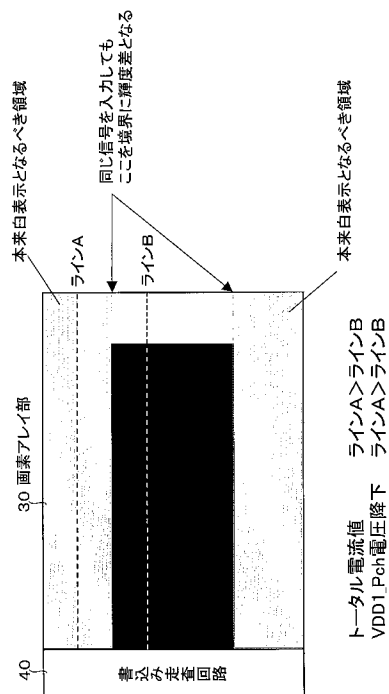
【 図 1 9 】



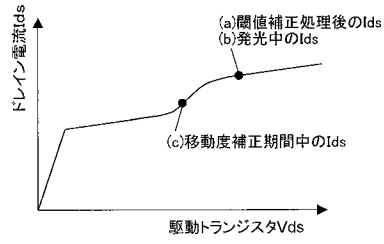
【 図 2 0 】



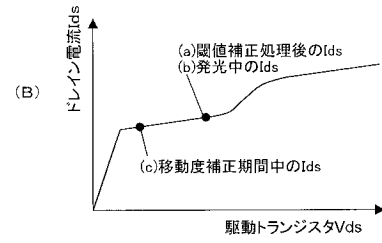
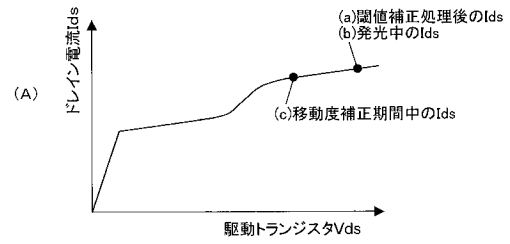
【 図 2 1 】



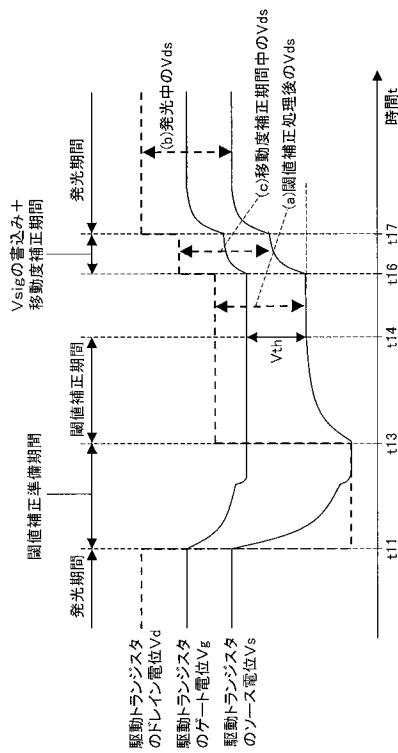
【図 2 2】



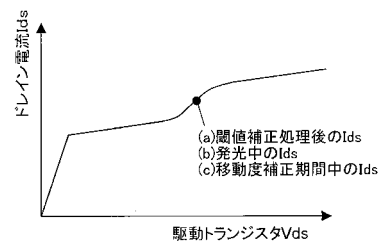
【図 2 3】



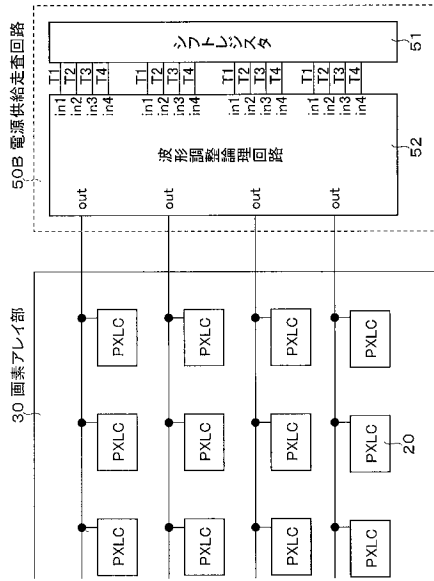
【図 2 4】



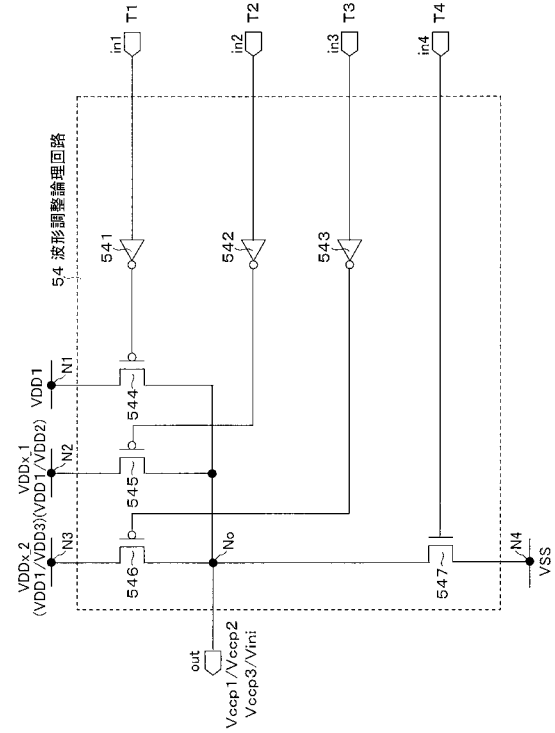
【図 2 5】



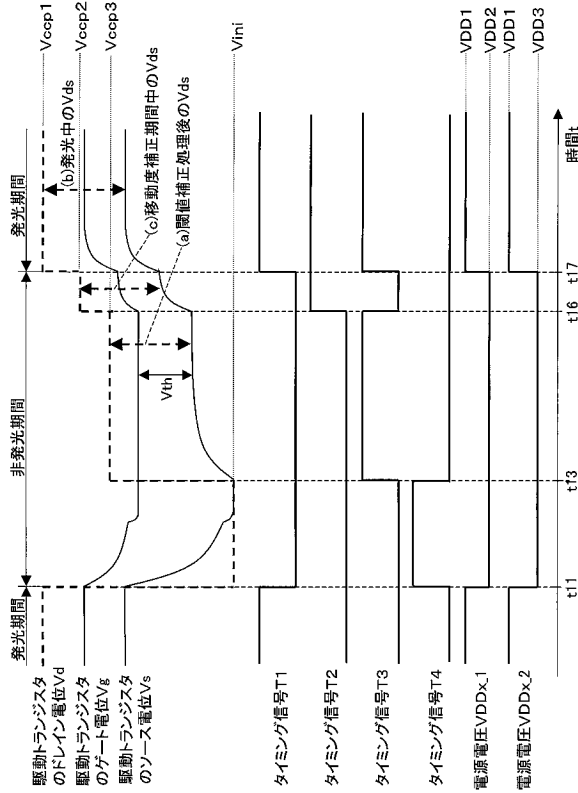
【図 26】



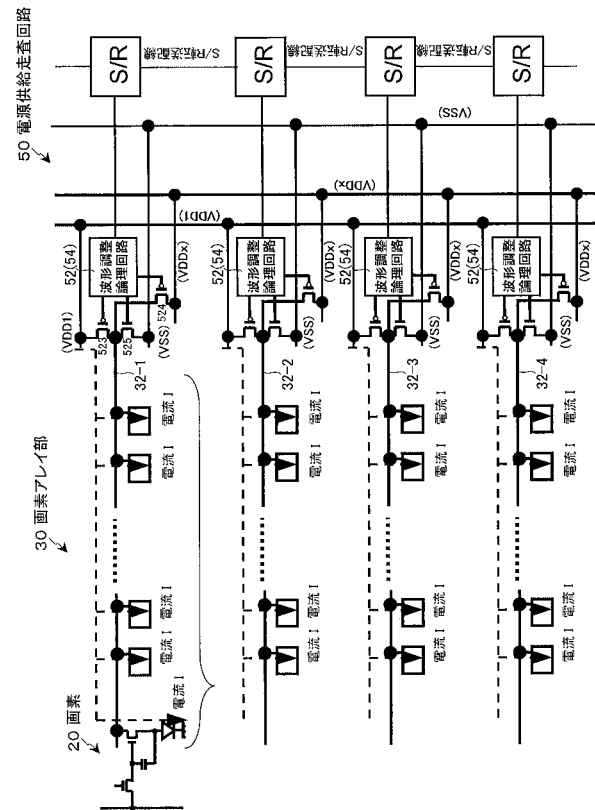
【図 27】



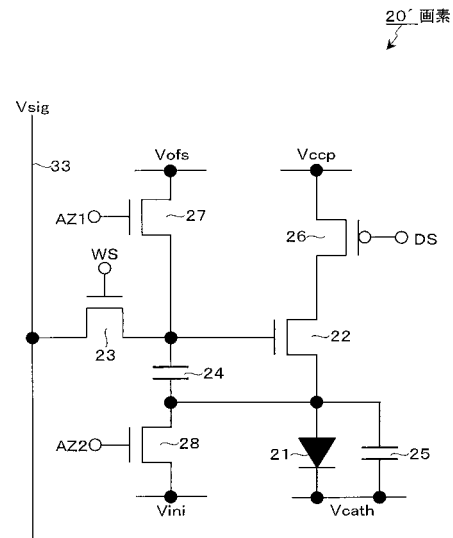
【図 28】



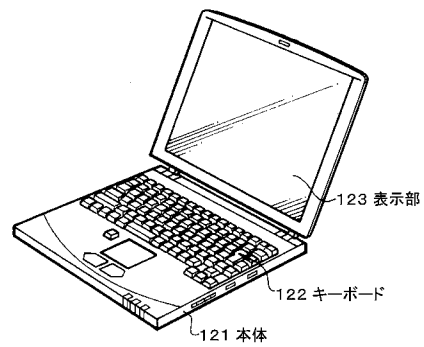
【図 29】



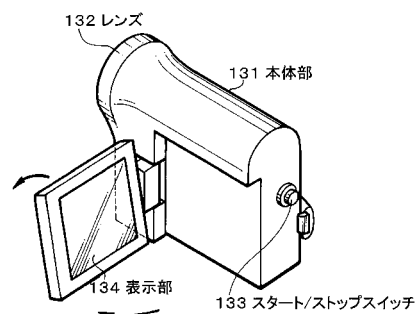
【 図 3 1 】



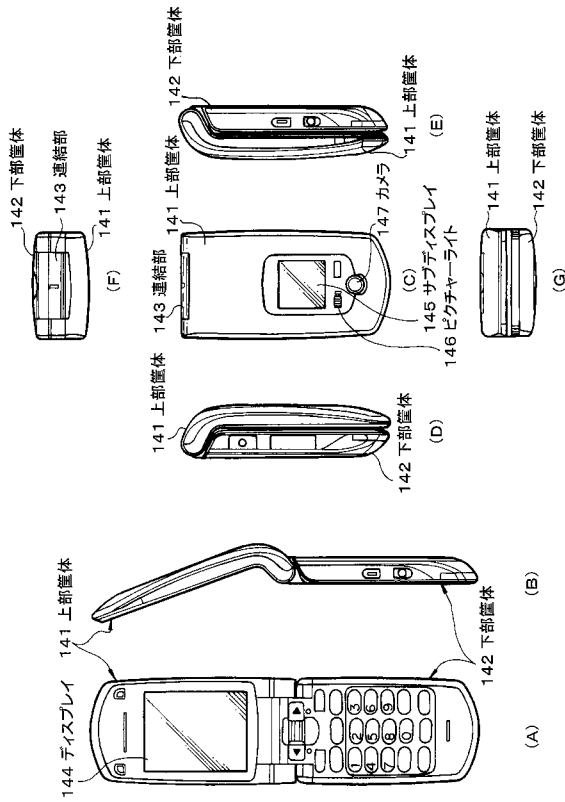
【 ㄨ 3 4 】



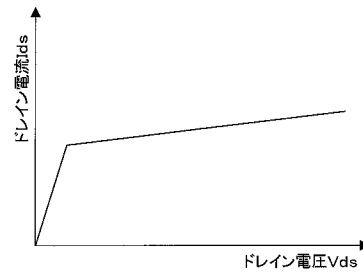
【 図 3 5 】



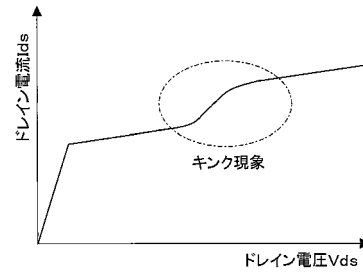
【図 36】



【図 37】



【図 38】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 G
 G 0 9 G 3/20 6 7 0 L
 G 0 9 G 3/20 6 1 2 E

F ターム(参考) 5C380 AA01 AA02 AA03 AB06 AB18 AB22 AB24 AB34 AB36 AB37
 AC07 AC08 AC09 AC11 AC12 BA11 BA17 BA20 BA28 BA38
 BA39 BA50 BB02 BB08 BD05 BE03 CA08 CA12 CA53 CB01
 CB12 CB16 CB17 CB20 CB26 CB31 CC02 CC03 CC04 CC05
 CC06 CC07 CC27 CC30 CC33 CC39 CC41 CC61 CC62 CC65
 CC71 CD012 CD025 CE08 CF07 CF31 CF32 CF51 DA02 DA06
 DA47 GA18 HA05

专利名称(译)	显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	JP2010276734A	公开(公告)日	2010-12-09
申请号	JP2009127126	申请日	2009-05-27
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	富田昌嗣 尾本啓介		
发明人	富田 昌嗣 尾本 啓介		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.612.G G09G3/20.622.G G09G3/20.670.L G09G3/20.612.E G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD20 5C080/DD22 5C080/DD27 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA11 5C380/BA17 5C380/BA20 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BA50 5C380/BB02 5C380/BB08 5C380/BD05 5C380/BE03 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB12 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CC65 5C380/CC71 5C380/CD012 5C380/CD025 5C380/CE08 5C380/CF07 5C380/CF31 5C380/CF32 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA47 5C380/GA18 5C380/HA05		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由驱动晶体管的扭结现象引起的有机EL元件的驱动电流的变化，并改善显示图像的图像质量。解决方案：可以将三个电势值Vccp1，Vccp2和Vini设置为用于向像素的驱动晶体管提供电流的电源线的电位（驱动晶体管的漏极电势Vd）。使驱动晶体管的漏极电势Vd在阈值校正时段和发光时段之间不同。具体地，将其设置为阈值校正时段中的中间电势Vccp2和发光时段中的高电势Vccp1。特别是，当在发光周期中提供电源电压VDD1作为高电势Vccp1时，它通过两个P沟道MOS晶体管523和524从两个电源节点N1和N2提供。

