

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-294279

(P2009-294279A)

(43) 公開日 平成21年12月17日(2009.12.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 622G	5C080
HO1L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 611H	
	G09G 3/20 670J	

審査請求 未請求 請求項の数 5 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願2008-145377 (P2008-145377)
 (22) 出願日 平成20年6月3日 (2008.6.3)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC35 CC43 EE03
 HH02 HH04

最終頁に続く

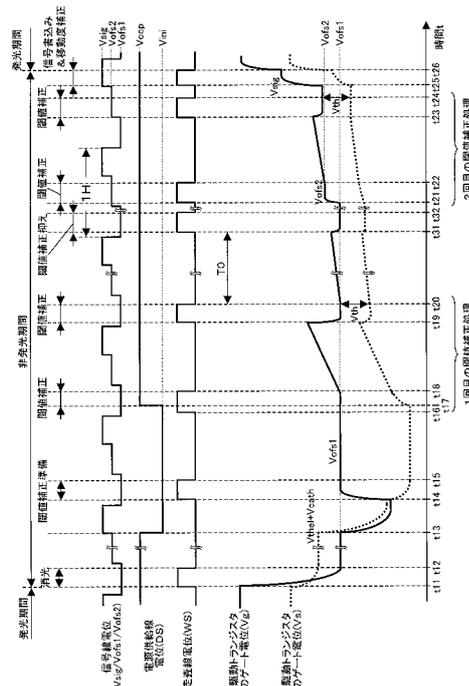
(54) 【発明の名称】 表示装置、表示装置の駆動方法および電子機器

(57) 【要約】

【課題】電源供給線の駆動タイミングを共通化するライン数が増えても、信号電圧 V_{sig} の振幅をそのままにしつつ、1回目の閾値補正処理と2回目の閾値補正処理の間の時間差によるソース電位 V_s の上昇量を小さく抑える。

【解決手段】電源供給線の駆動タイミングを複数ラインで共通化し、第1基準電位 V_{ofs1} を用いて複数ライン共通に行う1回目の閾値補正処理に加えて、第1基準電位 V_{ofs1} よりも高い第2基準電位 V_{ofs2} を用いてラインごとに行う2回目の閾値補正処理を実行する有機EL表示装置において、1回目の閾値補正処理と2回目の閾値補正処理との間の期間 ($t_{31} - t_{32}$) で、信号線電位が第1基準電位 V_{ofs1} のときに、複数ライン共通で書き込みトランジスタを導通状態にして第1基準電位 V_{ofs1} を駆動トランジスタのゲート電極に書き込む処理(閾値補正抑え処理)を行うようにする。

【選択図】 図19



【特許請求の範囲】**【請求項 1】**

電気光学素子を駆動する駆動トランジスタと、前記画素アレイ部の画素列ごとに配線された信号線と前記駆動トランジスタのゲート電極との間に接続された書込みトランジスタとを含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記電気光学素子を発光駆動するための駆動電流を前記駆動トランジスタに供給するための第 1 電源電位と、前記電気光学素子に対して逆バイアスを掛けるための第 2 電源電位とを、対応する画素行の各画素に選択的に供給する電源供給線群と、

前記画素アレイ部の複数の画素行を単位とし、前記電源供給線群における前記複数の画素行に対応する複数の電源供給線に対して同じタイミングで前記第 1 電源電位と前記第 2 電源電位とを出力する電源供給走査回路と、

前記信号線に対して映像信号と、当該映像信号の基準となる第 1 基準電位と、当該第 1 基準電位よりも高い第 2 基準電位とを選択的に出力する信号出力回路と、

前記駆動トランジスタのゲート電極を初期化して、当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタの他方の電極の電位を変化させる閾値補正処理について、前記初期化電位を前記第 1 基準電位として前記複数の画素行に対して共通に実行する 1 回目の閾値補正処理と、前記初期化電位を前記第 2 基準電位として画素行ごとに実行する 2 回目の閾値補正処理との間において、前記信号線の電位が前記第 1 基準電位のときに前記複数の画素行に対して共通に前記書込みトランジスタを導通状態にする書込み走査回路と

を備えた表示装置。

【請求項 2】

前記書込み走査回路は、前記電源供給走査回路から前記電源供給線に対して前記第 1 電源電位が供給され、前記信号供給回路から前記信号線に対して前記第 1 基準電位が出力されているときに前記書込みトランジスタを導通状態にする

請求項 1 記載の表示装置。

【請求項 3】

前記信号出力回路は、1 水平走査期間において前記第 1 基準電位、前記第 2 基準電位、前記映像信号の順に前記信号線に対して出力する

請求項 1 記載の表示装置。

【請求項 4】

電気光学素子を駆動する駆動トランジスタと、前記画素アレイ部の画素列ごとに配線された信号線と前記駆動トランジスタのゲート電極との間に接続された書込みトランジスタとを含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記電気光学素子を発光駆動するための駆動電流を前記駆動トランジスタに供給するための第 1 電源電位と、前記電気光学素子に対して逆バイアスを掛けるための第 2 電源電位とを、対応する画素行の各画素に選択的に供給する電源供給線群と、

前記画素アレイ部の複数の画素行を単位とし、前記電源供給線群における前記複数の画素行に対応する複数の電源供給線に対して同じタイミングで前記第 1 電源電位と前記第 2 電源電位とを出力する電源供給走査回路と、

前記信号線に対して映像信号と、当該映像信号の基準となる第 1 基準電位と、当該第 1 基準電位よりも高い第 2 基準電位とを選択的に出力する信号出力回路とを備えた表示装置の駆動に当たって、

前記駆動トランジスタのゲート電極を初期化して、当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタの他方の電極の電位を変化させる閾値補正処理について、前記初期化電位を前記第 1 基準電位として前記複数の画素行に対して共通に実行する 1 回目の閾値補正処理と、前記初期化電位を前記第 2 基準電位として画素行ごとに実行する 2 回目の閾値補正処理との間において、前記信号線の電

10

20

30

40

50

位が前記第 1 基準電位のとときに前記複数の画素行に対して共通に前記書込みトランジスタを導通状態にする

表示装置の駆動方法。

【請求項 5】

電気光学素子を駆動する駆動トランジスタと、前記画素アレイ部の画素列ごとに配線された信号線と前記駆動トランジスタのゲート電極との間に接続された書込みトランジスタとを含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記電気光学素子を発光駆動するための駆動電流を前記駆動トランジスタに供給するための第 1 電源電位と、前記電気光学素子に対して逆バイアスを掛けるための第 2 電源電位とを、対応する画素行の各画素に選択的に供給する電源供給線群と、

前記画素アレイ部の複数の画素行を単位とし、前記電源供給線群における前記複数の画素行に対応する複数の電源供給線に対して同じタイミングで前記第 1 電源電位と前記第 2 電源電位とを出力する電源供給走査回路と、

前記信号線に対して映像信号と、当該映像信号の基準となる第 1 基準電位と、当該第 1 基準電位よりも高い第 2 基準電位とを選択的に出力する信号出力回路と、

前記駆動トランジスタのゲート電極を初期化して、当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタの他方の電極の電位を変化させる閾値補正処理について、前記初期化電位を前記第 1 基準電位として前記複数の画素行に対して共通に実行する 1 回目の閾値補正処理と、前記初期化電位を前記第 2 基準電位として画素行ごとに実行する 2 回目の閾値補正処理との間において、前記信号線の電位が前記第 1 基準電位のとときに前記複数の画素行に対して共通に前記書込みトランジスタを導通状態にする書込み走査回路と

を備えた表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、表示装置の駆動方法および電子機器に関し、特に電気光学素子を含む画素が行列状（マトリクス状）に 2 次元配置された平面型（フラットパネル型）の表示装置、当該表示装置の駆動方法および当該表示装置を有する電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、発光素子を含む画素（画素回路）が行列状に配置されてなる平面型の表示装置が急速に普及している。平面型の表示装置としては、画素の発光素子として、デバイスに流れる電流値に応じて発光輝度が変化するいわゆる電流駆動型の電気光学素子、例えば有機薄膜に電界をかけると発光する現象を利用した有機 EL (Electro Luminescence) 素子を用いた有機 EL 表示装置が開発され、商品化が進められている。

【0003】

有機 EL 表示装置は次のような特長を持っている。すなわち、有機 EL 素子は、10V 以下の印加電圧で駆動できるために低消費電力である。有機 EL 素子は、自発光素子であるために、画素ごとに液晶にて光源（バックライト）からの光強度を制御することによって画像を表示する液晶表示装置に比べて、画像の視認性が高く、しかもバックライト等の照明部材を必要としないために軽量化および薄型化が容易である。さらに、有機 EL 素子の応答速度が数 μ s e c 程度と非常に高速であるために動画表示時の残像が発生しない。

【0004】

有機 EL 表示装置では、液晶表示装置と同様に、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、電気光学素子の発光期間が走査線（即ち、画素数）の増加によって減少するために、大型でかつ高精細な表示装置の実現が難し

10

20

30

40

50

いなどの問題がある。

【 0 0 0 5 】

そのため、近年、電気光学素子に流れる電流を、当該電気光学素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、TFT(Thin Film Transistor; 薄膜トランジスタ)）によって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。アクティブマトリクス方式の表示装置は、電気光学素子が1フレームの期間に亘って発光を持続するために、大型でかつ高精細な表示装置の実現が容易である。

【 0 0 0 6 】

ところで、一般的に、有機EL素子のI-V特性（電流-電圧特性）は、時間が経過すると劣化（いわゆる、経時劣化）することが知られている。有機EL素子を電流駆動するトランジスタ（以下、「駆動トランジスタ」と記述する）としてNチャネル型のTFTを用いた画素回路では、駆動トランジスタのソース電極側に有機EL素子が接続されることになるために、有機EL素子のI-V特性が経時劣化すると、駆動トランジスタのゲート-ソース間電圧 V_{gs} が変化し、その結果、有機EL素子の発光輝度も変化する。

10

【 0 0 0 7 】

このことについてより具体的に説明する。駆動トランジスタのソース電位は、駆動トランジスタと有機EL素子の動作点で決まる。そして、有機EL素子のI-V特性が劣化すると、駆動トランジスタと有機EL素子の動作点が変わってしまうために、駆動トランジスタのゲート電極に同じ電圧を印加したとしても駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース-ゲート間電圧 V_{gs} が変化するために、駆動トランジスタに流れる電流値が変化する。その結果、有機EL素子に流れる電流値も変化するために、有機EL素子の発光輝度が変化することになる。

20

【 0 0 0 8 】

また、特にポリシリコンTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度（以下、「駆動トランジスタの移動度」と記述する） μ が経時的に変化したり、製造プロセスのばらつきによって閾値電圧 V_{th} や移動度 μ のトランジスタ特性が画素ごとに異なったりすることがある（画素個々のトランジスタ特性にばらつきがある）。

30

【 0 0 0 9 】

駆動トランジスタの閾値電圧 V_{th} や移動度 μ が画素ごとに異なると、画素ごとに駆動トランジスタに流れる電流値にばらつきが生じるために、駆動トランジスタのゲート電極に画素間で同じ電圧を印加しても、有機EL素子の発光輝度に画素間でばらつきが生じ、その結果、画面のユニフォームティ（一様性）が損なわれる。

【 0 0 1 0 】

そこで、有機EL素子のI-V特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の特性変動に対する補償機能、さらには駆動トランジスタの閾値電圧 V_{th} の変動に対する補正（以下、「閾値補正」と記述する）や、駆動トランジスタの移動度 μ の変動に対する補正（以下、「移動度補正」と記述する）の各補正機能を画素回路の各々に持たせる構成を採っている（例えば、特許文献1参照）。

40

【 0 0 1 1 】

このように、画素回路の各々に、有機EL素子の特性変動に対する補償機能および駆動トランジスタの閾値電圧 V_{th} や移動度 μ の変動に対する補正機能を持たせることで、有機EL素子のI-V特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしたとしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つことができるために、有機EL表示装置の表示品質を向上できる。

【 0 0 1 2 】

50

特許文献1記載の従来技術では、画素回路の各々に、有機EL素子の特性変動に対する補償機能および駆動トランジスタの閾値電圧 V_{th} や移動度 μ の変動に対する補正機能を持たせることで、有機EL素子のI-V特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしたとしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つことができる。

【0013】

【特許文献1】特開2006-133542号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

ところで、有機EL素子等の電気光学素子を含む画素が行列状に配置されてなる表示装置では、一般的に、行列状の画素配列に対して画素行（以下、「ライン」と記述する場合もある）ごとに、走査線や電源供給線等の複数の制御線を配線し、これら複数の制御線の各々を通してラインごとに走査信号等の制御信号や電源電圧を画素に供給する構成が採られる。この場合、複数の制御線の各々を駆動する走査駆動系の各ドライバは、ラインごとに配線された複数の制御線の各々に対応した数の出力段を持つことになる。

【0015】

一方、近年、表示装置の高精細化が進められており、高精細化に比例して画素数が増える傾向にある。そして、画素数が増えるとライン数（行数）も増え、それに伴って走査駆動系の各ドライバの出力段数が増加するために、その増加分だけ走査駆動系の回路規模が大きくなる。すると、走査駆動系の回路部分が占める面積が増大するために、当該走査駆動系を含むパネルモジュールのサイズが増大し、モバイル機器などの電子機器への搭載が制限されることになる。

【0016】

また、ラインごとに配線された走査線や電源供給線等の複数の制御線に対して、走査駆動系の各ドライバの出力段数をライン数に対応した数に設定する、という既成概念に捉われないことなく、ライン数が増えるか否かに拘わらず、走査駆動系のドライバの出力段数を削減できれば、その削減分だけ走査駆動系の回路規模が小さくなり、走査駆動系の回路部分が占める面積を縮小できるために、パネルモジュールのサイズの縮小化を図ることができる。

【0017】

そこで、本発明は、走査駆動系のドライバの出力段数を削減し、パネルモジュールのサイズの縮小化を可能にした表示装置、当該表示装置の駆動方法および当該表示装置を用いた電子機器を提供することを目的とする。

【課題を解決するための手段】

【0018】

本発明による表示装置は、

電気光学素子を駆動する駆動トランジスタと、前記画素アレイ部の画素列ごとに配線された信号線と前記駆動トランジスタのゲート電極との間に接続された書込みトランジスタとを含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記電気光学素子を発光駆動するための駆動電流を前記駆動トランジスタに供給するための第1電源電位と、前記電気光学素子に対して逆バイアスを掛けるための第2電源電位とを、対応する画素行の各画素に選択的に供給する電源供給線群と、

前記画素アレイ部の複数の画素行を単位とし、前記電源供給線群における前記複数の画素行に対応する複数の電源供給線に対して同じタイミングで前記第1電源電位と前記第2電源電位とを出力する電源供給走査回路と、

前記信号線に対して映像信号と、当該映像信号の基準となる第1基準電位と、当該第1基準電位よりも高い第2基準電位とを選択的に出力する信号出力回路と、

前記駆動トランジスタのゲート電極を初期化して、当該初期化電位から前記駆動トラン

10

20

30

40

50

ジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタの他方の電極の電位を変化させる閾値補正処理について、前記初期化電位を前記第1基準電位として前記複数の画素行に対して共通に実行する1回目の閾値補正処理と、前記初期化電位を前記第2基準電位として画素行ごとに実行する2回目の閾値補正処理との間において、前記信号線の電位が前記第1基準電位のときに前記複数の画素行に対して共通に前記書込みトランジスタを導通状態にする書込み走査回路と

を備えたことを特徴としている。

【0019】

そして、上記構成の表示装置は、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置として用いることができる。

10

【0020】

上記構成の表示装置および当該表示装置を有する電子機器において、電源供給走査回路が、画素アレイ部の複数 X (X は2以上の整数)の画素行を単位とし、当該 X 本の電源供給線に対して同じタイミングで第1電源電位と第2電源電位とを出力する、即ち電源供給線の駆動タイミングを X 本の電源供給線で共通にすることで、電源供給線群の各電源供給線と電源供給走査回路の出力段とが X 対1の関係をもって対応付けられる。

【0021】

すなわち、書込み走査回路の出力段が画素アレイ部の行数分だけ設けられているのに対して、電源供給走査回路の出力段が画素アレイ部の全行数の X 分の1設けられていることになる。このように、電源供給走査回路の出力段を画素アレイ部の全行数の X 分の1に削減できることで、電源供給走査回路のドライバの回路規模を、その出力段を画素アレイ部の行数分設ける場合に比べて縮小できるために、その分だけ電源供給走査回路を含む走査駆動系全体の回路規模を縮小できる。

20

【0022】

ここで、電源供給線の駆動タイミングを X 本の電源供給線で共通化することに伴って、 X 本の電源供給線において、駆動タイミング的に後の電源供給線になればなる程それだけ1回目の閾値補正処理が終了してから映像信号が書き込まれるまでの時間が長くなり、駆動トランジスタのリークなどに起因して駆動トランジスタのゲート電位やソース電位が変動するために、1回目の閾値補正処理によって閾値電圧に収束した筈の駆動トランジスタのゲート-ソース間電圧が当該閾値電圧からずれてしまう。そこで、駆動トランジスタのゲート-ソース間電圧がその閾値電圧からずれてしまったとしても、1回目の閾値補正処理に加えて、第1基準電位よりも高い第2基準電位を初期化電位として画素行ごとに2回目の閾値補正処理を実行することで、駆動トランジスタのゲート-ソース間電圧を閾値電圧以下とすることなく閾値補正処理に移行できるために、駆動トランジスタのゲート-ソース間電圧を画素行ごとに閾値電圧に収束させた状態で映像信号の書込み処理を行うことができる。

30

【0023】

そして、1回目の閾値補正処理と2回目の閾値補正処理との間において、信号線の電位が第1基準電位のときに X 本の画素行に対して共通に書込みトランジスタを導通状態にして第1基準電位を駆動トランジスタのゲート電極に書き込むことで、電源供給線の駆動タイミングを共通化する本数 X が増えても、映像信号の振幅をそのままにしつつ、1回目の閾値補正処理と2回目の閾値補正処理の間の時間差による駆動トランジスタのソース電位の上昇量を小さく抑えることができるために、電源供給線の駆動タイミングを共通化できる本数 X を増やすことができる。

40

【0024】

本発明による表示装置の駆動方法は、

電気光学素子を駆動する駆動トランジスタと、前記画素アレイ部の画素列ごとに配線された信号線と前記駆動トランジスタのゲート電極との間に接続された書込みトランジスタ

50

とを含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の画素行ごとに配線され、前記電気光学素子を発光駆動するための駆動電流を前記駆動トランジスタに供給するための第1電源電位と、前記電気光学素子に対して逆バイアスを掛けるための第2電源電位とを、対応する画素行の各画素に選択的に供給する電源供給線群と、

前記画素アレイ部の複数の画素行を単位とし、前記電源供給線群における前記複数の画素行に対応する複数の電源供給線に対して同じタイミングで前記第1電源電位と前記第2電源電位とを出力する電源供給走査回路と、

前記信号線に対して映像信号と、当該映像信号の基準となる第1基準電位と、当該第1基準電位よりも高い第2基準電位とを選択的に出力する信号出力回路とを備えた表示装置において、

前記駆動トランジスタのゲート電極を初期化して、当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタの他方の電極の電位を変化させる閾値補正処理について、前記初期化電位を前記第1基準電位として前記複数の画素行に対して共通に実行する1回目の閾値補正処理と、前記初期化電位を前記第2基準電位として画素行ごとに実行する2回目の閾値補正処理との間において、前記信号線の電位が前記第1基準電位のときに前記複数の画素行に対して共通に前記書込みトランジスタを導通状態にする

ことを特徴としている。

【0025】

電源供給線の駆動タイミングを複数の画素行（複数ライン）で共通化し、第1基準電位を初期化電圧として用いて複数の画素行で共通に行う1回目の閾値補正処理に加えて、第1基準電位よりも高い第2基準電位を初期化電圧として用いて画素行ごとに行う2回目の閾値補正処理を実行する有機EL表示装置において、1回目の閾値補正処理と2回目の閾値補正処理との間で、信号線の電位が第1基準電位のときに、複数ライン共通で書込みトランジスタを導通状態にして第1基準電位を駆動トランジスタのゲート電極に書き込むことで、電源供給線の駆動タイミングを共通化する本数が増えても、映像信号の振幅をそのままにしつつ、1回目の閾値補正処理と2回目の閾値補正処理の間の時間差による駆動トランジスタのソース電位の上昇量を小さく抑えることができるために、電源供給線の駆動タイミングを共通化できる本数を増やすことができる。

【発明の効果】

【0026】

本発明によれば、電源供給線の駆動タイミングを複数の画素行で共通化することで、電源供給走査回路の回路規模を、その出力段を画素アレイ部の行数分設ける場合に比べて縮小でき、その分だけ電源供給走査回路を含む走査駆動系全体の回路規模を縮小できるために、パネルモジュールのサイズの縮小化を図ることができる。

【0027】

そして、1回目の閾値補正処理に加えて、2回目の閾値補正処理を実行することで、駆動トランジスタのゲート-ソース間電圧を駆動トランジスタの閾値電圧に収束させて当該閾値電圧の画素ごとのばらつきを補正（キャンセル）する、という本来の閾値補正処理を正常に行うことができるために、閾値電圧の画素ごとのばらつきに起因するスジやムラといった画質不良も起こらず、よって表示画像の高画質化を図ることができる。

【0028】

また、1回目の閾値補正処理と2回目の閾値補正処理との間で、信号線の電位が第1基準電位のときに、複数ライン共通で書込みトランジスタを導通状態することで、1回目の閾値補正処理と2回目の閾値補正処理の間での駆動トランジスタのソース電位の上昇量を小さく抑えることができるために、電源供給線の駆動タイミングを共通化できる本数を増やすことができ、その結果、走査駆動系全体の回路規模のさらなる縮小化、パネルモジュールのさらなる縮小化を図ることができる。

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0030】

[システム構成]

図1は、本発明の前提となるアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。

【0031】

ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子（有機電界発光素子）を画素（画素回路）の発光素子として用いたアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明するものとする。

10

【0032】

図1に示すように、本発明の前提となる有機EL表示装置10は、発光素子を含む複数の画素（PXC）20と、当該画素20が行列状（マトリクス状）に2次元配置された画素アレイ部30と、当該画素アレイ部30の周辺に配置され、各画素20を駆動する駆動部とを有する構成となっている。

【0033】

画素20を駆動する駆動部としては、例えば、書込み走査回路40および電源供給走査回路50からなる走査駆動系と、信号出力回路60からなる信号供給系とが設けられている。本発明の前提となる有機EL表示装置10の場合、画素アレイ部30が形成された表示パネル70上に信号出力回路60が設けられているのに対し、走査駆動系である書込み走査回路40および電源供給走査回路50は、表示パネル70の外部に設けられている。

20

【0034】

ここで、有機EL表示装置10がカラー表示用の表示装置の場合は、1つの画素は複数の副画素（サブピクセル）から構成され、この副画素が画素20に相当することになる。より具体的には、カラー表示用の表示装置では、1つの画素は、赤色（R）光を発光する副画素、緑色（G）光を発光する副画素、青色（B）光を発光する副画素の3つの副画素から構成される。

【0035】

ただし、1つの画素としては、RGBの3原色の副画素の組み合わせに限られるものではなく、3原色の副画素にさらに1色あるいは複数色の副画素を加えて1つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色（W）光を発光する副画素を加えて1つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも1つの副画素を加えて1つの画素を構成したりすることも可能である。

30

【0036】

画素アレイ部30には、m行n列の画素20の配列に対して、第1の方向（図1では、左右方向/水平方向）に沿って走査線31-1～31-mと電源供給線32-1～32-mとが画素行ごとに配線され、第1の方向と直交する第2の方向（図1では、上下方向/垂直方向）に沿って信号線33-1～33-nが画素列ごとに配線されている。

【0037】

本発明の前提となる有機EL表示装置10では、走査線31-1～31-mは、書込み走査回路40の対応する行の出力端にそれぞれ接続されている。電源供給線32-1～32-mは、電源供給走査回路50の対応する行の出力端にそれぞれ接続されている。信号線33-1～33-nは、信号出力回路60の対応する列の出力端にそれぞれ接続されている。

40

【0038】

画素アレイ部30は、通常、ガラス基板などの透明絶縁基板上に形成されている。これにより、有機EL表示装置10は、平面型（フラット型）のパネル構造となっている。画素アレイ部30の各画素20の駆動回路は、アモルファスシリコンTF Tまたは低温ポリシリコンTF Tを用いて形成することができる。

50

【0039】

書込み走査回路40は、クロックパルスckに同期してスタートパルスspを順にシフト(転送)するシフトレジスタ等によって構成され、画素アレイ部30の各画素20への映像信号の書込みに際して、走査線31-1~31-mに順次書込みパルス(走査信号)WS1~WSmを供給することによって画素アレイ部30の各画素20を行単位で順番に走査(線順次走査)する。

【0040】

電源供給走査回路50は、クロックパルスckに同期してスタートパルスspを順にシフトするシフトレジスタ等によって構成され、書込み走査回路40による線順次走査に同期して、第1電源電位Vccpと当該第1電源電位Vccpよりも低い第2電源電位Vin1で切り替わる電源供給線電位DS1~DSmを電源供給線32-1~32-mに供給することにより、画素20の発光/非発光の制御を行なうとともに、発光素子である有機EL素子に駆動電流を供給する。

10

【0041】

信号出力回路60は、表示パネル70の外部の信号供給源(図示せず)から供給される輝度情報に応じた映像信号の信号電圧(以下、単に「信号電圧」と記述する場合もある)Vsигと基準電位Vofsのいずれか一方を適宜選択し、信号線33-1~33-nを介して画素アレイ部30の各画素20に対して例えば行単位で書き込む。すなわち、信号出力回路60は、映像信号の信号電圧Vsигを行(ライン)単位で書き込む線順次書き込みの駆動形態を採っている。

20

【0042】

(画素回路)

図2は、画素(画素回路)20の具体的な構成例を示す回路図である。

【0043】

図2に示すように、画素20は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子21と、当該有機EL素子21を駆動する駆動回路とによって構成されている。有機EL素子21は、全ての画素20に対して共通に配線(いわゆる、ベタ配線)された共通電源供給線34にカソード電極が接続されている。

30

【0044】

有機EL素子21を駆動する駆動回路は、駆動トランジスタ22と、書込みトランジスタ(サンプリングトランジスタ)23と、保持容量24とを有する構成となっている。ここでは、駆動トランジスタ22および書込みトランジスタ23としてNチャネル型のTFETを用いている。ただし、駆動トランジスタ22および書込みトランジスタ23の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0045】

なお、駆動トランジスタ22および書込みトランジスタ23としてNチャネル型のTFETを用いると、アモルファスシリコン(a-Si)プロセスを用いることができる。a-Siプロセスを用いることで、TFETを作成する基板の低コスト化、ひいては本有機EL表示装置10の低コスト化を図ることが可能になる。また、駆動トランジスタ22および書込みトランジスタ23を同じ導電型の組み合わせにすると、両トランジスタ22,23を同じプロセスで作成することができるため低コスト化に寄与できる。

40

【0046】

駆動トランジスタ22は、一方の電極(ソース/ドレイン電極)が有機EL素子21のアノード電極に接続され、他方の電極(ドレイン/ソース電極)が電源供給線32(32-1~32-m)に接続されている。

【0047】

書込みトランジスタ23は、ゲート電極が走査線31(31-1~31-m)に接続され、一方の電極(ソース/ドレイン電極)が信号線33(33-1~33-n)に接続され、他方の電極(ドレイン/ソース電極)が駆動トランジスタ22のゲート電極に接続さ

50

れている。

【0048】

駆動トランジスタ22および書込みトランジスタ23において、一方の電極とは、ソース/ドレイン領域に電氣的に接続された金属配線を言い、他方の電極とは、ドレイン/ソース領域に電氣的に接続された金属配線を言う。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

【0049】

保持容量24は、一方の電極が駆動トランジスタ22のゲート電極に接続され、他方の電極が駆動トランジスタ22の他方の電極および有機EL素子21のアノード電極に接続されている。

10

【0050】

なお、有機EL素子21の駆動回路としては、駆動トランジスタ22および書込みトランジスタ23の2つのトランジスタと、保持容量24の1つの容量とからなる回路構成のものに限られるものではなく、一方の電極が有機EL素子21のアノード電極に、他方の電極が固定電位にそれぞれ接続されることで、有機EL素子21の容量不足分を補い、保持容量24に対する映像信号の書込みゲインを高める作用をなす補助容量を必要に応じて設けた回路構成とすることも可能である。

【0051】

上記構成の画素20において、書込みトランジスタ23は、書込み走査回路40から走査線31を通してゲート電極に印加される高レベルの走査信号WSに应答して導通状態となることにより、信号線33を通して信号出力回路60から供給される輝度情報に応じた映像信号の信号電圧Vsigまたは基準電位Vofsをサンプリングして画素20内に書き込む。この書き込まれた信号電圧Vsigまたは基準電位Vofsは、駆動トランジスタ22のゲート電極に印加されるとともに保持容量24に保持される。

20

【0052】

駆動トランジスタ22は、電源供給線32(32-1~32-m)の電位DSが第1電源電位Vccpにあるときには、一方の電極がドレイン電極、他方の電極がソース電極となって飽和領域で動作し、電源供給線32から電流の供給を受けて有機EL素子21を電流駆動にて発光駆動する。より具体的には、駆動トランジスタ22は、飽和領域で動作することにより、保持容量24に保持された信号電圧Vsigの電圧値に応じた電流値の駆動電流を有機EL素子21に供給し、当該有機EL素子21を電流駆動することによって発光させる。

30

【0053】

駆動トランジスタ22はさらに、電源供給線32(32-1~32-m)の電位DSが第1電源電位Vccpから第2電源電位Viniに切り替わったときには、一方の電極がソース電極、他方の電極がドレイン電極となってスイッチングトランジスタとして動作することで、有機EL素子21への駆動電流の供給を停止し、有機EL素子21を非発光状態にする。すなわち、駆動トランジスタ22は、有機EL素子21の発光/非発光を制御するトランジスタとしての機能をも併せ持っている。

40

【0054】

この駆動トランジスタ22のスイッチング動作により、有機EL素子21が非発光状態となる期間(非発光期間)を設け、有機EL素子21の発光期間と非発光期間の割合(デューティ)を制御するデューティ制御を行なうことで、1フレーム期間に亘って画素が発光することに伴う残像ボケを低減できる。これにより、特に動画の画品位をより優れたものとすることができる。

【0055】

ここで、信号出力回路60から信号線33を通して選択的に供給される基準電位Vofsは、輝度情報に応じた映像信号の信号電圧Vsigの基準となる電位(例えば、黒レベルに相当する電位)である。

50

【0056】

電源供給走査回路50から電源供給線32を通して選択的に供給される第1,第2電源電位 V_{ccp} , V_{ini} のうち、第1電源電位 V_{ccp} は有機EL素子21を発光駆動するための駆動電流を駆動トランジスタ22に供給するための電源電位である。また、第2電源電位 V_{ini} は、有機EL素子21に対して逆バイアスを掛けるための電源電位であり、基準電位 V_{ofs} よりも低い電位、例えば、駆動トランジスタ22の閾値電圧を V_{th} とすると $V_{ofs} - V_{th}$ よりも低い電位、好ましくは $V_{ofs} - V_{th}$ よりも十分に低い電位に設定される。

【0057】

(画素構造)

10

図3は、画素20の断面構造の一例を示す断面図である。図3に示すように、画素20は、駆動トランジスタ22等を含む駆動回路が形成されたガラス基板201上に絶縁膜202、絶縁平坦化膜203およびウインド絶縁膜204がその順に形成され、当該ウインド絶縁膜204の凹部204Aに有機EL素子21が設けられた構成となっている。ここでは、駆動回路の各構成素子のうち、駆動トランジスタ22のみを図示し、他の構成素子については省略している。

【0058】

有機EL素子21は、上記ウインド絶縁膜204の凹部204Aの底部に形成された金属等からなるアノード電極205と、当該アノード電極205上に形成された有機層(電子輸送層、発光層、ホール輸送層/ホール注入層)206と、当該有機層206上に全画素共通に形成された透明導電膜等からなるカソード電極207とから構成されている。

20

【0059】

この有機EL素子21において、有機層206は、アノード電極205上にホール輸送層/ホール注入層2061、発光層2062、電子輸送層2063および電子注入層(図示せず)が順次堆積されることによって形成される。そして、図2の駆動トランジスタ22による電流駆動の下に、駆動トランジスタ22からアノード電極205を通して有機層206に電流が流れることで、当該有機層206内の発光層2062において電子と正孔が再結合する際に発光するようになっている。

【0060】

駆動トランジスタ22は、ゲート電極221と、半導体層222の一方側に設けられたソース/ドレイン領域223と、半導体層222の他方側に設けられたドレイン/ソース領域224と、半導体層222のゲート電極221と対向する部分のチャネル形成領域225とから構成されている。ソース/ドレイン領域223は、コンタクトホールを介して有機EL素子21のアノード電極205と電氣的に接続されている。

30

【0061】

そして、図3に示すように、駆動トランジスタ22を含む駆動回路が形成されたガラス基板201上に、絶縁膜202、絶縁平坦化膜203およびウインド絶縁膜204を介して有機EL素子21が画素単位で形成された後は、パッシベーション膜208を介して封止基板209が接着剤210によって接合され、当該封止基板209によって有機EL素子21が封止されることにより表示パネル70が形成される。

40

【0062】

(有機EL表示装置の基本的な回路動作)

次に、上記構成の画素20が行列状に2次元配置されてなる有機EL表示装置10の基本的な回路動作について、図4のタイミング波形図を基に図5および図6の動作説明図を用いて説明する。

【0063】

なお、図5および図6の動作説明図では、図面の簡略化のために、書込みトランジスタ23をスイッチのシンボルで図示している。また、有機EL素子21の等価容量(寄生容量) C_{el} についても図示している。

【0064】

50

図4のタイミング波形図には、走査線31(31-1~31-m)の電位(走査信号)WSの変化、電源供給線32(32-1~32-m)の電位DSの変化、駆動トランジスタ22のゲート電位Vgおよびソース電位Vsの変化を示している。

【0065】

<前フレームの発光期間>

図4のタイミング波形図において、時刻t1以前は、前のフレーム(フィールド)における有機EL素子21の発光期間となる。この前フレームの発光期間では、電源供給線32の電位DSが第1電源電位(以下、「高電位」と記述する)Vccpにあり、また、書込みトランジスタ23が非導通状態にある。

【0066】

このとき、駆動トランジスタ22は飽和領域で動作するように設定されているために、図5(A)に示すように、駆動トランジスタ22のゲート-ソース間電圧Vgsに応じた駆動電流(ドレイン-ソース間電流)Idsが、電源供給線32から駆動トランジスタ22を通して有機EL素子21に供給される。よって、有機EL素子21が駆動電流Idsの電流値に応じた輝度で発光する。

【0067】

<閾値補正準備期間>

時刻t1になると、線順次走査の新しいフレーム(現フレーム)に入る。そして、図5(B)に示すように、電源供給線32の電位DSが高電位Vccpから、信号線33の基準電位Vofsに対してVofs-Vthよりも十分に低い第2電源電位(以下、「低電位」と記述する)Viniに切り替わる。

【0068】

ここで、有機EL素子21の閾値電圧をVthel、共通電源供給線34の電位をVcatとすると、低電位ViniをVini<Vthel+Vcatとすると、駆動トランジスタ22のソース電位Vsが低電位Viniにほぼ等しくなるために、有機EL素子21は逆バイアス状態となって消光する。

【0069】

次に、時刻t2で走査線31の電位WSが低電位側から高電位側に遷移することで、図5(C)に示すように、書込みトランジスタ23が導通状態となる。このとき、信号出力回路60から信号線33に対して基準電位Vofsが供給されているために、駆動トランジスタ22のゲート電位Vgが基準電位Vofsになる。また、駆動トランジスタ22のソース電位Vsは、基準電位Vofsよりも十分に低い電位Viniにある。

【0070】

このとき、駆動トランジスタ22のゲート-ソース間電圧VgsはVofs-Viniとなる。ここで、Vofs-Viniが駆動トランジスタ22の閾値電圧Vthよりも大きくないと、後述する閾値補正処理を行うことができないために、Vofs-Vini>Vthなる電位関係に設定する必要がある。

【0071】

このように、駆動トランジスタ22のゲート電位Vgを基準電位Vofsに、ソース電位Vsを低電位Viniにそれぞれ固定して(確定させて)初期化する処理が、後述する閾値補正処理を行う前の準備(閾値補正準備)の処理である。したがって、基準電位Vofsおよび低電位Viniが、駆動トランジスタ22のゲート電位Vgおよびソース電位Vsの各初期化電位となる。

【0072】

<閾値補正期間>

次に、時刻t3で、図5(D)に示すように、電源供給線32の電位DSが低電位Viniから高電位Vccpに切り替わると、駆動トランジスタ22のゲート電位Vgが保たれた状態で、当該ゲート電位Vgから駆動トランジスタ22の閾値電圧Vthを減じた電位に向かって駆動トランジスタ22のソース電位Vsが上昇を開始する。やがて、駆動トランジスタ22のゲート-ソース間電圧Vgsが駆動トランジスタ22の閾値電圧Vth

10

20

30

40

50

に収束し、当該閾値電圧 V_{th} に相当する電圧が保持容量 24 に保持される。

【0073】

ここでは、便宜上、駆動トランジスタ 22 のゲート電位 V_g を保った状態で、駆動トランジスタ 22 のゲート電極の初期化電位（基準電位） V_{ofs} を基準として、当該初期化電位 V_{ofs} から駆動トランジスタ 22 の閾値電圧 V_{th} を減じた電位に向かって駆動トランジスタ 22 のソース電位 V_s を変化させ、具体的には上昇させ、最終的に収束した駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} を駆動トランジスタ 22 の閾値電圧 V_{th} として検出して当該閾値電圧 V_{th} に相当する電圧を保持容量 24 に保持する処理を行なう期間を閾値補正期間と呼んでいる。

【0074】

なお、この閾値補正期間において、電流が専ら保持容量 24 側に流れ、有機 EL 素子 21 側には流れないようにするために、有機 EL 素子 21 がカットオフ状態となるように共通電源供給線 34 の電位 V_{cat} を設定しておくこととする。

【0075】

次に、時刻 t_4 で走査線 31 の電位 W_S が低電位側に遷移することで、図 6 (A) に示すように、書込みトランジスタ 23 が非導通状態となる。このとき、駆動トランジスタ 22 のゲート電極が信号線 33 から電氣的に切り離されることによってフローティング状態になるが、ゲート - ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th} に等しいために、当該駆動トランジスタ 22 はカットオフ状態にある。したがって、駆動トランジスタ 22 にドレイン - ソース間電流 I_{ds} は流れない。

【0076】

< 信号書込み期間 & 移動度補正期間 >

次に、時刻 t_5 で、図 6 (B) に示すように、信号線 33 の電位が基準電位 V_{ofs} から映像信号の信号電圧 V_{sig} に切り替わる。続いて、時刻 t_6 で、走査線 31 の電位 W_S が高電位側に遷移することで、図 6 (C) に示すように、書込みトランジスタ 23 が導通状態になって映像信号の信号電圧 V_{sig} をサンプリングして画素 20 内に書き込む。

【0077】

この書込みトランジスタ 23 による信号電圧 V_{sig} の書き込みにより、駆動トランジスタ 22 のゲート電位 V_g が信号電圧 V_{sig} となる。そして、映像信号の信号電圧 V_{sig} による駆動トランジスタ 22 の駆動の際に、当該駆動トランジスタ 22 の閾値電圧 V_{th} が保持容量 24 に保持された閾値電圧 V_{th} に相当する電圧と相殺されることによって閾値補正が行われる。閾値補正の原理の詳細については後述する。

【0078】

このとき、有機 EL 素子 21 は始めカットオフ状態（ハイインピーダンス状態）にあるために、映像信号の信号電圧 V_{sig} に応じて電源供給線 32 から駆動トランジスタ 22 に流れる電流（ドレイン - ソース間電流 I_{ds} ）は、有機 EL 素子 21 の等価容量 C_{el} に流れ込み、当該等価容量 C_{el} の充電が開始される。

【0079】

この等価容量 C_{el} の充電により、駆動トランジスタ 22 のソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきは補正されており、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 22 の移動度 μ に依存したものとなる。

【0080】

ここで、映像信号の信号電圧 V_{sig} に対する保持容量 24 の保持電圧 V_{gs} の比率、即ち書込みゲインが 1（理想値）であると仮定すると、駆動トランジスタ 22 のソース電位 V_s が $V_{ofs} - V_{th} + V$ の電位まで上昇することで、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ となる。

【0081】

すなわち、駆動トランジスタ 22 のソース電位 V_s の上昇分 V は、保持容量 24 に保持された電圧（ $V_{sig} - V_{ofs} + V_{th}$ ）から差し引かれるように、換言すれば、保

10

20

30

40

50

持容量 24 の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 V は負帰還の帰還量となる。

【0082】

このように、駆動トランジスタ 22 に流れるドレイン - ソース間電流 I_{ds} に応じた帰還量 V で当該駆動トランジスタ 22 のゲート入力側に、即ちゲート - ソース間電圧 V_{gs} に負帰還をかけることにより、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す、即ち移動度 μ の画素ごとのばらつきを補正する移動度補正が行われる。

【0083】

より具体的には、駆動トランジスタ 22 のゲート電極に書き込まれる映像信号の信号振幅 $V_{in} (= V_{sig} - V_{ofs})$ が高いほどドレイン - ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量 V の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正が行われる。

【0084】

また、映像信号の信号振幅 V_{in} を一定とした場合、駆動トランジスタ 22 の移動度 μ が大きいほど負帰還の帰還量 V の絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。したがって、負帰還の帰還量 V は移動度補正の補正量とも言える。移動度補正の原理の詳細については後述する。

【0085】

< 発光期間 >

次に、時刻 t_7 で走査線 31 の電位 W_S が低電位側に遷移することで、図 6 (D) に示すように、書込みトランジスタ 23 が非導通状態となる。これにより、駆動トランジスタ 22 のゲート電極は、信号線 33 から電氣的に切り離されるためにフローティング状態になる。

【0086】

ここで、駆動トランジスタ 22 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 22 のゲート - ソース間に保持容量 24 が接続されていることにより、駆動トランジスタ 22 のソース電位 V_s が変動すると、当該ソース電位 V_s の変動に連動して (追従して) 駆動トランジスタ 22 のゲート電位 V_g も変動する。このように、駆動トランジスタ 22 のゲート電位 V_g がソース電位 V_s の変動に連動して変動する動作が、保持容量 24 によるブートストラップ動作である。

【0087】

駆動トランジスタ 22 のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} が有機 EL 素子 21 に流れ始めることにより、有機 EL 素子 21 のアノード電位は、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} に応じて上昇する。

【0088】

そして、有機 EL 素子 21 のアノード電位が $V_{thel} + V_{cat}$ を越えると、有機 EL 素子 21 に駆動電流 (発光電流) が流れ始めるために、有機 EL 素子 21 が発光を開始する。また、有機 EL 素子 21 のアノード電位の上昇は、即ち駆動トランジスタ 22 のソース電位 V_s の上昇に他ならない。駆動トランジスタ 22 のソース電位 V_s が上昇すると、保持容量 24 のブートストラップ動作により、駆動トランジスタ 22 のゲート電位 V_g も連動して上昇する。

【0089】

このとき、ブートストラップゲインが 1 (理想値) であると仮定した場合、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ で一定に保持される。そして、時刻 t_8 で信号線 33 の電位が映像信号の信号電圧 V_{sig} から基準電位 V_{ofs} に切り替わる。

【0090】

10

20

30

40

50

以上説明した一連の回路動作において、閾値補正準備、閾値補正、信号電圧 V_{sig} の書込み（信号書込み）および移動度補正の各処理動作は、1 水平走査期間（1 H）において実行される。また、信号書込みおよび移動度補正の各処理動作は、時刻 $t_6 - t_7$ の期間において並行して実行される。

【0091】

なお、ここでは、閾値補正処理を1回だけ実行する駆動法の場合を例に挙げて説明したが、この駆動法は一例に過ぎず、例えば、閾値補正処理を移動度補正および信号書込み処理と共に行う1水平走査期間に加えて、当該1水平走査期間に先行する複数の水平走査期間に分割して複数回実行する、いわゆる分割 V_{th} 補正を行う駆動法を採ることも可能である。

【0092】

このように、移動度補正および信号書込みを行う1水平走査期間と、当該1水平走査期間に先行する複数の水平走査期間に分割して閾値補正処理を複数回実行する駆動法を採ることにより、高精細化に伴う多画素化によって1水平走査期間に割り当てられる時間が短くなったとしても、閾値補正期間として十分な時間を確保することができるために、閾値補正処理を確実に行うことができる。

【0093】

（閾値補正の原理）

ここで、駆動トランジスタ22の閾値補正の原理について説明する。駆動トランジスタ22は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機EL素子21には駆動トランジスタ22から、次式(1)で与えられる一定のドレイン-ソース間電流（駆動電流） I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、 W は駆動トランジスタ22のチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量である。

【0094】

図7に、駆動トランジスタ22のドレイン-ソース間電流 I_{ds} 対ゲート-ソース間電圧 V_{gs} の特性を示す。

【0095】

この特性図に示すように、駆動トランジスタ22の閾値電圧 V_{th} の画素ごとのばらつきに対する補正を行わないと、閾値電圧 V_{th} が V_{th1} のとき、ゲート-ソース間電圧 V_{gs} に対応するドレイン-ソース間電流 I_{ds} が I_{ds1} になる。

【0096】

これに対して、閾値電圧 V_{th} が V_{th2} ($V_{th2} > V_{th1}$) のとき、同じゲート-ソース間電圧 V_{gs} に対応するドレイン-ソース間電流 I_{ds} が I_{ds2} ($I_{ds2} < I_{ds1}$) になる。すなわち、駆動トランジスタ22の閾値電圧 V_{th} が変動すると、ゲート-ソース間電圧 V_{gs} が一定であってもドレイン-ソース間電流 I_{ds} が変動する。

【0097】

一方、上記構成の画素（画素回路）20では、先述したように、発光時の駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が $V_{sig} - V_{ofs} + V_{th} - V$ であるために、これを式(1)に代入すると、ドレイン-ソース間電流 I_{ds} は、次式(2)で表される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - V)^2 \quad \dots \dots (2)$$

【0098】

すなわち、駆動トランジスタ22の閾値電圧 V_{th} の項がキャンセルされており、駆動トランジスタ22から有機EL素子21に供給されるドレイン-ソース間電流 I_{ds} は、駆動トランジスタ22の閾値電圧 V_{th} に依存しない。その結果、駆動トランジスタ22の製造プロセスのばらつきや経時変化により、駆動トランジスタ22の閾値電圧 V_{th} が画素ごとに変動したとしても、ドレイン-ソース間電流 I_{ds} が変動しないために、有機

10

20

30

40

50

EL素子21の発光輝度を一定に保つことができる。

【0099】

(移動度補正の原理)

次に、駆動トランジスタ22の移動度補正の原理について説明する。図8に、駆動トランジスタ22の移動度 μ が相対的に大きい画素Aと、駆動トランジスタ22の移動度 μ が相対的に小さい画素Bとを比較した状態で特性カーブを示す。駆動トランジスタ22をポリシリコン薄膜トランジスタなどで構成した場合、画素Aや画素Bのように、画素間で移動度 μ がばらつくことは避けられない。

【0100】

画素Aと画素Bで移動度 μ にばらつきがある状態で、駆動トランジスタ22のゲート電極に例えば両画素A, Bに同レベルの信号振幅 $V_{in} (= V_{sig} - V_{ofs})$ を書き込んだ場合に、何ら移動度 μ の補正を行わないと、移動度 μ の大きい画素Aに流れるドレイン-ソース間電流 I_{ds1} と移動度 μ の小さい画素Bに流れるドレイン-ソース間電流 I_{ds2} の間には大きな差が生じてしまう。このように、移動度 μ の画素ごとのばらつきに起因してドレイン-ソース間電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォームティが損なわれる。

【0101】

ここで、先述した式(1)のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン-ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 V は移動度 μ が大きくなるほど大きくなる。図8に示すように、移動度 μ の大きな画素Aの帰還量 V_1 は、移動度の小さな画素Bの帰還量 V_2 に比べて大きい。

【0102】

そこで、移動度補正処理によって駆動トランジスタ22のドレイン-ソース間電流 I_{ds} に応じた帰還量 V で当該駆動トランジスタ22のゲート入力側に、即ちゲート-ソース間電圧 V_{gs} に負帰還をかけることにより、移動度 μ が大きいほど負帰還が大きくなることになるために、移動度 μ の画素ごとのばらつきを抑制することができる。

【0103】

具体的には、移動度 μ の大きな画素Aで帰還量 V_1 の補正をかけると、ドレイン-ソース間電流 I_{ds} は I_{ds1} から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素Bの帰還量 V_2 は小さいために、ドレイン-ソース間電流 I_{ds} は I_{ds2} から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素Aのドレイン-ソース間電流 I_{ds1} と画素Bのドレイン-ソース間電流 I_{ds2} とはほぼ等しくなるために、移動度 μ の画素ごとのばらつきが補正される。

【0104】

以上をまとめると、移動度 μ の異なる画素Aと画素Bがあった場合、移動度 μ の大きい画素Aの帰還量 V_1 は移動度 μ の小さい画素Bの帰還量 V_2 に比べて大きくなる。つまり、移動度 μ が大きい画素ほど帰還量 V が大きく、ドレイン-ソース間電流 I_{ds} の減少量が大きくなる。

【0105】

したがって、駆動トランジスタ22のドレイン-ソース間電流 I_{ds} に応じた帰還量 V で、駆動トランジスタ22のゲート入力側、即ちゲート-ソース間電圧 V_{gs} に負帰還をかけることにより、移動度 μ の異なる画素のドレイン-ソース間電流 I_{ds} の電流値が均一化される。その結果、移動度 μ の画素ごとのばらつきを補正することができる。すなわち、駆動トランジスタ22に流れる電流(ドレイン-ソース間電流 I_{ds})に応じた帰還量 V で、駆動トランジスタ22のゲート入力側に負帰還をかける処理が移動度補正処理となる。

【0106】

ここで、図2に示した画素(画素回路)20において、閾値補正、移動度補正の有無による映像信号の信号電位(サンプリング電位) V_{sig} と駆動トランジスタ22のドレイン-ソース間電流 I_{ds} との関係について図9を用いて説明する。

10

20

30

40

50

【0107】

図9において、(A)は閾値補正および移動度補正を共に行わない場合、(B)は移動度補正を行わず、閾値補正のみを行った場合、(C)は閾値補正および移動度補正を共に行った場合をそれぞれ示している。図9(A)に示すように、閾値補正および移動度補正を共に行わない場合には、閾値電圧 V_{th} および移動度 μ の画素A, Bごとのばらつきに起因してドレイン・ソース間電流 I_{ds} に画素A, B間で大きな差が生じることになる。

【0108】

これに対して、閾値補正のみを行った場合は、図9(B)に示すように、当該閾値補正によってドレイン・ソース間電流 I_{ds} のばらつきをある程度低減できるものの、移動度 μ の画素A, Bごとのばらつきに起因する画素A, B間でのドレイン・ソース間電流 I_{ds} の差は残る。

10

【0109】

そして、閾値補正および移動度補正を共に行うことにより、図9(C)に示すように、閾値電圧 V_{th} および移動度 μ の画素A, Bごとのばらつきに起因する画素A, B間でのドレイン・ソース間電流 I_{ds} の差をほぼ無くすることができるために、どの階調においても有機EL素子21の輝度ばらつきは発生せず、良好な画質の表示画像を得ることができる。

【0110】

また、図2に示した画素20は、閾値補正および移動度補正の各補正機能に加えて、先述した保持容量24によるブートストラップ動作の機能を備えていることで、次のような作用効果を得ることができる。

20

【0111】

すなわち、有機EL素子21のI-V特性が経時変化し、これに伴って駆動トランジスタ22のソース電位 V_s が変化したとしても、保持容量24によるブートストラップ動作により、駆動トランジスタ22のゲート・ソース間電位 V_{gs} を一定に維持することができるために、有機EL素子21に流れる電流は変化せず一定となる。したがって、有機EL素子21の発光輝度も一定に保たれるために、有機EL素子21のI-V特性が経時変化したとしても、それに伴う輝度劣化のない画像表示を実現できる。

【0112】

[走査駆動系の問題点]

30

以上説明した、本発明の前提となる有機EL表示装置10では、走査駆動系のドライバである書込み走査回路40および電源供給走査回路50のいずれもが、各出力段と制御線群の各制御線(走査線31-1~31-mや電源供給線32-1~32-m)と1対1の関係をもって対応付けられている。すなわち、書込み走査回路40および電源供給走査回路50のいずれもが、画素アレイ部30のライン数(行数)mと同じ数だけ出力段を持っている。

【0113】

ここで、走査駆動系のドライバ(本例では、書込み走査回路40および電源供給走査回路50)の出力段は、一例として、ドライバがシフトレジスタからなる場合には、シフトレジスタの単位回路(シフト段/転送段)と当該単位回路に対応して設けられるロジック回路などから構成される。ロジック回路以外に、必要に応じて、レベルシフト回路が設けられる場合もある。

40

【0114】

このように、走査駆動系のドライバの出力段と制御線群の各制御線とを1対1の関係をもって対応付けて、ラインごとに配線された走査線31-1~31-mや電源供給線32-1~32-m等の複数の制御線に対して、走査駆動系の各ドライバの出力段数をライン数mと同数に設定する構成を採った場合、表示装置の高精細化に伴ってライン数が増えると、それに伴って走査駆動系の各ドライバの出力段数が増加し、その増加分だけ走査駆動系の回路規模が大きくなるために、当該走査駆動系を含むパネルモジュールのサイズが増大する。

50

【0115】

また、画素アレイ部30のライン数が増えるか否かに拘わらず、書込み走査回路40や電源供給走査回路50の出力段数を削減できれば、出力段数を削減した分だけ走査駆動系の回路規模が小さくなり、走査駆動系の回路部分が占める面積を縮小できるために、パネルモジュールのサイズの縮小化を図る上で有利となる。

【0116】

[本実施形態の特徴部分]

上述した観点から、図10に示すように、本発明の一実施形態に係る有機EL表示装置10Aでは、走査駆動系のドライバの出力段数の削減を目的として、走査駆動系のドライバのうちの電源供給走査回路50について、その出力段と電源供給線32-1~32-mとの関係を1対X(Xは2以上、ライン数mの整数分の1)の関係をもって対応付けた構成を採っている。ここでは、一例として、 $X=3$ としている。

10

【0117】

すなわち、画素アレイ部30の3ラインを単位とし、当該3ラインに対応する3本の電源供給線32に対して同じタイミングで共通に電源供給線電位DS1~DSx($x=m/3$)を供給する、換言すれば、3ライン分の電源供給線32の駆動タイミングを共通化した構成となっている。

【0118】

より具体的には、書込み走査回路40がライン数m分の出力段数を持ち、各出力段から順に出力される走査信号WS1~WSmが走査線31-1~31-mに対して1ライン単位で与えられるのに対して、電源供給走査回路50が $m/3$ の出力段数を持ち、各出力段から順に出力される電源供給線電位DS1~DSxが電源供給線32に対して3ライン単位で与えられる。

20

【0119】

このように、書込み走査回路40の出力段が、画素アレイ部30の行数m分設けられているのに対して、電源供給走査回路50の出力段を画素アレイ部30の全行数mのX分の1、本例では3分の1に削減することにより、電源供給走査回路50の回路規模を、その出力段をライン数m分設ける場合に比べて大幅に、本例では1/3程度に縮小できるために、その分だけ走査駆動系全体の回路規模を縮小でき、よってパネルモジュールのサイズの縮小化を図ることができる。

30

【0120】

ここに、パネルモジュールとは、画素アレイ部30および信号出力回路60が形成された表示パネル70と、当該表示パネル70の外部に設けられ、書込み走査回路40および電源供給走査回路50等が形成された外部回路基板と、当該外部回路基板と表示パネル70との間を電氣的に接続する手段などを含むモジュールを言う。

【0121】

また、複数ライン分の電源供給線32の駆動タイミングを共通化した構成を採る場合、閾値補正処理を行うに当たって、駆動トランジスタ22のゲート電位Vgを初期化する基準電位Vofsとして、映像信号の信号電圧Vsigの基準となる電位である第1基準電位Vofs1と、当該第1基準電位Vofs1よりも高い第2基準電位Vofs2が用いられる。その詳細については後述する。第2基準電位Vofs2についても、映像信号の信号電圧Vsigおよび第1基準電位Vofs1と同様に、信号線33に対して信号出力回路60から選択的に出力される。

40

【0122】

(本実施形態に係る有機EL表示装置の回路動作)

次に、本実施形態に係る有機EL表示装置10Aの回路動作について、図11および図12のタイミング波形図を用いて説明する。ここでは、先述した分割Vth補正を行う駆動法を採る場合を例に挙げて説明するが、この駆動法への適用に限られるものではなく、閾値補正処理を1回だけ行う駆動法を採る場合にも同様に適用可能である。

【0123】

50

図 1 1 には、一例として、3 ライン分の電源供給線 3 2 の駆動タイミングを共通化した場合の信号線 3 3 の電位 ($V_{sig} / V_{ofs1} / V_{ofs2}$) と、電源供給線 3 2 の電位 $D S$ と、1 ライン目 ~ 3 ライン目の走査線 3 1 の電位 (走査信号) $W S$ のタイミング関係を示している。

【 0 1 2 4 】

図 1 1 のタイミング波形図から明らかなように、書込み走査回路 4 0 から走査信号 (走査線電位) $W S$ が 1 ライン目、2 ライン目、3 ライン目、... と 1 ライン単位で順次出力されるのに対して、電源供給走査回路 5 0 からは電源供給線電位 $D S$ が 3 ライン単位で順次出力される。なお、走査信号 (走査線電位) $W S$ については、電源供給線電位 $D S$ が高電位 V_{ccp} から低電位 V_{ini} に切り替わる前に一度アクティブ状態 (高電位状態) になる点で先述した基本的な回路動作の場合と異なっている。その理由については後述する。

10

【 0 1 2 5 】

図 1 2 には、信号線 3 3 の電位 ($V_{sig} / V_{ofs1} / V_{ofs2}$) と、ある 1 ライン、例えば 2 ライン目の電源供給線 3 2 - 2 の電位 $D S$ および走査線 3 1 - 2 の電位 $W S$ の変化と、駆動トランジスタ 2 2 のゲート電位 V_g およびソース電位 V_s の変化を示している。

【 0 1 2 6 】

以下では、本実施形態に係る有機 EL 表示装置 1 0 A の回路動作について、図 1 2 のタイミング波形図を基に図 1 3 および図 1 4 の動作説明図を用いて説明する。なお、図 1 3 および図 1 4 の動作説明図では、図面の簡略化のために、書込みトランジスタ 2 3 をスイッチのシンボルで図示している。

20

【 0 1 2 7 】

< 前フレームの発光期間 >

図 1 3 のタイミング波形図において、時刻 t_{11} 以前は、前のフレーム (フィールド) における有機 EL 素子 2 1 の発光期間となる。この前フレームの発光期間では、電源供給線 3 2 の電位 $D S$ が高電位 V_{ccp} にあり、また、図 1 3 (A) に示すように、書込みトランジスタ 2 3 が非導通状態にある。

【 0 1 2 8 】

このとき、駆動トランジスタ 2 2 は飽和領域で動作するように設定されているために、駆動トランジスタ 2 2 のゲート - ソース間電圧 V_{gs} に応じた駆動電流 I_{ds} (先述した式 (1) 参照) が、電源供給線 3 2 から駆動トランジスタ 2 2 を通して有機 EL 素子 2 1 に供給される。よって、有機 EL 素子 2 1 が駆動電流 I_{ds} の電流値に応じた輝度で発光する。

30

【 0 1 2 9 】

< 消光期間 >

信号線 3 3 の電位が第 1 基準電位 V_{ofs1} の期間において、時刻 t_{11} になると、線順次走査の新しいフレーム (現フレーム) に入る。そして、時刻 t_{11} で走査線 3 1 の電位 $W S$ が低電位側から高電位側に遷移すると、図 1 3 (B) に示すように、書込みトランジスタ 2 1 が導通状態になるため、第 1 基準電位 V_{ofs1} が駆動トランジスタ 2 2 のゲート電極に書き込まれる。

40

【 0 1 3 0 】

これにより、駆動トランジスタ 2 2 のゲート - ソース間電圧 V_{gs} が当該駆動トランジスタ 2 2 の閾値電圧 V_{th} 以下となるために、有機 EL 素子 2 1 に駆動電流 I_{ds} が流れなくなり、有機 EL 素子 2 1 が消光し、非発光期間に入る。そのとき、有機 EL 素子 2 1 にかかる電圧 V_{el} は有機 EL 素子 2 1 の閾値電圧 V_{thel} となるために、有機 EL 素子 2 1 のアノード電位は有機 EL 素子 2 1 の閾値電圧 V_{thel} とカソード電位 V_{cath} の和 ($V_{thel} + V_{cath}$) となる。

【 0 1 3 1 】

< 非発光期間 >

非発光期間において、時刻 t_{12} で走査線 3 1 の電位 $W S$ が高電位側から低電位側に遷

50

移し、時刻 t_{12} から一定時間が経過した時刻 t_{13} で電源供給線 32 の電位 D_S が高電位 V_{ccp} から低電位 V_{ini} に切り替わる。このとき、駆動トランジスタ 22 の電源供給線 32 側の電極がソース電極となるために、図 13 (C) に示すように、有機 EL 素子 21 のアノード側から電源供給線 32 側へ電流が流れる。これにより、有機 EL 素子 21 のアノード電位が時間の経過とともに低下してゆく。

【0132】

< 閾値補正準備期間 >

時刻 t_{13} から一定時間経過後、信号線 33 の電位が第 1 基準電位 V_{ofs1} の期間において、時刻 t_{14} で走査線 31 の電位 W_S が低電位側から高電位側に遷移すると、図 13 (D) に示すように、書込みトランジスタ 21 が導通状態になるため、第 1 基準電位 V_{ofs1} が駆動トランジスタ 22 のゲート電極に書き込まれる。これにより、駆動トランジスタ 22 のゲート電位 V_g の初期化、即ち閾値補正処理のための準備が行われる。

10

【0133】

この閾値補正準備期間 ($t_{14} - t_{15}$) において、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{ofs1} - V_{ini}$ という値をとる。この電圧 ($V_{ofs1} - V_{ini}$) が駆動トランジスタ 22 の閾値電圧 V_{th} よりも大きくないと閾値補正処理を行うことができないために、 $V_{ofs1} - V_{ini} > V_{th}$ とする必要がある。この閾値補正準備期間の処理については、電源供給線 32 の駆動タイミングを共通化したライン全てで共通に行っても良いし、ラインごとに行っても良い。

20

【0134】

< 閾値補正期間 >

閾値補正準備が行われた 1H 期間の次の 1H 期間に入り、信号線 33 の電位が第 1 基準電位 V_{ofs1} にあるときに、時刻 t_{16} で走査線 31 の電位 W_S が低電位側から高電位側に遷移し、次いで、時刻 t_{17} で電源供給線 32 の電位 D_S が低電位 V_{ini} から高電位 V_{ccp} に切り替わる。電源供給線 32 の電位 D_S は、次のフレームの時刻 t_{13} までの期間に亘って高電位 V_{ccp} の状態を維持する。電源供給線 32 の電位 D_S が高電位 V_{ccp} になることで、駆動トランジスタ 22 の有機 EL 素子 21 側の電極がソース電極となるために、電源供給線 32 から駆動トランジスタ 22 に電流が流れる。

【0135】

ここで、有機 EL 素子 21 の等価回路は、図 14 (A) に示すように、ダイオードと容量で表わされるため、有機 EL 素子 21 にかかる電圧 V_{el} が $V_{el} < V_{cath} + V_{thel}$ である限り、即ち有機 EL 素子 21 のリーク電流が駆動トランジスタ 22 に流れる電流よりも十分に小さい限り、駆動トランジスタ 22 に流れる電流は保持容量 24 と有機 EL 素子 21 の等価容量 C_{el} を充電するために使われる。このとき、駆動トランジスタ 22 のソース電位 V_s は、図 15 に示すように、時間の経過とともに上昇してゆく。

30

【0136】

そして、時刻 t_{18} で走査線 31 の電位 W_S が高電位側から低電位側に遷移し、書込みトランジスタ 23 が非導通状態になる。このとき、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は閾値電圧 V_{th} よりも大きいため、図 14 (B) に示すように、駆動トランジスタ 22 を通して電流が流れ続ける。これにより、駆動トランジスタ 22 のソース電位 V_s が上昇し、これに連動してゲート電位 V_g が上昇する。このとき、有機 EL 素子 21 には逆バイアスがかかっているために、有機 EL 素子 21 が発光することはない。

40

【0137】

次の 1H 期間において、信号線 33 の電位が第 1 基準電位 V_{ofs1} にあるときに、時刻 t_{19} で走査線 31 の電位 W_S が低電位側から高電位側に遷移することで、時刻 t_{17} のときと同様にして閾値補正処理が、時刻 t_{20} で走査線 31 の電位 W_S が高電位側から低電位側に遷移し、書込みトランジスタ 23 が非導通状態になるまでの期間に亘って実行される。

【0138】

そして、信号線 33 の電位が第 1 基準電位 V_{ofs1} にあるときの閾値補正処理を複数

50

回（本例では、2回）繰り返すことで、最終的に、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が駆動トランジスタ22の閾値電圧 V_{th} に収束する（ゲート-ソース間電圧 V_{gs} が V_{th} の値をとる）。このとき、有機EL素子21にかかる電圧 V_{el} は、 $V_{el} = V_{ofs} - V_{th} - V_{cath} + V_{the1}$ となっている。このようにして、閾値補正処理を複数の水平走査期間に分割して複数回実行する補正が先述した分割 V_{th} 補正である。

【0139】

上述した分割 V_{th} 補正処理、即ち信号線33の電位が第1基準電位 V_{ofs1} にあるときの閾値補正処理（時刻 t_{17} - t_{18} での閾値補正処理および時刻 t_{19} - t_{20} での閾値補正処理）は、電源供給線32の駆動タイミングを共通化している3ラインで同時に実行される。この3ライン同時に（共通に）実行される閾値補正処理を、便宜上、1回目の閾値補正処理と呼ぶこととする。

10

【0140】

続いて、1回目の閾値補正処理が終了した時刻 t_{20} から一定時間 T が経過した後、今度は、図14（C）に示すように、信号線33の電位が第2基準電位 V_{ofs2} にあるときに、時刻 t_{21} で走査線31の電位 WS が低電位側から高電位側に遷移することで、書込みトランジスタ23が導通状態になる。

【0141】

ここで、書込みトランジスタ23が非導通状態になった時刻 t_{20} から再び導通状態になる時刻 t_{21} までの一定時間 T は、電源供給線32の駆動タイミングを共通化しているラインによって決定される。また、第2基準電位 V_{ofs2} については、第1基準電位 V_{ofs1} よりも高く（大きく）、なおかつ、第1基準電位 V_{ofs1} と同様に、 $V_{ofs2} - V_{th} - V_{cath} + V_{the1}$ という条件を満足する必要がある。

20

【0142】

信号線33の電位が第2基準電位 V_{ofs2} にあるときに書込みトランジスタ23が導通状態になることで、書込みトランジスタ23が導通状態になったときの駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が当該駆動トランジスタ22の閾値電圧 V_{th} よりも大きければ、再び1回目の閾値補正処理と同様の閾値補正処理が開始される。そして、時刻 t_{22} で走査線31の電位 WS が高電位側から低電位側に遷移し、書込みトランジスタ23が非導通状態になるまでの期間に亘って実行される。

30

【0143】

さらに、次の1H期間において、信号線33の電位が第2基準電位 V_{ofs2} にあるときに、時刻 t_{23} で走査線31の電位 WS が低電位側から高電位側に遷移することで、時刻 t_{21} のときと同様にして閾値補正処理が、時刻 t_{24} で走査線31の電位 WS が高電位側から低電位側に遷移し、書込みトランジスタ23が非導通状態になるまでの期間に亘って実行される。

【0144】

そして、信号線33の電位が第2基準電位 V_{ofs2} にあるときの閾値補正処理を複数回（本例では、2回）繰り返すことで、1回目の閾値補正処理の場合と同様にして、最終的に、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が駆動トランジスタ22の閾値電圧 V_{th} に収束する（ゲート-ソース間電圧 V_{gs} が V_{th} の値をとる）。

40

【0145】

上述した信号線33の電位が第2基準電位 V_{ofs2} にあるときの閾値補正処理（時刻 t_{21} - t_{22} での閾値補正処理および時刻 t_{23} - t_{24} での閾値補正処理）は、電源供給線32の駆動タイミングを共通化している3ラインについて、各ラインごとに実行される。このラインごとに実行される閾値補正処理を、便宜上、2回目の閾値補正処理と呼ぶこととする。

【0146】

ここでは、2回目の閾値補正処理において、その処理を2回繰り返すとしたが、2回に限られるものではなく、1回であっても、3回以上であっても良く、要は、最終的に、駆

50

動トランジスタ 2 2 のゲート - ソース間電圧 V_{gs} が駆動トランジスタ 2 2 の閾値電圧 V_{th} に収束できれば良い。

【 0 1 4 7 】

< 信号書込み & 移動度補正期間 >

次に、信号線 3 3 の電位が第 2 基準電位 V_{ofs2} から映像信号の信号電圧 V_{sig} に切り替わった後、図 1 4 (D) に示すように、時刻 t_{25} で走査線 3 1 の電位 W_S が低電位側から高電位側に遷移することで、書込みトランジスタ 2 3 が再度導通状態になる。ここで、信号電圧 V_{sig} は階調に応じた電圧である。

【 0 1 4 8 】

駆動トランジスタ 2 2 のゲート電位 V_g は、書込みトランジスタ 2 3 が導通状態になることで信号電圧 V_{sig} となる。これにより、電源供給線 3 2 から駆動トランジスタ 2 2 に電流が流れるために、ソース電位 V_s が時間の経過とともに上昇してゆく。

10

【 0 1 4 9 】

このとき、駆動トランジスタ 2 2 のソース電位 V_s が、有機 EL 素子 2 1 の閾値電圧 V_{thel} とカソード電位 V_{cath} の和 ($V_{thel} + V_{cath}$) を越えなければ、即ち有機 EL 素子 2 1 のリーク電流が駆動トランジスタ 2 2 に流れる電流よりも十分に小さければ、駆動トランジスタ 2 2 に流れる電流は保持容量 2 4 と有機 EL 素子 2 1 の等価容量 C_{el} を充電するのに使われる。

【 0 1 5 0 】

このとき、駆動トランジスタ 2 2 の閾値補正処理は完了している、即ち駆動トランジスタ 2 2 の閾値電圧 V_{th} の画素ごとのばらつきが補正されているために、駆動トランジスタ 2 2 に流れる電流 (ドレイン - ソース間電流 I_{ds}) は当該駆動トランジスタ 2 2 の移動度 μ に依存したものとなる。

20

【 0 1 5 1 】

具体的にいうと、図 1 6 に示すように、駆動トランジスタ 2 2 の移動度 μ が相対的に大きい画素はこのときに駆動トランジスタ 2 2 に流れる電流量が大きく、ソース電位 V_s の上昇も早い。逆に、駆動トランジスタ 2 2 の移動度 μ が相対的に小さい画素はこのときに駆動トランジスタ 2 2 に流れる電流量が小さく、ソース電位 V_s の上昇は遅くなる。これにより、駆動トランジスタ 2 2 のゲート - ソース間電圧 V_{gs} は、駆動トランジスタ 2 2 の移動度 μ を反映して小さくなり、一定時間経過後に完全に駆動トランジスタ 2 2 の移動度 μ の画素ごとのばらつきを補正する電圧 V_{gs} となる。

30

【 0 1 5 2 】

< 発光期間 >

次に、時刻 t_{26} で走査線 3 1 の電位 W_S が低電位側に遷移することで、図 1 4 (E) に示すように、書込みトランジスタ 2 3 が非導通状態となる。駆動トランジスタ 2 2 のゲート - ソース間電圧 V_{gs} が一定であるので、駆動トランジスタ 2 2 は一定電流 $I_{ds'}$ を有機 EL 素子 2 1 に流す。これにより、有機 EL 素子 2 1 にかかる電圧 V_{el} が有機 EL 素子 2 1 に一定電流 $I_{ds'}$ が流れる電圧まで上昇する。その結果、有機 EL 素子 2 1 に一定電流 $I_{ds'}$ が流れるために有機 EL 素子 2 1 が発光する。

【 0 1 5 3 】

40

本実施形態に係る有機 EL 表示装置 1 0 A においても、有機 EL 素子 2 1 は発光時間が長くなると、その $I - V$ 特性が変化してしまう。そのため、図 1 4 (E) 中 B 点の電位、即ち有機 EL 素子 2 1 のアノード電位も変化する。ところが、駆動トランジスタ 2 2 のゲート - ソース間電圧 V_{gs} が一定値に保たれているので有機 EL 素子 2 1 に流れる電流は変化しない。よって、有機 EL 素子 2 1 の $I - V$ 特性が劣化しても、有機 EL 素子 2 1 には一定電流 $I_{ds'}$ が常に流れ続けるために、有機 EL 素子 2 1 の輝度が変化することはない。

【 0 1 5 4 】

(2 回目の閾値補正処理を行う必要性について)

ここで、2 回目の閾値補正処理を行う必要性について説明する。電源供給線 3 2 の駆動

50

タイミングを複数ラインで共通化する場合、1回目の閾値補正処理が複数ライン同時に実行されるのに対して、映像信号の信号電圧 V_{sig} の書込みはラインごとに行われるために、駆動タイミング的に後のライン（画素行）になればなるほど、1回目の閾値補正処理が終了してから信号電圧 V_{sig} が書き込まれるまでの時間が長くなる。

【0155】

1回目の閾値補正処理において、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} は、当該駆動トランジスタ22の閾値電圧 V_{th} となっている。トランジスタの $V_{gs} - I_{ds}$ 特性は、図17に示すように、ゲート-ソース間電圧 V_{gs} が閾値電圧 V_{th} となっても一定電流 I_{ds0} が流れる。

【0156】

したがって、1回目の閾値補正処理が終了してから信号電圧 V_{sig} が書き込まれるまでの時間が長くなると、駆動トランジスタ22のリークなどによって駆動トランジスタ22のゲート電位 V_g やソース電位 V_s が変動してしまうために、閾値電圧 V_{th} に収束していた駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が当該閾値電圧 V_{th} からずれてしまう。

【0157】

駆動トランジスタ22のゲート電位 V_g やソース電位 V_s が変動したとしても、映像信号の信号電圧 V_{sig} を書き込む前に閾値補正処理を再度実行すればよい訳であるが、1回目の閾値補正処理と同様に、第1基準電位 V_{ofs1} で駆動トランジスタ22のゲート電位 V_g を初期化して閾値補正処理を行うとした場合、駆動トランジスタ22のソース電位 V_s が上昇していることから、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が閾値電圧 V_{th} 以下となるために、本来の閾値補正処理を実現できないことになる。

【0158】

ここに、本来の閾値補正処理とは、先述したように、駆動トランジスタ22のゲート電位 V_g を基準電位 V_{ofs} に初期化し、この初期化された駆動トランジスタ22のゲート電位 V_g を基準として、その初期化電位 V_{ofs} から駆動トランジスタ22の閾値電圧 V_{th} を減じた電位に向かって駆動トランジスタ22のソース電位 V_s を変化させて駆動トランジスタ22のゲート-ソース間電圧 V_{gs} をその閾値電圧 V_{th} に収束させる処理である。

【0159】

そこで、本実施形態に係る有機EL表示装置10Aでは、映像信号の信号電圧 V_{sig} を書き込む前に再度閾値補正処理を行うに当たって、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が閾値電圧 V_{th} 以下とならないように、閾値補正処理に際して駆動トランジスタ22のゲート電位 V_g を初期化するための基準電位 V_{ofs} として、1回目の閾値補正処理で用いる第1基準電位 V_{ofs1} よりも高い（大きい）第2基準電位 V_{ofs2} を用いて2回目の閾値補正処理を行うことで、本来の閾値補正処理を実現できるようにしている。

【0160】

（駆動タイミングを共通化するライン数が増えたときの問題点）

ところが、電源供給線32の駆動タイミングを共通化しているライン数が増えれば増えるほど1回目の閾値補正処理と2回目の閾値補正処理の間の時間差は増大してゆき、それにつれて駆動トランジスタ22のソース電位 V_s の上昇量も大きくなる。

【0161】

すると、2回目の閾値補正処理において、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} を駆動トランジスタ22の閾値電圧 V_{th} に収束させて当該閾値電圧 V_{th} の画素ごとのばらつきを補正（キャンセル）する、という本来の閾値補正処理を正常に行うことができなくなるために、閾値電圧 V_{th} の画素ごとのばらつきに起因するスジやムラといった画質不良が発生してしまう。

【0162】

この現象の対策として、1回目の閾値補正処理の終了後に第1基準電位 V_{ofs1} より

10

20

30

40

50

も低い低電位 V_{ini} を駆動トランジスタ 22 のゲート電極に入力して駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} を閾値電圧 V_{th} 以下とする駆動方法を用いることが考えられる。

【0163】

この駆動方法を用いれば、駆動トランジスタ 22 に流れる電流量を小さくすることができるために、電源供給線 32 の駆動タイミングを共通化するライン数が増えても、駆動トランジスタ 22 のソース電位 V_s の上昇量を小さくすることが可能となる。ただし、信号ドライバとしての信号出力回路 60 で扱う信号電圧 V_{sig} の振幅が増大してしまい、低コストという観点からすると難があるために、信号電圧 V_{sig} の振幅をそのままにしつつ、1 回目の閾値補正処理と 2 回目の閾値補正処理の間の時間差による駆動トランジスタ 22 のソース電位 V_s の上昇量を小さく抑える必要がある。

10

【0164】

(駆動タイミングを共通化するライン数が増えたときの対策)

そこで、本実施形態に係る有機 EL 表示装置 10A では、電源供給線 32 の駆動タイミングを共通化するライン数が増えても、信号電圧 V_{sig} の振幅をそのままにしつつ、1 回目の閾値補正処理と 2 回目の閾値補正処理の間の時間差によるソース電位 V_s の上昇量を小さく抑えることを目的として、1 回目の閾値補正処理と 2 回目の閾値補正処理との間において、より具体的には、1 回目の閾値補正処理の終了時点 (図 12 の時刻 t_{20}) から一定時間経過後に、電源供給線 32 の駆動タイミングを共通化している複数ライン共通で、信号線 33 の電位が第 1 基準電位 V_{ofs1} のときに、書込みトランジスタ 23 を導通状態にして第 1 基準電位 V_{ofs1} を駆動トランジスタ 22 のゲート電極に書き込むことを特徴としている。

20

【0165】

図 18 および図 19 は、電源供給線 32 の駆動タイミングを共通化するライン数が増えたときの対策のためのタイミング関係を示すタイミング波形図である。

【0166】

図 18 には、図 11 と同様に、3 ライン分の電源供給線 32 の駆動タイミングを共通化した場合の信号線 33 の電位 ($V_{sig} / V_{ofs1} / V_{ofs2}$) と、電源供給線 32 の電位 D_S と、1 ライン目 ~ 3 ライン目の走査線 31 の電位 (走査信号) W_S のタイミング関係を示している。

30

【0167】

図 19 には、図 12 と同様に、信号線 33 の電位 ($V_{sig} / V_{ofs1} / V_{ofs2}$) と、例えば 2 ライン目の電源供給線 32 - 2 の電位 D_S および走査線 31 - 2 の電位 W_S の変化と、駆動トランジスタ 22 のゲート電位 V_g およびソース電位 V_s の変化を示している。

【0168】

また、図 20 には、1 回目の閾値補正処理の終了から 2 回目の閾値補正処理の開始までの期間、即ち図 19 における時刻 t_{20} から時刻 t_{21} までの期間における信号線 33 の電位と、電源供給線 32 - 2 の電位 D_S および走査線 31 - 2 の電位 W_S の変化と、駆動トランジスタ 22 のゲート電位 V_g およびソース電位 V_s の変化を示している。

40

【0169】

特に図 19 および図 20 の各タイミング波形図に示すように、本実施形態に係る有機 EL 表示装置 10A では、1 回目の閾値補正処理と 2 回目の閾値補正処理との間において、より具体的には、1 回目の閾値補正処理の終了時点 (図 19 の時刻 t_{20}) から一定時間 T_0 が経過した時点 t_{31} で、電源供給線 32 の駆動タイミングを共通化している 3 ライン共通で、信号線 33 の電位が第 1 基準電位 V_{ofs1} のときに、走査線 31 の電位 W_S が低電位側から高電位側に遷移する。

【0170】

これにより、電源供給線 32 の駆動タイミングを共通化している 3 ライン共通で、書込みトランジスタ 23 が導通状態になるために、駆動トランジスタ 22 のゲート電極に第 1

50

基準電位 V_{ofs1} が書き込まれる。そして、第 1 基準電位 V_{ofs1} は、時刻 t_{32} で走査線 31 の電位 W_S が高電位側から低電位側に遷移し、書込みトランジスタ 23 が非導通状態になるまでの期間に亘って駆動トランジスタ 22 のゲート電極に印加される。この第 1 基準電位 V_{ofs1} の駆動トランジスタ 22 のゲート電極への書込み処理、即ち時刻 t_{31} から時刻 t_{32} までの期間における処理をその処理の内容から、便宜上、閾値補正抑え処理と呼ぶこととする。

【0171】

ここで、1 回目の閾値補正処理の終了後に駆動トランジスタ 22 のソース電位 V_s が上昇するときのゲート電位 V_g の上昇量を V_y とすると、書込みトランジスタ 23 が導通状態になることで駆動トランジスタ 22 のゲート電位 V_g が電位 V_y から第 1 基準電位 V_{ofs1} へ変化するため、駆動トランジスタ 22 のソース電極にその変化量に応じたカップリング V がある一定比で入力される。

10

【0172】

この一定比、即ち入力比 G は、保持容量 24 の容量値 C_s 、ゲート - ソース間の寄生容量 C_{gs} 、有機 EL 素子 21 の等価容量 C_{el} で決まり、次式 (3) で表わされる。

$$G = (C_s + C_{gs}) / (C_s + C_{gs} + C_{el}) \quad \dots \dots (3)$$

すなわち、駆動トランジスタ 22 のソース電極に入力されるカップリング V は、

$$V = G \cdot V_y \quad \dots \dots (4)$$

となる。

20

【0173】

時刻 t_{31} から時刻 t_{32} までの期間における処理、即ち 1 回目の閾値補正処理が終了してから一定時間 T_0 の経過後に電源供給線 32 の駆動タイミングを共通化している 3 ライン共通で、信号線 33 の電位が第 1 基準電位 V_{ofs1} のときに、書込みトランジスタ 23 を導通状態にして第 1 基準電位 V_{ofs1} を駆動トランジスタ 22 のゲート電極に書き込む閾値補正抑え処理を実行することにより、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は閾値電圧 V_{th} から $V_{th} - (1 - G) V_y$ という値となり、ゲート - ソース間電圧 V_{gs} は閾値電圧 V_{th} よりも小さくなる。

【0174】

この閾値補正抑え処理により、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が小さくなるため、電源供給線 32 から流れる電流量も小さくなる。そして、一定時間経過後の時刻 t_{21} で、信号線 33 の電位が第 2 基準電位 V_{ofs2} のときに書込みトランジスタ 23 を導通状態にして駆動トランジスタ 22 のゲート電位 V_g を第 2 基準電位 V_{ofs2} としても、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} を閾値電圧 V_{th} とすることができるために、閾値補正処理を正常に行うことができる。

30

【0175】

上述したように、電源供給線 32 の駆動タイミングを複数ラインで共通化し、第 1 基準電位 V_{ofs1} を初期化電圧として用いて複数ライン共通に行う 1 回目の閾値補正処理に加えて、第 1 基準電位 V_{ofs1} よりも高い第 2 基準電位 V_{ofs2} を初期化電圧として用いてラインごとに行う 2 回目の閾値補正処理を実行する有機 EL 表示装置 10A において、1 回目の閾値補正処理と 2 回目の閾値補正処理との間で、信号線 33 の電位が第 1 基準電位 V_{ofs1} のときに、複数ライン共通で書込みトランジスタ 23 を導通状態にして第 1 基準電位 V_{ofs1} を駆動トランジスタ 22 のゲート電極に書き込む閾値補正抑え処理を行うことで、次のような作用効果を得ることができる。

40

【0176】

すなわち、電源供給線 32 の駆動タイミングを共通化するライン数が増えても、映像信号の信号電圧 V_{sig} の振幅をそのままにしつつ、1 回目の閾値補正処理と 2 回目の閾値補正処理の間の時間差による駆動トランジスタ 22 のソース電位 V_s の上昇量を小さく抑えることができるために、電源供給線 32 の駆動タイミングを共通化できるライン数を増やすことができる。具体的には、実施形態の説明では、図面の簡略化のために、電源供給線 32 の駆動タイミングを共通化するライン数を 3 ラインとしたが、実際には、一例とし

50

て、共通化するライン数を30ライン程度から60ライン程度、即ち2倍程度に増やすことができる。

【0177】

このように、電源供給線32の駆動タイミングを共通化できるライン数を増やせることで、電源供給走査回路50の出力段の数を削減（例えば、半減）できるとともに、電源供給走査回路50と画素アレイ部30の各電源供給線32（32-1～32-m）との間の配線数を削減（例えば、半減）できる。その結果、電源供給走査回路50の回路規模を縮小できることで、その分だけ走査駆動系全体の回路規模を縮小できるために、パネルモジュールの縮小化および低コスト化を図ることができる。

【0178】

また、2回目の閾値補正処理において、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} を駆動トランジスタ22の閾値電圧 V_{th} に収束させて当該閾値電圧 V_{th} の画素ごとのばらつきを補正（キャンセル）する、という本来の閾値補正処理を正常に行うことができるために、閾値電圧 V_{th} の画素ごとのばらつきに起因するスジやムラといった画質不良も起こらず、よって表示画像の高画質化を図ることができる。

【0179】

[変形例]

なお、上記実施形態では、画素20が駆動トランジスタ22と書込みトランジスタ23の2つのトランジスタを有する構成の有機EL表示装置に適用したが、画素構成についてはこれに限られるものではなく、駆動トランジスタ22のゲート電位やソース電位を初期化するための基準電位 V_{ofs} や低電位 V_{ini} を選択的に書き込むためのスイッチングトランジスタなどをさらに有する画素構成の有機EL表示装置など、画素行ごとに配線された電源供給線32の電源電位を切り替えることによって有機EL素子21の発光/非発光を制御する構成を採る有機EL表示装置全般に対して適用可能である。

【0180】

さらに、上記実施形態では、画素回路20の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。具体的には、無機EL素子、LED素子、半導体レーザー素子など、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用可能である。

【0181】

[適用例]

以上説明した本発明による表示装置は、一例として、図21～図25に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0182】

このように、あらゆる分野の電子機器の表示装置として本発明による表示装置を用いることにより、先述した実施形態の説明から明らかなように、本発明による表示装置は、走査駆動系全体の回路規模を縮小し、パネルモジュールの縮小化および低コスト化を図ることができるために、各種の電子機器において機器本体の小型化および低コスト化に寄与できる。

【0183】

なお、本発明による表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部30に透明なガラス等の対向部が貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

10

20

30

40

50

【 0 1 8 4 】

以下に、本発明が適用される電子機器の具体例について説明する。

【 0 1 8 5 】

図 2 1 は、本発明が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル 1 0 2 やフィルターガラス 1 0 3 等から構成される映像表示画面部 1 0 1 を含み、その映像表示画面部 1 0 1 として本発明による表示装置を用いることにより作成される。

【 0 1 8 6 】

図 2 2 は、本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A) は表側から見た斜視図、(B) は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部 1 1 1、表示部 1 1 2、メニュースイッチ 1 1 3、シャッターボタン 1 1 4 等を含み、その表示部 1 1 2 として本発明による表示装置を用いることにより作製される。

10

【 0 1 8 7 】

図 2 3 は、本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体 1 2 1 に、文字等を入力するとき操作されるキーボード 1 2 2、画像を表示する表示部 1 2 3 等を含み、その表示部 1 2 3 として本発明による表示装置を用いることにより作製される。

【 0 1 8 8 】

図 2 4 は、本発明が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部 1 3 1、前方を向いた側面に被写体撮影用のレンズ 1 3 2、撮影時のスタート/ストップスイッチ 1 3 3、表示部 1 3 4 等を含み、その表示部 1 3 4 として本発明による表示装置を用いることにより作製される。

20

【 0 1 8 9 】

図 2 5 は、本発明が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。本適用例に係る携帯電話機は、上側筐体 1 4 1、下側筐体 1 4 2、連結部(ここではヒンジ部) 1 4 3、ディスプレイ 1 4 4、サブディスプレイ 1 4 5、ピクチャーライト 1 4 6、カメラ 1 4 7 等を含み、そのディスプレイ 1 4 4 やサブディスプレイ 1 4 5 として本発明による表示装置を用いることにより作製される。

30

【 図面の簡単な説明 】

【 0 1 9 0 】

【 図 1 】 本発明の前提となる有機 E L 表示装置の構成の概略を示すシステム構成図である。

【 図 2 】 画素(画素回路)の具体的な構成例を示す回路図である。

【 図 3 】 画素の断面構造の一例を示す断面図である。

【 図 4 】 本発明の前提となる有機 E L 表示装置の基本的な回路動作の説明に供するタイミング波形図である。

【 図 5 】 基本的な回路動作についての動作説明図(その 1)である。

40

【 図 6 】 基本的な回路動作についての動作説明図(その 2)である。

【 図 7 】 駆動トランジスタの閾値電圧 V_{th} のばらつきに起因する課題の説明に供する特性図である。

【 図 8 】 駆動トランジスタの移動度 μ のばらつきに起因する課題の説明に供する特性図である。

【 図 9 】 閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタのドレイン・ソース間電流 I_{ds} との関係の説明に供する特性図である。

【 図 1 0 】 本発明の一実施形態に係る有機 E L 表示装置の構成の概略を示すシステム構成図である。

【 図 1 1 】 本実施形態に係る有機 E L 表示装置の回路動作の説明に供するタイミング波形

50

図(その1)である。

【図12】本実施形態に係る有機EL表示装置の回路動作の説明に供するタイミング波形図(その2)である。

【図13】本実施形態に係る有機EL表示装置の回路動作についての動作説明図(その1)である。

【図14】本実施形態に係る有機EL表示装置の回路動作についての動作説明図(その2)である。

【図15】保持容量と有機EL素子の等価容量の充電時の駆動トランジスタのソース電位 V_s の変化を示す図である。

【図16】駆動トランジスタの移動度 μ が大きいときと小さいときの駆動トランジスタのソース電位 V_s の変化を示す図である。

【図17】トランジスタの $V_{gs} - I_{ds}$ 特性を示す図である。

【図18】電源供給線の駆動タイミングを共通化するライン数が増えたときの対策のためのタイミング関係を示すタイミング波形図(その1)である。

【図19】電源供給線の駆動タイミングを共通化するライン数が増えたときの対策のためのタイミング関係を示すタイミング波形図(その2)である。

【図20】1回目の閾値補正処理の終了から2回目の閾値補正処理の開始までの期間における動作説明に供するタイミング波形図である。

【図21】本発明が適用されるテレビジョンセットの外観を示す斜視図である。

【図22】本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。

【図23】本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図24】本発明が適用されるビデオカメラの外観を示す斜視図である。

【図25】本発明が適用される携帯電話機を示す外観図であり、(A)は開いた状態での正面図、(B)はその側面図、(C)は閉じた状態での正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

【符号の説明】

【0191】

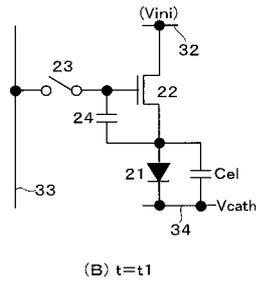
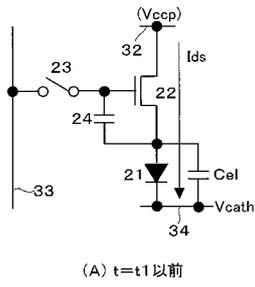
10, 10A ... 有機EL表示装置、20 ... 画素(画素回路)、21 ... 有機EL素子、22 ... 駆動トランジスタ、23 ... 書込みトランジスタ、24 ... 保持容量、30 ... 画素アレイ部、31(31-1~31-m) ... 走査線、32(32-1~32-m) ... 電源供給線、33(33-1~33-n) ... 信号線、34 ... 共通電源供給線、40 ... 書込み走査回路、50 ... 電源供給走査回路、60 ... 信号出力回路、70 ... 表示パネル

10

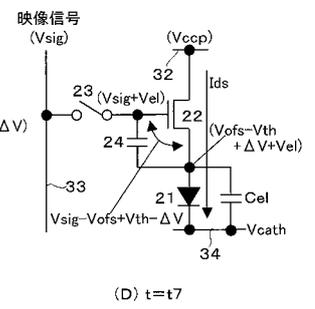
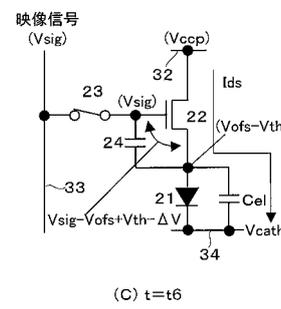
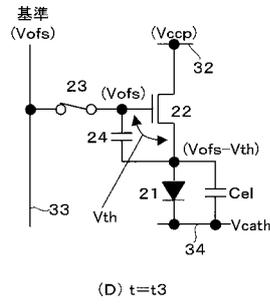
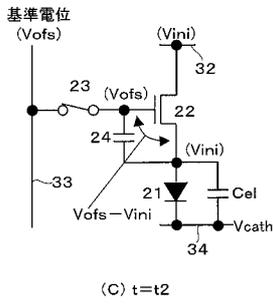
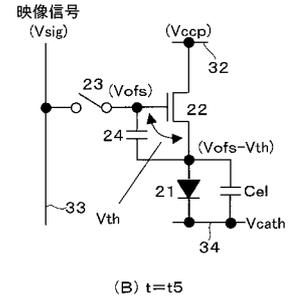
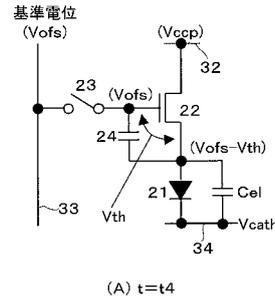
20

30

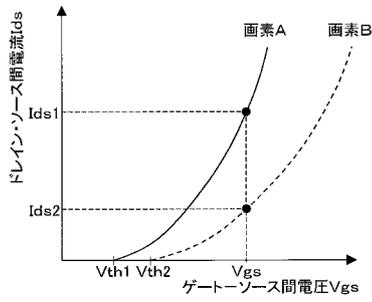
【 図 5 】



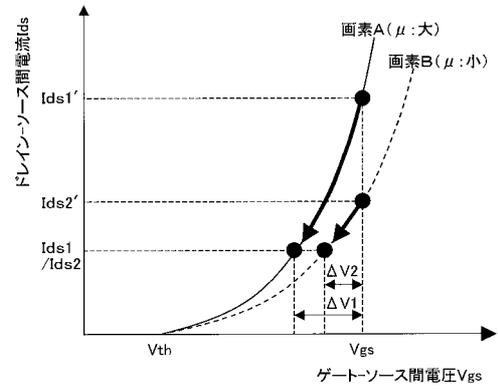
【 図 6 】



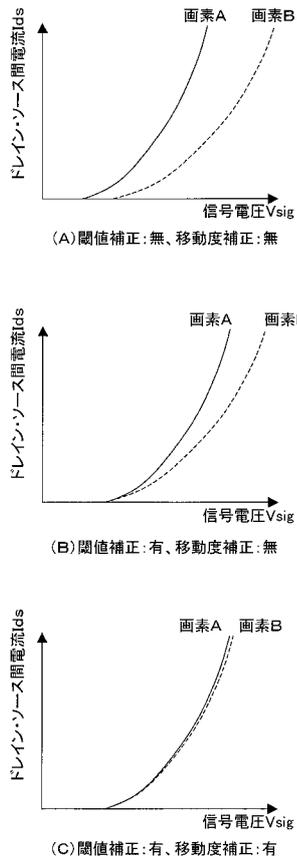
【 図 7 】



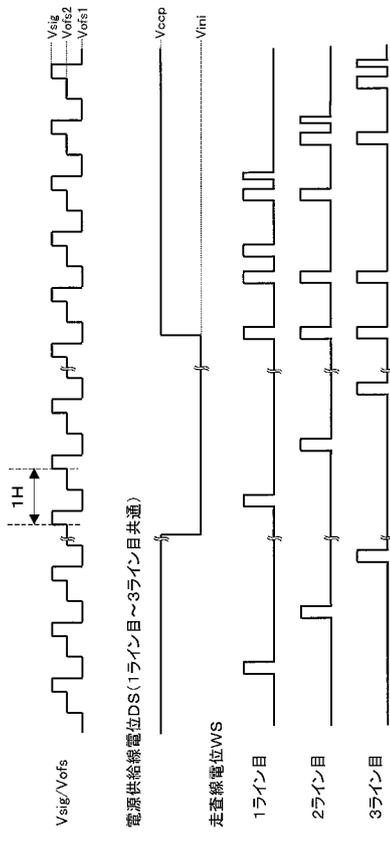
【 図 8 】



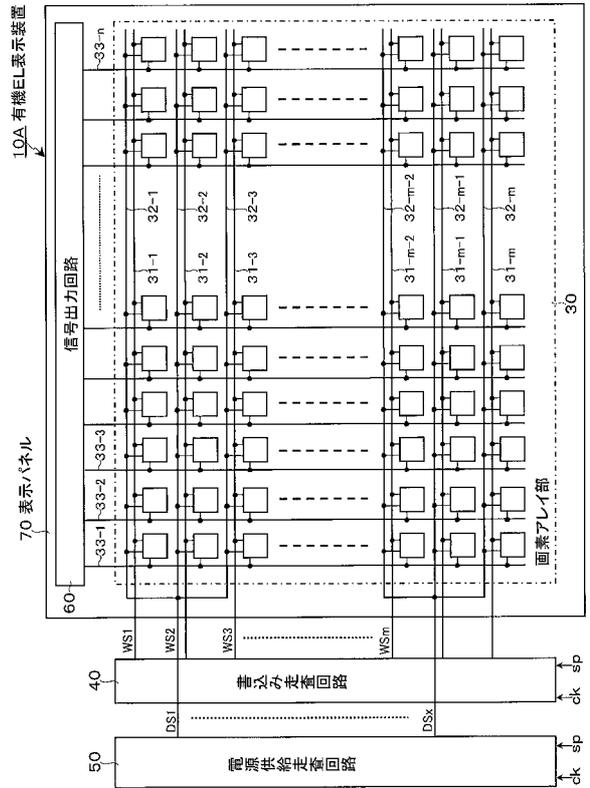
【 図 9 】



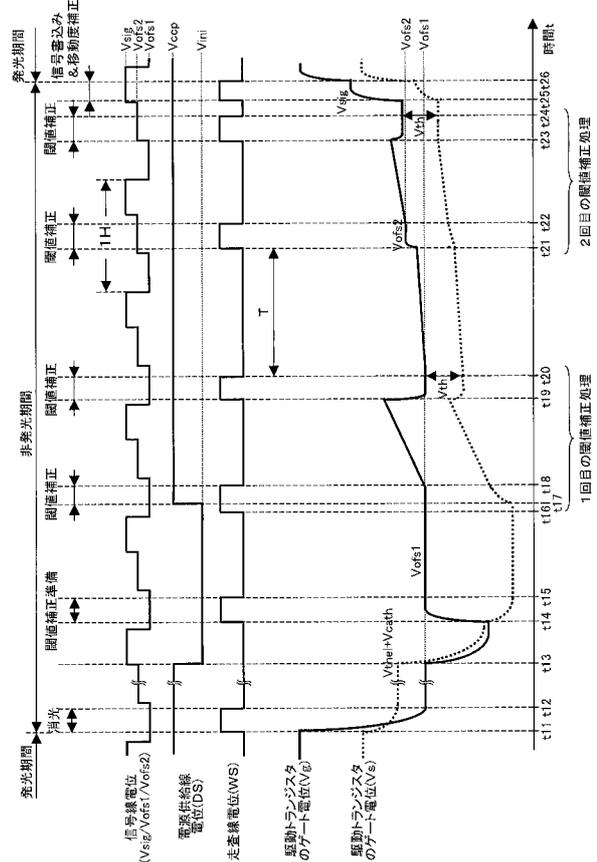
【 図 1 1 】



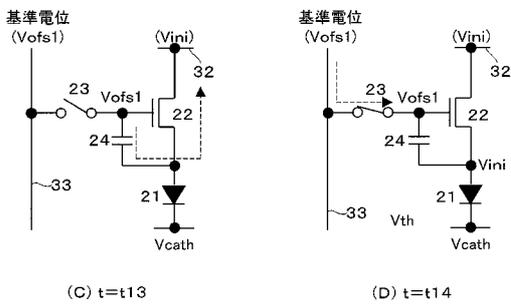
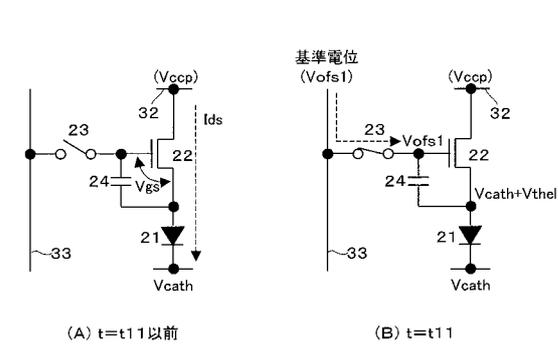
【 図 1 0 】



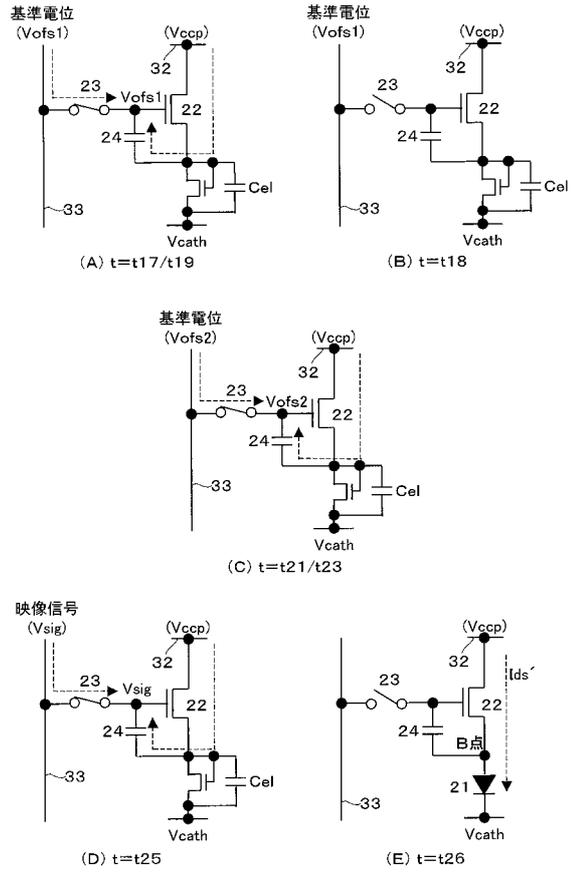
【 図 1 2 】



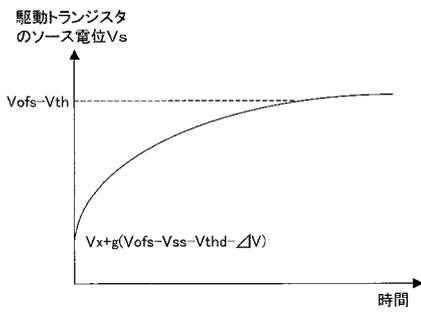
【 図 1 3 】



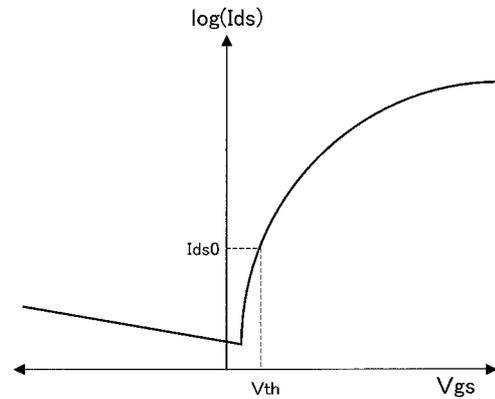
【 図 1 4 】



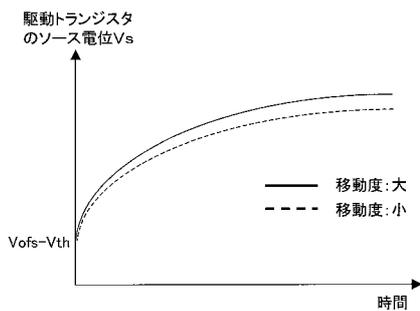
【 図 1 5 】



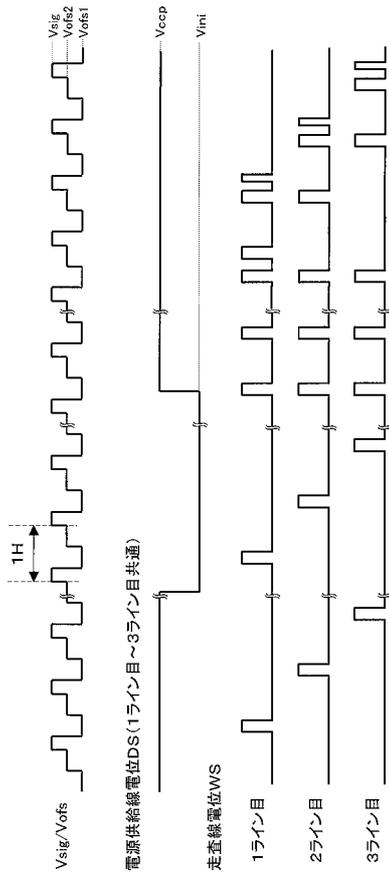
【 図 1 7 】



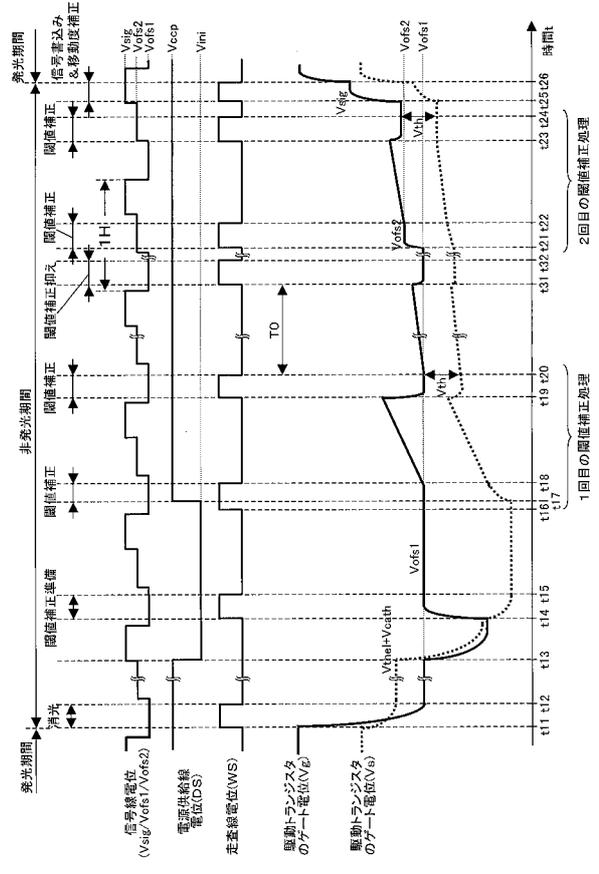
【 図 1 6 】



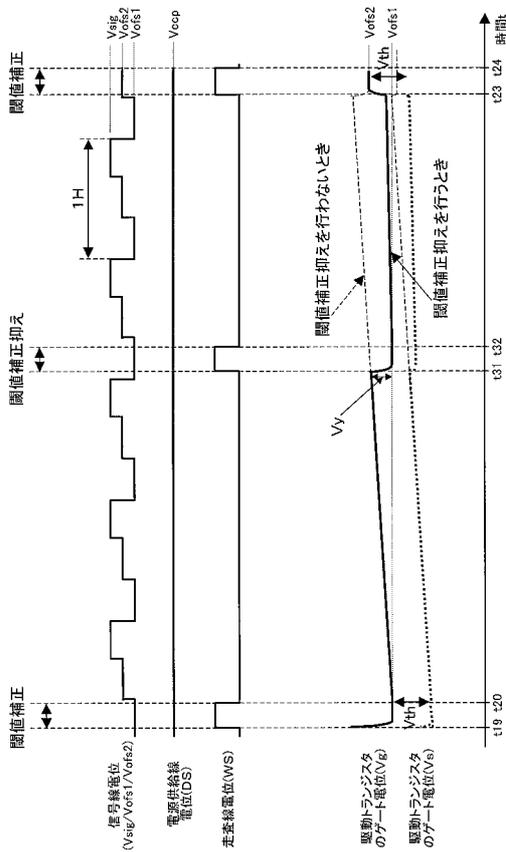
【 図 1 8 】



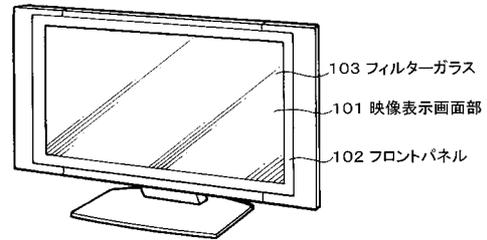
【 図 1 9 】



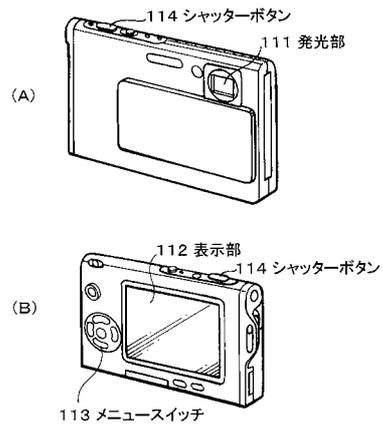
【 図 2 0 】



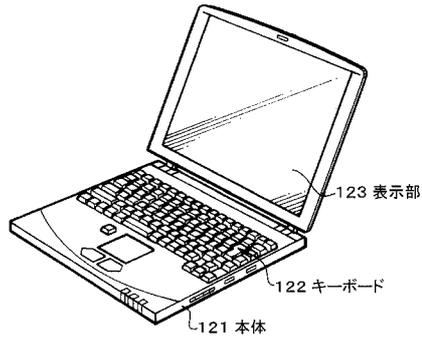
【 図 2 1 】



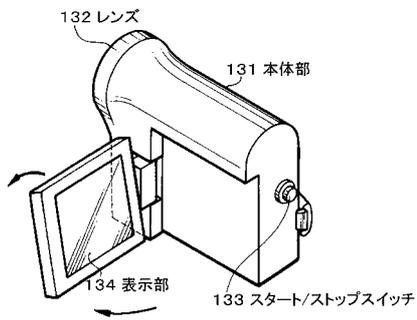
【 図 2 2 】



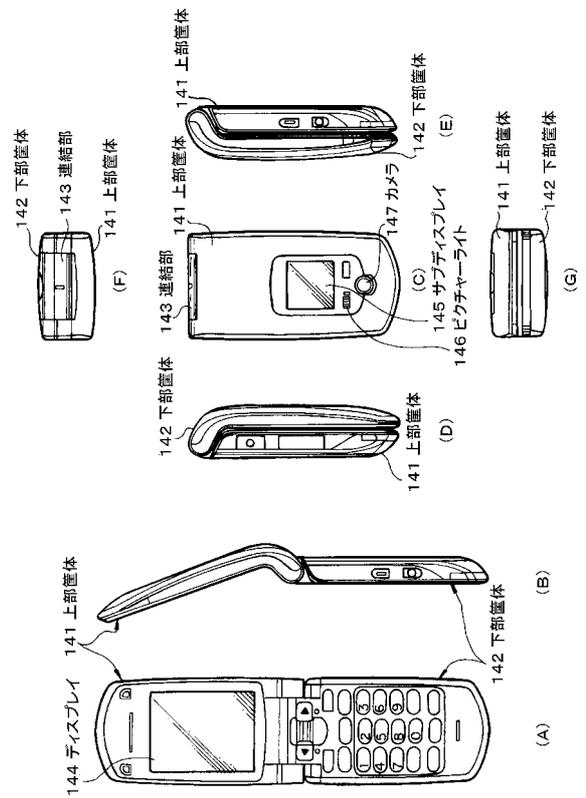
【 図 2 3 】



【 図 2 4 】



【 図 2 5 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
H 0 5 B	33/14	A
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D

Fターム(参考) 5C080 AA06 BB05 DD05 DD22 DD29 EE29 FF07 FF11 HH09 JJ02
JJ03 JJ04 JJ05 JJ06 KK01 KK07 KK43 KK47

专利名称(译)	显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	JP2009294279A	公开(公告)日	2009-12-17
申请号	JP2008145377	申请日	2008-06-03
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.622.G G09G3/20.624.B G09G3/20.611.H G09G3/20.670.J G09G3/20.623.C H05B33/14.A G09G3/20.623.D G09G3/20.622.C G09G3/20.622.D G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC35 3K107/CC43 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD29 5C080/EE29 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB35 5C380/AB37 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA11 5C380/BA12 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BE03 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB18 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CD022 5C380/CF07 5C380/CF24 5C380/DA02 5C380/DA06 5C380/DA32		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

甲偶数行共用电源线的驱动定时的增加，而信号电压 V_{sig} 的幅度是，由第一阈值校正处理和第二阈值校正处理之间的时间差的源极电位 V_s 的增加量减少到一个小值。共同的电源线与多条线的驱动定时中，除了上共同使用所述第一基准电位 V_{ofs1} 多行执行的第一阈值校正处理，比所述第一基准电位 V_{ofs1} 第二较高在其中执行用于使用所述参考电势 V_{ofs2} 的每一行上执行的第二阈值校正处理的有机EL显示装置中，第一阈值校正处理和第二阈值校正处理（ T_{31} - T_{32} ）之间的时间段，当第一参考电位 V_{ofs1} 的信号线电位，通过写晶体管在导通状态中的多个公共驱动晶体管处理的栅电极（阈值校正抑制处理）的行执行第一基准电位 V_{ofs1} 的写入。The 19

