

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-233122

(P2008-233122A)

(43) 公開日 平成20年10月2日(2008.10.2)

(51) Int. Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30	J 5C080
G09G 3/20 (2006.01)	G09G 3/20	624B
	G09G 3/20	611H
	G09G 3/20	612G
	G09G 3/20	622B
審査請求 未請求 請求項の数 7 O L (全 26 頁)		
(21) 出願番号	特願2007-68003 (P2007-68003)	(71) 出願人 000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成19年3月16日 (2007.3.16)	(74) 代理人 100086298 弁理士 船橋 國則
		(72) 発明者 谷龜 貴央 東京都港区港南1丁目7番1号 ソニー株 式会社内
		(72) 発明者 飯田 幸人 東京都港区港南1丁目7番1号 ソニー株 式会社内
		(72) 発明者 三並 徹雄 東京都港区港南1丁目7番1号 ソニー株 式会社内

最終頁に続く

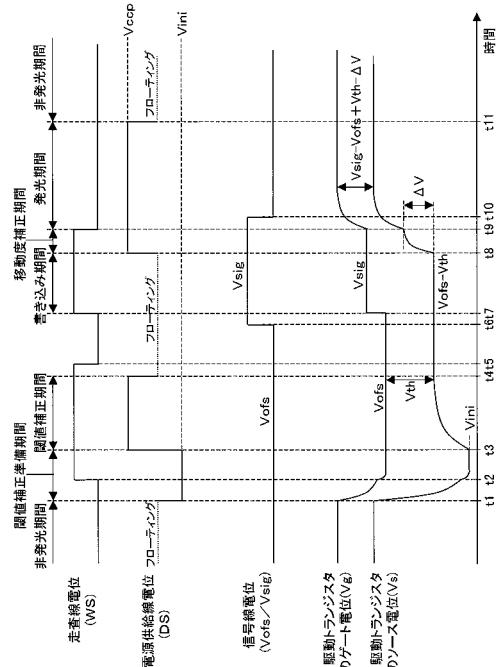
(54) 【発明の名称】表示装置、表示装置の駆動方法および電子機器

(57) 【要約】

【課題】駆動トランジスタに供給する電源電位を高電位と低電位で切り替えることによって発光期間 / 非発光期間の制御を行なう構成を探る場合において、所望の閾値補正を確実に行えるようにする。

【解決手段】少なくとも閾値補正機能有する有機EL表示装置において、書き込みトランジスタによる映像信号の信号電圧 V_{sig} の書き込み動作に先立って、閾値補正期間 $t_3 - t_4$ で駆動トランジスタの閾値電圧 V_{th} に相当する電圧を保持した後、少なくとも信号電圧 V_{sig} の書き込み動作が開始されるまでの $t_4 - t_7$ の期間（本例では、時刻 $t_4 - t_8$ の期間）で電源供給線電位 D_S をフローティング状態にする。

【選択図】図4



【特許請求の範囲】

【請求項 1】

電気光学素子と、映像信号をサンプリングして書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、前記保持容量に保持された前記映像信号に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、

前記画素アレイ部の各画素を行単位で選択走査して前記書き込みトランジスタによる書き込み駆動を行う第1走査手段と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタに電流を供給する電源供給線に対して第1電位と当該第1電位よりも低い第2電位とを前記第1走査手段による選択走査に同期して選択的に供給する第2走査手段と、

前記書き込みトランジスタによる前記映像信号の書き込み動作に先立って前記駆動トランジスタの閾値電圧に相当する電圧を前記保持容量に保持した後、少なくとも前記映像信号の書き込み動作が開始されるまでの期間において前記電源供給線をフローティング状態にする制御手段と

を備えたことを特徴とする表示装置。

【請求項 2】

前記制御手段は、前記第1電位および前記第2電位の各電源ラインと前記電源供給線との間の電気的接続を遮断する

ことを特徴とする請求項1記載の表示装置。

【請求項 3】

前記制御手段は、前記第2走査手段の出力端と前記電源供給線との間に接続されたスイッチ素子である

ことを特徴とする請求項2記載の表示装置。

【請求項 4】

前記走査手段は、前記第1電位の電源ラインにソース電極が接続された第1Pチャネルトランジスタと、前記第2電位の電源ラインにソース電極が接続され、前記第1Pチャネルトランジスタとゲート電極が共通に接続された第1Nチャネルトランジスタと、前記第1Pチャネルトランジスタのドレイン電極にソース電極が接続された第2Pチャネルトランジスタと、前記第2Pチャネルトランジスタとドレイン電極が共通に接続され、前記第1Nチャネルトランジスタのドレイン電極にソース電極が接続された第2Nチャネルトランジスタとからなる最終段バッファを有し、

前記第2Pチャネルトランジスタおよび前記第2Nチャネルトランジスタが前記制御手段として機能する

ことを特徴とする請求項2記載の表示装置。

【請求項 5】

前記走査手段は、前記第1電位の電源ラインにソース電極が接続されたPチャネルトランジスタと、前記第2電位の電源ラインにソース電極が接続され、前記Pチャネルトランジスタとドレイン電極が共通に接続されたNチャネルトランジスタとからなり、2相の走査パルスを前記Pチャネルトランジスタおよび前記Nチャネルトランジスタの各ゲート入力とする

最終段バッファを有し、

前記Pチャネルトランジスタおよび前記Nチャネルトランジスタが前記制御手段として機能する

ことを特徴とする請求項2記載の表示装置。

【請求項 6】

電気光学素子と、入力信号電圧をサンプリングして書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた入力信号電圧を保持する保持容量と、前記保持容量に保持された入力信号電圧に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、

10

20

30

40

50

前記画素アレイ部の各画素を行単位で選択走査して前記書き込みトランジスタによる書き込み駆動を行う第1走査手段と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタに電流を供給する電源供給線に対して第1電位と当該第1電位よりも低い第2電位とを前記第1走査手段による選択走査に同期して選択的に供給する第2走査手段とを備えた表示装置の駆動方法であって、

前記書き込みトランジスタによる前記映像信号の書き込み動作に先立って前記駆動トランジスタの閾値電圧に相当する電圧を前記保持容量に保持した後、少なくとも前記映像信号の書き込み動作が開始されるまでの期間において前記電源供給線をフローティング状態にする

10

ことを特徴とする表示装置の駆動方法。

【請求項7】

電気光学素子と、入力信号電圧をサンプリングして書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた入力信号電圧を保持する保持容量と、前記保持容量に保持された入力信号電圧に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、

前記画素アレイ部の各画素を行単位で選択走査して前記書き込みトランジスタによる書き込み駆動を行う第1走査手段と、

前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタに電流を供給する電源供給線に対して第1電位と当該第1電位よりも低い第2電位とを前記第1走査手段による選択走査に同期して選択的に供給する第2走査手段と、

20

前記書き込みトランジスタによる前記映像信号の書き込み動作に先立って前記駆動トランジスタの閾値電圧に相当する電圧を前記保持容量に保持した後、少なくとも前記映像信号の書き込み動作が開始されるまでの期間において前記電源供給線をフローティング状態にする制御手段と

を備えた表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、表示装置の駆動方法および電子機器に関し、特に電気光学素子を含む画素が行列状（マトリクス状）に配置されてなる平面型（フラットパネル型）の表示装置、当該表示装置の駆動方法および当該表示装置を有する電子機器に関する。

30

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、発光素子を含む画素（画素回路）が行列状に配置されてなる平面型の表示装置が急速に普及している。平面型の表示装置としては、画素の発光素子として、デバイスに流れる電流値に応じて発光輝度が変化するいわゆる電流駆動型の電気光学素子、例えば有機薄膜に電界をかけると発光する現象を利用した有機E L (Electro Luminescence)素子を用いた有機E L表示装置が開発され、商品化が進められている。

40

【0003】

有機E L表示装置は次のような特長を持っている。すなわち、有機E L素子が10V以下の印加電圧で駆動するために低消費電力であり、また自発光素子であることから、液晶セルを含む画素ごとに当該液晶セルにて光源（バックライト）からの光強度を制御することによって画像を表示する液晶表示装置に比べて、画像の視認性が高く、しかも液晶表示装置には必須なバックライト等の照明部材を必要としないために軽量化および薄型化が容易である。さらに、有機E L素子の応答速度が数μsec程度と非常に高速であるために動画表示時の残像が発生しない。

【0004】

有機E L表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マ

50

トリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。

【0005】

そのため、近年、電気光学素子に流れる電流を、当該電気光学素子と同じ画素回路内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、TFT（Thin Film Transistor；薄膜トランジスタ））によって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。アクティブマトリクス方式の表示装置は、電気光学素子が1フレームの期間に亘って発光を持続するために、大型でかつ高精細な表示装置の実現が容易である。

10

【0006】

ところで、一般的に、有機EL素子のI-V特性（電流-電圧特性）は、時間が経過すると劣化（いわゆる、経時劣化）することが知られている。有機EL素子を電流駆動するトランジスタ（以下、「駆動トランジスタ」と記述する）としてNチャネル型のTFTを用いた画素回路では、駆動トランジスタのソース側に有機EL素子が接続されることになるために、有機EL素子のI-V特性が経時劣化すると、駆動トランジスタのゲート-ソース間電圧Vgsが変化し、その結果、有機EL素子の発光輝度も変化する。

【0007】

このことについてより具体的に説明する。駆動トランジスタのソース電位は、当該駆動トランジスタと有機EL素子の動作点で決まる。そして、有機EL素子のI-V特性が劣化すると、駆動トランジスタと有機EL素子の動作点が変動してしまうために、駆動トランジスタのゲートに同じ電圧を印加したとしても駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース-ゲート間電圧Vgsが変化するために、当該駆動トランジスタに流れる電流値が変化する。その結果、有機EL素子に流れる電流値も変化するために、有機EL素子の発光輝度が変化することになる。

20

【0008】

また、ポリシリコンTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動トランジスタの閾値電圧Vthや、駆動トランジスタのチャネルを構成する半導体薄膜の移動度（以下、「駆動トランジスタの移動度」と記述する）μが経時に変化したり、製造プロセスのばらつきによって閾値電圧Vthや移動度μが画素ごとに異なったりする（個々のトランジスタ特性にばらつきがある）。

30

【0009】

駆動トランジスタの閾値電圧Vthや移動度μが画素ごとに異なると、画素ごとに駆動トランジスタに流れる電流値にばらつきが生じるために、駆動トランジスタのゲートに同じ電圧を印加しても、有機EL素子の発光輝度に画素間でばらつきが生じ、その結果、画面の一様性（ユニフォーミティ）が損なわれる。

【0010】

そこで、有機EL素子のI-V特性が経時劣化したり、駆動トランジスタの閾値電圧Vthや移動度μが経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の特性変動に対する補償機能、さらには駆動トランジスタの閾値電圧Vthの変動に対する補正（以下、「閾値補正」と記述する）や、駆動トランジスタの移動度μの変動に対する補正（以下、「移動度補正」と記述する）の各補正機能を画素回路の各々に持たせる構成を採っている（例えば、特許文献1参照）。

40

【0011】

【特許文献1】特開2006-133542号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

特許文献1記載の従来技術では、画素回路の各々に、有機EL素子の特性変動に対する

50

補償機能および駆動トランジスタの閾値電圧 V_{th} や移動度 μ の変動に対する補正機能を持たせることで、有機EL素子のI-V特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしたとしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つことができるが、その反面、画素回路を構成する素子数が多く、画素サイズの微細化、ひいては表示装置の高精細化の妨げとなる。

【0013】

これに対して、画素回路を構成する素子数や配線数の削減を図るために、例えば、画素回路の駆動トランジスタに供給する電源電位を切り替え可能な構成とし、当該電源電位の切り替えによって有機EL素子の発光期間／非発光期間を制御する機能を駆動トランジスタに持たせることで、発光期間／非発光期間を制御するトランジスタを省略する手法を採ることが考えられる。

10

【0014】

かかる手法を採ることにより、必要最小限の素子数、具体的には、映像信号の信号電圧をサンプリングして画素内に書き込む書き込みトランジスタと、この書き込みトランジスタによって書き込まれた信号電圧を保持する保持容量と、この保持容量に保持された信号電圧に基づいて有機EL素子を駆動する駆動トランジスタとによって画素回路を構成できる。

【0015】

このように、有機EL素子の発光期間／非発光期間を制御するトランジスタとして駆動トランジスタを兼用し、画素回路を構成する素子数の削減を図る構成を採る場合、駆動トランジスタに供給する電源電位を高電位と低電位で切り替えることになる訳であるが、駆動トランジスタのゲート-ソース間に接続された保持容量に、閾値補正のために駆動トランジスタの閾値電圧 V_{th} を保持した後、駆動トランジスタに供給する電源電位が高電位の状態のままだと、駆動トランジスタにリーク電流が流れることによって所望の閾値補正を行うことができない（その詳細については後述する）。

20

【0016】

そこで、本発明は、電気光学素子の発光期間／非発光期間を制御するトランジスタとして駆動トランジスタを兼用し、当該駆動トランジスタに供給する電源電位を高電位と低電位で切り替えることによって発光期間／非発光期間の制御を行なう構成を採る場合において、所望の閾値補正を確実に行えるようにした表示装置、当該表示装置の駆動方法および当該表示装置を用いた電子機器を提供することを目的とする。

30

【課題を解決するための手段】

【0017】

上記目的を達成するために、本発明は、電気光学素子と、映像信号をサンプリングして書き込む書き込みトランジスタと、前記書き込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、前記保持容量に保持された前記映像信号に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置されてなる画素アレイ部と、前記画素アレイ部の各画素を行単位で選択走査して前記書き込みトランジスタによる書き込み駆動を行う第1走査手段と、前記画素アレイ部の画素行ごとに配線され、前記駆動トランジスタに電流を供給する電源供給線に対して第1電位と当該第1電位よりも低い第2電位とを前記第1走査手段による選択走査に同期して選択的に供給する第2走査手段とを備えた表示装置において、前記書き込みトランジスタによる前記映像信号の書き込み動作に先立って前記駆動トランジスタの閾値電圧に相当する電圧を前記保持容量に保持した後、少なくとも前記映像信号の書き込み動作が開始されるまでの期間において前記電源供給線をフローティング状態にする構成を採っている。

40

【0018】

上記構成の表示装置および当該表示装置を有する電子機器において、駆動トランジスタの閾値電圧に相当する電圧を保持容量に保持した後、少なくとも映像信号の書き込み動作が開始されるまでの期間で電源供給線がフローティング状態になることで、当該電源供給線から駆動トランジスタに対して電流が供給されないために、駆動トランジスタにリーク

50

電流が流れないと、駆動トランジスタのソース電位が変動するこ
とがないために、駆動トランジスタのゲート - ソース間電圧は保持容量に保持された閾値電圧に相当する電圧に維持される。これにより、以降の映像信号の書き込み動作時において、所望の閾値補正を確実に実行できる。

【発明の効果】

【0019】

本発明によれば、駆動トランジスタにリーク電流が流れないと、映像信号の書き込み時に所望の閾値補正を確実に実行し、駆動トランジスタの閾値電圧のばらつきや経時変化の影響を受けない、一定の駆動電流を電気光学素子に流すことができるため、高画質の表示画像を得ることができる。

10

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0021】

図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子を画素の発光素子として用いたアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明する。

【0022】

図1に示すように、本実施形態に係る有機EL表示装置10は、画素(PXLC)20が行列状(マトリクス状)に2次元配置されてなる画素アレイ部30と、当該画素アレイ部30の周辺に配置され、各画素20を駆動する駆動部、例えば書き込み走査回路40、電源供給走査回路50および水平駆動回路60とを有する構成となっている。

20

【0023】

画素アレイ部30には、m行n列の画素配列に対して、画素行ごとに走査線31-1~31-mと電源供給線32-1~32-mとが配線され、画素列ごとに信号線33-1~33-nが配線されている。

【0024】

画素アレイ部30は、通常、ガラス基板などの透明絶縁基板上に形成され、平面型(フラット型)のパネル構造となっている。画素アレイ部30の各画素20は、アモルファスシリコンTFT(Thin Film Transistor; 薄膜トランジスタ)または低温ポリシリコンTFTを用いて形成することができる。低温ポリシリコンTFTを用いる場合には、走査回路40、電源供給走査回路50および水平駆動回路60についても、画素アレイ部30を形成する表示パネル(基板)70上に実装することができる。

30

【0025】

書き込み走査回路40は、クロックパルスclkに同期してスタートパルスspを順にシフト(転送)するシフトレジスタ等によって構成され、画素アレイ部30の各画素20への映像信号の書き込みに際して、走査線31-1~31-mに順次走査信号WS1~WSmを供給して画素20を行単位で順番に走査(線順次走査)する。

【0026】

電源供給走査回路50は、クロックパルスclkに同期してスタートパルスspを順にシフトするシフトレジスタ等によって構成され、書き込み走査回路40による線順次走査に同期して、第1電位Vccpと当該第1電位Vccpよりも低い第2電位Viniで切り替わる電源供給線電位DS1~DSmを電源供給線32-1~32-mに供給する。

40

【0027】

水平駆動回路60は、信号供給源(図示せず)から供給される輝度情報に応じた映像信号の信号電圧Vsigとオフセット電圧Vofsのいずれか一方を適宜選択し、信号線33-1~33-nを介して画素アレイ部30の各画素20に対して例えば行単位で一斉に書き込む。すなわち、水平駆動回路60は、入力信号電圧Vsigを行(ライン)単位で一斉に書き込む線順次書き込みの駆動形態を採っている。

50

【0028】

ここで、オフセット電圧 V_{ofs} は、映像信号の信号電圧（以下、「入力信号電圧」、または単に「信号電圧」と記述する場合もある） V_{sig} の基準となる電圧（例えば、黒レベルに相当）である。また、ここで、第2電位 V_{ini} は、オフセット電圧 V_{ofs} よりも十分に低い電位である。

【0029】

(画素回路)

図2は、画素（画素回路）20の具体的な構成例を示す回路図である。図2に示すように、画素20は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子21を発光素子として有し、当該有機EL素子21に加えて、駆動トランジスタ22、書き込みトランジスタ23、保持容量24および補助容量25を有する構成となっている。

10

【0030】

ここで、駆動トランジスタ22および書き込みトランジスタ23としてNチャネル型のTFTが用いられている。ただし、ここで駆動トランジスタ22および書き込みトランジスタ23の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

【0031】

有機EL素子21は、全ての画素20に対して共通に配線された共通電源供給線34にカソード電極が接続されている。駆動トランジスタ22は、ソース電極が有機EL素子21のアノード電極に接続され、ドレイン電極が電源供給線32（32-1～32-m）に接続されている。

20

【0032】

書き込みトランジスタ23は、ゲート電極が走査線31（31-1～31-m）に接続され、一方の電極（ソース電極／ドレイン電極）が信号線33（33-1～33-n）に接続され、他方の電極（ドレイン電極／ソース電極）が駆動トランジスタ22のゲート電極に接続されている。保持容量24は、一端が駆動トランジスタ22のゲート電極に接続され、他端が駆動トランジスタ22のソース電極（有機EL素子21のアノード電極）に接続されている。

30

【0033】

補助容量25は、一端が駆動トランジスタ22のソース電極に接続され、他端が有機EL素子21のカソード電極（共通電源供給線34）に接続されている。この補助容量25は、有機EL素子21に対して並列に接続されることで、当該有機EL素子21の容量不足を補う作用をなす。したがって、補助容量25は必須の構成要素ではなく、有機EL素子21の容量が十分である場合は補助容量25を省略することが可能である。

【0034】

かかる構成の画素20において、書き込みトランジスタ23は、書き込み走査回路40から走査線31を通してゲート電極に印加される走査信号WSに応答して導通状態となることにより、信号線33を通して水平駆動回路60から供給される輝度情報に応じた映像信号の入力信号電圧 V_{sig} またはオフセット電圧 V_{ofs} をサンプリングして画素20内に書き込む。この書き込まれた入力信号電圧 V_{sig} またはオフセット電圧 V_{ofs} は保持容量24に保持される。

40

【0035】

駆動トランジスタ22は、電源供給線32（32-1～32-m）の電位DSが第1電位 V_{ccp} にあるときに、電源供給線32から電流の供給を受けて、保持容量24に保持された入力信号電圧 V_{sig} の電圧値に応じた電流値の駆動電流を有機EL素子21に供給することによって当該有機EL素子21を電流駆動する。

【0036】

(画素構造)

図3に、画素20の断面構造の一例を示す。図3に示すように、画素20は、駆動トラ

50

ンジスタ 22、書き込みトランジスタ 23 等の画素回路が形成されたガラス基板 201 上に絶縁膜 202 およびウインド絶縁膜 203 が形成され、当該ウインド絶縁膜 203 の凹部 203A に有機EL素子 21 が設けられた構成となっている。

【0037】

有機EL素子 21 は、上記ウインド絶縁膜 203 の凹部 203A の底部に形成された金属等からなるアノード電極 204 と、当該アノード電極 204 上に形成された有機層（電子輸送層、発光層、ホール輸送層/ホール注入層）205 と、当該有機層 205 上に全画素共通に形成された透明導電膜等からなるカソード電極 206 とから構成されている。

【0038】

この有機EL素子 21 において、有機層 208 は、アノード電極 204 上にホール輸送層/ホール注入層 2051、発光層 2052、電子輸送層 2053 および電子注入層（図示せず）が順次堆積されることによって形成される。そして、図 2 の駆動トランジスタ 22 による電流駆動の下に、駆動トランジスタ 22 からアノード電極 204 を通して有機層 205 に電流が流れることで、当該有機層 205 内の発光層 2052 において電子と正孔が再結合する際に発光するようになっている。

【0039】

図 3 に示すように、画素回路が形成されたガラス基板 201 上に、絶縁膜 202 およびウインド絶縁膜 203 を介して有機EL素子 21 が画素単位で形成された後は、パッシベーション膜 207 を介して封止基板 208 が接着剤 209 によって接合され、当該封止基板 208 によって有機EL素子 21 が封止されることにより、表示パネル 70 が形成される。

【0040】

（閾値補正機能）

ここで、電源供給走査回路 50 は、書き込みトランジスタ 23 が導通した後で、水平駆動回路 60 が信号線 33（33-1～33-n）にオフセット電圧 V_{ofs} を供給している間に、電源供給線 32 の電位 DS を第 1 電位 V_{ccp} と第 2 電位 V_{ini} との間で切り替える。この電源供給線 32 の電位 DS の切り替えにより、駆動トランジスタ 22 の閾値電圧 V_{th} に相当する電圧が保持容量 24 に保持される。

【0041】

保持容量 24 に駆動トランジスタ 22 の閾値電圧 V_{th} に相当する電圧を保持するのは次の理由による。駆動トランジスタ 22 の製造プロセスのばらつきや経時変化により、各画素ごとに駆動トランジスタ 22 の閾値電圧 V_{th} や移動度 μ などのトランジスタ特性の変動がある。このトランジスタ特性の変動により、駆動トランジスタ 22 に同一のゲート電位を与えて、画素ごとにドレイン・ソース間電流（駆動電流） I_{ds} が変動し、発光輝度のばらつきとなって現れる。この閾値電圧 V_{th} の画素ごとのばらつきの影響をキャンセル（補正）するために、閾値電圧 V_{th} に相当する電圧を保持容量 24 に保持するのである。

【0042】

駆動トランジスタ 22 の閾値電圧 V_{th} の補正是次のようにして行われる。すなわち、保持容量 24 にあらかじめ閾値電圧 V_{th} を保持しておくことで、入力信号電圧 V_{sig} による駆動トランジスタ 22 の駆動の際に、当該駆動トランジスタ 22 の閾値電圧 V_{th} が保持容量 24 に保持された閾値電圧 V_{th} に相当する電圧と相殺される、換言すれば、閾値電圧 V_{th} の補正が行われる。

【0043】

これが閾値補正機能である。この閾値補正機能により、画素ごとに閾値電圧 V_{th} にはばらつきや経時変化があったとしても、それらの影響を受けることなく、有機EL素子 21 の発光輝度を一定に保つことができるうことになる。閾値補正の原理については後で詳細に説明する。

【0044】

（移動度補正機能）

10

20

30

40

50

図2に示した画素20は、上述した閾値補正機能に加えて、移動度補正機能を備えている。すなわち、水平駆動回路60が映像信号の信号電圧 V_{sig} を信号線33(33-1~33-n)に供給している期間で、かつ、書き込み走査回路40から出力される走査信号WS(WS1~WSm)に応答して書き込みトランジスタ23が導通する期間、即ち移動度補正期間において、保持容量24に入力信号電圧 V_{sig} を保持する際に、駆動トランジスタ22のドレイン-ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す移動度補正が行われる。この移動度補正の具体的な原理および動作については後述する。

【0045】

(ブートストラップ機能)

図2に示した画素20はさらにブートストラップ機能も備えている。すなわち、書き込み走査回路40は、保持容量24に入力信号電圧 V_{sig} が保持された段階で走査線31(31-1~31-m)に対する走査信号WS(WS1~WSm)の供給を解除し、書き込みトランジスタ23を非導通状態にして駆動トランジスタ22のゲートを信号線33(33-1~33-n)から電気的に切り離してフローティング状態にする。

10

【0046】

駆動トランジスタ22のゲートがフローティング状態になると、駆動トランジスタ22のゲート-ソース間に保持容量24が接続されていることにより、駆動トランジスタ22のソース電位 V_s が変動すると、当該ソース電位 V_s の変動に連動して(追従して)駆動トランジスタ22のゲート電位 V_g も変動するために、理想的には、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が一定に維持される。

20

【0047】

このように、駆動トランジスタ22のゲート電位 V_g をソース電位 V_s に追従させ、ゲート-ソース間電圧 V_{gs} を一定に維持する動作がブートストラップ動作である。このブートストラップ動作により、有機EL素子21のI-V特性が経時変化しても、当該有機EL素子21の発光輝度を一定に保つことができる。

【0048】

すなわち、有機EL素子21のI-V特性が経時変化し、これに伴って駆動トランジスタ22のソース電位 V_s が変化したとしても、ブートストラップ動作により駆動トランジスタ22のゲート-ソース間電位 V_{gs} が一定に維持されるために、有機EL素子21に流れる電流は変わらず、したがって当該有機EL素子21の発光輝度も一定に保たれる。その結果、有機EL素子21のI-V特性が経時変化しても、それに伴う輝度劣化のない画像表示を実現できる。

30

【0049】

(本実施形態の特徴部分)

上述した閾値補正機能、移動度補正機能およびブートストラップ機能のうち、少なくとも閾値補正機能有する有機EL表示装置10において、本実施形態では、閾値補正動作を理想通りに行えるようにするために、書き込みトランジスタ23による映像信号の信号電圧 V_{sig} の書き込み動作に先立って駆動トランジスタ22の閾値電圧 V_{th} に相当する電圧を保持容量24に保持した後、少なくとも信号電圧 V_{sig} の書き込み動作が開始されるまでの期間で電源供給線32(32-1~32-m)をフローティング状態にすることを特徴としている。電源供給線32をフローティング状態にするための具体的な実施例については後述する。

40

【0050】

(回路動作)

次に、本実施形態に係る有機EL表示装置10の回路動作について、図4のタイミングチャートを基に、図5および図6の動作説明図を用いて説明する。なお、図5および図6の動作説明図では、図面の簡略化のために、書き込みトランジスタ23をスイッチのシンボルで図示している。また、有機EL素子21は寄生容量を持っており、当該寄生容量と補助容量25を合成容量 C_{sub} として図示している。

【0051】

50

図4のタイミングチャートでは、時間軸を共通にして、走査線31(31-1~31-m)の電位(走査信号)WSの変化、電源供給線32(32-1~32-m)の電位DSの変化、信号線33(33-1~33-n)の電位の変化(Vofs/Vsig)、駆動トランジスタ22のゲート電位Vgおよびソース電位Vsの変化を表している。

【0052】

<非発光期間>

図4のタイミングチャートにおいて、時刻t1以前は、図5(A)に示すように、電源供給線32がフローティング状態にあり、駆動トランジスタ22には電源供給線32から電流が供給されないために、有機EL素子21が非発光状態にある。

【0053】

<閾値補正準備期間>

そして、時刻t1になると、線順次走査の新しいフィールドに入り、図5(B)に示すように、電源供給線32の電位DSがフローティング状態から信号線33のオフセット電圧Vofsよりも十分に低い電位Vinに切り替わる。

【0054】

ここで、有機EL素子21の閾値電圧をVel、共通電源供給線34の電位をVcathとするとき、低電位VinをVin < Vel + Vcathとすると、駆動トランジスタ22のソース電位Vsが低電位Vinにほぼ等しくなるために、有機EL素子21は逆バイアス状態になる。

【0055】

次に、時刻t2で走査線31の電位WSが低電位側から高電位側に遷移することで、図5(C)に示すように、書き込みトランジスタ23が導通状態となる。このとき、水平駆動回路60から信号線33に対してオフセット電圧Vofsが供給されているために、駆動トランジスタ22のゲート電位Vgがオフセット電圧Vofsになる。また、駆動トランジスタ22のソース電位Vsは、オフセット電圧Vofsよりも十分に低い電位Vinにある。

【0056】

このとき、駆動トランジスタ22のゲート-ソース間電圧VgsはVofs - Vinとなる。このVofs - Vinが駆動トランジスタ22の閾値電圧Vthよりも大きないと、先述した閾値補正動作を行うことができないために、Vofs - Vcath > Vthなる電位関係に設定する必要がある。このように、駆動トランジスタ22のゲート電位Vgをオフセット電圧Vofsに、ソース電位Vsを低電位Vinにそれぞれ固定して(確定させて)初期化する動作が閾値補正準備の動作である。

【0057】

<閾値補正期間>

次に、時刻t3で、図5(D)に示すように、電源供給線32の電位DSが低電位Vinから高電位Vccpに切り替わると、駆動トランジスタ22のソース電位Vsが上昇を開始する。やがて、駆動トランジスタ22のゲート-ソース間電圧Vgsが当該駆動トランジスタ22の閾値電圧Vthになり、当該閾値電圧Vthに相当する電圧が保持容量24に書き込まれる。

【0058】

ここでは、便宜上、閾値電圧Vthに相当する電圧を保持容量24に書き込む期間を閾値補正期間と呼んでいる。なお、この閾値補正期間において、電流が専ら保持容量24側に流れ、有機EL素子21側には流れないようにするために、有機EL素子21がカットオフ状態となるように共通電源供給線34の電位Vcathを設定しておくこととする。

【0059】

そして、時刻t4で、図5(E)に示すように、電源供給線32がフローティング状態になることで、閾値補正期間が終了する。

【0060】

次に、時刻t5で走査線31の電位WSが低電位側に遷移することで、図6(A)に示

10

20

30

40

50

すように、書き込みトランジスタ23が非導通状態となる。このとき、駆動トランジスタ22のゲートがフローティング状態になるが、ゲート-ソース間電圧 V_{gs} が駆動トランジスタ22の閾値電圧 V_{th} に等しいために、当該駆動トランジスタ22はカットオフ状態にある。したがって、ドレイン-ソース間電流 I_{ds} は流れない。

【0061】

その後、時刻 t_6 で、図6(B)に示すように、信号線33の電位がオフセット電圧 V_{ofs} から映像信号の信号電圧 V_{sig} に切り替わる。

【0062】

<書き込み期間>

次に、時刻 t_7 で走査線31の電位 WS が高電位側に遷移することで、図6(C)に示すように、書き込みトランジスタ23が導通状態になり、映像信号の信号電圧 V_{sig} をサンプリングして画素20内に書き込む。この書き込みトランジスタ23による信号電圧 V_{sig} の書き込みにより、駆動トランジスタ22のゲート電位 V_g が信号電圧 V_{sig} になる。

10

【0063】

<移動度補正期間>

次に、時刻 t_8 で、図6(D)に示すように、電源供給線32の電位 DS がフローティング状態から高電位 V_{ccp} に切り替わることで、電源供給線32から駆動トランジスタ22に信号電圧 V_{sig} に応じて電流が供給される。

20

【0064】

この信号電圧 V_{sig} に応じた駆動トランジスタ22の駆動の際に、当該駆動トランジスタ22の閾値電圧 V_{th} が保持容量24に保持された閾値電圧 V_{th} に相当する電圧と相殺されることによって閾値補正が行われる。閾値補正の原理については後述する。

【0065】

このとき、有機EL素子21が始めカットオフ状態(ハイインピーダンス状態)にあるために、映像信号の信号電圧 V_{sig} に応じて電源供給線32から駆動トランジスタ22に流れる電流(ドレイン-ソース間電流 I_{ds})は有機EL素子21に並列に接続された合成容量 C_{sub} に流れ込み、よって当該合成容量 C_{sub} の充電が開始される。

【0066】

この合成容量 C_{sub} の充電により、駆動トランジスタ22のソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ22の閾値電圧 V_{th} のばらつきは補正されており、駆動トランジスタ22のドレイン-ソース間電流 I_{ds} は当該駆動トランジスタ22の移動度 μ に依存したものとなる。

30

【0067】

やがて、駆動トランジスタ22のソース電位 V_s が $V_{ofs} - V_{th} + V$ の電位まで上昇すると、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ となる。すなわち、ソース電位 V_s の上昇分 V は、保持容量24に保持された電圧($V_{sig} - V_{ofs} + V_{th}$)から差し引かれるように、換言すれば、保持容量24の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 V は負帰還の帰還量となる。

40

【0068】

このように、駆動トランジスタ22に流れるドレイン-ソース間電流 I_{ds} を当該駆動トランジスタ22のゲート入力に、即ちゲート-ソース間電圧 V_{gs} に負帰還することにより、駆動トランジスタ22のドレイン-ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す、即ち移動度 μ の画素ごとのばらつきを補正する移動度補正が行われる。

【0069】

より具体的には、映像信号の信号電圧 V_{sig} が高いほどドレイン-ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量(補正量) V の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正が行われる。また、映像信号の信号電圧 V_{sig} を一定とした場合、駆動トランジスタ22の移動度 μ が大きいほど負帰還の帰還量 V の

50

絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。移動度補正の原理については後述する。

【0070】

<発光期間>

次に、時刻 t_9 で走査線 31 の電位 W_S が低電位側に遷移することで、図 6 (E) に示すように、書き込みトランジスタ 23 が非導通状態になる。これにより、駆動トランジスタ 22 のゲートは信号線 33 から切り離される。これと同時に、ドレイン - ソース間電流 I_{ds} が有機 EL 素子 21 に流れ始めることにより、有機 EL 素子 21 のアノード電位はドレイン - ソース間電流 I_{ds} に応じて上昇する。

【0071】

有機 EL 素子 21 のアノード電位の上昇は、即ち駆動トランジスタ 22 のソース電位 V_s の上昇に他ならない。駆動トランジスタ 22 のソース電位 V_s が上昇すると、保持容量 24 のブーストストラップ動作により、駆動トランジスタ 22 のゲート電位 V_g も連動して上昇する。このとき、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は、 $V_{sig} - V_{off} + V_{th} - V$ で一定に保持される。

【0072】

そして、時刻 t_{10} で信号線 33 の電位が映像信号の信号電圧 V_{sig} からオフセット電圧 V_{off} に切り替わり、その後、時刻 t_{11} で電源供給線 32 がフローティング状態になることで、電源供給線 32 から駆動トランジスタ 22 への電流供給が停止し、発光期間が終了する。

【0073】

(閾値補正の原理)

ここで、駆動トランジスタ 22 の閾値補正の原理について説明する。駆動トランジスタ 22 は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機 EL 素子 21 には駆動トランジスタ 22 から、次式 (1) で与えられる一定のドレイン - ソース間電流 (駆動電流) I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、 W は駆動トランジスタ 22 のチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量である。

【0074】

図 7 に、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} 対ゲート - ソース間電圧 V_{gs} の特性を示す。この特性図に示すように、駆動トランジスタ 22 の閾値電圧 V_{th} のばらつきに対する補正を行わないと、閾値電圧 V_{th} が V_{th1} のとき、ゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds1} になるのに対し、閾値電圧 V_{th} が V_{th2} ($V_{th2} > V_{th1}$) のとき、同じゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds2} ($I_{ds2} < I_{ds1}$) になる。すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} が変動すると、ゲート - ソース間電圧 V_{gs} が一定であってもドレイン - ソース間電流 I_{ds} が変動する。

【0075】

これに対して、上記構成の画素 (画素回路) 20 では、先述したように、発光時の駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が $V_{sig} - V_{off} + V_{th} - V$ であるために、これを式 (1) に代入すると、ドレイン - ソース間電流 I_{ds} は、

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{off} - V)^2 \quad \dots \dots (2)$$

で表される。

【0076】

すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} の項がキャンセルされており、駆動トランジスタ 22 から有機 EL 素子 21 に供給されるドレイン - ソース間電流 I_{ds} は、駆動トランジスタ 22 の閾値電圧 V_{th} に依存しない。その結果、駆動トランジスタ 22

10

20

30

40

50

の製造プロセスのばらつきや経時変化により、各画素ごとに駆動トランジスタ 2 2 の閾値電圧 V_{th} が変動しても、ドレイン - ソース間電流 I_{ds} が変動しないために、有機 EL 素子 2 1 の発光輝度も変動しない。

【0077】

(移動度補正の原理)

次に、駆動トランジスタ 2 2 の移動度補正の原理について説明する。図 8 に、駆動トランジスタ 2 2 の移動度 μ が相対的に大きい画素 A と、駆動トランジスタ 2 2 の移動度 μ が相対的に小さい画素 B とを比較した状態で特性カーブを示す。駆動トランジスタ 2 2 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度 μ がばらつくことは避けられない。

10

【0078】

画素 A と画素 B で移動度 μ にばらつきがある状態で、例えば両画素 A, B に同レベルの入力信号電圧 V_{sig} を書き込んだ場合に、何ら移動度 μ の補正を行わないと、移動度 μ の大きい画素 A に流れるドレイン - ソース間電流 I_{ds1} と移動度 μ の小さい画素 B に流れるドレイン - ソース間電流 I_{ds2} との間には大きな差が生じてしまう。このように、移動度 μ のばらつきに起因してドレイン - ソース間電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォーミティが損なわれることになる。

【0079】

ここで、先述した式(1)のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン - ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 V は移動度 μ が大きくなるほど大きくなる。図 8 に示すように、移動度 μ の大きな画素 A の帰還量 V_1 は、移動度の小さな画素 B の帰還量 V_2 に比べて大きい。そこで、移動度補正動作によって駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} を入力信号電圧 V_{sig} 側に負帰還させることで、移動度 μ が大きいほど負帰還が大きくかかるために、移動度 μ のばらつきを抑制することができる。

20

【0080】

具体的には、移動度 μ の大きな画素 A で帰還量 V_1 の補正をかけると、ドレイン - ソース間電流 I_{ds} は I_{ds1} から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素 B の帰還量 V_2 は小さいために、ドレイン - ソース間電流 I_{ds} は I_{ds2} から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素 A のドレイン - ソース間電流 I_{ds1} と画素 B のドレイン - ソース間電流 I_{ds2} とはほぼ等しくなるために、移動度 μ のばらつきが補正される。

30

【0081】

以上をまとめると、移動度 μ の異なる画素 A と画素 B があった場合、移動度 μ の大きい画素 A の帰還量 V_1 は移動度 μ の小さい画素 B の帰還量 V_2 に比べて小さくなる。つまり、移動度 μ が大きい画素ほど帰還量 V が大きく、ドレイン - ソース間電流 I_{ds} の減少量が大きくなる。したがって、駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} を入力信号電圧 V_{sig} 側に負帰還させることで、移動度 μ の異なる画素のドレイン - ソース間電流 I_{ds} の電流値が均一化され、その結果、移動度 μ のばらつきを補正することができる。

40

【0082】

ここで、図 2 に示した画素(画素回路) 2 0において、閾値補正、移動度補正の有無による映像信号の信号電位(サンプリング電位) V_{sig} と駆動トランジスタ 2 2 のドレイン - ソース間電流 I_{ds} との関係について図 9 を用いて説明する。

【0083】

図 9において、(A) は閾値補正および移動度補正を共に行わない場合、(B) は移動度補正を行わず、閾値補正のみを行った場合、(C) は閾値補正および移動度補正を共に行なった場合をそれぞれ示している。図 9 (A) に示すように、閾値補正および移動度補正を共に行わない場合には、閾値電圧 V_{th} および移動度 μ の画素 A, B ごとのばらつきに起因してドレイン - ソース間電流 I_{ds} に画素 A, B 間で大きな差が生じることになる。

50

【0084】

これに対して、閾値補正のみを行った場合は、図9(B)に示すように、当該閾値補正によってドレイン-ソース間電流 I_{ds} のばらつきをある程度低減できるものの、移動度 μ の画素A, Bごとのばらつきに起因する画素A, B間でのドレイン-ソース間電流 I_{ds} の差は残る。そして、閾値補正および移動度補正を共に行うことで、図9(C)に示すように、閾値電圧 V_{th} および移動度 μ の画素A, Bごとのばらつきに起因する画素A, B間でのドレイン-ソース間電流 I_{ds} の差をほぼ無くすことができるために、どの階調においても有機EL素子21の輝度ばらつきは発生せず、良好な画質の表示画像を得ることができる。

【0085】

10

(本実施形態の作用効果)

上述したように、少なくとも閾値補正機能有する有機EL表示装置10において、書き込みトランジスタ23による映像信号の信号電圧 V_{sig} の書き込み動作に先立って、閾値補正期間 $t_3 - t_4$ で駆動トランジスタ22の閾値電圧 V_{th} に相当する電圧を保持容量24に保持した後、少なくとも信号電圧 V_{sig} の書き込み動作が開始されるまでの $t_4 - t_7$ の期間(本例では、時刻 $t_4 - t_8$ の期間)で電源供給線32をフローティング状態にすることにより、次のような作用効果を得ることができる。

【0086】

20

すなわち、少なくとも $t_4 - t_7$ の期間において電源供給線32をフローティング状態にすることで、電源供給線32から駆動トランジスタ22に対して電流が供給されないために、駆動トランジスタ22にリーク電流が流れないと、駆動トランジスタ22のソース電位 V_s が変動するがないために、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} は保持容量24に保持された閾値電圧 V_{th} に相当する電圧に維持される。

【0087】

30

これにより、以降の書き込みトランジスタ23による映像信号の信号電圧 V_{sig} の書き込み動作時において、所望の閾値補正動作、即ち駆動トランジスタ22の閾値電圧 V_{th} を保持容量24の保持電圧と相殺する理想的な補正動作を確実に実行できるために、駆動トランジスタ22の閾値電圧 V_{th} のばらつきや経時変化の影響を受けずに、高画質の表示画像を得る、という所期の目的を達成できることになる。

【0088】

40

因みに、有機EL素子21の発光期間/非発光期間を制御するトランジスタとして駆動トランジスタ22を兼用する構成を探る場合、電源供給線32の電位 D_S を高電位 V_{ccp} と低電位 V_{ini} で切り替えることになる訳であるから、一般的には、電源供給線32の電位 D_S が高電位 V_{ccp} または低電位 V_{ini} に固定となる。

【0089】

そして、電源供給線32を時刻 $t_4 - t_8$ の期間でフローティング状態にせずに、閾値補正期間 $t_3 - t_4$ における動作によって駆動トランジスタ22の閾値電圧 V_{th} に相当する電圧を保持容量24に保持した後、電源供給線32の電位 D_S を高電位 V_{ccp} に固定した状態にしたまま、時刻 t_7 で信号電圧 V_{sig} の書き込み動作に入るようにした場合、次のような問題がある。

【0090】

すなわち、閾値電圧 V_{th} に相当する電圧を保持容量24に保持した後、電源供給線32の電位 D_S が高電位 V_{ccp} に固定された状態にあると、駆動トランジスタ22にリーク電流が流れるために、当該駆動トランジスタ22のソース電位 V_s がリーク電流の電流値に応じて上昇する。このとき、書き込みトランジスタ23が非導通状態にあり、駆動トランジスタ22のゲートがフローティング状態にあるために、駆動トランジスタ22のソース電位 V_s の上昇に追従してゲート電位 V_g も上昇する。

【0091】

50

ただし、書き込みトランジスタ23のゲートと駆動トランジスタ22のゲートとの間に

寄生容量が存在することから、駆動トランジスタ22のソース電位 V_s が上昇するとき、当該寄生容量の影響によって駆動トランジスタ22のゲート電位 V_g の上昇分がソース電位 V_s の上昇分よりも小さくなるために、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が駆動トランジスタ22の閾値電圧 V_{th} に相当する電圧よりも小さくなる。

【0092】

このように、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} 、即ち保持容量24の保持電圧が駆動トランジスタ22の閾値電圧 V_{th} に相当する電圧よりも小さいと、時刻 t_7 で映像信号の信号電圧 V_{sig} を書き込む際に、駆動トランジスタ22の閾値電圧 V_{th} を保持容量24の保持電圧と相殺できることになるために、閾値補正の動作が正常に行われないことになる。

10

【0093】

なお、駆動トランジスタ22に流れるリーク電流によってソース電位 V_s が上昇するときに、書き込みトランジスタ23のゲートと駆動トランジスタ22のゲートとの間に存在する寄生容量の影響により、駆動トランジスタ22のゲート電位 V_g の上昇分がソース電位 V_s の上昇分よりも小さくなることについては、先述したブートストラップ動作のときにも言える。

【0094】

ただし、先述したブートストラップ動作では、駆動トランジスタ22のゲート電位 V_g がソース電位 V_s に追従して上昇することで、理想的な動作として、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が一定に維持されるとしている。

20

【0095】

ブートストラップ動作が理想的で無かったとしても、即ち駆動トランジスタ22のゲート電位 V_g の上昇分がソース電位 V_s の上昇分よりも小さくなり、駆動トランジスタ22のゲート-ソース間電圧 V_{gs} が小さくなつたとしても、その分だけ有機EL素子21の発光輝度が若干低くなるだけであるから、閾値補正を理想通りに行えなくなるのに比べたら、表示画像に対する影響はほとんど無いに等しいと言える。

【0096】

なお、ここでは、時刻 $t_4 - t_8$ の期間で電源供給線32をフローティング状態にするとしたが、少なくとも信号電圧 V_{sig} の書き込み動作が開始されるまでの $t_4 - t_7$ の期間で電源供給線32をフローティング状態にすることで、所期の目的を達成することができる。

30

【0097】

ただし、時刻 $t_4 - t_8$ の期間で電源供給線32をフローティング状態にするようにした場合は、図4のタイミングチャートから明らかなように、時刻 $t_4 - t_8$ の期間が信号電圧 V_{sig} の書き込み期間になり、時刻 $t_8 - t_9$ の期間が移動度補正期間になる。すなわち、書き込み期間と移動度補正期間を分けて、書き込み期間が終わった後に移動度補正期間に入るようにすることができる。

【0098】

このように、書き込み期間の後に移動度補正期間を設定することにより、信号電圧 V_{sig} の書き込みが十分に行われた状態で移動度補正を移行することができるために、移動度補正を安定して行うことができ、結果として、画素間での移動度補正のばらつきを無くし、画質の向上を図ることができる。

40

【0099】

なお、上記実施形態では、画素回路20の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子（発光素子）を用いた表示装置全般に対して適用可能である。

【0100】

[実施例]

続いて、駆動トランジスタ22の閾値電圧 V_{th} に相当する電圧を保持容量24に保持

50

した後、少なくとも信号電圧 V_{sig} の書き込み動作が開始されるまでの $t_4 - t_7$ の期間（上記の例では、時刻 $t_4 - t_8$ の期間）において電源供給線 32 をフローティング状態にする制御手段の具体的な実施例について説明する。

【0101】

（実施例1）

図10は、実施例1に係る制御手段の構成例を示す回路図である。ここでは、電源供給走査回路50のある画素行の最終段バッファ50Aと電源供給線32（32-1～32-m）を示している。

【0102】

最終段バッファ50Aは、高電位 V_{ccp} の電源ラインにソース電極が接続されたPチャネルMOSトランジスタP11と、低電位 V_{ini} の電源ラインにソース電極が接続され、PチャネルMOSトランジスタP11とドレイン電極およびゲート電極がそれぞれ共通に接続されたNチャネルMOSトランジスタN11とからなるCMOSインバータ構成となっている。

【0103】

最終段バッファ50Aには、その前段から走査パルス $DSIN$ が入力される。この最終段バッファ50Aにおいて、MOSトランジスタP11, N11のドレイン共通接続ノードn11は、当該最終段バッファ50Aの出力端になるとともに、電源供給走査回路50のある画素行の出力端になる。

【0104】

そして、時刻 $t_4 - t_8$ の期間で電源供給線32をフローティング状態にする制御手段は、ドレイン共通接続ノードn11と電源供給線32との間に接続されたスイッチ素子80によって構成されている。スイッチ素子80は、MOSスイッチやCMOSトランスファスイッチなどの電子スイッチによって実現可能であり、制御パルス DSF に応答してオン（閉）/オフ（開）動作を行う。

【0105】

次に、実施例1の回路動作について図11のタイミングチャートを用いて説明する。図11のタイミングチャートでは、走査線31の電位 WS 、最終段バッファ50Aに入力される走査パルス $DSIN$ 、最終段バッファ50Aから出力される電源電位 $DSOUT$ 、制御パルス DSF および電源供給線32の電位 DS のタイミング関係を示している。

【0106】

図11のタイミングチャートに示すように、走査パルス $DSIN$ は、時刻 t_3 まで高電位（以下、「“H”レベル」と記述する）、時刻 t_3 から時刻 t_{12} の期間に亘って低電位（以下、「“L”レベル」と記述する）、時刻 t_{12} 以降“H”レベルになる。

【0107】

一方、制御パルス DSF は、時刻 t_1 から時刻 t_4 までの期間および時刻 t_8 から時刻 t_{11} までの期間で“H”レベル、時刻 t_1 まで、時刻 t_4 から時刻 t_8 までの期間および時刻 t_{11} 以降の期間で“L”レベルになる。

【0108】

走査パルス $DSIN$ が最終段バッファ50Aに入力されることで、当該最終段バッファ50Aからは、時刻 t_3 まで低電位 V_{ini} 、時刻 t_3 から時刻 t_{12} の期間に亘って高電位 V_{ccp} 、時刻 t_{12} 以降低電位 V_{ini} の電源電位 $DSOUT$ が出力される。

【0109】

これに対して、スイッチ素子80は、制御パルス DSF に応答して、時刻 t_1 までの期間、時刻 t_4 から時刻 t_8 までの期間および時刻 t_{11} 以降の期間でオフ状態になって最終段バッファ50Aの出力端（ドレイン共通接続ノードn11）と電源供給線32との間の電気的接続を遮断する。

【0110】

このスイッチ素子80の作用により、電源供給線32は、駆動トランジスタ22の閾値電圧 V_{th} に相当する電圧を保持容量24に保持した後、信号電圧 V_{sig} の書き込み期

10

20

30

40

50

間が終了するまでの $t_4 - t_8$ の期間においてフローティング状態になる。その結果、信号電圧 V_{sig} の書き込み時において、理想的な閾値補正動作を実現できる。

【0111】

なお、スイッチ素子 80 をオン / オフ制御する制御パルス D S F については、電源供給走査回路 50 を構成するシフトレジスタの後段に一般的に設けられるロジック回路において、シフトレジスタから出力されるシフトパルスを基準にして論理演算によって生成することができる。

【0112】

(実施例 2)

図 12 は、実施例 2 に係る制御手段の構成例を示す回路図であり、図中、図 10 と同等部分には同一符号を付して示している。ここでは、電源供給走査回路 50 のある画素行の最終段バッファ 50B と電源供給線 32 (32-1 ~ 32-m) を示している。

10

【0113】

最終段バッファ 50B は、高電位 V_{ccp} の電源ラインにソース電極が接続された P チャネル MOS トランジスタ P11 と、低電位 V_{ini} の電源ラインにソース電極が接続され、P チャネル MOS トランジスタ P11 とゲート電極が共通に接続された N チャネル MOS トランジスタ N11 と、P チャネル MOS トランジスタ P11 のドレイン電極にソース電極が接続された P チャネル MOS トランジスタ P12 と、P チャネル MOS トランジスタ P12 とドレイン電極が共通に接続され、N チャネル MOS トランジスタ N11 のドレイン電極にソース電極が接続された N チャネル MOS トランジスタ N12 とからなるクロックドインバータ構成となっている。

20

【0114】

最終段バッファ 50B には、その前段から走査パルス D S I N が入力される。また、MOS トランジスタ N12, P12 の各ゲートには、互いに逆相の制御パルス D S F, x D S F が印加される。

【0115】

最終段バッファ 50B において、MOS トランジスタ P12, N12 のドレイン共通接続ノード n12 は、当該最終段バッファ 50B の出力端になるとともに、電源供給走査回路 50 のある画素行の出力端になる。ドレイン共通接続ノード n12 には、電源供給線 32 が接続されている。そして、MOS トランジスタ N12, P12 は、時刻 $t_4 - t_8$ の期間で電源供給線 32 をフローティング状態にする制御手段として機能する。

30

【0116】

次に、実施例 2 の回路動作について図 13 のタイミングチャートを用いて説明する。図 11 のタイミングチャートでは、走査線 31 の電位 W_S 、最終段バッファ 50A に入力される走査パルス D S I N、制御パルス D S F, x D S F および電源供給線 32 の電位 D_S のタイミング関係を示している。

40

【0117】

図 13 のタイミングチャートに示すように、走査パルス D S I N は、時刻 t_3 まで “H” レベル、時刻 t_3 から時刻 t_{12} の期間に亘って “L” レベル、時刻 t_{12} 以降で “H” レベルになる。

40

【0118】

一方、制御パルス D S F は、時刻 t_1 から時刻 t_4 までの期間および時刻 t_8 から時刻 t_{11} までの期間で “H” レベル、それ以外の期間で “L” レベルになる。制御パルス D S F は、時刻 t_1 から時刻 t_4 までの期間および時刻 t_8 から時刻 t_{11} までの期間で “L” レベル、それ以外の期間で “H” レベルになる。

【0119】

走査パルス D S I N が時刻 t_3 まで “H” レベルであることで、N チャネル MOS トランジスタ N11 が導通状態となり、低電位 V_{ini} を出力する。しかし、時刻 t_1 までは制御パルス D S F が “L” レベルにあることで、N チャネル MOS トランジスタ N12 が非導通状態になって N チャネル MOS トランジスタ N11 と電源供給線 32 との間の電気

50

的接続を遮断する。

【0120】

このとき、PチャネルMOSトランジスタP11も非導通状態にある。したがって、時刻t1までは電源供給線32はフローティング状態になる。そして、時刻t1で制御パルスDSFが“H”レベルになることで、NチャネルMOSトランジスタN12が導通状態になるために、当該MOSトランジスタN12を通してNチャネルMOSトランジスタN11から電源供給線32に低電位Vin_iが供給される。

【0121】

時刻t3から時刻t12までの期間では、走査パルスDSINが“L”レベルになることで、PチャネルMOSトランジスタP11が導通状態になり、高電位Vccpを出力する。しかし、時刻t4から時刻t8までの期間では制御パルスxDSFが“H”レベルにあることで、PチャネルMOSトランジスタP12が非導通状態となってPチャネルMOSトランジスタP11と電源供給線32との間の電気的接続を遮断する。

10

【0122】

このとき、NチャネルMOSトランジスタN11も非導通状態にある。したがって、時刻t4から時刻t8までの期間では電源供給線32はフローティング状態になる。それ以外の期間では、PチャネルMOSトランジスタP12が導通状態になるために、当該MOSトランジスタP12を通してPチャネルMOSトランジスタP11から電源供給線32に高電位Vccpが供給される。

20

【0123】

このように、クロックドインバータ構成の最終段バッファ50Bにおいて、MOSトランジスタN12, P12の作用により、電源供給線32は、駆動トランジスタ22の閾値電圧Vthに相当する電圧を保持容量24に保持した後、信号電圧Vsigの書き込み期間が終了するまでのt4 - t8の期間においてフローティング状態になる。その結果、信号電圧Vsigの書き込み時において、理想的な閾値補正動作を実現できる。

20

【0124】

なお、MOSトランジスタN12, P12の各ゲートにクロックパルスとして与えられる制御パルスDSF, xDSFについては、電源供給走査回路50を構成するシフトレジスタの後段に一般的に設けられるロジック回路において、シフトレジスタから出力されるシフトパルスを基準にして論理演算によって生成することができる。

30

【0125】

(実施例3)

図14は、実施例3に係る制御手段の構成例を示す回路図である。ここでは、電源供給走査回路50のある画素行の最終段バッファ50Cと電源供給線32(32-1~32-m)を示している。

【0126】

最終段バッファ50Cは、高電位Vccpの電源ラインにソース電極が接続されたPチャネルMOSトランジスタP13と、低電位Vin_iの電源ラインにソース電極が接続され、PチャネルMOSトランジスタP13とドレイン電極が共通に接続されたNチャネルMOSトランジスタN13とからなり、2相の走査パルスDSP, DSNをMOSトランジスタP13, N13の各ゲート入力とする2相入力インバータ構成となっている。

40

【0127】

この最終段バッファ50Cにおいて、MOSトランジスタP13, N13のドレイン共通接続ノードn13は、当該最終段バッファ50Cの出力端になるとともに、電源供給走査回路50のある画素行の出力端になる。ドレイン共通接続ノードn13には、電源供給線32が接続されている。

【0128】

2相の走査パルスDSP, DSNは、図15のタイミングチャートに示す位相関係となっている。すなわち、走査パルスDSPは、時刻t3まで、時刻t4から時刻t8までの期間および時刻t11以降で“H”レベル、時刻t3から時刻t4までの期間および時刻t

50

8 から時刻 t_{11} までの期間で“L”レベルになる。走査パルスDSPは、時刻 t_1 から時刻 t_3 までの期間で“H”レベル、それ以外の期間では“L”レベルになる。

【0129】

次に、実施例3の回路動作について図15のタイミングチャートを用いて説明する。図11のタイミングチャートでは、走査線31の電位WS、最終段バッファ50Cに入力される2相の走査パルスDSP, DSNおよび電源供給線32の電位DSのタイミング関係を示している。

【0130】

時刻 t_1 までは、走査パルスDSPが“H”レベル、走査パルスDSNが“L”レベルにあることで、PチャネルMOSトランジスタP13およびNチャネルMOSトランジスタN13が共に非導通状態になるために、ドレイン共通接続ノードn13、ここに接続された電源供給線32がフローティング状態になる。

10

【0131】

時刻 t_1 から時刻 t_3 までの期間では、走査パルスDSNが“H”レベルになることによってNチャネルMOSトランジスタN13が導通状態になるために、低電位Viniがドレイン共通接続ノードn13を通して電源供給線32に供給される。

【0132】

時刻 t_3 から時刻 t_4 までの期間では、走査パルスDSP, DSNが共に“L”レベルにあることで、NチャネルMOSトランジスタN13が非導通状態になり、PチャネルMOSトランジスタP13が導通状態になるために、高電位Vccpがドレイン共通接続ノードn13を通して電源供給線32に供給される。

20

【0133】

時刻 t_4 から時刻 t_8 までの期間では、走査パルスDSPが“H”レベル、走査パルスDSNが“L”レベルになることで、PチャネルMOSトランジスタP13およびNチャネルMOSトランジスタN13が共に非導通状態になるために、電源供給線32がフローティング状態になる。

【0134】

時刻 t_8 から時刻 t_{11} までの期間では、走査パルスDSP, DSNが共に“L”レベルにあることで、NチャネルMOSトランジスタN13が非導通状態になり、PチャネルMOSトランジスタP13が導通状態になるために、高電位Vccpがドレイン共通接続ノードn13を通して電源供給線32に供給される。

30

【0135】

時刻 t_{11} 以降では、走査パルスDSPが“H”レベル、走査パルスDSNが“L”レベルになることで、PチャネルMOSトランジスタP13およびNチャネルMOSトランジスタN13が共に非導通状態になるために、電源供給線32がフローティング状態になる。

【0136】

上述した動作説明から明らかなように、最終段バッファ50Cを構成するMOSトランジスタN13, P13は、時刻 $t_4 - t_8$ の期間で電源供給線32をフローティング状態にする制御手段として機能する。

40

【0137】

そして、2相の走査パルスDSP, DSNは、電源供給線32(32-1~32-m)の電位DSを、電源供給走査回路50の走査に同期して高電位Vccpと低電位Viniに適宜切り替えるとともに、時刻 $t_4 - t_8$ の期間で電源供給線32をフローティング状態にする制御パルスとしても機能する。

【0138】

このように、2相入力インバータ構成の最終段バッファ50Cにおいて、MOSトランジスタN13, P13の作用により、電源供給線32は、駆動トランジスタ22の閾値電圧Vthに相当する電圧を保持容量24に保持した後、信号電圧Vsigの書き込み期間が終了するまでの $t_4 - t_8$ の期間においてフローティング状態になる。その結果、信号

50

電圧 V_{sig} の書き込み時において、理想的な閾値補正動作を実現できる。

【0139】

なお、2相の走査パルスDSP, DSNについては、電源供給走査回路50を構成するシフトレジスタの後段に一般的に設けられるロジック回路において、シフトレジスタから出力されるシフトパルスを基準にして論理演算によって生成することができる。

【0140】

[適用例]

以上説明した本発明による表示装置は、一例として、図16～図20に示す様々な電子機器、例えば、デジタルカメラ、ノート型パソコンコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

10

【0141】

このように、本発明による表示装置を用いることにより、当該表示装置は、電気光学素子の発光期間／非発光期間を制御するトランジスタとして駆動トランジスタを兼用し、当該駆動トランジスタに供給する電源電位を高電位と低電位で切り替えることによって発光期間／非発光期間の制御を行なう構成を採る場合において、所望の閾値補正を確実に行なうことができる、換言すれば、理想通りの閾値補正を行うことができるために、良質な画像表示を行うことができる利点がある。以下に、本発明が適用される電子機器の一例について説明する。

20

【0142】

なお、本発明による表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部30に透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部やFPC（フレキシブルプリントサーキット）等が設けられていてもよい。

30

【0143】

図16は、本発明が適用されるテレビを示す斜視図である。本適用例に係るテレビは、フロントパネル102やフィルターガラス103等から構成される映像表示画面部101を含み、その映像表示画面部101として本発明による表示装置を用いることにより作成される。

【0144】

図17は、本発明が適用されるデジタルカメラを示す斜視図であり、(A)は表側から見た斜視図、(B)は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部111、表示部112、メニュー・スイッチ113、シャッター・ボタン114等を含み、その表示部112として本発明に係る表示装置を用いることにより作製される。

40

【0145】

図18は、本発明が適用されるノート型パソコンコンピュータを示す斜視図である。本適用例に係るノート型パソコンコンピュータは、本体121に、文字等を入力するとき操作されるキー・ボード122、画像を表示する表示部123等を含み、その表示部123として本発明による表示装置を用いることにより作製される。

【0146】

図19は、本発明が適用されるビデオカメラを示す斜視図である。本適用例に係るビデオカメラは、本体部131、前方を向いた側面に被写体撮影用のレンズ132、撮影時のスタート／ストップスイッチ133、表示部134等を含み、その表示部134として本発明による表示装置を用いることにより作製される。

【0147】

図20は、本発明が適用される携帯端末装置、例えば携帯電話機を示す斜視図であり、

50

(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。本適用例に係る携帯電話機は、上側筐体 141、下側筐体 142、連結部(ここではヒンジ部) 143、ディスプレイ 144、サブディスプレイ 145、ピクチャーライト 146、カメラ 147 等を含み、そのディスプレイ 144 やサブディスプレイ 145 として本発明による表示装置を用いることにより作製される。

【図面の簡単な説明】

【0148】

【図1】本発明の一実施形態に係る有機EL表示装置の構成の概略を示すシステム構成図である。

10

【図2】画素(画素回路)の具体的な構成例を示す回路図である。

【図3】画素の断面構造の一例を示す断面図である。

【図4】本発明の一実施形態に係る有機EL表示装置の回路動作の説明に供するタイミングチャートである。

【図5】本発明の一実施形態に係る有機EL表示装置の回路動作の説明図(その1)である。

【図6】本発明の一実施形態に係る有機EL表示装置の回路動作の説明図(その2)である。

【図7】駆動トランジスタの閾値電圧 V_{th} のばらつきに起因する課題の説明に供する特性図である。

20

【図8】駆動トランジスタの移動度 μ のばらつきに起因する課題の説明に供する特性図である。

【図9】閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタのドレイン・ソース間電流 I_{ds} との関係の説明に供する特性図である。

【図10】実施例1に係る制御手段の構成例を示す回路図である。

【図11】実施例1に係る制御手段の動作説明に供するタイミングチャートである。

【図12】実施例2に係る制御手段の構成例を示す回路図である。

【図13】実施例2に係る制御手段の動作説明に供するタイミングチャートである。

【図14】実施例3に係る制御手段の構成例を示す回路図である。

【図15】実施例3に係る制御手段の動作説明に供するタイミングチャートである。

【図16】本発明が適用されるテレビを示す斜視図である。

30

【図17】本発明が適用されるデジタルカメラを示す斜視図であり、(A) は表側から見た斜視図、(B) は裏側から見た斜視図である。

【図18】本発明が適用されるノート型パソコンを示す斜視図である。

【図19】本発明が適用されるビデオカメラを示す斜視図である。

【図20】本発明が適用される携帯電話機を示す斜視図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。

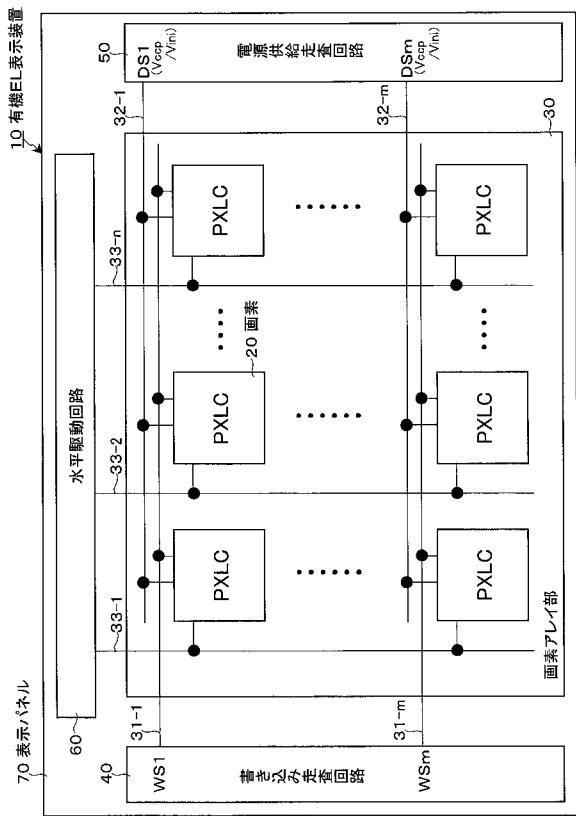
【符号の説明】

【0149】

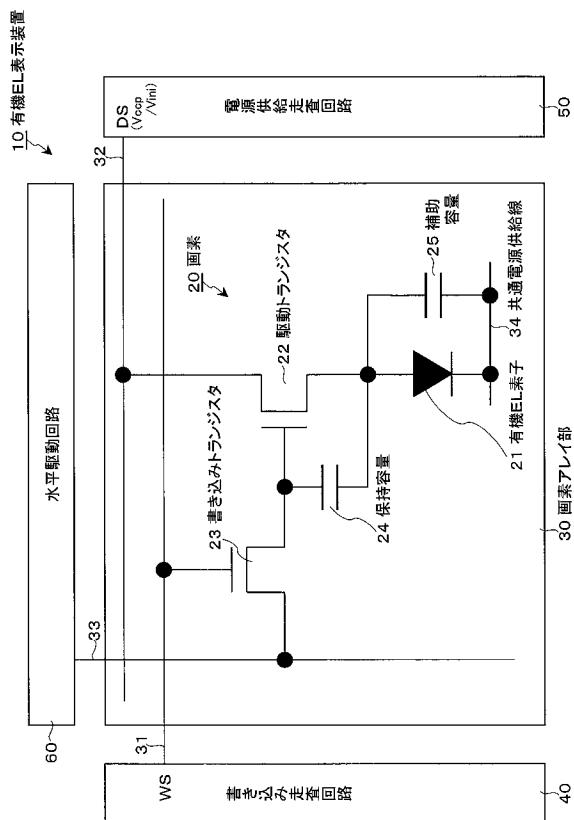
10...有機EL表示装置、20...画素(画素回路)、21...有機EL素子、22...駆動トランジスタ、23...書き込みトランジスタ、24...保持容量、25...補助容量、30...画素アレイ部、31(31-1~31-m)...走査線、32(32-1~32-m)...電源供給線、33(33-1~33-n)...信号線、34...共通電源供給線、40...書き込み走査回路、50...電源供給走査回路、60...水平駆動回路、70...表示パネル、80...スイッチ素子

40

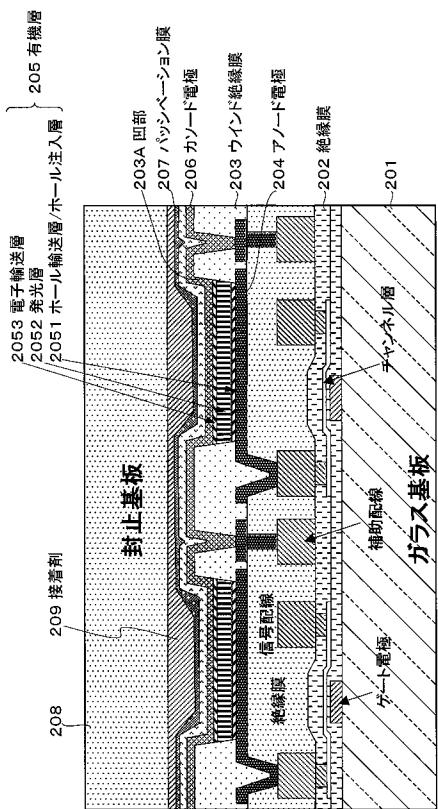
【図 1】



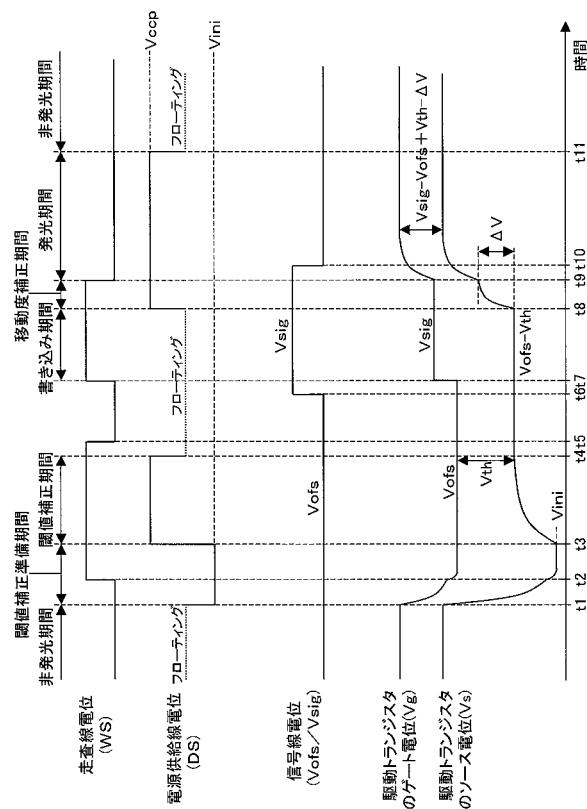
【図 2】



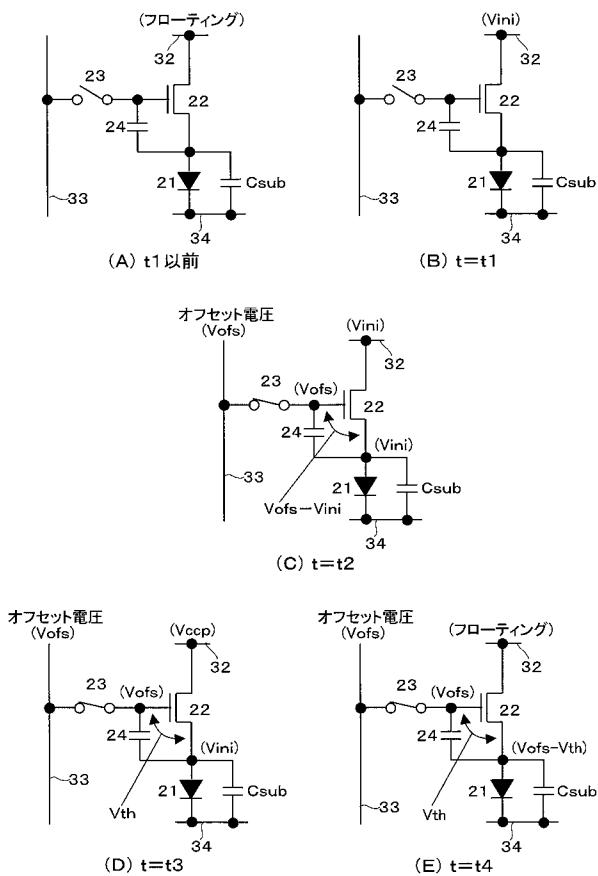
【図 3】



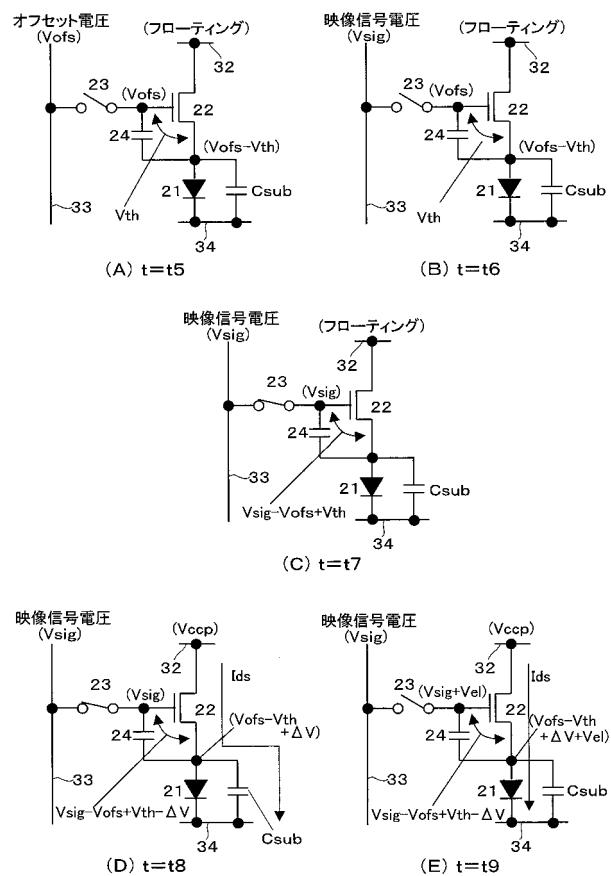
【図 4】



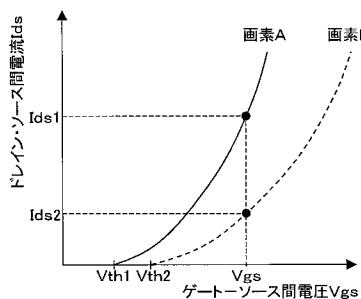
【図5】



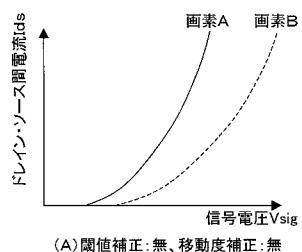
【図6】



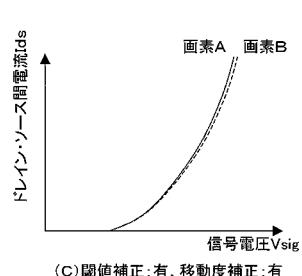
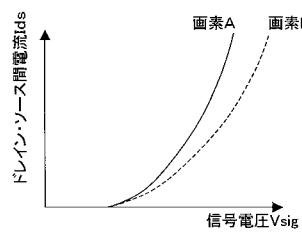
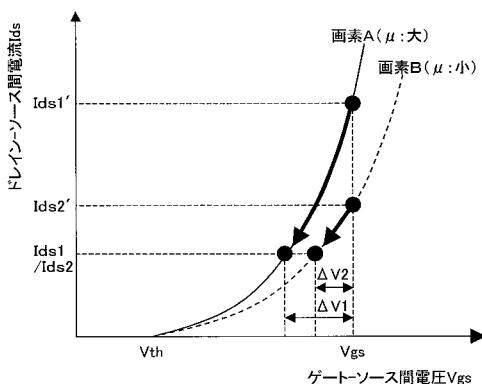
【図7】



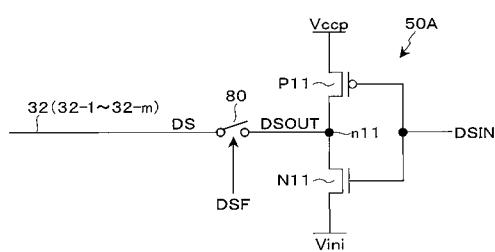
【図9】



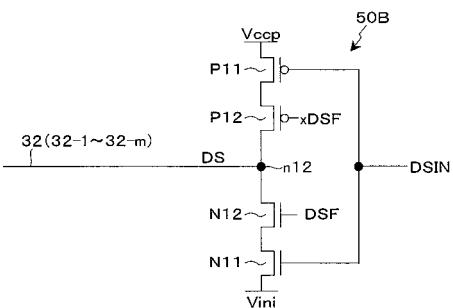
【図8】



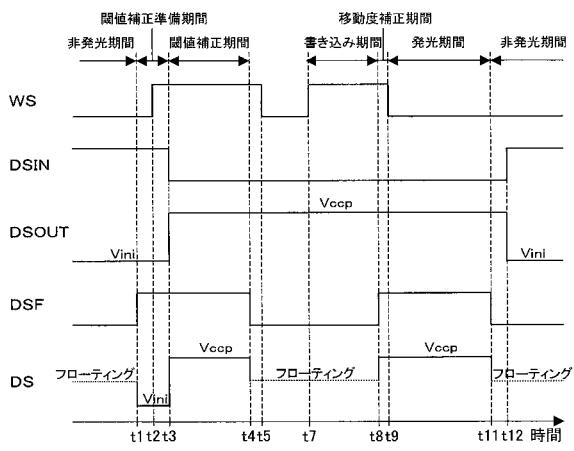
【図 1 0】



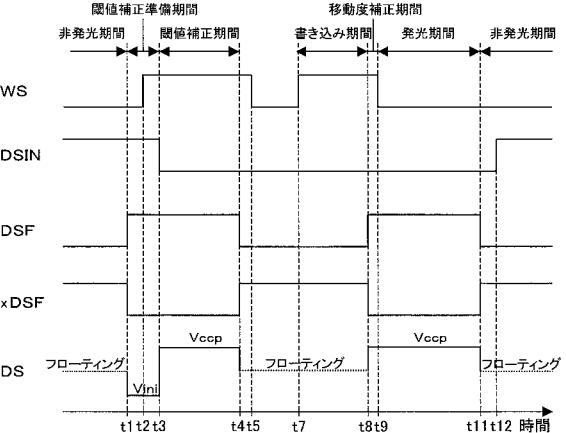
【図 1 2】



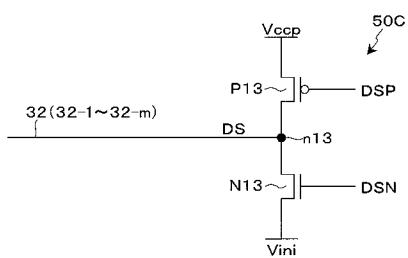
【図 1 1】



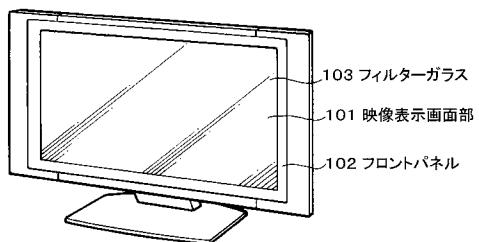
【図 1 3】



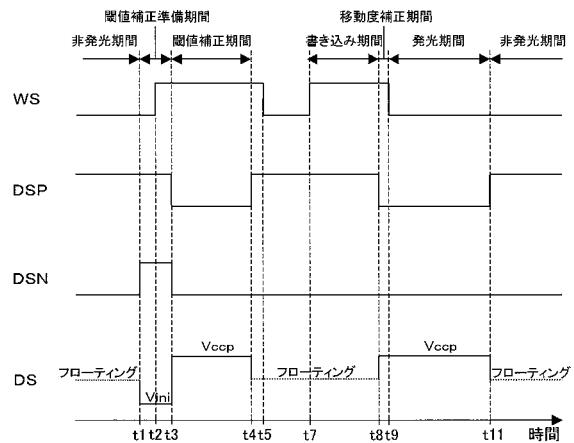
【図 1 4】



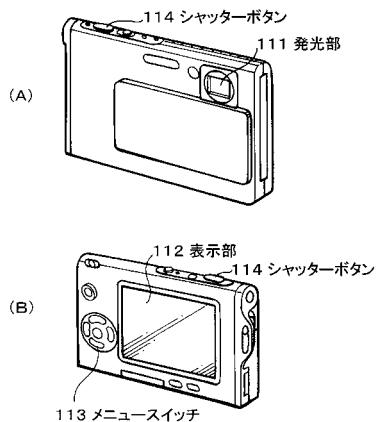
【図 1 6】



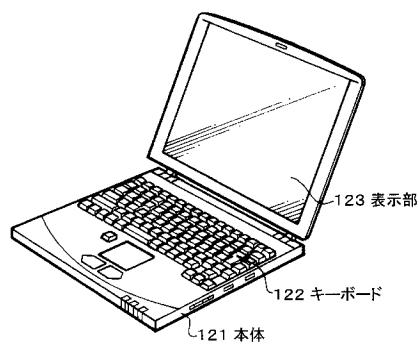
【図 1 5】



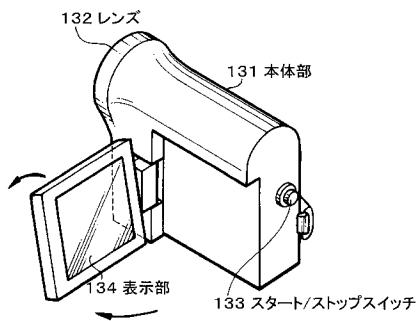
【図 1 7】



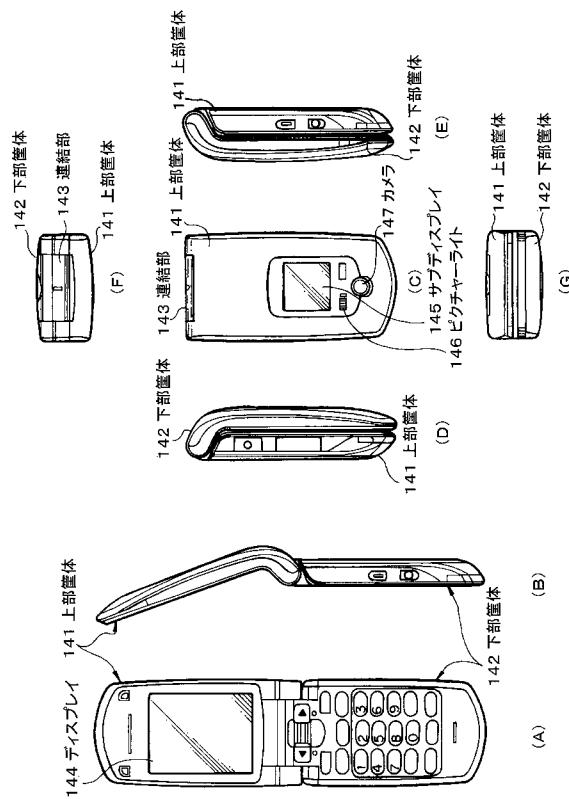
【図 18】



【図 19】



【図 20】



フロントページの続き

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

F ター&ム(参考) 5C080 AA06 BB05 DD05 DD29 EE29 FF03 FF07 FF11 HH09 JJ02
JJ03 JJ06 KK01 KK07 KK43 KK47

专利名称(译)	显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	JP2008233122A	公开(公告)日	2008-10-02
申请号	JP2007068003	申请日	2007-03-16
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	谷龜貴央 飯田幸人 三並徹雄 内野勝秀		
发明人	谷龜 貴央 飯田 幸人 三並 徹雄 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0819 G09G2300/0842 G09G2300/0866		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.612.G G09G3/20.622.B G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF07 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB22 5C380/AB24 5C380/AB32 5C380/AB45 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA12 5C380/BA13 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB21 5C380/BC18 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC57 5C380/CC62 5C380/CD022 5C380/CE01 5C380/CE09 5C380/CF07 5C380/CF23 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：当采用被配置为使得通过切换提供给驱动晶体管的电源电位来执行对发光时段/非发光时段的控制的配置时，可靠地进行期望的阈值校正，电位和低电位。解决方案：在具有至少阈值校正功能的有机EL显示装置中，在通过写入对视频信号的信号电压Vsig进行写入之前，将与驱动晶体管的阈值电压Vth对应的电压保持在阈值校正期间晶体管，然后在时间段t4-t7（在本实施例中从t4到t8的时间段的时间段）内，电源馈电线电位DS被置于浮置状态，直到至少开始写入信号电压Vsig。Z

