

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-3909

(P2007-3909A)

(43) 公開日 平成19年1月11日(2007.1.11)

| (51) Int. Cl.               | F I            | テーマコード (参考) |
|-----------------------------|----------------|-------------|
| <b>G09G 3/30 (2006.01)</b>  | G09G 3/30 J    | 3K007       |
| <b>G09G 3/20 (2006.01)</b>  | G09G 3/30 K    | 5C080       |
| <b>H01L 51/50 (2006.01)</b> | G09G 3/20 624B |             |
|                             | G09G 3/20 621A |             |
|                             | H05B 33/14 A   |             |

審査請求 未請求 請求項の数 6 O L (全 14 頁)

|           |                              |          |   |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2005-185150 (P2005-185150) | (71) 出願人 | 302020207<br>東芝松下ディスプレイテクノロジー株式会社<br>東京都港区港南4-1-8 |
| (22) 出願日  | 平成17年6月24日 (2005.6.24)       | (74) 代理人 | 100058479<br>弁理士 鈴江 武彦                            |
|           |                              | (74) 代理人 | 100091351<br>弁理士 河野 哲                             |
|           |                              | (74) 代理人 | 100088683<br>弁理士 中村 誠                             |
|           |                              | (74) 代理人 | 100108855<br>弁理士 蔵田 昌俊                            |
|           |                              | (74) 代理人 | 100075672<br>弁理士 峰 隆司                             |

最終頁に続く

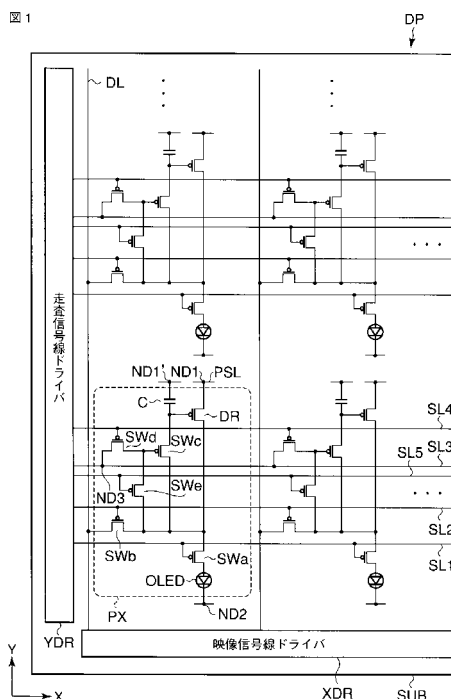
(54) 【発明の名称】 表示装置、アレイ基板、及び表示装置の駆動方法

(57) 【要約】

【課題】 各画素で表示する階調を映像信号の大きさに制御する表示装置において、階調再現性が不十分となるのを抑制する。

【解決手段】 本発明の表示装置は、ソースが電源端子ND1に接続された駆動トランジスタDRと、画素電極と電源端子ND2に接続された対向電極とそれらの間に介在した活性層とを含んだ表示素子OLEDと、駆動トランジスタのドレインと画素電極との間に接続されたスイッチSWaと、駆動トランジスタDRのドレインとゲートとの間に接続されたスイッチングトランジスタSWcと、駆動トランジスタDRのドレインとスイッチングトランジスタSWcのゲートとの間に接続されたスイッチSWeと、スイッチングトランジスタSWcのゲートとスイッチング信号出力端子ND3との間に接続されたスイッチSWdとを各々が備えた複数の画素PXを具備したことを特徴とする。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

ソースが第 1 電源端子に接続された駆動トランジスタと、  
画素電極と第 2 電源端子に接続された対向電極とそれらの間に介在した活性層とを含んだ表示素子と、  
前記駆動トランジスタのドレインと前記画素電極との間に接続された第 1 スイッチと、  
前記駆動トランジスタのドレインとゲートとの間に接続されたスイッチングトランジスタと、  
前記駆動トランジスタのドレインと前記スイッチングトランジスタのゲートとの間に接続された第 2 スイッチと、  
前記スイッチングトランジスタのゲートとスイッチング信号出力端子との間に接続された第 3 スイッチとを各々が備えた複数の画素を具備したことを特徴とする表示装置。

10

## 【請求項 2】

前記複数の画素が形成する列に対応して配列した複数の映像信号線をさらに具備し、前記複数の画素のそれぞれは、  
定電位端子と前記駆動トランジスタのゲートとの間に接続されたキャパシタと、  
前記映像信号線と前記駆動トランジスタのゲートとの間に接続された第 4 スイッチとをさらに備えたことを特徴とする請求項 1 に記載の表示装置。

## 【請求項 3】

前記複数の画素が形成する列に対応して配列した複数の映像信号線をさらに具備し、前記複数の画素のそれぞれは、  
定電位端子と前記駆動トランジスタのゲートとの間に接続された第 1 キャパシタと、  
一方の電極が前記駆動トランジスタのゲートに接続された第 2 キャパシタと、  
前記第 2 キャパシタの他方の電極と前記映像信号線との間に接続された第 4 スイッチとをさらに備えたことを特徴とする請求項 1 に記載の表示装置。

20

## 【請求項 4】

前記表示素子は有機 EL 素子であることを特徴とする請求項 1 に記載の表示装置。

## 【請求項 5】

ソースが第 1 電源端子に接続された駆動トランジスタと、  
画素電極と、  
前記駆動トランジスタのドレインと前記画素電極との間に接続された第 1 スイッチと、  
前記駆動トランジスタのドレインとゲートとの間に接続されたスイッチングトランジスタと、  
前記駆動トランジスタのドレインと前記スイッチングトランジスタのゲートとの間に接続された第 2 スイッチと、  
前記スイッチングトランジスタのゲートとスイッチング信号出力端子との間に接続された第 3 スイッチとを各々が備えた複数の画素回路を具備したことを特徴とするアレイ基板。

30

## 【請求項 6】

ソースが第 1 電源端子に接続された駆動トランジスタと、画素電極と第 2 電源端子に接続された対向電極とそれらの間に介在した活性層とを含んだ表示素子と、前記駆動トランジスタのドレインとゲートとの間に接続されたスイッチングトランジスタとを各々が備えた複数の画素を具備した表示装置の駆動方法であって、  
前記画素電極と前記駆動トランジスタのドレインとの接続を断っている選択期間において、前記スイッチングトランジスタのゲートをスイッチング信号出力端子に接続すると共に前記スイッチング信号出力端子の電位を前記スイッチングトランジスタを閉じるオン電位に設定する第 1 動作と、前記スイッチングトランジスタのゲートと前記スイッチング信号出力端子との接続を断つ第 2 動作と、前記駆動トランジスタのドレインと前記スイッチングトランジスタのゲートとを一時的に接続すると共に前記スイッチング信号出力端子の電位を前記スイッチングトランジスタを開くオフ電位に設定する第 3 動作と、前記スイ

40

50

チングトランジスタのゲートを前記スイッチング信号出力端子に接続する第4動作とをこの順に行うことを特徴とする駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、アレイ基板、及び表示装置の駆動方法に関する。

【背景技術】

【0002】

アクティブマトリクス型有機エレクトロルミネッセンス(EL)表示装置で画像を表示する場合、例えば、画素を行毎に選択する。画素を選択している選択期間では、その画素に映像信号を書き込む。各画素は、非選択期間において、映像信号に対応した大きさの駆動電流を有機EL素子に流す。有機EL素子は、駆動電流の大きさに対応した輝度で発光する。このように、アクティブマトリクス型有機EL表示装置では、各画素で表示する階調を、映像信号の大きさで制御する。

10

【0003】

ところで、アクティブマトリクス型有機EL表示装置では、映像信号として、電流信号及び電圧信号を利用することができる。

【0004】

特許文献1には、映像信号として電流信号を利用するアクティブマトリクス型有機EL表示装置が記載されている。この表示装置の画素は、nチャンネル電界効果トランジスタである駆動トランジスタと、有機EL素子と、キャパシタと、第1乃至第3スイッチングトランジスタとを含んでいる。駆動トランジスタと第1スイッチングトランジスタと有機EL素子とは、低電位電源線と高電位電源線との間で、この順に直列に接続されている。キャパシタは、低電位電源線と駆動トランジスタのゲートとの間に接続されている。第2スイッチングトランジスタは、駆動トランジスタのドレインとゲートとの間に接続されている。第3スイッチングトランジスタは、駆動トランジスタのドレインと映像信号線との間に接続されている。

20

【0005】

特許文献2には、映像信号として電圧信号を利用するアクティブマトリクス型有機EL表示装置が記載されている。この表示装置の画素は、この表示装置の画素は、pチャンネル電界効果トランジスタである駆動トランジスタと、有機EL素子と、第1及び第2キャパシタと、第1乃至第3スイッチングトランジスタとを含んでいる。駆動トランジスタと第1スイッチングトランジスタと有機EL素子とは、高電位電源線と低電位電源線との間で、この順に直列に接続されている。第1キャパシタは、高電位電源線と駆動トランジスタのゲートとの間に接続されている。第2スイッチングトランジスタは、駆動トランジスタのドレインとゲートとの間に接続されている。第2キャパシタの一方の電極は、駆動トランジスタのゲートに接続されている。第3スイッチングトランジスタは、映像信号線と第2キャパシタの一方の電極との間に接続されている。

30

【0006】

特許文献1に記載された有機EL表示装置では、画素間で駆動トランジスタの閾値電圧及び移動度がばらついていても、それらのばらつきに起因して、有機EL素子に流す駆動電流の大きさがばらつくことはない。また、特許文献2に記載された有機EL表示装置では、画素間で駆動トランジスタの閾値電圧がばらついていても、そのばらつきに起因して、有機EL素子に流す駆動電流の大きさがばらつくことはない。したがって、これら有機EL表示装置によると、高い階調再現性を実現できる筈である。

40

【0007】

しかしながら、本発明者は、これら有機EL表示装置であっても、十分に高い階調再現性を実現できない可能性があることを見い出している。

【特許文献1】米国特許第6373454号明細書

【特許文献2】米国特許第6229506号明細書

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0008】

本発明の目的は、各画素で表示する階調を映像信号の大きさに制御する表示装置において、階調再現性が不十分となるのを抑制することにある。

## 【課題を解決するための手段】

## 【0009】

本発明の第1側面によると、ソースが第1電源端子に接続された駆動トランジスタと、画素電極と第2電源端子に接続された対向電極とそれらの間に介在した活性層とを含んだ表示素子と、前記駆動トランジスタのドレインと前記画素電極との間に接続された第1スイッチと、前記駆動トランジスタのドレインとゲートとの間に接続されたスイッチングトランジスタと、前記駆動トランジスタのドレインと前記スイッチングトランジスタのゲートとの間に接続された第2スイッチと、前記スイッチングトランジスタのゲートとスイッチング信号出力端子との間に接続された第3スイッチとを各々が備えた複数の画素を具備したことを特徴とする表示装置が提供される。

10

## 【0010】

本発明の第2側面によると、ソースが第1電源端子に接続された駆動トランジスタと、画素電極と、前記駆動トランジスタのドレインと前記画素電極との間に接続された第1スイッチと、前記駆動トランジスタのドレインとゲートとの間に接続されたスイッチングトランジスタと、前記駆動トランジスタのドレインと前記スイッチングトランジスタのゲートとの間に接続された第2スイッチと、前記スイッチングトランジスタのゲートとスイッチング信号出力端子との間に接続された第3スイッチとを各々が備えた複数の画素回路を具備したことを特徴とするアレイ基板が提供される。

20

## 【0011】

本発明の第3側面によると、ソースが第1電源端子に接続された駆動トランジスタと、画素電極と第2電源端子に接続された対向電極とそれらの間に介在した活性層とを含んだ表示素子と、前記駆動トランジスタのドレインとゲートとの間に接続されたスイッチングトランジスタとを各々が備えた複数の画素を具備した表示装置の駆動方法であって、前記画素電極と前記駆動トランジスタのドレインとの接続を断っている選択期間において、前記スイッチングトランジスタのゲートをスイッチング信号出力端子に接続すると共に前記スイッチング信号出力端子の電位を前記スイッチングトランジスタを閉じるオン電位に設定する第1動作と、前記スイッチングトランジスタのゲートと前記スイッチング信号出力端子との接続を断つ第2動作と、前記駆動トランジスタのドレインと前記スイッチングトランジスタのゲートとを一時的に接続すると共に前記スイッチング信号出力端子の電位を前記スイッチングトランジスタを開くオフ電位に設定する第3動作と、前記スイッチングトランジスタのゲートを前記スイッチング信号出力端子に接続する第4動作とをこの順に行うことを特徴とする駆動方法が提供される。

30

## 【発明の効果】

## 【0012】

本発明によると、各画素で表示する階調を映像信号の大きさに制御する表示装置において、階調再現性が不十分となるのを抑制することができる。

40

## 【発明を実施するための最良の形態】

## 【0013】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、各図において、同様又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

## 【0014】

図1は、本発明の第1態様に係る表示装置を概略的に示す平面図である。図2は、図1の表示装置に採用可能な構造の一例を概略的に示す断面図である。図3は、図1の表示装置が含む画素の等価回路図である。なお、図2では、表示装置を、その表示面、すなわち

50

前面又は光出射面，が下方を向き、背面が上方を向くように描いている。

【0015】

この表示装置は、アクティブマトリクス型駆動方式を採用した下面発光型の有機EL表示装置である。この有機EL表示装置は、図1に示すように、表示パネルDPと、映像信号線ドライバXDRと、走査信号線ドライバYDRとを含んでいる。

【0016】

表示パネルDPは、図1及び図2に示すように、例えば、ガラス基板などの絶縁基板SUBを含んでいる。

【0017】

基板SUB上には、図2に示すように、アンダーコート層UCが形成されている。アンダーコート層UCは、例えば、基板SUB上にSiNx層とSiOx層とをこの順に積層してなる。

【0018】

アンダーコート層UC上では、図2に示す半導体層SCが、後述する画素PXに対応して配列している。各半導体層SCは、例えば、p型領域とn型領域とを含んだポリシリコン層である。この例では、半導体層SCのうち、参照符号Gで示す部材と向き合っている領域はイントリンシック型領域であり、それ以外の領域はp<sup>+</sup>型領域である。

【0019】

アンダーコート層UC上では、図示しない下部電極が、画素PXに対応してさらに配列している。下部電極は、例えば、n<sup>+</sup>型ポリシリコン層である。

【0020】

半導体層SC及び下部電極は、図2に示すゲート絶縁膜GIで被覆されている。ゲート絶縁膜GIは、例えばTEOS (Tetraethyl OrthoSilicate) などを用いて形成することができる。

【0021】

ゲート絶縁膜GI上には、図1及び図3に示す走査信号線SL1乃至SL5が形成されている。走査信号線SL1乃至SL5は、図1に示すように、各々が画素PXの行方向(X方向)に延びており、画素PXの列方向(Y方向)に配列している。走査信号線SL1乃至SL5は、例えばMoWなどからなる。

【0022】

ゲート絶縁膜GI上には、図示しない上部電極がさらに配置されている。上部電極は画素PXに対応して配列している。上部電極は、例えばMoWなどからなる。また、上部電極は、走査信号線SL1乃至SL5と同一の工程で形成することができる。

【0023】

各画素PXにおいて、走査信号線SL1乃至SL5及び上部電極を含む導体パターンは、半導体層と6箇所交差している。これら交差部は、図1及び図3に示す駆動トランジスタDR及びスイッチSWa乃至SWeを構成している。

【0024】

また、各画素PXにおいて、上部電極は下部電極と向き合っている。上部電極及び下部電極とそれらの間に介在した絶縁膜GIとは図1及び図3に示すキャパシタCを構成している。

【0025】

なお、この例では、駆動トランジスタDR及びスイッチSWa乃至SWeは、トップゲート型のpチャネル薄膜トランジスタである。また、図2に参照符号Gで示す部分は、薄膜トランジスタのゲートである。

【0026】

ゲート絶縁膜GI、走査信号線SL1乃至SL5、並びに上部電極は、図2に示す層間絶縁膜IIで被覆されている。層間絶縁膜IIは、例えばプラズマCVD法などにより成膜されたSiO<sub>x</sub>などからなる。

【0027】

10

20

30

40

50

層間絶縁膜 I I 上には、図 1 及び図 3 に示す映像信号線 D L と電源線 P S L とが形成されている。映像信号線 D L は、図 1 に示すように、各々が Y 方向に延びており、X 方向に配列している。電源線 P S L は、この例では、各々が Y 方向に延びており、X 方向に配列している。

【 0 0 2 8 】

層間絶縁膜 I I 上には、図 2 に示すソース電極 S E とドレイン電極 D E とがさらに形成されている。ソース電極 S E 及びドレイン電極 D E は、層間絶縁膜 I I 及びゲート絶縁膜 G I に設けられたコンタクトホールを介して薄膜トランジスタのソース及びドレインにそれぞれ接続されている。

【 0 0 2 9 】

映像信号線 D L と電源線 P S L とソース電極 S E とドレイン電極 D E とは、例えば、M o / A l / M o の三層構造を有している。これらは、同一工程で形成可能である。

【 0 0 3 0 】

映像信号線 D L と電源線 P S L とソース電極 S E とドレイン電極 D E とは、図 2 に示すパッシベーション膜 P S で被覆されている。パッシベーション膜 P S は、例えば S i N<sub>x</sub> などからなる。

【 0 0 3 1 】

パッシベーション膜 P S 上では、図 2 に示す画素電極 P E が、画素 P X に対応して配列している。各画素電極 P E は、パッシベーション膜 P S に設けたコンタクトホールを介して、ドレイン電極 D E に接続されている。

【 0 0 3 2 】

画素電極 P E は、この例では光透過性の前面電極である。また、画素電極 P E は、この例では陽極である。画素電極 P E の材料としては、例えば、I T O (Indium Tin Oxide) などの透明導電性酸化物を使用することができる。

【 0 0 3 3 】

パッシベーション膜 P S 上には、さらに、図 2 に示す隔壁絶縁層 P I が形成されている。隔壁絶縁層 P I には、画素電極 P E に対応した位置に貫通孔が設けられているか、或いは、画素電極 P E が形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層 P I には、画素電極 P E に対応した位置に貫通孔が設けられていることとする。

【 0 0 3 4 】

隔壁絶縁層 P I は、例えば、有機絶縁層である。隔壁絶縁層 P I は、例えば、フォトリソグラフィ技術を用いて形成することができる。

【 0 0 3 5 】

画素電極 P E 上には、活性層として、発光層を含んだ有機物層 O R G が形成されている。発光層は、例えば、発光色が赤色、緑色、又は青色のルミネセンス性有機化合物を含んだ薄膜である。この有機物層 O R G は、発光層に加え、正孔注入層、正孔輸送層、正孔ブロッキング層、電子輸送層、電子注入層などもさらに含むことができる。

【 0 0 3 6 】

隔壁絶縁層 P I 及び有機物層 O R G は、対向電極 C E で被覆されている。この例では、対向電極 C E は、画素 P X 間で互いに接続された電極、すなわち共通電極、である。また、この例では、対向電極 C E は、陰極であり且つ光反射性の背面電極である。対向電極 C E は、例えば、パッシベーション膜 P S と隔壁絶縁層 P I とに設けられたコンタクトホールを介して、映像信号線 D L と同一の層上に形成された電極配線 (図示せず) に電氣的に接続されている。各々の有機 E L 素子 O L E D は、画素電極 P E と、有機物層 O R G と、対向電極 C E とを含んでいる。

【 0 0 3 7 】

各画素 P X は、図 1 及び図 3 に示すように、駆動トランジスタ D R と、スイッチ S W a 乃至 S W e と、有機 E L 素子 O L E D と、キャパシタ C とを含んでいる。上記の通り、この例では、駆動トランジスタ D R 及びスイッチ S W a 乃至 S W e は p チャネル薄膜トラン

10

20

30

40

50

ジスタである。

【0038】

駆動トランジスタDRとスイッチSWaと有機EL素子OLEDとは、第1電源端子ND1と第2電源端子ND2との間で、この順に直列に接続されている。この例では、電源端子ND1は高電位電源端子であり、電源端子ND2は低電位電源端子である。

【0039】

スイッチSWaのゲートは、走査信号線SL1に接続されている。スイッチSWbは駆動トランジスタDRのドレインと映像信号線DLとの間に接続されており、そのゲートは走査信号線SL2に接続されている。スイッチSWcは駆動トランジスタDRのドレインとゲートとの間に接続されている。スイッチSWdは走査信号線SL3とスイッチSWcのゲートとの間に接続されており、そのゲートは走査信号線SL4に接続されている。スイッチSWeはスイッチSWcのドレインとゲートとの間に接続されており、そのゲートは走査信号線SL5に接続されている。なお、図1及び図3において、参照符号ND3はスイッチング信号出力端子を示している。

10

【0040】

キャパシタCは、駆動トランジスタDRのゲートと定電位端子ND1'との間に接続されている。この例では、定電位端子ND1'は、電源端子ND1に接続されている。

【0041】

なお、この表示パネルDPから対向電極CEや有機物層ORGを除いた構造がアレイ基板に相当している。また、画素PXから対向電極CEや有機物層ORGを除いたものが画素回路に相当している。

20

【0042】

映像信号線ドライバXDR及び走査信号線ドライバYDRは、この例では、表示パネルDPにCOG(chip on glass)実装している。映像信号線ドライバXDR及び走査信号線ドライバYDRは、COG実装する代わりに、TCP(tape carrier package)実装してもよい。

【0043】

映像信号線ドライバXDRには、映像信号線DLが接続されている。この例では、映像信号線ドライバXDRには、電源線PSLがさらに接続されている。映像信号線ドライバXDRは、映像信号線DLに映像信号として電流信号を出力すると共に、電源線PSLに電源電圧を供給する。

30

【0044】

走査信号線ドライバYDRには、走査信号線SL1乃至SL5が接続されている。走査信号線ドライバYDRは、走査信号線SL1乃至SL5にそれぞれ第1乃至第5走査信号として電圧信号を出力する。

【0045】

図4は、図1に示す表示装置の駆動方法の一例を示すタイミングチャートである。図中、横軸は時間を示し、縦軸は電位を示している。

【0046】

図4において、「XDR出力」のうち、「 $I_{sig}(M)$ 」と表記した期間は映像信号線ドライバXDRが映像信号線DLに映像信号 $I_{sig}(M)$ を出力する期間を示している。また、図4において、「SL1電位」乃至「SL5電位」で示す波形は、走査信号線SL1乃至SL5の電位をそれぞれ示している。

40

【0047】

図4の方法では、図1の表示装置が含む画素PXを線順次駆動する。

例えば、m行目の画素PXで或る階調を表示する場合、m行目の画素PXを選択する期間、すなわち、m行目選択期間、では、まず、m行目の画素PXが接続された走査信号線SL1をオフ電位に設定する。これにより、スイッチSWaを開く(非導通状態)。スイッチSWaを開いている期間内に、以下の書込動作を行う。

【0048】

50

まず、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL2$  をオン電位に設定する。さらに、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL3$  をオン電位に設定する。このとき、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL4$  の電位はオン電位のままとしておき、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL5$  の電位はオフ電位のままとしておく。すなわち、スイッチ  $SWd$  は閉じた（導通状態）ままとしておき、スイッチ  $SWe$  は開いたままとしておく。これにより、スイッチ  $SWb$  及び  $SWc$  を閉じる。

【0049】

この状態で、映像信号線ドライバ  $XDR$  から走査信号線  $DL$  に映像信号を電流信号として出力する。すなわち、第1電源端子  $ND1$  から映像信号線  $DL$  へと電流  $I_{sig}(m)$  を流す。これにより、駆動トランジスタ  $DR$  のゲート - ソース間電圧  $V_{gs}$  を、駆動トランジスタ  $DR$  が電流  $I_{sig}(m)$  を流すときの値に設定する。

10

【0050】

次に、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL4$  をオフ電位に設定して、スイッチ  $SWd$  を開く。スイッチ  $SWd$  を開いている期間内に、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL3$  の電位をオン電位からオフ電位へと変化させる。また、スイッチ  $SWd$  を開いている期間内に、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL5$  の電位をオフ電位からオン電位に変化させ、さらにオフ電位に戻す。すなわち、スイッチ  $SWe$  を一時的に閉じる。これにより、スイッチ  $SWc$  のゲート電位を駆動トランジスタ  $DR$  のドレイン電位と等しくして、スイッチ  $SWc$  を開く。

【0051】

20

次に、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL4$  をオン電位に設定して、スイッチ  $SWd$  を閉じる。 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL3$  はオフ電位に設定しているので、スイッチ  $SWc$  は開いた状態を維持する。

【0052】

さらに、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL2$  をオフ電位に設定して、スイッチ  $SWb$  を開く。その後、 $m$ 行目の画素  $PX$  が接続された走査信号線  $SL1$  をオン電位に設定して、スイッチ  $SWa$  を閉じる。 $m$ 行目選択期間は、スイッチ  $SWa$  を閉じることににより終了する。

【0053】

この選択期間に続く非選択期間では、 $m$ 行目の画素  $PX$  は、 $m$ 行目選択期間において設定した駆動トランジスタ  $DR$  のゲート - ソース間電圧  $V_{gs}$  を保持する。なお、 $m$ 行目の画素  $PX$  の非選択期間において、この画素  $PX$  が接続された走査信号線  $SL1$  及び  $SL4$  の電位はオン電位のままとしておき、走査信号線  $SL2$ 、 $SL3$  及び  $SL5$  の電位はオフ電位のままとしておく。有機  $EL$  素子  $OLED$  には、映像信号  $I_{sig}(m)$  に対応した大きさの駆動電流  $I_{drv}(m)$  が流れる。有機  $EL$  素子  $OLED$  は、駆動電流  $I_{drv}(m)$  の大きさに対応した輝度で発光する。

30

【0054】

さて、この駆動方法によれば、優れた階調再現性を実現することができる。これについて、以下に説明する。

【0055】

40

例えば、図1の表示装置からスイッチ  $SWd$  及び  $SWe$  並びに走査信号線  $SL4$  及び  $SL5$  を省略し、さらに、スイッチ  $SWc$  のゲートを走査信号線  $SL3$  に接続してなる表示装置を図4の方法で駆動する場合を考える。この場合、 $m$ 行目選択期間において走査信号線  $SL3$  の電位をオン電位からオフ電位へと変化させるのに伴い、駆動トランジスタ  $DR$  のゲート - ソース間電圧が変化する。より詳細には、スイッチ  $SWc$  のゲート - チャネル間に形成される寄生容量の影響で、走査信号線  $SL3$  の電位変化に伴って駆動トランジスタ  $DR$  のゲート電位が変化する。

【0056】

スイッチ  $SWc$  のスイッチング動作が速い場合には、スイッチ  $SWc$  が閉じる過程において、スイッチ  $SWc$  のソース - ドレイン間で電荷は殆ど移動しない。そのため、スイッ

50



チSWcのゲートに走査信号を供給することでそのスイッチング動作を制御する場合、走査信号線SL3の電位変化に伴う駆動トランジスタDRの電位変化は大きい。また、この電位変化の大きさは、スイッチSWcの閾値電圧に依存する。

【0057】

それゆえ、スイッチSWcの閾値電圧が画素PX間でばらついている場合には、走査信号線SL3の電位変化に伴う駆動トランジスタDRのゲート電位変化の大きさが画素PX間でばらつき、その結果、輝度ムラを生じる可能性がある。すなわち、この場合、優れた階調再現性を実現することは不可能である。

【0058】

上記の通り、図1の表示装置では、スイッチSWdを介してスイッチSWcのゲートと走査信号線SL3とを接続すると共に、スイッチSWcのドレインとゲートとの間にスイッチSWeを接続している。また、図4の駆動方法では、スイッチSWdを開いている期間内に、走査信号線SL3の電位をオン電位からオフ電位へと変化させている。さらに、図4の駆動方法では、スイッチSWdを開いている期間内に、スイッチSWeを閉じて駆動トランジスタDRのドレインとスイッチSWcのゲートとを接続することにより、スイッチSWcを開いている。

10

【0059】

スイッチSWeを閉じることによってスイッチSWcを開くとき、スイッチSWeのチャネル抵抗はスイッチSWcのスイッチング動作を遅くする役割を果たす。そのため、スイッチSWeを閉じてからスイッチSWcのゲート-ソース間電圧がその閾値電圧に達するまでの期間においては、スイッチSWcのソース-ドレイン間で電荷が十分に移動することができ、それゆえ、スイッチSWcのソースは駆動トランジスタDRのドレインと等しい電位に維持される。また、スイッチSWcのゲート-ソース間電圧がその閾値電圧に達すると、その寄生容量は消滅するため、スイッチSWcのゲート電位変化に伴う駆動トランジスタDRのゲート電位変化は生じない。

20

【0060】

したがって、図4の方法によると、スイッチSWcの閾値電圧が画素PX間でばらついていたとしても、これに起因した輝度ムラを生じることはない。すなわち、優れた階調再現性を実現することができる。

【0061】

次に、本発明の第2態様について説明する。

30

【0062】

図5は、本発明の第2態様に係る表示装置を概略的に示す平面図である。図6は、図5の表示装置が含む画素の等価回路図である。

【0063】

この表示装置は、アクティブマトリクス型駆動方式を採用した下面発光型の有機EL表示装置である。この表示装置は、映像信号として電圧信号を出力する映像信号線ドライバXD Rを使用すると共に、表示パネルDPに以下の構造を採用していること以外は、第1態様に係る表示装置とほぼ同様の構造を有している。

【0064】

この表示パネルDPでは、画素PX毎に1つのキャパシタCを配置する代わりに、画素PX毎に2つのキャパシタC1及びC2を配置している。各画素PXは、駆動トランジスタDRと、スイッチSWa乃至SWeと、有機EL素子OLEDと、キャパシタC1及びC2とを含んでいる。

40

【0065】

駆動トランジスタDRとスイッチSWaと有機EL素子OLEDとは、第1電源端子ND1と第2電源端子ND2との間で、この順に直列に接続されている。スイッチSWaのゲートは、走査信号線SL1に接続されている。キャパシタC1は、駆動トランジスタDRのゲートと定電位端子ND1'との間に接続されている。この例では、定電位端子ND1'は、電源端子ND1に接続されている。スイッチSWbとキャパシタC2とは、映像

50

信号線 DL と駆動トランジスタ DR のドレインとの間で、この順に直列に接続されている。スイッチ SW b のゲートは、走査信号線 SL 2 に接続されている。スイッチ SW c は駆動トランジスタ DR のドレインとゲートとの間に接続されている。スイッチ SW d は走査信号線 SL 3 とスイッチ SW c のゲートとの間に接続されており、そのゲートは走査信号線 SL 4 に接続されている。スイッチ SW e は駆動トランジスタ DR のドレインとスイッチ SW c のゲートとの間に接続されており、そのゲートは走査信号線 SL 5 に接続されている。

【0066】

なお、この表示パネル DP から図 2 を参照しながら説明した対向電極 CE や有機物層 ORG を除いた構造がアレイ基板に相当している。また、画素 PX から対向電極 CE や有機物層 ORG を除いたものが画素回路に相当している。

10

【0067】

図 7 は、図 5 に示す表示装置の駆動方法の一例を示すタイミングチャートである。図中、横軸は時間を示し、縦軸は電位を示している。

【0068】

図 7 において、「XDR 出力」のうち、「 $V_{sig}(M)$ 」と表記した期間は映像信号線ドライバ XDR が映像信号線 DL に映像信号  $V_{sig}(M)$  を出力する期間を示し、「 $V_{rst}$ 」と表記した期間は映像信号線ドライバ XDR が映像信号線 DL にリセット信号  $V_{rst}$  を出力する期間を示している。また、図 7 において、「SL1 電位」乃至「SL5 電位」で示す波形は、走査信号線 SL 1 乃至 SL 5 の電位をそれぞれ示している。

20

【0069】

図 7 の方法では、図 5 の表示装置が含む画素 PX を線順次駆動する。

例えば、m 行目の画素 PX で或る階調を表示する場合、m 行目の画素 PX を選択する期間、すなわち、m 行目選択期間、では、まず、m 行目の画素 PX が接続された走査信号線 SL 1 をオフ電位に設定する。これにより、スイッチ SW a を開く（非導通状態）。スイッチ SW a を開いている期間内に、以下のリセット動作と書込動作とを順次行う。

【0070】

まず、m 行目の画素 PX が接続された走査信号線 SL 2 をオン電位に設定する。さらに、m 行目の画素 PX が接続された走査信号線 SL 3 をオン電位に設定する。このとき、m 行目の画素 PX が接続された走査信号線 SL 4 の電位はオン電位のままとしておき、m 行目の画素 PX が接続された走査信号線 SL 5 の電位はオフ電位のままとしておく。すなわち、スイッチ SW d は閉じた（導通状態）ままとしておき、スイッチ SW e は開いたままとしておく。これにより、スイッチ SW b 及び SW c を閉じる。また、このとき、映像信号線ドライバ XDR から走査信号線 DL にリセット信号を電圧信号として出力する。すなわち、映像信号線 DL の電位はリセット電位  $V_{rst}$  に設定しておく。こうして、駆動トランジスタ DR のゲート - ソース間電圧  $V_{gs}$  を、その閾値電圧  $V_{th}$  に設定する。

30

【0071】

次に、m 行目の画素 PX が接続された走査信号線 SL 4 をオフ電位に設定して、スイッチ SW d を開く。スイッチ SW d を開いている期間内に、m 行目の画素 PX が接続された走査信号線 SL 3 の電位をオン電位からオフ電位へと変化させる。また、スイッチ SW d を開いている期間内に、m 行目の画素 PX が接続された走査信号線 SL 5 の電位をオフ電位からオン電位に変化させ、さらにオフ電位に戻す。すなわち、スイッチ SW e を一時的に閉じる。これにより、スイッチ SW c のゲート電位を駆動トランジスタ DR のドレイン電位と等しくして、スイッチ SW c を開く。なお、この間、映像信号線 DL の電位はリセット電位  $V_{rst}$  に設定しておく。

40

【0072】

次に、m 行目の画素 PX が接続された走査信号線 SL 4 をオン電位に設定して、スイッチ SW d を閉じる。m 行目の画素 PX が接続された走査信号線 SL 3 はオフ電位に設定しているので、スイッチ SW c は開いた状態を維持する。

【0073】

50

続いて、映像信号線ドライバXDRから走査信号線DLに映像信号 $V_{sig}(m)$ を電圧信号として出力する。例えば、キャパシタC1とキャパシタC2とでキャパシタンスが等しいとすると、これにより、駆動トランジスタDRのゲート-ソース間電圧 $V_{gs}$ は電圧 $V_{th} + 1/2 \times [V_{sig}(m) - V_{rst}]$ に設定される。

【0074】

さらに、m行目の画素PXが接続された走査信号線SL2をオフ電位に設定して、スイッチSWbを開く。その後、m行目の画素PXが接続された走査信号線SL1をオン電位に設定して、スイッチSWaを閉じる。m行目選択期間は、スイッチSWaを閉じることにより終了する。

【0075】

この選択期間に続く非選択期間では、m行目の画素PXは、m行目選択期間において設定した駆動トランジスタDRのゲート-ソース間電圧 $V_{gs}$ を保持する。なお、m行目の画素PXの非選択期間において、この画素PXが接続された走査信号線SL1及びSL4の電位はオン電位のままとしておき、走査信号線SL2、SL3及びSL5の電位はオフ電位のままとしておく。有機EL素子OLEDには、電圧 $V_{th} + 1/2 \times [V_{sig}(m) - V_{rst}]$ に対応した大きさの駆動電流 $I_{drv}(m)$ が流れる。有機EL素子OLEDは、駆動電流 $I_{drv}(m)$ の大きさに対応した輝度で発光する。

【0076】

この駆動方法では、スイッチSWcのスイッチング動作に第1態様で説明したのと同様の方法を採用している。したがって、本態様でも、第1態様で説明したのと同様の効果を得ることができる。

【図面の簡単な説明】

【0077】

【図1】本発明の第1態様に係る表示装置を概略的に示す平面図。

【図2】図1の表示装置に採用可能な構造の一例を概略的に示す断面図。

【図3】図1の表示装置が含む画素の等価回路図。

【図4】図1に示す表示装置の駆動方法の一例を示すタイミングチャート。

【図5】本発明の第2態様に係る表示装置を概略的に示す平面図。

【図6】図5の表示装置が含む画素の等価回路図。

【図7】図5に示す表示装置の駆動方法の一例を示すタイミングチャート。

【符号の説明】

【0078】

C...キャパシタ、C1...キャパシタ、C2...キャパシタ、CE...対向電極、DE...ドレイン電極、DL...映像信号線、DP...表示パネル、DR...駆動トランジスタ、G...ゲート、GI...ゲート絶縁膜、II...層間絶縁膜、ND1...電源端子、ND1'...定電位端子、ND2...電源端子、ND3...スイッチング信号出力端子、OLED...有機EL素子、ORG...有機物層、PE...画素電極、PI...隔壁絶縁層、PS...パッシベーション膜、PSL...電源線、PX...画素、SC...半導体層、SE...ソース電極、SL1...走査信号線、SL2...走査信号線、SL3...走査信号線、SL4...走査信号線、SL5...走査信号線、SUB...絶縁基板、SWa...スイッチ、SWb...スイッチ、SWc...スイッチ、SWd...スイッチ、SWe...スイッチ、UC...アンダーコート層、XDR...映像信号線ドライバ、YDR...走査信号線ドライバ。

10

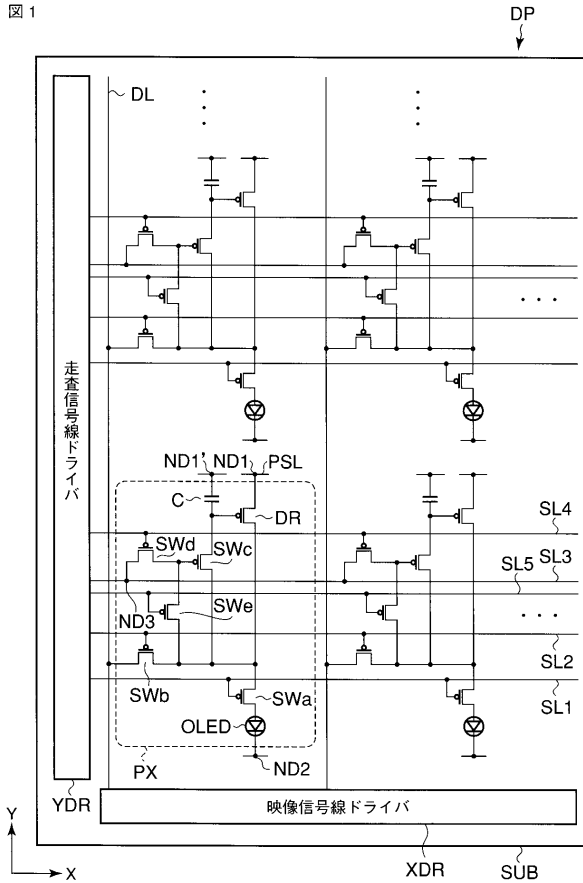
20

30

40

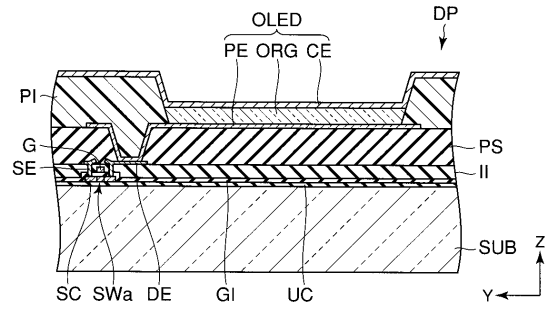
【 図 1 】

図 1



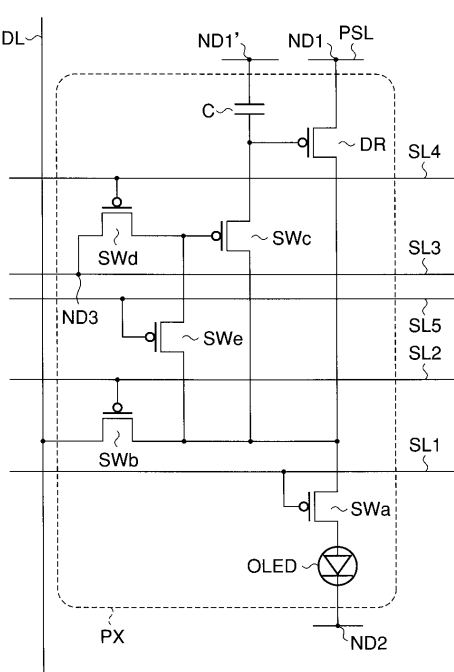
【 図 2 】

図 2



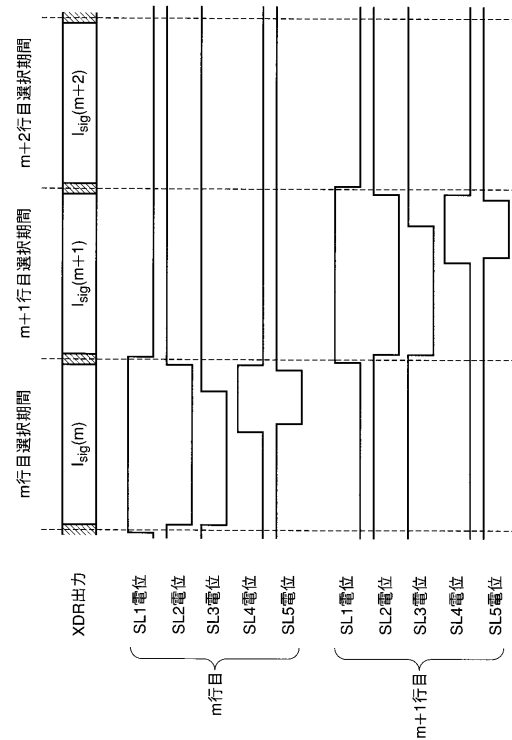
【 図 3 】

図 3



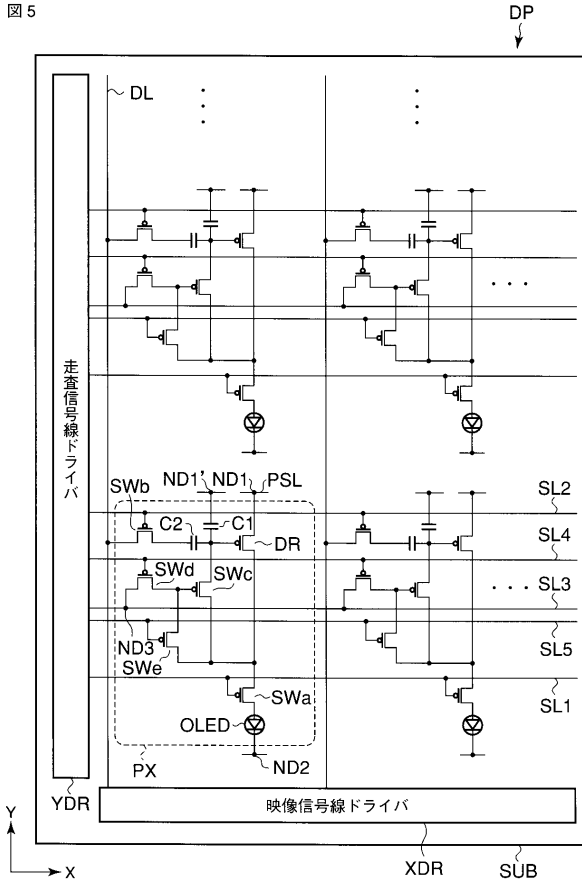
【 図 4 】

図 4



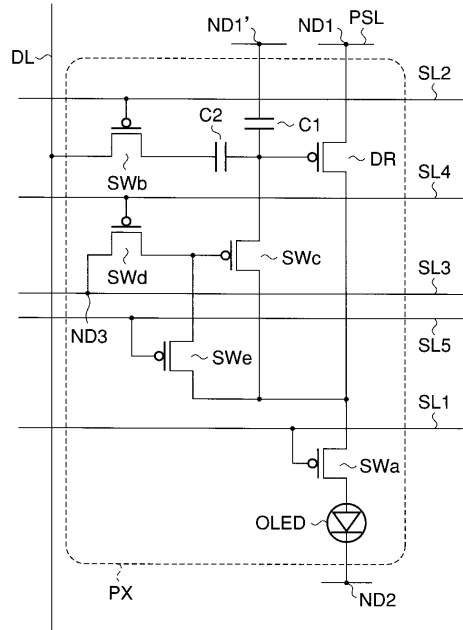
【 図 5 】

図 5



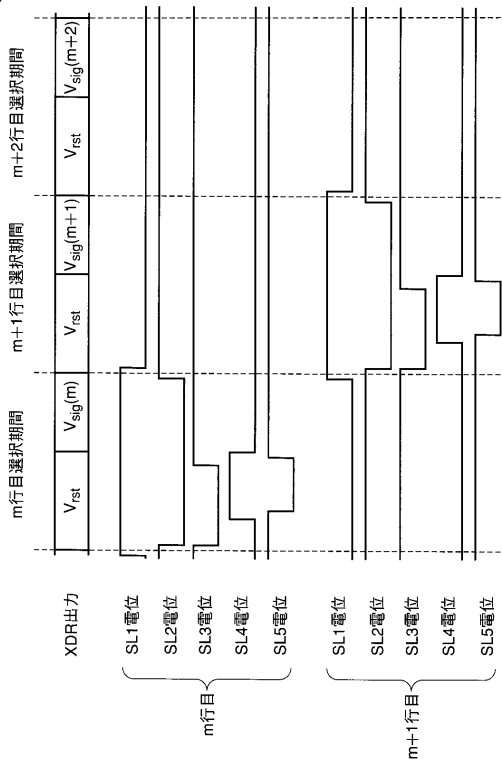
【 図 6 】

図 6



【 図 7 】

図 7



---

フロントページの続き

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 澁沢 誠

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA04

5C080 AA06 BB05 DD01 EE29 FF11 JJ03 JJ04 JJ06

|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 显示装置，阵列基板和驱动显示装置的方法  |         |            |
| 公开(公告)号        | <a href="#">JP2007003909A</a>  | 公开(公告)日 | 2007-01-11 |
| 申请号            | JP2005185150   | 申请日     | 2005-06-24 |
| [标]申请(专利权)人(译) | 东芝松下显示技术股份有限公司   |         |            |
| 申请(专利权)人(译)    | 东芝松下显示技术有限公司   |         |            |
| [标]发明人         | 濑沢 誠   |         |            |
| 发明人            | 濑沢 誠   |         |            |
| IPC分类号         | G09G3/30 G09G3/20 H01L51/50  |         |            |
| FI分类号          | G09G3/30.J G09G3/30.K G09G3/20.624.B G09G3/20.621.A H05B33/14.A G09G3/3225 G09G3/3266  |         |            |
| F-TERM分类号      | 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD01 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB23 5C380/AB34 5C380/BA37 5C380/BA39 5C380/BB01 5C380/BB21 5C380/BE05 5C380/CB01 5C380/CB17 5C380/CC04 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CD016 |         |            |
| 代理人(译)         | 河野 哲<br>中村 诚   |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |

摘要(译)

解决的问题：在显示装置中抑制灰度再现性不足，在该显示装置中，每个像素显示的灰度由视频信号的大小控制。本发明的显示装置包括：驱动晶体管DR，其源极连接至电源端子ND1；对电极，其连接至像素电极和电源端子ND2；以及有源层，介于它们之间。显示元件OLED，连接在驱动晶体管的漏极和像素电极之间的开关SWa，连接在驱动晶体管DR的漏极和栅极之间的开关晶体管SWc，以及驱动晶体管DR和开关晶体管的漏极。其特征在于，包括多个像素PX，每个像素具有连接在SWc的栅极之间的开关SWe和连接在开关晶体管SWc的栅极与开关信号输出端子ND3之间的开关SWd。和 [选型图]图1

