

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-281420
(P2004-281420A)

(43) 公開日 平成16年10月7日(2004.10.7)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H05B 33/10	H05B 33/10	3K007
H05B 33/06	H05B 33/06	
H05B 33/22	H05B 33/22	Z

審査請求 有 請求項の数 18 O L (全 32 頁)

(21) 出願番号	特願2004-199788 (P2004-199788)	(71) 出願人	500157310 アイファイアー テクノロジー インク iFire Technology Inc.
(22) 出願日	平成16年7月6日 (2004.7.6)		
(62) 分割の表示	特願2002-328842 (P2002-328842) の分割		カナダ国 アルバータ フォート サスカ ツチュワン ハンドレッドフォーティーン ストリート 10102
原出願日	平成5年12月24日 (1993.12.24)	(74) 代理人	100064908 弁理士 志賀 正武
(31) 優先権主張番号	07/996547	(74) 代理人	100089037 弁理士 渡邊 隆
(32) 優先日	平成4年12月24日 (1992.12.24)	(74) 代理人	100101465 弁理士 青山 正和
(33) 優先権主張国	米国 (US)	(74) 代理人	100108453 弁理士 村山 靖彦
(31) 優先権主張番号	08/052702		
(32) 優先日	平成5年4月30日 (1993.4.30)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

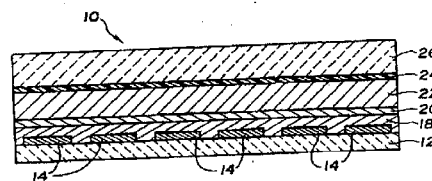
(54) 【発明の名称】 ディスプレイパネルの形成方法

(57) 【要約】

【課題】 エレクトロルミネセンスラミネートの誘電層を改善する。

【解決手段】 誘電層は厚膜層としてセラミック材料から生成される。この場合、約 1.0×10^6 V/m の絶縁耐力と、誘電材料の誘電率と燐光層の誘電率との比が約 50 : 1 よりも大きくなるような誘電率を有する。また、誘電層の厚さと燐光層の厚さの比が約 20 : 1 ~ 500 : 1 の範囲内になるような厚さを有する。さらに、燐光層と両立性があり、この燐光層が所定の励起電圧で全体的に均一に発光するのに十分に滑らかである、燐光層と隣接する表面を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

E L ラミネートから電圧駆動回路へ電気接続されたエレクトロルミネセンスディスプレイパネルを形成する方法であって、該 E L ラミネートは交差するアドレス線路の前面のセットと背面のセットとの間に挟まれた燐光層を有しており、背面アドレス線路はラミネートを支持する堅固な基板上に形成され、前記燐光層は 1 つ又は 2 つ以上の誘電層により背面アドレス線路から、および必要に応じて前面アドレス線路から分離されて成る、エレクトロルミネセンスディスプレイパネルを形成する方法において、

(a) 前記 E L ラミネートを支持する剛性を有し、かつ続いて形成すべきアドレス線路の端部近傍に位置するようにパターン化された複数のスルーホールが形成された前記基板を形成する段階と、

10

(b) 続いて形成される各アドレス線路を電圧駆動回路と電気接続するために、基板中のスルーホールの各々を貫通する導電経路を形成する段階と、

(c) 前記基板上に離間された背面アドレス線路を形成する段階であって、一端がスルーホールに隣接して終端しかつ前記導電経路と電気接続されている各背面アドレス線路を形成する段階と、

(d) 前記背面アドレス線路上に焼結により誘電層を形成する段階と、

(e) 前記誘電層上に燐光層を形成する段階と、

(f) 任意に、前記燐光層上に透過性誘電層を形成する段階と、

(g) アンダーレイ燐光体又は透過性誘電層上に離間された前面アドレス線路を形成する段階であって、その一端がスルーホールに近接して終端しかつ導電経路と電気接続している前面アドレス線路を形成する段階と、
を備えることを特徴とする方法。

20

【請求項 2】

前記電圧駆動回路は電圧駆動コンポーネントを有しており、かつ前記段階 (b) において、電圧駆動コンポーネントが基板の背面に回路パターンで設けられ、かつ前記コンポーネントの出力側は各スルーホールを貫通した導電経路により前面アドレス線路及び背面アドレス線路に接続されるようなパターンで、回路パターンが基板の背面上に印刷されることを特徴とする請求項 1 記載の方法。

【請求項 3】

前記段階 (b) において、導電材料がスルーホールの各々にディポジットされて基板の各側上に前面コネクタ路と背面コネクタ路とを形成し、前記背面コネクタ路により背面アドレス線路が印刷された背面回路パターンを介して電圧駆動コンポーネントに接続され、かつ前記段階 (c) 及び前記段階 (g) において、前面アドレス線路及び背面アドレス線路の一端が前面コネクタ路を覆うか、又は追加の導電材料が前面コネクタ路と前面アドレス線路及び背面アドレス線路の一端部との間にディポジットされることを特徴とする請求項 2 記載の方法。

30

【請求項 4】

前記基板と前記背面アドレス線路は、約 850 ° C の温度に耐え得る材料から成ることを特徴とする請求項 3 記載の方法。

40

【請求項 5】

前記基板は不透明であり、前記スルーホールはレーザにより形成されることを特徴とする請求項 4 記載の方法。

【請求項 6】

前記基板はアルミナであることを特徴とする請求項 5 記載の方法。

【請求項 7】

前記基板は概して方形であり、前記スルーホールは少なくとも前記基板の 2 つの側において続いて形成される前面アドレス線路端部及び背面アドレス線路端部に隣接する基板の周囲に形成されることを特徴とする請求項 4 記載の方法。

【請求項 8】

50

前記段階（b）及び前記段階（c）で使用した前記導電材料は、焼成された厚膜ペーストであることを特徴とする請求項7記載の方法。

【請求項9】

導電経路、背面回路パターン、及び前面コネクタ路及び背面コネクタ路中の導電材料は焼成された銀/プラチナペーストであり、前記前面アドレス線路を前記前面コネクタ路に接続するために使用した前記導電材料は銀であることを特徴とする請求項8記載の方法。

【請求項10】

段階（b）において、スルーホールを貫通する導体経路は、基板背面上に回路パターンで印刷された厚膜導電性ペーストから形成され、基板の両側の前面コネクタ路と背面コネクタ路とを形成するために基板中のスルーホールを貫通して引き出され、かつ焼成され、前記背面コネクタ路は電圧駆動回路へ電気接続しており、前記前面コネクタ路は段階（c）で形成された背面アドレス線路へ電気接続しており、かつ段階（g）において、前記前面アドレス線路を第2の導電材料を有する前面コネクタ路に接続することを特徴とする請求項2記載の方法。

10

【請求項11】

前記基板および前記背面アドレス線路は約850の温度に耐えることが可能である材料により形成されることを特徴とする請求項10記載の方法。

【請求項12】

前記基板は概して方形であり、前記スルーホールは、前記基板の少なくとも2つの側で前面アドレス線路端部及び背面アドレス線路端部と隣接する基板の周囲に形成されていることを特徴とする請求項11記載の方法。

20

【請求項13】

前記段階（b）及び前記段階（c）における前記厚膜ペーストは焼成された銀プラチナペーストであり、前記段階（g）における前記第2の導電材料は銀であることを特徴とする請求項12記載の方法。

【請求項14】

前記段階（d）における誘電層は、厚膜技術により前記背面電極上にセラミック材料をディポジットし、続いて焼結することにより形成され、約 1.0×10^6 V/mよりも大きい絶縁耐力Sと、誘電材料の誘電率と燐光体の誘電率との比が約50:1よりも大きくなるような誘電率と、式 $d_2 = V/S$ により規定され作動中に誘電破壊を防止するに十分な厚さとを有する誘電層が形成され、ここで、 d_2 は誘電層の厚さ、Vは最大印加電圧であり、誘電層の表面が1000ミクロンにわたって0.5ミクロンより大きく変化していない表面起伏を有することを特徴とする請求項10記載の方法。

30

【請求項15】

前記段階（d）における誘電層は少なくとも2つの層として形成され、第1の誘電層は厚膜技術で背面電極上にディポジットされ続いて焼結され、第2の誘電層は前記第1誘電層上に設けられ第1誘電層の孔を埋めるものであり、第1及び第2の誘電層を合わせた誘電層全体は、約 1.0×10^6 V/mよりも大きい絶縁耐力Sと、該誘電層全体の誘電率と燐光層の誘電率の比が約50:1よりも大きくなるような誘電率とを有し、かつ、該誘電層全体は、式 $d_2 = V/S$ により規定され作動中に誘電破壊を防止するに十分な厚さを有し、ここで、 d_2 は該誘電層全体の厚さ、Vは最大印加電圧であることを特徴とする請求項10記載の方法。

40

【請求項16】

前記第1の誘電層および前記第2の誘電層は、ペロブスカイト結晶構造を有する強誘電性セラミック材料から成り、前記第1の誘電層は少なくとも1000の誘電率を有し、前記第2の誘電層は少なくとも100の誘電率と約2~10ミクロンの厚さを有することを特徴とする請求項15記載の方法。

【請求項17】

前記第1の誘電層はスクリーン印刷と厚膜誘電ペーストの焼結により生成され、前記第2の誘電層はゾル・ゲル技術とこれに続く焼結により生成されることを特徴とする請求項

50

16記載の方法。

【請求項18】

前記第1の誘電層はニオブ酸鉛から成り、前記第2の誘電層はジルコン酸 - チタン酸鉛またはランタン酸 - ジルコン酸 - チタン酸鉛から成ることを特徴とする請求項17記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、エレクトロルミネセンスラミネートおよびエレクトロルミネセンスラミネートの製造方法に関する。本発明はまた、エレクトロルミネセンスラミネートから電圧駆動回路への電気接続を行うエレクトロルミネセンスディスプレイパネルに関する。本発明はさらに、扁平ラミネートにパターンを刻みつけるレーザに関する。前記パターンは例えば、エレクトロルミネセンスラミネートの透明電極のアドレス線である。

10

【背景技術】

【0002】

エレクトロルミネセンス(EL)は、電界を適用したことによる蛍光体からの光の放出である。エレクトロルミネセンス素子はランプまたはディスプレイとして有用である。最近、エレクトロルミネセンス素子は扁平パネルディスプレイ素子に使用される。この素子は所定の特徴的形狀または個別にアドレッシング可能なピクセルを矩形マトリックスに有する。

20

【0003】

エレクトロルミネセンスの先駆的研究は、GTEsylvaniaで行われた。交流電圧がパウダーまたは散乱形EL素子に供給される。この素子では、光放出蛍光体パウダーが有機接着剤に埋め込まれており、これがガラス基板上にデポジットされていて、透明電極により覆われている。これらのパウダーまたは散乱形EL素子は一般的に低輝度であり、広範囲の適用を妨げる欠点がある。

【0004】

薄膜エレクトロルミネセンス(TFEL)素子は1950年代に開発された。交流薄膜ELラミネートの基本構造は良く知られており、例えばTornqvist, R.O.著、"Thin-Film Electroluminescent Displays", Society for Information Display, 1989, International Symposium Seminar Lecture Notesおよび米国特許4857802号明細書に記載されている。蛍光層は電極ペアの間にサンドウィッチされており、電極からそれぞれ絶縁/誘電層により分離されている。最も一般的には、蛍光材料はアクティベータ(ドーパント)としてMnを含むZnSである。ZnS:MnTFELは黄色発光である。他の色の蛍光体が開発された。

30

【0005】

従来のTFELラミネートの膜は基板、通常はガラスにデポジットされている。膜のデポジットは実質的に公知の薄膜技術、例えば電子ビーム真空蒸着またはスパッタリングによって行われる。最近では原子膜エピタクシー(ALE)により行われる。TFELラミネート全体の厚さはわずか1または2ミクロンのオーダーである。

40

【0006】

蛍光層を電極から分離および電気絶縁するために、種々の絶縁/誘電材料が公知であり、後で詳細に説明するように使用される。

【0007】

2つの電極はそれぞれ、それが素子の(見る方向で)“後”側または“前”側にあるかに依存して異なる。例えばアルミニウムのような反射材料が典型的に後側電極に使用される。比較的薄く光学的に透明のインジウムすず酸化物(ITO)が典型的に、前側電極に使用される。ランプに適用する場合、2つの電極は連続膜の形態をとり、これにより蛍

50

光層全体は電極間で電界にさらされる。典型的なディスプレイ適用例では、前側電極および後側電極は、行電極および列電極を定める導電アドレス線により適切にパターン化されている。行電極と列電極が重なるところにピクセルが定められる。1つの行電極と1つの列電極に同時に電圧を印加することにより個々のピクセルをアドレッシングする種々の電子ディスプレイ素子が公知である。

【0008】

概念は簡単であるけれども、薄膜エレクトロルミネセンス素子の開発には多数の実際の困難がある。第1の困難は、素子が薄膜技術によりデポジットされた個々のラミネートから形成されることである。薄膜技術は時間とコストのかかる技術だからである。膜での非常に小さな欠陥も故障の原因となり得る。第2にこれらの薄膜素子は典型的には相対的に高電圧（例えばピークピークで300～450V）で動作されることである。実際この電圧は蛍光層をその絶縁破壊電圧を越えて、それを導通させて、動作させるほどである。蛍光層の両側の薄膜誘電層は電極間の導電を制限または阻止することが要求される。大きな電界の適用は電極間の絶縁破壊の原因となり、素子の故障を引き起こす。

10

【0009】

本発明はとくに、エレクトロルミネセンス素子の絶縁/誘電層と蛍光層を通過する放電を阻止するものである。エレクトロルミネセンス素子をうまく動作させるためには電極（アドレス線）が蛍光層から絶縁されることが必要である。このことは絶縁/誘電層によって行われる。典型的には絶縁/誘電層は蛍光層の両側に設けられ、アルミナ、イットリア、二酸化珪素、シリコン窒化物またはその他の誘電材料から形成される。素子の動作中、絶縁層と蛍光層との間の界面からの電子は、これが蛍光層を通過するように電界によって加速され、蛍光層でドーパント原子と衝突し、衝突プロセスの結果として光を放出する。従来のTFEL素子では、蛍光層を通過する電界強度が十分に高いことを保証するため、誘電層の厚さは通常は蛍光層よりも薄いかまたは同じくらいである。誘電層が過度に厚いと、アドレス線間に供給された電圧の大部分が蛍光層ではなく誘電層を通過する。

20

【0010】

誘電層は蛍光層とコンパチブルであることが重要である。“コンパチブル”により本明細書および請求の範囲では、第1に良好な注入界面が形成されることを意味する。すなわち、“熱”電子のソースが蛍光層界面にあり、電界の適用に基づき蛍光層での導通および光放出を開始させるためこれを蛍光導通帯へ促進およびトンネルすることができることを意味する。第2にコンパチブルの意味には、誘電材料が、これが隣接層（すなわち蛍光層および電極）と反応を起こさないように化学的に安定していなければならないことを意味する。

30

【0011】

典型的なTFELでは十分な発光を得るために、供給される電圧は誘電層の絶縁破壊が発生する電圧に非常に近い。従って誘電層と蛍光層の厚さと品質に関する製造管理は絶縁破壊を阻止するため厳しく行われなければならない。この要求は反対に高い歩どまりを得ることを困難にする。

【0012】

典型的なTFEL構造は（見る方向で）前側から後側に形成されている。薄膜は連続的に適切な基板にデポジットされている。ガラス基板は透明性を得るために使用される。透明な前側電極（ITOアドレス線）はガラス基板にスパッタリングにより約0.2ミクロンの厚さでデポジットされている。基板誘電体-蛍光体-誘電体層は通常はスパッタリングまたは真空蒸着によりデポジットされる。蛍光層の厚さは典型的には約0.5ミクロンである。誘電層の厚さは典型的には約0.4ミクロンである。蛍光層は通常はデポジットの後、約450°Cで効率を高めるため焼き鈍しされている。次に後側電極が付加され、典型的には0.1ミクロンの厚さのアルミニウムアドレス線の形態である。完成されたTFELラミネートは外部の湿気からそれを保護するためカプセル化される。エポキシ薄板カバーガラスまたはシリコンオイルカプセルが使用される。デポジットに使用される初期基板は典型的にはガラスであるから、TFELラミネート構造で使用される材料および析

40

50

出技術は高温処理をすることができない。

【0013】

T F E L素子を動作させるのに使用される高い電界強度は誘電層に過酷な要求を課す。高い絶縁耐力は絶縁破壊を回避するために要求される。高い誘電率を有する誘電体ができるだけ低い駆動電圧で発光効率を得るために有利である。しかし高誘電率の材料を使用する試みによっては満足する結果が得られていない。

【0014】

T F E L素子の駆動電圧を低くするため、絶縁層が高誘電率材料、例えば $SrTiO_3$ 、 $PbTiO_3$ 、 $BaTa_2O_3$ から形成される。これは米国特許明細書 4857802号に記載されている。しかしこれらの材料は低い誘電ブレークダウン強度を良好に示すものではない。米国特許第 4857802号明細書には、誘電層をペロブスカイト結晶構造体から増大した平面配向(111)を得るため薄膜析出技術により形成することが記載されている。同明細書には、高い絶縁耐力(約 $8 \times 10^5 \sim 1.0 \times 10^6 V/cm$)が $SrTiO_3$ 、 $PbTiO_3$ 、 $BaTa_2O_3$ を使用した約 0.5ミクロンの厚さの誘電層により得られることが記載されている。これらはすべて高い誘電率とペロブスカイト結晶構造を有する。この素子は複雑で、誘電層に対する薄膜析出技術で制御するのは困難である。

【0015】

薄板セラミック絶縁層および薄膜エレクトロルミネッセンスを使用した T F E L素子の開発も行われてきた(Miyata, 著 S I D 91 Digest, pp70-73および pp286-289参照)。この素子は $BaTiO_3$ セラミックシートから形成される。シートはファイン $BaTiO_3$ パウダーをディスク(直径 20mm)に鑄造し、従来のコールドプレス法を使用して形成される。ディスクは $1300^\circ C$ で空気中で焼成される。次に約 0.2mmの厚さのシートに研磨される。発光層は化学的真空析出法または R F マグネトロンスパッタリングを使用してシートに薄膜でデポジットされる。次に適切な電極層が薄膜技術を使用して構造体のどちらか一方の側にデポジットされる。この素子は所望の特性を示すが、商用 T F E L素子をソリッドセラミックシートから製造することは好ましいことではない。大きなセラミックシートを 0.2mmの一定の厚さに研磨することは経済的には実現できない。

【0016】

多層絶縁/誘電層を蛍光層の両側で使用することも公知である。例えば、米国特許第 4897319号明細書には、E L 蛍光層を絶縁堆積体ペアの間にサンドウィッチした T F E L が公知である。この場合、絶縁堆積体の 1つまたは両方はシリコン酸化窒化物($SiON$)の第1の層とバリウムタンタル酸塩(BTO)の第2の比較的厚い層を有する。第1の $SiON$ 層は高絶縁性を示し、第2の BTO 層は高誘電率を有する。全体的にこの構造体は従来の電圧での蛍光層の高い輝度を特徴とするものである。しかし絶縁層が R F スパッタリングによりデポジットされており、これは前に説明した薄膜技術には不利である。

【0017】

製造するのに有利で、従来の T F E L素子よりも輝度が高く動作電圧が低い T F E L素子に対する要求がある。これには素子を駆動するのに必要な電界強度よりも高い絶縁耐力を有する誘電層を得ることが必要である。

【0018】

透明導電材料、例えばインジウムすず酸化物に電極パターンを製造することはしばしば大規模で高価なマスキングと、写真平板および化学エッチングプロセスを含む。レーザがこのような透明導電材料に線引くするために提案されている。一般的には炭酸ガス、アルゴンおよび Y A G レーザが使用されている。このようなレーザは電磁スペクトル領域の可視および赤外線領域(一般的に $400nm$ 以上)に光を形成する。しかしこのような長波長の光を電極パターンをスクライブするために使用することは、とくに透明導電材料が別の透明層にデポジットされている場合に問題である。従来の T F E Lディスプレイでは、透明電極材料、典型的にはインジウムすず酸化物(ITO)が透明ディスプレイガラスに

10

20

30

40

50

、E Lラミネートの他の層がデポジットされる前にデポジットされる。絶縁材料または半導体材料では、その材料内の電子バンドギャップのエネルギーに相応するよりも長い波長の光は強く吸収されない。光学的に透明な材料に対しては、バンドギャップに相応する波長は可視光線に対する波長よりも短い。従って透明電極材料はレーザー光をあまり吸収しない。これは光の波長が長いことと層の厚さが薄いため、このことはレーザーエネルギーを電極アドレス線を直接除去するのに使用することを困難にする。

【0019】

米国特許第4292092号明細書および米国特許第4667058号明細書には太陽電池において、透明電極パターンを別の透明層にデポジットするプロセスが記載されている。これらの特許明細書は電極をパルスYAGレーザーを使用してパターンニングすることを開示する。しかしYAGレーザーの波長は透明層で十分に吸収されるには過度に長い。低い吸収率を補償するために、ピークパワーの大きなレーザーが透明電極を熱的に蒸発させるために使用される。ネオジムYAGレーザーは4~5W、36kHzのパルス率、20cm/sの走査率で動作される。特許明細書に記載された実施例ではITO層がこのようにしてガラスにデポジットされる。しかしスクライブされた線はITOの不完全な除去を有すると記載されており、溶解した場所ではガラスが数百オングストロームまでの深さを有する。残留ITOはその後のエッチングステップにより除去されなければならない。

10

【0020】

透明電極材料に電極パターンを形成する別の手段はエキシマレーザーを使用するものである。このレーザーは電磁スペクトルで紫外線領域の比較的短い波長の光を生成する。この波長ではレーザーエネルギーを透明電極材料により吸収することができる。この性質のレーザーでは液晶ディスプレイ(米国特許第4980366号明細書および米国特許第4927493号明細書)、光ポルタ電池(米国特許第4783421号明細書および米国特許第4854974号明細書)および集積回路(米国特許第5109149号明細書)に対して導電パターンを形成することが公知である。1990年8月23日に刊行されたWO90/0970には、電極ドットマトリクスパターンを透明基板上の透明導体にエキシマレーザーによりスクライブするプロセスが記載されている。

20

【0021】

エキシマレーザーは透明電極により吸収するのに十分に短い波長の光を放射し、電極を直接除去することによりパターンニングすることができる。しかしこのようなレーザーは比較的高価で、スクライブプロセスは下にあるディスプレイガラスを溶解または除去しないように注意深く制御しなければならない。さらにこのようなプロセスは透明電極材料を過度に除去したり不完全に除去したりすることになりかねない。例えばWO90/0970には、除去すべき材料を一部しか除去されなかった場合には、残った部分を化学的またはプラズマエッチングにより除去できることが記載されている。

30

【0022】

透明基板上の透明電極材料をスクライブする場合の別の問題が米国特許第4937129号明細書に記載されている。層間の拡散または相互汚染を回避するため、拡散障壁層を界面に設けることが記載されている。

【0023】

別の特許明細書には、レーザー光の吸収を増強するため透明電極材料に表面処理することが記載されている。例えば米国特許第4909895号明細書には、金属フィルム表面をレーザー光に対して比較的反射しないようにするため酸化することが記載されている。米国特許第4568409号明細書には、除去が所望される箇所でレーザー光が選択的に吸収されるように色素により除去すべき透明層をコーティングすることが記載されている。

40

【0024】

E Lディスプレイを駆動する制御回路が開発されている。基本的にはこの回路はシリアルビデオデータをパラレルデータに変換し、電圧をディスプレイの行および列に供給する。上記のような行および列のドライバ素子(チップ)は入手可能である。

【0025】

50

非対称駆動および対称駆動技術がELディスプレイ技術で使用される。非対称駆動法では、ELパネルに駆動パルスが、負の閾値下電圧を1つの列に同時に印加することにより供給される。各列のスクアン時間中、正の電圧パルスが選択された行（すなわち発光すべき行）に供給され、選択されなかった行（すなわち発光すべきでない行）にはゼロ電圧が供給される。選択された行と列の交点では、閾値下の列電圧と行の正パルス電圧の和に等しい電圧がピクセルを介して供給され、発光を惹起する。パネルのすべての列がアドレッシングされた後、正の極性リフレッシュパルスがすべての列に同時に供給され、すべての行は0Vに保持される。

【0026】

対称駆動法では、リフレッシュパルスが省略される。そのかわりに、反対の極性の駆動パルスセットがパネルに供給される。パネルを動作状態に保持するため、列は交互の極性のパルスにより偶数フレームと奇数フレームで走査される。交互の極性はすべてのディスプレイピクセルで正味のゼロ電荷を引き起こす。

10

【0027】

上記のような高電圧ドライバ素子（チップ）は非対称および対称両方の駆動技術で入手可能である。

【0028】

交互駆動回路およびELディスプレイに対する素子は公知であり、開発されている。例えば、K. Shojiら著、Bidirectional Push-Pull Symmetric Driving Method of TFEL Display, Springer Proceedings in Physics, Vol. 38, 1989, 324、およびSuttonら著、Recent Developments and Trends in Thin-Film Electroluminescent Display Drivers, Springer Proceedings in Physics, Vol. 38, 1989, 318、およびBolgerら著、A Second Generation Chip Set for Driving EL Panels, SID, 1985, 229参照。

20

【0029】

上記の駆動法はマルチプレクス（パッシブ）マトリクスアドレッシング法と呼ばれる。理論的にはその他の駆動法、例えばアクティブマトリクスアドレッシング法もELディスプレイに使用することができる。しかしこれらはまだ開発されていない。このような交互駆動法は、本明細書で使用されるフレーズ電圧駆動回路の意味の枠内であると見るべきである。

30

【0030】

従来のELディスプレイでは、行および列のアドレス線を駆動回路に接続する1つの手段は、非常に密に近接した金属シートを非常に多数含む重合ストリップを、ディスプレイアドレス線に接続された接点列と、駆動回路のドライバ素子に接続された接点列の間に加圧することである。駆動回路は別個の回路基板に配置されている（米国特許第4508990号明細書参照）。重合ストリップは層構造のエラストメリックな素子（LEE）であり、STAXおよびZEBRAの商品名で知られている。LEEは導電エラストメリック材料と非導電エラストメリック材料との交互の層からなる。重合ストリップは数百の個別のワイヤをはんだまたは溶接を使用して接点に接続するという骨の折れる接続作業を回避する。しかしこの相互接続技術は非現実的であり、重合材料をクリーブさせるような高い温度では良好に機能しない。

40

【0031】

行および列アドレス線を液晶ディスプレイ（LCD）駆動回路に接続するため共通に使用される別の手段、すなわちチップオンガラス技術（COG）をエレクトロルミネセンスに対しても使用することが考えられる。アドレス線が接続されなければならない駆動素子（チップ）はディスプレイの末端周辺に配置される。LCDの場合、ディスプレイガラスの裏面に蒸着されているアドレス線がディスプレイのアクティブ領域から延在している。

50

従ってアドレス線はパターンに配置された接点パッドで終端し、従ってチップをこれにボンディングすることができる。ワイヤボンディングはチップをディスプレイガラスに取り付け、ファインゴールドワイヤをチップの出力パッドおよびアドレス線の相応する接点パッドに個別に接続することを必要とする。

【0032】

COG技術の利点はディスプレイガラスと駆動回路との間の接点数を格段に低減できることである。というのははるかに多数の接点がドライバチップとアドレス線の間にあるからである。典型的には20から30の接続がドライバチップと駆動回路の他の部分との間にあるにすぎないが、アドレス線との間には2000もの接続がある。

【0033】

COG技術の大きな欠点は、ドライバチップをアドレス線の薄膜パッドにワイヤボンディングすることの困難性である。そのため製造歩どまりが悪い。他の欠点はドライバチップを取り付けるためにディスプレイの周辺にスペースが必要なことである。従ってディスプレイの寸法が増大し、大型ディスプレイを形成するため複数のディスプレイモジュールをアレイに組み合わせることができないことである。

【0034】

直接回路接続に対するスルーホール技術は半導体分野で広く知られている（例えば米国特許第3641390号明細書参照）。米国特許第4710395号明細書から、制御された真空を用いたスルーホール基板プリントに対する方法および装置が公知である。しかしスルーホールプリントは、発明者の知るかぎりでは、ELディスプレイにうまく適用することができない。

【0035】

米国特許第3504214号明細書には、EL素子のセグメント記憶形式が記載されている。ここではピクセルが光電層を形成するため光によりターンオンされ、次に蛍光層が導電性となる。スルーホール導体の複雑性が記載されている。この明細書は通常のスルーホール接続は高解像度TFELディスプレイでは動作しないことを示唆している。なぜなら、導電材料が蛍光体と反応し、そのためディスプレイの能力が低下するからである。

【発明の開示】

【発明が解決しようとする課題】

【0036】

本発明の課題は、発光効率がよく、製造が容易で簡単なエレクトロルミネセンス素子を提供することである。

【課題を解決するための手段】

【0037】

上記課題は本発明により、扁平な層が約 1.0×10^6 V/m以上の絶縁耐力と、誘電材料の誘電率と蛍光体の誘電率の比が約50:1以上である誘電率を有するセラミック材料から形成され、誘電層は誘電層と蛍光層との厚さの比が約20:1から500:1の範囲にある厚さを有し、誘電層は蛍光層に隣接する表面を有し、該表面は蛍光層とコンパチブルでありかつ十分に滑らかで、蛍光層は所定の励起電圧の下で一般的に均一に発光するように構成した誘電層を有するELラミネート誘電層構造体により解決される。

【0038】

発明の要約

エレクトロルミネセンスの層は異なる誘電率を有する。ラミネートの層間の電位差は各層の厚さに比例して、また材料の相対的誘電率に反比例して各層に分散される。例えば、1つの層が別の層の2倍の厚さと誘電率を有していれば、電圧はこれら2つの層に均等に分散される。本発明はこの性質を利用して、高誘電率を有する厚い誘電層を、格段に低い誘電率を有する薄い蛍光層と組み合わせるのである。このようにして蛍光層による導電が開始する前に、誘電層が十分に高い誘電率を有していればピクセルを通る電圧が蛍光層全体にわたって十分に存在することができる。本発明は新しい改善された誘電層を有するELラミネートと、その製造方法を提供する。誘電層は厚膜として次のセラミック材料から

10

20

30

40

50

形成される。

【0039】

- 絶縁耐力は約 1.0×10^6 V/m 以上である。

【0040】

- 誘電材料の誘電率 (k_2) と蛍光層の誘電率 (k_1) との比は約 50 : 1 以上である (有利には 100 : 1 以上)。

【0041】

- 誘電層の厚さ (d_2) と蛍光層の厚さ (d_1) との比は約 20 : 1 から 500 : 1 の範囲にある (有利には 40 : 1 から 300 : 1)。

【0042】

- 蛍光層に隣接した表面は蛍光層とコンパチブルであり、十分に滑らかであり、蛍光層は一般的に所定の励起電圧で均一に発光する。

【0043】

本発明の誘電層を含むラミネートは最も有利には蛍光層が薄膜層であるラミネートである。典型的な薄膜蛍光層は ZnS : Mn から約 0.2 から 2.0 ミクロン、典型的には約 0.5 ミクロンの厚さで形成される。ZnS : Mn 材料は約 5 から 10 の誘電率を有する。理論的計算ではこの最も有利な蛍光層 (前記のガイドラインを参照) に基づき、本発明の誘電層は有利には 500 以上の誘電率、最も有利には約 1000 以上の誘電率を有する。また厚さは約 10 から 300 ミクロンの範囲、有利には 20 から 150 ミクロンの範囲にある。高誘電率を得るためには強誘電材料が有利である。最も有利にはこれらはペロプスカイト結晶構造を有する。例えば材料は、 $PbNbO_3$, $BaTiO_3$, $SrTiO_3$, $PbTiO_3$ を含む。

【0044】

本発明の誘電層はラミネートに形成され、これは前側から後側に構成される。従って後側電極は基板にデポジットされ、最も有利にはアルミナのようなセラミックである。これは製造時にガラス基板よりもはるかに高い温度に耐えることができる (ガラス基板は前面の透明性を得るため TFE L 構造体の前側から後側に使用される)。次の本発明の誘電層は厚膜技術によって後側電極にデポジットされる。これは高温で焼成されるが、これは基板と後側電極には耐えることができる。厚膜技術と高温焼成の使用は誘電層の全体特性に対して重要である。というのは高度の結晶度を有する密な層が得られ、これは全体誘電率と層の絶縁耐力を改善するからである。

【0045】

実際には発明者は、現在使用可能なセラミック材料を用いて蛍光層に隣接する誘電体の所望の表面 (すなわちコンパチブルおよび滑らか) を製造することは困難であると思う。従って本発明の有利な実施例では、誘電層は 2 つの層として形成され、第 1 の誘電層は後側電極上に形成されて有利には高い絶縁耐力を有し、上記の誘電率値に設定される。第 2 の誘電層は上記のように蛍光層に隣接する表面となる。

【0046】

本発明の有利な実施例では、第 1 の誘電層は厚膜技術 (有利にはスクリーンプリント) によりデポジットされ、その後高温焼成 (有利にはすべての下部層の溶融点よりも低い温度、有利には 1000°C 以下で) される。強誘電セラミック、有利にはペロプスカイト結晶構造体を含むペーストが、ペースト組成が高い焼成温度での焼成を許容するならば有利な材料である。第 2 の誘電層は有利にはゾルゲル技術によってデポジットされ、その後、滑らかな表面を得るため高温焼成される。第 2 の層に使用される材料は有利には高誘電率 (有利には 20 以上、さらに有利には 100 以上) を有し、厚さは 2 ミクロン以上 (有利には 2 から 10 ミクロン) である。ペロプスカイト結晶構造を有する強誘電セラミックが最も有利である。

【0047】

本発明は、ニオブ酸鉛から 30 ミクロンの厚さでスクリーンプリントされた第 1 の誘電層と、ゾルとしてジルコン酸チタン酸鉛から 2 から 3 ミクロンの厚さでスピンドポジット

10

20

30

40

50

された第2の誘電層によって示された。ゾルゲル層はまた全体の厚さが6から10ミクロンの複数の層を形成するための浸漬によって示された。ランタン酸ジルコン酸チタン酸鉛もまたゾルゲル層として示された。

【0048】

2層の誘電体を使用することは必須ではないが有利である。第1の誘電層が所要の高い絶縁耐力と高い誘電率を有する厚膜として形成されるのに対し、第2の層にはそのような制限はない。第2の層が所望のコンパチブルで滑らかな表面を有していれば、これは薄膜として第1の層で使用されるよりも多くの種々の材料から形成することができる。多くの研究が、ELラミネートの誘電-蛍光界面の特性を変化させること、例えば化学的安定性または注入の改善について成された。これらの改善を含む材料または析出技術は、本発明の第1および/または第2の誘電層とともに使用することができる。例えば第1または第2の層で使用される材料または析出技術の選択において第2の層の表面の変更により、または第1または第2の層の上部にさらに第3の薄膜層を適用することにより使用することができる。

10

【0049】

本発明により製造されたラミネートは、低い動作電圧において絶縁破壊なしで良好な発光効率を示す。誘電層に対して有利な厚膜とゾルゲル析出技術は一般的に簡単で前に説明した薄膜技術と比較して高価な技術でない。本発明の誘電層の別の利点は、層を組み込んだラミネートが蛍光層と第2の電極との間に別の誘電層を必要としないことである。しかし必要ならばこのような別の誘電層を含むこともできる。

20

【0050】

従って本発明は、前側電極と後側電極との間にサンドウィッチされた蛍光層を含む形式のエレクトロルミネセンスラミネートにおける誘電層を適用するものである。後側電極は基板上に形成されており、蛍光層は後側電極から誘電層により分離されている。誘電層はセラミック材料から形成された扁平な層を有する。このセラミック材料の絶縁耐力は約 1.0×10^6 V/m以上であり、 k_2/k_1 の比である誘電率は50:1以上であり、誘電層は $d_2:d_1$ の比が20:1から500:1の範囲であるような厚さを有する。さらに誘電層は、蛍光層とコンパチブルであり、十分に滑らかである蛍光層に隣接する表面を有し、蛍光層は所定の励起電圧で一般的に均一に発光する。

30

【0051】

本発明はまた、前側電極と後側電極との間にサンドウィッチされた蛍光層を含む形式のエレクトロルミネセンスラミネートの製造方法に関するものである。この後側電極は基板上に形成され、蛍光層は後側電極から誘電層により分離されている。本発明の方法は、後側電極に厚膜技術でデポジットし、その後セラミック材料を焼成する。このセラミック材料は k_2/k_1 の比が約50:1以上である誘電率を有し、約 1.0×10^6 V/m以上の絶縁耐力と、 d_2/d_1 の比が約20:1から500:1の範囲にある厚さを有する誘電層を形成する。誘電層は蛍光層に隣接する表面を形成する。この表面は蛍光層とコンパチブルであり、かつ十分に滑らかであり、所定の励起電圧の下で蛍光層は一般的に均一に発光する。

40

【0052】

本発明はまた、少なくとも1つの上側層と少なくとも1つの下側層を有する扁平なラミネートにレーザでパターンをスクライプするプロセスに関する。このプロセスは、フォーカシングされたレーザビームをラミネートの上側層側に照射し、このレーザビームは実質的に上側層によっては吸収されないが下側層によっては吸収されるような波長を有し、これにより下側層の少なくとも一部は直接除去され、上側層はその厚さ全体にわたって間接的に除去される工程を含む。

【0053】

ELラミネートに関連して、上側層は透明導電材料かつ発光体であり、下側層は誘電層の1つまたは複数であり、パターンは平行に配置されたアドレス線の電極パターンである。

50

【 0 0 5 4 】

明細書および特許請求の範囲全体を通して以下の定義があてはまる。

【 0 0 5 5 】

吸収は、放射エネルギー量が材料内での高エネルギー状態への許容遷移と一致したときに、例えば材料に対してバンドギャップを通る電子の促進により材料内で生じる。

【 0 0 5 6 】

レーザービームによる材料の直接除去は、除去の主たる原因が分解である場合、および/またはレーザービームの放射エネルギーの材料による吸収によるものである場合に生じる。

【 0 0 5 7 】

レーザービームによる材料の間接的除去は、除去の主たる原因が材料中での熱発生による蒸発である場合、およびレーザービームの放射エネルギーを吸収する隣接材料から搬送される場合に生じる。

【 0 0 5 8 】

本発明は、扁平なエレクトロルミネセンスラミネートから駆動回路の1つまたは複数の電圧駆動素子の出力側へスルーホールコネクタを使用して電気接続を行うエレクトロルミネセンスディスプレイパネルに関する。ディスプレイパネルは、

- 基板裏面に形成され、公知の形式の公差アドレス線のフロントセットおよびリアセットを有するエレクトロルミネセンスラミネートと、

- アドレス線の端部に隣接する基板に形成された複数のスルーホールと、

- 基板のスルーホールのそれぞれを通してアドレス線の各端部へ、各アドレス線と駆動回路の電圧駆動素子との電気接続を行うための導電経路形成手段とを有する。

【 0 0 5 9 】

有利には、ディスプレイパネルのエレクトロルミネセンスラミネートは本発明の厚膜誘電層を有する。この誘電層によりラミネートを後側基板から前側へ（見る方向で）形成することができ、これによりまた、電圧駆動素子とアドレス線との接続のためのスルーホールコネクタおよび厚膜回路パターンを、回路製造ステップとエレクトロルミネセンスに対する製造ステップとの交互組み合わせで形成することができるようになる。

【 0 0 6 0 】

このようなステップは簡単には従来のエレクトロルミネセンスラミネート構造では実現することはできない。というのは、層がフロントディスプレイガラスにデポジットされ、このガラスは厚膜導電ペーストを焼成する温度には耐えられないからである。

【 0 0 6 1 】

本発明によれば、電圧駆動素子または駆動回路全体は、後側基板の裏面に形成される。スルーホールコネクタを使用することにより、アドレス線と駆動回路との間のより直接的で信頼性の高い相互接続が得られる。ディスプレイパネル周辺の非活性外辺部は必要ない（従来の技術では必要であった）。このことにより個々のディスプレイパネルから大型ディスプレイを組み合わせることができる、しかもモジュール間に暗い境界線が生じない。

【 発明を実施するための最良の形態 】

【 0 0 6 2 】

図1および図2には、2つの誘電層を合わせた本発明によるELラミネート10が示されている。ラミネート10は基板12上に背面側から形成される。背面電極層14は基板12上に形成される。図面に示されているように、ディスプレイに適用するために、背面電極14は、基板12上にセンタリングされた導電性のアドレス線路の列から成り、基板エッジから間隔をおいて配置されている。電極14からは電気接点タブ16が突出している。背面電極14の上には第1の厚い誘電層18が形成され、この次にはこれよりも薄い第2の誘電層20が続いている。さらに第2の誘電層20の上には燐光層22が形成され、この次には透過性の前面電極層24が続いている。前面電極層24は図面ではソリッドに描かれているが、実際にディスプレイに適用するためには、この電極層は、背面電極14のアドレス線路と垂直に配置されたアドレス線路の行により構成される。ラミネート10は、水分が侵入するのを避けるために透過性のシール層26によりカプセル保護されて

いる。第2の電極24には電気接点28が設けられている。

【0063】

ELラミネート10は、交流電力源を電極の接点16、28と接続することにより作動される。本発明によるELラミネートは、ディスプレイにおける用途が最も多いものではあるが、ランプまたはディスプレイとしての用途を有するものである。

【0064】

当業者であれば、本発明の枠からはずれることなくラミネート10にさらに別の中間層を設けられることが理解されよう。

【0065】

次に有利な材料および工程ステップとともに、1つのELラミネートに誘電層を2重に形成する本発明による方法を説明する。 10

【0066】

ラミネート10は、背面から前面(表示面)へと形成される。ラミネート10は適切な基板12上に形成される。基板12は有利にはセラミックであり、これは誘電層で使われる高い焼結温度(典型的には1000°C)に耐え得るものである。最も有利なのはアルミナである。

【0067】

基板12上に第1の背面電極14がディポジットされる。アドレス線路の薄い列を配線するために、多数の技術や材料が知られている。有利には、導電性の金属のアドレス線路は、ペーストが印刷されるべき領域で洗い落とすことのできる感光乳剤を用いて、Ag/Pt合金ペーストによりスクリーン印刷される。その後、このペーストは乾燥され焼成される。択一的に、背面電極14を金のような別の貴金属、あるいはクロム、タングステン、モリブデン、タンタルまたはこれらの金属の合金のようなその他の金属により形成することもできる。 20

【0068】

第1の誘電層18は、周知の厚膜技術により背面電極上にディポジットされる。燐火層22の誘電率よりも高い誘電率を生じさせるために、第1の誘電層18は有利には強誘電性材料から生成され、最も有利にはペロブスカイト結晶構造を有するものから生成される。この材料は、ラミネートのための適切な動作温度にわたって、一般的には20°C~100°Cにわたって、500の最小誘電率を有するものである。いっそう有利には、第1の誘電層材料の誘電率は1000またはそれ以上である。第1の誘電層18のための実例としての材料は、 $PbNbO_3$ 、 $BaTiO_3$ 、 $SrTiO_3$ および $PbTiO_3$ であって、殊に $PbNbO_3$ が好ましい。 30

【0069】

第1の誘電層18のためにセラミック材料(すなわちラミネートの別の層を準備するのに十分に高い融点を有する電氣的に絶縁する部材)を選択する場合、当業者であれば理解されるように、高い誘電率と高い絶縁耐力を有するものとして知られた材料が選択される。これらは材料の固有の特性であるが、緻密で透明な形状で存在するバルク材料に対して値が一般的に定められている。用いられるディポジット技術によりこれらの特性を変えることができる。材料の誘電率に関して、誘電率を出発材料の誘電率よりも著しく下げないようにする目的で、厚膜ディポジション技術およびこれに続く高温焼結により(約1ミクロンから約2ミクロンの範囲内の)大きな粒子サイズと、緻密な構造における高い透明度が全体的に維持される。同様に、厚膜ディポジション技術を用いることにより高い絶縁耐力が得られる。しかし層の絶縁耐力は結局は、完成したラミネートに動作電圧を印加することにより測定すべきである。 40

【0070】

厚膜ディポジション技術は、上述のように従来より公知である。このような技術の場合、誘電材料は、全体的に均一な範囲の所望の厚さで、背面電極14上にディポジットされる。厚膜ディポジション技術は、セラミック基板上の電子回路の製造時に頻繁に用いられる。スクリーン印刷は最も好ましい技術である。ペースト製造者により行われる推奨され 50

る焼結ステップで、市販の誘電ペーストを用いることができる。ペーストは、典型的には約1000°Cである高温の焼結を可能にするように選択または形成すべきである。しかし他の技術で同様の結果を得ることができる。択一的である厚膜技術は、背面電極14上に配線できるように“グリーンテープ”として誘電体を用いることである。このグリーンテープは重合マトリクスの誘電性粉体を有しており、これは後続の焼結プロセス中に燃焼させることができる。焼結前、このテープはフレキシブルであり、電極層14上に平らに広げて押圧させることができる。スクリーン印刷された誘電体上におけるグリーンテープの1つの可能な利点は、これが燃焼されれば孔がいつそう僅かになることでいくらか緻密であることである。現在、グリーンテープ誘電体は容易に入手可能ではない。誘電体の厚膜ペーストも、背面電極層14上に平らに広げて被着させることができるし、あるいはドクタブレードで塗布することができる。誘電性粉体の静電的なディポジションおよびこれに続く、粉体はその静電荷を失なう前にただちに行われる焼結のようないつそう複雑な技術を、付随的に用いることもできる。

10

【0071】

図示されているように、第1の誘電層18は有利にはペーストによりスクリーン印刷される。僅かな有孔性、高い結晶度および最小の解砕を達成するために、多重層へのディポジットおよびこれに続く高温での焼結が有利である。焼結温度は、使用される個々の材料に依存するが、背面電極14または基板12が耐え得る温度を越えないようにする。大部分の電極材料にとって、典型的には1000°Cの温度が最大値である。第1の誘電層18の厚さは、この層の誘電率と、燐光層22および第2の誘電層20の誘電率および厚さにより変化する。一般的に、第1の誘電層18の厚さは10~300ミクロンの範囲内であり、有利には20~150ミクロンの範囲内であり、さらに有利には30~100ミクロンの範囲内である。

20

【0072】

一般的に、誘電層の厚さおよび誘電率を定めるための基準は、最小動作電圧で適切な絶縁耐力が生じるように計算されるものとされる。これらの基準は以下で述べるように相互に関係がある。燐光層に対し約0.2~2.0ミクロンの間の典型的な厚さの範囲(d_1)を与え、この燐光層に対し約5~10の間の誘電率の範囲(k_1)を与え、さらに誘電層に対し約 $10^6 \sim 10^7$ V/mの絶縁耐力の範囲を定めると、本発明の誘電層のための典型的な厚さ(d_2)と誘電率(K_2)の値を決定するために以下の式および計算を適用

30

【0073】

1つの均一の誘電層と、2つの導電性の電極間に挟まれた1つの均一の非導電性の燐光層とを有する2重の層に加わる電圧Vは、式1により定められる：

$$V = E_2 * d_2 + E_1 * d_1 \quad (1)$$

この場合、 E_2 は誘電層における電界強度、 E_1 は燐光層における電界強度、 d_2 は誘電層の厚さ、 d_1 は燐光層の厚さである。

【0074】

これらの計算において、電界方向は、燐光層と誘電層との間の介在領域に対し垂直である。式1は、閾値電圧よりも低い電圧が印加されるかぎりあてはまる。この閾値電圧において、燐光層における電界強度は、燐光層が電氣的に降伏し始め、素子が光を送出し始めるのに十分に高いものである。

40

【0075】

電磁理論により、異なる誘電率を有する2つの絶縁材料間の介在領域に垂直な電気変位(電束密度)Dの成分は、介在領域にわたり連続的である。ある材料中のこの電気変位成分は、誘電率と、同じ方向の電界成分との積として定義されている。この関係から、2重層構造における介在領域に対し式2が導出される：

$$k_2 * E_2 = k_1 * E_1 \quad (2)$$

50

この場合、 k_2 は誘電材料の誘電率であり、 k_1 は燐光材料の誘電率である。

【0076】

式1および2を合成して式3を得ることができる：

$$V = (k_1 * d_2 / k_2 + d_1) * E_1 \quad (3)$$

閾値電圧を最小化するために、式3の第1項は実用に即して小さくする必要がある。燐光層の発する光を最大にするために、第2項は燐光層の厚さの選択の要求により定められる。これらの数値を定める際、第1項は第2項の10分の1の大きさになるように選択する。この条件を式3に代入することにより式4が得られる：

$$d_2 / k_2 = 0.1 * d_1 / k_1 \quad (4)$$

式4により、燐光層の特性に関して誘電層の厚さとその誘電率との比が得られる。この厚さは、燐光層が閾値電圧を超過して導通したときに、印加された電圧全体を保持するのに絶縁層の絶縁耐力が十分であるようにするという要求から独自に決定される。厚さは式5を用いて算出される：

$$d_2 = V / S \quad (5)$$

この場合、 S は誘電材料の絶縁耐力である。

【0077】

上述の式および d_1 、 k_1 、 S に対し適切な値を用いることにより、本発明明細書および特許請求の範囲に記載した誘電層の厚さならびに誘電率の範囲が得られる。

【0078】

前述のように、第1の誘電層18が、燐光層と隣接する十分に滑らかな表面を有し（すなわち続いてディポジットされる燐光層が所定の励起電圧で全体的に均一に発光するのに十分な滑らかな表面を有し）、この燐光層22と両立性があれば、第2の誘電層20は不要である。一般的に、表面の起伏が約1000ミクロン（これは1つのピクセル幅にほぼ等しい）にわたって約0.5ミクロンより大きく変化していなければ十分である。この間隔において0.1~0.2ミクロンの表面起伏であればいっそう好ましい。第1の誘電層18が十分に滑らかな表面を有していても燐光層22との所望の両立性を有していなければ、両立性を得るためにさらに別の材料層（有利には誘電層であるがそうである必要はない）を、たとえば薄膜技術により加えてもよい。

【0079】

第2の誘電層20が必要とされる場合、この層は第1の誘電層上に生成される。第2の誘電層20は第1の誘電層18の誘電率よりも小さい誘電率を有することができ、典型的にはさらに薄い層（有利には2ミクロンよりは大きくいっそう有利には2~10ミクロン）として生成される。第2の誘電層の所望の厚さは一般的に滑らかさの関数であり、つまり滑らかな表面が得られるならば、この層はできるかぎり薄くすることができる。滑らかな表面を得るために、有利にはゾル・ゲル・ディポジション技術が用いられ、これに続いて高温での焼結が行われる。ゾル・ゲル・ディポジション技術は従来からよく知られており、たとえば "Fundamental Principles of Sol Gel Technology", R. W. Jones The Institute of Metals, 1989 を参照されたい。一般的に、ゾル・ゲル・プロセスにより、溶剤をまだ保持している間、コロイドゲルまたは重合高分子網状構造として溶液から取り出される前に、ゾルにおいて分子レベルで材料を混合することができる。溶剤を除去すれば、高レベルの緻密な多孔率の固体が残される。したがって表面自由エネルギーの値が高められ、その他のほとんどの技術を用いて行われるよりも低い温度で固体を焼結し濃度を高めることができる。

【0080】

ゾル・ゲル材料は、滑らかな表面を得るように第1の誘電層18上へディポジットされる。このゾル・ゲル・プロセスにより、滑らかな表面を生じさせることに加えて焼結された厚膜層上の孔を埋めることができるようになる。スピンドィポジションまたは浸せきが最も好ましい。これらは長年にわたり半導体産業において主として写真製版プロセスで用いられている技術である。スピンドィポジションの場合、高速で - 典型的には毎分数千回転で - スピンする第1の誘電層18上へゾル材料がドロップされる。望ましければゾルを

数段階、ディポジット可能である。層20の厚さは、ゾル・ゲルの粘度を変化させることにより、およびスピンの速度を変えることにより制御される。スピニングの後、湿ったゾル・ゲルの薄い層が表面上に生成される。セラミック表面を生成するために、一般的には1000°Cよりも低い温度でゾル・ゲル層20が焼結される。ゾルは浸せきによってもディポジットできる。被覆されるべき表面がゾル中へ浸され、次に一定の速度で - 通常は著しくゆっくりと - 引き出される。層の厚さは、ゾルの粘度および引き出し速度を変化させることにより制御される。さらに、ゾルをスクリーン印刷またはスプレーコーティングしてもよいが、これらの技術では層の厚さを制御するのは比較的困難である。

【0081】

第2の誘電層20に使用される材料は有利には強誘電性のセラミック材料であり、高い誘電率を生じさせるためにこのセラミック材料は有利にはペロブスカイト結晶構造を有する。有利にはこの誘電率は、2つの誘電層18、20における電圧変動を避けるために、第1の誘電層の誘電率と同様のものである。とはいえ、第2の誘電体20で用いられるいっそう薄い層では誘電率は約20だけ小さい誘電率を使うことができ、しかし有利には100より大きくする。実例としての材料には、ジルコン酸 - チタン酸鉛 (PZT)、ランタン酸 - ジルコン酸 - チタン酸鉛 (PLZT)、および第1の誘電層18で使用されるSr、PbおよびBaのチタン酸が含まれ、この場合、PZTとPLZTが最も好ましい。

【0082】

次の層のディポジションに好適な滑らかなセラミック表面を生成するために、PZTまたはPLZTは有利には、スピンディポジションおよびこれに続く約600°Cより低い温度での焼結により、ゾル・ゲルとしてディポジットされる。

【0083】

ディポジットされるべき次の層は典型的には燐光層22であるが、上述のように、燐光層との介在領域をいっそう改善する目的で、本発明の枠内で第2の誘電層20の上にさらに別の層を設けることもできる。たとえば、良好な注入性と両立性が得られることで知られた材料の薄膜層を用いることができる。

【0084】

燐光層22は、電子ビームエバポレータによる真空蒸着やスパッタリング等のような周知の薄膜ディポジション技術によりディポジットされる。好ましい燐光材料はZnS:Mnであるが、異なる色の光を発する別の燐光体も知られている。燐光層22は典型的には約0.5ミクロンの厚さと約5~10の誘電率を有する。

【0085】

燐光層22の上の別の透過性の誘電層は不要であるが、望ましければ設けてもよい。

【0086】

前面電極層24は燐光層22（設けられているならば別の誘電層）上に直接、ディポジットされる。この前面電極は透過性であり有利には、電子ビームエバポレータにおける真空蒸着のような薄膜ディポジション技術で知られているインジウムスズ酸化物 (ITO) から生成される。

【0087】

ラミネート10は典型的には焼きなまされ、次にガラスのようなシール層26で密閉される。

【0088】

本発明による典型的な厚さの値を有する有利なラミネートは、背面から前面までについて以下のとおりである：

基板層	アルミナ	
背面電極	Ag/Ptアドレス線路	10ミクロン
第1の誘電層	ニオブ酸鉛	30ミクロン
第2の誘電層	ジルコン酸 - チタン酸鉛	2ミクロン
燐光層	ZnS:Mn	0.5ミクロン
前面電極	ITO	0.1ミクロン

シール層 ガラス 10 ~ 20 ミクロン

大きなELディスプレイの場合、層の厚さを变化させることができる。たとえばゾル・ゲル層の厚さは、所望の滑らかさを得るために典型的には約6 ~ 10ミクロン増やされる。同様に、ITO層の厚さは大きなディスプレイの場合には0.3ミクロンまで増やすことができる。

【0089】

本発明によれば、エレクトロルミネセンスラミネートの前面と背面のアドレス線路と電圧駆動回路との接続は、有利には背面基板中のスルーホールを貫通させることにより行われる。ELラミネートは本発明の厚い誘電層を - これは必要ではないが - 有するのが最も好ましい。

10

【0090】

電圧駆動回路は（典型的には高電圧駆動チップと称される）電圧駆動コンポーネントを有している。ビデオ入力信号に応じてピクセルを選択的に励起させるために、このコンポーネントの出力側は、背面電極と前面電極の個々の行アドレス線路と列アドレス線路に接続されている。電圧駆動回路およびコンポーネントは従来技術において一般的に知られている。本発明を説明するために、スルーホール接続は、公知のパッケージ化された高電圧駆動チップ用に設けられたものであり、この高電圧駆動チップは、周知のリフローはんだ付け技術により背面基板上に表面取り付けされる。この形式の高電圧駆動チップは、慣用の対称パルス駆動形および非対称パルス駆動形として知られている。

【0091】

しかし、当業者ならば気付くように、特殊なドライバ回路ないしドライバ構成要素は変形可能であり、そのようにして、当然、貫通ホールのパターンおよび、ドライバ回路に接続するために設けられた回路パターンに影響を与えることがある。本発明は、実施例として、ドライバ回路全体またはその一部分だけを後側の基板上に取付けることができる。例えば、高圧パッケージチップを使う代わりに、むき出しのシリコンダイ（チップ）を慣用のダイアタッチ方法を用いて基板上に使うことができ、そして、慣用のワイヤボンディング技術を用いてチップを基板上のドライバ回路に接続することができる。この場合、ドライバチップは、基板上の僅少な領域しか占有せず、ドライバ回路のすべてを基板上に配設することができる。その結果、超薄形ディスプレイパネルを、直接ビデオ信号にインターフェース結合し、かつ直接直流電力源に接続することができる。そのようなディスプレイは、ディスプレイを必要とする超薄形ポータブル製品で有用である。もちろん、基板の後側にドライバ回路を取付けることができることは、いかなるサイズのディスプレイにも適用でき、比較的大きなディスプレイならば、基板の後側に直接ドライバ回路を設けるために一層大きなスペースを提供することができる。

20

30

【0092】

本発明の回路接続状態が、図3 ~ 図10に示されている。上述のように、特殊な貫通ホールと回路パターンは、図示の目的のために、後側基板の反対側に高圧ドライバチップ30を取付けるために設けられている。特殊なチップ選択は、スーパーテックスHV7022PJが列アドレス線14への接続用であり、スーパーテックスHV8308PJおよびHV8408PJ（スーパーテックス社、カリフォルニア州、サニーベイル在）が行アドレス線24への接続用である。後者の2つのチップは、一方のリードパターンが他方のリードパターンのミラーイメージであるという点で異なっている。

40

【0093】

図を参照すると、ELラミネート10は、有利には（必ずというわけではないが）、本発明の2層誘電層18, 20で構成されており、このようにして後側の基板12から前方から見た側に向かって構成されている。後側基板12は貫通（スルー）ホール32と共に穿孔されており、そのパターンは、基板12と貫通ホール32とがアドレス線14, 24（後で形成される）の両終端に最も近くなるようにされている。または、択一的に、付加的な貫通ホールをアドレス線に沿って所定の間隔を置いた関係で設けることができる。これは、高抵抗性の前方ITOアドレス線への接続を行なうのに有用である。図4のパター

50

ンは、方形基板 12 上の E L ラミネート 10 への接続用であり、方形基板 12 には、列アドレス線（後側電極）14 が比較的長い寸法に沿って設けられ、行アドレス線（前側電極）24 が比較的短い寸法に沿って設けられている。

【0094】

貫通ホール 32 は、有利にはレーザによって形成される。ホール 32 は、典型的には、レーザ穿孔プロセスの性質により一方の側面上に拡げられており、その側面は、導電材料をホールの中に通すのを容易にするために後側面か反対側面であるように選択される。

【0095】

E L ラミネートで使われる基板 12 は、後続の処理ステップで遭遇する温度を引下げることができるようなものであるべきである。典型的には、使われる基板は、ラミネートを堅固に支持するのに十分なものであって、後続の、薄膜ペーストおよびゾル・ゲル材料用の焼成焼結に耐えるために 850 °C 以上の温度に対して安定しているものである。従って、基板は、レーザ光に対して不透過性であるべきであり、それは、レーザ穿孔により貫通ホール 32 を形成できるようにするためである。最後に、基板は、後続ステップで使われる薄膜ペーストの良好な付着性を提供すべきである。クリスタルラインセラミック材料と不伝導性ガラス状材料が使われる。アルミナは特に有利である。

10

【0096】

導電材料の回路パターン 34 は、図 5 に示されたパターンで、基板 12 の後側面に印刷される。このステップでは、導電材料は、上述のようにして、貫通ホール 32 を通って引かれる。基板 12 の後側面の回路パターン 34 は、貫通ホール 32 の毎々の周囲の後側コネクタパッド 36、高圧ドライバチップ（図示していない）の出力用のチップコネクタパッド 38、更に、ドライブ回路（図示していない）の残部に接続するためのコネクタパッド（ラベルされていない）、および図示のように多数のコネクタパッド間の電気リード（ラベルされていない）から構成されている。

20

【0097】

導電材料は、有利には、スクリーン印刷によって付けられた導電薄膜ペーストである。

【0098】

各貫通ホール 32 を貫通する導電路を形成するために、基板 12 の前方側面上が真空にされ、他方、回路 34 は、後側面に印刷される。これは、有利には、基板 12 をマスタプレートに有する真空テーブル上に置くことによって達成され、その際、マスタプレートは、基板 12 と真空との間で図 4 のパターンで穿孔されたホールを有している。マスタプレートの各ホールは、整列され、基板 12 のホールより幾分大きい。真空が均一に加えられるのを確実にするために、回路が印刷されるまで、真空は加えられない。真空は、導電材料が基板の前方側面へ貫通して引かれるまで続けられる。その時点で、導電材料の少量が基板 12 の前方側面へ貫通して引張られ、貫通ホール壁が被覆される。薄膜ペーストは、それから、公知の手順に従って焼成される。

30

【0099】

このステップに続いて、回路パッド補強パターン 42 は、有利には（必ずではないが）、図 7 に示されたように印刷される。導電材料と同様に、印刷および焼成ステップが続けられる。

40

【0100】

列アドレス線 14 とコネクタパッド 40 a, 40 b は、それから、基板 12 の前方側面に形成され、有利には、銀 / プラチナペーストのような薄膜導電ペーストをスクリーン印刷することによって行なわれる。アドレス線パターンは図 6 に示されており、基板 12 の長手方向に沿って延在し、前方（列）コネクタパッド 40 a で終わる列を有している。この同じステップの間、前方（行）コネクタパッド 40 b は、行アドレス線を貫通ホール 32 を経てドライブ回路に最終的に接続するために設けられている。導電ペーストは、有利には、上述のように、貫通ホール 32 を通って引き抜かれ、その際、基板の後側回路側から真空が加えられる。

【0101】

50

貫通ホール 32 を通って導電路を形成する手段は、薄膜導電ペーストから形成されるために、上で詳述したが、導電ペーストは、従来技術で公知のように、電気プレートされた貫通ホールのように、または非電氣的プレーティングによって貫通ホールが形成されるようにして、形成され、そのようにして、基板に適切に付着した電気プレートされた材料が提供され、および後続層がプレートコンダクタに付着される。

【0102】

本発明の薄膜誘電層 18 は、その際、有利に形成され、上述のようにして焼成される。

【0103】

基板の後側回路面は、その際、後側シーラント 44 を用いて有利にシールされ、その際例えば、薄膜ガラスペーストを用いたスクリーン印刷によって、コネクタパッドを高圧ドライバチップの取付のために、およびコネクタピン 45 をドライバ回路（図示していない）の残部に取付けるために、露出したままにされている。シーリングパターンは、図 8 に示されている。

【0104】

ELラミネートは次にゾルゲル層 20、りん層 22 およびフロント行アドレス線 24 により補完される。フロント行アドレス線 24 のためのパターンは図 9 に示されている。これはフロント（行）コネクタパッド 40 の近傍で終端する基板 12 の厚さにわたる平行の行から構成する。必要に応じて、行アドレス線 24 とフロント（行）コネクタパッド 40 との間の電氣的相互接続 46 は、信頼できる電氣的接続の目的で設けられる。これらは有利に、図 10 に示されているパターンでシャドウマスクを介して、銀のような導電材料をプリントすることにより形成される。

【0105】

前述のフロントシーリング層 26 が湿気透過を阻止する目的で設けられる。

【0106】

本発明によれば、ELラミネート 10 のフロントITOアドレス線 24 は、有利にレーザ書き込みにより形成される。このレーザ書き込み技術を、本発明の有利なELラミネート 10 に関連づけて示す。しかしレーザ書き込み技術は、上側層および下側層を有するプレーナラミネートをパターン化する時に一層広く適用されることは、理解されるべきである。この点に関して、ITOおよびりん層 24、22 は、実質的にレーザ光を吸収しない上側層を有する。さらに厚膜なまりニオビウム誘電体層 18 となまりジルコン酸塩チタン酸塩のゾルゲル層 20 は、レーザ光を吸収しない下側層を有する。他の代表的な材料は透明な（透光性の）導体として SnO_2 、 In_2O_3 を含む。

【0107】

通常は、本発明の思想において、上側層は可視光線を透過する材料であり、下側層は可視光線を透過しない材料である。そのため下側の材料は直接的に穿孔され、上側層は間接的に穿孔される。この場合に可視の領域における、または電磁スペクトルの赤外線領域における波長を有するレーザービームを用いて、穿孔される。このレーザーによる穿孔法は、半導体、液晶ディスプレイ、ソーラセルおよびELディスプレイにおいて広く使用される。

【0108】

レーザー書き込みの精度および分解能（切り込みの深さおよび幅）を制御する目的で、かつ層の爆発的な非薄片化を回避する目的で、および層の間の相互拡散を最小化する目的で、材料の所定の特性および層の厚さを守るべきである。

【0109】

2層のラミネートに関して次の関係が維持される。

【0110】

ただし $\alpha_u T_u > \alpha_o T_o$ 、

α_u = 下側層の吸収係数、

α_o = 上側層の吸収係数、

T_u = 下側層の厚さ、

10

20

30

40

50

T_o = 上側層の厚さ、

積 $\sum_u T_u$ は積 $\sum_o T_o$ よりも著しく大きくすると一層有利である。

【0111】

複数個の上側透明層および/または複数個の不透明層が設けられる時は、各々の層に対する積 $\sum_u T_u$ の和が、各々の層に対する積 $\sum_o T_o$ の和よりも大きくすべきである、即ち

$$\sum_i \sum_u T_{ui} > \sum_i \sum_o T_{oi}$$

上述の関数が維持される時は、本発明のステップにより下側層の一部だけを、その全体の厚さを貫通して切り込むことなしに、直接穿孔すべきであり、上側層の全体の厚さを貫通して間接的に穿孔すべきである。

【0112】

間接的な穿孔により上側層が軟化できる前におよび/または気化する前に、下側層の中において熱または蒸気圧が形成されると、爆発的な非ラミネート化が生ずることがある。それ故、上側層における材料は、下側層における材料が融解して気化する温度よりも、低い温度で融解して気化すべきである。

【0113】

高い分解能の切り込む性能を向上させる目的で、下側層における材料の熱伝導率を、上側層における材料のそれよりも小さくすると有利である。両方の層の熱伝導率は、穿孔されつつある領域から、この領域がレーザー光に照射されている間中に、大きい熱が放熱されないように選定される。

【0114】

層の間の物質の相互拡散を回避する目的で、この過程のための拡散時間は、穿孔されるべき領域がレーザービームに照射されて時間よりも、長くすべきである。

【0115】

前述の特性は材料に対して知られており、どの材料が本発明のレーザー書き込み過程に適切であるかを前もって知らせることができる。

【0116】

レーザー切り込みの分解能、爆発的な非ラミネート化および相互拡散も、レーザービームのエネルギーおよび走査速度により影響される。しかし前述の関係が守られると、これらの別のレーザー条件が通常は維持されて、これらの別のレーザー条件は、直接的な穿孔および間接的な穿孔の所望の結果を達成するために制御および変化が可能となる。

【0117】

可視領域または赤外線領域における波長を有するレーザービームを供給するレーザー光線は公知である。二酸化炭素レーザー、アルゴンレーザーおよびYAGレーザーはその一例である。全部のレーザーは400nmより大きい波長を有する。パルス波レーザーまたは持続波レーザーを使用できる。後者は鋭い高い分解能の切りこみを形成するために有利である。レーザービームは適切なレンズ装置により集束される。その目的は上側層の完全な除去のための、十分な局所的な密度を保証するためである。通常はレーザービームのエネルギー密度は、カットされる溝が、上側の透明層の厚さよりも十分に大きくなるように、設定される。透明層が電極アドレス線を含む時は、これにより、アドレス線が明瞭に定められ電氣的に絶縁されることが保証される。

【0118】

書き込みは、書き込みされる材料に対してレーザービームを移動させることにより行なわれる。一層有利には、書き込みされるべき材料を、レーザービームに相対的に移動可能なx-y座標テーブル上に載置することにより行なわれる。

【0119】

アドレス線を書きこむためには、x方向へ(即ち書き込みされるアドレス線に垂直に)移動可能なテーブルが有利であり、レーザービームはy方向へ即ちアドレス線に沿って移動可能である。

【0120】

レーザー書き込み中に気化されるまたは分解される材料は、レーザービームの近傍に設けら

10

20

30

40

50

れる真空により、書き込みされる材料から除去できる。

【0121】

本発明による有利なELラミネート10、酸化インジウムすずの薄い層24は公知の方法によりりん層22の上に被着される。ITOを被着するための真空被着法またはITOを被着する方法は、米国特許第4568578号公報および第4849252号公報に示されている。ITO以外の材料を例えばふっ素でドーピングされた酸化すずを使用することもできる。光学的に透明な誘電体層は、ITOとりん層24、22との間に設けることができる。PZTの有利なゾルゲル層20およびなまりニオビウムの厚膜誘電体層が、りん層の下に設けられる。ELラミネート10は、上述の様に、従来のTFEL装置とは逆のシーケンスで形成される。これは従来の様に、下側の不透明な誘電体の層18、20の上方の上側の透明層として、本発明によるレーザ書き込みに適するITO層24およびりん層22を残す。

10

【0122】

個々の行アドレス線24は前述のようにレーザで書き込みされる。レーザビームはゾルゲル層20の少なくとも一部および、厚い下方の誘電体層18のわずかな部分を直接除去し、ITOおよびりん層24、22をそれらの厚さにわたり間接的に除去する。これは隣り合うアドレス線の間で信頼できる絶縁ギャップを残す。

【0123】

行アドレス線24は上述の駆動回路へ接続されている。詳細には上述の有利な貫通ホール接続により、電気的な相互接続46が(レーザ書き込みに先立って)、図10で示されたパターンで銀を蒸着することにより、最終的にアドレス線を形成するITO層の一部と重なる位置において形成される。

20

【0124】

次にアドレス線が上述のように書き込みされる。

【0125】

完成されたELラミネートは上述のように、フロント可視面上に保護用ポリマーシールをスプレーすることにより、またはフロント表面へガラス板を接着することにより、シールできる。

【0126】

透明な導体材料を書き込みするための間接的な穿孔を用いることにより、複数個の利点を得られる。高い瞬時出力を有する紫外線パルスレーザではなく、可視領域における光を送出する著しく低いエネルギーの接続波レーザが使用できる。このレーザはコストを低減できるだけでなく、削除された切り込み上の一層なめらかな線を形成する。このことは高い解像度のELディスプレイのために著しく重要である。透明材料の直接の穿孔は、穿孔の行なわれる領域から熱が拡がる阻止するのに十分短い時間における穿孔のために必要なエネルギーを送出する著しく高い瞬時レーザエネルギーを必要とする。透明な基板上に設けられる透明な導体を直接穿孔するための従来技術における試みにおいては、レーザエネルギーのごく小部分だけが、透明な導体材料により直接供給される；光の大部分は両方の透明な層を通過する。多くの場合、間接的な穿孔は、層の間の相互拡散の問題点を最小化する。なぜならば透明層の気化させるための熱は透明層の底から生ずるからである。このことが下側の層の中への材料の拡散ではなく、穿孔される材料の外部への除去を促進する。このことはELディスプレイにおける誘電体層およびりん層の品質を維持するために重要である。

30

40

【0127】

本発明はさらに以下の変形実施例により示されている。

【0128】

実施例1

この実施例は、バリウムチタン酸塩の厚膜層(Miyata他の文献におけるセラミックシートとして用いられる材料)を簡単に印刷することが、条件の下での電氣的絶縁破壊に左右されることを示す。

50

【0129】

単1ピクセルエレクトロルミネセンス素子は、C o o r s セラミック (G r a n d J u n c t i o n , C o l o r a d o , U . S . A) から得られるアルミナ基板 (5 c m 平方、厚さ 0 . 1 c m) の上に形成された。背面電極層が基板上に中央に縁からは離されて当接される。使用される材料は銀/プラチナ導体である。これは電子工学においては従来のようにアドレス線として印刷されている。詳細には C e r m a l l o y # C 4 7 4 7 (C e r m a l l o y , C o n s h o h o c k e n , P a から入手可能である) が、320 のメッシュステンレススチールスクリーンにより厚膜ペーストとしてスクリーン印刷され、感光剤でコーティングされた。この感光剤はフォトマスクを通して紫外線で照射された。その目的はプリントのために維持された感光剤の領域を露光するためである。露光されなかつた感光剤は水で溶かして除去された。この個所にはペーストがスクリーンを通して印刷される。次に残りの感光剤が付加的な光照射によりさらに硬化された。プリントされたペーストは 150 の炉の中で数分間、乾燥されて、このペーストメーカーによりすすめられる温度プロフィールで B T U モデル T F F 1 4 2 - 7 9 0 A 2 4 ベルト炉において空气中で加熱された。最大プロセス温度は 850 であった。加熱された電極導体層の得られた厚さは約 9 ミクロンであった。

【0130】

誘電体層はこの電極層の上に次のようにして形成される。バリウムチタン酸塩 (E S L # 4 5 2 0 - E l e c t r o s c i e n c e L a b o r a t o r i e s , K i n g o f P r u s s i a , P e n n s y l v a n i a から入手可能、誘電定数 2500 - 3000) が 200 メッシュスクリーンを介して正方形のパターンにプリントされる。その結果、電極の線における電気接触パッドを除いて、すべてがおおわれた。印刷された誘電体ペーストは、製造者によりすすめられる温度プロフィールにより B T U 炉の中の空气中で加熱された (最大温度 900 - 1000) 。得られた加熱された誘電体の厚さは 12 ~ 15 ミクロンの範囲にある。次に同じ方法で第1の層の上に誘電体の第2のおよび第3の層がプリントされて加熱された。3つのプリントされて焼結された誘電体層の組み合わせられた厚さは 40 ~ 50 ミクロンである。

【0131】

りん層が、公知の薄膜技術により誘電体層の上へ直接、被着された。詳細には、マンガンの 1 モルパーセントでドーピングした硫化銅の 0 . 5 ミクロンの厚さの層が、U H V I n s t r u e m e n t s M o d e l 6 0 0 0 電子ビーム蒸着装置を用いて、誘電体層の上へ蒸着される。これらの層は蒸着装置の中で真空の下で加熱されて、約 2 分間、蒸着中に 150 の温度で維持される。

【0132】

りん層が、酸化インジウムすずから成る透明な電気導体の 0 . 5 ミクロンの層でコーティングされる。この層は、公知の薄膜被着技術により被着される、詳細には電子ビーム蒸着装置を用いて 400 で真空の下で被着される。

【0133】

次にラミネートは空气中で 15 分間、450 で、酸化りんインジウム導体層を焼きなましする目的で、処理される。インジウムろう接点が I T O 層へ設けられる。この素子はシリコンシール材 (S i l i c o n e R e s i n C l e a r L a c q u e r , c a t . # 4 1 9 . M . G . C h e m i c a l s) によりシールされる。

【0134】

この素子は 2 つの電極の間に D C 電圧を加えることにより試験される。この素子は、酸化インジウムすずへの接点の直接近傍の領域における誘電体層の電氣的絶縁破壊を生ぜさせる電圧を加えて機能しなくなるか否かが観察される。

【0135】

この素子の故障が、誘電層が、りん層のために必要とされる滑らかな表面を形成しないために生じたことが推定される。微小なひびが表面に観察されることもある。しかしこのことは市販の誘電体ペースト中の障害となる材料の存在に起因することもある。そのため

、チタン酸塩バリウムは本発明による単一のまたは第1の誘電体層として使用できないことを示す指標ではない。

【0136】

実施例2

この実施例は、なまりニオブ酸塩 - この材料はバリウムチタン酸塩よりも高い誘電定数および低い焼結温度を有することが知られている - を含むペーストから成るスクリーンプリント誘電体層が、適切な誘電率を与えるが発光はしないことを示す。

【0137】

素子は実施例1におけると同様に構成される。しかしニオブ酸塩の誘電体ペースト、Ceramalloy # IP9333 (誘電体定数は約3500、厚さは実施例1と同じ)から構成される誘電体層を有する。この素子は、テストされた時に、DC電圧400Vが加えられた時にも誘電体絶縁破壊が生じなかった。しかしAC電圧を加えても発光しなかった。

【0138】

発光しないことは、りん層との接続における両立性の問題に起因する。このことは、なまりニオブ酸塩が、本発明による単一のまたは第1の誘電体層として使用できないことを示す指標とすべきではない。

【0139】

この実施例は、本発明により構成される2層の誘電体を示す。即ちなまりニオブ酸塩の第1誘電体層(第2実施例における様に)およびなまりジルコン酸塩の第2誘電層である。

【0140】

実施例2におけると同様の素子が構成される。ただしゾルゲル工程を用いてなまりジルコン酸塩(PZT)の層を、プリントされて加熱された誘電体層へ、りん層が被着される前に、被着させる付加的なステップを有する。ゾルは次のようにして準備された。酢酸が105で5分間、脱水される。酢酸なまり12グラムが、無色の溶液を形成する目的で、80°の脱水された酸の7mlの中へ溶解された。この溶液は冷却されて、5.54gのプロポキシ化ジルコニウムが、青黄色の溶液を形成する目的で溶液中へ混合された。この溶液は60°~80°に5分間そのままにされ、その後2.18gのイソプロポキシ化チタンが攪拌しながら加えられた。生じた溶液は、残存している。溶質が溶解することを保証する目的で超音波バス中で攪拌された。次に1.75mlのエチレングリコール、プロパノール、水の4:2:1の溶液が、安定ゾルを形成する目的で加えられた。さらに多くのエチレングリコールがコーティングの前にスピンコーティングまたはディッピングのための所望の値へ粘性を調整する目的で、加えられた。準備された誘電体層は、回転コーティングされる、またはゾルでディッピングされた。回転コーティングの場合はゾルが、3000rpmで水平面で回転中の第1誘電体層上へ滴化された。ディッピングの場合は、より高い粘性のゾルが使用された。ディッピング工程のために基板が5cm/分の速度でゾルから引き上げられた。得られたコーティングされたアセンブリは次に、ゾルをPZTへ変化させるために温度600で30分間、炉の中の空気中で加熱された。PZT層の厚さは約2~3ミクロンであった。PZT層の表面は、スクリーン印刷されて焼結された第1誘電体層の表面よりも著しく滑らかであることが観察された。

【0141】

PZT層の被着に続いて、りん層および透明層が実施例1におけるように被着される。

【0142】

完成されたラミネートは、発光 - 電圧特性でMiyata他により報告された特性に類似のまたはそれよりも良好の特性で、製造された。ディスプレイのための最小輝度のための閾値電圧は110Vであった。閾値(即ち160V, 60Hz)を上回る50Vにおける発光光度は57フットランペールであった。

【0143】

この実施例は、誘電体層の厚さにおける変化は、動作電圧およびディスプレイの輝度に

10

20

30

40

50

影響を与える。

【0144】

ディスプレイは実施例3におけるように構成された。異なる点は、3つではなく2つだけのスクリーン印刷された誘電体層が被着された。第1誘電体層の厚さはそれに応じて25~30ミクロンへ低減された。

【0145】

最小輝度のための閾値電圧は70V(実施例3において110燭光)が理論的な配慮から期待された。閾値を上回る50Vにおける輝度も、35フットランベール(57燭光フットランベール、実施例3)へ低減された。

【0146】

実施例5

この実施例は、スルーホールを用いた駆動回路へ、ELラミネートのローおよび行アドレス線を接続する有利な実施例を示す。

【0147】

アドレス指定可能なELディスプレイは、実施例3において示された層被着の同じシーケンスを用いて、構成される。基板は0.025インチの厚さの長方形のアルミナであった。このアルミナは、長さインチで幅2インチの寸法を有するCoors Ceramics(Grand Junction, Colorado, U.S.A)から入手された。基板は、図4に示されているパターンで、二酸化炭素レーザを用いて、直径0.006インチの貫通ホールがつけられた。基板は、全部のホールが明瞭であることを保証する目的で、検査された。孔は、レーザに面している側では直径が約0.008インチであり、反対側では約0.006インチであることがわかった。大きい方の孔を有する側は、貫通ホールの中へ導電材料を挿入することを容易化する目的で、基板の裏側に選定された。

【0148】

これに続いて、図5に示された回路パターンが、Cermetalloy #4740銀プラチナペーストを用いて、325のメッシュステンレススチールスクリーンにより、プリントされた。このプリント工程中に基板は、図4に示されたのと同じパターンで開けられた0.040インチの孔を有するマスタプレートと心合わせされ、さらに基板における貫通ホールを通して導電ペーストを引き出すためにマスタプレートの下に真空が加えられる(即ち基板の紙面側から見て、全面へ)。このステップは、基板における貫通ホールの各々を通る導電路と共に、図5の回路パターンを形成した。真空の印加における一様性を保証する目的で、真空は、基板がプリントされてからはじめて加えられる。この部分は、貫通ホールが充てんされることを保証する。

【0149】

プリントに続いて、基板が、ペースト製造者により進められる温度プロフィールで、BTUモデルTF142-790A24の中で加熱される。最高温度は850であった。

【0150】

このステップに続いて、図7に示された回路補強パターンがプリントされて基板の回路裏側が加熱される(同じCermetalloy導電ペーストを用いて)。このステップがこの回路パターンを、電気接続が実質的になされるべき所定の領域において、より厚くさせる。

【0151】

次に列アドレス線および前側の列および行コネクタパッドは、基板の前側の上へスクリーン印刷された。線は基板の長さにより、図6に示されている列コネクタパッドへ延在した。図5に示されている行コネクタパッドがこの同じステップにおいてプリントされる。列アドレス線およびコネクタパッドは同じプリント条件および加熱条件を用いて、同じ導電ペースト(Cermetalloy #4740)から形成された。基板は同じマスタプレート上で図4の貫通ホールにより位置定められて、真空が、導電ペーストを貫通ホールを通して基板の裏側へ引き出す目的で下から加えられた。加熱された電極層の厚さは約8マイクロメートルであった。1インチあたり52アドレス線が形成され、さらに全部のアドレ

10

20

30

40


50

ス線の数 は 68 であった。この部分は、貫通ホールが充てんされることを保証する目的で検査がなされた。

【0152】

3層の誘電体ペースト (Cer malloy # IP9333) が、厚さが約50マイクロメートルの誘電体層を形成する目的で、実施例3に示されたように、プリントされて加熱された。

【0153】

次に基板の回路裏側がシールされた。厚膜ガラスペースト (Heraeus IP9028, Heraeus - Cer malloy, Conshohocken, Pa製) が、 8に示されているパターンで250メッシュスクリーンを用いてスクリーンプリントされた。高電圧駆動チップへおよび他の駆動回路へ接続するためのコネクタパッドはカバーされなかった。次にガラスシール層が、製造者により勧められる温度プロファイルを用いて、BTUベルト炉の中で最高が700の温度で加熱された。


【0154】

前述の加熱中に基板は、回路側の上のプリントされた材料と炉のベルトとの間の接触を回避する目的でセラミック材料部材の上で支持された。


【0155】

ゾルゲル層は実施例3に述べたように実質的に浸漬によって形成される。3つ又は4つのゾルゲル層が典型的には用いられる。例えば落球粘度計によって測定されたほぼ100cPの粘度を有する混合からの10~25sec/inのプーリングレートでもって用いられる。浸漬層の間ではゾルゲルは110で10分間乾燥される。バキュームチャックはラミネートのアクティブ領域に亘って行われ、ゾルゲルは残りの領域を外して水洗される。その後当該層はベルトファーンネスにおいて約660で25分間焼結される。これによりゾルゲル全体の厚さが3~10µmの間で達成される。これは1%のマンガンによってドーピングされ0.5~1.0µmの厚さの硫化亜鉛が用いられた実施例3の燐光層によって引き継がれる。

【0156】

アドレスラインの行は実施例3において既述したようにインジウム - スズ - 酸化物の付着されたものである ( 9にパターンが示されている)。ここでは1インチ毎に約52のアドレスラインの行が存在し全体では256の行となる。ライン間の間隔は0.001インチで、ライン幅は0.019インチである (center to center)。

【0157】

 10に示したパターンのように銀はシャドウマスクを通して行コネクタパッドへのアドレスラインの行の電気的接続形成のためにホールコンダクタを通して基板上に蒸着される。

【0158】

ラミネートの見えている表面はシリコンシーラントによってシールされる。このシリコンシーラントはディスプレイのフロント表面全体に亘って噴霧されている。このシーラントにはM.G.ケミカルのシリコン樹脂クリアラッカ, Cat # 419が用いられる。

【0159】

ディスプレイ全体は、基板の後側に設けられた回路上の列と行のパッドの対を交差して60Hz 160Vの矩形波信号を供給するパルス発生器との接続によって検査される。ディスプレイの各ピクセルは個別の照明に基づくものであり、電圧を供給された場合の実施例3において測定されたものと同じ一貫した強度である。機能的に障害のあるピクセルは17408の全ピクセル中から見つけだされる。

【0160】

実施例6

この実施例では本発明のELラミネートのインジウム - スズ - 酸化物 - アドレスラインがスクライビングされるレーザの有利な具体例が示されている。

【0161】

10

20

30

40

50

アドレスで呼び出せるマトリックスディスプレイは以下のプロセスで用いられるセラミック基板上に構成されている。このセラミック基板は厚さは0.025インチで、長さ6インチ、幅2インチのアルミナ矩形体あり、Coors Ceramics (Grand Junction, Colorado, U.S.A) から得られる。この基板にはカーボンディオキシドレーザを用いて直径0.006インチのホールが開けられる。このパターンは図4に示されている。これらのホール全てが貫通していることを保証するためにその一部が検査される。

【0162】

このステップに続いて図5に示されている回路パターンが325の網のステンレススクリーンによってプリントされる(このスクリーンにはCermalloy (Conshohocken Pennsylvania, U.S.A) #4740シルバー白金ペーストが使用される)。プリント過程の間は、基板がマスタープレートに配列される。このマスタープレートはプリント中に基板ホールへのバキュームの供給を容易にするための基板と同じパターンで開けられた0.04インチのホールを有している。バキュームは、一部の焼結の後にセラミック基板を通る伝導性パスの形成を容易にするためにホールを通してペーストを吸収する。この一部は大気中にてBTUモデルTF142-790A24ベルトファーンネスにおいてペースト製造元の推薦する温度データ、すなわち最大温度850度をもって焼結される。

このステップに続いて、図7に示されている回路補強パターンがプリントされ基板後方の回路側に焼結される(ここでも前述の“Cellmally”導電性ペーストと同じものが使用される)。このステップは、その後に電氣的接続のなされる確実な領域において比較的厚い回路パターンを生ぜしめる。

【0163】

これに続いて、アドレスライン列のセットとコネクタパッドは基板の見える前面にプリントされる。これらのラインは基板の全長に沿ってコネクタパッドまで延在している(図6)。コネクタパッドの行はこのステップ(図6)において形成される。アドレスライン列とカラムコネクタパッド列は、同じプリント及び焼結状態で用いられる同じシルバー-白金ペーストから形成される。基板は図4の貫通ホールを有している同じマスタープレート上に位置している。バキュームは下方から貫通ホールを通して基板の後側に向けて導電性ペーストを押し出すために供給される。焼結された電極層の厚さは約8 μ mである。1インチ毎に52のアドレスラインが存在し、アドレスラインの総数は68である。

【0164】

鉛・ニオブ酸塩誘電ペースト(Cermalloy #IP9333)の次の3つの層はその後プリントされベルトファーンネスにおいて製造元で推奨されている温度コンディション(最大温度850度)をもってアドレスライン列の上部に焼結される。誘電層の結合厚さは50 μ mである。

【0165】

このステップに続いて、基板後方の回路側は、そのパターンが図8に示されている実施例5に基づきシールされる。

【0166】

次に3~10 μ mの厚さの鉛・ジルコン酸塩・チタネート(PZT)の層は、なめらかな表面を形成するために鉛・ニオブ酸塩誘電ペースト上に付着される。実施例5に基づき使用され浸漬されるゾルゲル技術が用いられている。薄膜状の燐光層は、電磁ビームを用いた公知方式の蒸発によって付着される。燐光層は1%のマンガンをもってドーピングされた硫酸亜鉛である。これは0.5~1 μ mの間の厚さに亘って付着される。

【0167】

次のステップは300nmの厚さの、インジウム・錫酸化物(ITO)の層を公知方式の電磁ビーム蒸発の用いられた燐光層の上に付着させることである。

【0168】

このITO層は、514.5nmの波長に反転されるアルゴンイオンレーザの2 watt

10

20

30

40

50

t CW (連続波長) を用いて 256 のアドレスラインへパターン化される。EL ラミネートは可動の X 軸テーブル上に取り付けられる。この X 軸テーブルはラミネートをレーザービームによってスクライビングされるラインに対して垂直方向に動かす。レーザービームはラインをスクライビングするために Y 軸方向に動かされる。レーザービームは 12 マクロメータのスポットに収束され、レーザー出力は次のように調整される。すなわちインジウム・錫酸化物とその下の燐光層とその下の結合された誘電層の約 10% とが、(約 1.8 W) のレーザービームの走査された個所において取り除かれるように調整される。走査速度は、それぞれ約 40 μm 又は 25 μm のギャップをおき、6 ~ 8 μm 又は 3 ~ 4 μm の深さでもってアドレスラインを設けるために約 100 mm/sec 及び 500 mm/sec に制御される。アドレスライン間 (例えばライン中央間) の間隔は約 500 μm である。基板近傍のパキュームは材料の蒸発と除去を中止させる。透過電極のパターンにおいては図 9 に示されているように除去が一度に完全に行われる。全ディスプレイ上では約 50 のアドレスラインの行が 1 インチ毎に存在し、全体で 256 のカラムが存在する。

【0169】

ITO カラムラインがスクライビングされる前にフロント (行) コネクタパッドと最初の ITO アドレスラインとの間のシルバー・内部接続部が図 10 のパターン図に示されているようにシャドウマスクを通してシルバーからスクリーン印刷される。

【0170】

レーザースクライビングの後では全ディスプレイのフロントビュー側が保護ポリマコーティング剤を噴霧される (MG ケミカル製シリコンリジンクリアラッカ, cat # 419)。

【0171】

ディスプレイはその後選択されたピクセルを横断する電圧を、パルス電力供給部との接続によって供給されて検査される。このパルス電力供給部は 160 V のパルス電圧を 64 Hz の繰返し周波数で供給する。各ピクセルは前記実施例の単一ピクセル装置に相応する光度でもって確実に点灯する。

【0172】

当該実施例のアドレスラインによれば写真平版技術形式によって得られるものよりも高度なものが基本的に得られる。

【0173】

実際に使用され得る装置の典型例では ITO アドレスラインの幅が 180 ~ 205 μm で、ライン間のギャップが 65 ~ 80 μm である。前記のことから出発して本発明によれば 25 μm と 40 μm のギャップがレーザの走査速度に依存して生ぜしめられる。このような高い解決手段はディスプレイの全体に対して能動的な領域の比較的高いレシオを考慮するものとなる。なぜなら比較的小さなギャップで比較的王道な ITO アドレスラインが使用され得るからである。

【0174】

実施例 7

この実施例は本発明に従って誘電的に構成された 2 つの層で表される。但しこの実施例では最初の誘電層は、前記実施例 3 及び 4 で用いられたペーストよりも誘電率の高いペーストから形成される。

【0175】

この装置は前記実施例の 3 から出発して構成されているが、しかしながら第 1 の誘電層は鉛・ニオブ酸塩ペーストから形成される。このペーストは、ナンバ 4210 を用いて電気化学実験から高キャパシタンスペースト K として得られる。焼結されたペーストは約 10000 の誘電率を有する。最初の誘電層は約 50 μ の厚さを有する。PTZ のゾルゲル層には実施例 3 に記載されたように約 5 μ の厚さが適用される。

【0176】

この装置は最小輝度に対して 91 V の閾値電圧と 150 V で 50 フートランベルトの光度でもって機能する。

10

20

30

40

50

【0177】

実施例 8

この実施例は誘電的に構成された2つの層で表される。この場合第1の誘電層は鉛・ニオブ酸塩ペーストで形成され、第2の誘電層は鉛・ランタン・ジルコニウム酸塩・チタン酸塩ペースト(PLZT)から形成される。このPLZTは約1000の誘電率を有している。このPLZTにおいてはジルコニウム：チタニウム：ランタンの質量比が52：32：16である。

【0178】

実施例3から出発するものとして構成された装置は以下のようにして生成されたゾルゲル層を有している。

【0179】

50mlの氷酢酸の中へ純度99.5%の酢酸鉛120グラムを溶解する。この溶液は90℃まで熱せられる。その後70℃まで冷やされる前に2分間この温度で保持される。次に55.4グラムのジルコニウムプロポキシドを加え、この溶液を80℃まで熱し、この温度で1分間保持する。70℃まで冷された後にチタニウム・イソプロポキシドが21.8グラム加えられる。次に、硝酸ランタン11.4グラムを20mlの氷酢酸で溶解して、前記溶液に加える。最後にこの溶液を安定化させ、粘度を適合値へ調整するために、エチレングリコール10ml, プロパン-2-オール5ml, 脱塩水2.5mlがそれぞれ加えられる。

【0180】

PLZTゾルゲル層は前記実施例3に記載されたものと類似の手段による浸漬によって形成された最初の誘電層に用いられる。浸漬された部分はPLZTに対する第2の層に転化させるために600℃でもって焼結される。PLZTの4つの層が、燐光層の付着のための十分に滑らかな表面を作成するために前記のような連続的な浸漬と焼結によって使用される。全体で5μmの厚さが得られる。

【0181】

この装置は75Vの閾値電圧と150Vで37フートランベルトの光度でもって機能する。

【0182】

これまでに言及してきた全ての記載は、本発明に係る熟練を要する形式の特殊技術レベルを示すものである。全ての記載はここにおいて関係により言及されるべく各個別の記載が詳細かつ個別に示されたものであるのと同じ範囲の言及でもって具体化されたものである。

【0183】

本明細書において用いられた専門用語及び表現は説明のための用語として用いられたものであって限定を加えるためのものではない。またこのような専門用語及び表現の使用に関してこれまでに図示及び説明したきた特徴に相応するものを除外するほどに強調されたものでもない。あくまでも本発明の範囲は請求項において明示され限定されているものであることを述べておく。

【0184】

発明の効果

本発明により、改善されたエレクトロルミネセンスラミネート誘電層構造体およびこの誘電層構造体を生成する方法が提供される。

【図面の簡単な説明】

【0185】

【図1】本発明の2つの誘電層を含むラミネート構造体の横断面図である。

【図2】図1のラミネート構造体の平面図である。

【図3】列電極アドレス線路および行電極アドレス線路を電圧駆動回路の電圧駆動コンポーネントと接続する有利な実施例を示す、行電極に沿って切断されたラミネート構造体の横断面図である。

10

20

30

40

50

【図4】アドレス線路と駆動回路の電圧駆動コンポーネントとを電気接続するためのスルーホールのある有利なパターンの設けられた背面基板の平面図である。

【図5】背面基板の背面側に印刷された有利な駆動回路パターンの平面図である。

【図6】背面基板の前面側に印刷された列電極および行経路の平面図である。

【図7】図5の駆動回路パターン上に有利に印刷された回路経路補強パターンの平面図である。

【図8】図5および図7の駆動回路パターンと回路経路補強パターン上に有利に印刷されたシーリングガラスパターンの平面図である。

【図9】行電極線路パターンの平面図である。

【図10】図9の行線路と図6の行経路との間に印刷された電気接続の平面図である。

10

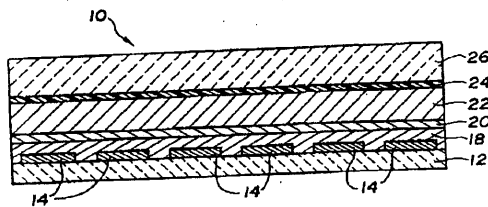
【符号の説明】

【0186】

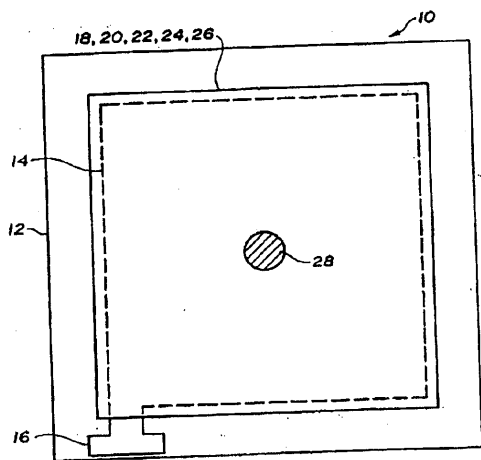
- 10 誘電層構造体
- 12 基板
- 14 背面電極
- 18 第1の誘電層
- 20 第2の誘電層
- 22 燐光層
- 24 前面電極
- 26 シール層

20

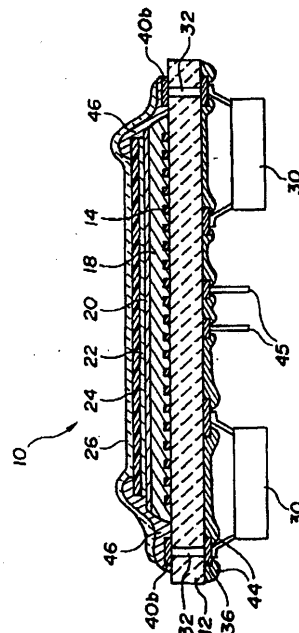
【図1】



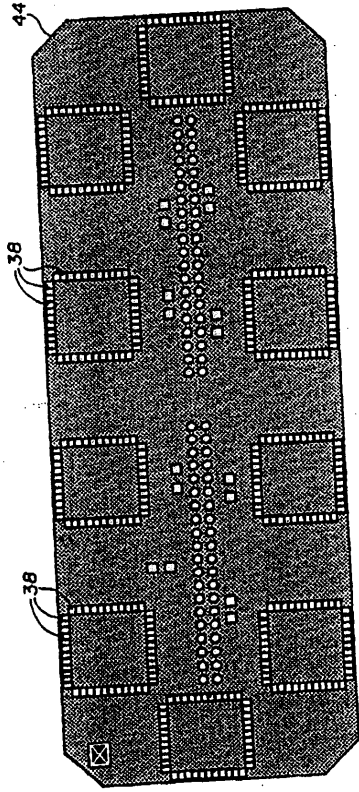
【図2】



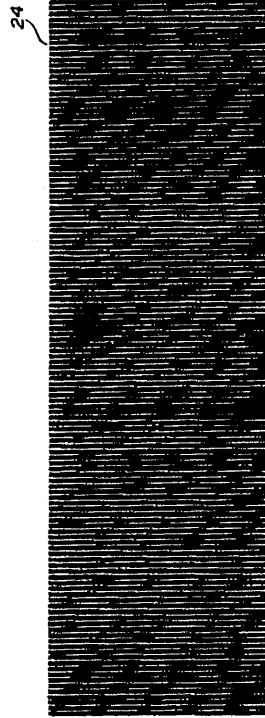
【図3】



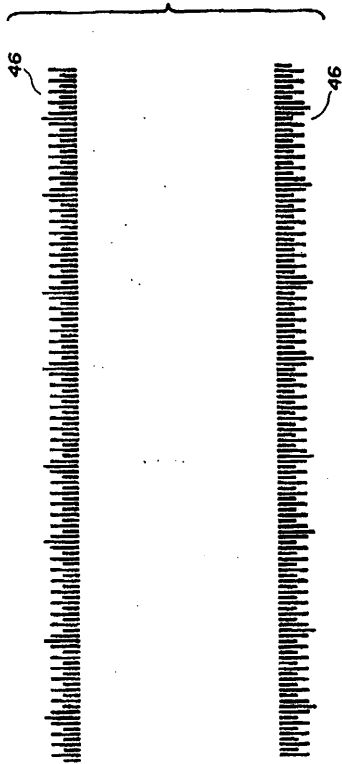
【 8 】



【 9 】



【 10 】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 シンウェイ・ウー

カナダ国・アルバータ・エドモントン・14504-37・ストリート・(番地なし)

(72)発明者 ジェイムズ・アレクサンダー・ロバート・スタイルズ

カナダ国・アルバータ・エドモントン・12719-39・アヴェニュー・(番地なし)

(72)発明者 ケン・コック・フー

カナダ国・アルバータ・エドモントン・10032-113・ストリート・10

(72)発明者 フィリップ・ベイリー

カナダ国・アルバータ・エドモントン・10011-89・アヴェニュー・102

Fターム(参考) 3K007 AB03 AB18 BB01 BB07 CA02 CC05 DA02 DA05 DB02 DC02

EA02 EC00 FA02

专利名称(译)	形成显示面板的方法		
公开(公告)号	JP2004281420A	公开(公告)日	2004-10-07
申请号	JP2004199788	申请日	2004-07-06
[标]申请(专利权)人(译)	伊菲雷技术公司		
申请(专利权)人(译)	火眼墨水技术		
[标]发明人	シンウェイウー ジェイムズアレクサンダーロバートスタイルズ ケンコックフー フィリップベイリー		
发明人	シンウェイウー ジェイムズアレクサンダーロバートスタイルズ ケンコックフー フィリップベイリー		
IPC分类号	H05B33/22 G09F9/00 H05B33/02 H05B33/06 H05B33/10 H05B33/12 H05B33/26		
FI分类号	H05B33/10 H05B33/06 H05B33/22.Z		
F-TERM分类号	3K007/AB03 3K007/AB18 3K007/BB01 3K007/BB07 3K007/CA02 3K007/CC05 3K007/DA02 3K007/DA05 3K007/DB02 3K007/DC02 3K007/EA02 3K007/EC00 3K007/FA02 3K107/AA07 3K107/AA09 3K107/BB01 3K107/BB02 3K107/CC04 3K107/CC29 3K107/CC45 3K107/DD03 3K107/DD13 3K107/DD38 3K107/DD39 3K107/DD47Z 3K107/DD54 3K107/DD67 3K107/DD91 3K107/DD95 3K107/DD99 3K107/EE02 3K107/EE43 3K107/EE58 3K107/FF04 3K107/FF15 3K107/FF17 3K107/GG06 3K107/GG07 3K107/GG14		
代理人(译)	渡边 隆 正和青山 村山彦		
优先权	07/996547 1992-12-24 US 08/052702 1993-04-30 US		
其他公开文献	JP3874771B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：改善电致发光层压板的介电层。介电层由陶瓷材料制成，作为厚膜层。在这种情况下，它的介电强度约为 $1.0 \times 10^6 \text{V/m}$ ，介电常数应使介电材料的介电常数与磷光层的介电常数之比大于约50：1。其厚度还使得介电层的厚度与磷光层的厚度之比在大约20：1至500：1的范围内。另外，它具有与磷光层相邻的表面，该表面与磷光层相容并且足够光滑，以使磷光层在给定的激励电压下均匀地发光。[选型图]图1

