

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-46252

(P2004-46252A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

G09G 3/30

G09G 3/20 611D

G09G 3/20 611J

G09G 3/20 621A

テーマコード (参考)

3K007

5C080

審査請求 有 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2003-359384 (P2003-359384)

(22) 出願日 平成15年10月20日 (2003.10.20)

(62) 分割の表示 特願平6-267244の分割

原出願日 平成6年10月31日 (1994.10.31)

(71) 出願人 000003067

TDK株式会社

東京都中央区日本橋1丁目13番1号

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(74) 代理人 100103827

弁理士 平岡 憲一

(74) 代理人 100083297

弁理士 山谷 昭榮

(74) 代理人 100096530

弁理士 今村 辰夫

(72) 発明者 高山 一郎

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置及びその駆動回路

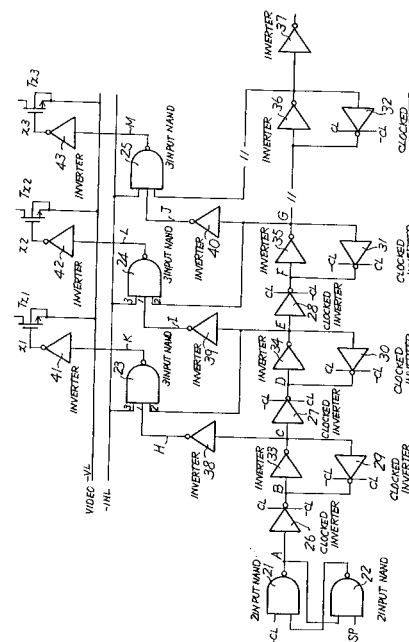
(57) 【要約】

【課題】 選択信号と次の選択信号との間に、信号のオーバーラップ時間をなくすことにより、画質を向上すること。

【解決手段】 複数のエレクトロルミネセンス素子を選択する複数の選択スイッチTx1～Tx3と、選択スイッチTx1～Tx3を順次駆動する選択信号x1～x3を出力する選択信号発生回路と、選択信号x1～x3をマスクするマスク信号-INL発生回路とを備え、選択信号間のオーバーラップ時間をなくすようにした。

【選択図】 図1

本発明の実施の形態の説明図



【特許請求の範囲】

【請求項 1】

n 段からなるシフトレジスタと、

(n-1) 個の 3 入力ナンド回路とを有し、

前記シフトレジスタの各段はインバータ、第 1 のクロックドインバータ及び第 2 のクロックドインバータを有し、前記第 1 のクロックドインバータ及び前記第 2 のクロックドインバータの出力は前記インバータに入力され、且つ前記インバータの出力は前記第 2 のクロックドインバータに入力されるように接続されており、

前記シフトレジスタの m 段目 ($1 \leq m \leq n-1$: m は自然数) の前記インバータの出力は、前記シフトレジスタの (m+1) 段目の前記第 1 のクロックドインバータに入力されるように前記シフトレジスタの各段は接続され、 10

前記シフトレジスタの m 段目の前記インバータの出力及び前記シフトレジスタの (m+1) 段目の前記インバータの出力は前記 (n-1) 個のうち m 番目の 3 入力ナンド回路に入力されるアクティブマトリクス表示装置の駆動回路であって、

前記 (n-1) 個の 3 入力ナンド回路にはそれぞれマスク信号が入力されることにより、前記 m 番目の 3 入力ナンド回路から出力される選択信号と (m+1) 番目の 3 入力ナンド回路から出力される選択信号とはオーバーラップしないことを特徴とするアクティブマトリクス表示装置の駆動回路。

【請求項 2】

n 段からなるシフトレジスタと、 20

(n-1) 個の 3 入力ナンド回路とを有し、

前記シフトレジスタの各段はインバータ、第 1 のクロックドインバータ及び第 2 のクロックドインバータを有し、前記第 1 のクロックドインバータ及び前記第 2 のクロックドインバータの出力は前記インバータに入力され、且つ前記インバータの出力は前記第 2 のクロックドインバータに入力されるように接続されており、

前記シフトレジスタの m 段目 ($1 \leq m \leq n-1$: m は自然数) の前記インバータの出力は、前記シフトレジスタの (m+1) 段目の前記第 1 のクロックドインバータに入力されるように前記シフトレジスタの各段は接続され、

前記シフトレジスタの m 段目の前記インバータの出力及び前記シフトレジスタの (m+1) 段目の前記インバータの出力は前記 (n-1) 個のうち m 番目の 3 入力ナンド回路に入力されるアクティブマトリクス表示装置の駆動回路であって、 30

前記 (n-1) 個の 3 入力ナンド回路にはそれぞれマスク期間を有するマスク信号が入力され、

前記シフトレジスタの各段の前記インバータの出力が、高レベルから低レベルに切り変わる時及び低レベルから高レベルに切り変わる時に合わせて、前記マスク期間は設定されていることを特徴とするアクティブマトリクス表示装置の駆動回路。

【請求項 3】

n 段からなるシフトレジスタと、

(n-1) 個の 3 入力ナンド回路とを有し、

前記シフトレジスタの各段はインバータ、第 1 のクロックドインバータ及び第 2 のクロックドインバータを有し、前記第 1 のクロックドインバータ及び前記第 2 のクロックドインバータの出力は前記インバータに入力され、且つ前記インバータの出力は前記第 2 のクロックドインバータに入力されるように接続されており、 40

前記シフトレジスタの m 段目 ($1 \leq m \leq n-1$: m は自然数) の前記インバータの出力は、前記シフトレジスタの (m+1) 段目の前記第 1 のクロックドインバータに入力されるように前記シフトレジスタの各段は接続され、

前記シフトレジスタの m 段目の前記インバータの出力及び前記シフトレジスタの (m+1) 段目の前記インバータの出力は前記 (n-1) 個のうち m 番目の 3 入力ナンド回路に入力されるアクティブマトリクス表示装置の駆動回路であって、

前記 (n-1) 個の 3 入力ナンド回路にはそれぞれマスク期間を有するマスク信号が入 50

力され、

前記シフトレジスタの m 段目の前記インバータの出力が、高レベルから低レベルに切り変わる時及び低レベルから高レベルに切り変わる時、並びに、前記シフトレジスタの $(m+1)$ 段目の前記インバータの出力が、高レベルから低レベルに切り変わる時及び低レベルから高レベルに切り変わる時に合わせて、前記マスク期間は設定されていることを特徴とするアクティブマトリクス表示装置の駆動回路。

【請求項 4】

n 段からなるシフトレジスタと $(n-1)$ 個の 3 入力ナンド回路とを有する駆動回路と、前記駆動回路によって駆動される表示パネルを有するアクティブマトリクス表示装置において、

10

前記シフトレジスタの各段はインバータ、第 1 のクロックドインバータ及び第 2 のクロックドインバータを有し、前記第 1 のクロックドインバータ及び前記第 2 のクロックドインバータの出力は前記インバータに入力され、且つ前記インバータの出力は前記第 2 のクロックドインバータに入力されるように接続されており、

前記シフトレジスタの m 段目 $(1 \leq m \leq n-1 : m$ は自然数)の前記インバータの出力は、前記シフトレジスタの $(m+1)$ 段目の前記第 1 のクロックドインバータに入力されるように前記シフトレジスタの各段は接続され、

前記シフトレジスタの m 段目の前記インバータの出力及び前記シフトレジスタの $(m+1)$ 段目の前記インバータの出力は前記 $(n-1)$ 個のうち m 番目の 3 入力ナンド回路に入力され、

20

前記 $(n-1)$ 個の 3 入力ナンド回路にはそれぞれマスク信号が入力されることにより、前記 m 番目の 3 入力ナンド回路から出力される選択信号と $(m+1)$ 番目の 3 入力ナンド回路から出力される選択信号とはオーバーラップせず、

前記 $(n-1)$ 個の 3 入力ナンド回路から出力される選択信号は、それぞれ画像データ信号をサンプリングする選択スイッチに入力されることを特徴とするアクティブマトリクス表示装置。

【請求項 5】

n 段からなるシフトレジスタと $(n-1)$ 個の 3 入力ナンド回路とを有する駆動回路と、前記駆動回路によって駆動される表示パネルを有するアクティブマトリクス表示装置において、

30

前記シフトレジスタの各段はインバータ、第 1 のクロックドインバータ及び第 2 のクロックドインバータを有し、前記第 1 のクロックドインバータ及び前記第 2 のクロックドインバータの出力は前記インバータに入力され、且つ前記インバータの出力は前記第 2 のクロックドインバータに入力されるように接続されており、

前記シフトレジスタの m 段目 $(1 \leq m \leq n-1 : m$ は自然数)の前記インバータの出力は、前記シフトレジスタの $(m+1)$ 段目の前記第 1 のクロックドインバータに入力されるように前記シフトレジスタの各段は接続され、

前記シフトレジスタの m 段目の前記インバータの出力及び前記シフトレジスタの $(m+1)$ 段目の前記インバータの出力は前記 $(n-1)$ 個のうち m 番目の 3 入力ナンド回路に入力され、

40

前記 $(n-1)$ 個の 3 入力ナンド回路にはそれぞれマスク期間を有するマスク信号が入力され、

前記シフトレジスタの各段の前記インバータの出力が、高レベルから低レベルに切り変わる時及び低レベルから高レベルに切り変わる時に合わせて、前記マスク期間は設定され、前記 $(n-1)$ 個の 3 入力ナンド回路から出力される選択信号は、それぞれ画像データ信号をサンプリングする選択スイッチに入力されることを特徴とするアクティブマトリクス表示装置。

【請求項 6】

n 段からなるシフトレジスタと $(n-1)$ 個の 3 入力ナンド回路とを有する駆動回路と、前記駆動回路によって駆動される表示パネルを有するアクティブマトリクス表示装置に

50

において、

前記シフトレジスタの各段はインバータ、第1のクロックドインバータ及び第2のクロックドインバータからなり、前記第1のクロックドインバータ及び前記第2のクロックドインバータの出力は前記インバータに入力され、且つ前記インバータの出力は前記第2のクロックドインバータに入力されるように接続されており、

前記シフトレジスタの m 段目 ($1 \leq m \leq n-1$: m は自然数) の前記インバータの出力は、前記シフトレジスタの $(m+1)$ 段目の前記第1のクロックドインバータに入力されるように前記シフトレジスタの各段は接続され、

前記シフトレジスタの m 段目の前記インバータの出力及び前記シフトレジスタの $(m+1)$ 段目の前記インバータの出力は前記 $(n-1)$ 個のうち m 番目の3入力ナンド回路に 10
入力され、

前記 $(n-1)$ 個の3入力ナンド回路にはそれぞれマスク期間を有するマスク信号が入力され、

前記シフトレジスタの m 段目の前記インバータの出力が、高レベルから低レベルに切り変わる時及び低レベルから高レベルに切り変わる時、並びに、前記シフトレジスタの $(m+1)$ 段目の前記インバータの出力が、高レベルから低レベルに切り変わる時及び低レベルから高レベルに切り変わる時に合わせて、前記マスク期間は設定され、

前記 $(n-1)$ 個の3入力ナンド回路から出力される選択信号は、それぞれ画像データ信号をサンプリングする選択スイッチに入力されることを特徴とするアクティブマトリクス表示装置。 20

【請求項7】

請求項4乃至請求項6のいずれか一において、前記表示パネルを構成する各画素は、ゲート信号線及びソース信号線に接続するトランジスタと、

前記トランジスタのソースまたはドレインの一方とゲートが接続するドライブトランジスタと、

前記ドライブトランジスタのソースまたはドレインの一方と接続するEL電源線と、

前記ドライブトランジスタのソースまたはドレインの他方と接続するEL素子と、

を有することを特徴とするアクティブマトリクス表示装置。

【請求項8】

請求項4乃至請求項7のいずれか一において、前記表示パネル及び前記駆動回路は同一 30
基板上に形成されていることを特徴とするアクティブマトリクス表示装置。

【請求項9】

請求項4乃至請求項8のいずれか一において、前記マスク信号はマスク発生回路より出力されることを特徴とするアクティブマトリクス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ（以下、TFTという）を用いてエレクトロルミネセンス（以下、ELという）素子を駆動するアクティブマトリクス表示装置及びその駆動回路に関する。 40

【背景技術】

【0002】

図4～図6は従来例を示した図である。以下、図面に基づいて従来例を説明する。

【0003】

図4(a)は、パネルブロック図であり、ディスプレイ（表示）パネル10には、ディスプレイ画面11、X軸のシフトレジスタ12、Y軸のシフトレジスタ13が設けてある。

【0004】

ディスプレイ画面11には、EL電源が供給されており、またX軸のシフトレジスタ12には、シフトレジスタ電源の供給とX軸同期信号の入力が行われる。さらにY軸のシフ 50

トレジスタ 13 には、シフトレジスタ電源の供給と Y 軸同期信号の入力が行われる。また、X 軸のシフトレジスタ 12 の出力部に画像データ信号の出力が設けてある。

【0005】

図 4 (b) は、図 4 (a) の A 部の拡大説明図であり、ディスプレイ画面 11 の 1 画素 (点線の四角で示す) は、トランジスタが 2 個、コンデンサが 1 個、EL 素子が 1 個より構成されている。

【0006】

この 1 画素の発光動作は、例えば、Y 軸のシフトレジスタ 13 で選択信号 y1 の出力があり、また X 軸のシフトレジスタ 12 で選択信号 x1 の出力があった場合、トランジスタ Ty11 とトランジスタ Tx1 がオンとなる。

10

【0007】

このため、画像データ信号 -VL は、ドライブトランジスタ M11 のゲートに入力される。これにより、このゲート電圧に応じた電流が EL 電源からドライブトランジスタ M11 のドレイン、ソース間に流れ、EL 素子 EL11 が発光する。

【0008】

次のタイミングでは、X 軸のシフトレジスタ 12 は、選択信号 x1 の出力をオフとし、選択信号 x2 を出力することになるが、ドライブトランジスタ M11 のゲート電圧は、コンデンサ c11 で保持されるため、次にこの画素が選択されるまで EL 素子 EL11 の前記発光は、持続することになる。

【0009】

20

図 5 は、従来例の X 軸シフトレジスタの説明図である。図 5 において、ナンド回路 21 と 22 は波形整形回路であり、逆位相のクロック -CL と低レベル (「L」) のスタートパルス (X 軸同期信号) -SP が入力される。また、クロックドインバータ 26 ~ 32 とインバータ 33 ~ 37 はシフトレジスタである。さらに、インバータ 38 ~ 43 とナンド回路 44 ~ 46 は、選択信号 x1 ~ x3 を出力する論理回路である。

【0010】

クロック CL と逆位相クロック -CL は、一方が高レベル (「H」) の時他方が低レベル (「L」) になる。

【0011】

クロックドインバータは、クロック CL 入力が「L」で逆位相クロック -CL 入力が「H」のときアクティブ状態となり、インバータとして動作し、また逆に、クロック CL 入力が「H」で逆位相クロック -CL 入力が「L」のときハイインピーダンス状態となるものである。

30

【0012】

例えば、クロックドインバータ 26 とクロックドインバータ 29 とは、クロック CL 入力と逆位相クロック入力 -CL とが逆に接続されている。このため、クロックドインバータ 26 がアクティブ状態の時、クロックドインバータ 29 はハイインピーダンス状態となる。

【0013】

図 6 は、従来例の波形説明図であり、以下、図 5 の X 軸のシフトレジスタの動作を図 6 の各点の波形に基づいて説明する。

40

【0014】

(1) 波形整形回路の出力である A 点の電位は、スタートパルス -SP (「L」) が無い時「H」である。この時、「L」のスタートパルス -SP が入力されると、A 点は「L」となる (図 6、A 参照)。

【0015】

(2) B 点は、A 点が「L」になる時、クロックドインバータ 26 はアクティブ状態となるので、「H」となり、次にクロックドインバータ 26 がハイインピーダンス状態となる時、クロックドインバータ 29 がアクティブ状態となるので、前記 B 点の「H」がクロックドインバータ 29 のアクティブ期間だけ保持される (図 6、B 参照)。

50

【0016】

(3) C点は、インバータ33によりB点と逆位相の波形となる(図6、C参照)。

【0017】

(4) D点は、クロックドインバータ29と同時にアクティブ状態となるクロックドインバータ27と、インバータ34とクロックドインバータ30による保持回路によりB点より半クロックサイクル遅れた波形となる。

【0018】

(5) E点は、インバータ34によりD点と逆位相の波形となり、C点の波形より半クロックサイクル遅れた波形となる(図6、E参照)。

【0019】

(6) F点は、クロックドインバータ30と同時にアクティブ状態となるクロックドインバータ28と、インバータ35とクロックドインバータ31による保持回路によりD点より半クロックサイクル遅れた波形となる。

【0020】

(7) G点は、インバータ35によりF点と逆位相の波形となり、E点の波形より半クロックサイクル遅れた波形となる(図6、G参照)。

【0021】

(8) H点は、インバータ38によりC点の反転信号となる(図6、H参照)。I点は、インバータ39によりE点の反転信号となる(図6、I参照)。また、J点は、インバータ40によりG点の反転信号となる(図6、J参照)。

【0022】

(9) K点は、ナンド回路44の出力であり、ナンド回路44の2つの入力にはH点とE点の信号が入力される。L点は、ナンド回路45の出力であり、ナンド回路45の2つの入力にはI点とG点の信号が入力される。また、M点は、ナンド回路46の出力であり、ナンド回路46の2つの入力にはJ点とインバータ(図示せず)からの信号が入力される。

【0023】

(10) 選択信号x1は、インバータ41によりK点の反転信号となり(図6、x1参照)、この選択信号x1は、Nチャネルの電界効果トランジスタTx1のゲートに入力される。このため、選択信号x1が「H」となるとトランジスタTx1がオンとなり、そのドレイン、ソース間が導通する。

【0024】

(11) 選択信号x2は、インバータ42によりL点の反転信号となり(図6、x2参照)、この選択信号x2は、Nチャネルの電界効果トランジスタTx2のゲートに入力される。このため、選択信号x2が「H」となるとトランジスタTx2がオンとなる。

【0025】

(12) 選択信号x3は、インバータ43によりM点の反転信号となり(図6、x3参照)、この選択信号x3は、Nチャネルの電界効果トランジスタTx3のゲートに入力される。このため、選択信号x3が「H」となるとトランジスタTx3がオンとなる。

【0026】

このようにして、選択信号x1、x2、x3、・・・と順に、半クロックサイクルシフトとした信号が得られる。この選択信号x1～x3の実線の波形は、理想波形であり、現実を選択スイッチであるトランジスタTx1～Tx3のゲートに印加される波形は、回路の容量や抵抗のため点線のように、波形の立上がりや立下がりに時間 ΔT が必要となる。

【発明の開示】

【発明が解決しようとする課題】

【0027】

上記のような従来のものにおいては、次のような課題があった。

【0028】

選択信号x1～x3の現実の波形(図6の点線)は、立上がりや立下がりに、その回路

10

20

30

40

50

によって決まる時間 ΔT が必要となる。このため、この時間 ΔT の期間では、例えば選択信号 x_1 と次の選択信号 x_2 の出力がオーバーラップする。これにより、この期間で、選択スイッチであるトランジスタ T_{x1} とトランジスタ T_{x2} が同時にオンとなり、コンデンサ c_{11} の画像データ信号 $-V_L$ が隣の画素のコンデンサ c_{21} に入り込むことになる。このため、EL表示装置の画質が悪くなることがあった。

【0029】

本発明は、選択信号と次の選択信号との間にマスク期間を設け、選択信号間のオーバーラップをなくすことにより、EL表示装置の画質を向上することを目的とする。

【課題を解決するための手段】

【0030】

10

本発明は、上記の課題を解決するため次のように構成した。

【0031】

図1は、本発明の実施の形態の説明図であり、X軸シフトレジスタである選択信号発生回路構成を示す。図1において、ナンド回路21と22は、波形整形回路であり、逆位相のクロック $-CL$ と「L」のスタートパルス $-SP$ が入力される。また、クロックインバータ26～32とインバータ33～37は、シフトレジスタである。さらに、インバータ38～43と3入力ナンド回路23～25は、X軸の選択信号 $x_1 \sim x_3$ を出力する論理回路である。マスク信号発生回路からのマスク信号 $-INL$ は、3入力ナンド回路23～25の1つの入力に接続され、画像データ信号 $-V_L$ は、X軸の選択スイッチであるトランジスタ $T_{x1} \sim T_{x3}$ に接続されている。

20

【0032】

上記構成に基づく作用を説明する。

【0033】

X軸の選択信号 x_1 は、シフトレジスタのインバータ33からの出力をインバータ38で反転した出力と、シフトレジスタのインバータ34の出力と、マスク信号 $-INL$ とを3入力ナンド回路23に入力し、この3入力ナンド回路23の出力をインバータ41で反転したものである。

【0034】

選択信号 x_2 は、インバータ34からの出力をインバータ39で反転した出力と、インバータ35の出力と、マスク信号 $-INL$ とを3入力ナンド回路24に入力し、この3入力ナンド回路24の出力をインバータ42で反転したものである。

30

【0035】

同様に選択信号 x_3 は、3入力ナンド回路25からの出力をインバータ43で反転したものである。

【0036】

このマスク信号 $-INL$ のマスク期間は、従来例（図6参照）の選択信号 x_1 と次の選択信号 x_2 のオーバーラップ期間 ΔT 以上とする。

【0037】

このように、選択信号と次の選択信号が同時に出力されるオーバーラップをなくすことによりEL表示装置の画質を向上することができる。

40

【発明の効果】

【0038】

以上のように本発明によれば、選択スイッチであるトランジスタ $T_{x1} \sim T_{x3}$ を順次駆動する選択信号のオーバーラップ時間をなくすマスク手段を設けたため、ある画素の画像データ信号が他の画素の画像データ信号に入り込むことがなく、EL表示装置の画質の向上を図ることができる。

【発明を実施するための最良の形態】

【0039】

以下、本発明の実施の形態を図面に基づいて説明する。

【0040】

50

図 1～図 3 は、本発明の実施の形態を示した図であり、図 4～図 6 と同じものは同じ符号で示してある。

【0041】

図 1 は本発明の実施の形態の説明図であり、X 軸のシフトレジスタの回路構成を示す。図 1 において、ナンド回路 21 と 22 は、波形整形回路であり、逆位相のクロック－CL と「L」のスタートパルス－SPが入力される。また、クロックドインバータ 26～32 とインバータ 33～37 は、シフトレジスタである。これらの波形整形回路とシフトレジスタは、図 5 の従来例と同じものである。

【0042】

インバータ 38～43 と 3 入力ナンド回路 23～25 は、X 軸の選択信号 x1～x3 を出力する論理回路である。 10

【0043】

3 入力ナンド回路 23 の第 1 入力にはインバータ 38 により C 点の反転信号である H 点の信号が入力され、第 2 入力には E 点の信号が入力され、第 3 入力には、マスク信号－INLが入力される。この 3 入力ナンド回路 23 の出力である K 点の信号をインバータ 41 で反転したものが選択信号 x1 となる。

【0044】

3 入力ナンド回路 24 の第 1 入力にはインバータ 39 により E 点の反転信号である I 点の信号が入力され、第 2 入力には G 点の信号が入力され、第 3 入力にはマスク信号－INLが入力される。この 3 入力ナンド回路 24 の出力である L 点の信号をインバータ 42 で反転したものが選択信号 x2 となる。 20

【0045】

3 入力ナンド回路 25 の第 1 入力にはインバータ 40 により G 点の反転信号である J 点の信号が入力され、第 2 入力にはシフトレジスタのインバータ（図示せず）からの信号が入力され、第 3 入力にはマスク信号－INLが入力される。この 3 入力ナンド回路 25 の出力である M 点の信号をインバータ 42 で反転したものが選択信号 x3 となる。

【0046】

このようにして、X 軸のシフトパルスである選択信号 x1、x2、x3・・・を得ることができる。

【0047】

図 2 は実施の形態における波形説明図であり、3 入力ナンド回路 23 の第 1 入力に入力される H 点の波形は、シフトレジスタの C 点の反転波形であり、1 クロックサイクル分「H」となる。3 入力ナンド回路 23 の第 2 入力に入力される E 点の波形は、C 点の波形より半クロックサイクル遅れた波形である。また、3 入力ナンド回路 23 の第 3 入力にはマスク信号－INLが入力される。このマスク信号のマスク期間 MK は、選択信号 x1 と次の選択信号 x2 の立下がり と 立上がり がオーバーラップしない程度の期間とする。 30

【0048】

この 3 入力ナンド回路 23 の出力である K 点の波形は、クロック波形 CL よりマスク期間 MK だけ「L」の期間が少なくなる。この K 点の反転信号が選択信号 x1 となる。

【0049】

以下、同様に選択信号 x2、x3 もマスク信号－INL のマスク期間 MK だけ幅の短いパルスとなる。 40

【0050】

このように、選択信号と選択信号との間に「H」のパルスのないマスク期間を設け、選択スイッチであるトランジスタ Tx1 と次のトランジスタ Tx2 が同時にオンとなることを防止することができる。

【0051】

図 3 はマスク信号の説明図であり、図 3 (a) はマスク信号発生回路の説明図である。図 3 (a) において、発生器（図示せず）より発生した 8 倍クロックを 8 分周回路 1 と、順次回路 2 に入力する。 50

【0052】

8分周回路1は、入力クロック（8倍クロック）の4クロックパルスを計数して「H」、次の4クロックパルスを計数して「L」、・・・と4パルス毎に出力を「H」、「L」とするものである。これにより8倍のパルス幅である標準のクロックC_Lが得られる。

【0053】

順次回路2は、入力クロックを3クロックサイクル計数として、1クロックサイクル分「L」とする繰り返し波形を出力するものである。これにより、マスク信号－I_NLが得られる。

【0054】

図3（b）は、波形説明図であり、上記8倍クロックと、8分周出力であるクロックC_Lと、マスク信号－I_NLの波形を示す。この場合マスク信号－I_NLのマスク期間M_Kは、半クロックサイクルの25%となる。このマスク期間は、これに限らず選択信号のオーバーラップ期間ΔT等により適宜変更することができる。

【図面の簡単な説明】

【0055】

【図1】本発明の実施の形態の説明図である。

【図2】実施の形態における波形説明図である。

【図3】実施の形態におけるマスク信号の説明図である。

【図4】従来例の説明図である。

【図5】従来例のX軸シフトレジスタの説明図である。

【図6】従来例の波形説明図である。

【符号の説明】

【0056】

21～22 ナンド回路

23～25 3入力ナンド回路

26～32 クロックドインバータ

33～43 インバータ

T_{x1}～T_{x3} トランジスタ（選択スイッチ）

x₁～x₃ 選択信号

－I_NL マスク信号

－V_L 画像データ信号

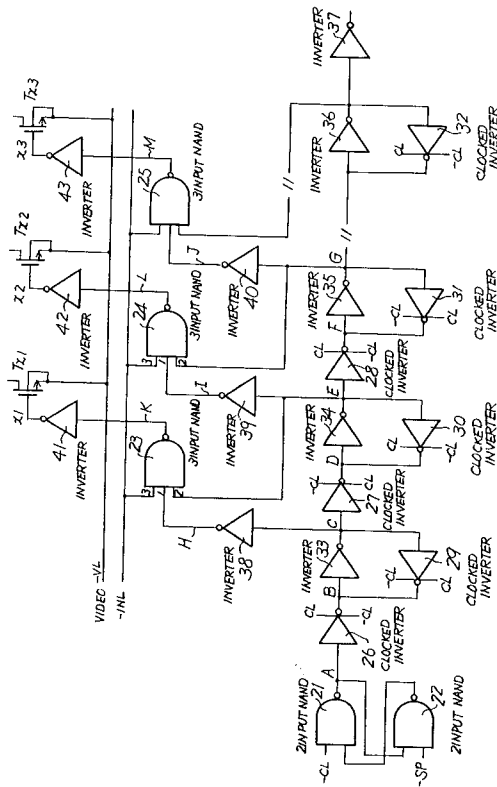
10

20

30

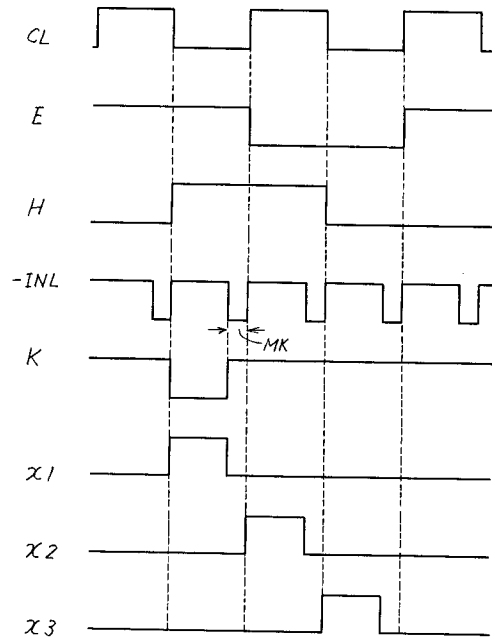
【図 1】

本発明の実施の形態の説明図



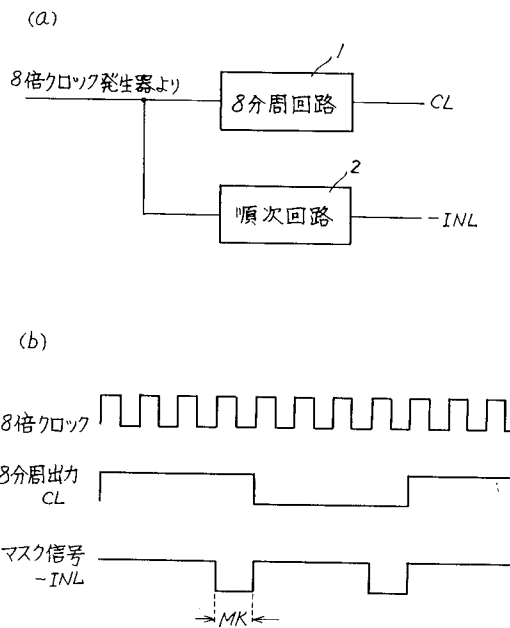
【図 2】

実施の形態における波形説明図



【図 3】

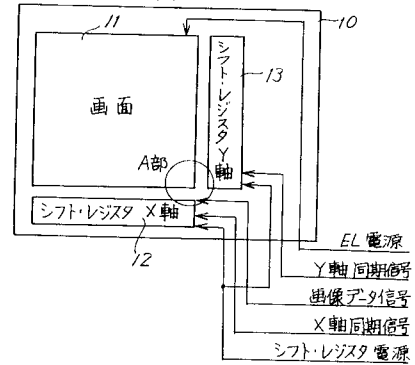
マスク信号の説明図



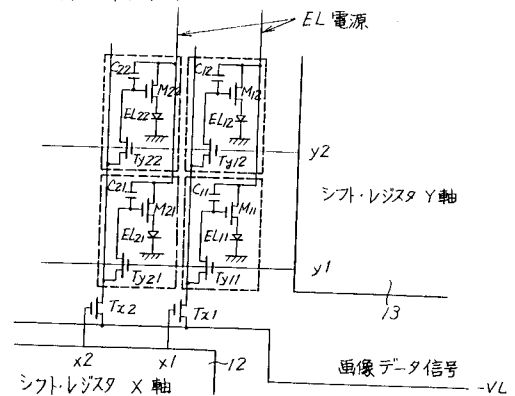
【図 4】

従来例の説明図

(a) パネルブロック図

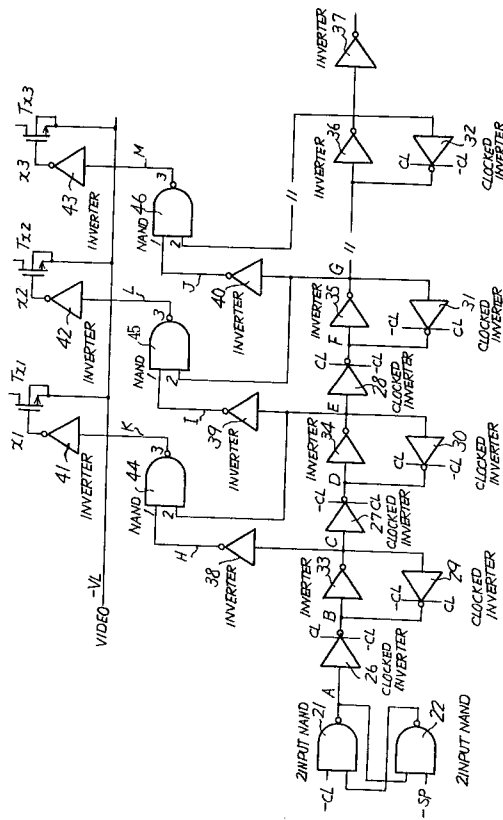


(b) A部の拡大図



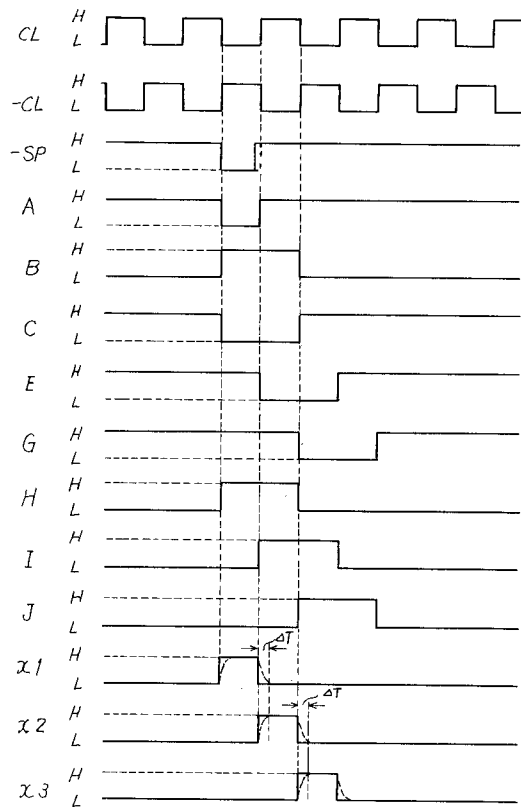
【図 5】

従来例の X 軸シフトレジスタの説明図



【図 6】

従来例の波形説明図



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 3 H

H 0 5 B 33/14 A

(72)発明者 荒井 三千男

東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD10 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	有源矩阵显示装置及其驱动电路		
公开(公告)号	JP2004046252A	公开(公告)日	2004-02-12
申请号	JP2003359384	申请日	2003-10-20
[标]申请(专利权)人(译)	东京电气化学工业株式会社 株式会社半导体能源研究所		
申请(专利权)人(译)	TDK株式会社 半导体能源研究所有限公司		
[标]发明人	高山 一郎 荒井 三千男		
发明人	高山 一郎 荒井 三千男		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.D G09G3/20.611.J G09G3/20.621.A G09G3/20.623.H H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD10 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/EE01 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/BA20 5C380/BB08 5C380/CA02 5C380/CA09 5C380/CA12 5C380/CA24 5C380/CA52 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CD012 5C380/CF07 5C380/CF32 5C380/CF59 5C380/DA06		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过消除选择信号和下一个选择信号之间的信号重叠时间来提高图像质量。选择信号发生电路，用于输出选择信号x 1至x 3，用于顺序驱动选择开关Tx 1至Tx 3;选择信号发生电路，用于产生选择信号x 1至x 3掩模信号INL产生电路，用于屏蔽选择信号之间的重叠时间。

点域1

本発明の実施の形態の説明図

