

【特許請求の範囲】

【請求項 1】 入力電圧を受けて、互いに電圧の異なる少なくとも第 1 及び第 2 の出力電圧を生成し、これらをそれぞれ第 1 及び第 2 の出力端子に供給する電源装置であって、1 次巻線に前記入力電圧を受けるトランスと、前記トランスの 1 次巻線に接続されたスイッチング素子と、前記トランスの 2 次巻線に接続され、それぞれ前記第 1 及び第 2 の出力電圧を生成する第 1 及び第 2 の出力回路と、少なくとも前記第 1 の出力電圧に基づいて前記スイッチング素子の動作を制御する制御回路と、前記第 1 及び第 2 の出力端子の少なくとも一方に生じている負荷の状態に基づいて、前記第 1 及び第 2 の出力端子の少なくとも一方及びこれと異なる電圧を有する電圧ライン間の抵抗値を変化させる手段とを備えることを特徴とする電源装置。

【請求項 2】 前記手段は、前記第 2 の出力端子に生じている負荷が大きいほど前記第 1 の出力端子及び前記電圧ライン間の抵抗値を小さくすることを特徴とする請求項 1 に記載の電源装置。

【請求項 3】 前記手段は、前記第 2 の出力端子に生じている負荷が大きいほど前記第 2 の出力端子及び前記電圧ライン間の抵抗値を大きくすることを特徴とする請求項 1 または 2 に記載の電源装置。

【請求項 4】 前記電圧ラインがグラウンドラインであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電源装置。

【請求項 5】 前記トランスが第 1 及び第 2 のトランスを含み、前記スイッチング素子が前記第 1 のトランスの 1 次巻線に接続された第 1 のスイッチング素子及び前記第 2 のトランスの 1 次巻線に接続された第 2 のスイッチング素子を含み、前記第 1 の出力回路が前記第 1 のトランスの 2 次巻線に接続されており、前記第 2 の出力回路が前記第 2 のトランスの 2 次巻線に接続されており、前記制御回路が前記第 1 の出力電圧に基づいて前記第 1 のスイッチング素子の動作を制御する第 1 の制御回路及び前記第 2 の出力電圧に基づいて前記第 2 のスイッチング素子の動作を制御する第 2 の制御回路とを含むことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の電源装置。

【請求項 6】 前記第 1 及び第 2 の制御回路は、それぞれ前記第 1 及び第 2 のスイッチング素子を PWM 制御する回路であり、前記第 1 及び第 2 の制御回路による PWM 制御には、同じのこぎり波が用いられていることを特徴とする請求項 5 に記載の電源装置。

【請求項 7】 前記第 1 及び第 2 の制御回路による PWM 制御には、一方の周波数が他方の周波数の整数倍であり、ピーク値となるタイミングが実質的に一致する第 1 及び第 2 のこぎり波がそれぞれ用いられていることを特徴とする請求項 5 に記載の電源装置。

【請求項 8】 複数の走査配線及び複数のデータ配線を*

*有する無機 EL パネルと、前記複数の走査配線を駆動するロウドライバと、前記複数のデータ配線を駆動するコラムドライバと、前記ロウドライバ及び前記コラムドライバにおいて用いられる電圧を生成する電源装置とを備える無機 EL ディスプレイ装置であって、前記ロウドライバは少なくとも第 1 の出力電圧ラインを介して供給される第 1 の出力電圧に基づいて動作し、前記コラムドライバは少なくとも第 2 の出力電圧ラインを介して供給される第 2 の出力電圧に基づいて動作し、前記電源装置は、1 次巻線に入力電圧を受けるトランスと、前記トランスの 1 次巻線に接続されたスイッチング素子と、前記トランスの 2 次巻線と前記第 1 及び第 2 の出力電圧ラインとの間にそれぞれ設けられた第 1 及び第 2 の出力回路と、少なくとも前記第 1 の出力電圧に基づいて前記スイッチング素子の動作を制御する制御回路と、前記第 1 及び第 2 の出力電圧ラインの少なくとも一方に生じている負荷の状態に基づいて、前記第 1 及び第 2 の出力電圧ラインの少なくとも一方及びこれと異なる電圧を有する電圧ライン間の抵抗値を変化させる手段とを備えていることを特徴とする無機 EL ディスプレイ装置。

【請求項 9】 前記手段は、データ配線の総数及び一つの走査配線上において点灯状態とされる画素の数に基づいて、前記負荷の状態を判断することを特徴とする請求項 8 に記載の無機 EL ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源装置に関し、特に、無機 EL ディスプレイ装置への適用が好適な電源装置に関する。また、本発明は、無機 EL ディスプレイ装置に関する。

【0002】

【従来の技術】近年、薄型で高画質表示が可能なディスプレイ装置として、無機 EL パネルを用いた無機 EL ディスプレイ装置が注目されている。一般的な無機 EL ディスプレイ装置は、多数のデータ配線（コラム配線）と多数の走査配線（ロウ配線）とが互いに交差して敷設された無機 EL パネルを有し、データ配線と走査配線との間にしきい値 V_{th} を超える電圧 $V_{th} + V_m$ を印加することによって、所望の画素を発光させることができる。

【0003】例えば、特定の 1 画素のみを発光させる場合、対応する走査配線及び対応するデータ配線にそれぞれ電圧 $-V_{th}$ 及び電圧 V_m を印加し、その他の走査配線をオープン状態とし、その他のデータ配線にグラウンド電位（GND）を印加すればよい。これにより、上記特定の 1 画素においては、データ配線と走査配線との間の電圧が $V_{th} + V_m$ となるため発光する一方、その他の画素においては、データ配線と走査配線との間の電圧が V_{th} 未満となるため、発光はしない。また、無機 EL ディスプレイ装置は一般に交流駆動する必要があるた

め、上記特定の 1 画素を次に発光させる場合には、対応する走査配線及び対応するデータ配線にそれぞれ電圧 $V_{th} + V_m$ 及びグランド電位 (GND) を印加し、その他の走査配線をオープン状態とし、その他のデータ配線に電圧 V_m を印加する必要がある。

【0004】このように、無機 EL ディスプレイ装置においては、データ配線に印加すべき電圧や走査配線に印加すべき電圧等、複数の電圧が必要である。上記の例では、データ配線に印加すべき電圧としては電圧 V_m が必要であり、走査配線に印加すべき電圧としては電圧 $-V_{th}$ 及び電圧 $V_{th} + V_m$ が必要である。

【0005】図 32 は、従来の無機 EL ディスプレイ装置用電源装置の回路図である。

【0006】図 32 に示すように、従来の無機 EL ディスプレイ装置用電源装置は、入力端子 1 に供給される直流電圧 V_{in} を変圧して、出力端子 2a ~ 2c にそれぞれ電圧 $V_{th} + V_m$ 、 V_m 及び $-V_{th}$ を発生させる装置であり、1 次巻線 10a 及び 2 次巻線 10b ~ 10d を有するトランス 10 と、トランス 10 の 1 次側に設けられたスイッチング素子 20a 及びこれを制御する制御回路 20b と、トランス 10 の 2 次側に設けられた出力回路 30 とを備えている。

【0007】このような構成を有する従来の電源装置においては、制御回路 20b による制御のもとスイッチング素子 20a が PWM 制御され、これにより、トランス 10 の 2 次巻線 10b ~ 10d に、それぞれ電圧 V_{th} 、 V_m 及び $-V_{th}$ を発生させることができる。かかる 2 次側電圧は、出力回路 30 を構成するダイオード及びコンデンサによって整流・平滑され、これによって出力端子 2a ~ 2c には、それぞれ電圧 $V_{th} + V_m$ 、 V_m 及び $-V_{th}$ が現れることになる。

【0008】ここで、制御回路 20b による制御は、出力端子 2a ~ 2c に現れる電圧のいずれかを監視することにより行われる。したがって、例えば、出力端子 2c に現れる電圧を監視する場合、制御回路 20b は、これが電圧 $-V_{th}$ に安定するようにスイッチング素子 20a を PWM 制御する。これにより、監視対象となる電圧 (例えば、 $-V_{th}$) のみならず、直接監視していない他の電圧 (例えば、 $V_{th} + V_m$ 及び V_m) についても、トランス 10 の巻数比の関係により、監視対象となる電圧と同様、一定に保つことが可能となる。

【0009】

【発明が解決しようとする課題】しかしながら、出力端子 2a ~ 2c に接続される負荷が大きい場合、直接監視していない電圧については、監視対象となる電圧に比べて変動が起きやすいという問題がある。

【0010】例えば、出力端子 2b (電圧 V_m のライン) に対する負荷は、選択された走査配線上の画素のうち、点灯状態とされる画素の割合が 50% である場合に最大となり、50% から離れるにしたがって負荷は低減

する。このため、制御回路 20b が出力端子 2c に現れる電圧を監視する場合、点灯状態とされる画素の割合が 50% であるか又はこれに近い場合において電圧 V_m の低下を招き、これにより実際の輝度が低下するという問題が生じてしまう。一方、出力端子 2c (電圧 $-V_{th}$ のライン) に対する負荷は、選択された走査配線上の画素のうち、点灯状態とされる画素の割合にしたがって増加するため、制御回路 20b が出力端子 2c に現れる電圧を監視する場合、点灯状態とされる画素の割合が 100% であるか又はこれに近い場合には、クロスレギュレーションによって電圧 V_m が上昇し、実際の輝度が所望の輝度よりも高くなるという問題が生じてしまう。

【0011】このように、従来の無機 EL ディスプレイ装置用電源装置においては、直接監視していない電圧が変動しやすく、これにより実際の画素の輝度に誤差を生じるという問題があった。また、負荷状態の変動はデータ配線に印加すべき電圧 (V_m) のラインにおいて特に顕著であることから、制御回路 20b がこれ以外の電圧を監視することにより制御を行う場合にあっては、上記電圧の変動は特に顕著となる。

【0012】したがって、本発明の目的は、負荷状態の変動に起因する出力電圧の変動が抑制された電源装置及びこれを用いた無機 EL ディスプレイ装置を提供することである。

【0013】

【課題を解決するための手段】本発明のかかる目的は、入力電圧を受けて、互いに電圧の異なる少なくとも第 1 及び第 2 の出力電圧を生成し、これらをそれぞれ第 1 及び第 2 の出力端子に供給する電源装置であって、1 次巻線に前記入力電圧を受けるトランスと、前記トランスの 1 次巻線に接続されたスイッチング素子と、前記トランスの 2 次巻線に接続され、それぞれ前記第 1 及び第 2 の出力電圧を生成する第 1 及び第 2 の出力回路と、少なくとも前記第 1 の出力電圧に基づいて前記スイッチング素子の動作を制御する制御回路と、前記第 1 及び第 2 の出力端子の少なくとも一方に生じている負荷の状態に基づいて、前記第 1 及び第 2 の出力端子の少なくとも一方及びこれと異なる電圧を有する電圧ライン間の抵抗値を変化させる手段とを備えることを特徴とする電源装置によって達成される。

【0014】本発明によれば、負荷の状態に基づいて、第 1 及び第 2 の出力端子の少なくとも一方及び上記電圧ライン間の抵抗値を変化させていることから、制御回路は負荷状態に応じた適切な制御を行うことが可能となる。これにより、負荷状態の変動に起因する出力電圧の変動を効果的に抑制することが可能となる。

【0015】また、前記手段は、前記第 2 の出力端子に生じている負荷が大きいほど前記第 1 の出力端子及び前記電圧ライン間の抵抗値を小さくすることが好ましい。これによれば、第 2 の出力端子に対する負荷の増大に起

因した第2の出力電圧の変動を効果的に抑制することが可能となる。

【0016】また、前記手段は、前記第2の出力端子に生じている負荷が大きいほど前記第2の出力端子及び前記電圧ライン間の抵抗値を大きくすることが好ましい。これによれば、第2の出力端子に対する負荷の増大に起因した第2の出力電圧の変動を効果的に抑制することが可能となる。

【0017】また、前記電圧ラインがグランドラインであることが好ましい。

【0018】また、前記トランスが第1及び第2のトランスを含み、前記スイッチング素子が前記第1のトランスの1次巻線に接続された第1のスイッチング素子及び前記第2のトランスの1次巻線に接続された第2のスイッチング素子を含み、前記第1の出力回路が前記第1のトランスの2次巻線に接続されており、前記第2の出力回路が前記第2のトランスの2次巻線に接続されており、前記制御回路が前記第1の出力電圧に基づいて前記第1のスイッチング素子の動作を制御する第1の制御回路及び前記第2の出力電圧に基づいて前記第2のスイッチング素子の動作を制御する第2の制御回路とを含むことが好ましい。これによれば、第1及び第2の出力電圧の変動をより効果的に抑制することが可能となる。

【0019】この場合、前記第1及び第2の制御回路は、それぞれ前記第1及び第2のスイッチング素子をPWM制御する回路であり、前記第1及び第2の制御回路によるPWM制御には、同じのこぎり波が用いられていることがさらに好ましい。これによれば、第1のトランスの2次側と第2のトランスの2次側とが互いに干渉し得る構成であっても干渉を防止することができ、これにより、干渉に起因する異常発振を効果的に抑制することが可能となる。

【0020】また、前記第1及び第2の制御回路によるPWM制御には、一方の周波数が他方の周波数の整数倍であり、ピーク値となるタイミングが実質的に一致する第1及び第2ののこぎり波がそれぞれ用いられていることもまた好ましい。これによっても、第1のトランスの2次側と第2のトランスの2次側との干渉に起因する異常発振を効果的に抑制することが可能となる。

【0021】本発明の前記目的はまた、複数の走査配線及び複数のデータ配線を有する無機ELパネルと、前記複数の走査配線を駆動するロウドライバと、前記複数のデータ配線を駆動するカラムドライバと、前記ロウドライバ及び前記カラムドライバにおいて用いられる電圧を生成する電源装置とを備える無機ELディスプレイ装置であって、前記ロウドライバは少なくとも第1の出力電圧ラインを介して供給される第1の出力電圧に基づいて動作し、前記カラムドライバは少なくとも第2の出力電圧ラインを介して供給される第2の出力電圧に基づいて動作し、前記電源装置は、1次巻線に入力電圧を受ける

トランスと、前記トランスの1次巻線に接続されたスイッチング素子と、前記トランスの2次巻線と前記第1及び第2の出力電圧ラインとの間にそれぞれ設けられた第1及び第2の出力回路と、少なくとも前記第1の出力電圧に基づいて前記スイッチング素子の動作を制御する制御回路と、前記第1及び第2の出力電圧ラインの少なくとも一方に生じている負荷の状態に基づいて、前記第1及び第2の出力電圧ラインの少なくとも一方及びこれと異なる電圧を有する電圧ライン間の抵抗値を変化させる手段とを備えていることを特徴とする無機ELディスプレイ装置によって達成される。

【0022】この場合、前記手段は、データ配線の総数及び一つの走査配線上において点灯状態とされる画素の数に基づいて、前記負荷の状態を判断することが好ましい。

【0023】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の好ましい実施態様について詳細に説明する。

【0024】図1は、無機ELディスプレイ装置の全体構成を概略的に示すブロック図である。

【0025】図1に示すように、無機ELディスプレイ装置は、 n 本のデータ配線（コラム配線） $101_1 \sim 101_n$ と m 本の走査配線（ロウ配線） $102_1 \sim 102_m$ とが互いに交差して敷設された無機ELパネル100と、各データ配線101を駆動するカラムドライバ110と、各走査配線102を駆動するロウドライバ120と、カラムドライバ110にパルス電圧 V_{mD} を供給するカラム電圧制御回路130と、ロウドライバ120にパルス電圧 V_{SP} 及び V_{SN} を供給するロウ電圧制御回路140と、無機ELディスプレイ装置全体の動作を制御するコントローラ150と、無機ELディスプレイ装置において必要な各種電圧を生成する電源装置200とを備えている。

【0026】無機ELパネル100内において、データ配線101と走査配線102との各交点は画素103となる。これにより、無機ELパネル100には $n \times m$ 個の画素103がマトリクス状に配置されることになる。

【0027】図2は、画素103の構造を概略的に示す図であり、(a)はその略平面図、(b)はA-A線に沿った略断面図である。

【0028】図2(a)、(b)に示すように、一つの画素103は、基板104上に敷設された走査配線102及びこれと交差するデータ配線101によって構成される。画素103において、データ配線101が設けられている方向は無機ELパネル100の視認方向となることから、少なくともデータ配線101については透明な導電材料を用いる必要があり、特に限定されるものではないが、ITOを用いることが好ましい。一方、走査配線102については透明である必要はなく、金等の金属を用いることができる。また、データ配線101と走

査配線 102 との間には、第 1 の誘電体層 105a 及び第 2 の誘電体層 105b に挟まれた無機発光層 106 が設けられており、データ配線 101 上には透明な保護膜 107 が設けられている。第 1 の誘電体層 105a 及び第 2 の誘電体層 105b の材料としては、特に限定されるものではないが、ペロブスカイト型強誘電体材料、タングステンブロンズ型強誘電体材料、 Y_2O_3 、 Ta_2O_3 、 Al_2O_3 、 SiN 、 $BaTiO_3$ 等の透明誘電体薄膜等を用いることができる。また、無機発光層 106 の材料としては、特に限定されるものではないが、 $SrS:Ce/ZnS:Mn$ 等を用いることができる。

【0029】図 3 は、画素 103 の等価回路図である。

【0030】図 3 に示すように、画素 103 は、データ配線 101 と走査配線 102 との間に直列接続された抵抗 R、負荷容量 Cp 及び負荷容量 Cd と、負荷容量 Cp に対して並列に接続され、互いに極性が対向するように直列接続された 2 つのツェナーダイオード Z1 及び Z2 とによって表すことができる。抵抗 R はデータ配線 101 の配線抵抗であり、負荷容量 Cp は無機発光層 106 による容量成分であり、負荷容量 Cd は第 1 の誘電体層 105a 及び第 2 の誘電体層 105b による容量成分である。一般的には、負荷容量 Cp の方が負荷容量 Cd よりも大きい。

【0031】また、2 つのツェナーダイオード Z1 及び Z2 は、無機発光層 106 の電流・電圧特性に基づく要素であり、両端間の電圧がしきい値電圧 Vth を超えるとツェナーブレークが発生し、発光が生じる。したがって、データ配線 101 と走査配線 102 との間の容量は、発光時においては実質的に Cd となり、非発光時には $(Cp \times Cd) / (Cp + Cd)$ となる。

【0032】図 4 は、画素 103 の発光特性を示すグラフである。

【0033】図 4 に示すように、画素 103 は、データ配線 101 と走査配線 102 との間（画素 103）に印加される電圧がしきい値 Vth を超えると発光し、その光量は、Vth から Vth + Vm の範囲においては画素 103 に印加される電圧にほぼ比例するが、Vth + Vm を超えると飽和し、それ以上の光量は得られない。したがって、画素 103 に印加する電圧を Vth から Vth + Vm までの間において制御すれば、発光強度を所望のレベルとすることができる。一方、点灯 / 非点灯の制御のみを行う場合には、画素 103 に印加する電圧を Vth + Vm とすることにより点灯、Vth 未満とすることにより非点灯とすればよい。

【0034】したがって、無機 EL パネル 100 上の特定の画素 103 を発光（点灯）させるためには、対応する走査配線 102 に電圧 - Vth を印加する一方でその他の走査電極 102 をオープン状態とし、対応するデータ電極 101 に電圧 Vm を印加する一方でその他のデータ配線 101 に接地電圧（GND）を印加すればよい。

これにより、当該特定の画素 103 に印加される電圧のみが Vth + Vm となり、その他の画素 103 に印加される電圧は全て Vth 未満となることから、この画素 103 のみを発光（点灯）させることができる。

【0035】しかしながら、無機 EL パネル 100 においては、画素 103 を交流駆動しなければ、誘電分極が発生し、輝度が低下してしまう。したがって、所定の走査配線 102 に電圧 - Vth を印加し、且つ、所定のデータ電極 101 に電圧 Vm を印加することによって特定の画素 103 を発光させた後は、次に、当該画素 103 に対して逆方向の電圧を印加することによって再度発光させる必要がある。具体的には、当該走査配線 102 に電圧 Vth + Vm を印加し、当該データ電極 101 に接地電圧（GND）を印加することにより発光させればよい。この場合、非点灯とする画素 103 に対応するデータ配線 101 については、電圧 Vm を印加する必要がある。このように無機 EL パネル 100 は交流駆動され、これにより誘電分極による輝度の低下が防止されている。本明細書においては、無機 EL パネル 100 の交流駆動において、データ配線 101 側の電圧が高くなるように駆動することによって画素 103 を発光させる場合を正方向駆動、逆に、走査配線 102 側の電圧が高くなるように駆動することによって画素 103 を発光させる場合を負方向駆動と呼ぶ。

【0036】図 5 は、正方向駆動によって、選択された走査配線 102 - i 上の全ての画素 103 が点灯状態とされた場合における無機 EL パネル 100 の部分等価回路図である。尚、図 5 において、点灯（発光）している画素 103 には丸印が付されている。

【0037】図 5 に示すように、正方向駆動によって、走査配線 102 - i 上の全ての画素 103 を点灯させる場合、走査配線 102 - i に電圧 - Vth を印加することによってこれを選択状態とし、且つ、全てのデータ配線 101₁ ~ 101_n に電圧 Vm を印加する。選択されない他の走査配線 102 はフローティング状態（Hi Z）とされる。これにより、走査配線 102 - i 上の全ての画素 103 については、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth + Vm となってしきい値 Vth を超えることから発光し、その他の画素 103 については、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth 未満となることから発光しない。

【0038】この場合、発光している画素 103 においては、図 3 に示すツェナーダイオード Z2 がツェナーブレークしていることから、データ配線 101 と走査配線 102 との間の容量は Cd となり（図 5 においては「Cd only」と表記、以下の図においても同様）、その他の画素 103 においては、データ配線 101 と走査配線 102 との間の容量は $(Cp \times Cd) / (Cp + Cd)$ となる（図 5 においては「Cp, Cd」と表記、以

下の図においても同様)。

【0039】ここで、選択されていない走査配線 102 はフローティング状態 (HiZ) となっており、特定の電圧が与えられていないことから、各データ配線 101 間には、画素 103 及び選択されていない走査配線 102 を介したパスが形成されることになるが、図 5 に示すように、走査配線 102 - i 上の全ての画素 103 を点灯させる場合、全てのデータ配線 101₁ ~ 101_n の電圧が Vm であり、これらの間に電位差が存在しないことから、かかるパスに電流が流れることはない。したがって、この場合、電圧 Vm のラインにかかる負荷は比較的小さい。一方、選択された走査配線 102 - i については、走査配線 102 - i 上の全ての画素 103 に電荷を供給しなければならないことから、電圧 - Vth のラインにかかる負荷は比較的大きくなる。

【0040】図 6 は、負方向駆動によって、選択された走査配線 102 - i 上の全ての画素 103 が点灯状態とされた場合における無機 EL パネル 100 の部分等価回路図であり、図 6 においても、点灯 (発光) している画素 103 には丸印が付されている。

【0041】図 6 に示すように、負方向駆動によって、走査配線 102 - i 上の全ての画素 103 を点灯させる場合、走査配線 102 - i に電圧 Vth + Vm を印加することによってこれを選択状態とし、且つ、全てのデータ配線 101₁ ~ 101_n にグランド電位 (GND) を印加する。選択されない他の走査配線 102 はフローティング状態 (HiZ) とされる。これにより、走査配線 102 - i 上の全ての画素 103 については、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth + Vm となってしまう値 Vth を超えることから発光し、その他の画素 103 については、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth 未満となることから発光しない。

【0042】この場合、発光している画素 103 においては、図 3 に示すツェナーダイオード Z1 がツェナーブレークしていることから、データ配線 101 と走査配線 102 との間の容量は Cd となり (Cd only)、その他の画素 103 においては、データ配線 101 と走査配線 102 との間の容量は (Cp × Cd) / (Cp + Cd) となる (Cp, Cd)。

【0043】このように、負方向駆動を行う場合において、走査配線 102 - i 上の全ての画素 103 を点灯させる場合には、電圧 Vm が印加されるデータ配線 101 が存在しないことから、電圧 Vm のラインにはほとんど負荷がかからない。一方、選択された走査配線 102 - i については、走査配線 102 - i 上の全ての画素 103 に電荷を供給しなければならないことから、電圧 Vth + Vm のラインにかかる負荷は比較的大きくなる。

【0044】図 7 は、正方向駆動において、選択された走査配線 102 - i 上の全ての画素 103 が非点灯状態と

された場合における無機 EL パネル 100 の部分等価回路図である。

【0045】図 7 に示すように、正方向駆動において走査配線 102 - i 上の全ての画素 103 を非点灯とする場合、走査配線 102 - i に電圧 - Vth を印加することによってこれを選択状態とし、且つ、全てのデータ配線 101₁ ~ 101_n にグランド電位 (GND) を印加する。選択されない他の走査配線 102 はフローティング状態 (HiZ) とされる。これにより、走査配線 102 - i 上の全ての画素 103 のみならず、全ての画素 103 について、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth 未満となることから、いかなる画素 103 も発光しない。

【0046】このように、正方向駆動を行う場合において、走査配線 102 - i 上の全ての画素 103 を非点灯とする場合には、電圧 Vm が印加されるデータ配線 101 が存在しないことから、電圧 Vm のラインにはほとんど負荷がかからない。しかも、選択された走査配線 102 - i 上の各画素 103 においては、データ配線 101 と走査配線 102 との間の容量が小さく、且つ、両端間の電圧も小さいことから、電圧 - Vth のラインにかかる負荷は比較的小さくなる。

【0047】また、図示しないが、負方向駆動において走査配線 102 - i 上の全ての画素 103 を非点灯とする場合、走査配線 102 - i に電圧 Vth + Vm を印加することによってこれを選択状態とし、且つ、全てのデータ配線 101₁ ~ 101_n に電圧 Vm を印加する。選択されない他の走査配線 102 はフローティング状態 (HiZ) とされる。これにより、走査配線 102 - i 上の全ての画素 103 のみならず、全ての画素 103 について、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth 未満となることから、いかなる画素 103 も発光しない。

【0048】このように、負方向駆動を行う場合において、走査配線 102 - i 上の全ての画素 103 を非点灯とする場合には、全てのデータ配線 101₁ ~ 101_n の電圧が Vm であり、これらの間に電位差が存在しないことから、データ配線 101 間に形成されるパスに電流が流れることはない。したがって、この場合、電圧 Vm のラインにかかる負荷は比較的小さい。一方、選択された走査配線 102 - i 上の各画素 103 においては、データ配線 101 と走査配線 102 との間の容量が小さく、且つ、両端間の電圧も小さいことから、電圧 Vth + Vm のラインにかかる負荷は比較的小さい。

【0049】図 8 は、正方向駆動において、選択された走査配線 102 - i 上の画素 103 のうち、データ配線 101_{2j} (j は、1 ~ n/2 の整数) に対応する画素 103 が点灯状態とされ、その他のデータ配線 101_{2j-1} に対応する画素 103 が非点灯状態とされた場合における無機 EL パネル 100 の部分等価回路図であ

る。尚、図 8 においても、点灯（発光）している画素 103 には丸印が付されており、選択された走査配線 102 - i 上の画素 103 が一つおきに点灯状態となっていることが分かる。このような点灯パターンは、「チェッカーパターン」と呼ばれることがある。

【0050】図 8 に示すように、正方向駆動においてチェッカーパターンを表示させる場合、走査配線 102 - i に電圧 - Vth を印加することによってこれを選択状態とし、且つ、データ配線 101_{2j} に電圧 Vm、データ配線 101_{2j-1} にグランド電位（GND）を印加する。選択されない他の走査配線 102 はフローティング状態（HiZ）とする。これにより、走査配線 102 - i 上の画素 103 のうち、電圧 Vm が印加されているデータ配線 101_{2j} に対応する画素 103 については、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth + Vm となってしきい値 Vth を超えることから発光し、その他の画素 103 については、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth 未満となることから発光しない。

【0051】また、図示しないが、負方向駆動においてチェッカーパターンを表示させる場合には、走査配線 102 - i に電圧 Vth + Vm を印加することによってこれを選択状態とし、且つ、データ配線 101_{2j} にグランド電位（GND）、データ配線 101_{2j-1} に電圧 Vm を印加する。これにより、走査配線 102 - i 上の画素 103 のうち、グランド電位（GND）が印加されているデータ配線 101_{2j} に対応する画素 103 については、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth + Vm となってしきい値 Vth を超えることから発光し、その他の画素 103 については、対応するデータ配線 101 と走査配線 102 との間の電圧が Vth 未満となることから発光しない。

【0052】このように、選択された走査配線 102 上の画素 103 を全て点灯或いは全て非点灯とする以外の場合においては、電圧 Vm が印加されるデータ配線 101 とグランド電位（GND）が印加されるデータ配線 101 とが混在することから、データ配線 101₁ ~ 101_n 間に電位差が生じる。これにより、図 8 に示すように、非選択状態となっている走査配線 102 を介したパスに電流 I が流れ、画素 103 の容量成分 $(C_p \times C_d) / (C_p + C_d)$ が充電される。かかる電流 I は、電圧 Vm が印加されるデータ配線 101 の数とグランド電位（GND）が印加されるデータ配線 101 の数が近いほど大きくなるため、チェッカーパターンのように、点灯状態とされる画素 103 の数と非点灯状態とされる画素 103 の数が等しい場合、電流 I は最大となる。

【0053】したがって、電圧 Vm のラインにかかる負荷は、点灯状態とされる画素 103 の数と非点灯状態とされる画素 103 の数が近いほど大きくなり、チェッカーパターンのように、点灯状態とされる画素 103 の数

と非点灯状態とされる画素の数が等しい場合には最大となる。ここで、上記電流 I は、画素 103 の容量成分 $(C_p \times C_d) / (C_p + C_d)$ に対する充電電流であることから、無機 EL パネル 100 の表示面積に比例して大きくなる。一方、電圧 - Vth のライン及び電圧 Vth + Vm のラインにかかる負荷は、点灯状態とされる画素 103 の数に比例して増大する。

【0054】図 9 は、点灯状態とされる画素の割合と各電圧ラインにかかる負荷との関係を模式的に示すグラフであり、(a) は点灯状態とされる画素の割合と電圧ライン - Vth 及び電圧ライン Vth + Vm にかかる負荷との関係を示しており、(b) は点灯状態とされる画素の割合と電圧ライン Vm にかかる負荷との関係を示している。

【0055】図 9 (a) に示すように、ロウ側に対応する電圧ライン - Vth 及び電圧ライン Vth + Vm にかかる負荷は、点灯状態とされる画素の割合に実質的に比例して増大する。したがって、選択された走査配線 102 上の全ての画素 103 が非点灯となっている場合に負荷は最小となり、選択された走査配線 102 上の全ての画素 103 が点灯されている場合に負荷は最大となる。

【0056】一方、図 9 (b) に示すように、カラム側に対応する電圧ライン Vm にかかる負荷は、選択された走査配線 102 上の画素 103 のうち、点灯状態とされる画素の割合が 50 % である場合に最大となり、50 % から離れるにしたがって負荷は低減する。ここで、正方向駆動がされる場合には、選択された走査配線 102 上の全ての画素 103 が非点灯となっている場合において負荷はほとんどゼロとなり、負方向駆動がされる場合には、選択された走査配線 102 上の全ての画素 103 が点灯されている場合において負荷はほとんどゼロとなる。

【0057】また、ロウ側に対応する電圧ライン - Vth 及び電圧ライン Vth + Vm にかかる負荷、並びに、カラム側に対応する電圧ライン Vm にかかる負荷は、いずれも無機 EL パネル 100 が大きいほど重くなるが、ロウ側に対応する電圧ライン - Vth 及び電圧ライン Vth + Vm にかかる負荷は、選択された走査配線 102 において発生するため実質的に無機 EL パネル 100 の幅に比例して増大する一方、カラム側に対応する電圧ライン Vm にかかる負荷は、上述のとおり無機 EL パネル 100 の表示面積に比例して増大することから、無機 EL パネル 100 が大型であるほど、電圧ライン Vm にかかる負荷の方が電圧ライン - Vth 及び電圧ライン Vth + Vm にかかる負荷よりも大きくなる傾向がある。このため、ほとんどの場合、電圧ライン Vm にかかる負荷の方が電圧ライン - Vth 及び電圧ライン Vth + Vm にかかる負荷よりも大きくなる。

【0058】次に、本実施態様にかかる無機 EL ディスプレイ装置を特徴づける電源装置 200 の具体的な構成

について詳述する。

【0059】図10は、本実施態様にかかる電源装置200の回路図である。

【0060】図10に示すように、本実施態様にかかる電源装置200は、入力端子201に供給される直流電圧 V_{in} を変圧して、出力端子202～208にそれぞれ電圧 $V_{th}+V_m$ 、 V_m 、 $-V_{th}$ 、 RV_{DD} 、 RV_{SS} 、 CV_{DD} 及び CV_{SS} を発生させる装置であり、1次巻線211及び2次巻線212～216を有するトランス210と、トランス210の1次側に設けられたスイッチング素子231及びこれを制御する制御回路232と、トランス210の2次側に設けられた出力回路群と、制御回路232にのこぎり波CTを供給するのこぎり波生成回路270と、電圧 V_m のライン（出力端子203）に生じている負荷の状態を判別する負荷状態判別回路280と、負荷状態に応じて電圧 $-V_{th}$ のライン（出力端子204）にかかる負荷を調整する調整回路290-1とを備えている。

【0061】トランス210の2次側に設けられた出力回路群は、アノードが2次巻線212の一端に接続されカソードが出力端子202に接続されたダイオード250と、アノードが2次巻線212の他端（2次巻線213の一端）に接続されカソードが出力端子203に接続されたダイオード251と、アノードが出力端子204に接続されカソードが2次巻線214の一端に接続されたダイオード252と、アノードが2次巻線215の一端に接続されカソードが出力端子205に接続されたダイオード253と、アノードが2次巻線216の一端に接続されカソードが出力端子207に接続されたダイオード254と、出力端子202と2次巻線213の他端（2次巻線214の他端、GND）との間に接続されたコンデンサ255と、出力端子203と2次巻線213の他端（2次巻線214の他端、GND）との間に接続されたコンデンサ256と、出力端子204と2次巻線213の他端（2次巻線214の他端、GND）との間に接続されたコンデンサ257と、出力端子205と出力端子206との間に接続されたコンデンサ258と、出力端子207と出力端子208との間に接続されたコンデンサ259とを備えている。

【0062】これにより、ダイオード250及びコンデンサ255、ダイオード251及びコンデンサ256、並びに、ダイオード252及びコンデンサ257は、それぞれ出力電圧 $V_{th}+V_m$ 、 V_m 及び $-V_{th}$ 用の出力回路を構成し、ダイオード253及びコンデンサ258は出力電圧 RV_{DD} 及び RV_{SS} 用の出力回路を構成し、ダイオード254及びコンデンサ259は出力電圧 CV_{DD} 及び CV_{SS} 用の出力回路を構成している。

【0063】制御回路232は、電圧 $-V_{th}$ が供給される入力端子232aと、のこぎり波CTが供給される入力端子232bと、PWM信号231aを出力する出

力端子232cとを有し、入力端子232aに供給される電圧 $-V_{th}$ を受けて、これが安定するように、PWM信号231aのパルス幅を調整する。

【0064】図11は、制御回路232の具体的な回路構成の一例を示す回路図である。

【0065】図11に示す例による制御回路232は、誤差アンプ301と、ホトカブラ302と、抵抗303～307と、コンデンサ308と、コンパレータ309とを備えている。

【0066】誤差アンプ301は、反転入力端子（-）、非反転入力端子（+）及び出力端子を備えており、反転入力端子（-）には電圧 $-V_{th}$ を抵抗303及び304によって分圧した電圧が供給され、非反転入力端子（+）には基準電圧 V_{ref} が供給されている。また、誤差アンプ301の反転入力端子（-）と出力端子との間には、抵抗305及びコンデンサ308が並列に接続されている。ここで、基準電圧 V_{ref} は、電圧 $-V_{th}$ が目標電圧に一致している場合において、抵抗303及び304の分圧によって得られる電圧に相当する。したがって、誤差アンプ301は、実際の電圧 $-V_{th}$ が目標電圧に比べて高ければ高いほどその出力レベルを低下させ、逆に、実際の電圧 $-V_{th}$ が目標電圧に比べて低ければ低いほどその出力レベルを上昇させる。また、誤差アンプ301の応答性は、反転入力端子（-）と出力端子との間に接続された抵抗305及びコンデンサ308によって制限されており、これによって電圧 $-V_{th}$ の異常発振等が防止されている。

【0067】ホトカブラ302は、トランス210の1次側と2次側を絶縁しながら、2次側に属する誤差アンプ301の出力を1次側に伝達する役割を果たし、発光側素子302aは抵抗306を介して与えられる2次側電源 V_{cc2} によって動作し、受光側素子302bは抵抗307を介して与えられる1次側電源 V_{cc1} によって動作する。

【0068】コンパレータ309は、反転入力端子（-）、非反転入力端子（+）及び出力端子を備えており、反転入力端子（-）には入力端子232bを介してのこぎり波CTが供給され、非反転入力端子（+）にはホトカブラ302の受光側素子302bと抵抗307の接続点から取り出されるフィードバック信号FBが供給される。コンパレータ309の出力端子は、出力端子232cに接続されており、その出力信号であるPWM信号231aはスイッチング素子231に供給される。

【0069】図12は、コンパレータ309により生成されるPWM信号231aの波形図である。

【0070】図12に示すように、コンパレータ309により生成されるPWM信号231aは、フィードバック信号FBのレベルの方がのこぎり波CTのレベルよりも高い場合にはハイレベルとなり、逆に、のこぎり波CTのレベルの方がフィードバック信号FBのレベルより

も高い場合にはローレベルとなる。ここで、のこぎり波 C T の波形は常に一定に保たれることから、PWM 信号 231 a のデューティは、フィードバック信号 F B のレベルが高ければ高いほど大きくなり、フィードバック信号 F B のレベルが低ければ低いほど小さくなる。これにより、実際の電圧 - V t h が目標値に近づくように、スイッチング素子 231 の動作が制御される。

【0071】図13は、負荷状態判別回路280の回路構成を示す回路図である。

【0072】図13に示すように、負荷状態判別回路280は、コントローラ150より供給されるカラム選択信号 C_select 及びロウ選択信号 R_select を受けるカウンタ281と、カウンタ281のカウント値 C O U N T に基づいて選択信号 d a m 1 ~ d a m 3 のいずれかを活性化させる判別回路282とを備えている。

【0073】カウンタ281は、カラム選択信号 C_select に含まれるビット「1」の数をカウントする回路であり、そのカウント値 C O U N T はロウ選択信号 R_select が活性化するたびにリセットされる。カウントの方法としては特に限定されず、例えば、カラム選択信号 C_select が1ビットずつ供給される場合には、値が「1」であるビットが供給されるたびにカウント値 C O U N T をインクリメントすればよい。カウンタ281による最大カウント値はデータ配線の本数と一致しており、その値は n である。すなわち、カウンタ281のカウント値 C O U N T は、現在選択されている走査配線における点灯画素（又は非点灯画素）の数を表している。

【0074】カウンタ281のカウント値 C O U N T は判別回路282に供給され、判別回路282はこれを受けて選択信号 d a m 1 ~ d a m 3 のいずれかを活性化させる。その基準としては、カウント値 C O U N T が 0 又はその近傍である場合及び n 又はその近傍である場合には選択信号 d a m 1 を活性化させ、カウント値 C O U N T が $n/2$ 又はその近傍である場合には選択信号 d a m 3 を活性化させ、これらのいずれにも該当しない場合には選択信号 d a m 2 を活性化させる。いずれの選択信号が活性化するかは、図14に示すように、カラム側に対応する電圧 V m のライン（出力端子 203）にかかる負荷の状態と一致しており、電圧 V m のラインにかかる負荷が小さい場合（領域1又は領域5）には選択信号 d a m 1 が活性化し、電圧 V m のラインにかかる負荷が大きい場合（領域3）には選択信号 d a m 3 が活性化し、電圧 V m のラインにかかる負荷がその中間である場合（領域2又は領域4）には選択信号 d a m 2 が活性化することになる。

【0075】判別回路282の具体的な構成としては、上述した基準に基づいて選択信号 d a m 1 ~ d a m 3 のいずれかを活性化させることが可能であれば、本発明において特に限定されるものではないが、以下、その具体

例についていくつか説明する。

【0076】図15は、判別回路282の具体的な回路構成の一例を示す回路図である。本例による判別回路282は、カウント値 C O U N T の最大数（n）がいかなる数値であるかに関わらず適用可能な汎用性の高い回路である。

【0077】図15に示す例による判別回路282は、4つの比較回路283 a ~ 283 d とこれら比較回路283 a ~ 283 d の出力に基づいて選択信号 d a m 1 ~ d a m 3 のいずれかを活性化させる論理回路284からなる。これら4つの比較回路283 a ~ 283 d のうち、比較回路283 a には図14に示す領域1と領域2との境界を規定する数（例えば、 $n/6$ ）が格納され、比較回路283 b には図14に示す領域2と領域3との境界を規定する数（例えば、 $n/3$ ）が格納され、比較回路283 c には図14に示す領域3と領域4との境界を規定する数（例えば、 $2n/3$ ）が格納され、比較回路283 d には図14に示す領域4と領域5との境界を規定する数（例えば、 $5n/6$ ）が格納されており、これら比較回路283 a ~ 283 d は、カウンタ281より供給されるカウント値 C O U N T と格納された値とを比較し、その結果に基づいてそれぞれの出力の論理レベルを決定する。例えば、カウント値 C O U N T が格納されている値よりも大きければ、その出力をハイレベルとする。

【0078】したがって、上記の例においては、カウント値 C O U N T が $n/2$ であれば比較回路283 a 及び283 b の出力はハイレベル、比較回路283 c 及び283 d の出力はローレベルとなり、カウント値 C O U N T が $3n/4$ であれば比較回路283 a 乃至283 c の出力はハイレベル、比較回路283 d の出力はローレベルとなる。

【0079】そして論理回路284は、これら4つの比較回路283 a ~ 283 d からの出力を受け、このうちハイレベルとなっている信号の数に応じて選択信号 d a m 1 ~ d a m 3 のいずれかを活性化させる。具体的には、4つの比較回路283 a ~ 283 d からの出力のうちハイレベルとなっている信号の数が「0」又は「4」である場合には選択信号 d a m 1 を活性化し、「1」又は「3」である場合には選択信号 d a m 2 を活性化し、「2」である場合には選択信号 d a m 3 を活性化する。

【0080】以上の構成により、図15に示す例による判別回路282においては、電圧 V m のラインにかかる負荷が領域1又は領域5である場合には選択信号 d a m 1 を活性化させ、電圧 V m のラインにかかる負荷が領域2又は領域4である場合には選択信号 d a m 2 を活性化させ、電圧 V m のラインにかかる負荷が領域3である場合には選択信号 d a m 3 を活性化させることができる。

【0081】図16(a)は、判別回路282の具体的な回路構成の他の例を示す回路図である。本例による判

別回路282は、カウント値COUNTの最大数(n)が2のべき乗またはこれに近い数である場合に有効な回路であり、非常に簡単な回路構成を有している。

【0082】図16(a)に示す例による判別回路282は、排他的論理和(EXOR)回路285~287と、否定論理和(NOR)回路288と、論理積(AND)回路289とを備えている。また、図16(a)に示すように、排他的論理和(EXOR)回路285にはカウント値COUNTの最上位ビット(bit1=MSB)及び上位2ビット目(bit2)が供給され、排他的論理和(EXOR)回路286にはカウント値COUNTの最上位ビット(bit1)及び上位3ビット目(bit3)が供給されており、これら排他的論理和(EXOR)回路285及び286の出力は、排他的論理和(EXOR)回路287、否定論理和(NOR)回路288及び論理積(AND)回路289に対して共通に供給されている。

【0083】本例による判別回路282の真理値表は図16(b)に示すとおりであり、bit1~bit3が「000」である場合(カウント値COUNT<n/8)又は「111」である場合(カウント値COUNT>n7/8)には選択信号dam1がハイレベル(活性化状態)となり、bit1~bit3が「001」又は「010」である場合(n/8<カウント値COUNT<3n/8)や、bit1~bit3が「101」又は「110」である場合(5n/8<カウント値COUNT<7n/8)には選択信号dam2がハイレベル(活性化状態)となり、bit1~bit3が「011」又は「100」である場合(3n/8<カウント値COUNT<5n/8)には選択信号dam3がハイレベル(活性化状態)となる。

【0084】以上の構成により、図16(a)に示す例による判別回路282においても、電圧Vmのラインにかかる負荷が領域1又は領域5である場合には選択信号dam1を活性化させ、電圧Vmのラインにかかる負荷が領域2又は領域4である場合には選択信号dam2を活性化させ、電圧Vmのラインにかかる負荷が領域3である場合には選択信号dam3を活性化させることができる。

【0085】図17は、調整回路290-1の回路図である。

【0086】図17に示すように、調整回路290-1は互いに抵抗値の異なるダミー抵抗291~293及びこれらダミー抵抗291~293にそれぞれ対応して設けられたスイッチ294~296によって構成され、これにより、出力端子204とグランド電位(GND)間にはダミー抵抗291及びスイッチ294からなる直列体、ダミー抵抗292及びスイッチ295からなる直列体、並びに、ダミー抵抗293及びスイッチ296からなる直列体が並列接続されている。ダミー抵抗291~

293の具体的な抵抗値としては特に限定されないが、ダミー抵抗291~293の抵抗値をそれぞれR291~R293とした場合、R291>R292>R293に設定される。

【0087】また、スイッチ294~296にはそれぞれ選択信号dam1~dam3が供給されており、対応する選択信号が活性状態となると導通する。したがって、出力端子204とグランド電位(GND)との間の抵抗値は、選択信号dam1が活性状態となっている場合にはR291となり、選択信号dam2が活性状態となっている場合にはR292となり、選択信号dam3が活性状態となっている場合にはR293となる。換言すれば、出力端子204とグランド電位(GND)との間の抵抗値は、電圧Vmのラインにかかる負荷が領域1又は領域5である場合には「大」、電圧Vmのラインにかかる負荷が領域2又は領域4である場合には「中」、電圧Vmのラインにかかる負荷が領域3である場合には「小」となる。

【0088】以上が本実施態様にかかる電源装置200の構成である。本実施態様においては、かかる構成により、電圧Vmのライン(出力端子203)にかかる負荷が大きいほど出力端子204とグランド電位(GND)との間の抵抗値が下げられ、これによりスイッチング素子231のオン時間がより長くなることから、負荷状態の変動による電圧Vmのライン(出力端子203)の電圧低下が効果的に抑制される。このため、画素103の輝度を所望のレベルに保つことが可能となる。

【0089】次に、コントローラ150の動作について説明する。

【0090】コントローラ150は、無機ELディスプレイ装置全体の動作を制御する回路であり、外部より供給されるビデオ信号を受け、これに基づいてカラム選択信号C_select及びロウ選択信号R_selectを生成するほか、カラム電圧制御回路130の動作タイミングを制御するためのタイミング信号Vm_charge、Vm_discharge、Vm/2_charge及びVm/2_discharge、並びに、ロウ電圧制御回路140の動作タイミングを制御するためのタイミング信号P_charge、P_discharge、N_charge及びN_dischargeを生成する。コントローラ150により生成される各種信号のうち、カラム電圧制御回路130の動作タイミングを制御するためのタイミング信号及びロウ電圧制御回路140の動作タイミングを制御するためのタイミング信号の波形については、後述する。

【0091】カラム選択信号C_selectは、カラムドライバ110及び電源装置200に供給される信号であり、カラムドライバ110は、カラム選択信号C_selectに基づいて、n本のデータ配線101₁~101_nの中から、点灯させるべき画素103に対応するデータ配線101を選択状態とする。尚、選択状態とされたデータ配線101には、上述のとおり、正方向駆動において

は電圧 V_m が印加され、負正方向駆動においてはグラウンド電位（ GND ）が印加される。一方、ロウ選択信号 R_select は、ロウドライバ120に供給される信号であり、ロウドライバ120は、ロウ選択信号 R_select に基づいて、 m 本の走査配線 $102_1 \sim 102_m$ を次々と選択状態（スキャン）する。尚、選択状態とされた走査配線102には、上述のとおり、正方向駆動においては電圧 $-V_{th}$ が印加され、負正方向駆動においては電圧 $V_{th} + V_m$ が印加される。

【0092】図18は、カラム電圧制御回路130及びカラムドライバ110の具体的構成を示す回路図である。

【0093】図18に示すように、カラム電圧制御回路130は、スイッチ131a～131dと、ダイオード132a～132dと、コンデンサ133と、インダクタ134とによって構成される。スイッチ131a～131dの制御電極には、それぞれタイミング信号 $V_m/2_charge$ 、 $V_m/2_discharge$ 、 V_m_charge 及び $V_m_discharge$ が供給されており、スイッチ131a～131dは、それぞれ対応するタイミング信号がハイレベルとなった場合に導通状態となり、ローレベルとなった場合に非導通状態となる。

【0094】図18に示すように、スイッチ131aの一端及びスイッチ131bの一端は、コンデンサ133の一端に共通接続されており、コンデンサ133の他端にはグラウンド電位（ GND ）が与えられる。また、スイッチ131aの他端はダイオード132aのアノードに接続されており、スイッチ131bの他端はダイオード132bのカソードに接続されている。ダイオード132aのカソードとダイオード132bのアノードは、接点Aに共通接続されている。一方、スイッチ131cの一端及びスイッチ131dの一端には、それぞれ電圧 V_m 及びグラウンド電位（ GND ）が与えられる。スイッチ131c及びスイッチ131dの他端は、共通接続されてパルス電圧 V_mD の出力端となり、かかるパルス電圧 V_mD は、図18に示すようにカラムドライバ110に供給される。

【0095】また、インダクタ134は、接点Aとパルス電圧 V_mD の出力端との間に接続されている。さらに、ダイオード132cのアノード及びダイオード132dのカソードは、接点Aに共通に接続されており、ダイオード132cのカソードには電圧 V_m が与えられ、ダイオード132dのアノードにはグラウンド電位（ GND ）が与えられる。インダクタ134は、無機ELパネル100が有する負荷容量との共振を行うことによって、かかる負荷容量を効率的に充放電するために用いられている。

【0096】このような構成を有するカラム電圧制御回路130においては、タイミング信号 $V_m/2_charge$ 、 $V_m/2_discharge$ 、 V_m_charge 及び $V_m_discharge$

に基づいてスイッチ131a～131dが順次導通状態とされ、これによりパルス電圧 V_mD は、グラウンド電位（ GND ）から電圧 V_m までの振幅をもったパルス波形となる。

【0097】また、図18に示すように、カラムドライバ110は、カラム電圧制御回路130より供給されるパルス電圧 V_mD とグラウンド電位（ GND ）との間に接続されたスイッチ111a₁～111a_n及びスイッチ111b₁～111b_nからなる n 本の直列回路と、これらスイッチの動作を制御する制御回路112とを備えており、各スイッチの接続点がそれぞれ対応するデータ配線101₁～101_nとなる。制御回路112は、電源装置200より供給される電圧 C_VDD 及び C_VSS を電源として動作する論理回路であり、カラム選択信号 C_select に基づき、カラム電圧制御回路130の動作と同期して、スイッチ111a₁～111a_n及びスイッチ111b₁～111b_nのオン/オフを制御する。

【0098】かかる制御においては、各直列回路を構成する2つのスイッチの一方が導通状態、他方が非導通状態となり、これにより、各データ配線101には、パルス電圧 V_mD 及びグラウンド電位（ GND ）のいずれか一方が供給されることになる。具体的には、正方向駆動される場合、点灯させるべき画素103に対応するデータ配線101にはパルス電圧 V_mD 、非点灯とすべき画素103に対応するデータ配線101にはグラウンド電位（ GND ）が供給され、逆に、負方向駆動される場合には、点灯させるべき画素103に対応するデータ配線101にはグラウンド電位（ GND ）、非点灯とすべき画素103に対応するデータ配線101にはパルス電圧 V_mD が供給される。

【0099】図19は、カラム電圧制御回路130及びカラムドライバ110の動作を示すタイミング図である。

【0100】図19に示すように、まず、タイミング信号 $V_m/2_charge$ がハイレベルとされ、これによりスイッチ131aが導通すると、コンデンサ133に充電されていた電荷がスイッチ131a、ダイオード132a及びインダクタ134を介してカラムドライバ110に供給される。これにより、パルス電圧 V_mD 側に接続されたスイッチ111a₁～111a_nのうち、導通状態となっているスイッチに対応する画素103のもつ容量（パネル容量）とインダクタ134とが共振し、コンデンサ133が放電されるとともに、パネル容量が充電される。

【0101】次に、このような共振の終了とほぼ同時にタイミング信号 $V_m/2_charge$ がローレベル、タイミング信号 V_m_charge がハイレベルとされ、これによりスイッチ131cが導通すると、パルス電圧 V_mD は電圧 V_m にクランプされてパネル容量の充電が完了する。

【0102】かかる充電完了から数 μsec ～数十 μs

e c 経過後、今度は、充電したパネル容量を放電すべく、タイミング信号 V_m_charge がローレベル、タイミング信号 $V_m / 2_discharge$ がハイレベルとされ、これによりスイッチ 131b が導通すると、パネル容量に充電されていた電荷がインダクタ 134、ダイオード 132b 及びスイッチ 131b を介してコンデンサ 133 に戻る。これにより、パネル容量とインダクタ 134 とが共振し、パネル容量が放電されるとともに、コンデンサ 133 が充電される。

【0103】そして、このような共振の終了とほぼ同時にタイミング信号 $V_m / 2_discharge$ がローレベル、タイミング信号 $V_m_discharge$ がハイレベルとされ、これによりスイッチ 131d が導通すると、パルス電圧 $V_m D$ はグラウンド電位 (GND) にクランプされて、パネル容量の放電が完了する。

【0104】カラム電圧制御回路 130 側においては、このような動作が繰り返されることによって、電圧 V_m からグラウンド電位 (GND) までの振幅をもったパルス電圧 $V_m D$ が生成される。

【0105】一方、カラムドライバ 110 側においては、図 19 に示すように、カラム電圧制御回路 130 の動作に同期して制御回路 112 の出力内容が変更される。したがって、各データ配線 101 の電圧は、対応する直列回路を構成する 2 つのスイッチのうち、パルス電圧 $V_m D$ 側のスイッチが導通している場合には V_m となり、グラウンド電位 (GND) 側のスイッチが導通している場合にはグラウンド電位 (GND) となる。

【0106】図 20 は、ロウ電圧制御回路 140 及びロウドライバ 120 の具体的構成を示す回路図である。

【0107】図 20 に示すように、ロウ電圧制御回路 140 は、スイッチ 141a ~ 141d と、ダイオード 142a ~ 142d と、インダクタ 143a 及び 143b とによって構成される。スイッチの制御電極には、それぞれ P_charge 、 $P_discharge$ 、 N_charge 及び $N_discharge$ が供給されており、スイッチ 141a ~ 141d は、それぞれ対応するタイミング信号がハイレベルとなった場合に導通状態となり、ローレベルとなった場合に非導通状態となる。

【0108】図 20 に示すように、スイッチ 141a ~ 141d は、電圧 $V_{th} + V_m$ が供給される端子と電圧 $-V_{th}$ が供給される端子との間に直列接続されており、同様に、ダイオード 142a ~ 142d も、電圧 $V_{th} + V_m$ が供給される端子と電圧 $-V_{th}$ が供給される端子との間に直列接続されている。ダイオード 142a のアノードとダイオード 142b のカソードとの接続点はパルス電圧 V_{SP} の出力端となり、ダイオード 142c のアノードとダイオード 142d のカソードとの接続点はパルス電圧 V_{SN} の出力端となる。これらパルス電圧 V_{SP} 及びパルス電圧 V_{SN} は、いずれもロウドライバ 120 に供給される。

【0109】また、インダクタ 143a は、スイッチ 141a 及びスイッチ 141b の共通接続点とパルス電圧 V_{SP} の出力端との間に接続されており、インダクタ 143b は、スイッチ 141c 及びスイッチ 141d の共通接続点とパルス電圧 V_{SN} の出力端との間に接続されている。さらに、ダイオード 142c のアノード及びダイオード 142d のカソードにはグラウンド電位 (GND) が与えられる。

【0110】このような構成を有するロウ電圧制御回路 140 においては、タイミング信号 P_charge 、 $P_discharge$ 、 $N_discharge$ 及び N_charge に基づいてスイッチ 141a ~ 141d が順次導通状態とされ、これによりパルス電圧 V_{SP} は、グラウンド電位 (GND) から電圧 $V_{th} + V_m$ までの振幅をもったパルス波形となり、パルス電圧 V_{SN} は、電圧 $-V_{th}$ からグラウンド電位 (GND) までの振幅をもったパルス波形となる。

【0111】また、図 20 に示すように、ロウドライバ 120 は、ロウ電圧制御回路 140 より供給されるパルス電圧 V_{SP} と V_{SN} との間に接続されたスイッチ 121a₁ ~ 121a_m 及びスイッチ 121b₁ ~ 121b_m からなる m 本の直列回路と、これらスイッチの動作を制御する制御回路 122 とを備えており、各スイッチの接続点がそれぞれ対応する走査配線 102₁ ~ 102_m となる。制御回路 122 は、電源装置 200 より供給される電圧 R_{VDD} 及び R_{VSS} を電源として動作する論理回路であり、ロウ選択信号 R_select に基づき、ロウ電圧制御回路 140 の動作と同期して、スイッチ 121a₁ ~ 121a_m 及びスイッチ 121b₁ ~ 121b_m のオン/オフを制御する。

【0112】かかる制御においては、選択された走査配線 102 に対応する直列回路の一方のスイッチが導通状態、他方が非導通状態となり、これにより、選択された走査配線 102 には、パルス電圧 $V_{th} + V_m$ 及びパルス電圧 $-V_{th}$ のいずれか一方が供給されることになる。具体的には、正方向駆動される場合、選択された走査配線 102 にはパルス電圧 $V_{th} + V_m$ が供給され、逆に、負方向駆動される場合、選択された走査配線 102 にはパルス電圧 $-V_{th}$ が供給される。また、非選択となるその他の走査配線 102 に対応する直列回路については、両方のスイッチが非導通状態となり、これにより、非選択となる走査配線 102 はハイインピーダンス状態 (HiZ) となる。

【0113】ロウ電圧制御回路 140 及びロウドライバ 120 の動作は、正方向駆動と負方向駆動の切り替えをどのように行うか、すなわち、ロウ側の駆動方法によって異なる。ロウ側の駆動方法としては特に限定されないが、最初のフレームにおいては奇数番号が割り当てられた走査配線 102 を正方向駆動、偶数番号が割り当てられた走査配線 102 を負方向駆動し、逆に、次のフレームにおいては奇数番号が割り当てられた走査配線 102

を負方向駆動、偶数番号が割り当てられた走査配線102を正方向駆動する方法(第1の駆動方法)、最初のフレームにおいては全ての走査配線102を正方向駆動し、次のフレームにおいては全ての走査配線102を負方向駆動する方法(第2の駆動方法)、さらには、最初のフレームにおいては連続する数本の走査配線102ごとに正方向駆動・負方向駆動を切り替え、次のフレームにおいては、先のフレームで正方向駆動した組を負方向駆動し、先のフレームで負方向駆動した組を正方向駆動する方法(第3の駆動方法)等を用いることができる。

【0114】第1の駆動方法を用いた場合、正方向駆動と負方向駆動がスキャンごとに切り替えられることから、電圧 $V_{th} + V_m$ のラインにかかる負荷と電圧 $-V_{th}$ のラインにかかる負荷とが短い単位時間内において均等となり、電源装置200のコンデンサ255、257の容量を小さくできるとともに、スイッチング素子231のスイッチング周波数を低く設定することが可能となる。但し、正方向駆動と負方向駆動がスキャンごとに切り替えられることから、無機ELパネル100自体の振動周波数が高くなり、可聴ノイズが目立つ場合もある。

【0115】一方、第2の駆動方法を用いた場合、正方向駆動と負方向駆動がフレームごとに切り替えられることから、無機ELパネル100自体の振動周波数が低く、可聴ノイズが抑制される。但し、1フレーム中において、電圧 $V_{th} + V_m$ のライン及び電圧 $-V_{th}$ のラインの一方からの電力を消費し続け、他方の電力はほとんど消費しないことから、場合によっては、コンデンサ255、257の容量を大きくしたり、スイッチング素子231のスイッチング周波数を高く設定する必要がある。

【0116】このように、第1の駆動方法のメリット・デメリットと、第2の駆動方法のメリット・デメリットとは正反対の関係にある。したがって、第1の駆動方法を用いると可聴ノイズが目立つような場合には、第3の駆動方法のように走査配線102を複数本の組に分け、組単位で正方向駆動と負方向駆動を切り替えることが有効である。これによれば、コンデンサ255、257の容量をある程度小さく設定し、且つ、スイッチング素子231のスイッチング周波数をある程度低く設定し、可聴ノイズを抑制することが可能となる。

【0117】次に、第1の駆動方法を用いた場合におけるロウ電圧制御回路140及びロウドライバ120の動作について説明する。

【0118】図21は、ロウ電圧制御回路140及びロウドライバ120の動作を示すタイミング図である。

【0119】図21に示すように、まず、タイミング信号 P_{charge} がハイレベルとされ、これによりスイッチ141aが導通すると、電源装置200より供給される電圧 $V_{th} + V_m$ がインダクタ143aを介してパルス

電圧 V_{SP} の出力端に供給される。これにより、パルス電圧 V_{SP} は、電圧 $V_{th} + V_m$ まで上昇する。次に、タイミング信号 P_{charge} がローレベルとされた後、タイミング信号 $P_{discharge}$ がハイレベルとされる。これによりスイッチ141bが導通すると、パルス電圧 V_{SP} の出力端はインダクタ143aを介して接地されることから、パルス電圧 V_{SP} は、グランド電位(GND)まで低下する。

【0120】次に、タイミング信号 N_{charge} がハイレベルとされ、これによりスイッチ141dが導通すると、電源装置200より供給される電圧 $-V_{th}$ がインダクタ143bを介してパルス電圧 V_{SN} の出力端に供給される。これにより、パルス電圧 V_{SN} は、電圧 $-V_{th}$ まで低下する。次に、タイミング信号 N_{charge} がローレベルとされた後、タイミング信号 $N_{discharge}$ がハイレベルとされる。これによりスイッチ141cが導通すると、パルス電圧 V_{SN} の出力端はインダクタ143bを介して接地されることから、パルス電圧 V_{SN} は、グランド電位(GND)まで上昇する。

【0121】ロウ電圧制御回路140側においては、このような動作が繰り返されることによって、グランド電位(GND)から電圧 $V_{th} + V_m$ までの振幅をもったパルス電圧 V_{SP} 及びグランド電位(GND)から電圧 $-V_{th}$ までの振幅をもったパルス電圧 V_{SN} が生成される。ここで、パルス電圧 V_{SP} の有効パルス(電圧 $V_{th} + V_m$ まで上昇した状態)は1スキャンタイミングおきに発生し、同様に、パルス電圧 V_{SN} の有効パルス(電圧 $-V_{th}$ まで低下した状態)も1スキャンタイミングおきに発生する。但し、図21に示すように、パルス電圧 V_{SP} の波形とパルス電圧 V_{SN} の波形とは位相が180度ずれており、パルス電圧 V_{SP} とパルス電圧 V_{SN} の有効パルスが同時に発生することはない。

【0122】一方、ロウドライバ120側においては、図21に示すように、ロウ電圧制御回路140の動作に同期して制御回路122の出力内容が変更される。したがって、選択された走査配線102の電圧は、正方向駆動される場合にあっては対応する直列回路を構成する2つのスイッチのうち、パルス電圧 V_{SP} 側のスイッチが導通状態とされて $V_{th} + V_m$ となり、負方向駆動される場合にあっては対応する直列回路を構成する2つのスイッチのうち、パルス電圧 V_{SN} 側のスイッチが導通状態とされて $-V_{th}$ となる。また、非選択となるその他の走査配線102については、対応する直列回路を構成する2つのスイッチがいずれも非導通状態とされることから、ハイインピーダンス状態となる。

【0123】以下、選択された走査配線102に印加される電圧をスキャン電圧 V_{SCAN} 、所定のデータ配線101上の電圧をモジュレーション電圧 V_{mMOD} と呼び、第1の駆動方法を用いた場合におけるスキャン電圧 V_{SCAN} とモジュレーション電圧 V_{mMOD} との関係

について説明する。

【0124】図22は、第1の駆動方法を用いた場合におけるスキャン電圧VSCANとモジュレーション電圧VmMODとの関係を示すタイミング図である。尚、図22には、パルス電圧VmDの波形が併せて示されている。

【0125】図22に示すように、第1の駆動方法を用いた場合、スキャン電圧VSCANは、パルス電圧VmDの電圧がVmまで上昇するたびに極性が反転する波形となる。この場合、スキャン電圧VSCANがピーク値（電圧Vth+Vmまたは電圧-Vth）となるタイミングは、図22に示すように、パルス電圧VmDのピーク値（電圧Vm）となるタイミングよりも僅かに遅らせることが好ましい（図22においては、かかる遅れを「delay」と表記）。このようにすれば、電源装置200に対する負担を時間的に分散させることができる。

【0126】また、スキャン電圧VSCANの有効パルスが電圧Vth+Vmとなる期間は正方向駆動される期間であり、電圧-Vthとなる期間は負方向駆動される期間である。ここで、図22に示すように、正方向駆動される期間においてモジュレーション電圧VmMODがグランド電位（GND）である場合、並びに、負方向駆動される期間においてモジュレーション電圧VmMODが電圧Vmである場合には、対応する画素103は点灯状態となる。一方、正方向駆動される期間においてモジュレーション電圧VmMODが電圧Vmである場合、並びに、負方向駆動される期間においてモジュレーション電圧VmMODがグランド電位（GND）である場合には、対応する画素103は非点灯状態となる。

【0127】したがって、各データ配線101₁～101_nの電圧をVmまたはグランド電位（GND）に設定することにより、選択された走査配線102上の各画素103を点灯または非点灯とすることができるので、選択する走査配線102を次々に切り替えながら、各データ配線101₁～101_nの電圧をVmまたはグランド電位（GND）に設定することによって、無機ELパネル100上に所望の文字・図形等を表示させることが可能となる。

【0128】このように、本実施態様にかかる無機ELディスプレイ装置においては、電源装置200に負荷状態判別回路280及び調整回路290-1を設けることによって、電圧Vmのライン（出力端子203）にかかる負荷が大きいほど出力端子204とグランド電位（GND）との間の抵抗値を下げていることから、負荷状態の変動による電圧Vmのライン（出力端子203）の電圧低下を効果的に抑制することが可能となる。

【0129】尚、上記実施態様においては、負荷状態判別回路280及び調整回路290-1を用いることにより、電圧Vmのライン（出力端子203）の負荷状態に

基づいて出力端子204とグランド電位（GND）との間の抵抗値を3段階に変化させているが、電圧Vmのライン（出力端子203）の負荷状態をさらに細かく判別することにより上記抵抗値を4段階以上に変化させてより細かい調整を行っても構わないし、逆に、電圧Vmのライン（出力端子203）の負荷状態の判別を2段階とすることにより上記抵抗値の変化を2段階のみとし、回路構成を簡素化しても構わない。

【0130】また、上記実施態様においては、調整回路290-1に含まれるスイッチ294～296のいずれかを導通させることによって各負荷状態に応じた調整を行っているが、負荷状態に応じて複数のスイッチを同時に導通させても構わない。例えば、抵抗291～293の抵抗値を互いに等しく設定し、電圧Vmのラインにかかる負荷が図14に示す領域1又は領域5である場合にはスイッチを1つだけ導通させ、電圧Vmのラインにかかる負荷が図14に示す領域2又は領域4である場合にはスイッチを2つ導通させ、電圧Vmのラインにかかる負荷が図14に示す領域3である場合には全てのスイッチ（3つ）を導通させても構わない。さらに、調整回路290-1内のダミー抵抗として可変抵抗を用い、これによって抵抗値を変化させても構わない。

【0131】さらに、上記実施態様においては、調整回路290-1を出力端子204（電圧-Vthのライン）とグランド電位（GND）間に接続しているが、代わりに、図23に示すように、調整回路290-1と同様の回路構成を有する調整回路290-2を出力端子203（電圧Vmのライン）とグランド電位（GND）間に接続しても構わない。この場合、上記実施態様とは逆に、電圧Vmのラインにかかる負荷が大きいほど出力端子203（電圧Vmのライン）とグランド電位（GND）間の抵抗を大きくし、逆に、電圧Vmのラインにかかる負荷が小さいほど出力端子203（電圧Vmのライン）とグランド電位（GND）間の抵抗を小さくすることによって、負荷状態の変動による電圧Vmのライン（出力端子203）の電圧低下を抑制することができる。

【0132】また、図24に示すように、出力端子204（電圧-Vthのライン）とグランド電位（GND）間に調整回路290-1を設けるとともに、出力端子203（電圧Vmのライン）とグランド電位（GND）間に調整回路290-2を設けても構わない。この場合、調整回路290-1については、上述の通り電圧Vmのラインにかかる負荷が大きいほど出力端子204（電圧-Vthのライン）とグランド電位（GND）間の抵抗を小さくし、調整回路290-2については、電圧Vmのラインにかかる負荷が大きいほど出力端子203（電圧Vmのライン）とグランド電位（GND）間の抵抗を大きくすればよい。

【0133】次に、本発明の好ましい他の実施態様につ

いて説明する。

【0134】図25は、本発明の好ましい他の実施態様にかかる電源装置300の回路図である。図25に示すように、本実施態様にかかる電源装置300は、上記実施態様にかかる電源装置200のうち、データ配線101₁~101_nに印加すべき電圧(V_m)を生成するための部分をその他の部分から分離し、独立させた構成を有する。図25において、上記実施態様にかかる電源装置200と同じ構成要素については同じ符号が付されており、これらについての重複する説明は省略する。

【0135】図25に示すように、本実施態様にかかる電源装置300は、1次巻線221及び2次巻線222を有するトランス220と、トランス220の1次側に設けられたスイッチング素子241及びこれを制御する制御回路242と、トランス220の2次側に設けられた出力回路とを備えている。トランス220の2次側に設けられた出力回路は、アノードが2次巻線222の一端に接続されカソードが出力端子203に接続されたダイオード261と、出力端子203と2次巻線222の他端との間に接続されたコンデンサ262からなり、こ

れらは出力電圧V_m用の出力回路を構成している。また、トランス210の2次巻線212の他端は、配線297を介して出力端子203に接続されている。

【0136】制御回路242は、電圧V_mが供給される入力端子242aと、のこぎり波C_Tが供給される入力端子242bと、PWM信号241aを出力する出力端子242cとを有し、入力端子242aに供給される電圧V_mを受けて、これが安定するように、PWM信号241aのパルス幅を調整する。図25に示すように、制御回路232及び制御回路242には、のこぎり波生成回路270より供給されるのこぎり波C_Tが共通に供給されているため、スイッチング素子231のスイッチング動作及びスイッチング素子241のスイッチング動作は、いずれものこぎり波C_Tに同期したものとなる。尚、制御回路242の具体的な回路としては、図11に示した回路と同様の回路を用いることができる。

【0137】また、本実施態様においては、電圧-V_thのライン(出力端子204)に生じている負荷の状態を判別する負荷状態判別回路380と、負荷状態に応じて電圧-V_thのライン(出力端子204)にかかる負

荷を調整する調整回路290-3とが備えられている。

【0138】負荷状態判別回路380の回路構成としては、図11に示した負荷状態判別回路280と同様の回路構成を用いることができ、これに含まれる判別回路282は、カウンタ281のカウント値COUNTに基づいて選択信号d_am₄~d_am₆のいずれかを活性化させる。その基準としては、カウント値COUNTが0又はその近傍である場合には選択信号d_am₄を活性化させ、カウント値COUNTがn又はその近傍である場合には選択信号d_am₆を活性化させ、これらのいずれに

も該当しない場合には選択信号d_am₅を活性化させる。いずれの選択信号が活性化するかは、図26に示すように、ロウ側に対応する電圧-V_thのライン(出力端子204)にかかる負荷の状態と一致しており、電圧-V_thラインにかかる負荷が小さい場合(領域1又は領域2)には選択信号d_am₄が活性化し、電圧-V_thのラインにかかる負荷が大きい場合(領域4又は領域5)には選択信号d_am₆が活性化し、電圧-V_thのラインにかかる負荷がその中間である場合(領域3)には選択信号d_am₅が活性化することになる。尚、図26に示す領域1~領域5は、図14に示した領域1~領域5に対応している。

【0139】負荷状態判別回路380における判別回路282の具体的な構成としては、上述した基準に基づいて選択信号d_am₄~d_am₆のいずれかを活性化させることが可能であれば、本発明において特に限定されるものではなく、図15を用いて説明したように複数の比較回路283及び論理回路284からなる回路を用いても良いし、図16を用いて説明したようにCOUNT値の上位ビットに基づいて選択信号d_am₄~d_am₆を生成する複数のゲート回路を用いても良い。また、調整回路290-3としては、上述した調整回路290-1と同様の回路を用いることができる。

【0140】以上の構成により、本実施態様にかかる電源装置300においては、電圧-V_thのライン(出力端子204)にかかる負荷が大きいほど出力端子204とグランド電位(GND)との間の抵抗値が下げられ、これによりスイッチング素子231のオン時間がより長くなることから、負荷状態の変動による電圧-V_thのライン(出力端子204)の電圧低下が効果的に抑制される。このため、画素103の輝度を所望のレベルに保つことが可能となる。

【0141】しかも、本実施態様においては、データ配線101₁~101_nに印加すべき電圧(V_m)を生成するための部分がその他の部分から分離し、独立した構成を有していることから、データ配線101₁~101_nに印加すべき電圧(V_m)及び走査配線102₁~101_nに印加すべき電圧(-V_th)の両方をより正確に安定化させることが可能となる。

【0142】さらに、本実施態様においては、制御回路232と制御回路242とは、共通ののこぎり波C_Tを用いていることから、スイッチング素子231のスイッチング動作及びスイッチング素子241のスイッチング動作は、いずれものこぎり波C_Tに同期したものとなる。このため、トランス210の2次側とトランス220の2次側とが配線297を介して接続されているにも関わらず、これらトランス210及び220が互いに干渉しあうことがほとんどなくなり、このため、配線297による接続に起因する異常発振が効果的に抑制される。

【0143】尚、上記実施態様においては、制御回路232及び242に共通ののこぎり波CTを供給することによってこれらの動作を同期させているが、制御回路232の動作と制御回路242の動作が同期する限りにおいて、共通ののこぎり波CTを用いることは必須でない。

【0144】したがって、例えば、図27に示すように、第1ののこぎり波CT1と、第1ののこぎり波CT1の整数倍(図27においては2倍)の周波数を有する第2ののこぎり波CT2とを用い、これらの一方を制御回路232に供給し、他方を制御回路242に供給することによってこれらの同期を確保しても構わない。この場合、制御回路232の動作と制御回路242の動作とを同期させるためには、第1ののこぎり波CT1がピーク値となるタイミングと第2ののこぎり波CT2がピーク値となるタイミングとを実質的に一致させる必要がある。

【0145】また、この場合、電源装置300のうち負荷が重い側の部分に対応する制御回路に周波数の高いのこぎり波(CT2)を供給することが好ましい。したがって、上述のとおり、無機ELパネル100が大型であるほど、カラム側に対応する電圧ラインVmにかかる負荷の方が、ロウ側に対応する電圧ラインVth+Vmや電圧ライン-Vthにかかる負荷よりも大きくなる傾向があり、通常は無機ELパネル100においてはカラム側に対応する電圧ラインVmにかかる負荷の方が、ロウ側に対応する電圧ラインVth+Vmや電圧ライン-Vthにかかる負荷よりも大きいことから、周波数の高い第2ののこぎり波CT2を制御回路242に供給し、周波数の低い第1ののこぎり波CT1を制御回路232に供給することが好ましい。

【0146】尚、上記実施態様においては、負荷状態判別回路380及び調整回路290-3を用いることにより、電圧-Vthのライン(出力端子204)の負荷状態に基づいて出力端子204とグランド電位(GND)との間の抵抗値を3段階に変化させているが、電圧-Vthのライン(出力端子204)の負荷状態をさらに細かく判別することにより上記抵抗値を4段階以上に変化させてより細かい調整を行っても構わないし、逆に、電圧-Vthのライン(出力端子204)の負荷状態の判別を2段階とすることにより上記抵抗値の変化を2段階のみとし、回路構成を簡素化しても構わない。また、負荷状態に応じて調整回路290-3に含まれる複数のスイッチを同時に導通させても構わないし、調整回路290-3内のダミー抵抗として可変抵抗を用い、これによって抵抗値を変化させても構わない。

【0147】さらに、上記実施態様においては、調整回路290-3を出力端子204(電圧-Vthのライン)とグランド電位(GND)間に接続しているが、代わりに、図28に示すように、調整回路290-3と同

様の回路構成を有する調整回路290-4を出力端子203(電圧Vmのライン)とグランド電位(GND)間に接続しても構わない。この場合、調整回路290-4を制御する回路としては負荷状態判別回路280を用い、図17に示す調整回路290-1とは逆に、電圧Vmのラインにかかる負荷が大きいほど出力端子203(電圧Vmのライン)とグランド電位(GND)間の抵抗を小さくし、逆に、電圧Vmのラインにかかる負荷が小さいほど出力端子203(電圧Vmのライン)とグランド電位(GND)間の抵抗を大きくすればよい。これにより、電圧Vmのラインにかかる負荷が大きいほどスイッチング素子241のオン時間がより長くなることから、負荷状態の変動による電圧Vmのライン(出力端子203)の電圧低下が効果的に抑制される。したがって、画素103の輝度を所望のレベルに保つことが可能となる。

【0148】また、図29に示すように、出力端子204(電圧-Vthのライン)とグランド電位(GND)間に調整回路290-3を設けるとともに、出力端子203(電圧Vmのライン)とグランド電位(GND)間に調整回路290-4を設けても構わない。この場合、調整回路290-3については、上述の通り電圧-Vthのラインにかかる負荷が大きいほど出力端子204(電圧-Vthのライン)とグランド電位(GND)間の抵抗を小さくし、調整回路290-4については、電圧Vmのラインにかかる負荷が大きいほど出力端子203(電圧Vmのライン)とグランド電位(GND)間の抵抗を小さくすればよい。

【0149】次に、本発明の好ましいさらに他の実施態様について説明する。

【0150】図30は、本発明の好ましいさらに他の実施態様にかかる電源装置400の回路図である。図30に示すように、本実施態様にかかる電源装置400は、図25に示す電源装置300に備えられた制御回路242が制御回路442に置き換えられた構成を有する。その他の構成については、上記実施態様にかかる電源装置300と同様であることから、同じ構成要素については同じ符号を付し、重複する説明は省略する。

【0151】制御回路442は、電圧-Vthが供給される入力端子442aと、のこぎり波CTが供給される入力端子442bと、電圧Vth+Vmが供給される入力端子442dと、PWM信号241aを出力する出力端子442cとを有し、入力端子442aに供給される電圧Vmを受けて、これが安定するように、PWM信号241aのパルス幅を調整するとともに、電圧Vth+Vmが過電圧状態となった場合には、PWM信号241aのパルス幅を急速に狭くする。

【0152】図31は、制御回路442の回路図である。図31に示すように、制御回路442は、制御回路242に対し、ホトカプラ401と、抵抗402及び4

03と、トランジスタ404と、ツェナーダイオード405とが付加された構成を有する。その他の構成については、上述した制御回路242と同様であることから、同じ構成要素については同じ符号を付し、重複する説明は省略する。

【0153】ホトカブラ401は、発光側素子401a及び受光側素子401bからなり、発光側素子401aの一端は抵抗402を介して2次側電源Vcc2に接続され、発光側素子401aの他端はトランジスタ404を介してグランド電位(GND)に接続されている。また、ホトカブラ401の受光側素子401bは、コンパレータ309の非反転入力端子(+)とグランド電位(GND)との間に接続されている。

【0154】また、ツェナーダイオード405は、アノードがトランジスタ404のベース電極に接続されており、カソードが入力端子442dに接続されている。抵抗403は、トランジスタ404のベース電極とグランド電位(GND)との間に接続され、トランジスタ404のベース電極がフローティング状態となるのを防止している。

【0155】このような構成からなる制御回路442においては、入力端子442dに供給される電圧Vth+Vmが所定値未満である場合(通常状態)には、トランジスタ404は非導通状態を保ち、このため、上述した制御回路242と全く同様の動作を行う。一方、入力端子442dに供給される電圧Vth+Vmが過電圧状態となり、これがツェナーダイオード405の降伏電圧を超えると、トランジスタ404が導通状態となる。これにより、ホトカブラ401の発光側素子401aに電流が流れて発光し、これを受けたホトカブラ401の受光側素子401bにも電流が流れる。このため、コンパレータ309の非反転入力端子(+)のレベルであるフィードバック電圧FBが急速に低下し、その結果、コンパレータ309の出力であるPWM信号241aのパルス幅は大幅に絞られることになる。

【0156】ここで、電圧Vth+Vmの過電圧状態は、次のような場合に発生しやすい。すなわち、正方向駆動時において点灯状態とすべき画素103の数が多く、このため電圧-Vthのラインにかかる付加が大きくなり(図9(a)参照)そのレベルが上昇する(グランド電位に近づく)と、電圧-Vthを監視している制御回路232は、これを低下させるためにPWM信号241aのパルス幅をより広くする。PWM信号241aのパルス幅が広がると、電圧Vth+Vmは上昇するものの、制御回路232においては電圧Vth+Vmの監視を行っていないことから、これに基づいてPWM信号241aのパルス幅が絞られることはなく、このため、電圧Vth+Vmのラインの付加が小さい場合、電圧Vth+Vmが過電圧状態となるおそれがある。電圧Vth+Vmが過電圧状態になると、カラムドライバ1

10やロウドライバ120のみならず、無機ELパネル100(画素103)に大きな電圧がかかることから、これらを破壊してしまうおそれがあり、無機ELディスプレイ装置の信頼性を低下させてしまう。

【0157】しかしながら、本実施態様にかかる電源装置400においては、電圧Vth+Vmが過電圧状態になると、PWM信号241aのパルス幅を絞ることによって電圧Vmを低下させていることから、配線297を介して電圧Vmの供給を受け生成される電圧Vth+Vmのレベルも同様に低下する。これにより、無機ELパネル100、カラムドライバ110及びロウドライバ120の破壊を防止することが可能となる。

【0158】ここで、電圧Vth+Vmを低下させるために、制御回路232によらず、制御回路242を用いて電圧Vmを低下させているのは、一般に、電圧Vmのラインの負荷が他の電圧ラインの負荷に比べて大きいことによる。したがって、電圧Vmのラインの負荷が他の電圧ラインの負荷に比べてそれほど大きくない場合には、PWM信号231aのパルス幅を絞ることによって電圧Vth+Vmを直接低下させても構わない。

【0159】上記実施態様においても、調整回路290-3を出力端子204(電圧-Vthのライン)とグランド電位(GND)間に接続しているが、代わりに、図28を用いて説明したように、調整回路290-3と同様の回路構成を有する調整回路290-4を出力端子203(電圧Vmのライン)とグランド電位(GND)間に接続しても構わない。また、図29を用いて説明したように、出力端子204(電圧-Vthのライン)とグランド電位(GND)間に調整回路290-3を設けるとともに、出力端子203(電圧Vmのライン)とグランド電位(GND)間に調整回路290-4を設けても構わない。

【0160】本発明は、以上の実施態様に限定されることなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0161】例えば、上記実施態様においては、電源装置200、300、400を無機ELディスプレイ装置用の電源装置として用いた場合を例に説明したが、本発明にかかる電源装置の適用対象がこれに限定されるものではなく、複数の電圧を必要とする装置であれば、どのような装置に対しても適用することができる。

【0162】

【発明の効果】以上説明したように、本発明によれば、無機ELディスプレイ装置用の電源装置のように、複数の電圧(Vm、Vth+Vm、-Vth等)が必要である電源装置において、少なくとも一つの電圧ラインの負荷状態に基づき、少なくとも一つの電圧ラインに接続されたダミー抵抗の抵抗値を変化させていることから、負荷状態の変動に起因する出力電圧の変動を効果的に抑制

することが可能となる。

【図面の簡単な説明】

【図 1】本実施態様にかかる無機 EL ディスプレイ装置の全体構成を概略的に示すブロック図である。

【図 2】画素 103 の構造を概略的に示す図であり、(a) はその略平面図、(b) は A-A 線に沿った略断面図である。

【図 3】画素 103 の等価回路図である。

【図 4】画素 103 の発光特性を示すグラフである。

【図 5】正方向駆動によって、選択された走査配線 102-i 上の全ての画素 103 が点灯状態とされた場合における無機 EL パネル 100 の部分等価回路図である。

【図 6】負方向駆動によって、選択された走査配線 102-i 上の全ての画素 103 が点灯状態とされた場合における無機 EL パネル 100 の部分等価回路図である。

【図 7】正方向駆動において、選択された走査配線 102-i 上の全ての画素 103 が非点灯状態とされた場合における無機 EL パネル 100 の部分等価回路図である。

【図 8】正方向駆動において、選択された走査配線 102-i 上にチェッカーパターンが表示される場合における 20 無機 EL パネル 100 の部分等価回路図である。

【図 9】点灯状態とされる画素の割合と各電圧ラインにかかる負荷との関係を模式的に示すグラフであり、(a) は点灯状態とされる画素の割合と電圧ライン-V_{t h} 及び電圧ライン V_{t h}+V_m にかかる負荷との関係を示しており、(b) は点灯状態とされる画素の割合と電圧ライン V_m にかかる負荷との関係を示している。

【図 10】本実施態様にかかる電源装置 200 の回路図である。

【図 11】制御回路 232 の具体的な回路構成の一例を 30 示す回路図である。

【図 12】コンパレータ 309 により生成される PWM 信号 231 a の波形図である。

【図 13】負荷状態判別回路 280 の回路構成を示す回路図である。

【図 14】点灯状態とされる画素の割合と電圧ライン V_m にかかる負荷の領域 1~領域 5 との関係を模式的に示すグラフである。

【図 15】判別回路 282 の具体的な回路構成の一例を示す回路図である。

【図 16】(a) は判別回路 282 の具体的な回路構成の他の例を示す回路図であり、(b) は (a) に示す回路の真理値表である。

【図 17】調整回路 290-1 の回路図である。

【図 18】カラム電圧制御回路 130 及びカラムドライバ 110 の具体的な構成を示す回路図である。

【図 19】カラム電圧制御回路 130 及びカラムドライバ 110 の動作を示すタイミング図である。

【図 20】ロウ電圧制御回路 140 及びロウドライバ 200 の具体的な構成を示す回路図である。

【図 21】ロウ電圧制御回路 140 及びロウドライバ 200 の動作を示すタイミング図である。

【図 22】スキャン電圧 V_{S C A N} とモジュレーション電圧 V_{m M O D} との関係を示すタイミング図である。

【図 23】図 10 に示す電源装置 200 の変形例を示す回路図である。

【図 24】図 10 に示す電源装置 200 の変形例を示す回路図である。

【図 25】本発明の好ましい他の実施態様にかかる電源装置 300 の回路図である。

【図 26】点灯状態とされる画素の割合と電圧ライン-V_{t h} にかかる負荷の領域 1~領域 5 との関係を模式的に示すグラフである。

【図 27】第 1 ののこぎり波 C_{T 1} と第 2 ののこぎり波 C_{T 2} の波形を示す波形図である。

【図 28】図 25 に示す電源装置 300 の変形例を示す回路図である。

【図 29】図 25 に示す電源装置 300 の変形例を示す回路図である。

【図 30】本発明の好ましいさらに他の実施態様にかかる電源装置 400 の回路図である。

【図 31】制御回路 442 の回路図である。

【図 32】図 32 は、従来の無機 EL ディスプレイ装置用電源装置の回路図である。

【符号の説明】

100 無機 EL パネル

101 データ配線

102 走査配線

103 画素

104 基板

105 a 第 1 の誘電体層

105 b 第 2 の誘電体層

106 無機発光層

107 保護膜

110 カラムドライバ

111 a₁~111 a_n, 111 b₁~111 b_n スイッチ

112 制御回路

120 ロウドライバ

121 a₁~121 a_m, 121 b₁~121 b_m スイッチ

122 制御回路

130 カラム電圧制御回路

131 a~131 d スイッチ

132 a~132 d ダイオード

133 コンデンサ

134 インダクタ

140 ロウ電圧制御回路

141 a~141 d スイッチ

142 a~142 d ダイオード

35

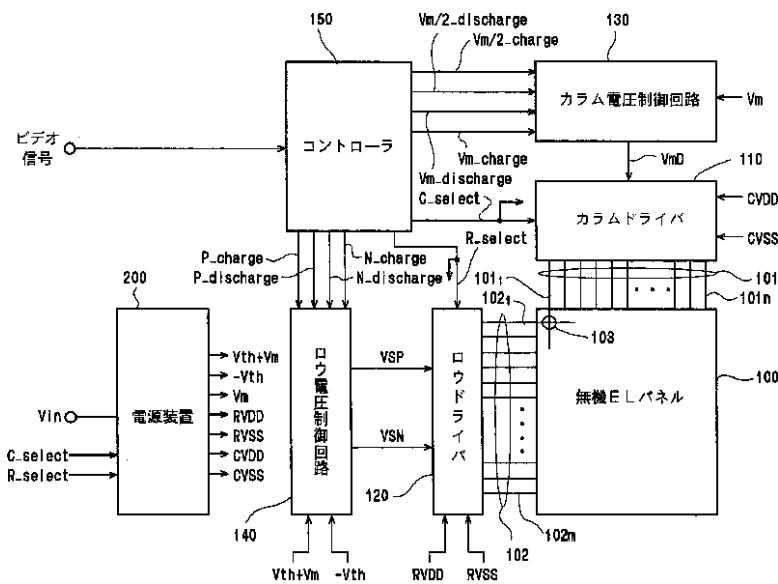
143a, 143b インダクタ
 150 コントローラ
 200, 300, 400 電源装置
 201 入力端子
 202~208 出力端子
 210, 220 トランス
 211, 221 1次巻線
 212~216, 222 2次巻線
 231, 241 スwitchング素子
 232, 242, 442 制御回路
 232a, 232b, 242a, 242b, 442a, 442b, 442d 入力端子
 232c, 242c, 442c 出力端子
 250~254, 261 ダイオード
 255~259, 262 コンデンサ
 270 のこぎり波生成回路
 280, 380 負荷状態判別回路
 281 カウンタ
 282 判定回路

36

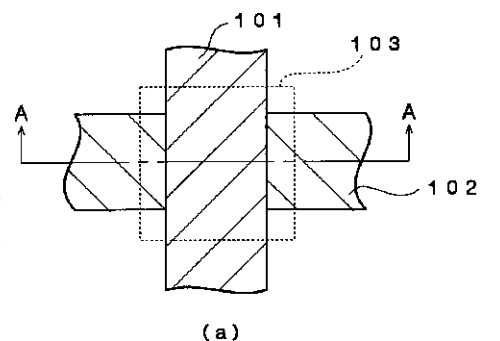
*283a~283d 比較回路
 284 論理回路
 285~287 排他的論理和 (EXOR) 回路
 288 否定論理和 (NOR) 回路
 289 論理積 (AND) 回路
 290-1~290-4 調整回路
 291~293 ダミー抵抗
 294~296 スイッチ
 297 配線
 10 301 誤差アンプ
 302, 401 ホトカブラ
 302a, 401a 発光側素子
 302b, 401b 受光側素子
 303~307, 402, 403 抵抗
 308 コンデンサ
 309 コンパレータ
 404 トランジスタ
 405 ツェナーダイオード

*

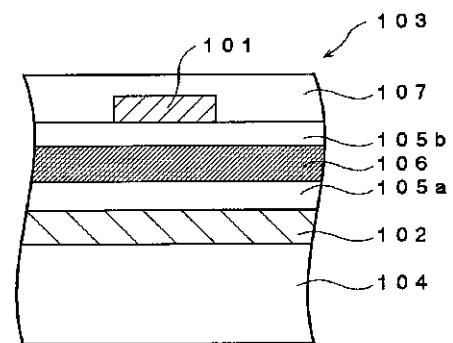
【図1】



【図2】

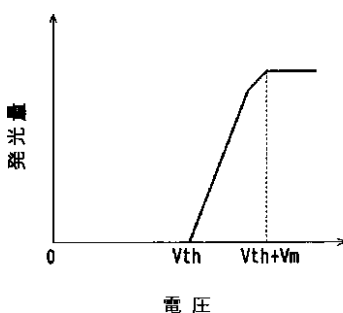


(a)

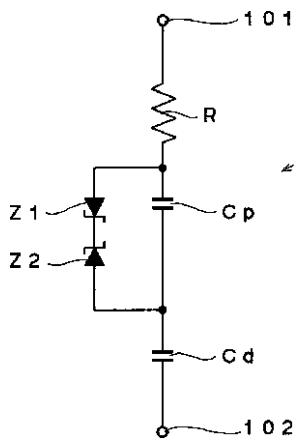


(b)

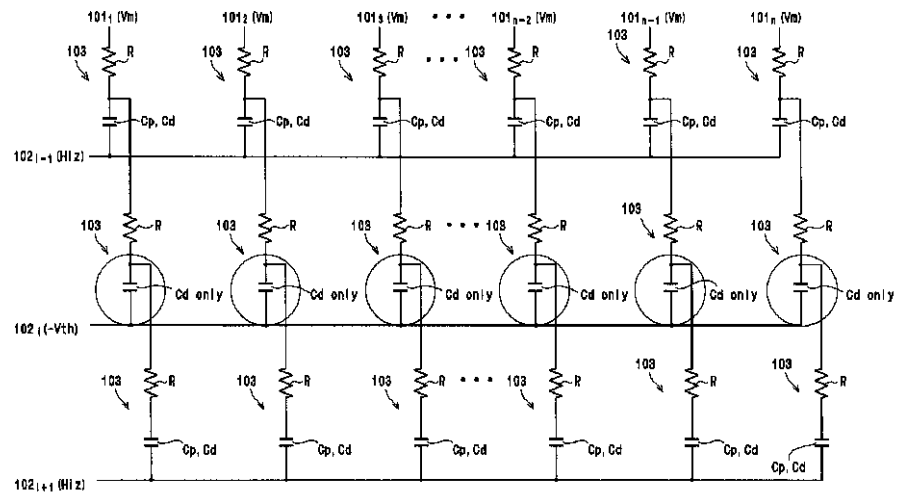
【図4】



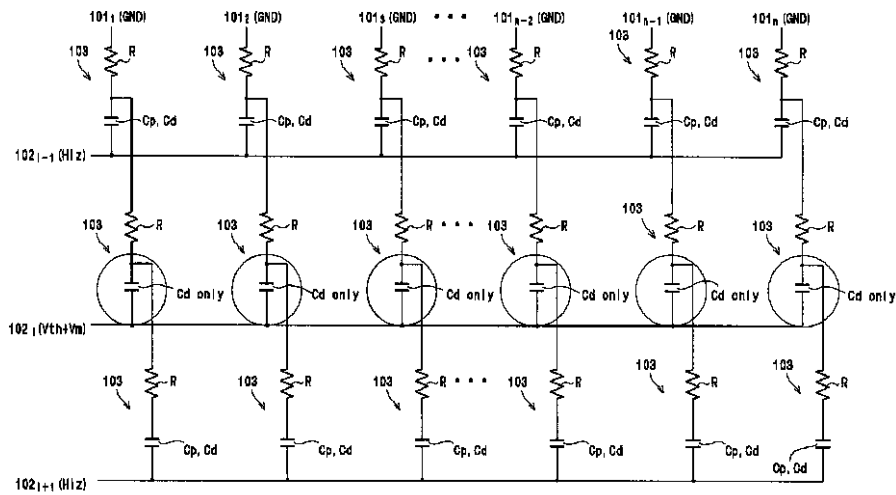
【図3】



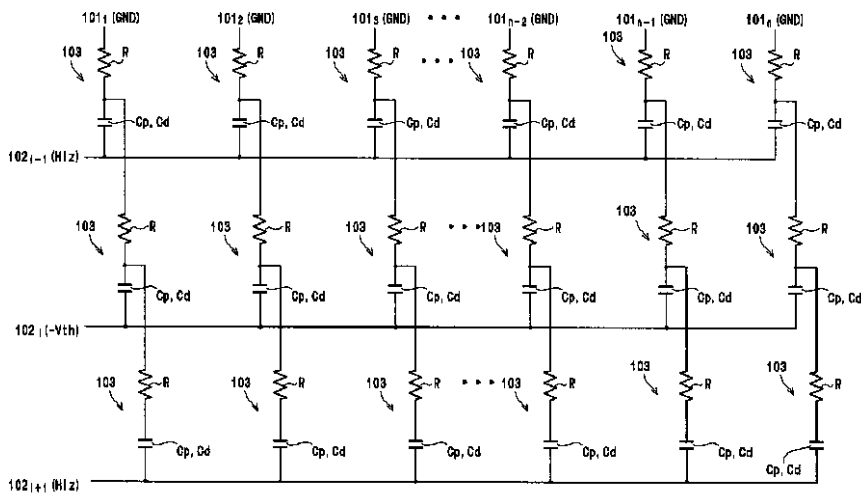
【図5】



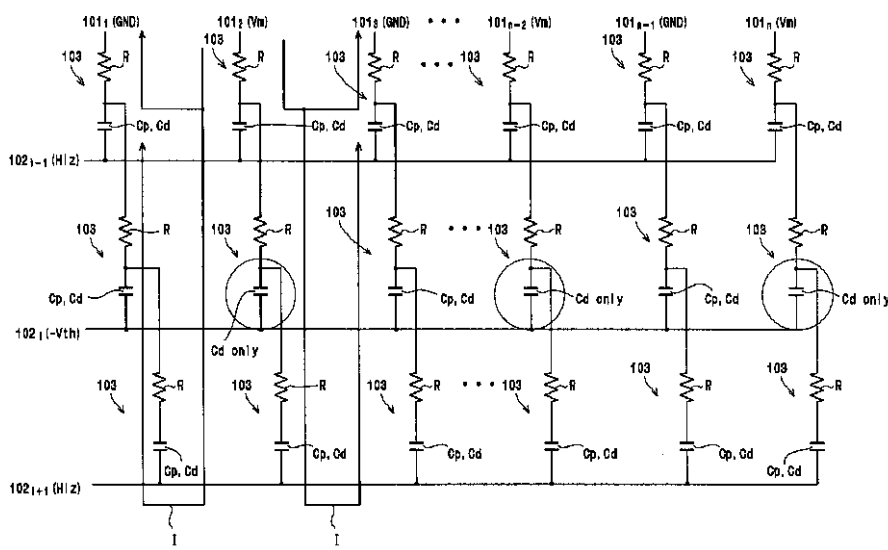
【図6】



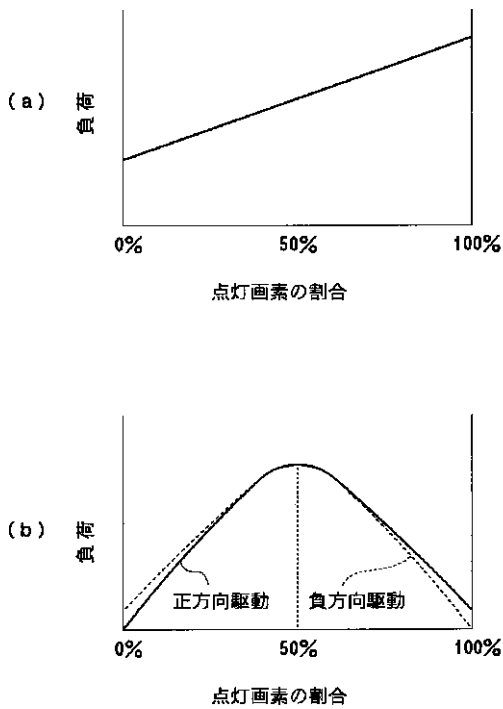
【図7】



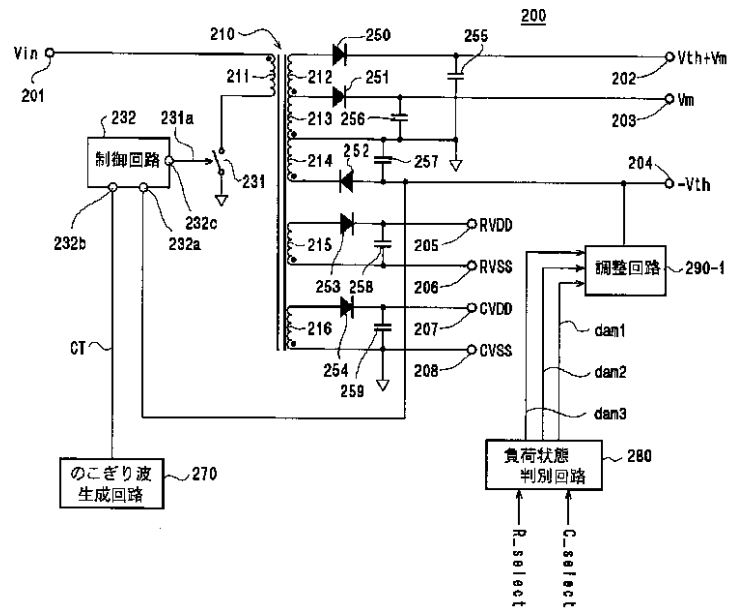
【図8】



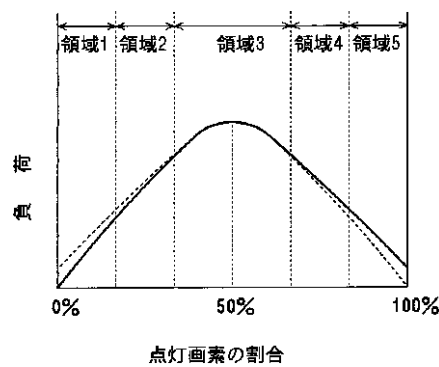
【図9】



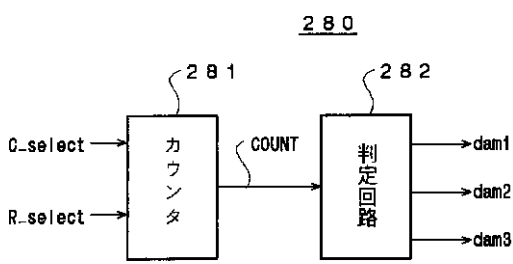
【図10】



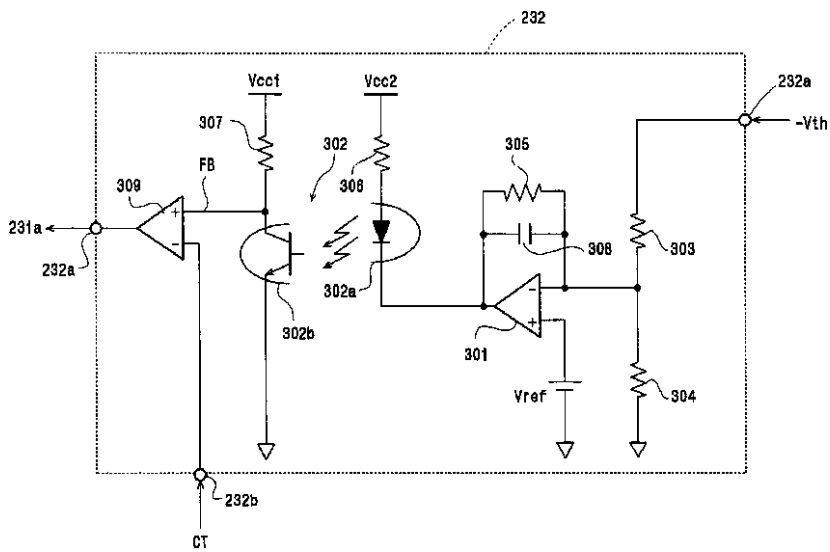
【図14】



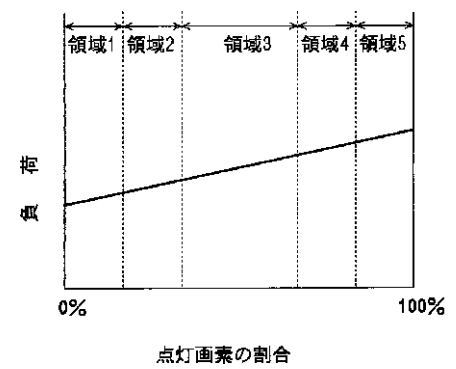
【図13】



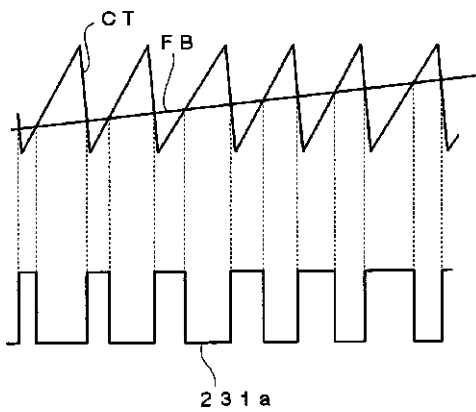
【図11】



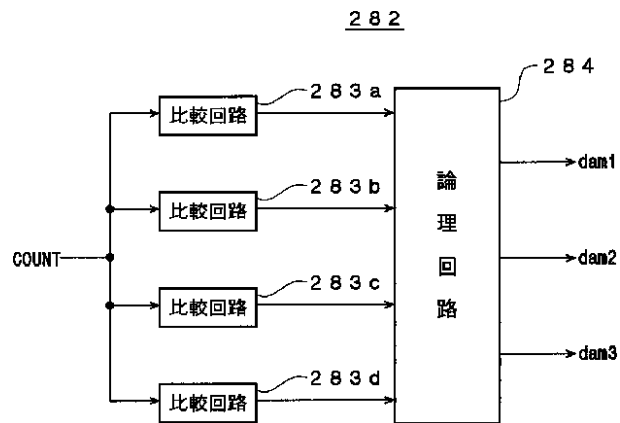
【図26】



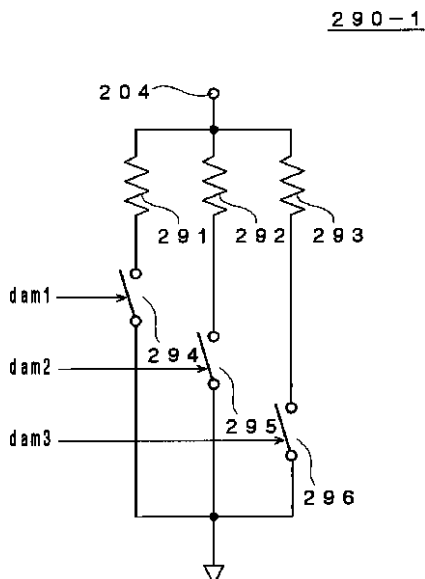
【図12】



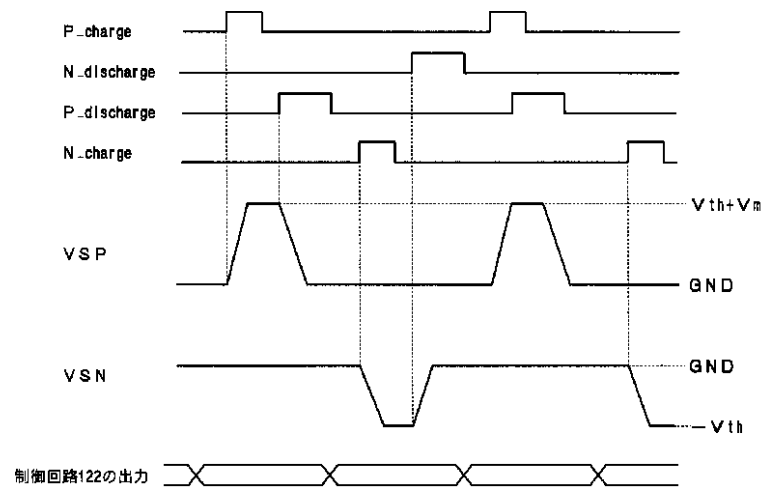
【図15】



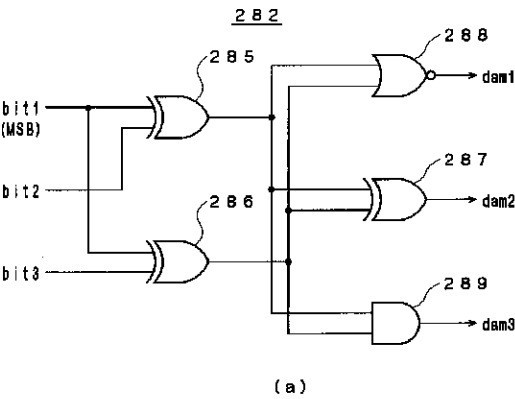
【図17】



【図21】



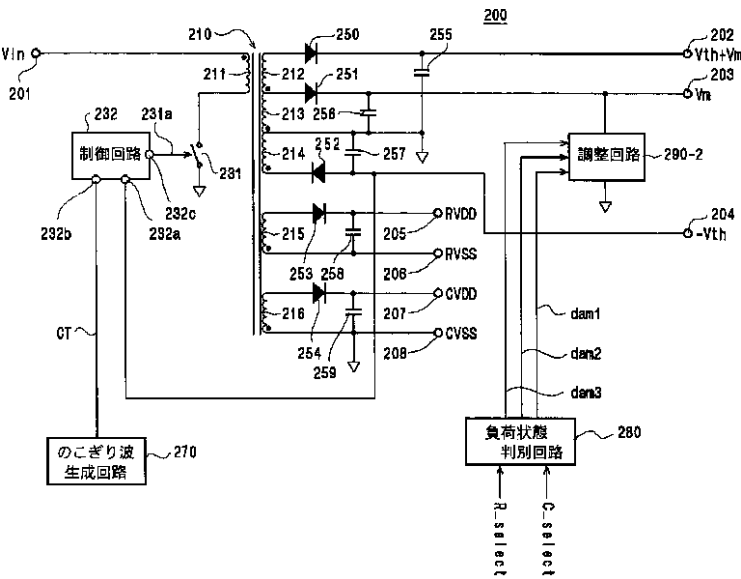
【図16】



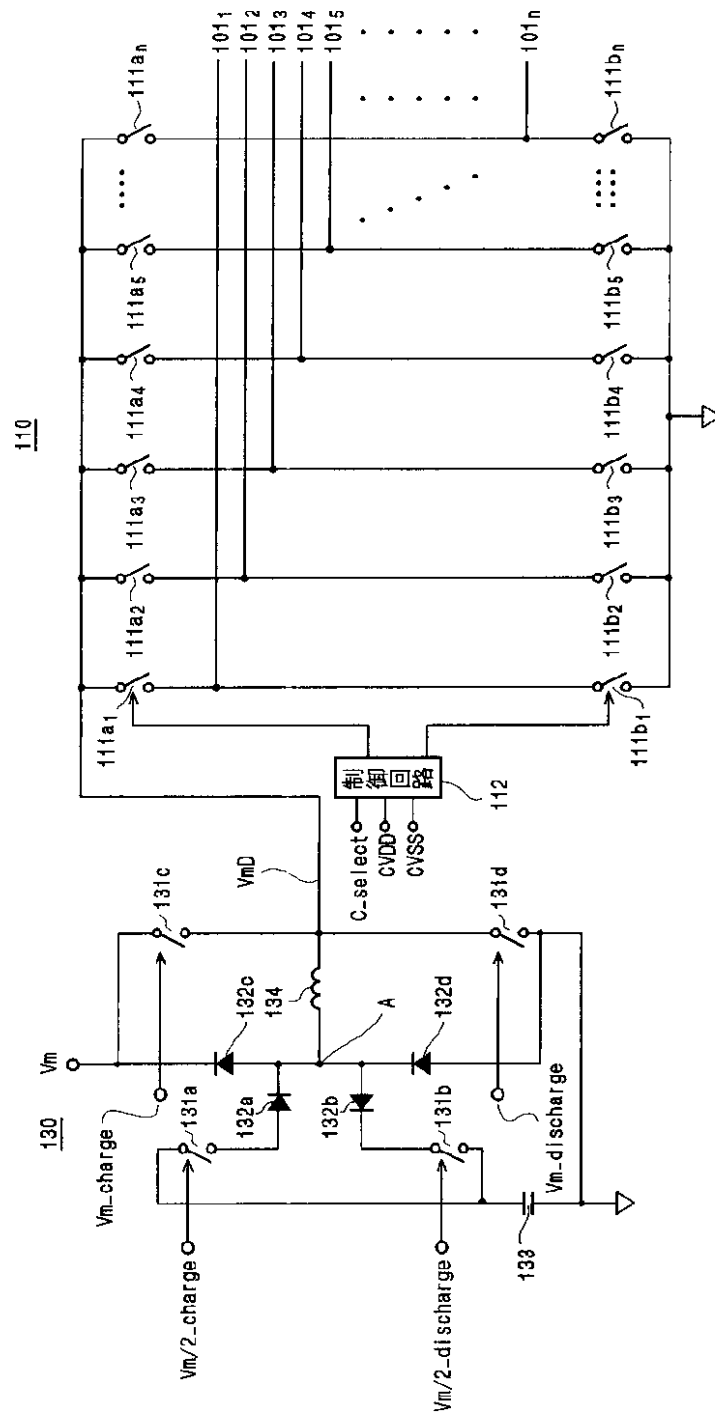
bit1	bit2	bit3	dam1	dam2	dam3
0	0	0	1	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	1	0	0

(b)

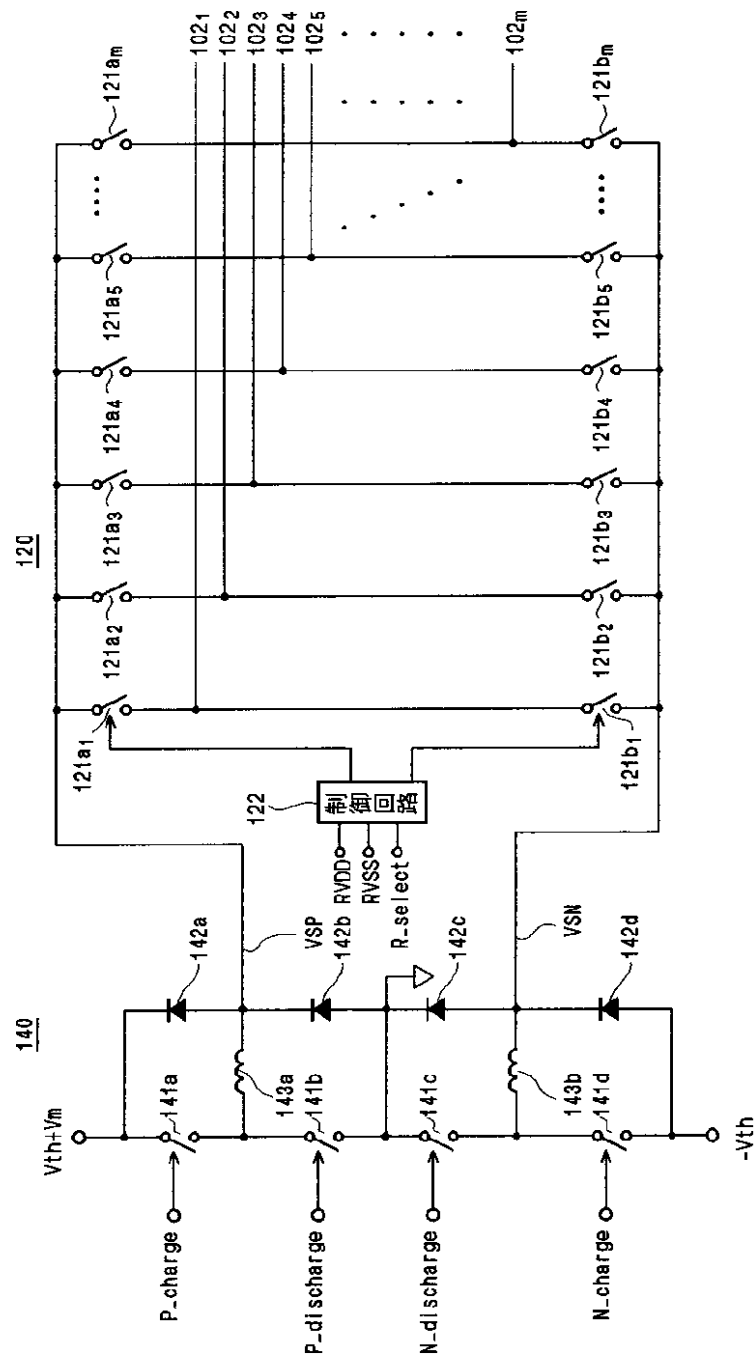
【図23】



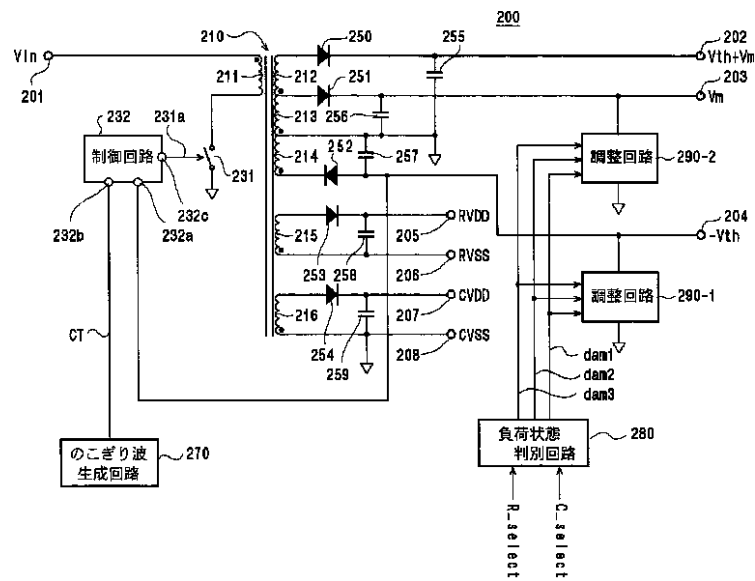
【図18】



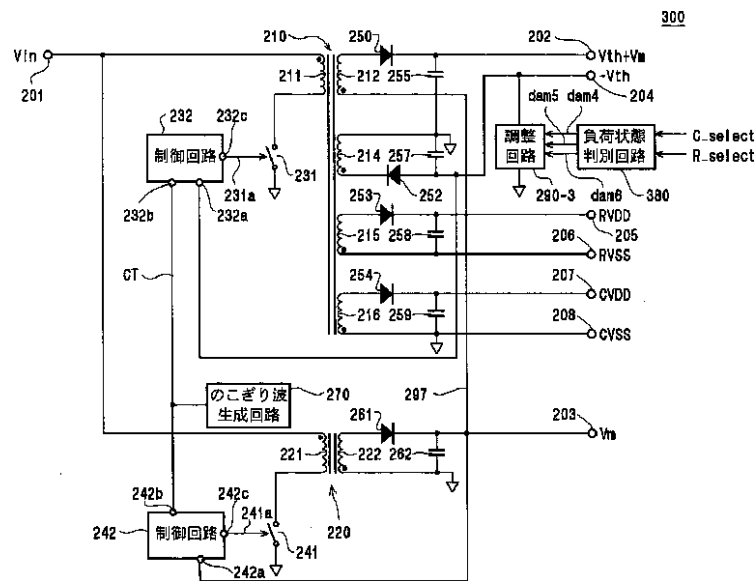
【図20】



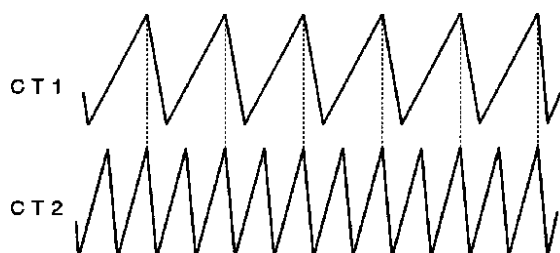
【図24】



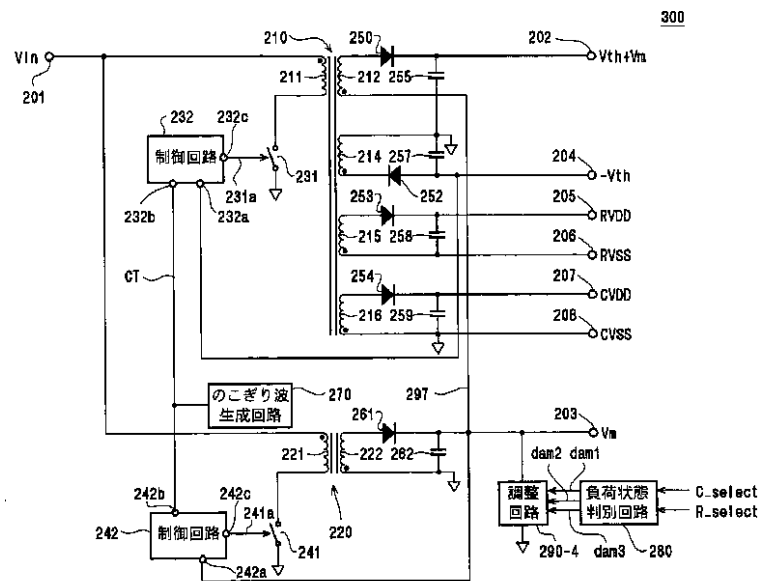
【図25】



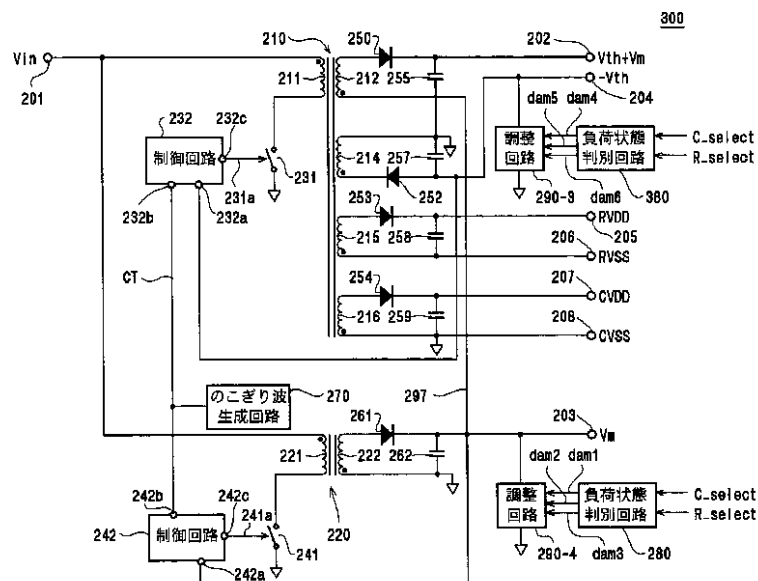
【図27】



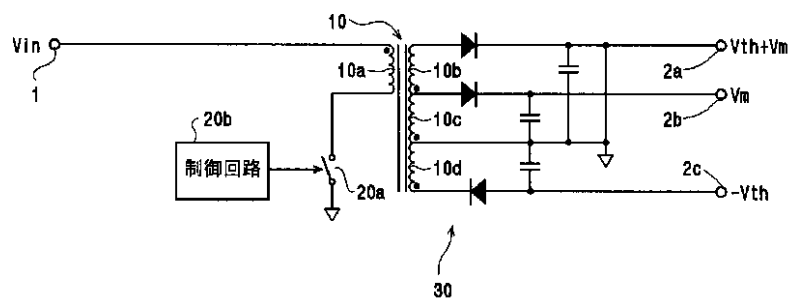
【図28】



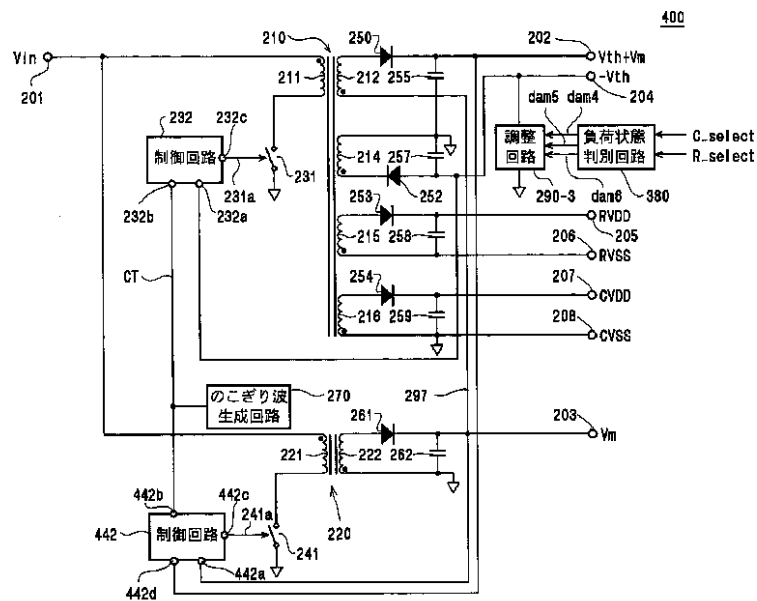
【図29】



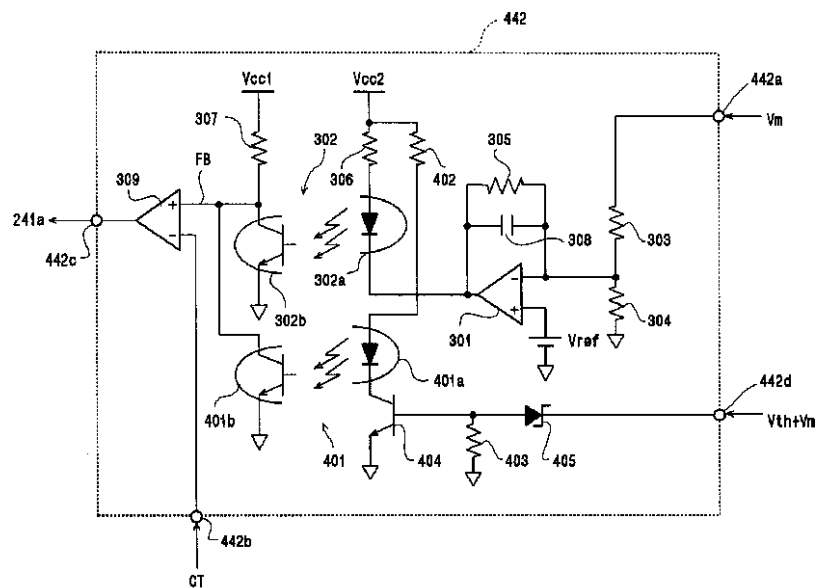
【図32】



【図30】



【図31】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/30

H 0 5 B 33/14

識別記号

F I

G 0 9 G 3/30

H 0 5 B 33/14

テ-マコード (参考)

J

Z

F ターム(参考) 3K007 AB17 BA06 DA05 GA04
5C080 AA06 BB05 DD05 EE01 EE17
EE28 FF03 FF12
5H730 AA04 AS01 AS19 BB23 BB82
EE02 EE73 FD03 FF02 FF19
FG05

提供一种电源装置，其中抑制了由于负载状态的变化而导致的输出电压的变化。接收输入电压 V_{in} 并分别向输出端子204和203输出输出电压- V_{th} 和输出电压 V_m 的电源装置以及在初级绕组中接收输入电压 V_{in} 的变压器210和变压器。开关元件231连接到变压器210的初级绕组，输出电路连接到变压器210的次级绕组以产生输出电压- V_{th} 和 V_m ，以及至少基于输出电压- V_{th} 的开关元件231。控制电路232控制输出端子204的操作，调节电路290根据在输出端子204和203至少之一中出现的负载状态改变输出端子204和203至少之一与地面之间的电阻值。配备。结果，有效地抑制了由于负载状态的波动引起的输出电压的波动。

