

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5407138号
(P5407138)

(45) 発行日 平成26年2月5日(2014.2.5)

(24) 登録日 平成25年11月15日(2013.11.15)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 Z
G09G 3/20 (2006.01)	G09G 3/20 624B
H01L 51/50 (2006.01)	G09G 3/20 670B
	G09G 3/20 670Q
	G09G 3/20 621M
請求項の数 13 (全 50 頁) 最終頁に続く	

(21) 出願番号	特願2007-307860 (P2007-307860)	(73) 特許権者	000002185 ソニー株式会社
(22) 出願日	平成19年11月28日(2007.11.28)		東京都港区港南1丁目7番1号
(65) 公開番号	特開2009-133912 (P2009-133912A)	(74) 代理人	100098785 弁理士 藤島 洋一郎
(43) 公開日	平成21年6月18日(2009.6.18)	(74) 代理人	100109656 弁理士 三反崎 泰司
審査請求日	平成22年11月9日(2010.11.9)	(74) 代理人	100130915 弁理士 長谷部 政男
		(74) 代理人	100155376 弁理士 田名網 孝昭
		(72) 発明者	内野 勝秀 東京都港区港南1丁目7番1号 ソニー株式会社内
最終頁に続く			

(54) 【発明の名称】 表示装置とその製造方法および製造装置

(57) 【特許請求の範囲】

【請求項1】

駆動電流を生成する駆動トランジスタ、映像信号の信号振幅に応じた情報を保持する保持容量、前記駆動トランジスタの出力端側に接続された電気光学素子、および前記保持容量に前記信号振幅に応じた情報を書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素レイ部を備え、

前記画素回路は、1画素が複数の画素に分割され、分割された分割画素ごとに前記電気光学素子を有し、かつ、電気光学素子がショートによる発光しない滅点であるか否かを特定するためのオン/オフ動作が可能なテストトランジスタが、前記駆動トランジスタと各電気光学素子との間に、前記テストトランジスタを選択的にオンさせて各電気光学素子が発光しない滅点であるか否かを判定することにより滅点の電気光学素子を特定し得るように設けられており、

前記テストトランジスタの数は、前記分割された分割画素の数よりも少ない表示装置。

【請求項2】

それぞれ1つの前記保持容量と前記駆動トランジスタが、前記分割画素の各電気光学素子に対して共通に使用されるように構成されている

請求項1に記載の表示装置。

【請求項 3】

前記テストトランジスタは、前記駆動トランジスタと、複数の前記分割画素のうちの1つの分割画素以外の各分割画素の前記電気光学素子との間に1つのテストトランジスタがそれぞれ介在するように設けられている

請求項 1 に記載の表示装置。

【請求項 4】

前記テストトランジスタは、前記保持容量と前記駆動トランジスタの出力端側の接続点の配線上に設けられている

請求項 1 に記載の表示装置。

【請求項 5】

前記テストトランジスタをオン/オフ制御するためのテストパルスを生成する滅点検査走査部をさらに備えている

請求項 1 に記載の表示装置。

【請求項 6】

外部の滅点検査装置から供給される前記テストトランジスタをオン/オフ制御するためのテストパルスのインタフェースである端子部をさらに備えている

請求項 1 に記載の表示装置。

【請求項 7】

前記駆動電流を一定に維持する駆動信号一定化回路をさらに備えている

請求項 1 に記載の表示装置。

【請求項 8】

前記駆動信号一定化回路は、基準電位と信号電位で切り替わる映像信号をサンプリングトランジスタに供給するとともに、駆動電流を前記電気光学素子に流すために使用される第1電位に対応する電圧が前記駆動トランジスタの電源供給端に供給されかつ映像信号における基準電位が前記サンプリングトランジスタに供給されている時間帯で前記サンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されたものである

請求項 7 に記載の表示装置。

【請求項 9】

前記駆動信号一定化回路は、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能と、閾値補正動作の後に、前記サンプリングトランジスタを導通させることで前記保持容量に信号振幅に応じた情報を書き込む際、前記駆動トランジスタの移動度に対する補正分を前記保持容量に書き込まれる信号に加える移動度補正機能とを実現するように構成されたものである

請求項 7 に記載の表示装置。

【請求項 10】

前記駆動信号一定化回路は、前記保持容量が前記駆動トランジスタの制御入力端と出力端側の間に接続されることでブートストラップ機能を実現するように構成されたものである

請求項 7 に記載の表示装置。

【請求項 11】

駆動電流を生成する駆動トランジスタ、映像信号の信号振幅に応じた情報を保持する保持容量、前記駆動トランジスタの出力端側に接続された電気光学素子、および前記保持容量に前記信号振幅に応じた情報を書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部を備え、前記画素回路は、1画素を複数の画素に分割し、分割した分割画素ごとに前記電気光学素子を有し、かつ、電気光学素子がショートによる発光しない滅点であるか否かを特定するためのテストトランジスタが、前記駆動トランジスタと各電気光学素子との間に滅点の電気光学素子を特定し得るオン/オフ動作が可能ないように設けられている表

10

20

30

40

50

示装置を製造する方法であって、

前記テストトランジスタを選択的にオンさせることで、前記分割画素の前記電気光学素子が、発光しない滅点であるか否かを判定する滅点検査工程と、

前記滅点検査工程にて滅点であると判定された電気光学素子を、正常に発光する電気光学素子から電氣的に分離する滅点分離工程と

を含む表示装置の製造方法。

【請求項 1 2】

駆動電流を生成する駆動トランジスタ、映像信号の信号振幅に応じた情報を保持する保持容量、前記駆動トランジスタの出力端側に接続された電気光学素子、および前記保持容量に前記信号振幅に応じた情報を書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部を備え、前記画素回路は、1画素を複数の画素に分割し、分割した分割画素ごとに前記電気光学素子を有し、かつ、電気光学素子がショートによる発光しない滅点であるか否かを特定するためのテストトランジスタが、前記駆動トランジスタと各電気光学素子との間に前記テストトランジスタを選択的にオンさせて各電気光学素子が発光しない滅点であるか否かを判定することにより滅点の電気光学素子を特定し得るように設けられている表示装置を製造する装置であって、

前記分割画素の前記電気光学素子の内、前記滅点であると判定された前記電気光学素子を、正常に発光する前記電気光学素子から電氣的に分離する滅点分離装置

を備えた表示装置の製造装置。

【請求項 1 3】

前記分割画素の前記電気光学素子が、発光しない滅点であるか否かを判定するためのテストパルスを前記テストトランジスタに供給する滅点検査走査部をさらに備えた

請求項 1 2 に記載の表示装置の製造装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）が行列状に配列された画素アレイ部を有する表示装置と、その製造方法および製造装置に関する。より詳細には、駆動信号の大小によって輝度が変化する電気光学素子を表示素子として有する画素回路が行列状に配置されてなり、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれるアクティブマトリクス型の表示装置と、その製造方法および製造装置に関する。

【背景技術】

【0002】

画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機 EL, Organic Light Emitting Diode, OLED; 以下、有機 EL と記す）素子が代表例である。後者の有機 EL 素子を用いた有機 EL 表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

【0003】

有機 EL 素子は下部電極と上部電極との間に有機正孔輸送層や有機発光層を積層させるなる有機薄膜（有機層）を設けてなり、有機薄膜に電界をかけると発光する現象を利用した電気光学素子であり、有機 EL 素子を流れる電流値を制御することで発色の階調を得ている。

【0004】

有機 EL 素子は比較的低い印加電圧（たとえば 10 V 以下）で駆動できるため低消費電

10

20

30

40

50

力である。また有機EL素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機EL素子の応答速度は非常に高速である（たとえば数 μ s程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機EL素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

【0005】

ところで、液晶表示素子を用いた液晶表示装置や有機EL素子を用いた有機EL表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるもの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

10

【0006】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor ; TFT）をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【0007】

ここで、画素回路内の電気光学素子を発光させる際には、映像信号線を介して供給される入力画像信号をスイッチングトランジスタ（サンプリングトランジスタと称する）で駆動トランジスタのゲート端（制御入力端子）に設けられた保持容量（画素容量とも称する）に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

20

【0008】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機EL素子などの電流駆動型の素子を用いる有機EL表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機EL素子などに供給する。

【0009】

有機EL素子を代表例とする電流駆動型の電気光学素子では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となる。たとえば、有機EL素子に駆動電流を供給する駆動方式としては、定電流駆動方式と定電圧駆動方式とに大別できる（周知の技術であるので、ここでは公知文献の提示はしない）。

30

【0010】

有機EL素子の電圧 - 電流特性は傾きの大きい特性を有するので、定電圧駆動を行なうと、僅かな電圧のばらつきや素子特性のばらつきが大きな電流のばらつきを生じ大きな輝度ばらつきをもたらす。よって、一般的には、駆動トランジスタを飽和領域で使用する定電流駆動が用いられる。もちろん、定電流駆動でも、電流変動があれば輝度ばらつきを招くが、小さな電流ばらつきであれば小さな輝度ばらつきしか生じない。

40

【0011】

逆に言えば、定電流駆動方式であっても、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて保持容量に書き込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機EL素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【0012】

ところが、プロセス変動により電気光学素子を駆動する能動素子（駆動トランジスタ）の閾値電圧や移動度がばらついてしまう。また、有機EL素子などの電気光学素子の特性が経時的に変動する。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

50

【0013】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている。

【0014】

【特許文献1】特開2006-215213号公報

【0015】

たとえば、特許文献1に記載の仕組みでは、有機EL素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

10

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、有機EL素子を始めとする電気光学素子が、パネル製造時に埃（ダスト）などが付着することで、発光が正常になされない滅点（光らない点）となり、パネルに画素欠陥が生じてしまい歩留まり低下の原因となる。このような表示上の欠陥は、表示装置の良品率を高める上で阻害要因となっており、表示装置の低コスト化を阻む。

【0017】

また、特許文献1に記載の仕組みでは、前述のように、5TR駆動の構成を採っており、画素回路の構成が複雑である。画素回路の構成要素が多いことから、表示装置の高精細化の妨げとなる。その結果、5TR駆動の構成では、携帯機器（モバイル機器）などの小型の電子機器で用いられる表示装置への適用が困難になる。

20

【0018】

このため、画素回路の簡素化を図りつつ、発光が正常になされない滅点を目立たなくする仕組みの開発要求がある。この際には、滅点を目立たなくするとともに、画素回路の簡素化に伴って、5TR駆動の構成では生じていない問題が新たに発生することがないようにすることも考慮されるべきである。

【0019】

本発明は、上記事情に鑑みてなされたもので、先ず、発光が正常になされない滅点を目立たなくし、表示装置の良品率の向上を図ることのできる仕組みを提供することを目的とする。

30

【0020】

さらに好ましくは、画素回路の簡素化により表示装置の高精細化を可能にする仕組みを提供することを目的とする。

【0021】

また、画素回路の簡素化に当たっては、好ましくは、駆動トランジスタや電気光学素子の特性ばらつきによる輝度変化を抑制することの可能な仕組みを提供することを目的とする。

40

【課題を解決するための手段】

【0022】

本発明に係る表示装置の一実施形態は、映像信号に基づいて画素回路内の電気光学素子を発光させる表示装置であって、先ず、画素アレイ部に行列状に配される画素回路内に、少なくとも、駆動電流を生成する駆動トランジスタ、駆動トランジスタの出力端側に接続された電気光学素子、映像信号線を介して供給される映像信号の信号振幅に応じた情報を保持する保持容量、および保持容量に映像信号における信号振幅に応じた情報を書き込むサンプリングトランジスタを備える。この画素回路においては、保持容量に保持された情報に基づく駆動電流を駆動トランジスタで生成して電気光学素子に流すことで電気光学素子を発光させる。

50

【 0 0 2 3 】

サンプリングトランジスタで保持容量に信号振幅に応じた情報を書き込むので、サンプリングトランジスタは、その入力端（ソース端もしくはドレイン端の一方）に信号電位を取り込み、その出力端（ソース端もしくはドレイン端の他方）に接続された保持容量に信号振幅に応じた情報を書き込む。もちろん、サンプリングトランジスタの出力端は、駆動トランジスタの制御入力端にも接続されている。

【 0 0 2 4 】

なお、ここで示した画素回路の接続構成は、駆動トランジスタとサンプリングトランジスタと言った2つのトランジスタを含む最も基本的な2TR構成を示したもので、画素回路は、少なくとも前述の各構成要素を含むものであればよく、これらの構成要素以外（つまり他の構成要素）が含まれていてもよい。また、「接続」は、直接に接続されている場合に限らず、他の構成要素を介在して接続されている場合でもよい。

10

【 0 0 2 5 】

たとえば、接続間には、必要に応じてさらに、スイッチング用のトランジスタや、ある機能を持った機能部などを介在させるなどの変更が加えられることがある。典型的には、表示期間（換言すれば非発光時間）を動的に制御するためにスイッチング用のトランジスタを、駆動トランジスタの出力端と電気光学素子との間に、もしくは駆動トランジスタの電源供給端（ドレイン端が典型例）と電源供給用の配線である電源線との間に、もしくは駆動トランジスタの出力端と基準電圧線との間に配することができる。

【 0 0 2 6 】

このような変形態様の画素回路であっても、本項（課題を解決するための手段）で説明する構成や作用を実現し得るものである限り、それらの変形態様も、本発明に係る表示装置の一実施形態を実現する画素回路である。

20

【 0 0 2 7 】

また、画素回路を駆動するための周辺部には、たとえば、サンプリングトランジスタを水平周期で順次制御することで画素回路を線順次走査して、1行分の各保持容量に映像信号の信号振幅に応じた情報を書き込む書込走査部と、書込走査部での線順次走査に合わせて映像信号がサンプリングトランジスタに供給されるように制御する水平駆動部を具備する制御部を設ける。

【 0 0 2 8 】

また、表示装置は、駆動電流を一定に維持する駆動信号一定化回路を備えたものとする。駆動信号一定化回路は、画素回路を構成する素子の接続態様や画素回路を走査駆動する走査部の組合せで構成される。これに対応して、制御部には、駆動信号一定化回路を制御する走査部を設ける。

30

【 0 0 2 9 】

駆動信号一定化回路とは、電気光学素子の電流 - 電圧特性の経時変化や駆動トランジスタの特性変化があった場合でも、駆動トランジスタの駆動電流を一定に維持しようとする回路を意味する。その具体的な回路構成はどのようなものであってもよい。サンプリングトランジスタ（スイッチングトランジスタの一例）および駆動トランジスタ以外に、駆動電流を一定に維持する制御を行なうための他のスイッチングトランジスタが設けられることもある。

40

【 0 0 3 0 】

たとえば、好ましくは、制御部は、駆動トランジスタの閾値電圧に対応する電圧を保持容量に保持するための閾値補正動作を行なうように制御する。2TR構成の場合、好ましくは、駆動電流を電気光学素子に流すために使用される第1電位に対応する電圧が駆動トランジスタの電源供給端に供給されかつ映像信号における基準電位がサンプリングトランジスタに供給されている時間帯でサンプリングトランジスタを導通させることで閾値電圧に対応する電圧を保持容量に保持させる。

【 0 0 3 1 】

このため、2TR構成の場合、好ましくは、書込走査部での線順次走査に合わせて1行

50

分の各駆動トランジスタの電源供給端に印加される電源供給を制御するための走査駆動パルスを出力する駆動走査部を制御部に設け、また、水平駆動部は、各水平周期内で基準電位と信号電位で切り替わる映像信号をサンプリングトランジスタに供給する。サンプリングトランジスタは、駆動信号一定化機能に関わるスイッチングトランジスタとして機能し、その機能の実現のために、オン/オフ動作が制御される。

【0032】

閾値補正動作は、必要に応じて、信号振幅の保持容量への書込みに先行する複数の水平周期で繰り返し実行するとよい。ここで「必要に応じて」とは、1水平周期内の閾値補正期間では駆動トランジスタの閾値電圧に相当する電圧を十分に保持容量へ保持させることができない場合を意味する。閾値補正動作の複数回の実行により、確実に駆動トランジスタの閾値電圧に相当する電圧を保持容量に保持させるのである。

10

【0033】

また、さらに好ましくは、制御部は、閾値補正動作に先立って、駆動トランジスタの制御入力端と出力端の電位や保持容量を、両端の電位差が閾値電圧以上になるように初期化を実行するように制御する。2TR構成の場合、好ましくは、第2電位に対応する電圧が駆動トランジスタの電源供給端に供給されかつサンプリングトランジスタの入力端（ソース端もしくはドレイン端の一方）に基準電位が供給されている時間帯でサンプリングトランジスタを導通させて駆動トランジスタの制御入力端を基準電位に設定しかつ出力端を第2電位に設定する。

【0034】

さらに好ましくは、制御部は、閾値補正動作の後、サンプリングトランジスタを導通させることで保持容量に信号振幅に応じた情報を書き込む際、駆動トランジスタの移動度に対する補正分を保持容量に書き込まれる信号に加えるように制御する移動度補正機能を実現するようにする。この際、2TR構成の場合、好ましくは、サンプリングトランジスタに信号電位が供給されている時間帯内の所定位置で、その時間帯より短い期間だけサンプリングトランジスタを導通させるとよい。

20

【0035】

さらに好ましくは、保持容量は、ブートストラップ機能を実現するべく、駆動トランジスタの制御入力端と出力端側（事実上、電気光学素子の一方の端子側）の間に接続する。制御部は、保持容量に信号振幅に対応する情報が書き込まれた時点でサンプリングトランジスタを非導通状態にして駆動トランジスタの制御入力端への映像信号の供給を停止させ、駆動トランジスタの出力端の電位変動に制御入力端の電位が連動するブートストラップ動作を行なうように制御する。

30

【0036】

ここで、本発明に係る表示装置の一実施形態における特徴的な事項として、まず、1画素を複数の画素に分割し、分割した分割画素ごとに電気光学素子を設ける。また、その分割画素の各電気光学素子に対して、何れかの電気光学素子がショートにより滅点となっておりときにその滅点の電気光学素子（滅点素子と称する）を特定するために、テストスイッチとして機能するテストトランジスタ（スイッチングトランジスタ）を介して駆動電流を駆動トランジスタから各電気光学素子に選択的に供給し得るように構成する。ここで、テストトランジスタの数は、分割された分割画素の数よりも少ないものとする。

40

【0037】

「選択的に」とは、分割した各電気光学素子のそれぞれを1つずつ選択し得るようにすることに限らず、滅点素子を特定し得るオン/オフ動作が可能な構成である限りどのようにテストトランジスタを配置・接続しても構わない。

【0038】

そして、表示装置の製造時には、画素回路を動作させてテストトランジスタの選択動作により滅点素子の有無およびその場所を特定し、滅点素子に関しては、レーザ光などのエネルギービームを滅点分離装置から照射することにより、残りの正常な電気光学素子（正常素子と称する）から電氣的に分離する。この処理を、滅点素子をリペアすると称する。

50

その後の通常動作時には、残りの正常素子にて表示を行なうべく、テストトランジスタをオンさせて使用する。

【0039】

つまり、1画素に、複数の電気光学素子と、滅点素子を特定するためのテストトランジスタを持たせることで、テストトランジスタのオン/オフの動作によって滅点素子を特定する。滅点素子を特定したら、その滅点素子をリペアして残りの正常素子にて表示を行なうことで、画素が完全に滅点化することを防ぐのである。

【発明の効果】

【0040】

本発明の一実施形態によれば、1画素を複数の画素に分割し、分割した分割画素ごとに電気光学素子を設け、分割画素の各電気光学素子に対して、滅点素子を特定するために、テストスイッチとして機能するテストトランジスタを介して駆動電流を駆動トランジスタから各電気光学素子に選択的に供給し得るように画素回路を構成した。

10

【0041】

製造時には、画素回路を動作させてテストトランジスタの選択動作により滅点素子の有無およびその場所を特定し、正常な画素回路から滅点素子を電氣的に分離し、その後の通常動作時には、残りの正常な電気光学素子にて表示を行なうべく、テストトランジスタをオンさせて使用する。

【0042】

1画素に複数の電気光学素子を設けるとともに、電気光学素子と駆動トランジスタとの間に介在させるテストトランジスタのオン/オフの動作によって滅点素子を特定して、滅点素子を正常な画素回路から切り離すことで、1画素が完全に滅点化することを防ぐことができる。

20

【0043】

分割画素の何れかの電気光学素子が滅点となる場合であっても、リペア作業によって滅点素子を正常な残りの分割画素の電気光学素子と電氣的に切り離すことで、他の正常な分割画素の電気光学素子で表示すれば、見かけ上、点欠陥として見えないという効果を楽しみ、1画素が完全に滅点化することを防ぐことができるので、製造歩留まりを向上させることができる。

【0044】

ここで、閾値補正機能およびそれに先立つ閾値補正準備機能（初期化機能）や移動度補正機能を実現するに当たって、駆動トランジスタの電源供給端を第1電位と第2電位との間で遷移させる、つまり電源電圧をスイッチングパルスとして使用することが有効に機能する。すなわち、閾値補正機能や移動度補正機能を組み込むため、各画素回路の駆動トランジスタに供給する電源電圧をスイッチングパルスとして使用すると、補正用のスイッチングトランジスタやその制御入力端を制御する走査線が不要になる。

30

【0045】

結果として、2TR駆動の構成をベースとして各トランジスタの駆動タイミングなどの変形を加えるだけでよく、画素回路の構成素子数と配線本数が大幅に削減でき、画素アレイ部を縮小することができ、表示装置の高精細化を達成し易くなる。画素回路の簡素化を図りつつ、滅点によるパネルの歩留まり低下を防止することができる。素子数や配線数が少ないため高精細化に適しており、高精細の表示が求められる小型の表示装置を容易に実現できる。

40

【発明を実施するための最良の形態】

【0046】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0047】

<表示装置の全体概要>

図1および図1Aは、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示

50

素子（電気光学素子、発光素子）として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT；Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ（以下「有機EL表示装置」と称する）に適用した場合を例に採って説明する。

【0048】

なお、以下においては、画素の表示素子として有機EL素子を例に具体的に説明するが、これは一例であって、対象となる表示素子には有機EL素子に限らない。一般的に電流駆動で発光する表示素子の全てに、後述する全ての実施形態が同様に適用できる。

【0049】

図1に示す第1構成例は、滅点検査用の走査回路を有機EL表示装置1のパネル内に搭載した構成であり、図1Aに示す第2構成例は、滅点検査用の走査回路を有機EL表示装置1の外部に用意する、いわゆる治具対応の構成である。

【0050】

図1および図1Aに示すように、有機EL表示装置1は、複数の表示素子としての有機EL素子（図示せず）を持った画素回路（画素とも称される）Pが表示アスペクト比である縦横比がX：Y（たとえば9：16）の有効映像領域を構成するように配置された表示パネル部100と、この表示パネル部100を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部200と、映像信号処理部300を備えている。駆動信号生成部200と映像信号処理部300とは、1チップのIC（Integrated Circuit；半導体集積回路）に内蔵されている。

【0051】

製品形態としては、図示のように、表示パネル部100、駆動信号生成部200、および映像信号処理部300の全てを備えたモジュール（複合部品）形態の有機EL表示装置1として提供されることに限らず、たとえば、表示パネル部100のみで有機EL表示装置1として提供することも可能である。また、このような有機EL表示装置1は、半導体メモリやミニディスク（MD）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

【0052】

表示パネル部100は、基板101の上に、画素回路Pがn行×m列のマトリクス状に配列された画素アレイ部102と、画素回路Pを垂直方向に走査する垂直駆動部103と、画素回路Pを水平方向に走査する水平駆動部（水平セレクトあるいはデータ線駆動部とも称される）106と、外部接続用の端子部（パッド部）108などが集積形成されている。すなわち、垂直駆動部103や水平駆動部106などの周辺駆動回路が、画素アレイ部102と同一の基板101上に形成された構成となっている。

【0053】

垂直駆動部103としては、たとえば、書込走査部（ライトスキャナWS；Write Scan）104や電源供給能力を有する電源スキャナとして機能する駆動走査部（ドライブスキャナDS；Drive Scan）105を有する。

【0054】

垂直駆動部103と水平駆動部106とで、信号振幅に対応する情報の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部109が構成される。

【0055】

図示した垂直駆動部103および対応する走査線の構成は、画素回路Pが後述する本実施形態の2TR構成の場合に適合させて示したものであるが、画素回路Pの構成によっては、その他の走査部が設けられることもある。

【0056】

画素アレイ部102は、一例として、図示する左右方向の一方側もしくは両側から書込走査部104および駆動走査部105で駆動され、かつ図示する上下方向の一方側もしくは

10

20

30

40

50

は両側から水平駆動部 106 で駆動されるようになっている。

【0057】

端子部 108 には、有機 EL 表示装置 1 の外部に配された駆動信号生成部 200 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 300 から映像信号 Vsig が供給されるようになっている。

【0058】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルス SPDS、SPWS や垂直走査クロック CKDS、CKWS など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH など必要なパルス信号が供給

10

【0059】

端子部 108 の各端子は、配線 199 を介して、垂直駆動部 103 や水平駆動部 106 に接続されるようになっている。たとえば、端子部 108 に供給された各パルスは、必要に応じて図示を割愛したレベルシフト部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 103 の各部や水平駆動部 106 に供給される。

【0060】

画素アレイ部 102 は、図示を割愛するが（詳細は後述する）、表示素子としての有機 EL 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線され

20

【0061】

たとえば、画素アレイ部 102 には、走査線（ゲート線）104 WS、電源供給線 105 DSL、および映像信号線（データ線）106 HS が形成されている。両者の交差部分には図示を割愛した有機 EL 素子とこれを駆動する薄膜トランジスタ（TFT；Thin Film Transistor）が形成される。有機 EL 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

【0062】

具体的には、マトリクス状に配列された各画素回路 P に対しては、書込走査部 104 によって書込駆動パルス WS で駆動される n 行分の書込走査線 104 WS₁ ~ 104 WS_n および

30

【0063】

書込走査部 104 および駆動走査部 105 は、駆動信号生成部 200 から供給される垂直駆動系のパルス信号に基づき、書込走査線 104 WS および電源供給線 105 DSL を介して各画素回路 P を順次選択する。水平駆動部 106 は、駆動信号生成部 200 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 P に対し映像信号線 106 HS を介して映像信号 Vsig の内の所定電位をサンプリングして保持容量に書き込ませる。

【0064】

本実施形態の有機 EL 表示装置 1 においては、一例として線順次駆動について考えており、垂直駆動部 103 の書込走査部 104 および駆動走査部 105 は線順次で（つまり行単位で）画素アレイ部 102 を走査するとともに、これに同期して水平駆動部 106 が、画像信号を、1 水平ライン分を同時に、画素アレイ部 102 に書き込む。

40

【0065】

たとえば、水平駆動部 106 は、線順次駆動に対応するため、全列の映像信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせるドライバ回路を備えて構成され、映像信号処理部 300 から入力される画素信号を、垂直駆動部 103 によって選択された行の 1 ライン分の全ての画素回路 P に同時に書き込むべく、全列の映像信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせる。

【0066】

50

垂直駆動部 103 の各部は、線順次駆動に対応するため、論理ゲートの組合せ（ラッチも含む）によって構成され、画素アレイ部 102 の各画素回路 P を行単位で選択する。なお、図 1 では、画素アレイ部 102 の一方側にのみ垂直駆動部 103 を配置する構成を示しているが、画素アレイ部 102 を挟んで左右両側に垂直駆動部 103 を配置する構成を採ることも可能である。

【0067】

同様に、図 1 では、画素アレイ部 102 の一方側にのみ水平駆動部 106 を配置する構成を示しているが、画素アレイ部 102 を挟んで上下両側に水平駆動部 106 を配置する構成を採ることも可能である。

【0068】

ここで、本実施形態の有機 EL 表示装置 1 は、詳細は後述するが、画素回路 P の構成として、有機 EL 素子がダストなどの欠陥によって滅点（発光しない画素）となってしまった場合の対応を採る。これに対応して、有機 EL 表示装置 1 としては、滅点を検査するための機構を備える。

【0069】

たとえば、図 1 に示す第 1 構成例では、滅点検査用の滅点検査走査部 313 を表示パネル部 100 に搭載している。滅点検査走査部 313 には、テストパルス Test_k 用のシフトスタートパルス SPTS や走査クロック CKTS などの必要なパルス信号が供給される。滅点検査走査部 313 は、シフトスタートパルス SPTS や走査クロック CKTS などにに基づき、各画素回路 P へ供給するテストパルス Test_k を生成する。

【0070】

一方、図 1 A に示す第 2 構成例では、各画素回路 P へ供給するテストパルス Test_k を表示パネル部 100 の外部から受け取る端子部 314 を設けている。そして、装置外に検査治具として、滅点検査走査部 313 と同様の機能を持つ滅点検査装置 315 を用意する構成にしている。

【0071】

滅点検査走査部 313 を表示パネル部 100 に備える第 1 構成例では、製造ライン上には滅点検査装置 315 が不要であり、滅点素子の特定作業を有機 EL 表示装置 1 単独で行なうことができる利点がある。たとえば、滅点素子の特定作業は、表示パネル部 100 上の全ての画素回路 P について行なう必要があるため時間が掛るが概ね一定している。一方、滅点箇所のリペア作業は滅点数次第であり、たとえば数個であれば、滅点素子の特定作業に比べて遙かに短時間で済む。

【0072】

こういった点においては、製造時のクリティカルパスを滅点箇所のリペア工程に限定するべく、滅点検査装置 315 を多数備える製造設備にすることが考えられる。その延長線として、有機 EL 表示装置 1 そのものに滅点検査装置 315 と同機能の滅点検査走査部 313 を備えるようにすることが考えられる。

【0073】

一方、滅点検査走査部 313 を有機 EL 表示装置 1 ごとに備えるのは、パネルコストがアップしてしまう難点がある。その対応として、有機 EL 表示装置 1 には端子部 314 を設けておき、滅点検査装置 315 を製造ライン上に多数用意することが考えられる。

【0074】

滅点検査走査部 313 や滅点検査装置 315 にて生成されたテストパルス Test_k 用の各画素回路 P に対する配線は、たとえば同一行（もしくは同一列）の全ての画素回路 P に対して共通にテストパルス Test_k を供給する行走査線（もしくは列走査線）にしてもよい。あるいは、各画素回路 P の検査対象の有機 EL 素子を個別に選択するべく、行走査線と列走査線の双方を用意してもよい。

【0075】

<画素回路>

図 2 は、図 1 に示した有機 EL 表示装置 1 を構成する本実施形態の画素回路 P に対する

10

20

30

40

50

第1比較例を示す図である。なお、表示パネル部100の基板101上において画素回路Pの周辺部に設けられた垂直駆動部103と水平駆動部106も合わせて示している。

【0076】

図3は、本実施形態の画素回路Pに対する第2比較例を示す図である。なお、表示パネル部100の基板101上において画素回路Pの周辺部に設けられた垂直駆動部103と水平駆動部106も合わせて示している。

【0077】

図4は有機EL素子や駆動トランジスタの動作点を説明する図である。図4Aは、有機EL素子や駆動トランジスタの特性ばらつきが駆動電流 I_{ds} に与える影響を説明する図である。

【0078】

図5は、本実施形態の画素回路Pに対する第3比較例を示す図である。後述する本実施形態の画素回路Pは、この第3比較例の画素回路Pをベースとする。そういった意味では、第3比較例の画素回路Pは、事実上、本実施形態の画素回路Pと同様の回路構造を持つと言っても過言ではない。なお、表示パネル部100の基板101上において画素回路Pの周辺部に設けられた垂直駆動部103と水平駆動部106も合わせて示している。

【0079】

<比較例の画素回路：第1例>

図2に示すように、第1比較例の画素回路Pは、基本的にpチャネル型の薄膜電界効果トランジスタ(TFT)でドライブトランジスタが構成されている点に特徴を有する。また、ドライブトランジスタの他に走査用に2つのトランジスタを使用した3Tr駆動の構成を採っている。

【0080】

具体的には、第1比較例の画素回路Pは、pチャネル型の駆動トランジスタ121、アクティブLの駆動パルスが供給されるpチャネル型の発光制御トランジスタ122、アクティブHの駆動パルスが供給されるnチャネル型のサンプリングトランジスタ125、電流が流れることで発光する電気光学素子(発光素子)の一例である有機EL素子127、および保持容量(画素容量とも称される)120を有する。駆動トランジスタ121は、制御入力端子であるゲート端Gに供給される電位に応じた駆動電流を有機EL素子127に供給するようになっている。

【0081】

なお、一般的には、サンプリングトランジスタ125はアクティブLの駆動パルスが供給されるpチャネル型に置き換えることもできる。発光制御トランジスタ122はアクティブHの駆動パルスが供給されるnチャネル型に置き換えることもできる。

【0082】

サンプリングトランジスタ125は、駆動トランジスタ121のゲート端G(制御入力端子)側に設けられたスイッチングトランジスタであり、また、発光制御トランジスタ122もスイッチングトランジスタである。

【0083】

一般に、有機EL素子127は整流性があるためダイオードの記号で表わしている。なお、有機EL素子127には、寄生容量 C_{el} が存在する。図では、この寄生容量 C_{el} を有機EL素子127と並列に示す。

【0084】

画素回路Pは、垂直走査側の各走査線104WS、105DSと水平走査側の走査線である映像信号線106HSの交差部に配されている。書込走査部104からの書込走査線104WSは、サンプリングトランジスタ125のゲート端Gに接続され、駆動走査部105からの駆動走査線105DSは発光制御トランジスタ122のゲート端Gに接続されている。

【0085】

サンプリングトランジスタ125は、ソース端Sを信号入力端として映像信号線106HSに接続され、ドレイン端Dを信号出力端として駆動トランジスタ121のゲート端Gに

10

20

30

40

50

接続され、その接続点と第2電源電位 V_{c2} (たとえば正電源電圧、第1電源電位 V_{c1} と同じでもよい)との間に保持容量120が設けられている。括弧書きで示すように、サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させ、ドレイン端Dを信号入力端として映像信号線106HSに接続し、ソース端Sを信号出力端として駆動トランジスタ121のゲート端Gに接続することもできる。

【0086】

駆動トランジスタ121、発光制御トランジスタ122、および有機EL素子127は、第1電源電位 V_{c1} (たとえば正電源電圧)と基準電位の一例である接地電位GNDの間で、この順に直列に接続されている。具体的には、駆動トランジスタ121は、ソース端Sが第1電源電位 V_{c1} に接続され、ドレイン端Dが発光制御トランジスタ122のソース端Sに接続されている。発光制御トランジスタ122のドレイン端Dが、有機EL素子127のアノード端Aに接続され、有機EL素子127のカソード端Kが接地電位GNDに接続されている。

10

【0087】

なお、より簡易な構成としては、図2に示した画素回路Pの構成においては、最も単純な回路として、発光制御トランジスタ122を取り外した2Tr駆動の構成を採ることもできる。この場合、有機EL表示装置1としては駆動走査部105を取り外した構成を採ることになる。

【0088】

図2に示した3Tr駆動や図示を割愛した2Tr駆動の何れにおいても、有機EL素子127は電流発光素子のため、有機EL素子127に流れる電流量をコントロールすることで発色の諧調を得る。このため、駆動トランジスタ121のゲート端Gへの印加電圧を変化させることで、有機EL素子127に流れる電流値をコントロールする。

20

【0089】

具体的には、まず書込走査部104からアクティブHの書込駆動パルスWSを供給して書込走査線104WSを選択状態とし、水平駆動部106から信号線106HSに画素信号 V_{sig} を印加すると、nチャンネル型のサンプリングトランジスタ125が導通して映像信号 V_{sig} が保持容量120に書き込まれる。

【0090】

映像信号 V_{sig} の信号電位が駆動トランジスタ121のゲート端Gの電位となる。続いて、書込駆動パルスWSをインアクティブ(本例ではLレベル)にして書込走査線104WSを非選択状態とすると、信号線106HSと駆動トランジスタ121とは電氣的に切り離されるが、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は保持容量120によって、原理的には、安定に保持される。

30

【0091】

続いて、駆動走査部105からアクティブLの走査駆動パルスDSを供給して駆動走査線105DSを選択状態にすると、pチャンネル型の発光制御トランジスタ122が導通し、第1電源電位 V_{c1} から接地電位GNDに向かって駆動電流が駆動トランジスタ121、発光制御トランジスタ122、および有機EL素子127を流れる。

【0092】

次に、走査駆動パルスDSをインアクティブ(本例ではHレベル)にして駆動走査線105DSを非選択状態とすると、発光制御トランジスタ122がオフし、駆動電流は流れなくなる。

40

【0093】

発光制御トランジスタ122は、1フィールド期間に占める有機EL素子127の発光時間(デューティ)を制御するために挿入されたものであり、先にも述べたことから推測されるように、画素回路Pとしては、当該発光制御トランジスタ122を備えていることは必須ではない。

【0094】

駆動トランジスタ121および有機EL素子127に流れる電流は、駆動トランジスタ

50

121のゲート・ソース間電圧 V_{gs} に応じた値となり、有機EL素子127はその電流値に応じた輝度で発光し続ける。

【0095】

このように、書込走査線104WSを選択して信号線106HSに与えられた画素信号 V_{sig} を画素回路Pの内部に伝える動作を、以下「書込み」と呼ぶ。このように、一度信号の書込みを行えば、次に書き換えられるまでの間、有機EL素子127は一定の輝度で発光を続ける。

【0096】

このように、第1比較例の画素回路Pでは、駆動トランジスタ121のゲート端Gに供給する印加電圧を入力信号(画素信号 V_{sig})に応じて変化させることで、EL有機EL素子127に流れる電流値を制御している。このとき、pチャネル型の駆動トランジスタ121のソース端Sは第1電源電位 V_{c1} に接続されており、この駆動トランジスタ121は常に飽和領域で動作している。

10

【0097】

<比較例の画素回路：第2例>

次に、本実施形態の画素回路Pの特徴を説明する上での比較例として、図3に示す第2比較例の画素回路Pについて説明する。画素アレイ部102に第2比較例の画素回路Pを備える有機EL表示装置1を第2比較例の有機EL表示装置1と称する。

【0098】

第2比較例および本実施形態の画素回路Pは、基本的にnチャネル型の薄膜電界効果トランジスタでドライフトランジスタが構成されている点に特徴を有する。

20

【0099】

pチャネル型のトランジスタではなく、nチャネル型のトランジスタで駆動トランジスタを構成することができれば、トランジスタ作成において従来のアモルファスシリコン(a-Si)プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路Pの開発が期待される。

【0100】

第2比較例の画素回路Pは、基本的にnチャネル型の薄膜電界効果トランジスタでドライフトランジスタが構成されている点で本実施形態と同じであるが、有機EL素子127の経時劣化による駆動電流 I_{ds} に与える影響を防ぐための駆動信号一定化回路が設けられていない。

30

【0101】

具体的には、第2比較例の画素回路Pは、それぞれnチャネル型の駆動トランジスタ121、発光制御トランジスタ122、およびサンプリングトランジスタ125と、電流が流れることで発光する電気光学素子の一例である有機EL素子127とを有する。

【0102】

駆動トランジスタ121は、ドレイン端Dが第1電源電位 V_{c1} に接続され、ソース端Sが発光制御トランジスタ122のドレイン端Dに接続されている。発光制御トランジスタ122のソース端Sが、有機EL素子127のアノード端Aに接続され、有機EL素子127のカソード端Kが接地電位GNDに接続されている。このような画素回路Pでは、駆動トランジスタ121のドレイン端D側が第1電源電位 V_{c1} に接続され、ソース端Sが有機EL素子127のアノード端A側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

40

【0103】

サンプリングトランジスタ125は、ソース端Sが映像信号線HSに接続され、ドレイン端Dは駆動トランジスタ121のゲート端(制御入力端)Gに接続され、その接続点と第2電源電位 V_{c2} (たとえば正電源電圧、第1電源電位 V_{c1} と同じでもよい)を供給する基準線との間に保持容量120が設けられている。括弧書きで示すように、サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させた接続態様とすることもできる。

50

【0104】

このような画素回路Pでは、発光制御トランジスタを設けるか否かに関わらず、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端D側が第1電源電位Vc1に接続され、ソース端Sが有機EL素子127のアノード端A側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【0105】

なお、より簡易な構成としては、図3に示した画素回路Pの構成においても、最も単純な回路として、発光制御トランジスタ122を取り外した2Tr駆動の構成を採ることもできる。この場合、有機EL表示装置1としては駆動走査部105を取り外した構成を採ることになる。

10

【0106】

次に、図3に示す第2比較例の画素回路Pの動作を説明する。ここでは、発光制御トランジスタ122の動作を割愛して説明する。先ず、信号線HSから供給される映像信号Vsigの電位(以下、映像信号線電位とも称する)の内の有効期間の電位(信号電位と称する)をサンプリングし、発光素子の一例である有機EL素子127を発光状態にする。

【0107】

具体的には、映像信号線106HSが映像信号Vsigの有効期間である信号電位にある時間帯に、書込走査線WSの電位が高レベルに遷移することで、nチャンネル型のサンプリングトランジスタ125はオン状態となり、信号線HSから供給される映像信号線電位を保持容量120に充電する。これにより駆動トランジスタ121のゲート端Gの電位(ゲート電位Vg)は上昇を開始し、ドレイン電流を流し始める。そのため、有機EL素子127のアノード電位は上昇し発光を開始する。

20

【0108】

この後、書込駆動パルスWSが低レベルに遷移すると、保持容量120にその時点の映像信号線電位、つまり、映像信号Vsigの電位の内の有効期間の電位(信号電位)が保持される。これによって、駆動トランジスタ121のゲート電位Vgが一定となり、発光輝度が次のフレーム(またはフィールド)まで一定に維持される。書込走査線WSの電位が高レベルにある期間が映像信号Vsigのサンプリング期間となり、書込駆動パルスWSが低レベルに遷移した以降が保持期間となる。

【0109】

<発光素子のIel-Vel特性と駆動トランジスタのI-V特性>

一般的に、図4に示すように、駆動トランジスタ121はドレイン・ソース間電圧に関わらず駆動電流Idsが一定となる飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレイン端・ソース間に流れる電流をIds、移動度をμ、チャンネル幅(ゲート幅)をW、チャンネル長(ゲート長)をL、ゲート容量(単位面積当たりのゲート酸化膜容量)をCox、トランジスタの閾値電圧をVthとすると、駆動トランジスタ121は下記の式(1)に示した値を持つ定電流源となっている。なお、“^”はべき乗を示す。式(1)から明らかのように、飽和領域ではトランジスタのドレイン電流Idsはゲート・ソース間電圧Vgsによって制御され定電流源として動作する。

30

【0110】

【数1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \cdots (1)$$

40

【0111】

ところが、一般的に有機EL素子を始めとする電流駆動型の発光素子のI-V特性は、図4A(1)に示すように時間が経過すると劣化する。図4A(1)に示す有機EL素子で代表される電流駆動型の発光素子の電流-電圧(Iel-Vel)特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

【0112】

50

たとえば、発光素子の一例である有機EL素子127に発光電流 I_{el} が流れるとき、そのアノード・カソード間電圧 V_{el} は一意的に決定される。ところが、図4A(1)に示すように、発光期間中では、有機EL素子127のアノード端Aは駆動トランジスタ121のドレイン・ソース間電流 I_{ds} (=駆動電流 I_{ds})で決定される発光電流 I_{el} が流れ、それによって有機EL素子127のアノード・カソード間電圧 V_{el} 分だけ上昇する。

【0113】

図2に示した第1比較例の画素回路Pは、この有機EL素子127のアノード・カソード間電圧 V_{el} 分の上昇の影響は駆動トランジスタ121のドレイン端D側に現れるが、駆動トランジスタ121が飽和領域で動作する定電流駆動であるため、有機EL素子127には定電流 I_{ds} が流れ続け、有機EL素子127の $I_{el}-V_{el}$ 特性が劣化してもその発光輝度が経時劣化することはない。

10

【0114】

駆動トランジスタ121と発光制御トランジスタ122と保持容量120とサンプリングトランジスタ125とを備え、図2に示した接続態様とされた画素回路Pの構成にて、電気光学素子の一例である有機EL素子127の電流-電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路が構成されるようになっているのである。

【0115】

つまり、画素回路Pを映像信号 V_{sig} で駆動するとき、pチャネル型の駆動トランジスタ121のソース端Sは第1電源電位 V_{c1} に接続されており、常に飽和領域で動作するように設計されているので、式(1)に示した値を持つ定電流源となる。

20

【0116】

また、第1比較例の画素回路Pにおいては、有機EL素子127の $I_{el}-V_{el}$ 特性の経時変化(図4A(1))とともに、駆動トランジスタ121のドレイン端Dの電圧が変化してゆくが、駆動トランジスタ121は、保持容量120のブートストラップ機能によってゲート・ソース間電圧 V_{gs} が原理的には一定に保持されるため、駆動トランジスタ121は定電流源として動作し、その結果、有機EL素子127には一定量の電流が流れ、有機EL素子127を一定の輝度で発光させることができ、発光輝度は変化しない。

【0117】

第2比較例の画素回路Pでも、駆動トランジスタ121のソース端Sの電位(ソース電位 V_s)は、駆動トランジスタ121と有機EL素子127との動作点で決まるし、駆動トランジスタ121は飽和領域で駆動されるので、動作点のソース電圧に対応したゲート・ソース間電圧 V_{gs} に関し、前述の式(1)に規定された電流値の駆動電流 I_{ds} を流す。

30

【0118】

ところが、第1比較例の画素回路Pのpチャネル型の駆動トランジスタ121をnチャネル型に変更した単純な回路(第2比較例の画素回路P)では、ソース端Sが有機EL素子127側に接続されてしまう。その結果、前述の図4A(1)に示したように経時劣化する有機EL素子127の $I_{el}-V_{el}$ 特性により、同じ発光電流 I_{el} に対するアノード・カソード間電圧 V_{el} が V_{el1} から V_{el2} へと変化することで、駆動トランジスタ121の動作点が変わってしまい、同じゲート電位 V_g を印加しても駆動トランジスタ121のソース電位 V_s は変化してしまう。これにより、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は変化してしまう。

40

【0119】

特性式(1)から明らかなように、ゲート・ソース間電圧 V_{gs} が変動すると、たとえゲート電位 V_g が一定であっても駆動電流 I_{ds} が変動し、同時に有機EL素子127に流れる電流値(発光電流 I_{el})が変化し、発光輝度は変化してしまうことになる。

【0120】

このように第2比較例の画素回路Pでは、発光素子の一例である有機EL素子127の $I_{el}-V_{el}$ 特性の経時変動による有機EL素子127のアノード電位変動が、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} の変動となって現れ、ドレイン電流(駆動電流 I_{ds})の変動を引き起こす。この原因による駆動電流 I_{ds} の変動は画素回路Pごとの発光

50

輝度のばらつきや経時変動となって現れ、画質の劣化が起きる。

【0121】

これに対して、詳細は後述するが、 n チャネル型の駆動トランジスタ121を使用する場合においても、駆動トランジスタ121のソース端 S の電位 V_s の変動にゲート端 G の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機EL素子127の特性の経時変動による有機EL素子127のアノード電位変動（つまり駆動トランジスタ121のソース電位変動）があっても、その変動を相殺するようにゲート電位 V_g を変動させる。これにより、画面輝度の均一性（ユニフォーミティ）を確保できる。ブートストラップ機能により、有機EL素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。

10

【0122】

もちろん、このブートストラップ機能は、発光開始時点で、有機EL素子127に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ121のソース電位 V_s が変動する際にも機能する。

【0123】

< 駆動トランジスタの $V_{gs} - I_{ds}$ 特性 >

また、第1および第2比較例では、駆動トランジスタ121の特性については特に問題視していなかったが、画素ごとに駆動トランジスタ121の特性が異なると、その影響が駆動トランジスタ121に流れる駆動電流 I_{ds} に影響を及ぼす。一例としては、式(1)から分かるように、移動度 μ や閾値電圧 V_{th} が画素によってばらついた場合や経時的に変化した場合、ゲート・ソース間電圧 V_{gs} が同じであっても、駆動トランジスタ121に流れる駆動電流 I_{ds} にばらつきや経時変化が生じ、有機EL素子127の発光輝度も画素ごとに変化してしまうことになる。

20

【0124】

たとえば、駆動トランジスタ121の製造プロセスのばらつきにより、画素回路 P ごとに閾値電圧 V_{th} や移動度 μ などの特性変動がある。駆動トランジスタ121を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ121に同一のゲート電位を与えても、画素回路 P ごとにドレイン電流（駆動電流 I_{ds} ）が変動し、発光輝度のばらつきになって現れる。

30

【0125】

たとえば、図4A(2)は、駆動トランジスタ121の閾値ばらつきに着目した電圧電流（ $V_{gs} - I_{ds}$ ）特性を示す図である。閾値電圧が V_{th1} と V_{th2} で異なる2個の駆動トランジスタ121について、それぞれ特性カーブを挙げてある。

【0126】

前述のように、駆動トランジスタ121が飽和領域で動作しているときのドレイン電流 I_{ds} は、特性式(1)で表される。特性式(1)から明らかなように、閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、閾値電圧 V_{th} のばらつきに対して何ら対策を施さないと、図4A(2)に示すように、閾値電圧が V_{th1} のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、閾値電圧が V_{th2} のときの同じゲート電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

40

【0127】

また、図4A(3)は、駆動トランジスタ121の移動度ばらつきに着目した電圧電流（ $V_{gs} - I_{ds}$ ）特性を示す図である。移動度が μ_1 と μ_2 で異なる2個の駆動トランジスタ121について、それぞれ特性カーブを挙げてある。

【0128】

特性式(1)から明らかなように、移動度 μ が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。つまり、移動度 μ のばらつきに対して何ら対策を施さないと、図4A(3)に示すように、移動度が μ_1 のとき V_{gs} に対応する駆

50

動電流が I_{ds1} となるのに対して、移動度が μ_2 のときの同じゲート電圧 V_{gs} に対応する駆動電流が I_{ds2} となり、 I_{ds1} と異なってしまう。

【0129】

図4A(2)や図4A(3)に示すように、閾値電圧 V_{th} や移動度 μ の違いで $V_{in} - I_{ds}$ 特性に大きな違いが出てしまうと、同じ信号振幅 V_{in} を与えても、駆動電流 I_{ds} すなわち発光輝度が異なってしまい、画面輝度の均一性(ユニフォーミティ)が得られない。

【0130】

< 閾値補正および移動度補正の概念 >

これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング(詳細は後述する)とすることで、それらの変動の影響を抑制でき、画面輝度の均一性(ユニフォーミティ)を確保できる。

10

【0131】

本実施形態の閾値補正動作および移動度補正動作では、詳細は後述するが、書込みゲインが1(理想値)であると仮定した場合、発光時のゲート・ソース間電圧 V_{gs} が " $V_{in} + V_{th} - V$ " で表されるようにすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようにする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスや経時により変動しても、駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。

【0132】

移動度補正時には、大きな移動度 μ_1 に対しては移動度補正パラメータ V_1 が大きくなるようにする一方、小さい移動度 μ_2 に対しては移動度補正パラメータ V_2 も小さくなるように負帰還をかけることになる。こう言った意味で、移動度補正パラメータ V を負帰還量 V とも称する。

20

【0133】

< 比較例の画素回路：第3例 >

図3に示す第2比較例の画素回路Pにおける有機EL素子127の経時劣化による駆動電流変動を防ぐ回路(ブートストラップ回路)を搭載し、また駆動トランジスタ121の特性変動(閾値電圧ばらつきや移動度ばらつき)による駆動電流変動を防ぐ駆動方式を採用したのが本実施形態の画素回路Pにてベースとする図5に示す第3比較例の画素回路Pである。第3比較例の画素回路Pを画素アレイ部102に備える有機EL表示装置1を第3比較例の有機EL表示装置1と称する。

30

【0134】

第3比較例の画素回路Pは、第2比較例の画素回路Pと同様に、nチャネル型の駆動トランジスタ121を使用する。加えて、有機EL素子の経時劣化による当該有機EL素子への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機EL素子の電流-電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路を備えた点に特徴を有する。さらに、有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にする機能を備えた点に特徴を有する。

【0135】

すなわち、駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ(サンプリングトランジスタ125)を使用する2TR駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルスDSLおよび書込駆動パルスWSのオン/オフタイミングの設定により、有機EL素子127の経時劣化や駆動トランジスタ121の特性変動(たとえば閾値電圧や移動度などのばらつきや変動)による駆動電流 I_{ds} に与える影響を防ぐ点に特徴を有する。

40

【0136】

2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号 V_{sig} の劣化なくサンプリングできるため、良好な画質を得ることができる。

【0137】

50

図3に示した第2比較例に対しての構成上の大きな違いは、保持容量120の接続態様を変形して、有機EL素子127の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路の一例であるブートストラップ回路を構成する点にある。駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流 I_{ds} に与える影響を抑制する方法としては、各トランジスタ121, 125の駆動タイミングを工夫することで対処する。

【0138】

具体的には、第3比較例の画素回路Pは、保持容量120、nチャンネル型の駆動トランジスタ121、およびアクティブH（ハイ）の書込駆動パルスWSが供給されるnチャンネル型のサンプリングトランジスタ125、電流が流れることで発光する電気光学素子（発光素子）の一例である有機EL素子127を有する。

10

【0139】

駆動トランジスタ121のゲート端G（ノードND122）とソース端Sとの間に保持容量120が接続され、駆動トランジスタ121のソース端Sが直接に有機EL素子127のアノード端Aに接続されている。保持容量120は、ブートストラップ容量としても機能するようになっている。有機EL素子127のカソード端Kは基準電位としてのカソード電位 V_{cath} とされる。好ましくはこのカソード電位 V_{cath} は、図3に示した第2比較例と同様に基準電位を供給する全画素共通の配線 V_{cath} （好ましくはGND）に接続されている。

【0140】

20

駆動トランジスタ121のドレイン端Dは、電源スキャナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点に特徴を有する。

【0141】

具体的には、駆動走査部105は、駆動トランジスタ121のドレイン端Dに対して、それぞれ電源電圧に相当する高電圧側の第1電位 V_{cc} と低電圧側の第2電位 V_{ss} とを切り替えて供給する電源電圧切替回路を具備している。

【0142】

第2電位 V_{ss} としては、映像信号線106HSにおける映像信号 V_{sig} の基準電位 V_o （オフセット電位 V_{ofs} とも称する）より十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} （ゲート電位 V_g とソース電位 V_s の差）が駆動トランジスタ121の閾値電圧 V_{th} より大きくなるように、電源供給線105DSLの低電位側の第2電位 V_{ss} を設定する。なお、オフセット電位 V_{ofs} は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージにしておくためにも利用する。

30

【0143】

サンプリングトランジスタ125は、ゲート端Gが書込走査部104からの書込走査線104WSに接続され、ドレイン端Dが映像信号線106HSに接続され、ソース端Sが駆動トランジスタ121のゲート端G（ノードND122）に接続されている。そのゲート端Gには、書込走査部104からアクティブHの書込駆動パルスWSが供給される。

40

【0144】

サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させた接続態様とすることもできる。また、サンプリングトランジスタ125としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

【0145】

<第3比較例の画素回路の動作>

図6は、図5に示した第3比較例の画素回路Pに関する第3比較例（実質的に本実施形態と同様）の駆動タイミングの基本例を説明するタイミングチャートである。図6B～図6Lは、図6に示したタイミングチャートの各期間における等価回路と動作状態を説明す

50

る図である。図7は、閾値補正動作時における駆動トランジスタ121のソース電位 V_s の変化を示す図である。図7Aは、移動度補正動作時における駆動トランジスタ121のソース電位 V_s の変化を示す図である。

【0146】

以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが1(理想値)であると仮定して、保持容量120に信号振幅 V_{in} の情報を、書き込む、保持する、あるいはサンプリングするなど簡潔に記して説明する。書込みゲインが1未満の場合、保持容量120には信号振幅 V_{in} の大きさそのものではなく、信号振幅 V_{in} の大きさに対応するゲイン倍された情報が保持されることになる。

【0147】

因みに、信号振幅 V_{in} に対応する保持容量120に書き込まれる情報の大きさの割合を、書込みゲイン G_{input} と称する。ここで、書込みゲイン G_{input} は、具体的には、電気回路的に保持容量120と並列に配置される寄生容量を含めた全容量 C_1 と、電気回路的に保持容量120と直列に配置される全容量 C_2 との容量直列回路において、信号振幅 V_{in} を容量直列回路に供給したときに容量 C_1 に配分される電荷量に関する。式で表せば、 $g = C_1 / (C_1 + C_2)$ とすると、書込みゲイン $G_{input} = C_2 / (C_1 + C_2) = 1 - C_1 / (C_1 + C_2) = 1 - g$ となる。以下の説明において、“ g ”が登場する記載は書込みゲインを考慮したものである。

【0148】

また、説明や理解を容易にするため、特段の断りのない限り、ブートストラップゲインが1(理想値)であると仮定して簡潔に記して説明する。因みに、駆動トランジスタ121のゲート・ソース間に保持容量120が設けられている場合に、ソース電位 V_s の上昇に対するゲート電位 V_g の上昇率をブートストラップゲイン(ブートストラップ動作能力) G_{bst} と称する。ここで、ブートストラップゲイン G_{bst} は、具体的には、保持容量120の容量値 C_s 、駆動トランジスタ121のゲート・ソース間に形成される寄生容量 C_{121gs} の容量値 C_{gs} 、ゲート・ドレイン間に形成される寄生容量 C_{121gd} の容量値 C_{gd} 、およびサンプリングトランジスタ125のゲート・ソース間に形成される寄生容量 C_{125gs} の容量値 C_{ws} に関する。式で表せば、ブートストラップゲイン $G_{bst} = (C_s + C_{gs}) / (C_s + C_{gs} + C_{gd} + C_{ws})$ となる。

【0149】

図6においては、時間軸を共通にして、書込走査線104WSの電位変化、電源供給線105DSLの電位変化、および映像信号線106HSの電位変化を表してある。また、これらの電位変化と並行に、1行分(図では1行目)について駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s の変化も表してある。

【0150】

基本的には、書込走査線104WSや電源供給線105DSLの1行ごとに、1水平走査期間だけ遅れて同じような駆動を行なう。図6における各タイミングや信号は、処理対象行を問わず、第1行目のタイミングや信号と同じタイミングや信号で示す。そして、説明中において区別が必要とされるときには、そのタイミングや信号に、処理対象行を“ $_$ ”付きの参照子で示すことで区別する。

【0151】

また、第3比較例の駆動タイミングでは、映像信号 V_{sig} が非有効期間であるオフセット電位 V_{ofs} にある期間を1水平期間の前半部とし、有効期間である信号電位($V_{ofs} + V_{in}$)にある期間を1水平期間の後半部とする。また、映像信号 V_{sig} の有効期間と非有効期間を合わせた1水平期間ごとに、閾値補正動作を3回に亘って繰り返すようにする。その各回の映像信号 V_{sig} の有効期間と非有効期間の切替タイミング(t_{13V} , t_{15V})、および書込駆動パルスWSのアクティブとインアクティブの切替タイミング(t_{13W} , t_{15W})については、そのタイミングに、各回を“ $_$ ”なしの参照子で示すことで区別する。

【0152】

10

20

30

40

50

第3比較例では、1水平期間を処理サイクルとして、閾値補正動作を3回に亘って繰り返すようにしているが、この繰り返し動作は必須ではなく、1水平期間を処理サイクルとして、1回のみ閾値補正動作を実行するようにしてもよい。

【0153】

1水平期間が閾値補正動作の処理サイクルとなるのは、行ごとに、サンプリングトランジスタ125が信号振幅 V_{in} の情報を保持容量120にサンプリングする前に、閾値補正動作に先立って、電源供給線105DSLの電位を第2電位 V_{ss} にセットし、また駆動トランジスタ121のゲートをオフセット電位 V_{ofs} にセットし、さらにソース電位を第2電位 V_{ss} にセットする初期化動作を経てから、電源供給線105DSLの電位が第1電位 V_{cc} にある状態であつ映像信号線106HSがオフセット電位 V_{ofs} にある時間帯でサンプリングトランジスタ125を導通させて駆動トランジスタ121の閾値電圧 V_{th} に対応する電圧を保持容量120に保持させようとする閾値補正動作を行なうからである。

10

【0154】

必然的に、閾値補正期間は、1水平期間よりも短くなってしまふ。したがって、保持容量120の容量 C_s や第2電位 V_{ss} の大きさ関係やその他の要因で、この短い1回分の閾値補正動作期間では、閾値電圧 V_{th} に対応する正確な電圧を保持容量120に保持仕切れないケースも起こり得る。第3比較例において、閾値補正動作を複数回実行するのは、この対処のためである。すなわち、信号振幅 V_{in} の情報の保持容量120へのサンプリング(信号書込み)に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで、確実に駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を保持容量120に保持させるのである。

20

【0155】

ある行(ここでは第1行目とする)について、タイミング t_{11} 以前の前フィールドの発光期間Bでは、書込駆動パルスWSがインアクティブLでありサンプリングトランジスタ125が非導通状態である一方、電源駆動パルスDSLは高電位の電源電圧側である第1電位 V_{cc} にある。

【0156】

したがって、図6Bに示すように、映像信号線106HSの電位に関わらず、前フィールドの動作によって保持容量120に保持されている電圧状態(駆動トランジスタ121のゲート・ソース間電圧 V_{gs})に応じて有機EL素子127に駆動トランジスタ121から駆動電流 I_{ds} が供給され、全画素共通の配線 V_{cath} (好ましくはGND)に流れ込むことで、有機EL素子127が発光状態にある。このとき、駆動トランジスタ121は飽和領域で動作するように設定されているため、有機EL素子127に流れる駆動電流 I_{ds} は保持容量120に保持されている駆動トランジスタ121のゲート・ソース間電圧 V_{gs} に応じて式(1)に示される値をとる。

30

【0157】

この後、線順次走査の新しいフィールドに入って、先ず、駆動走査部105は、書込駆動パルスWSがインアクティブLにある状態で、1行目の電源供給線105DSL₁に与える電源駆動パルスDSL₁を高低電位側の第1電位 V_{cc} から低電位側の第2電位 V_{ss} に切り替える(t_{11_1} :図6Cを参照)。このタイミング(t_{11_1})は、図6に示すように、映像信号 V_{sig} が有効期間の信号電位($V_{ofs} + V_{in}$)にある期間内としている。しかし、 t_{11_1} は、必ずしもこのタイミングで遷移させる必要はない。

40

【0158】

次に、書込走査部104は、電源供給線105DSL₁が第2電位 V_{ss} にある状態のまま、書込駆動パルスWSをアクティブHに切り替える(t_{13W0})。このタイミング(t_{13W0})は、直前の水平期間における映像信号 V_{sig} が非有効期間であるオフセット電位 V_{ofs} から有効期間の信号電位($V_{ofs} + V_{in}$)に切り替わり、その後、オフセット電位 V_{ofs} に切り替わるタイミング(t_{13V0})と同じかそれよりも少し遅れたタイミングにする。この後に書込駆動パルスWSをインアクティブLに切り替えるタイミング(t_{15W0})は、オフセット電位 V_{ofs} から信号電位($V_{ofs} + V_{in}$)に切り替わるタイミング(t

50

15V0)と同じかそれよりも少し前のタイミングにする。

【0159】

つまり、好ましくは、書込駆動パルスWSをアクティブHにする期間($t_{13W} \sim t_{15W}$)は、映像信号Vsigが非有効期間であるオフセット電位Vofsにある時間帯($t_{13V} \sim t_{15V}$)内とする。これは、電源供給線105DSLが第1電位Vccにある状態のときに映像信号Vsigが信号電位($Vofs + Vin$)にあるときに書込駆動パルスWSをアクティブHにすると信号振幅Vinの情報の保持容量120へのサンプリング動作(信号電位の書込み動作)がなされてしまい、閾値補正動作としては不都合が生じるからである。

【0160】

タイミング $t_{11_1} \sim t_{13W0}$ (放電期間Cと称する)では、電源供給線105DSLの電位は第2電位Vssまで放電され、さらに駆動トランジスタ121のソース電位Vsは第2電位Vssに近い電位まで遷移する。さらに、駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果によって、駆動トランジスタ121のソース電位Vsの変動にゲート電位Vgが連動する。

10

【0161】

電源駆動パルスDSLを低電位側の第2電位Vssにしたままで、書込駆動パルスWSをアクティブHに切り替えると(t_{13W0})、図6Dに示すように、サンプリングトランジスタ125が導通状態になる。

【0162】

このとき、映像信号線106HSはオフセット電位Vofsにある。したがって、駆動トランジスタ121のゲート電位Vgは導通したサンプリングトランジスタ125を通じて映像信号線106HSのオフセット電位Vofsとなる。これと同時に、駆動トランジスタ121がオンすることで、駆動トランジスタ121のソース電位Vsは低電位側の第2電位Vssに固定される。

20

【0163】

つまり、電源供給線105DSLの電位が高電位側の第1電位Vccから映像信号線106HSのオフセット電位Vofsより十分低い第2電位Vssにあることで、駆動トランジスタ121のソース電位Vsが映像信号線106HSのオフセット電位Vofsより十分低い第2電位Vssに初期化(リセット)される。このようにして、駆動トランジスタ121のゲート電位Vgおよびソース電位Vsを初期化することで、閾値補正動作の準備が完了する。次に電源駆動パルスDSLを高電位側の第1電位Vccにするまでの期間($t_{13W0} \sim t_{14_1}$)が、初期化期間Dとなる。なお、放電期間Cと初期化期間Dとを合わせて、駆動トランジスタ121のゲート電位Vgとソース電位Vsを初期化する閾値補正準備期間とも称する。

30

【0164】

電源供給線105DSLの配線容量が大きい場合は比較的早いタイミングで電源供給線105DSLを高電位Vccから低電位Vssに切り替えるとよい。この放電期間Cおよび初期化期間D($t_{11_1} \sim t_{14_1}$)を十分に確保することで、配線容量やその他の画素寄生容量の影響を受けないようにしておく。このため、第3比較例では、初期化処理を2回行うようにしている。すなわち、電源供給線105DSL_1が第2電位Vssにある状態のまま、書込駆動パルスWSをインアクティブLに切り替えた後(t_{15W0})、映像信号Vsigを信号電位($Vofs + Vin$)に切り替える(t_{15V0})。さらに、映像信号Vsigをオフセット電位Vofsに切り替えた後(t_{13V1})、書込駆動パルスWSをアクティブHに切り替える(t_{13W1})。

40

【0165】

放電期間Cにおいて、第2電位Vssが有機EL素子127の閾値電圧VthELとカソード電位Vcathの和よりも小さいとき、つまり“ $Vss < VthEL + Vcath$ ”であれば有機EL素子127は消光する。また、駆動トランジスタ121のソース端とドレイン端が事実上逆転して電源供給線105DSLが駆動トランジスタ121のソース側となり、有機EL素子127のアノード端Aは第2電位Vssに充電される(図6Cを参照)。

50

【0166】

さらに、初期化期間Dにおいては、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は“ $V_{ofs} - V_{ss}$ ”という値をとる(図6Dを参照)。この“ $V_{ofs} - V_{ss}$ ”が駆動トランジスタ121の閾値電圧 V_{th} よりも大きくないと閾値補正動作を行なうことができないために、“ $V_{ofs} - V_{ss} > V_{th}$ ”とする。

【0167】

次に、書込駆動パルスWSをアクティブHにしたままで、電源供給線105DSLに与える電源駆動パルスDSLを第1電位 V_{cc} に切り替える(t_{14_1})。駆動走査部105は、それ以降は、次のフレーム(あるいはフィールド)の処理まで、電源供給線105DSLの電位を第1電位 V_{cc} に保持しておく。

10

【0168】

電源供給線105DSLを第1電位 V_{cc} に切り替えると(t_{14_1})、駆動トランジスタ121のソース端とドレイン端が再度逆転して電源供給線105DSLが駆動トランジスタ121のドレイン側となる(図6Eを参照)。これにより、駆動電流 I_{ds} が保持容量120に流れ込み、駆動トランジスタ121の閾値電圧 V_{th} を補正(キャンセル)する第1回目の閾値補正期間(第1閾値補正期間Eと称する)に入る。この第1閾値補正期間Eは、書込駆動パルスWSがインアクティブLにされるタイミング(t_{15W1})まで継続する。

【0169】

ここで、本実施形態の駆動走査部105は、電源供給線105DSLの電位を、低電位側である第2電位 V_{ss} から高電位側である第1電位 V_{cc} に遷移させるタイミング(t_{14_1})を、映像信号線106HSが映像信号 V_{sig} の非有効期間であるオフセット電位 V_{ofs} にある時間帯($t_{13V1} \sim t_{15V1}$)、さらに好ましくは書込駆動パルスWSがアクティブである時間帯($t_{13W1} \sim t_{15W1}$)とする。

20

【0170】

ところで、タイミング(t_{14_1})以降の第1閾値補正期間Eでは、図6Eに示すように、電源供給線105DSLの電位が低電位側の第2電位 V_{ss} から高電位側の第1電位 V_{cc} に遷移することで、駆動トランジスタ121のソース電位 V_s が上昇を開始する。

【0171】

すなわち、駆動トランジスタ121のゲート端Gは映像信号 V_{sig} のオフセット電位 V_{ofs} に保持されており、駆動トランジスタ121のソース端Sの電位 V_s が上昇して駆動トランジスタ121がカットオフするまで駆動電流 I_{ds} が流れようとする。カットオフすると駆動トランジスタ121のソース電位 V_s は“ $V_{ofs} - V_{th}$ ”となる。

30

【0172】

すなわち、有機EL素子127の等価回路はダイオードと寄生容量 C_{el} の並列回路で表されるため、“ $V_{el} = V_{cath} + V_{thEL}$ ”である限り、つまり、有機EL素子127のリーク電流が駆動トランジスタ121に流れる電流よりもかなり小さい限り、駆動トランジスタ121の駆動電流 I_{ds} は保持容量120と寄生容量 C_{el} を充電するために使われる。

【0173】

この結果、駆動トランジスタ121に駆動電流 I_{ds} が流れると、有機EL素子127のアノード端Aの電圧 V_{el} つまりノードND121の電位は、図7に示すように、時間とともに上昇してゆく。そして、ノードND121の電位(ソース電位 V_s)とノードND122の電圧(ゲート電位 V_g)との電位差がちょうど閾値電圧 V_{th} となったところで閾値補正期間を終了させる。つまり、一定時間経過後、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。

40

【0174】

ゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} となるまでは、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} よりも大きいいため、図6Eに示すように駆動電流 I_{ds} が流れる。このとき、有機EL素子127には逆バイアスがかかっているため有機EL素子127が発光することはない。

【0175】

50

ここで、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 121 のゲート端 G とソース端 S との間に接続された保持容量 120 に書き込まれることになる。しかしながら、第 1 閾値補正期間 E は、書込駆動パルス WS をアクティブ H にしたタイミング (t_{13W1}) (詳しくはその後に電源駆動パルス DSL を第 1 電位 V_{cc} に戻した時点 t_{14}) からインアクティブ L に戻すタイミング (t_{15W1}) までであり、この期間が十分に確保されていないときには、それ以前に終了してしまうこととなる。

【0176】

具体的には、ゲート・ソース間電圧 V_{gs} が V_{x1} ($> V_{th}$) になったとき、つまり、駆動トランジスタ 121 のソース電位 V_s が低電位側の第 2 電位 V_{ss} から “ $V_{ofs} - V_{x1}$ ” になったときに終わってしまう。このため、第 1 閾値補正期間 E が完了した時点 (t_{15W1}) では、 V_{x1} が保持容量 120 に書き込まれる。

10

【0177】

次に、駆動走査部 105 は、1 水平期間の後半部で、書込駆動パルス WS をインアクティブ L に切り替え (t_{15W1})、さらに水平駆動部 106 は、映像信号線 106 HS をオフセット電位 V_{ofs} から信号電位 ($V_{ofs} + V_{in}$) に切り替える (t_{15V1})。これにより、図 6 F に示すように、映像信号線 106 HS が信号電位 ($V_{ofs} + V_{in}$) に変化する一方、書込走査線 104 WS の電位 (書込駆動パルス WS) はローレベルになる。

【0178】

このときには、サンプリングトランジスタ 125 は非導通 (オフ) 状態にあり、それ以前に保持容量 120 に保持された V_{x1} に応じたドレイン電流が有機 EL 素子 127 に流れることで、ソース電位 V_s が僅かに上昇する。この上昇分を V_{a1} とすると、ソース電位 V_s は “ $V_{ofs} - V_{x1} + V_{a1}$ ” となる。さらに、駆動トランジスタ 121 のゲート端 G とソース端 S との間には保持容量 120 が接続されており、その保持容量 120 による効果によって、駆動トランジスタ 121 のソース電位 V_s の変動にゲート電位 V_g が連動することで、ゲート電位 V_g が “ $V_{ofs} + V_{a1}$ ” となる。

20

【0179】

第 1 閾値補正期間 E 後の、水平駆動部 106 が映像信号線 106 HS を信号電位 ($V_{ofs} + V_{in}$) からオフセット電位 V_{ofs} に切り替え (t_{13V2})、駆動走査部 105 が書込駆動パルス WS をアクティブ H に切り替える (t_{13W2}) までの期間 (他行書込み期間と称する) F は、他の行の画素に対する信号振幅 V_{in} の情報のサンプリング期間となり、この処理対象行のサンプリングトランジスタ 125 はオフ状態にする必要がある。これで、1 回目の 1 水平期間の処理が完結する。

30

【0180】

次の 1 水平周期 (1 H) の前半になると、水平駆動部 106 が映像信号線 106 HS を信号電位 ($V_{ofs} + V_{in}$) からオフセット電位 V_{ofs} に切り替え (t_{13V2})、駆動走査部 105 が書込駆動パルス WS をアクティブ H に切り替える (t_{13W2})。これにより、ドレイン電流が保持容量 120 に流れ込み、駆動トランジスタ 121 の閾値電圧 V_{th} を補正 (キャンセル) する第 2 回目の閾値補正期間 (第 2 閾値補正期間 G と称する) に入る。この第 2 閾値補正期間 G は、書込駆動パルス WS がインアクティブ L にされるタイミング (t_{15W2}) まで継続する。

40

【0181】

第 2 閾値補正期間 G では、第 1 閾値補正期間 E と同様の動作をする。具体的には、図 6 G に示すように、駆動トランジスタ 121 のゲート端 G は映像信号 V_{sig} のオフセット電位 V_{ofs} に保持されることとなり、ゲート電位が直前の “ $V_g = \text{オフセット電位 } V_{ofs} + V_{a1}$ ” からオフセット電位 V_{ofs} に切り替わる。このときの駆動トランジスタのゲート端 G の電位変動量 V_{a1} の情報が、保持容量 120、駆動トランジスタのゲート・ソース間の寄生容量 C_{gs} を介して駆動トランジスタのソース端 S に入力される。このときのソース端 S への入力量は $g V_{a1}$ と表され、ソース電位 V_s は、直前の “ $V_{ofs} - V_{x1} + V_{a1}$ ” から $g V_{a1}$ だけ低下するので、 “ $V_{ofs} - V_{x1} + (1 - g) V_{a1}$ ” となる。

50

【 0 1 8 2 】

ここで、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 $V_{x1} - (1 - g) V_{a1}$ が駆動トランジスタ 1 2 1 の閾値電圧 V_{th} よりも大きいならば、この後、駆動トランジスタ 1 2 1 のソース端 S の電位 V_s が上昇して駆動トランジスタ 1 2 1 がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ 1 2 1 のソース電位 V_s は “ $V_{ofs} - V_{th}$ ” となる。

【 0 1 8 3 】

しかしながら、第 2 閾値補正期間 G は、書込駆動パルス WS をアクティブ H にしたタイミング (t_{13W2}) からインアクティブ L に戻すタイミング (t_{15W2}) までであり、この期間が十分に確保されていないときには、それ以前に終了してしまうこととなる。この点
10
は、第 1 閾値補正期間 E と同じであり、ゲート・ソース間電圧 V_{gs} が V_{x2} ($< V_{x1}$ 、
かつ $> V_{th}$) になったとき、つまり、駆動トランジスタ 1 2 1 のソース電位 V_s が “ $V_{ofs} - V_{x1}$ ” から “ $V_{ofs} - V_{x2}$ ” になったときに終わってしまう。このため、第 2 閾値補正期間 G が完了した時点 (t_{15W2}) では V_{x2} が保持容量 1 2 0 に書き込まれる。

【 0 1 8 4 】

次に、駆動走査部 1 0 5 は、1 水平期間の後半部で、他の行の画素に対する信号電位の
20
サンプリングを行なうため、書込駆動パルス WS をインアクティブ L に切り替え (t_{15W2})、
さらに水平駆動部 1 0 6 は、映像信号線 1 0 6 HS をオフセット電位 V_{ofs} から信号電位 ($V_{ofs} + V_{in}$) に切り替える (t_{15V2})。これにより、図 6 H に示すように、映像
信号線 1 0 6 HS が信号電位 ($V_{ofs} + V_{in}$) に変化する一方、書込走査線 1 0 4 WS の電位
(書込駆動パルス WS) はローレベルになる。

【 0 1 8 5 】

このときには、サンプリングトランジスタ 1 2 5 は非導通 (オフ) 状態にあり、それ以前に保持容量 1 2 0 に保持された V_{x2} に応じたドレイン電流が有機 EL 素子 1 2 7 に流
れることで、ソース電位 V_s が僅かに上昇する。この上昇分を V_{a2} とすると、ソース電位
30
 V_s は “ $V_{ofs} - V_{x2} + V_{a2}$ ” となる。さらに、駆動トランジスタ 1 2 1 のゲート
端 G とソース端 S との間には保持容量 1 2 0 が接続されており、その保持容量 1 2 0 による
効果によって、駆動トランジスタ 1 2 1 のソース電位 V_s の変動にゲート電位 V_g が連
動することで、ゲート電位 V_g が “ $V_{ofs} + V_{a2}$ ” となる。

【 0 1 8 6 】

第 2 閾値補正期間 G 後の、水平駆動部 1 0 6 が映像信号線 1 0 6 HS を信号電位 ($V_{ofs} + V_{in}$) からオフセット電位 V_{ofs} に切り替え (t_{13V3})、駆動走査部 1 0 5 が書込駆
30
動パルス WS をアクティブ H に切り替える (t_{13W3}) までの期間 (他行書込み期間と称す
る) H は、他の行の画素に対する信号振幅 V_{in} の情報のサンプリング期間となり、この処
理対象行のサンプリングトランジスタ 1 2 5 はオフ状態にする必要がある。これで、2 回
目の 1 水平期間の処理が完結する。

【 0 1 8 7 】

さらに、次の 1 水平周期 (1 H) の前半になると、水平駆動部 1 0 6 が映像信号線 1 0
40
6 HS を信号電位 ($V_{ofs} + V_{in}$) からオフセット電位 V_{ofs} に切り替え (t_{13V3})、駆
動走査部 1 0 5 が書込駆動パルス WS をアクティブ H に切り替える (t_{13W3})。これにより、
ドレイン電流が保持容量 1 2 0 に流れ込み、駆動トランジスタ 1 2 1 の閾値電圧 V_{th}
を補正 (キャンセル) する第 3 回目の閾値補正期間 (第 3 閾値補正期間 I と称する) に入
る。この第 3 閾値補正期間 I は、書込駆動パルス WS がインアクティブ L にされるタイミン
グ (t_{15W3}) まで継続する。

【 0 1 8 8 】

この第 3 閾値補正期間 I では、第 1 閾値補正期間 E や第 2 閾値補正期間 G と同様の動作
をする。具体的には、図 6 I に示すように、駆動トランジスタ 1 2 1 のゲート端 G は映像
50
信号 V_{sig} のオフセット電位 V_{ofs} に保持されることとなり、ゲート電位が直前の “ $V_g =$
オフセット電位 $V_{ofs} + V_{a2}$ ” からオフセット電位 V_{ofs} に切り替わる。このときの
駆動トランジスタのゲート端 G の電位変動量 V_{a2} の情報が、保持容量 1 2 0、駆動トラ

ンジスタのゲート・ソース間の寄生容量 C_{gs} を介して駆動トランジスタのソース端 S に入力される。このときのソース端 S への入力量は $g V_{a2}$ と表され、ソース電位 V_s は、直前の “ $V_{ofs} - V_{x2} + V_{a2}$ ” から $g V_{a2}$ だけ低下するので、 “ $V_{ofs} - V_{x1} + (1 - g) V_{a2}$ ” となる。

【0189】

この後、駆動トランジスタ 121 のソース端 S の電位 V_s が上昇して駆動トランジスタ 121 がカットオフするまでドレイン電流が流れようとする。ゲート・ソース間電圧 V_{gs} がちょうど閾値電圧 V_{th} となったところでドレイン電流がカットオフする。カットオフすると駆動トランジスタ 121 のソース電位 V_s は “ $V_{ofs} - V_{th}$ ” となる。

【0190】

つまり、複数回（本例では 3 回）に亘る閾値補正期間での処理によって、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。ここで、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 121 のゲート端 G とソース端 S との間に接続された保持容量 120 に書き込まれることになる。

【0191】

なお、3 回に亘る閾値補正期間 E, G, I では、何れもドレイン電流が専ら保持容量 120 側や有機 EL 素子 127 の寄生容量 C_{el} 側に流れ、カソード電位 V_{cath} 側には流れないようにするため、有機 EL 素子 127 がカットオフとなるように共通接地配線 $cath$ の電位 V_{cath} を設定しておく。

【0192】

この後、水平駆動部 106 により信号線 106 HS に信号電位 ($V_{ofs} + V_{in}$) を実際に供給して、書込駆動パルス WS をアクティブ H にする期間を、保持容量 120 への信号振幅 V_{in} の情報の書込み期間（サンプリング期間とも称する）とする。この信号振幅 V_{in} の情報は駆動トランジスタ 121 の閾値電圧 V_{th} に足し込む形で保持される。詳しくは、書込みゲイン G_{input} を考慮したとき、前述の比率 g が関与する。

【0193】

この結果、駆動トランジスタ 121 の閾値電圧 V_{th} の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正によって、保持容量 120 に保持されるゲート・ソース間電圧 V_{gs} は “ $V_{in} + V_{th}$ ” となる。書込みゲイン G_{input} を考慮したときには、 $(1 - g) V_{in} + V_{th} = G_{input} \cdot V_{in} + V_{th}$ となる。また、同時に、このサンプリング期間で移動度補正を実行する。すなわち、本実施形態の駆動タイミングにおいて、サンプリング期間は移動度補正期間を兼ねることとなる。信号振幅 V_{in} は階調に応じた電圧である。

【0194】

具体的には、先ず、書込駆動パルス WS をインアクティブ L に切り替え (t_{15W3})、さらに水平駆動部 106 は、映像信号線 106 HS をオフセット電位 V_{ofs} から信号電位 ($V_{ofs} + V_{in}$) に切り替える (t_{15V3}) ことで、最後（本例では 3 回目）の閾値補正期間を完了させる。こうすることで、図 6 J に示すように、サンプリングトランジスタ 125 が非導通（オフ）状態とされ、次のサンプリング動作および移動度補正動作の準備が完了する。次に書込駆動パルス WS をアクティブ H にするタイミング (t_{16_1}) まで期間を書込み & 移動度補正準備期間 J と称する。

【0195】

次に、映像信号線 106 HS を信号電位 ($V_{ofs} + V_{in}$) に保持したままで、書込走査部 104 は、書込駆動パルス WS をアクティブ H に切り替え (t_{16_1})、水平駆動部 106 が映像信号線 106 HS の電位を信号電位 ($V_{ofs} + V_{in}$) からオフセット電位 V_{ofs} に切り替えるタイミング (t_{18_1}) までの間での適当なタイミングで、つまり、映像信号線 106 HS が信号電位 ($V_{ofs} + V_{in}$) にある時間帯での適当なとき、インアクティブ L に切り替える (t_{17_1})。この書込駆動パルス WS がアクティブ H にある期間 ($t_{16_1} \sim t_{17_1}$) を、サンプリング期間 & 移動度補正期間 K と称する。

【0196】

10

20

30

40

50

これにより、図6 Kに示すように、サンプリングトランジスタ125が導通(オン)状態となり、駆動トランジスタ121のゲート電位 V_g は信号電位($V_{ofs} + V_{in}$)となる。したがって、サンプリング期間&移動度補正期間Kでは、駆動トランジスタ121のゲート端Gが信号電位($V_{ofs} + V_{in}$)に固定された状態で、駆動トランジスタ121に駆動電流 I_{ds} が流れる。

【0197】

駆動トランジスタ121のゲート電位 V_g はサンプリングトランジスタ125をオンしているために信号電位($V_{ofs} + V_{in}$)となるが、電源供給線105DSLから電流が流れるためソース電位 V_s は時間とともに上昇してゆく。

【0198】

後述するが、有機EL素子127の閾値電圧を V_{thEL} としたとき、書込みゲインを考慮したときは“ $V_{ofs} - V_{th} + g V_{in} + V < V_{thEL} + V_{cath}$ ”と設定しておくことで、有機EL素子127は、逆バイアス状態におかれ、カットオフ状態(ハイインピーダンス状態)にあるため、発光することはない、また、ダイオード特性ではなく単純な容量特性を示すようになる。このときのソース電位 V_s が有機EL素子127の閾値電圧 V_{thEL} とカソード電位 V_{cath} の和を越えなければ、駆動トランジスタ121に流れるドレイン電流(駆動電流 I_{ds})は保持容量120の容量値 C_s と有機EL素子127の寄生容量(等価容量) C_{el} の容量値 C_{el} の両者を結合した容量“ $C = C_s + C_{el}$ ”に書き込まれていく。これにより、駆動トランジスタ121のソース電位 V_s は上昇していく。このとき、駆動トランジスタ121の閾値補正動作は完了しているため、駆動トランジスタ121が流す駆動電流 I_{ds} は移動度 μ を反映したものとなる。

【0199】

図6のタイミングチャートでは、この上昇分を V で表してある。書込みゲインを考慮したときは、この上昇分、すなわち移動度補正パラメータである負帰還量 V は、閾値補正によって保持容量120に保持されるゲート・ソース間電圧“ $V_{gs} = (1 - g) V_{in} + V_{th}$ ”から差し引かれることになり、“ $V_{gs} = (1 - g) V_{in} + V_{th} - V$ ”となるので、負帰還をかけたことになる。このとき、駆動トランジスタ121のソース電位 V_s は、ゲート電位 V_g ($= V_{ofs} + V_{in}$)から保持容量に保持される電圧“ $V_{gs} = (1 - g) V_{in} + V_{th} - V$ ”を差し引いた値“ $(1 - g) V_{ofs} + g(V_{ofs} + V_{in}) - V_{th} + V$ ” = “ $V_{ofs} + g V_{in} - V_{th} + V$ ”となる。

【0200】

このようにして、第3比較例の駆動タイミングでは、サンプリング期間&移動度補正期間K($t_{16} \sim t_{17}$)において、映像信号 V_{sig} における信号振幅 V_{in} のサンプリングと移動度 μ を補正する負帰還量(移動度補正パラメータ) V の調整が行なわれる。負帰還量 V は $V = I_{ds} \cdot t / (C_{el} + C_{gs} + C_s)$ である。

【0201】

書込走査部104は、サンプリング期間&移動度補正期間Kの時間幅を調整可能であり、これにより保持容量120に対する駆動電流 I_{ds} の負帰還量を最適化することができる。ここで「負帰還量を最適化する」とは、映像信号電位の黒レベルから白レベルまでの範囲で、どのレベルにおいても適切に移動度補正を行なうことができるようにすることを意味する。

【0202】

負帰還量 V は $V = I_{ds} \cdot t / (C_{el} + C_{gs} + C_s)$ であるから、ゲート・ソース間電圧 V_{gs} にかかる負帰還量 V は、ドレイン電流 I_{ds} の取り出し時間すなわちサンプリング期間&移動度補正期間Kに依存しており、この期間を長くとるほど、負帰還量が大きくなる。その際、移動度補正期間 t は必ずしも一定である必要はなく、逆に駆動電流 I_{ds} に応じて調整することが好ましい場合がある。たとえば、駆動電流 I_{ds} が大きい場合、移動度補正期間 t は短めにし、逆に駆動電流 I_{ds} が小さくなると、移動度補正期間 t は長めに設定することがよい。

【0203】

10

20

30

40

50

また、負帰還量 V は $V = I_{ds} \cdot t / (C_{el} + C_{gs} + C_s)$ であるから、駆動トランジスタ 121 のドレイン・ソース間電流である駆動電流 I_{ds} が大きいほど、負帰還量 V は大きくなる。逆に、駆動トランジスタ 121 の駆動電流 I_{ds} が小さいとき、負帰還量 V は小さくなる。このように、負帰還量 V は駆動電流 I_{ds} に応じて決まる。

【0204】

また、信号振幅 V_{in} が大きいほど駆動電流 I_{ds} は大きくなり、負帰還量 V の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正を実現できる。その際、サンプリング期間 & 移動度補正期間 K は必ずしも一定である必要はなく、逆に駆動電流 I_{ds} に応じて調整することが好ましい場合がある。たとえば、駆動電流 I_{ds} が大きい場合、移動度補正期間 t は短めにし、逆に駆動電流 I_{ds} が小さくなると、サンプリング期間 & 移動度補正期間 K は長めに設定するのがよい。

10

【0205】

たとえば、映像信号線電位（信号線 106 HS の電位）の立上りもしくは書込走査線 104 WS の書込駆動パルス WS の遷移特性に傾斜をつけることで、移動度補正期間を映像線信号電位に自動的に追従させて、その最適化を図る。信号線 106 HS の電位が高いとき（駆動電流 I_{ds} が大きいとき）補正期間が短くなり、信号線 106 HS の電位が低いとき（駆動電流 I_{ds} が小さいとき）補正期間は長くなるように、自動的に調整する。こうすることで、映像信号電位（映像信号 V_{sig} ）に追従して、適切な補正期間を自動的に設定できるため、画像の輝度や絵柄によらず最適な移動度補正が可能となる。

【0206】

20

また、負帰還量 V は、 $I_{ds} \cdot t / (C_{el} + C_{gs} + C_s)$ であり、画素回路 P ごとに移動度 μ のばらつきに起因して駆動電流 I_{ds} がばらつく場合でも、それぞれに応じた負帰還量 V となるので、画素回路 P ごとの移動度 μ のばらつきを補正することができる。つまり、信号振幅 V_{in} を一定とした場合、図 7A に示すように、駆動トランジスタ 121 の移動度 μ が大きいほど駆動電流 I_{ds} が大きく、ソース電位 V_s の上昇が早く、負帰還量 V の絶対値が大きくなる。逆に移動度 μ が小さいものは駆動電流 I_{ds} が小さく、ソース電位 V_s の上昇は遅く、負帰還量 V の絶対値が小さくなる。換言すると、移動度 μ が大きいほど負帰還量 V が大きくなるので、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は移動度 μ を反映して小さくなり、一定時間経過後に完全に移動度 μ を補正するゲート・ソース間電圧 V_{gs} となるので、画素回路 P ごとの移動度 μ のばらつきを取り除くことができる。

30

【0207】

このようにして、第 3 比較例の駆動タイミングでは、サンプリング期間 & 移動度補正期間 K にて、信号振幅 V_{in} のサンプリングと移動度 μ のばらつきを補正するための負帰還量 V の調整が同時に行なわれる。もちろん、負帰還量 V はサンプリング期間 & 移動度補正期間 K の時間幅を調整することで最適化可能である。

【0208】

次に、書込走査部 104 は、映像信号線 106 HS が信号電位（ $V_{ofs} + V_{in}$ ）にある状態で、書込駆動パルス WS をインアクティブ L に切り替える（ t_{17_1} ）。これにより、図 6L に示すように、サンプリングトランジスタ 125 が非導通（オフ）状態となり発光期間 L に進む。水平駆動部 106 は、その後の適当な時点で映像信号線 106 HS への信号電位（ $V_{ofs} + V_{in}$ ）の供給を停止してオフセット電位 V_{ofs} に戻す（ t_{18_1} ）。この後、次のフレーム（もしくはフィールド）に移って、再び、閾値補正準備動作、閾値補正動作、移動度補正動作、および発光動作が繰り返される。

40

【0209】

この結果、駆動トランジスタ 121 のゲート端 G は映像信号線 106 HS から切り離される。駆動トランジスタ 121 のゲート端 G への信号電位（ $V_{ofs} + V_{in}$ ）の印加が解除されるので、駆動トランジスタ 121 のゲート電位 V_g は上昇可能となる。

【0210】

このとき、駆動トランジスタ 121 に流れる駆動電流 I_{ds} は有機 EL 素子 127 に流れ

50

、有機EL素子127のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。やがて、ソース電位 V_s の上昇に伴い、有機EL素子127の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機EL素子127は実際に発光を開始する。このときの有機EL素子127のアノード電位の上昇(V_{el})は、駆動トランジスタ121のソース電位 V_s の上昇に他ならず、駆動トランジスタ121のソース電位 V_s は、“ $(1-g)V_{ofs} + g(V_{ofs} + V_{in}) - V_{th} + V + V_{el}$ ” = “ $V_{ofs} + gV_{in} - V_{th} + V + V_{el}$ ”となる。

【0211】

駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表した式(1)の V_{gs} に“ $V_{in} - V + V_{th}$ ”を代入することで、式(2-1)のように表すことができる。書込みゲインを考慮したときには、式(1)の V_{gs} に“ $(1-g)V_{in} - V + V_{th}$ ”を代入することで、式(2-2)のように表すことができる。式(2-1)や式(2-2)(纏めて式(2)と称する)において、 $k = (1/2)(W/L)C_{ox}$ である。

【0212】

【数2】

$$\left. \begin{aligned} I_{ds} &= k\mu(V_{gs}-V_{th})^2 = k\mu(V_{in}-\Delta V)^2 \cdots(2-1) \\ I_{ds} &= k\mu(V_{gs}-V_{th})^2 = k\mu((1-g)V_{in}-\Delta V)^2 \cdots(2-2) \end{aligned} \right\} \cdots (2)$$

【0213】

この式(2)から、閾値電圧 V_{th} の項がキャンセルされており、有機EL素子127に供給される駆動電流 I_{ds} は駆動トランジスタ121の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は信号振幅 V_{in} によって決まる。換言すると、有機EL素子127は信号振幅 V_{in} に応じた輝度で発光することになる。

【0214】

その際、保持容量120に保持される情報は帰還量 V で補正されている。この補正量 V はちょうど式(2)の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、駆動電流 I_{ds} は実質的に信号振幅 V_{in} のみに依存することになる。駆動電流 I_{ds} は閾値電圧 V_{th} に依存しないので、閾値電圧 V_{th} が製造プロセスにより変動しても、ドレイン・ソース間の駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。

【0215】

また、駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果により、発光期間の最初でブートストラップ動作が行なわれ、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} を一定に維持したまま、駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s が上昇する。駆動トランジスタ121のソース電位 V_s が“ $V_{ofs} + gV_{in} - V_{th} + V + V_{el}$ ”となることで、ゲート電位 V_g は“ $V_{ofs} + V_{in} + V_{el}$ ”となる。

【0216】

このとき、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ121は、一定電流(駆動電流 I_{ds})を有機EL素子127に流す。その結果、有機EL素子127のアノード端Aの電位(=ノードND121の電位)は、有機EL素子127に飽和状態での駆動電流 I_{ds} という電流が流れ得る電圧まで上昇する。

【0217】

ここで、有機EL素子127は、発光時間が長くなるとそのI-V特性が変化してしまう。そのため、時間の経過とともに、ノードND121の電位も変化する。しかしながら、このような有機EL素子127の経時劣化によりそのアノード電位が変動しても、保持容量120に保持されたゲート・ソース間電圧 V_{gs} は常に一定に維持される。

10

20

30

40

50

【0218】

駆動トランジスタ121が定電流源として動作することから、有機EL素子127のI-V特性が経時変化し、これに伴って駆動トランジスタ121のソース電位 V_s が変化したとしても、保持容量120によって駆動トランジスタ121のゲート・ソース間電位 V_{gs} が一定($V_{in} - V + V_{th}$ もしくは $(1 - g)V_{in} - V + V_{th}$)に保たれているため、有機EL素子127に流れる電流は変わらず、したがって有機EL素子127の発光輝度も一定に保たれる。

【0219】

このような、有機EL素子127の特性変動に拘らず、駆動トランジスタ121のゲート・ソース間電圧を一定に維持し輝度を一定に維持する補正のための動作(保持容量120の効果による動作)をブートストラップ動作と呼ぶ。このブートストラップ動作により、有機EL素子127のI-V特性が経時的に変化しても、それに伴う輝度劣化のない画像表示が可能になる。

10

【0220】

つまり、第3比較例の画素回路Pとそれを駆動する第3比較例の駆動タイミングでは、電気光学素子の一例である有機EL素子127の電流-電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路の一例であるブートストラップ回路が構成され、ブートストラップ動作が機能するようになっているのである。よって、有機EL素子127のI-V特性が劣化しても一定電流 I_{ds} が常に流れ続けるため、有機EL素子127は画素信号 V_{sig} に応じた輝度で発光を続けることになり輝度が変化することはない。

20

【0221】

また、第3比較例の画素回路Pとそれを駆動する第3比較例の駆動タイミングでは、駆動トランジスタ121の閾値電圧 V_{th} を補正して駆動電流を一定に維持する駆動信号一定化回路の一例である閾値補正回路が構成され閾値補正動作が機能するようになっている。駆動トランジスタ121の閾値電圧 V_{th} を反映させたゲート・ソース間電位 V_{gs} として、当該閾値電圧 V_{th} のばらつきの影響を受けない一定電流 I_{ds} を流すことができる。

【0222】

特に、第3比較例の駆動タイミングでは、1回の閾値補正動作の処理サイクルを1水平期間とし、複数回に亘って閾値補正動作を繰り返すようにしており、確実に閾値電圧 V_{th} を保持容量120に保持させるようにしている。このため、閾値電圧 V_{th} の画素間差が確実に除去され、階調に拘らず、閾値電圧 V_{th} のばらつきに起因する輝度ムラを抑制できる。

30

【0223】

これに対して、閾値補正動作を1回にするなど閾値電圧 V_{th} の補正が不十分な場合は、つまり閾値電圧 V_{th} が保持容量120に保持されていない場合には、異なる画素回路Pの間で、低階調の領域では輝度(駆動電流 I_{ds})に差が出てしまう。よって閾値電圧の補正が不十分な場合は、低階調で輝度のムラが現れ画質を損なうことになる。

【0224】

加えて、第3比較例の駆動タイミングでは、サンプリングトランジスタ125による信号振幅 V_{in} の保持容量120への書込み動作と連動して駆動トランジスタ121の移動度 μ を補正して駆動電流を一定に維持する駆動信号一定化回路の一例である移動度補正回路が構成され移動度補正動作が機能するようになっている。駆動トランジスタ121のキャリア移動度 μ を反映させたゲート・ソース間電位 V_{gs} として、当該キャリア移動度 μ のばらつきの影響を受けない一定電流 I_{ds} を流すことができる。

40

【0225】

つまり、第3比較例の画素回路Pは、駆動タイミングを工夫することで、閾値補正回路や移動度補正回路が自動的に構成され、駆動トランジスタ121の特性ばらつき(本例では閾値電圧 V_{th} およびキャリア移動度 μ のばらつき)による駆動電流 I_{ds} に与える影響を防ぐために、閾値電圧 V_{th} およびキャリア移動度 μ による影響を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっているのである。

50

【0226】

ブートストラップ動作だけでなく、閾値補正動作と移動度補正動作とを実行しているため、ブートストラップ動作で維持されるゲート・ソース間電圧 V_{gs} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 V とによって調整されているため、有機EL素子127の発光輝度は駆動トランジスタ121の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがないし、有機EL素子127の経時劣化の影響も受けない。入力される信号振幅 V_{in} に対応する安定した階調で表示でき、高画質の画像を得ることができる。

【0227】

また、第3比較例の画素回路Pは、nチャンネル型の駆動トランジスタ121を用いたソースフォロア回路によって構成することができるために、現状のアノード・カソード電極の有機EL素子をそのまま用いても、有機EL素子127の駆動が可能になる。

10

【0228】

また、駆動トランジスタ121およびその周辺部のサンプリングトランジスタ125をも含めてnチャンネル型のみのトランジスタを用いて画素回路Pを構成することができ、TFT作成においてもアモルファスシリコン(a-Si)プロセスを用いることができるようになるため、TFT基板の低コスト化が図れることになる。

【0229】

<<画素欠陥について>>

図8および図8Aは、画素アレイ部102の画素回路Pにおける点欠陥を説明する図である。図8は、滅点発生時の有機EL素子127の等価回路を説明する図である。図8Aは、半導体基板上における有機EL素子127の配置関係を説明する図である。詳しくは、図8Aは、一般的な有機EL表示装置における1画素分の平面図である。

20

【0230】

図5に示した画素回路Pにおいて、有機EL素子127がダストなどの欠陥によって滅点(発光しない画素)となってしまう場合を考える。有機EL素子127が滅点となる場合には、有機EL素子127の等価回路は、図8に示すように、正常な有機EL素子127に並列に抵抗素子127Rが存在する状態と考えてよい。ショートによって滅点となる場合には低抵抗値と考えてよく、駆動トランジスタ121からの駆動電流 I_{ds} が有機EL素子127よりも抵抗素子127R側により多く流れることで有機EL素子127の発光が無い状態となるからである。

30

【0231】

図8Aに示す1画素分の平面図のように、基板101上に下部電極(たとえばアノード電極)504が配置され、その下部電極504上に有機EL素子127の開口部(以下EL開口部と称する)127aが形成されている。下部電極504には接続孔(たとえばTFT-アノードコンタクト)504aが設けられ、この接続孔504aを介して下部電極504下に配された駆動トランジスタ121の入出力端(本例ではソース電極)に下部電極504が接続されるようになっている。

【0232】

下部電極504の周囲は絶縁膜パターン505で覆われて、有機EL素子127を構成する下部電極504や図示しない有機層506および上部電極508が積層されている部分のみが発光有効領域127bとなるように広く露出したEL開口部127aとされている。

40

【0233】

このように、画素回路PにおけるEL開口部127aは、1画素に1つであるため、有機EL素子127がダストなどにより滅点となってしまうと、その画素は点欠陥となってしまう歩留まり低下の原因となる。

【0234】

そこで、本実施形態では、有機EL素子127そのものがダストなどにより滅点となってしまうことで、その画素が点欠陥となってしまう問題を緩和する仕組みを採る。その仕組みの基本は、1画素を複数の画素に分割し、各分割画素に少なくとも1つの有機EL素

50

子 1 2 7 を配置する。

【 0 2 3 5 】

さらに、その分割画素の各有機 E L 素子 1 2 7 に対して、何れかの有機 E L 素子 1 2 7 が滅点となっているときにその滅点素子を特定するために、テストスイッチとして機能するスイッチングトランジスタを介して駆動電流 I_{ds} を駆動トランジスタ 1 2 1 から有機 E L 素子 1 2 7 に選択的に供給し得るように構成する。

【 0 2 3 6 】

ここで、「選択的に」とは、分割した各有機 E L 素子 1 2 7 のそれぞれを 1 つずつ選択し得るようにすることに限らず、滅点の有機 E L 素子 1 2 7 を特定し得るオン/オフ動作が可能な構成である限りどのようにスイッチングトランジスタを配置・接続しても構わない。

10

【 0 2 3 7 】

そして、製造時には、画素回路 P を動作させてスイッチングトランジスタの選択動作により滅点素子の有無およびその場所を特定し、滅点素子に関しては、レーザ光などのエネルギービームを照射することにより、正常な画素回路 P から電氣的に分離する。その後の通常動作時には、残りの正常な有機 E L 素子 1 2 7 にて表示を行なうべく、スイッチングトランジスタをオンさせて使用する。十分な発光輝度を確保するべく、好ましくは正常な有機 E L 素子 1 2 7 の発光に関わる全てのスイッチングトランジスタをオンさせて使用する。

【 0 2 3 8 】

20

すなわち、1画素に複数の有機 E L 素子 1 2 7 の E L 開口部 1 2 7 a (発光部) とテストスイッチを持たせることで、テストスイッチのオン/オフの動作によって滅点箇所を特定して、特定した滅点箇所を正常な画素回路 P から切り離すのである。滅点箇所を特定した後は、その滅点箇所をレーザ光などでリペアすることにより、その1画素が完全に滅点化することを防ぐのである。

【 0 2 3 9 】

分割画素別に、その分割画素に属する有機 E L 素子 1 2 7 を他の分割画素とは独立に駆動するべく、保持容量 1 2 0 およびサンプリングトランジスタ 1 2 5、駆動トランジスタ 1 2 1 を有機 E L 素子 1 2 7 に対して具備する駆動回路を個別に設ける構成を採用することも考えられる。しかしそれでは、分割数が多くなったとき、素子数が増えてしまう難点が考えられる。本実施形態の仕組みでは、分割数が増えても、テストトランジスタをその分割数 N に合わせて追加していけばよく、素子数が増えてしまう難点を解消できる。

30

【 0 2 4 0 】

従来 of 1 画素を複数の領域に分割し、それぞれが有機 E L 素子を有するようになるとともに、分割した各有機 E L 素子に対してオン/オフ制御可能なテストトランジスタを介在させて駆動トランジスタ 1 2 1 と接続することで、分割画素の何れかが滅点となる場合であっても、その滅点箇所を電氣的に切り離すことで、他の正常な分割画素の有機 E L 素子で表示すれば、見かけ上、点欠陥として見えないという効果を楽しむことができる。以下、具体的に説明する。

【 0 2 4 1 】

40

<< 滅点素子対策対応の画素回路：第 1 実施形態 >>

図 9 および図 9 A は、本実施形態の滅点素子対策の第 1 実施形態を説明する図である。図 9 は、滅点素子対策機能を備えた第 1 実施形態の画素回路 P を示す図 (図 9 (1)) および滅点素子の有無およびその場所を特定する滅点検査工程を説明する図 (図 9 (2)) である。図 9 A は、滅点素子対策の第 1 実施形態において、半導体基板上における有機 E L 素子 1 2 7 の配置関係を説明する 1 画素分の平面図である。

【 0 2 4 2 】

第 1 実施形態の画素回路 P は、図 9 (1) に示すように、従来の 1 画素を、分割画素 P_1 と分割画素 P_2 の 2 つの領域に分け、各分割画素 P_1, P_2 には、先ずそれぞれ 1 つの有機 E L 素子 1 2 7 を設ける。各有機 E L 素子 1 2 7_1, 1 2 7_2 を駆動する 2 T R 構成

50

の駆動回路は、前述の第3比較例の画素回路Pと同様の構成を、各分割画素P₁、P₂に共通に1つ設ける構成を採用する。これにより、分割画素P₁の有機EL素子127₁と分割画素P₂の有機EL素子127₂とが、共通の駆動回路（具体的には駆動トランジスタ121）で駆動される構成となる。

【0243】

2つの領域に分けた分割画素P₁、P₂において、片方（図では分割画素P₁の有機EL素子127₁）に関しては、nチャネル型のスイッチングトランジスタ（以下テストトランジスタと称する）128₁をテストスイッチとして、駆動トランジスタ121のソース端と有機EL素子127のアノード端との間に設けている。テストトランジスタ128₁のゲート端には、当該テストトランジスタ128₁をオン/オフ制御するためのテストパルスTest₁を供給する。テストトランジスタ128₁は、テストパルスTest₁が、Lレベルのときオフし、Hレベルのときオンする。

10

【0244】

テストパルスTest₁用の配線は、たとえば同一行（もしくは同一列）の全てのテストトランジスタ128₁に対して共通にテストパルスTest₁を供給する行走査線（もしくは列走査線）にしてもよい。あるいは、各画素回路Pのテストトランジスタ128₁を個別に制御するべく、たとえばテストトランジスタ128₁のゲート側に走査トランジスタとしてたとえばPMOSTランジスタを設け、そのソース端側を列走査線にし、ゲート端を行走査線にしてもよい。そして、i行j列を対象とする場合、j列の列走査線にアクティブHのテストパルスTest_{Hj}を供給し、i行の行走査線にアクティブLのテストパルスTest_{Vi}を供給することで走査トランジスタijをオンさせ、列走査線のHレベルの情報をテストパルスTest_kとしてテストトランジスタ128₁に供給する。

20

【0245】

通常使用時は、テストトランジスタ128₁は常にオンした状態とする。図1に示した第1構成例の場合、減点検査走査部313にてテストトランジスタ128_kをオンするように制御すればよい。一方、図1Aに示した第2構成例のように治具対応とする場合、端子部314と減点検査装置315とを切り離れたときに、全てのテストトランジスタ128_k（本例の場合テストトランジスタ128₁のみ）がオンするようにプルアップ手段（たとえばプルアップ抵抗）を設けておくことよい。

30

【0246】

平面構成としては、図9Aに示すように、1画素内において、2つの領域に分けた分割画素P₁と分割画素P₂のそれぞれに対応する2つのEL開口部127a₁、127a₂を有する。2つの有機EL素子127₁、127₂が減点でなければ、双方のEL開口部127a₁、127a₂が発光部となるので、EL開口部127a₁、127a₂の総面積を、分割前のEL開口部127aの面積とほぼ等しくなるようにしておくことで、実質的には、表示装置の開口率を減少させない。

【0247】

<減点素子の検査・リペア方法：第1実施形態>

図9Bは、第1実施形態の画素回路Pにおいて、減点素子の有無およびその場所を特定し、減点素子を正常な画素回路Pから電氣的に分離する手法、すなわち有機EL表示装置1の製造方法、特に減点検査工程および減点分離工程（リペア工程）を説明する図である。

40

【0248】

図示を割愛するが、製造ラインには、少なくとも、分割画素の有機EL素子127の内、減点であると判定された有機EL素子127（減点素子）を、正常に発光する有機EL素子127（正常素子）から電氣的に分離する減点分離装置を用意する。減点分離装置には、減点素子と正常素子とを電氣的に分離するべく、一例として、配線溶断で分離する仕組みを採用する場合には、レーザー光などのエネルギービームを照射する仕組みのもを用意する。

【0249】

50

また、図 1 A に示したような治具対応の有機 EL 表示装置 1 に対応する場合には、分割画素の有機 EL 素子 1 2 7 が、発光しない滅点であるか否かを判定するためのテストパルス进行测试トランジスタ 1 2 8 に選択的に供給する滅点検査走査部を具備した滅点検査装置 3 1 5 を用意する。

【 0 2 5 0 】

各有機 EL 素子 1 2 7 の滅点検出時は、検査対象行のサンプリングトランジスタ 1 2 5 をオンし（書込駆動パルス WS : H）、駆動トランジスタ 1 2 1 への電源駆動パルス DSL を電源電圧 V_{cc} とする。また、検査対象列の映像信号 V_{sig} を信号振幅 V_{in} にする。この状態から、テストスイッチとしてのテストトランジスタ 1 2 8_1 をオン/オフさせて滅点検出、すなわち、滅点素子の有無の判定および滅点箇所の特定を行なう。

10

【 0 2 5 1 】

具体的には、先ず、有機 EL 素子 1 2 7_2 の滅点検査工程では、図 9 (2) や図 9 B (1) に示すように、テストトランジスタ 1 2 8_1 をオフして、テストトランジスタ 1 2 8_1 を介在させない有機 EL 素子 1 2 7_2 (図 9 B の左側) が滅点かどうかを判定する。テストトランジスタ 1 2 8_1 をオフすれば、テストトランジスタ 1 2 8_1 を介在させる有機 EL 素子 1 2 7_1 (図 9 B の右側) には駆動電流 I_{ds} (駆動電圧) が与えられることがない。

【 0 2 5 2 】

このため、正常であれば有機 EL 素子 1 2 7_2 のみ発光する。一方、有機 EL 素子 1 2 7_2 がダストなどにより滅点であるときには、その有機 EL 素子 1 2 7_2 を有する分割画素 P_2 は発光せず点欠陥となる。これを目視、あるいは光学検査装置などで確認することで特定する。

20

【 0 2 5 3 】

そして、滅点分離工程においては、有機 EL 素子 1 2 7_2 が滅点素子であるときには、一例として図 9 B (2) に示すように、その有機 EL 素子 1 2 7_2 に対しての駆動電流 I_{ds} の電流路となる配線（たとえば駆動トランジスタ 1 2 1 と接続されるアノード側の配線）に、レーザー光などのエネルギービームを照射することにより、その配線を溶断して、正常な画素回路 P から電氣的に分離する。つまり、滅点画素となる有機 EL 素子 1 2 7_2 に関して、駆動トランジスタ 1 2 1 のソースと有機 EL 素子 1 2 7_2 のアノードを、図 9 B (2) に示すように切断することで滅点のリペア（修正）を行なう。

30

【 0 2 5 4 】

次に、有機 EL 素子 1 2 7_1 の滅点検査工程では、図 9 (2) や図 9 B (3) に示すように、テストトランジスタ 1 2 8_1 をオンして、テストトランジスタ 1 2 8_1 を介在させる有機 EL 素子 1 2 7_1 (図 9 B の右側) が滅点かどうかを検出する。テストトランジスタ 1 2 8_1 をオンすれば、両方の有機 EL 素子 1 2 7_1 , 1 2 7_2 に駆動電流 I_{ds} (駆動電圧) が与えられる。両方が正常であれば有機 EL 素子 1 2 7_1 , 1 2 7_2 の双方が発光する。

【 0 2 5 5 】

このとき、先に、有機 EL 素子 1 2 7_2 が滅点画素として画素回路 P から電氣的に分離されている場合には、正常であれば有機 EL 素子 1 2 7_1 のみ発光する。一方、有機 EL 素子 1 2 7_1 がダストなどにより滅点であるときには、他方の有機 EL 素子 1 2 7_2 が正常であるか否かに関わらず、その有機 EL 素子 1 2 7_1 を有する分割画素 P_1 は発光せず点欠陥となる。他方の有機 EL 素子 1 2 7_2 が正常であるときには、双方が発光しない。

40

【 0 2 5 6 】

つまり、有機 EL 素子 1 2 7_1 が滅点のときには、テストトランジスタ 1 2 8_1 がオンのため両方が滅点となる。これを目視、あるいは光学検査装置などで確認することで特定する。有機 EL 素子 1 2 7_2 が滅点であるときにはテストトランジスタ 1 2 8_1 をオフさせた状態で確認され分離されているので、両方が滅点となるときには、有機 EL 素子 1 2 7_1 が滅点であると判断してよい。

【 0 2 5 7 】

50

そして、滅点分離工程においては、有機EL素子127_1が滅点素子であるときには、一例として図9B(4)に示すように、その有機EL素子127_1に対しての駆動電流 I_{ds} の電流路となる配線(たとえば駆動トランジスタ121と接続されるアノード側の配線)に、レーザ光などのエネルギービームを照射することにより、その配線を溶断して、正常な画素回路Pから電氣的に分離する。つまり、滅点画素となる有機EL素子127_1に関して、駆動トランジスタ121のソースと有機EL素子127_1のアノードを、図9B(4)に示すように切断することで滅点のリペアを行なう。

【0258】

なお、テストトランジスタ128_kを個別制御可能な構成とする場合には、滅点素子(本例では有機EL素子127_1)のリペア時には、その滅点素子への駆動電流 I_{ds} の電流路となる配線(たとえばアノードに接続されるの配線)を溶断する代わりに、テストトランジスタ128_kをオフさせて使用するようにしてもよい。

10

【0259】

以上のように、1画素内に有機EL素子127の開口部つまり発光部を2つ持ち、テストトランジスタ128のオン/オフ動作による滅点検出からリペアまでを行なう。

【0260】

第1実施形態の仕組みでは、従来の1画素を、分割画素P_1, 分割画素P_2の2つの領域に分け、EL開口部127a_1, 127a_2の2つの発光部を備えるようにしていることから、両方が滅点になる可能性は低くなる。これにより、1画素が完全に滅点になるのを防ぐことができ、点欠陥による歩留まり低下を避けることができる。

20

【0261】

有機EL素子は電流発光型素子であるため、電流に比例して輝度を得られる。そのため、1つの有機EL素子が損傷し滅点となった場合においても、その滅点を分離して同一画素に存在する他の正常な有機EL素子だけで発光させるようにしても、その正常な有機EL素子に流れる総合電流が等しければ、1画素から得られる輝度は、滅点の存在に関わらず、同等の輝度を得ることが可能となる。

【0262】

<<滅点素子対策対応の画素回路：第2実施形態>>

図10は、本実施形態の滅点素子対策の第2実施形態を説明する図であり、滅点素子対策機能を備えた第2実施形態の画素回路Pを示す図である。

30

【0263】

第2実施形態の滅点素子対策は、従来の1画素を2分割した第1実施形態の滅点素子対策の仕組みを、N分割に発展させた形態である。すなわち、第2実施形態の画素回路Pは、図10に示すように、従来の1画素を、分割画素P_1, ..., P_NのN個の領域に分け、各分割画素P_1, ..., P_Nには、それぞれ1つの有機EL素子127_1, ..., 127_Nを設ける。各有機EL素子127_1, ..., 127_Nを駆動する2TR構成の駆動回路は、第3比較例の画素回路Pと同様の構成を、各分割画素P_1, ..., P_Nに共通に1つ設ける構成を採用する。これにより、各有機EL素子127_1, ..., 127_Nが、共通の駆動回路で駆動される構成となる。

【0264】

40

N個の領域に分けた分割画素P_1, ..., P_Nにおいて、1つ(図では分割画素P_Nの有機EL素子127_N)を除く各有機EL素子127_1, ..., 127_{N-1}に関しては、テストトランジスタ128_1, ..., 128_{N-1}をテストスイッチとして、駆動トランジスタ121のソース端と有機EL素子127_1, ..., 127_{N-1}のアノード端との間に、それぞれ独立に設ける。

【0265】

「それぞれ独立に」とは、1つの分割画素P_k(本例では1つの有機EL素子127_k)に対して1つのテストトランジスタ128_kが介在するようにすることを意味する。この点では、後述する第4実施形態と異なる。仮に、1つの分割画素P_k内においても複数の有機EL素子127を設ける場合には、それらを纏めて1つのテストトランジスタ12

50

8_kを介して駆動トランジスタ121と接続する。

【0266】

通常発光時、各テストトランジスタ128_1, ..., 128_N-1は常にオンした状態とする。各テストトランジスタ128_1, ..., 128_N-1のゲート端には、当該テストトランジスタ128_1, ..., 128_N-1をオン/オフ制御するためのテストパルスTest_1, ..., Test_N-1を供給する。テストトランジスタ128_1, ..., 128_N-1は、テストパルスTest_1, ..., Test_N-1が、Lレベルのときオフし、Hレベルのときオンする。テストパルスTest_1, ..., Test_N-1用の配線は、行走査線にしてもよいし、それぞれに走査トランジスタを設け、列走査線と行走査線とで個別に制御するようにしてもよい。

【0267】

平面構成としては、図示を割愛するが、1画素内に、分割画素P_1, ..., P_Nに対応するN個のEL開口部を有することになる。すなわち、有機EL素子127の開口部(発光部)を1画素にN個持たせることに特徴を持つ。N個の有機EL素子127_1, ~, 127_Nが減点でなければ、各EL開口部127a_1, ~, 127a_Nが発光部となるので、EL開口部127a_1, ~, 127a_Nの総面積を分割前のEL開口部127aの面積とほぼ等しくなるようにしておくことで、実質的には、表示装置の開口率を減少させない。

【0268】

<減点素子の検査・リペア方法：第2実施形態>

図10Aは、第2実施形態の画素回路Pにおいて、減点素子の有無およびその場所を特定する減点検査工程を説明する図である。

【0269】

第2実施形態の画素回路Pにおいても、通常使用の発光時は全てのテストトランジスタ128_kをオンさせて使用することを基本とする。また、減点検出時は、テストトランジスタ128_1, ..., 128_N-1を全てオフの状態から、順次オンさせて検出する。

【0270】

第2実施形態の画素回路Pの場合、有機EL素子127_kに対して駆動電流(駆動電圧)の供給を独立に制御できるようにテストトランジスタ128_kを配置しているので、テストトランジスタ128_kをオンさせる順番は不問である。また、検査済みの有機EL素子127_kに介在するテストトランジスタ128_kについては、その後の他の素子の検査時には、オンしたままとしておいてもよいしオフさせてもよい。図では、後述する第4実施形態との対比から(相違の明確化のため)、テストトランジスタ128_kをオンさせる順番や検査対象の有機EL素子127_kの順番を、N-1, ..., 1の順で示している。

【0271】

有機EL素子127_kが減点素子であるときには、一例としてその有機EL素子127_kに対しての駆動電流I_{ds}の電流路となる配線(たとえば駆動トランジスタ121と接続されるアノード側の配線)に、レーザー光などのエネルギービームを照射することにより、その配線を溶断して、正常な画素回路Pから電氣的に分離することで減点のリペアを行なう。

【0272】

第2実施形態の画素回路Pを用いることで、N個の開口部が1つの画素内に存在するために、全ての開口部が減点となる可能性は低くなる。また、リペアによって1つの画素が完全に減点になるのを防ぐことができ、点欠陥による歩留まり低下を避けることができる。1画素内の開口部の数Nが多いほど点欠陥による歩留まり低下を避けることができる。

【0273】

1画素に複数の有機EL素子127_kの開口部(発光部)とテストスイッチとしてのテストトランジスタ128_kを持たせることで、テストスイッチのオン/オフの動作によって減点箇所を特定することができる。減点箇所を特定することができるために、その減点箇所を正常な画素回路Pから電氣的に切り離すべく、レーザーなどでリペアすることにより、その画素が完全に減点化することを防ぐことができ、高歩留まりを得ることができる。

【0274】

10

20

30

40

50

<< 減点素子対策対応の画素回路：第3実施形態 >>

図11および図11Aは、本実施形態の減点素子対策の第3実施形態を説明する図である。図11は、減点素子対策機能を備えた第3実施形態の画素回路Pを示す図である。図11Aは、減点素子対策の第3実施形態において、半導体基板上における有機EL素子127の配置関係を説明する1画素分の平面図である。

【0275】

第3実施形態の画素回路Pは、図11に示すように、従来の1画素を、分割画素P_1と分割画素P_2の2つの領域に分け、各分割画素P_1, P_2には、先ずそれぞれ1つの有機EL素子127を設ける。各有機EL素子127_1, 127_2を駆動する2TR構成の駆動回路は、前述の第3比較例の画素回路Pと同様の構成を採用する。これにより、分割画素P_1の有機EL素子127_1と分割画素P_2の有機EL素子127_2とが、共通の駆動回路(具体的には駆動トランジスタ121)で駆動される構成となる。

10

【0276】

従来の1画素を、分割画素P_1と分割画素P_2の2つの領域に分けている点では、第1実施形態と同様の仕組みである。一方、テストトランジスタ128の接続されている位置は、第1実施形態と異なる。すなわち、2つの領域に分けた分割画素P_1, P_2において、ノードND121の配線部分にテストトランジスタ128_2を介在させている点に特徴を有する。なお、保持容量120の下側の接続点は、たとえば、有機EL素子127_2のアノードとする。

【0277】

20

このような構成では、片方(図では分割画素P_2の有機EL素子127_2)に関しては、テストトランジスタ128_2をテストスイッチとして、駆動トランジスタ121のソース端と有機EL素子127_2のアノード端との間に設けている構成と考えてよい。

【0278】

テストトランジスタ128_2のゲート端には、当該テストトランジスタ128_2をオン/オフ制御するためのテストパルスTest_2を供給する。テストトランジスタ128_2は、テストパルスTest_2が、Lレベルのときオフし、Hレベルのときオンする。通常使用時は、テストトランジスタ128_2は常にオンした状態とする。

【0279】

テストパルスTest_2用の配線は、たとえば同一行の全てのテストトランジスタ128_2に対して共通にテストパルスTest_2を供給する行走査線にする。テストトランジスタ128_2は、ノードND121の配線部分に配置されていることから、有機EL素子127_1が正常である場合の通常使用時にはテストトランジスタ128_2をオンしておく必要があるので、行走査線と列走査線とを利用して個別に制御する仕組みを採る構成を採用する意味はないと考えてよい。

30

【0280】

平面構成としては、図11Aに示すように、1画素内において、2つの領域に分けた分割画素P_1と分割画素P_2のそれぞれに対応する2つのEL開口部127a_1, 127a_2を有する。図9Aに示した第1実施形態の場合と全く同様である。

【0281】

40

< 減点素子の検査・リペア方法：第3実施形態 >

図11Bは、第3実施形態の画素回路Pにおいて、減点素子の有無およびその場所を特定する減点検査工程、および特定した減点素子を正常な画素回路Pから電氣的に分離する減点分離工程(リペア工程)を説明する図である。

【0282】

減点検出時は、検査対象行のサンプリングトランジスタ125をオンし(書込駆動パルスWS:H)、駆動トランジスタ121への電源駆動パルスDSLを電源電圧V_{cc}とする。また、検査対象列の映像信号V_{sig}を信号振幅V_{in}にする。この状態から、テストスイッチとしてのテストトランジスタ128_2をオン/オフさせて減点検出、すなわち、減点素子の有無の判定および減点箇所の特定を行なう。

50

【0283】

具体的には、まず、有機EL素子127_1の滅点検査工程では、図11B(1)に示すように、テストトランジスタ128_2をオフして、テストトランジスタ128_2を介在させない有機EL素子127_1(図11Bの右側)が滅点かどうかを判定する。テストトランジスタ128_2をオフすれば、テストトランジスタ128_2を介在させる有機EL素子127_2(図11Bの左側)には駆動電流 I_{ds} (駆動電圧)が与えられることがない。

【0284】

このため、正常であれば有機EL素子127_1のみ発光する。一方、有機EL素子127_1がダストなどにより滅点であるときには、その有機EL素子127_1を有する分割画素P_1は発光せず点欠陥となる。これを目視、あるいは光学検査装置などで確認することで特定する。

10

【0285】

そして、滅点分離工程では、有機EL素子127_1が滅点素子であるときには、たとえば図11B(2)に示すように、その有機EL素子127_1に対しての駆動電流 I_{ds} の電流路となる配線(たとえば駆動トランジスタ121と接続されるアノード側の配線)に、レーザー光などのエネルギービームを照射することにより、その配線を溶断して、正常な画素回路Pから電氣的に分離する。つまり、滅点画素となる有機EL素子127_1に関して、駆動トランジスタ121のソースと有機EL素子127_1のアノードを、図11B(2)に示すように切断することで滅点のリペアを行なう。

【0286】

20

次に、有機EL素子127_2の滅点検査工程では、図11B(3)に示すように、テストトランジスタ128_2をオンして、テストトランジスタ128_2を介在させる有機EL素子127_2(図11Bの左側)が滅点かどうかを検出する。テストトランジスタ128_2をオンすれば、両方の有機EL素子127_1, 127_2に駆動電流 I_{ds} (駆動電圧)が与えられる。両方が正常であれば有機EL素子127_1, 127_2の双方が発光する。

【0287】

このとき、先に、有機EL素子127_1が滅点画素として画素回路Pから電氣的に分離されている場合には、正常であれば有機EL素子127_2のみ発光する。一方、有機EL素子127_2がダストなどにより滅点であるときには、他方の有機EL素子127_1が正常であるか否かに関わらず、その有機EL素子127_2を有する分割画素P_2は発光せず点欠陥となる。他方の有機EL素子127_1が正常であるときには、双方が発光しない。

30

【0288】

つまり、有機EL素子127_2が滅点のときには、テストトランジスタ128_2がオンのため両方が滅点となる。これを目視、あるいは光学検査装置などで確認することで特定する。有機EL素子127_1が滅点であるときにはテストトランジスタ128_2をオフさせた状態で確認され分離されているので、両方が滅点となるときには、有機EL素子127_2が滅点であると判断してよい。

【0289】

そして、滅点分離工程では、有機EL素子127_2が滅点素子であるときには、たとえば図11B(4)に示すように、その有機EL素子127_2に対しての駆動電流 I_{ds} の電流路となる配線(たとえば駆動トランジスタ121と接続されるアノード側の配線)に、レーザー光などのエネルギービームを照射することにより、その配線を溶断して、正常な画素回路Pから電氣的に分離する。つまり、滅点画素となる有機EL素子127_2に関して、駆動トランジスタ121のソースと有機EL素子127_2のアノードを、図11B(4)に示すように切断することで滅点のリペアを行なう。

40

【0290】

以上のように、1画素内に有機EL素子127の開口部つまり発光部を2つ持ち、テストトランジスタ128のオン/オフ動作による滅点検出からリペアまでを行なう。第1実施形態と第3実施形態では、テストトランジスタ128の接続されている位置が異なるのみで、テストトランジスタ128のオン/オフ制御によって、左右の有機EL素子127

50

_1, 1 2 7_2の滅点を検出・リペアできる点では相違はない。

【 0 2 9 1 】

第3実施形態の仕組みでも、従来の1画素を、分割画素P_1, 分割画素P_2の2つの領域に分け、EL開口部1 2 7 a_1, 1 2 7 a_2の2つの発光部を備えるようにしていることから、両方が滅点になる可能性は低くなる。これにより、第1実施形態と同様に、1画素が完全に滅点になるのを防ぐことができ、点欠陥による歩留まり低下を避けることができる。

【 0 2 9 2 】

ここで、第1実施形態の仕組みと第3実施形態の仕組みとを比べた場合、滅点検査リペアという流れにおいての作用効果の側面では基本的には大きな差はないと考えられる。ただし、強いて言うのであれば、第3実施形態では、2つある有機EL素子1 2 7のどちらかが滅点となっても必ずリペアが必要となる。それに対して第1実施形態では、右側の有機EL素子1 2 7_1が滅点となった場合、テストトランジスタ1 2 8_1(スイッチ)をオフすることで対応可能であり、必ずしも滅点リペアが必要にならない利点があるが、パルス対応する必要があるので、メモリなどのコストアップに繋がる。

【 0 2 9 3 】

また、画素回路としては、第3実施形態の構成では、ノードND 1 2 1の配線上にテストトランジスタ1 2 8が配されるのでそのオン抵抗が問題になり得るが、第1実施形態の構成では、その問題はない。ただし、両者を対比して考えた場合、それぞれオン抵抗はトランジスタ1つ分なので相対的には問題にならないと考えられる。なお、第3実施形態の構成において、保持容量1 2 0の下側の接続点を、有機EL素子1 2 7_2のアノードではなく、有機EL素子1 2 7_1のアノードにすることも考えられるが、この場合、事実上、第1実施形態と同様の構成となる。

【 0 2 9 4 】

<<滅点素子対策対応の画素回路：第4実施形態>>

図1 2は、本実施形態の滅点素子対策の第4実施形態を説明する図であり、滅点素子対策機能を備えた第4実施形態の画素回路Pを示す図である。

【 0 2 9 5 】

第4実施形態の滅点素子対策は、従来の1画素を2分割した第3実施形態の滅点素子対策の仕組みを、N分割に発展させた形態である。すなわち、第4実施形態の画素回路Pは、図1 2に示すように、従来の1画素を、分割画素P_1, ..., P_NのN個の領域に分け、各分割画素P_1, ..., P_Nには、それぞれ1つの有機EL素子1 2 7_1, ..., 1 2 7_Nを設ける。各有機EL素子1 2 7_1, ..., 1 2 7_Nを駆動する2TR構成の駆動回路は、第3比較例の画素回路Pと同様の構成を採用する。これにより、各有機EL素子1 2 7_1, ..., 1 2 7_Nが、共通の駆動回路で駆動される構成となる。

【 0 2 9 6 】

N個の領域に分けた分割画素P_1, ..., P_Nにおいて、1つ(図では分割画素P_1の有機EL素子1 2 7_1)を除く各有機EL素子1 2 7_2, ..., 1 2 7_Nに関しては、保持容量1 2 0と駆動トランジスタ1 2 1の出力端(ソース端)側の接続点であるノードND 1 2 1の配線部分に順次、テストトランジスタ1 2 8_2, ..., 1 2 8_Nをテストスイッチとして設けることで、駆動トランジスタ1 2 1のソース端と有機EL素子1 2 7_2, ..., 1 2 7_Nのアノード端との間にテストスイッチが順次介在するようにする。なお、保持容量1 2 0の下側の接続点は、たとえば、有機EL素子1 2 7_2のアノードとする。

【 0 2 9 7 】

通常発光時、各テストトランジスタ1 2 8_2, ..., 1 2 8_Nは常にオンした状態とする。各テストトランジスタ1 2 8_2, ..., 1 2 8_Nのゲート端には、当該テストトランジスタ1 2 8_2, ..., 1 2 8_Nをオン/オフ制御するためのテストパルスTest_2, ..., Test_Nを供給する。テストトランジスタ1 2 8_2, ..., 1 2 8_Nは、テストパルスTest_2, ..., Test_Nが、Lレベルのときオフし、Hレベルのときオンする。テストパルスTest_2, ..., Test_N用の配線は行走査線にする。

10

20

30

40

50

【0298】

平面構成としては、図示を割愛するが、1画素内に、分割画素 P_1, \dots, P_N に対応する N 個のEL開口部を有することになる。すなわち、有機EL素子127の開口部（発光部）を1画素に N 個持たせることに特徴を持つ。

【0299】

<滅点素子の検査・リペア方法：第4実施形態>

図12Aは、第4実施形態の画素回路 P において、滅点素子の有無およびその場所を特定する滅点検査工程を説明する図である。

【0300】

第4実施形態の画素回路 P においても、通常使用の発光時は全てのテストトランジスタ128 $_k$ をオンさせて使用することを基本とする。また、滅点検出時は、検査対象素子が有機EL素子127 $_1$ から有機EL素子127 $_N$ の順となるように、テストトランジスタ128 $_k$ をオンさせていく。第4実施形態の画素回路 P の場合、テストトランジスタ128 $_k$ はノードND121の配線部分に配置されていることから、有機EL素子127 $_k$ に対して駆動電流（駆動電圧）の供給を独立に制御できないので、テストトランジスタ128 $_k$ をオンさせる順番や検査対象の有機EL素子127 $_k$ の順番を1, 2, ..., N の順とする。この点では、第2実施形態と異なる。

10

【0301】

考え方としては、まず、検査対象の有機EL素子127 $_k$ の順番を1, 2, ..., N の順とする。有機EL素子127 $_1$ の検査時には、少なくとも2番目のテストトランジスタ128 $_2$ をオフする。その後、検査対象の有機EL素子127 $_k$ に対して、2~ k 番目の全てのテストトランジスタ128 $_2$ ~128 $_k$ の全てをオンし、少なくとも $k+1$ 番目のテストトランジスタ128 $_{k+1}$ をオフする。つまり、第2実施形態とは異なり、検査済みの有機EL素子127 $_k$ に介在するテストトランジスタ128 $_k$ については、その後の他の素子の検査時には、オンしたままとしておくのである。

20

【0302】

たとえば、テストトランジスタ128 $_2, \dots, 128_N$ を全てオフの状態では有機EL素子127 $_1$ が滅点であるか否かを判定し、さらに、テストトランジスタ128を2, 3, ..., N の順にオンさせて、有機EL素子127も、その番号に連動して2, 3, ..., N の順に、滅点であるか否かを判定する。

30

【0303】

有機EL素子127 $_k$ が滅点素子であるときには、その有機EL素子127 $_k$ に対しての駆動電流 I_{ds} の電流路となる配線（たとえば駆動トランジスタ121と接続されるアノード側の配線）に、レーザー光などのエネルギービームを照射することにより、その配線を溶断して、正常な画素回路 P から電氣的に分離することで滅点のリペアを行なう。

【0304】

第4実施形態の画素回路 P を用いることで、 N 個の開口部が1つの画素内に存在するために、全ての開口部が滅点となる可能性は低くなる。また、リペアによって1つの画素が完全に滅点になるのを防ぐことができ、点欠陥による歩留まり低下を避けることができる。1画素内の開口部の数 N が多いほど点欠陥による歩留まり低下を避けることができる。

40

【0305】

ここで、第2実施形態の仕組みと第4実施形態の仕組みとを比べた場合、滅点検査・リペアという流れにおける作用効果の側面では基本的には大きな差はないと考えられる。ただし、画素回路としては、第4実施形態の構成では、ノードND121の配線上に複数のテストトランジスタ128が配されるのでそのオン抵抗が問題になり得、発光特性が不揃いになるが、第2実施形態の構成では、発光特性が揃うといった利点がある。また、第4実施形態の構成では、ノードND121の配線上のオン抵抗が問題になり得るために、図の左側になるほど電圧のロスが多いため、低電圧駆動ができない可能性があるが、第2実施形態の構成では、その問題はない。

【0306】

50

なお、第4実施形態の構成において、保持容量120の下側の接続点を、有機EL素子127_2のアノードではなく、有機EL素子127_1のアノードにすることも考えられるが、この場合、有機EL素子127_2の関してテストトランジスタ128_2のオン抵抗が問題となり得るので、実体的には採用する意味がないと考えられる。

【0307】

また、変形態様として、第2実施形態と第4実施形態の併用型が考えられる。この併用型については、減点検査リペアという流れにおいての作用効果の側面では、第2実施形態や第4実施形態と基本的には大きな差はないと考えられる。回路構成上の性質としては第2実施形態と第4実施形態の中間的な性質を呈することになるので、第4実施形態よりも発光特性は揃うが第2実施形態ほどではない。

10

【0308】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で上記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0309】

また、上記の実施形態は、クレーム(請求項)に係る発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

20

【0310】

<駆動タイミングの変形例>

駆動タイミングの側面では、電源供給線105DSLの電位が第2電位V_{ss}から第1電位V_{cc}に遷移するタイミングを映像信号V_{sig}の非有効期間であるオフセット電位V_{ofs}の期間としつつ、様々な変形が可能である。

【0311】

たとえば、第1の変形例として、図示を割愛するが、図6に示した駆動タイミングに対して、サンプリング期間&移動度補正期間Kの設定方法を変形することができる。具体的には、先ず映像信号V_{sig}がオフセット電位V_{ofs}から信号電位(V_{ofs}+V_{in})に遷移するタイミングt_{15V}を図6に示した駆動タイミングよりも1水平期間の後半側にシフトさせて、信号電位(V_{ofs}+V_{in})の期間を狭くする。

30

【0312】

また、閾値補正動作の完了時(閾値補正期間Iの完了時)には、先ず、書込駆動パルスWSをアクティブHにしたままで、水平駆動部106により映像信号線106HSに信号電位(V_{ofs}+V_{in})を供給して(t₁₅)、書込駆動パルスWSをインアクティブLにするまで(t₁₇)の間を、保持容量120への信号振幅V_{in}の情報の書き込み期間とする。この信号振幅V_{in}の情報は駆動トランジスタ121の閾値電圧V_{th}に足し込む形で保持される。この結果、駆動トランジスタ121の閾値電圧V_{th}の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。

40

【0313】

この閾値補正動作によって、保持容量120に保持されるゲート・ソース間電圧V_{gs}は“(1-g)V_{in}+V_{th}”となる。また、同時に、信号書込期間t₁₅~t₁₇で移動度補正を実行する。すなわち、タイミングt₁₅~t₁₇は、信号書込期間と移動度補正期間の双方を兼ねることとなる。

【0314】

なお、この移動度補正を実行する期間t₁₅~t₁₇では、有機EL素子127は実際には逆バイアス状態にあるので発光することはない。この移動度補正期間t₁₅~t₁₇では、駆動トランジスタ121のゲート端Gが映像信号V_{sig}のレベルに固定された状態

50

で、駆動トランジスタ121に駆動電流 I_{ds} が流れる。以下、図6に示した駆動タイミングと同様である。

【0315】

各駆動部(104, 105, 106)は、水平駆動部106が映像信号線106HSに供給する映像信号 V_{sig} と書込走査部104が供給する書込駆動パルス WS との相対的な位相差を調整して、移動度補正期間を最適化することができる。

【0316】

ただし、書込み&移動度補正準備期間 J が存在せずに、タイミング $t_{15V3} \sim t_{17}$ がサンプリング期間&移動度補正期間 K となる。このため、書込走査線104 WS や映像信号線106 HS の配線抵抗や配線容量の距離依存の影響に起因する波形特性の相違がサンプリング期間&移動度補正期間 K に影響を与えてしまう可能性がある。画面の書込走査部104に近い側と遠い側(すなわち画面の左右)でサンプリング電位や移動度補正時間が異なることになるので、画面の左右で輝度差が生じ、シェーディングとして視認される難点が懸念される。

10

【0317】

また、第2の変形例として、電源供給のオフタイミング(第2電位 V_{ss} 側への遷移タイミング)に変更を加えることもできる。具体的には、当該行のオフタイミングとオンタイミングの双方を同じ水平期間にすることができる。

【0318】

この第2の変形例の駆動タイミングでは、ともに映像信号 V_{sig} のオフセット電位 V_{ofs} の期間に電源スイッチング動作をさせており、またこのときにはサンプリングトランジスタ125をオンさせて駆動トランジスタ121のゲート端 G をオフセット電位 V_{ofs} に固定してローインピーダンス化しており電源パルス(電源駆動パルス DSL)に起因するカップリングノイズに対する耐性が向上する。

20

【0319】

<画素回路の変形例>

画素回路の側面では、駆動電流を一定に維持する駆動信号一定化回路の一例であるブートストラップ回路や閾値&移動度補正回路の構成例として、駆動トランジスタ121として n チャネル型を用いた2TR構成としつつ駆動タイミングを工夫する例を示したが、これは有機EL素子127を駆動するための駆動信号を一定に維持する駆動信号一定化回路および駆動タイミングの一例に過ぎず、有機EL素子127の経時劣化や n チャネル型の駆動トランジスタ121の特性変動(たとえば閾値電圧や移動度などのばらつきや変動)による駆動電流 I_{ds} に与える影響を防ぐための駆動信号一定化回路としては、その他の様々な回路を適用することができる。

30

【0320】

たとえば、回路理論上は「双対の理」が成立するので、画素回路 P に対しては、この観点からの変形を加えることができる。この場合、図示を割愛するが、先ず、図5に示した2TR構成の画素回路 P が n チャネル型の駆動トランジスタ121を用いて構成しているのに対し、 p チャネル型の駆動トランジスタ(以下 p 型駆動トランジスタ121 p と称する)を用いて画素回路 P を構成する。これに合わせて、映像信号 V_{sig} の信号振幅 V_{in} の極性や電源電圧の大小関係を逆転させるなど、双対の理に従った変更を加える。

40

【0321】

なお、ここで説明した変形例は、図5に示した2TR構成に対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではなく、サンプリングトランジスタ(スイッチングトランジスタの一例)および駆動トランジスタ以外に、駆動電流を一定に維持する制御を行なうための他のスイッチングトランジスタが設けられた、2TR構成以外であってもよい。ただし、高精細の表示が求められる小型の表示装置を実現する点では、2TR構成にて駆動信号一定化機能を実現するのが最適である。

【0322】

ここで、各種の変形例においても、従来の1画素を複数の領域に分割し、それぞれが有

50

機 E L 素子を有するようにすることで、分割画素の何れかが滅点となる場合であっても、その滅点箇所を電氣的に切り離し、他の分割画素で発光させることで、その分割画素の滅点箇所を目立たなくして、点欠陥による歩留まり低下を避けることができる。

【0323】

本実施形態において、従来の 1 画素を複数の領域に分割して滅点対策を採るに当たり、テストトランジスタ 128 を設ける構成としている点に鑑みれば、元となる駆動回路の構成においてトランジスタ数が少ないほど適用が容易である。結果として、2TR 駆動の構成をベースとして従来の 1 画素を複数の領域に分割して滅点対策を採るのが最適である。

【図面の簡単な説明】

【0324】

【図1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図（第1構成例）である。

【図1A】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図（第2構成例）である。

【図2】本実施形態の画素回路に対する第1比較例を示す図である。

【図3】本実施形態の画素回路に対する第2比較例を示す図である。

【図4】有機 E L 素子や駆動トランジスタの動作点を説明する図である。

【図4A】有機 E L 素子や駆動トランジスタの特性ばらつきが駆動電流に与える影響を説明する図である。

【図5】本実施形態の画素回路の構成例を示す図である。

【図6】図5に示した本実施形態の画素回路に関する本実施形態の駆動タイミングの基本例を説明するタイミングチャートである。

【図6B】図6に示した駆動タイミングにおける発光期間 B の等価回路と動作説明の図である。

【図6C】図6に示した駆動タイミングにおける放電期間 C の等価回路と動作説明の図である。

【図6D】図6に示した駆動タイミングにおける初期化期間 D の等価回路と動作説明の図である。

【図6E】図6に示した駆動タイミングにおける第1閾値補正期間 E の等価回路と動作説明の図である。

【図6F】図6に示した駆動タイミングにおける他行書込み期間 F の等価回路と動作説明の図である。

【図6G】図6に示した駆動タイミングにおける第2閾値補正期間 G の等価回路と動作説明の図である。

【図6H】図6に示した駆動タイミングにおける他行書込み期間 H の等価回路と動作説明の図である。

【図6I】図6に示した駆動タイミングにおける第3閾値補正期間 I の等価回路と動作説明の図である。

【図6J】図6に示した駆動タイミングにおける書込み & 移動度補正準備期間 J の等価回路と動作説明の図である。

【図6K】図6に示した駆動タイミングにおけるサンプリング期間 & 移動度補正期間 K の等価回路と動作説明の図である。

【図6L】図6に示した駆動タイミングにおける発光期間 L の等価回路と動作説明の図である。

【図7】閾値補正動作時における駆動トランジスタのソース電位の変化を示す図である。

【図7A】移動度補正動作時における駆動トランジスタのソース電位 V_s の変化を示す図である。

【図8】画素回路における点欠陥を説明する図であって、滅点発生時の有機 E L 素子等価回路を説明する図である。

【図8A】画素回路における点欠陥を説明する図であって 1 画素分の平面図である。

10

20

30

40

50

【図9】減点素子対策機能を備えた第1実施形態の画素回路を示す図(1)および減点素子の有無およびその場所を特定する減点検査工程を説明する図(2)である。

【図9A】減点素子対策の第1実施形態において、半導体基板上における有機EL素子の配置関係を説明する1画素分の平面図である。

【図9B】第1実施形態の画素回路において、減点検査工程およびリペア工程を説明する図である。

【図10】減点素子対策機能を備えた第2実施形態の画素回路を示す図である。

【図10A】第2実施形態の画素回路において、減点検査工程を説明する図である。

【図11】減点素子対策機能を備えた第3実施形態の画素回路を示す図である。

【図11A】減点素子対策の第3実施形態において、半導体基板上における有機EL素子の配置関係を説明する1画素分の平面図である。

【図11B】第3実施形態の画素回路において、減点検査工程およびリペア工程を説明する図である。

【図12】減点素子対策機能を備えた第4実施形態の画素回路を示す図である。

【図12A】第4実施形態の画素回路において、減点検査工程を説明する図である。

【符号の説明】

【0325】

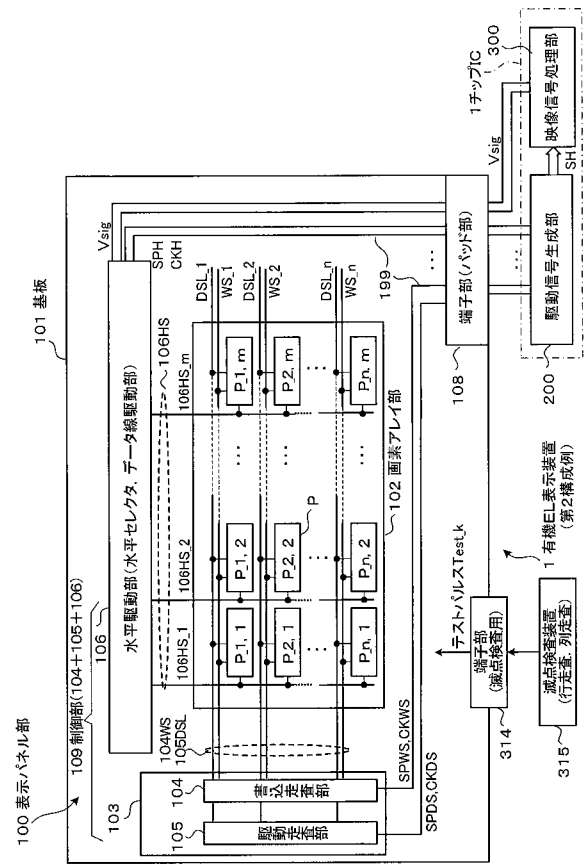
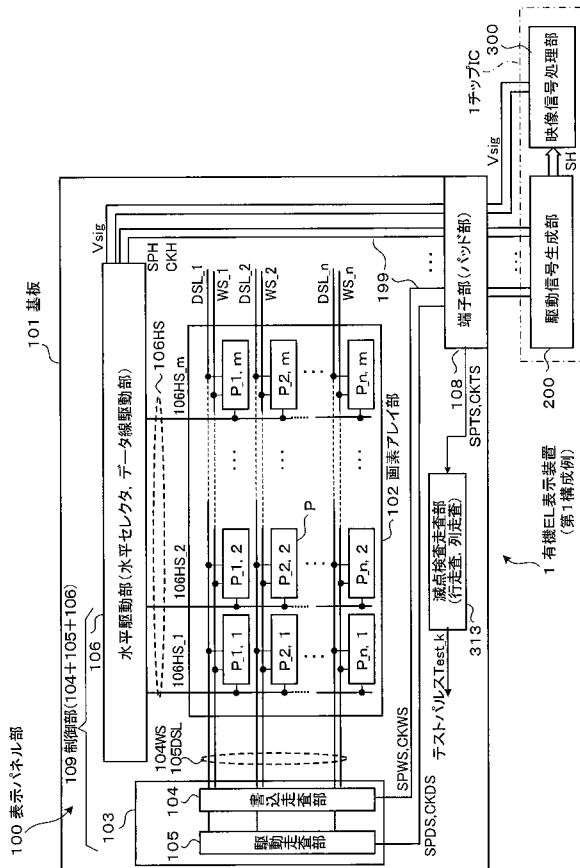
1...有機EL表示装置、100...表示パネル部、101...基板、102...画素アレイ部、103...垂直駆動部、104...書込走査部、105...駆動走査部、106...水平駆動部、109...制御部、120...保持容量、121...駆動トランジスタ、122...発光制御トランジスタ、125...サンプリングトランジスタ、127...有機EL素子(電気光学素子の一例)、128...テストトランジスタ、200...駆動信号生成部、300...映像信号処理部、313...減点検査走査部、314...端子部、315...減点検査装置、Cel...寄生容量、P...画素回路

10

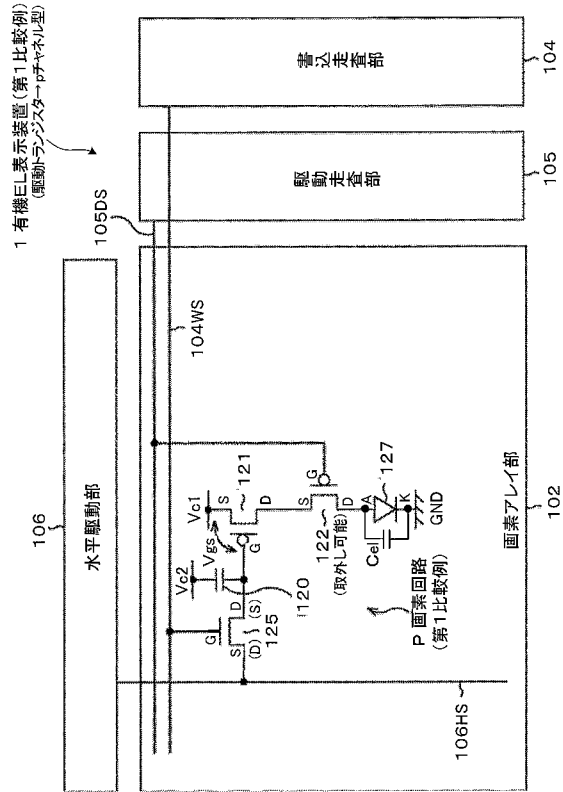
20

【図1】

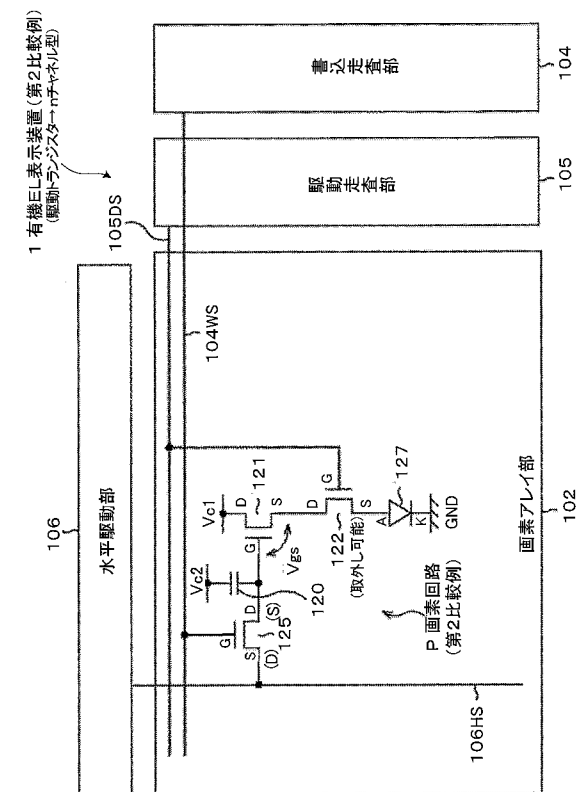
【図1A】



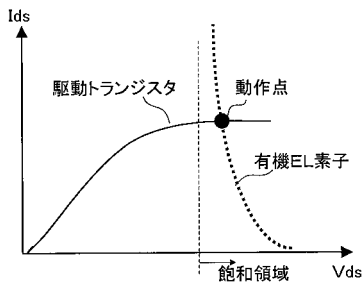
【図2】



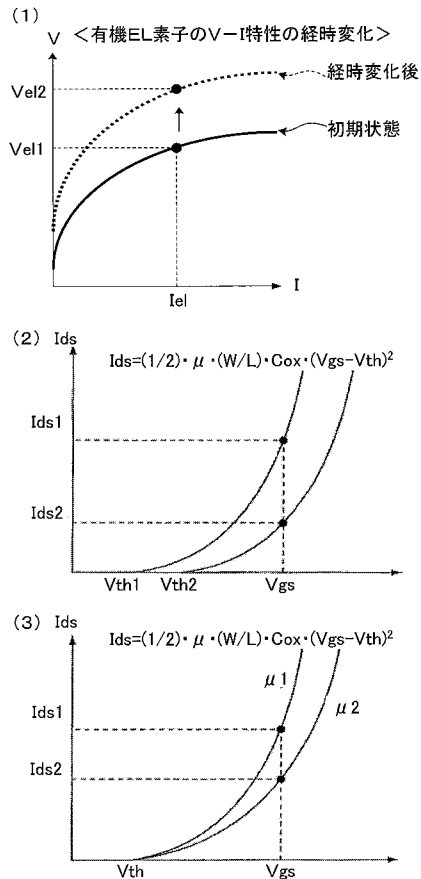
【図3】



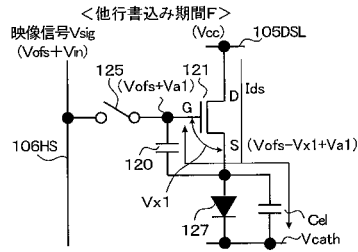
【図4】



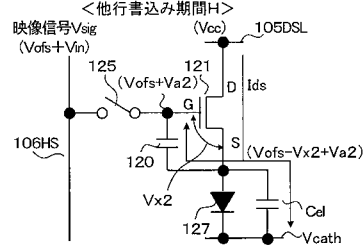
【図4A】



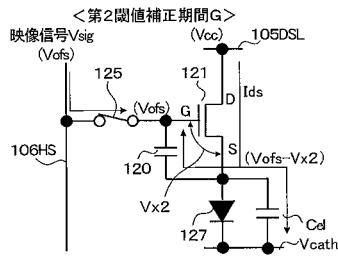
【図 6 F】



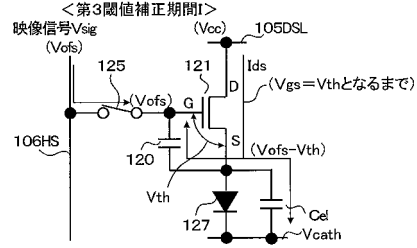
【図 6 H】



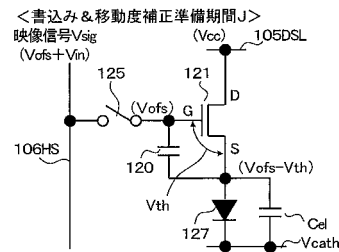
【図 6 G】



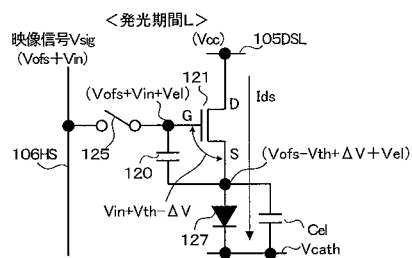
【図 6 I】



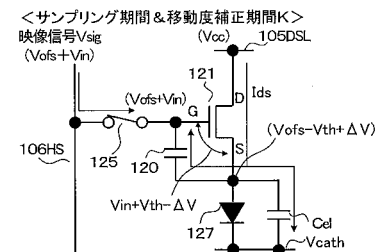
【図 6 J】



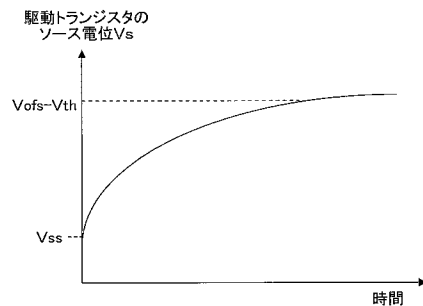
【図 6 L】



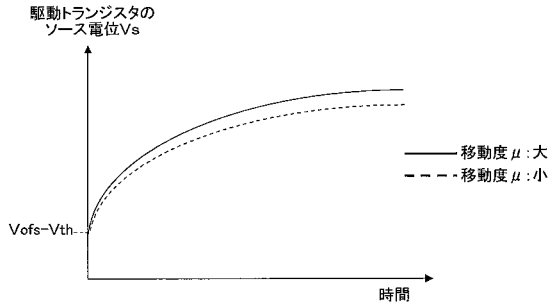
【図 6 K】



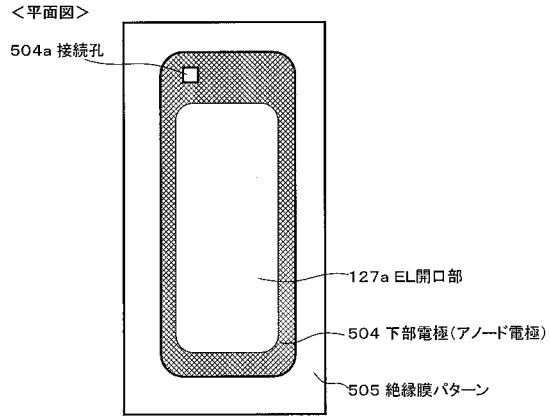
【図 7】



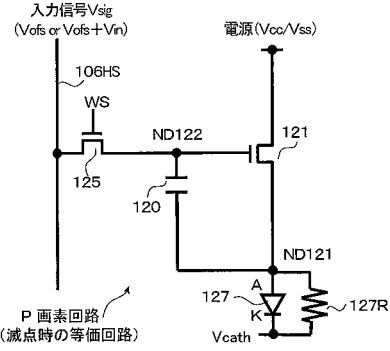
【図7A】



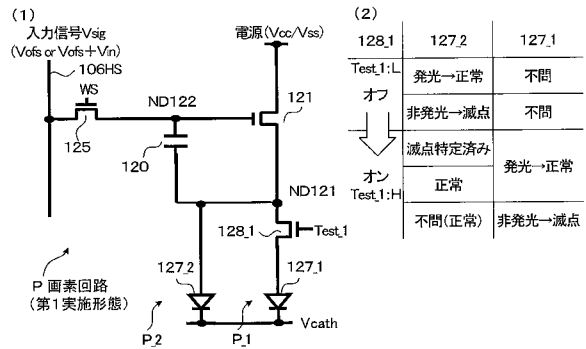
【図8A】



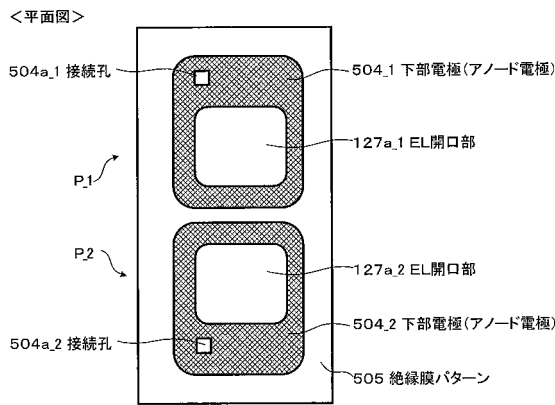
【図8】



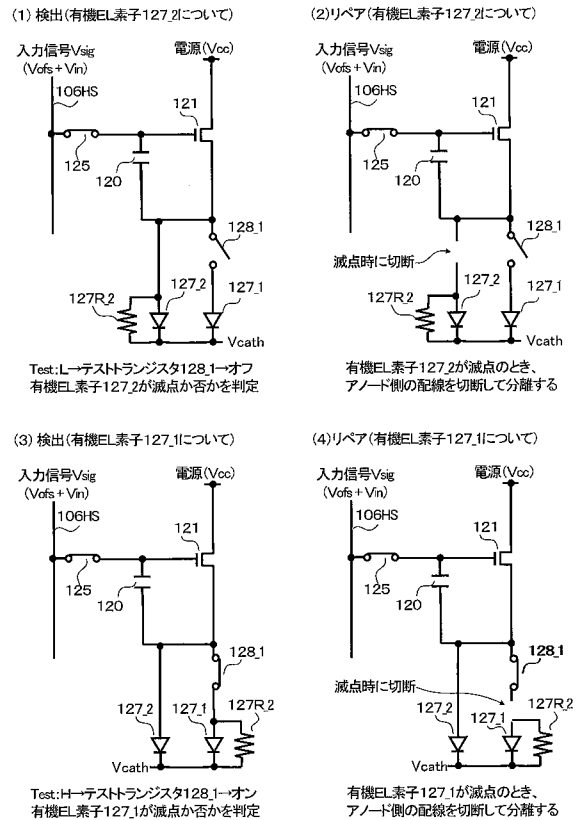
【図9】



【図9A】



【図9B】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 1 1 H
G 0 9 G 3/20 6 4 2 C
G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A

(72)発明者 山本 哲郎
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 橋本 直明

(56)参考文献 特開2004-302319(JP,A)
特開2003-122306(JP,A)
特開2004-247130(JP,A)
特開2006-018232(JP,A)
特開2008-065200(JP,A)
特開2009-133913(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0
H 0 1 L 5 1 / 5 0

专利名称(译)	显示装置，其制造方法及其制造装置		
公开(公告)号	JP5407138B2	公开(公告)日	2014-02-05
申请号	JP2007307860	申请日	2007-11-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	内野勝秀 山本哲郎		
发明人	内野 勝秀 山本 哲郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/006 G09G3/3233 G09G2300/0443 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0262 G09G2320/0233 G09G2320/043 G09G2330/08 G09G2330/10		
FI分类号	G09G3/30.Z G09G3/20.624.B G09G3/20.670.B G09G3/20.670.Q G09G3/20.621.M G09G3/20.680.G G09G3/20.611.H G09G3/20.642.C G09G3/20.642.A H05B33/14.A G09G3/20.670.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC45 3K107/EE04 3K107/GG57 3K107/HH05 5C080/AA06 5C080 /BB05 5C080/DD03 5C080/DD05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB16 5C380/AB18 5C380/AB23 5C380/AB27 5C380 /AC05 5C380/AC12 5C380/BA08 5C380/BA28 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD02 5C380/BD05 5C380/CA08 5C380/CA12 5C380/CA48 5C380/CA53 5C380/CA54 5C380 /CB01 5C380/CB18 5C380/CB20 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380 /CC39 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CC71 5C380/CC77 5C380/CD012 5C380 /CD013 5C380/CD022 5C380/CD023 5C380/CE19 5C380/CF22 5C380/CF24 5C380/DA02 5C380 /DA06 5C380/DA32 5C380/DA33 5C380/DA47 5C380/FA02 5C380/FA05 5C380/FA18 5C380/FA22 5C380/GA02 5C380/GA05 5C380/GA07 5C380/GA08 5C380/HA03 5C380/HA05 5C380/HA06 5C380 /HA08 5C380/HA12 5C380/HA13		
审查员(译)	Naoaki 桥本		
其他公开文献	JP2009133912A		
外部链接	Espacenet		

摘要(译)

本发明通过向像素电路，其可以掩盖暗点未在有机EL显示装置发出的，以提高显示装置的成品率。常规的1个像素被分成多个区域，分别提供的有机EL元件127_k。ON / OFF控制的测试晶体管128_k的有机EL元件127_k插入连接在驱动晶体管121的源极。当暗点检测中，所有的测试晶体管的状态128_k断顺序接通，以确定坏点和位置的存在或不存在。作为对暗点元件的驱动电流Ids的电流路径的配线的阳极侧，通过照射能量束如激光束，通过将金属丝，电从正常像素电路P中分离的通过这样做来修复黑点。如果在其他正常元件的显示，很显然，可以由于一个像素可以防止完全暗点减少，从而提高了制造成品率享受的效果是不可见的点缺陷，。

