

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4399169号
(P4399169)

(45) 発行日 平成22年1月13日(2010.1.13)

(24) 登録日 平成21年10月30日(2009.10.30)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 612F
H03F 3/343 (2006.01)	G09G 3/20 623B
H01L 51/50 (2006.01)	G09G 3/20 641D
	G09G 3/20 642B

請求項の数 1 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2003-1995 (P2003-1995)
 (22) 出願日 平成15年1月8日(2003.1.8)
 (65) 公開番号 特開2003-248459 (P2003-248459A)
 (43) 公開日 平成15年9月5日(2003.9.5)
 審査請求日 平成15年1月8日(2003.1.8)
 (31) 優先権主張番号 2002-1175
 (32) 優先日 平成14年1月9日(2002.1.9)
 (33) 優先権主張国 韓国 (KR)

前置審査

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順
 (74) 代理人 100147566
 弁理士 上田 俊一

最終頁に続く

(54) 【発明の名称】 電流書き込み型 AMOE Lディスプレイパネル用データ駆動回路

(57) 【特許請求の範囲】

【請求項 1】

複数の電流出力チャネルと、
 前記電流出力チャネルの間で発生する電流レベルの差を最小化するためにそれぞれの電流出力チャネルに設けた複数のチャネル電流発生回路とを有し、
 前記各チャネル電流発生回路は、
 同一の幅と長さを有するとともに、共通ゲート端子を有し、第1 PMOSトランジスタのボディとソースは互いに接続されさらに第1外部バイアス回路と接続され、第2 PMOSトランジスタのボディとソースは互いに接続されさらに陽電圧源と接続される一対の PMOSトランジスタと、[0030]
 前記 PMOSトランジスタ対の前記共通ゲート端子と接地の間に直列接続された、少なくとも1つの NMOSトランジスタと、前記 NMOSトランジスタのゲートに接続された共通ゲート電圧として用いられる第2外部バイアス回路とにより構成された可変抵抗からなる共通ゲート端子のフローティングを防止する第1バイアス回路と、
 前記 PMOSトランジスタ対の出力電流を入力する第1 NMOSトランジスタと、
 前記第1 NMOSトランジスタのゲート端子と連結され、各々が前記第1 NMOSトランジスタと電流ミラーを形成して前記 PMOSトランジスタ対の出力電流をミラーリングする n (n = 1, 2, 3, 、 、) 個の第2 NMOSトランジスタと、
 前記 n 個の第2 NMOSトランジスタに各々一つずつ直列連結される n 個の PMOSトランジスタと

を含み、前記 n 個の PMOS トランジスタの出力は互いに並列接続されることを特徴とする電流書き込み型 AMOLED ディスプレイパネル用データ駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流書き込み型のアクティブマトリックス有機 EL (AMOLED: Active Matrix Organic Electro-Luminescent) ディスプレイパネル用データ駆動回路に関する。

【0002】

【従来の技術】

一般に、AMOLED の画素構造は大きく二つあるが、電圧書き込み方式の画素構造を有する AMOLED ディスプレイパネルは、しきい値電圧の変化及び接地線における不規則な電圧上昇のような雑音に敏感である。

10

【0003】

図1は従来技術による2能動素子を用いた電圧書き込み方式の画素構造を示したものである。図1を参照すると TFT 液晶ディスプレイ (LCD) の電荷を蓄積する電荷蓄積用キャパシタ (Cstg) が有機 EL (Organic Electro Luminescent: OEL) を直接駆動させる駆動用トランジスタ (Q_1) と陽電圧源 (V_{DD}) とに連結されている。駆動用トランジスタ (Q_1) の一方の電極は有機 EL (OEL) のアノードに連結される。OEL のスイッチング用トランジスタ (Q_2) のゲートがスキャンラインと連結されスキャンラインからの信号によって制御される。このスイッチング用トランジスタ (Q_2) のソースはデータラインに連結され、ドレインは駆動用トランジスタ (Q_1) のゲートに連結される。電荷蓄積用キャパシタ (Cstg) は陽電圧源 (V_{DD}) と駆動用トランジスタ (Q_1) のゲートに連結される。図1に示すように、駆動用トランジスタ (Q_1) とスイッチング用トランジスタ (Q_2) は PMOS である。

20

【0004】

図1に示す回路の動作は次のとおりである。

まず、データラインからグレイスケールが調整されたデータ電圧が印加され、そのデータ電圧がスイッチング用トランジスタ (Q_2) を通って電荷蓄積用キャパシタと駆動用トランジスタ (Q_1) のゲートに印加される。スキャンライン信号によってスイッチング用トランジスタ (Q_2) が閉じられると、データラインを介して各画素のグレイスケールに相当するデータ電圧が電荷蓄積用キャパシタに書き込まれる。書き込まれたデータ電圧は駆動用トランジスタ (Q_1) の電流レベルを決定する制御電圧になる。制御電圧に相当する電流が駆動用トランジスタ (Q_1) を通して有機 EL に供給される。AMOLED パネルには数多くの画素が存在するが、画素の間で駆動用トランジスタ (Q_1) の電圧 - 電流特性が互いに不均一であれば、データラインを介して電荷蓄積用キャパシタに書き込まれた電圧が均一でも、各画素内の OEL に流れる電流は不均一になる。これは結局 AMOLED ディスプレイパネル上で不均一なディスプレイ特性、即ち不均一な輝度特性となる。これが電圧書き込み方式の短所中の一つである。

30

【0005】

図2は従来技術による電流書き込み方式の画素構造を示すものである。

40

図1に示す電圧書き込み方式の画素構造とは異なり電流書き込み方式の画素は駆動用トランジスタ (P_1) にグレイスケールに相当する電流レベルを直接書き込む構造である。

【0006】

図2を参照すれば、画素に属する駆動用トランジスタ (P_1) の電圧 - 電流特性が互いに不均一でも書き込み電流 (I_{data}) を発生するデータ駆動回路が均一に動作すると、有機 EL パネルの均一なディスプレイ特性が得られる。しかし、実際は図2のデータ駆動回路は一つの画素に対応する回路である。書き込み電流を生成する部分はデータ駆動回路部に一つの回路形態として存在するのではなく、各データラインごとに、或いは幾つかのデータラインごとに存在する。従って、書き込み電流を発生する回路間に誤差が発生すると、電流書き込み方式の画素構造の長所を生かせず、有機 EL パネルは不均一なディスプ

50

レイ特性をもつことになる。

【0007】

図2による問題を解決するための方法として、図3による回路が用いられた。図3は基準電流源 (I_{REF}) をミラーリングして所望の電流を発生させる回路である。この場合はデータ駆動回路内に一つの基準電流源を用いる。しかし、図3に示すように、一つの基準電流源を全てのデータラインからミラーリングする場合、ミラーの役割を果たすトランジスタ間の距離が基準電流源から離れすぎていると基準電流源を正確にミラーリングすることができないという短所がある。

【0008】

他の方法として図4に示すような基準電流源 (I_{REF}) を補正する回路図が用いられた。本回路の場合は、各データラインでキャリブレーション周期が同じになるようにトランジスタのような電流源素子と電荷保存用キャパシタが用いられる。

10

【0009】

しかし、電荷保存用トランジスタのゲートとソースとの間に存在する各電荷保存用キャパシタでの電流漏れなどにより各データラインで電圧変動が発生し、ひいては各データラインの間における出力電流が不均一になるという短所がある。

【0010】

【発明が解決しようとする課題】

本発明は、上記従来技術の問題点を解決するためのもので、チャンネルにおける出力電流レベルなどの差を最小化して電流書き込み型画素構造を有するAMOE Lパネルを均一に駆動できる電流書き込み型画素構造を有するAMOE Lパネル用駆動回路を提供することが目的である。

20

【0011】

又、本発明の目的は、AMOE Lディスプレイパネルに流れる電流の大きさによってデータを均一、且つ正確にAMOE Lディスプレイチャンネル上にディスプレイできる電流書き込み型AMOE Lパネル用データ駆動回路を提供することが目的である。

【0012】

さらに、本発明の目的は、新規な電流書き込み型画素構造を有するTFT-AMOE L又は単結晶AMOE Lディスプレイパネル用データ駆動回路を提供することが目的である。

【0013】

30

【課題を解決するための手段】

上記目的を達成するための本発明によると、複数の電流出力チャンネルと、それらの電流出力チャンネルの間で発生する電流レベルの差を最小化するために各電流出力チャンネルに対応させて設けた複数のチャンネル電流発生回路とを含んでおり、各チャンネル電流発生回路は、一对のトランジスタからなり、これらのしきい値電圧の差の自乗に比例する小さい偏差の電流を生成する電流生成部と、電流をミラーリングし、ミラーリングされた電流をチャンネルの中で相当するチャンネルの電流として出力する電流ミラー部を備えていることを特徴とする。

【0014】

上記一对のトランジスタは同一の幅と長さを有することが望ましい。

40

【0015】

【発明の実施の形態】

以下、添付の図5 a及び図5 bを参照して本発明を更に詳細に説明する。

【0016】

図5 aは本発明実施形態による電流書き込み型画素構造を有するAMOE Lパネル用データ駆動回路を示すブロックダイアグラムである。図5 aによると、データ駆動回路は複数の電流出力チャンネル (I_{out1} 、 I_{out2} 、... I_{outk}) と、これらの電流出力チャンネル (I_{out1} 、 I_{out2} 、... I_{outk}) の間で発生する電流レベルの差を最小化するために各画素に対応する電流出力チャンネルに設けた複数のチャンネル電流発生回路とを備えている。

50

【 0 0 1 7 】

図 5 b に示すように、各チャンネル電流発生回路は対応する一つの電流出力チャンネルごとに幅と長さが同一で、共通ゲートを有する第 1 のタイプの MOS である PMOS トランジスタ対 (Q_1 、 Q_2)、その PMOS トランジスタ対 (Q_1 、 Q_2) の共通ゲート端子と連結して共通ゲート端子のフローティングを防止するバイアス回路 10、PMOS トランジスタ対 (Q_1 、 Q_2) の出力電流を入力する第 2 のタイプの MOS である第 1 NMOS トランジスタ (M_1)、第 1 NMOS トランジスタのゲート端子と共通のゲート端子を有し、第 1 NMOS トランジスタ (M_1) と各々電流ミラー回路を形成して PMOS トランジスタ対 (Q_1 、 Q_2) の出力電流をミラーリングする n 個の第 2 NMOS トランジスタ (M_2 、 M_3 、 \dots 、 M_{n+1})、又 n 個の第 2 NMOS トランジスタ (M_2 、 M_3 、 \dots 、 M_{n+1}) の出力側に対応して連結され、一つの出力チャンネルを形成するために互いに並列接続された出力を有する n 個の第 2 PMOS トランジスタ (D_1 、 D_2 、 \dots 、 D_n) を含んでいる。なお、一对の PMOS トランジスタは電流生成部を構成している。第 1 のタイプの MOS と第 2 のタイプの MOS とはそれぞれ異なるタイプであり、実装に際しては互いに交換することも可能である。

10

【 0 0 1 8 】

電流出力チャンネル (I_{out}) はデータ駆動回路の電流出力のうちの一つの電流出力チャンネルを指示する。

【 0 0 1 9 】

図 5 b に示すように、チャンネル電流発生回路で PMOS トランジスタ対 (Q_1 、 Q_2) 中の一つはそのボディーとそのソースが互いに連結して第 1 外部バイアス 1 (V_{Bias1}) と連結され、PMOS トランジスタ対の共通ゲート端子はフローティングが防止されるように外部バイアス回路 10 と連結される。外部バイアス回路は、上記共通ゲート端子とグラウンドの間に接続され、第 2 外部バイアス (V_{Bias2}) を共通ゲート電圧として用いる直列接続された三つの NMOS トランジスタからなる。

20

【 0 0 2 0 】

尚、 n 個の第 2 PMOS トランジスタ (D_1 、 D_2 、 \dots 、 D_n) はそれぞれ対応する第 2 NMOS トランジスタを流れる電流を制御するために外部からそれぞれ 1 ビットのデジタル信号をゲート信号として入力する。第 2 PMOS トランジスタ (D_1 、 D_2 、 \dots 、 D_n) の出力電流は合算されてデータ駆動回路の一つの出力チャンネルの駆動電流として提供される。

30

【 0 0 2 1 】

一つの出力チャンネルの駆動電流は、 n 個の PMOS トランジスタ (D_1 、 D_2 、 \dots 、 D_n) 用の n - ビットのデジタル信号の組み合わせによってバイナリ形態の電流レベルを有するように適切に調節される。

【 0 0 2 2 】

n 個の第 2 NMOS トランジスタ (M_2 、 M_3 、 \dots 、 M_{n+1}) の幅と長さはそれらを通る電流が PMOS トランジスタ対の出力電流 (I_{Q2}) の 2^a ($a=0, 1, 2, \dots$) 倍に調節される値になるように決める。

【 0 0 2 3 】

前述のように、本発明の実施形態によると幅と長さを同じくする PMOS トランジスタ対 (Q_1 、 Q_2) を用いて、これらの PMOS トランジスタ (Q_1 、 Q_2) のしきい値電圧の差の自乗に比例する小さい偏差の電流が生成され、その生成された電流が $n+1$ 個の NMOS トランジスタ (M_1 、 M_2 、 \dots 、 M_{n+1}) からなる n 個の電流ミラー回路によってミラーリングされる。各電流ミラー回路の出力電流は各第 2 PMOS トランジスタ (D) によって調節された後並列に加えられる。その加えられた値が一つのチャンネルの電流値になる。

40

このように得られた各チャンネル電流値はチャンネル間の駆動電流レベルの差を最小化し、AMOE L ディスプレイパネルを均一に駆動させる。

【 0 0 2 4 】

50

又、図5 bによると、各出力チャンネルで見た有効接地抵抗が異なって、誘起される電圧が各出力チャンネルで異なっても、 $n + 1$ 個のNMOSトランジスタ (M_1, M_2, \dots, M_{n+1}) からなる n 個の電流ミラー回路によってPMOSトランジスタ対 (Q_1, Q_2) で生成された電流 (I_{Q2}) はミラーリングされるので、接地抵抗の変化による出力チャンネルにおける電圧上昇は各チャンネルの出力電流に大きい影響を及ぼすことはない。即ち、接地ラインにおける電圧上昇効果が相殺される。

【0025】

データ駆動回路のチャンネルの数が非常に多い場合、各チャンネルが共通に有する接地ラインが非常に長くなり、互いに遠く離れているチャンネルの間で接地ラインの有効抵抗が異なるようになる。チャンネルの間で接地抵抗が異なると、接地ラインに誘起される電圧が異なることになる。しかしながら、図5 bによれば、PMOSトランジスタ対 (Q_1, Q_2) の出力電流 (I_{Q2}) は $n + 1$ 個の第2 NMOSトランジスタ ($M_1, M_2, M_3, \dots, M_{n+1}$) からなる電流ミラー回路の出力電流のチャンネルの駆動電流に比べて非常に小さいので、PMOSトランジスタ対 (Q_1, Q_2) の出力電流による電圧降下は無視できる。

10

【0026】

更に、PMOSトランジスタ対 (Q_1, Q_2) によって発生した一つのチャンネルの出力電流 (I_{Q2}) がNMOSトランジスタから構成されたミラー回路によってミラーリングされた後で使われるので、接地抵抗の変動による電圧上昇はチャンネルにおける出力電流に影響を及ぼさない。従って、互いに異なる有効接地電圧を有するチャンネル間の電流レベルの偏差を極めて小さく減らすことができる。

20

【0027】

チャンネルから出力した電流 (I_{out}) のレベルは第1 NMOSトランジスタのソース電流 (I_{Q2}) をミラーリングした電流ミラー回路から出力された電流を n 個のPMOSトランジスタ (D_1, D_2, \dots, D_n) によって制御することで決められる。

【0028】

ここで、 n 個の第2 PMOSトランジスタ (D_1, D_2, \dots, D_n) は外部からの n ビットのデジタル信号をそれらのゲート信号として用いることによって電流ミラー回路の出力電流を制御する。 n ビットのデジタル信号をそれぞれゲート信号に用いる n 個のPMOSトランジスタ (D_1, D_2, \dots, D_n) は n 個の第2 NMOSトランジスタ (M_2, M_3, \dots, M_{n+1}) と直列連結されている。

30

各NMOSトランジスタの幅と長さは n ビットの組合せによって 2^n の電流レベルを有し、PMOSトランジスタ対 (Q_1, Q_2) の出力電流 (I_{Q2}) の 2^a ($a = 0, 1, 2, \dots$) 倍のうち、いずれか一つになるように互いに異なって決定される。

【0029】

この時、第1 NMOSトランジスタのソース電流は同一の幅と長さを有するPMOSトランジスタ対 (Q_1, Q_2) によって生成される。PMOSトランジスタ対 (Q_1, Q_2) の共通ゲートには、フローティングを防止するために三つの直列接続されたNMOSトランジスタと、NMOSトランジスタ共通ゲート信号として用いられる第2外部バイアス電源 (V_{Bias2}) とから構成された可変抵抗が接続される。

【0030】

PMOSトランジスタ (Q_1) のソースとボディーは互いに連結されており、これらは更に第1外部バイアス電源 (V_{Bias1}) と連結されている。PMOSトランジスタ (Q_2) のソースは陽電圧源電圧 (V_{DD}) と連結されている。

40

【0031】

PMOSトランジスタ (Q_2) の出力電流 (I_{Q2}) は以下の式 (1) 及び (2) によって計算される。

【0032】

$$|I_{Q1}| = K_1(V_{Bias1} - V_x - |V_{th1}|)^2 \quad \text{-- (1)}$$

ここで $V_x = V_{Bias1} - |V_{th1}| - (|I_{Q1}| / K_1)$

【0033】

50

$$|I_{Q2}| = K_2(V_{DD} - V_x - |V_{th2}|)^2$$

$$= K_2(V_{DD} - V_{Bias1} + |V_{th1}| - |V_{th2}| + \sqrt{(|I_{Q1}| / K_1)})^2 \quad \text{--- (2)}$$

ここで、 $K_1 = \mu_p C_x (W_1/L_1)$,

$K_2 = \mu_p C_x (W_2/L_2)$

【0034】

式(2)に示すように、陽電圧源電圧(V_{DD})と第1外部バイアス電源(V_{Bias1})及び($|I_{Q1}| / K_1$)が一定であれば、PMOSトランジスタ(Q_2)を介して流れる出力電流(I_{Q2})はPMOSトランジスタ対(Q_1 、 Q_2)のしきい値電圧の差の自乗に比例する値を有することになる。

10

【0035】

これは、PMOSトランジスタ(Q_1 、 Q_2)が設計上で近くに位置すると、データ駆動回路の電流出力チャネル間の距離が遠くて、各チャネルに存在するPMOSトランジスタ(Q_1 、 Q_2)のしきい値電圧に変化が発生しても、PMOSトランジスタ対(Q_1 、 Q_2)は均一なソース電流を得ることを意味する。

【0036】

即ち、PMOSトランジスタ対(Q_1 、 Q_2)がレイアウト上で近くに位置すると、PMOSトランジスタ対の出力、即ち、PMOSトランジスタ(Q_2)のベース電流(I_{Q2})はPMOSトランジスタ対(Q_1 、 Q_2)のしきい値電圧の差の自乗に比例する小さい偏差の電流値を有することになり、ひいては比較的に大きい偏差の電流値を有する

20

【0037】

又、PMOSトランジスタ対(Q_1 、 Q_2)が互いに離れている場合にはPMOSトランジスタ(Q_2)のベース電流(I_{Q2})はPMOSトランジスタ(Q_1 、 Q_2)のしきい値電圧(V_{th1} 、 V_{th2})の差の自乗に比例する大きい偏差の電流に該当する。

【0038】

前述のように、得られた均一なベース電流(I_{Q2})はPMOSトランジスタ対(Q_1 、 Q_2)に近く位置している $n+1$ 個のNMOSトランジスタ(M_1 、 M_2 、 \dots 、 M_{n+1})で構成された n 個の電流ミラー回路を通過することになり、電流ミラー回路の並列の和がデータ駆動回路の均一な一つのチャネルに該当する出力電流(I_{out})として用いられる。

【0039】

又、本実施形態によるデータ駆動回路は各チャネルごとに接地電圧の差が発生しても次のような原理によってその差が補われる。

前述のようにデータ駆動回路の電流出力チャネルの数が非常に多い場合、各チャネルが共通に有する接地ラインが各チャネルの位置に応じて非常に長くなる。互いに離れているチャネルはそれぞれ違う接地ラインの有効抵抗を有するようになる。

【0040】

例えば、互いに離れている二つのチャネルが互いに異なる有効接地抵抗を有すると、接地ラインに誘起される電圧もチャネルに従って異なってくる。この時データ駆動回路のうち、一つのチャネル用のPMOSトランジスタ対の出力電流(I_{Q2})のレベルは、チャネル出力電流(I_{out})に比べて非常に小さいので、PMOSトランジスタ対(Q_1 、 Q_2)の出力電流(I_{Q2})による陽電圧源電圧(V_{DD})の電圧降下は無視できるが、チャネル出力電流による接地ラインにおける電圧上昇は単にNMOSトランジスタからなる電流源を用いる場合には、チャネル出力電流を変化させる原因として作用する。

40

【0041】

又、データ駆動回路でPMOSトランジスタ対(Q_1 、 Q_2)によって出力された電流(I_{Q2})は $n+1$ 個のNMOSトランジスタ(M_1 、 M_2 、 \dots 、 M_{n+1})からなる電流ミラー回路にミラーリングして用いられるので、接地抵抗における電圧上昇がチャネル出力電流(I_{out})に影響を及ぼさない。また、互いに異なる有効接地電圧は遠く離れた両チャネルの間において電流レベルの偏差を非常に小さくする。

【0042】

50

以上本発明の好適な一実施形態に対して説明したが、実施形態のものに限定されるわけではなく、本発明の技術思想に基づいて種々の変形又は変更が可能である。

【 0 0 4 3 】

【発明の効果】

以上説明したように、本発明によると、次のような効果がある。

幅と長さを有するトランジスタ対を用いて、これらのしきい値電圧の差の自乗に比例する小さい偏差の電流を生成する。従って、互いに独立的に離れている電流出力チャネルの間で従来個別トランジスタのしきい値電圧変化の自乗に比例する大きい偏差の電流を用いる場合とは異なり、出力電流レベルの差を防止することができる。

【図面の簡単な説明】

10

【図 1】 2 能動素子を用いた電圧書き込み型ディスプレイパネル用従来データ駆動回路である。

【図 2】 電流書き込み型ディスプレイパネル用従来データ駆動回路図である。

【図 3】 基準電流源をミラーリングする方式を用いた従来電流書き込み型ディスプレイパネル用データ駆動回路図である。

【図 4】 基準電流源を用いて補正する方式を用いた従来電流書き込み型ディスプレイパネル用データ駆動回路図である。

【図 5】 a : 本発明実施形態による電流書き込み型 AMOE L 型ディスプレイパネル用データ駆動回路図である。

b : 図 5 a の中、各チャネル電流発生回路の詳細回路図である。

20

【符号の説明】

Q_1 、 Q_2 PMOS トランジスタ対

V_{Bias1} 、 V_{Bias2} 外部バイアス

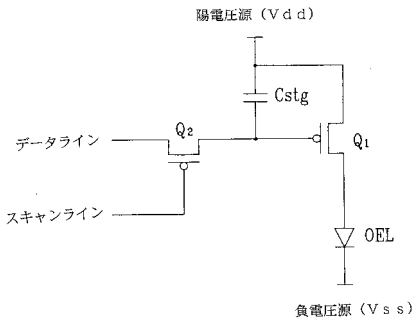
M_1 、 M_2 、 M_3 、 \dots 、 M_{n+1} : NMOS トランジスタ

D_1 、 D_2 、 D_3 、 \dots 、 D_n : PMOS トランジスタ

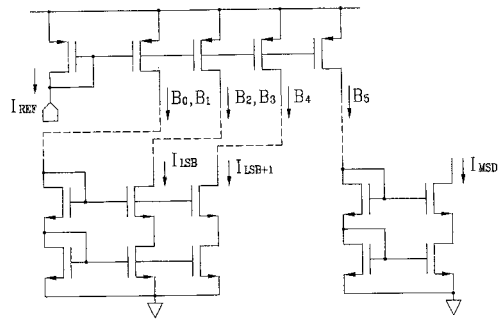
GND グラウンド

V_{DD} : 陽電圧源

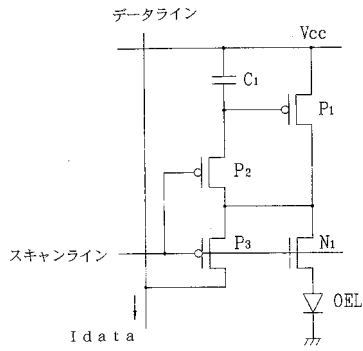
【図1】



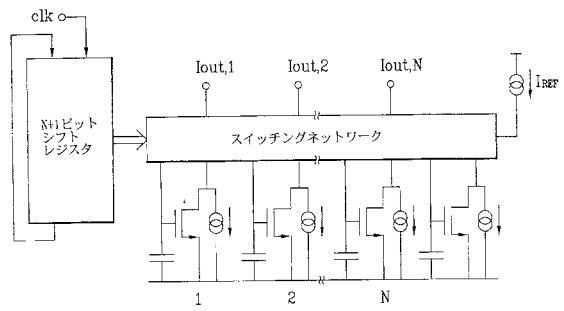
【図3】



【図2】

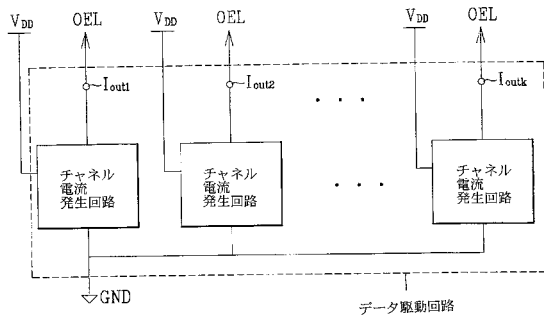


【図4】

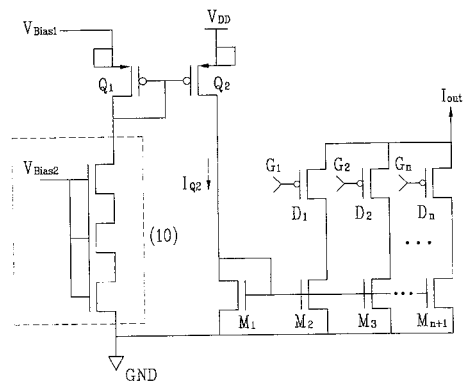


【図5】

a



b



フロントページの続き

(51) Int.Cl.

F I

H 0 3 F 3/343 A

H 0 5 B 33/14 A

(72)発明者 キム, ハック・ス

大韓民国・ソウル・カンブック - ク・ミア7 - ドン・(番地なし)・エスケイブカンサンシティ
アパートメント 143 - 903

(72)発明者 ナ, ヨン・ソン

大韓民国・キョンギ - ド・クリ - シ・キョムン1 - ドン・767・イルソン アpartment 1
02 - 1004

(72)発明者 クォン, オ・キョン

大韓民国・キョンサンブ - ド・チルゴ - グン・ソッチョック - ミョン・ジュン - リ・141・3コ
ンダン・ブヨン アpartment 104 - 811

審査官 福村 拓

(56)参考文献 特開平06 - 314977 (JP, A)

特開平11 - 186909 (JP, A)

特開平10 - 135814 (JP, A)

特開平10 - 132601 (JP, A)

特開2000 - 122608 (JP, A)

特開2000 - 181558 (JP, A)

特開2001 - 067872 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30

G09G 3/20

专利名称(译)	用于电流写入型AMOEL显示板的数据驱动电路		
公开(公告)号	JP4399169B2	公开(公告)日	2010-01-13
申请号	JP2003001995	申请日	2003-01-08
申请(专利权)人(译)	エルジー電子株式会社		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	キムハックス ナヨンソン クオンオキヨン		
发明人	キム,ハックス ナ,ヨンソン クオン,オキヨン		
IPC分类号	G09G3/30 G09G3/20 H03F3/343 H01L51/50 G09G3/32		
CPC分类号	G09G3/3283 G09G3/325 G09G2310/027		
FI分类号	G09G3/30.J G09G3/20.612.F G09G3/20.623.B G09G3/20.641.D G09G3/20.642.B H03F3/343.A H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291 H03F3/343.210		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD25 5C080/EE29 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C380/AA01 5C380/AB06 5C380/BA37 5C380/BB05 5C380/CA04 5C380/CA12 5C380/CA13 5C380/CA34 5C380/CA35 5C380/CA57 5C380/CB16 5C380/CB17 5C380/CC02 5C380/CC03 5C380/CC12 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CD012 5C380/CD014 5C380/CE04 5C380/CF07 5C380/CF12 5C380/CF26 5C380/CF42 5C380/CF48 5C380/DA06 5C380/HA13 5J091/AA01 5J091/AA43 5J091/CA00 5J091/CA78 5J091/FA04 5J091/HA10 5J091/HA17 5J091/HA19 5J091/HA29 5J091/HA38 5J091/HA44 5J091/KA05 5J091/KA09 5J091/KA12 5J091/KA33 5J091/MA22 5J091/SA08 5J091/TA01 5J500/AA01 5J500/AA43 5J500/AC00 5J500/AC78 5J500/AF04 5J500/AH10 5J500/AH17 5J500/AH19 5J500/AH29 5J500/AH38 5J500/AH44 5J500/AK05 5J500/AK09 5J500/AK12 5J500/AK33 5J500/AM22 5J500/AS08 5J500/AT01		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
审查员(译)	福村 拓		
优先权	1020020001175 2002-01-09 KR		
其他公开文献	JP2003248459A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为具有电流写入型像素结构的AMOEL（有源矩阵有机发光）面板提供新的驱动电路。解决方案：驱动电路的特征在于它包括多个电流输出通道和多个通道电流产生电路，它们对应于电流输出通道，以便最小化通道之间产生的电流电平的差异。每个沟道电流产生电路由一对晶体管组成，并且设置有电流产生部分和电流镜部分，该电流产生部分产生具有小偏差的电流并且与晶体管的阈值电压之差的平方成比例。镜像电流并输出镜像电流作为通道的电流。 Z

【図4】

