

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-8521
(P2010-8521A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.			F I	テーマコード (参考)		
G09G	3/30	(2006.01)	G09G 3/30 J	3K107		
G09G	3/20	(2006.01)	G09G 3/20 624B	5C080		
G09F	9/30	(2006.01)	G09G 3/20 611H	5C094		
H01L	27/32	(2006.01)	G09G 3/20 642A			
H01L	51/50	(2006.01)	G09G 3/20 621F			

審査請求 有 請求項の数 8 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2008-165201 (P2008-165201)
(22) 出願日 平成20年6月25日 (2008. 6. 25)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100098785
弁理士 藤島 洋一郎
(74) 代理人 100109656
弁理士 三反崎 泰司
(74) 代理人 100130915
弁理士 長谷部 政男
(74) 代理人 100155376
弁理士 田名網 孝昭
(74) 代理人 100086298
弁理士 船橋 國則

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】有機EL表示装置において、閾値補正動作が正常に行なわれなくなる問題を緩和する。

【解決手段】1H単位分割閾値補正処理における少なくとも1回の閾値補正処理期間に、オフセット電位Vofs期間でも閾値補正処理を複数回繰り返して行なう。1H内閾値補正分割処理の各閾値補正動作の間隔期間はサンプリングトランジスタ125がオフしているので、ゲート・ソース間電圧Vgsが一定のままソース電位V_s_121が上昇する。1H内閾値補正分割処理を適用したときの閾値補正動作間は、1H内閾値補正分割処理を適用しないときの同期間に閾値補正を行なっているときよりも、ゲート・ソース間電圧Vgs_121が大きく電流が多く流れるため、閾値補正動作自体の速度は、1H内閾値補正分割処理を適用したときの方が1H内閾値補正分割処理を適用しないときよりも早くなり、正常に閾値補正動作を行なうことが可能となる。

【選択図】 図8

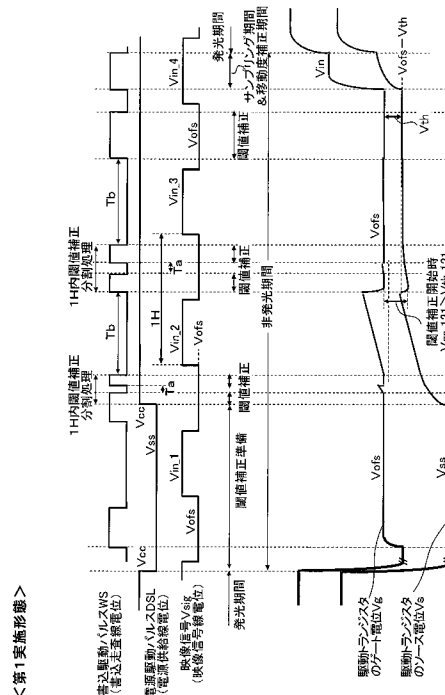


図8 実施形態1のタイミング図

【特許請求の範囲】

【請求項 1】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号振幅に応じた情報を保持する保持容量、および前記信号振幅に応じた情報を前記保持容量に書き込むサンプリングトランジスタを具備する画素回路が行列状に配置されている画素アレイ部と、

前記画素回路を垂直走査するための垂直走査パルスを生成する垂直走査部と、

前記垂直走査部での前記垂直走査に合わせて映像信号を前記画素回路に供給する水平走査部と、

前記駆動電流を一定に維持する駆動信号一定化回路と、

を備え、

前記駆動信号一定化回路は、前記垂直走査部および水平走査部の制御の元で、前記駆動トランジスタに電流が流れる状態がかつ閾値補正用の基準電位が前記サンプリングトランジスタの入力端に供給されるようにして前記サンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されており、さらに、

1 水平走査期間を 1 処理サイクルとして、前記駆動トランジスタに電流が流れる状態のまま閾値補正動作を複数回に亘って行なうとともに、閾値補正処理期間の少なくとも 1 回は、前記閾値補正用の基準電位が前記サンプリングトランジスタの入力端に供給されるようにして前記サンプリングトランジスタの導通と非導通を複数回に亘って繰り返して閾値補正処理を実行する 1 水平期間内閾値補正分割処理を行なう

ことを特徴とする表示装置。

【請求項 2】

前記 1 水平期間内閾値補正分割処理が行なわれる閾値補正処理期間の各閾値補正処理の間隔期間は、1 水平走査期間を 1 処理サイクルとする各閾値補正処理期間の間隔期間よりも短い

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

1 回目の閾値補正処理期間に、前記 1 水平期間内閾値補正分割処理を行なう

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号振幅に応じた情報を保持する保持容量、および前記信号振幅に応じた情報を前記保持容量に書き込むサンプリングトランジスタを具備する画素回路が行列状に配置されている画素アレイ部と、

前記画素回路を垂直走査するための垂直走査パルスを生成する垂直走査部と、

前記垂直走査部での前記垂直走査に合わせて映像信号を前記画素回路に供給する水平走査部と、

前記駆動電流を一定に維持する駆動信号一定化回路と、

を備え、

前記駆動信号一定化回路は、前記垂直走査部および水平走査部の制御の元で、前記駆動トランジスタに電流が流れる状態がかつ閾値補正用の基準電位が前記サンプリングトランジスタの入力端に供給されるようにして前記サンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されており、さらに、

最初の閾値補正処理に先立ち、前記保持容量の両端電圧が前記駆動トランジスタの閾値電圧を上回るように設定する準備処理をし、

さらに、前記準備処理後で、かつ、最初の閾値補正処理開始前に、前記サンプリングトランジスタを非導通状態にして前記前記駆動トランジスタに電流を流し、

さらに、一定期間経過後に、前記サンプリングトランジスタをオンして閾値補正動作を

10

20

30

40

50

開始する

ことを特徴とする表示装置。

【請求項 5】

1 水平走査期間を 1 処理サイクルとして、前記駆動トランジスタに電流が流れる状態のままに閾値補正動作を複数回に亘って行なう

ことを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

前記準備処理後で、かつ、最初の閾値補正処理開始前に、前記サンプリングトランジスタを非導通状態にして前記前記駆動トランジスタに電流を流す期間は、1 水平走査期間を 1 処理サイクルとする各閾値補正処理期間の間の間隔期間よりも短い

ことを特徴とする請求項 4 に記載の表示装置。

【請求項 7】

最初の閾値補正処理開始時に前記保持容量が前記駆動トランジスタの閾値電圧を下回ることがない範囲で、前記準備処理後で、かつ、最初の閾値補正処理開始前に、前記サンプリングトランジスタを非導通状態にして前記前記駆動トランジスタに電流を流す期間を設定する

ことを特徴とする請求項 4 に記載の表示装置。

【請求項 8】

前記垂直走査部は、前記画素回路を垂直走査して前記保持容量に前記信号振幅に応じた情報を書き込むための書込走査パルスを実行する前記サンプリングトランジスタの制御入力端に供給する書込走査部と、前記駆動電流を実行する前記電気光学素子に流すために使用される第 1 電位および前記第 1 電位とは異なる第 2 電位を切り替えて前記駆動トランジスタの電源供給端に供給する駆動走査部とを有し、

前記水平走査部は、基準電位と信号電位で切り替わる映像信号を実行する前記サンプリングトランジスタの入力端に供給するものであり、

前記駆動信号一定化回路は、前記書込走査部、前記水平駆動部、および前記駆動走査部の制御の元で、前記第 1 電位に対応する電圧が前記駆動トランジスタの前記電源供給端に供給されかつ映像信号における基準電位の時間帯に前記サンプリングトランジスタを導通させることにより、前記駆動トランジスタの閾値電圧に対応する電圧を実行する前記保持容量に保持させる閾値補正機能を実現するように構成されている

ことを特徴とする請求項 1 または 4 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）を有する表示装置に関する。より詳細には、駆動信号の大小によって輝度に変化する電流駆動型の電気光学素子を表示素子として有し、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれる表示装置に関する。

【背景技術】

【0002】

画素の表示素子として、印加される電圧や流れる電流によって輝度に変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度に変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度に変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機 E L, Organic Light Emitting Diode, OLED; 以下、有機 E L と記す）素子が代表例である。後者の有機 E L 素子を用いた有機 E L 表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

【0003】

有機 E L 素子は下部電極と上部電極との間に有機正孔輸送層や有機発光層を積層させる有機薄膜（有機層）を設けてなり、有機薄膜に電界をかけると発光する現象を利用し

10

20

30

40

50

た電気光学素子であり、有機EL素子を通る電流値を制御することで発色の階調を得ている。

【0004】

有機EL素子は比較的低い印加電圧（たとえば10V以下）で駆動できるため低消費電力である。また有機EL素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機EL素子の応答速度は非常に高速である（たとえば数 μ s程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機EL素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

【0005】

ところで、液晶表示素子を用いた液晶表示装置や有機EL素子を用いた有機EL表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるもの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

【0006】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor ; TFT）をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【0007】

ここで、画素回路内の電気光学素子を発光させる際には、映像信号線を介して供給される入力画像信号をスイッチングトランジスタ（サンプリングトランジスタと称する）で駆動トランジスタのゲート端（制御入力端子）に設けられた保持容量（画素容量とも称する）に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

【0008】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機EL素子などの電流駆動型の素子を用いる有機EL表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機EL素子などに供給する。

【0009】

有機EL素子を代表例とする電流駆動型の電気光学素子では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となる。たとえば、有機EL素子に駆動電流を供給する駆動方式としては、定電流駆動方式と定電圧駆動方式とに大別できる（周知の技術であるので、ここでは公知文献の提示はしない）。

【0010】

有機EL素子の電圧 - 電流特性は傾きの大きい特性を有するので、定電圧駆動を行なうと、僅かな電圧のばらつきや素子特性のばらつきが大きな電流のばらつきを生じ大きな輝度ばらつきをもたらす。よって、一般的には、駆動トランジスタを飽和領域で使用する定電流駆動が用いられる。もちろん、定電流駆動でも、電流変動があれば輝度ばらつきを招くが、小さな電流ばらつきであれば小さな輝度ばらつきしか生じない。

【0011】

逆に言えば、定電流駆動方式であっても、電気光学素子の発光輝度が不変であるためには、入力画像信号に応じて保持容量に書き込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機EL素子の発光輝度が不変であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【0012】

10

20

30

40

50

ところが、プロセス変動により電気光学素子を駆動する能動素子（駆動トランジスタ）の閾値電圧や移動度がばらついてしまう。また、有機EL素子などの電気光学素子の特性が経時的に変動する。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えてしまう。

【0013】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている。

【0014】

【特許文献1】特開2006-215213号公報

10

【特許文献2】特開2005-258326号公報

【0015】

たとえば、特許文献1に記載の仕組みでは、有機EL素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にするためのブートストラップ機能が提案されている。

【0016】

閾値補正動作時には、駆動トランジスタの電源供給端に所定の大きさの電源電圧を供給してドレイン・ソース間に電流が流れる状態にし、さらに、閾値補正用の所定の大きさの基準電位がサンプリングトランジスタの入力端に供給されるようにしてサンプリングトランジスタを導通させる。

20

【0017】

ここで、駆動タイミングによっては、閾値補正動作時の期間が不足し、駆動トランジスタの閾値電圧に相当する電圧が保持容量に保持しきれないことが起こり得る。このような現象の対策のため、閾値補正動作を複数回に亘って繰り返し実行することで、確実に駆動トランジスタの閾値電圧に相当する電圧を保持容量に保持させる仕組みを採ることが考えられる（特許文献2を参照）。

【発明の開示】

【発明が解決しようとする課題】

30

【0018】

しかしながら、駆動トランジスタに電流が流れる状態のまま閾値補正動作を複数回に亘って繰り返し実行する場合、各回の閾値補正動作の間隔期間ではサンプリングトランジスタが非導通状態となると、このときには、駆動トランジスタの閾値補正が完全に行なわれていないので、保持容量の両端電圧、つまり駆動トランジスタの制御入力端（ゲート）と電気光学素子側の端子との間の電圧は閾値電圧よりも大きい。

【0019】

閾値補正時間が短かったり間隔期間の時間が長かったりすると、間隔期間に駆動トランジスタの電気光学素子側の端子電位上昇が大きくなる。その結果、次の閾値補正動作時に保持容量の両端電圧がその閾値電圧未満となってしまう、それ以降は閾値補正動作が正常に行なわれず、表示画像にはムラやスジとなって現れるという問題が起こる。

40

【0020】

また、特許文献1に記載の仕組みでは、補正用の電位を供給する配線と、補正用のスイッチングトランジスタと、それを駆動するスイッチング用のパルスが必要であり、駆動トランジスタおよびサンプリングトランジスタを含めると5つのトランジスタを使用する5TR駆動の構成を採っており、垂直走査線の数が多いなど、画素回路の構成が複雑である。画素回路の構成要素が多いことから、表示装置の高精細化の妨げとなる。その結果、5TR駆動の構成では、携帯機器（モバイル機器）などの小型の電子機器で用いられる表示装置への適用が困難になる。

【0021】

50

このため、画素回路の簡素化を図りつつ、閾値補正動作が正常に行なわれなくなる問題を緩和する仕組みの開発要求がある。この際には、走査線の数を削減するとともに、画素回路の簡素化に伴って、5TR駆動の構成では生じていない問題が新たに発生することがないようにすることも考慮されるべきである。

【0022】

本発明は、上記事情に鑑みてなされたもので、先ず、駆動トランジスタの特性ばらつきによる輝度変化を抑制する仕組みとして閾値補正動作を実行する仕組みを採る場合においても閾値補正動作が正常に行なわれなくなる問題を緩和することのできる仕組みを提供することを目的とする。さらに好ましくは、画素回路の簡素化により表示装置の高精細化を可能にする仕組みを提供することを目的とする。

10

【課題を解決するための手段】

【0023】

本発明に係る表示装置の一形態は、駆動電流を生成する駆動トランジスタ、駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号振幅に応じた情報を保持する保持容量、および信号振幅に応じた情報を保持容量に書き込むサンプリングトランジスタを具備する画素回路が行列状に配置されている画素アレイ部と、画素回路を垂直走査するための垂直走査パルスを生成する垂直走査部と、垂直走査部での垂直走査に合わせて映像信号を画素回路に供給する水平走査部と、駆動電流を一定に維持する駆動信号一定化回路とを備えるものとする。

20

【0024】

ここで、駆動信号一定化回路は、垂直走査部および水平走査部の制御の元で、所定の大きさの電源電圧が駆動トランジスタの電源供給端に供給されかつ所定の大きさの基準電位がサンプリングトランジスタの入力端に供給される時間帯にサンプリングトランジスタを導通させることで駆動トランジスタの閾値電圧に対応する電圧を保持容量に保持させる閾値補正機能を実現するように構成する。

【0025】

さらに、第1の仕組みとしては、駆動信号一定化回路は、1水平走査期間を1処理サイクルとして、駆動トランジスタに電流が流れる状態のまま閾値補正動作を複数回に亘って行なうとともに、閾値補正処理期間の少なくとも1回は、閾値補正用の基準電位がサンプリングトランジスタの入力端に供給されるようにしてサンプリングトランジスタの導通と非導通を複数回に亘って繰り返して閾値補正処理を実行する1水平期間内閾値補正分割処理を行なうようにする。

30

【0026】

また、第2の仕組みとしては、駆動信号一定化回路は、最初の閾値補正処理に先立ち、保持容量の両端電圧が駆動トランジスタの閾値電圧を上回るように設定する準備処理をし、さらに、準備処理後で、かつ、最初の閾値補正処理開始前に、サンプリングトランジスタを非導通状態にして前記駆動トランジスタに電流を流し、さらに、一定期間経過後に、サンプリングトランジスタをオンして閾値補正動作を開始するようにする。つまり、最初の閾値補正処理開始時の駆動トランジスタの電気光学素子側の電圧が駆動トランジスタの制御入力端の電位に近くなるようにしておき、その後閾値補正動作を開始する。

40

【0027】

何れの仕組みも、閾値補正の破綻現象を生じさせない短い期間で、サンプリングトランジスタをオフさせることで、その時点の保持容量の両端電圧を維持した状態で駆動トランジスタの電気光学素子側の電位を上昇させ、その後サンプリングトランジスタをオンさせて駆動トランジスタの制御入力端を閾値補正用の基準電位にして閾値補正動作に入る。このため、閾値補正の破綻現象が生じない範囲での駆動トランジスタの電気光学素子側の電圧上昇により閾値補正動作の速度を早くする効果が得られる。

【発明の効果】

【0028】

本発明の一形態によれば、駆動トランジスタに電流が流れる状態でサンプリングトラン

50

ジスタをごく短い期間オフさせることで、その直前の保持容量の両端電圧を維持した状態で駆動トランジスタの電気光学素子側の電位を上昇させることができる。このため、その後に関値補正動作を開始するときには、本願の仕組みを採らない場合と比べて、保持容量の両端電圧が閾値電圧に近くなっているため閾値補正動作の速度を早くすることができ、正常に関値補正動作を行なうことが可能となる。正常に関値補正動作を行なうことができるため、閾値補正動作が正常に行なわれなくなることに起因する表示画像に現われるムラやスジなどの問題を緩和することができる。

【0029】

また、閾値補正動作を複数回に亘って行ない、かつ各回の閾値補正動作の間の間隔期間に駆動トランジスタに電流を流す仕組みを採る場合に、間隔期間に電源から駆動トランジスタを通して流れる電流によって次の閾値補正動作が正常に行なわれなくなる問題を緩和することもできる。

10

【0030】

また、付加的な効果として、閾値補正動作の速度を早くすることができるので、全体としての閾値補正動作処理の高速化が実現できる。

【発明を実施するための最良の形態】

【0031】

以下、図面を参照して本発明の実施形態について詳細に説明する。

【0032】

<表示装置の全体概要>

20

図1は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。本実施形態では、たとえば画素の表示素子（電気光学素子、発光素子）として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT；Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ（以下「有機EL表示装置」と称する）に適用した場合を例に説明する。このような有機EL表示装置は、半導体メモリやミニディスク（MD）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

【0033】

なお、以下においては、画素の表示素子として有機EL素子を例に具体的に説明するが、これは一例であって、対象となる表示素子は有機EL素子に限らない。一般的に電流駆動で発光する表示素子の全てに、後述する全ての実施形態が同様に適用できる。

30

【0034】

図1に示すように、有機EL表示装置1は、複数の表示素子としての有機EL素子（図示せず）を持った画素回路（画素とも称される）Pが表示アスペクト比である縦横比がX：Y（たとえば9：16）の有効映像領域を構成するように配置された表示パネル部100と、この表示パネル部100を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部200と、映像信号処理部300を備えている。駆動信号生成部200と映像信号処理部300とは、1チップのIC（Integrated Circuit；半導体集積回路）に内蔵されている。

40

【0035】

たとえば、パネル型の表示装置では、TFTや電気光学素子などの画素回路を構成する素子を行列状に配置した画素アレイ部102と、画素アレイ部102の周辺に配置され、各画素回路Pを駆動するための走査線と接続された走査部（水平駆動部や垂直駆動部）を主要部とする制御部109と、制御部109を動作させるための各種の信号を生成する駆動信号生成部200や映像信号処理部300を備えて装置の全体が構成されるのが一般的である。

【0036】

一方、製品形態としては、画素アレイ部102と制御部109を同一の基板101（ガラス基板）上に搭載した表示パネル部100と駆動信号生成部200や映像信号処理部3

50

00を別体としつつ、図示のように、これら全てを備えたモジュール（複合部品）形態の有機EL表示装置1として提供されることに限らない。表示パネル部100には画素アレイ部102を搭載し、この表示パネル部100のみで有機EL表示装置1として提供することも可能である。この場合、表示パネル部100のみで構成された有機EL表示装置1とは別基板（たとえばフレキシブル基板）上に制御部109や駆動信号生成部200や映像信号処理部300などの周辺回路を搭載する形態（周辺回路パネル外配置構成と称する）とする。

【0037】

また、画素アレイ部102と制御部109とを同一の基板101上に搭載して表示パネル部100を構成するパネル上配置構成の場合、画素アレイ部102のTFTを生成する工程にて同時に制御部109（必要に応じて駆動信号生成部200や映像信号処理部300も）用の各TFTを生成する仕組み（TFT一体構成と称する）と、COG（Chip On Glass）実装技術により画素アレイ部102が搭載された基板101上に制御部109（必要に応じて駆動信号生成部200や映像信号処理部300も）用の半導体チップを直接実装する仕組み（COG搭載構成と称する）をとってもよい。

10

【0038】

表示パネル部100は、基板101の上に、画素回路Pがn行×m列のマトリクス状に配列された画素アレイ部102と、画素回路Pを垂直方向に走査する垂直走査部の一例である垂直駆動部103と、画素回路Pを水平方向に走査する水平走査部の一例である水平駆動部（水平セクタあるいはデータ線駆動部とも称される）106と、外部接続用の端子部（パッド部）108などが集積形成されている。すなわち、垂直駆動部103や水平駆動部106などの周辺駆動回路が、画素アレイ部102と同一の基板101上に形成された構成となっている。

20

【0039】

垂直駆動部103としては、たとえば、書込走査部（ライトスキャナWS；Write Scan）104や電源供給能力を有する電源スキャナとして機能する駆動走査部（ドライブスキャナDS；Drive Scan）105を有する。垂直駆動部103と水平駆動部106とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部109が構成される。

【0040】

図示した垂直駆動部103および対応する走査線の構成は、画素回路Pが後述する本実施形態の2TR構成の場合に適合させて示したものであるが、画素回路Pの構成によっては、その他の走査部が設けられることもある。

30

【0041】

画素アレイ部102は、一例として、図示する左右方向の一方側もしくは両側から書込走査部104および駆動走査部105で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部106で駆動されるようになっている。

【0042】

端子部108には、有機EL表示装置1の外部に配された駆動信号生成部200から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部300から映像信号Vsigが供給されるようになっている。カラー表示対応の場合には、色別（本例ではR（赤）、G（緑）、B（青）の3原色）の映像信号Vsig_R、Vsig_G、Vsig_Bが供給される。

40

【0043】

一例としては、垂直駆動用のパルス信号として、垂直方向の書込み開始パルスの一例であるシフトスタートパルスSPDS、SPWSや垂直走査クロックCKDS、CKWSなど必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書込み開始パルスの一例である水平スタートパルスSPHや水平走査クロックCKHなど必要なパルス信号が供給される。

【0044】

50

端子部 108 の各端子は、配線 199 を介して、垂直駆動部 103 や水平駆動部 106 に接続されるようになっている。たとえば、端子部 108 に供給された各パルスは、必要に応じて図示を割愛したレベルシフト部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 103 の各部や水平駆動部 106 に供給される。

【0045】

画素アレイ部 102 は、図示を割愛するが（詳細は後述する）、表示素子としての有機 EL 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに垂直走査線が配線されるとともに、列ごとに信号線（水平走査線の一例）が配線された構成となっている。

【0046】

たとえば、画素アレイ部 102 には、垂直走査側の各走査線（垂直走査線：書込走査線 104 WS および電源供給線 105 DSL）と水平走査側の走査線（水平走査線）である映像信号線（データ線）106 HS が形成されている。垂直走査と水平走査の各走査線の交差部分には図示を割愛した有機 EL 素子とこれを駆動する薄膜トランジスタ（TFT；Thin Film Transistor）が形成される。有機 EL 素子と薄膜トランジスタの組み合わせで画素回路 P を構成する。

【0047】

具体的には、マトリクス状に配列された各画素回路 P に対しては、書込走査部 104 によって書込駆動パルス WS で駆動される n 行分の書込走査線 104 WS₁ ~ 104 WS_n および駆動走査部 105 によって電源駆動パルス DSL で駆動される n 行分の電源供給線 105 DSL₁ ~ 105 DSL_n が画素行ごとに配線される。

【0048】

書込走査部 104 および駆動走査部 105 は、駆動信号生成部 200 から供給される垂直駆動系のパルス信号に基づき、書込走査線 104 WS および電源供給線 105 DSL を介して各画素回路 P を順次選択する。水平駆動部 106 は、駆動信号生成部 200 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 P に対し映像信号線 106 HS を介して映像信号 V_{sig} の内の所定電位をサンプリングして保持容量に書き込ませる。

【0049】

本実施形態の有機 EL 表示装置 1 においては、線順次駆動や面順次駆動あるいはその他の方式での駆動が可能になっており、たとえば、垂直駆動部 103 の書込走査部 104 および駆動走査部 105 は行単位で画素アレイ部 102 を走査するとともに、これに同期して水平駆動部 106 が、画像信号を、1 水平ライン分を同時に、画素アレイ部 102 に書き込む。

【0050】

水平駆動部 106 は、たとえば、全列の映像信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせるドライバ回路を備えて構成され、映像信号処理部 300 から入力される画素信号を、垂直駆動部 103 によって選択された行の 1 ライン分の全ての画素回路 P に同時に書き込むべく、全列の映像信号線 106 HS 上に設けられた図示を割愛したスイッチを一斉にオンさせ、ドライバ回路を経由して水平走査線（映像信号線 106 HS）に映像信号 V_{sig}（水平走査信号の一例）が供給される。

【0051】

垂直駆動部 103 の各部は、論理ゲートの組合せ（ラッチも含む）とドライバ回路によって構成され、論理ゲートにより画素アレイ部 102 の各画素回路 P を行単位で選択し、ドライバ回路を経由して垂直走査線に垂直走査信号が供給される。なお、図 1 では、画素アレイ部 102 の一方側にのみ垂直駆動部 103 を配置する構成を示しているが、画素アレイ部 102 を挟んで左右両側に垂直駆動部 103 を配置する構成を採ることも可能である。同様に、図 1 では、画素アレイ部 102 の一方側にのみ水平駆動部 106 を配置する構成を示しているが、画素アレイ部 102 を挟んで上下両側に水平駆動部 106 を配置する構成を採ることも可能である。

【0052】

10

20

30

40

50

< 画素回路 >

図 2 は、図 1 に示した有機 EL 表示装置 1 を構成する本実施形態の画素回路 P に対する第 1 比較例を示す図である。なお、表示パネル部 100 の基板 101 上において画素回路 P の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。図 3 は、本実施形態の画素回路 P に対する第 2 比較例を示す図である。なお、表示パネル部 100 の基板 101 上において画素回路 P の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。図 4 は有機 EL 素子や駆動トランジスタの動作点を説明する図である。図 4 A は、有機 EL 素子や駆動トランジスタの特性ばらつきが駆動電流 I_{ds} に与える影響を説明する図である。

【 0053 】

図 5 は、本実施形態の画素回路 P に対する第 3 比較例を示す図である。なお、表示パネル部 100 の基板 101 上において画素回路 P の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて示している。後述する本実施形態の画素回路 P における EL 駆動回路は、第 3 比較例の画素回路 P における少なくとも保持容量 120 と駆動トランジスタ 121 を具備した EL 駆動回路をベースとする。そういった意味では、第 3 比較例の画素回路 P は、事実上、本実施形態の画素回路 P の EL 駆動回路と同様の回路構造を持つと言っても過言ではない。

【 0054 】

< 比較例の画素回路：第 1 例 >

図 2 に示すように、第 1 比較例の画素回路 P は、基本的に p 型の薄膜電界効果トランジスタ (TFT) でドライブトランジスタが構成されている点に特徴を有する。また、ドライブトランジスタの他に走査用に 2 つのトランジスタを使用した 3Tr 駆動の構成を採っている。

【 0055 】

具体的には、第 1 比較例の画素回路 P は、p 型の駆動トランジスタ 121、アクティブ L の駆動パルスが供給される p 型の発光制御トランジスタ 122、アクティブ H の駆動パルスが供給される n 型トランジスタ 125、電流が流れることで発光する電気光学素子 (発光素子) の一例である有機 EL 素子 127、および保持容量 (画素容量とも称される) 120 を有する。なお、最も単純な回路として、発光制御トランジスタ 122 を取り外した 2Tr 駆動の構成を採ることもできる。この場合、有機 EL 表示装置 1 としては駆動走査部 105 を取り外した構成を採る。

【 0056 】

駆動トランジスタ 121 は、制御入力端子であるゲート端に供給される電位に応じた駆動電流を有機 EL 素子 127 に供給するようになっている。一般に、有機 EL 素子 127 は整流性があるためダイオードの記号で表わしている。なお、有機 EL 素子 127 には、寄生容量 C_{el} が存在する。図では、寄生容量 C_{el} を有機 EL 素子 127 と並列に示す。

【 0057 】

サンプリングトランジスタ 125 は、駆動トランジスタ 121 のゲート端 (制御入力端子) 側に設けられたスイッチングトランジスタであり、また、発光制御トランジスタ 122 もスイッチングトランジスタである。なお、一般的には、サンプリングトランジスタ 125 はアクティブ L の駆動パルスが供給される p 型に置き換えることもできる。発光制御トランジスタ 122 はアクティブ H の駆動パルスが供給される n 型に置き換えることもできる。

【 0058 】

画素回路 P は、垂直走査側の各走査線 104 WS, 105 DS と水平走査側の走査線である映像信号線 106 HS の交差部に配されている。書込走査部 104 からの書込走査線 104 WS は、サンプリングトランジスタ 125 のゲート端に接続され、駆動走査部 105 からの駆動走査線 105 DS は発光制御トランジスタ 122 のゲート端に接続されている。

【 0059 】

サンプリングトランジスタ 125 は、ソース端 S を信号入力端として映像信号線 106

10

20

30

40

50

HSに接続され、ドレイン端Dを信号出力端として駆動トランジスタ121のゲート端Gに接続され、その接続点と第2電源電位Vc2(たとえば正電源電圧、第1電源電位Vc1と同じでもよい)との間に保持容量120が設けられている。括弧書きで示すように、サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させ、ドレイン端Dを信号入力端として映像信号線106HSに接続し、ソース端Sを信号出力端として駆動トランジスタ121のゲート端Gに接続することもできる。

【0060】

駆動トランジスタ121、発光制御トランジスタ122、および有機EL素子127は、第1電源電位Vc1(たとえば正電源電圧)と基準電位の一例である接地電位GNDの間で、この順に直列に接続されている。具体的には、駆動トランジスタ121は、ソース端Sが第1電源電位Vc1に接続され、ドレイン端Dが発光制御トランジスタ122のソース端Sに接続されている。発光制御トランジスタ122のドレイン端Dが、有機EL素子127のアノード端Aに接続され、有機EL素子127のカソード端Kが全画素共通のカソード共通配線127Kに接続されている。カソード共通配線127Kは、一例として接地電位GNDとされ、この場合、カソード電位Vcathも接地電位GNDとなる。

10

【0061】

なお、より簡易な構成としては、図2に示した画素回路Pの構成においては、最も単純な回路として、発光制御トランジスタ122を取り外した2Tr駆動の構成を採ることもできる。この場合、有機EL表示装置1としては駆動走査部105を取り外した構成を採ることになる。

20

【0062】

図2に示した3Tr駆動や図示を割愛した2Tr駆動の何れにおいても、有機EL素子127は電流発光素子のため、有機EL素子127に流れる電流量をコントロールすることで発色の諧調を得る。このため、駆動トランジスタ121のゲート端への印加電圧を変化させ、保持容量120に保持されるゲート・ソース間電圧Vgsを変化させることで、有機EL素子127に流れる電流値をコントロールする。この際には、映像信号線106HSから供給される映像信号Vsigの電位(映像信号線電位)を信号電位とする。なお、階調を示す信号振幅はVinとする。

【0063】

書込走査部104からアクティブHの書込駆動パルスWSを供給して書込走査線104WSを選択状態とし、水平駆動部106から映像信号線106HSに信号電位を印加すると、n型トランジスタ125が導通して、信号電位が駆動トランジスタ121のゲート端の電位となり、信号振幅Vinに対応する情報が保持容量120に書き込まれる。駆動トランジスタ121および有機EL素子127に流れる電流は、保持容量120に保持されている駆動トランジスタ121のゲート・ソース間電圧Vgsに応じた値となり、有機EL素子127はその電流値に応じた輝度で発光し続ける。書込走査線104WSを選択して映像信号線106HSに与えられた映像信号Vsigを画素回路Pの内部に伝える動作を、「書込み」あるいは「サンプリング」と呼ぶ。一度信号の書込みを行えば、次に書き換えられるまでの間、有機EL素子127は一定の輝度で発光を続ける。

30

【0064】

第1比較例の画素回路Pでは、駆動トランジスタ121のゲート端に供給する印加電圧を信号振幅Vinに応じて変化させることで、有機EL素子127に流れる電流値を制御している。このとき、p型の駆動トランジスタ121のソース端は第1電源電位Vc1に接続されており、この駆動トランジスタ121は常に飽和領域で動作している。

40

【0065】

<比較例の画素回路：第2例>

次に、本実施形態の画素回路Pの特徴を説明する上での比較例として、図3に示す第2比較例の画素回路Pについて説明する。第2比較例(後述する本実施形態も同様)の画素回路Pは、基本的にn型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点に特徴を有する。p型ではなく、n型で各トランジスタを構成することができ

50

ば、トランジスタ作成において従来のアモルファスシリコン(a-Si)プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト化が可能となり、このような構成の画素回路Pの開発が期待される。

【0066】

第2比較例の画素回路Pは、基本的にn型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点で後述する本実施形態と同じであるが、有機EL素子127や駆動トランジスタ121の特性変動(ばらつきや経時変化)による駆動電流 I_{ds} に与える影響を防ぐための駆動信号一定化回路が設けられていない。

【0067】

具体的には、第2比較例の画素回路Pは、第1比較例の画素回路Pにおけるp型の駆動トランジスタ121を単純にn型の駆動トランジスタ121に置き換え、そのソース端側に発光制御トランジスタ122や有機EL素子127を配置したものである。なお、発光制御トランジスタ122もn型に置き換えている。もちろん、最も単純な回路として、発光制御トランジスタ122を取り外した2Tr駆動の構成を採ることもできる。

【0068】

第2比較例の画素回路Pでは、発光制御トランジスタを設けるか否かに関わらず、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端側が第1電源電位 V_{c1} に接続され、ソース端が有機EL素子127のアノード端側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【0069】

<電気光学素子の $I_{el} - V_{el}$ 特性との関係>

一般的に、図4に示すように、駆動トランジスタ121はドレイン・ソース間電圧に関わらず駆動電流 I_{ds} が一定となる飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレイン端・ソース間に流れる電流を I_{ds} 、移動度を μ 、チャンネル幅(ゲート幅)を W 、チャンネル長(ゲート長)を L 、ゲート容量(単位面積当たりのゲート酸化膜容量)を C_{ox} 、トランジスタの閾値電圧を V_{th} とすると、駆動トランジスタ121は下記の式(1)に示した値を持つ定電流源となっている。なお、“^”はべき乗を示す。式(1)から明らかなように、飽和領域ではトランジスタのドレイン電流 I_{ds} はゲート・ソース間電圧 V_{gs} によって制御され定電流源として動作する。

【0070】

【数1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \dots (1)$$

【0071】

ところが、一般的に有機EL素子を始めとする電流駆動型の発光素子の $I - V$ 特性は、図4A(1)に示すように時間が経過すると変化する。図4A(1)に示す有機EL素子で代表される電流駆動型の発光素子の電流・電圧($I_{el} - V_{el}$)特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

【0072】

たとえば、発光素子の一例である有機EL素子127に発光電流 I_{el} が流れるとき、そのアノード・カソード間電圧 V_{el} は一意的に決定される。ところが、図4A(1)に示すように、発光期間中では、有機EL素子127のアノード端は駆動トランジスタ121のドレイン・ソース間電流 I_{ds} (=駆動電流 I_{ds})で決定される発光電流 I_{el} が流れ、それによって有機EL素子127のアノード・カソード間電圧 V_{el} 分だけ上昇する。

【0073】

図2に示した第1比較例の画素回路Pは、この有機EL素子127のアノード・カソード間電圧 V_{el} 分の上昇の影響は駆動トランジスタ121のドレイン端側に現れるが、駆動トランジスタ121が飽和領域で動作する定電流駆動であるため、有機EL素子127には定電流 I_{ds} が流れ続け、有機EL素子127の $I_{el} - V_{el}$ 特性が変化してもその発光輝

10

20

30

40

50

度が経時変化することはない。

【0074】

駆動トランジスタ121と発光制御トランジスタ122と保持容量120とサンプリングトランジスタ125とを備え、図2に示した接続態様とされた画素回路Pの構成にて、電気光学素子の一例である有機EL素子127の電流-電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路が構成されるようになっているのである。つまり、画素回路Pを映像信号Vsigで駆動するとき、p型の駆動トランジスタ121のソース端は第1電源電位Vc1に接続されており、常に飽和領域で動作するように設計されているので、式(1)に示した値を持つ定電流源となる。

【0075】

また、第1比較例の画素回路Pにおいては、有機EL素子127の $I_{el} - V_{el}$ 特性の経時変化(図4A(1))とともに、駆動トランジスタ121のドレイン端の電圧が変化してゆくが、駆動トランジスタ121は、保持容量120のブートストラップ機能によってゲート・ソース間電圧 V_{gs} が原理的には一定に保持されるため、駆動トランジスタ121は定電流源として動作し、その結果、有機EL素子127には一定量の電流が流れ、有機EL素子127を一定の輝度で発光させることができ、発光輝度は変化しない。

【0076】

第2比較例の画素回路Pでも、駆動トランジスタ121のソース端の電位(ソース電位 V_s)は、駆動トランジスタ121と有機EL素子127との動作点で決まるし、駆動トランジスタ121は飽和領域で駆動されるので、動作点のソース電圧に対応したゲート・ソース間電圧 V_{gs} に関し、前述の式(1)に規定された電流値の駆動電流 I_{ds} を流す。

【0077】

ところが、第1比較例の画素回路Pのp型の駆動トランジスタ121をn型に変更した単純な回路(第2比較例の画素回路P)では、ソース端が有機EL素子127側に接続されてしまう。その結果、前述の図4A(1)に示したように経時変化する有機EL素子127の $I_{el} - V_{el}$ 特性により、同じ発光電流 I_{el} に対するアノード・カソード間電圧 V_{el} が V_{el1} から V_{el2} へと変化することで、駆動トランジスタ121の動作点が変わり、同じゲート電位 V_g を印加しても駆動トランジスタ121のソース電位 V_s は変化してしまう。これにより、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は変化してしまう。特性式(1)から明らかのように、ゲート・ソース間電圧 V_{gs} が変動すると、たとえゲート電位 V_g が一定であっても駆動電流 I_{ds} が変動してしまう。この原因による駆動電流 I_{ds} の変動は画素回路Pごとの発光輝度のばらつきや経時変動となって現れ、画質の劣化が起きる。

【0078】

これに対して、詳細は後述するが、n型の駆動トランジスタ121を使用する場合においても、駆動トランジスタ121のソース端の電位 V_s の変動にゲート端の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機EL素子127の特性の経時変動による有機EL素子127のアノード電位変動(つまり駆動トランジスタ121のソース電位変動)があっても、その変動を相殺するようにゲート電位 V_g を変動させることができる。これにより、画面輝度の均一性(ユニフォームティ)を確保できる。ブートストラップ機能により、有機EL素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。もちろん、このブートストラップ機能は、発光開始時点で、有機EL素子127に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ121のソース電位 V_s が変動する際にも機能する。

【0079】

< 駆動トランジスタの $V_{gs} - I_{ds}$ 特性との関係 >

また、第1および第2比較例では、駆動トランジスタ121の特性については特に問題視していなかったが、画素ごとに駆動トランジスタ121の特性が異なると、その影響が

10

20

30

40

50

駆動トランジスタ 121 に流れる駆動電流 I_{ds} に影響を及ぼす。一例としては、式 (1) から分かるように、移動度 μ や閾値電圧 V_{th} が画素によってばらついた場合や経時的に変化した場合、ゲート・ソース間電圧 V_{gs} が同じであっても、駆動トランジスタ 121 に流れる駆動電流 I_{ds} にばらつきや経時変化が生じ、有機 EL 素子 127 の発光輝度も画素ごとに変化してしまうことになる。

【0080】

たとえば、駆動トランジスタ 121 の製造プロセスのばらつきにより、画素回路 P ごとに閾値電圧 V_{th} や移動度 μ などの特性変動がある。駆動トランジスタ 121 を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ 121 に同一のゲート電位を与えても、画素回路 P ごとにドレイン電流 (駆動電流 I_{ds}) が変動し、発光輝度のばらつきになって現れる。

10

【0081】

前述のように、駆動トランジスタ 121 が飽和領域で動作しているときのドレイン電流 I_{ds} は、特性式 (1) で表される。駆動トランジスタ 121 の閾値電圧ばらつきに着目した場合、特性式 (1) から明らかなように、閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。また、駆動トランジスタ 121 の移動度ばらつきに着目した場合、特性式 (1) から明らかなように、移動度 μ が変動すると、ゲート・ソース間電圧 V_{gs} が一定であってもドレイン電流 I_{ds} が変動する。

【0082】

このように、閾値電圧 V_{th} や移動度 μ の違いで $V_{gs} - I_{ds}$ 特性に大きな違いが出てしまうと、同じ信号振幅 V_{in} を与えても、駆動電流 I_{ds} が変動し、発光輝度が異なってしまう、画面輝度の均一性が得られない。これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング (詳細は後述する) とすることで、それらの変動の影響を抑制でき、画面輝度の均一性を確保できる。

20

【0083】

本実施形態で採用する閾値補正動作および移動度補正動作では、書込みゲインが 1 (理想値) であると仮定した場合、発光時のゲート・ソース間電圧 V_{gs} が " $V_{in} + V_{th} - V$ " で表されるようにすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようにする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスや経時により変動しても、駆動電流 I_{ds} は変動せず、有機 EL 素子 127 の発光輝度も変動しない。移動度補正時には、大きな移動度 μ_1 に対しては移動度補正パラメータ V_1 が大きくなるようにする一方、小さい移動度 μ_2 に対しては移動度補正パラメータ V_2 も小さくなるように負帰還をかけることになる。こう言った意味で、移動度補正パラメータ V を負帰還量 V とも称する。

30

【0084】

< 比較例の画素回路 : 第 3 例 >

図 3 に示す第 2 比較例の画素回路 P における有機 EL 素子 127 の経時変化による駆動電流変動を防ぐ回路 (ブートストラップ回路) を搭載し、また駆動トランジスタ 121 の特性変動 (閾値電圧ばらつきや移動度ばらつき) による駆動電流変動を防ぐ駆動方式を採用したのが本実施形態の画素回路 P にてベースとする図 5 に示す第 3 比較例の画素回路 P である。

40

【0085】

第 3 比較例の画素回路 P は、第 2 比較例の画素回路 P と同様に、n 型の駆動トランジスタ 121 を使用する。加えて、有機 EL 素子の経時変化による当該有機 EL 素子への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機 EL 素子の電流 - 電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路を備えた点に特徴を有する。さらに、有機 EL 素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にする機能を備えた点に特徴を有する。

【0086】

50

すなわち、駆動トランジスタ 1 2 1 の他に走査用に 1 つのスイッチングトランジスタ (サンプリングトランジスタ 1 2 5) を使用する 2 T R 駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルス DSL および書込駆動パルス WS のオン / オフタイミング (スwitching タイミング) の設定により、有機 E L 素子 1 2 7 の経時変化や駆動トランジスタ 1 2 1 の特性変動 (たとえば閾値電圧や移動度などのばらつきや変動) による駆動電流 I_{ds} に与える影響を防ぐ点に特徴を有する。2 T R 駆動の構成であり、素子数や配線数が少ないため、高精細化が可能である。

【 0 0 8 7 】

図 3 に示した第 2 比較例に対しての構成上の大きな違いは、保持容量 1 2 0 の接続態様を変形して、有機 E L 素子 1 2 7 の経時変化による駆動電流変動を防ぐ回路として、駆動信号一定化回路の一例であるブートストラップ回路を構成する点にある。駆動トランジスタ 1 2 1 の特性変動 (たとえば閾値電圧や移動度などのばらつきや変動) による駆動電流 I_{ds} に与える影響を抑制する方法としては、各トランジスタ 1 2 1 , 1 2 5 の駆動タイミングを工夫することで対処する。

10

【 0 0 8 8 】

具体的には、第 3 比較例の画素回路 P は、保持容量 1 2 0 、 n 型の駆動トランジスタ 1 2 1 、およびアクティブ H (ハイ) の書込駆動パルス WS が供給される n 型トランジスタ 1 2 5 、電流が流れることで発光する電気光学素子 (発光素子) の一例である有機 E L 素子 1 2 7 を有する。

【 0 0 8 9 】

駆動トランジスタ 1 2 1 のゲート端 (ノード N D 1 2 2) とソース端との間に保持容量 1 2 0 が接続され、駆動トランジスタ 1 2 1 のソース端が直接に有機 E L 素子 1 2 7 のアノード端に接続されている。保持容量 1 2 0 は、ブートストラップ容量としても機能するようになっている。有機 E L 素子 1 2 7 のカソード端は、第 1 比較例や第 2 比較例と同様に、全画素共通のカソード共通配線 1 2 7 K に接続され、カソード電位 V_{cath} (たとえば接地電位 GND) が与えられる。

20

【 0 0 9 0 】

駆動トランジスタ 1 2 1 のドレイン端は、電源スキャナとして機能する駆動走査部 1 0 5 からの電源供給線 1 0 5 DSL に接続されている。電源供給線 1 0 5 DSL は、この電源供給線 1 0 5 DSL そのものが、駆動トランジスタ 1 2 1 に対しての電源供給能力を備える点に特徴を有する。

30

【 0 0 9 1 】

具体的には、駆動走査部 1 0 5 は、駆動トランジスタ 1 2 1 のドレイン端に対して、それぞれ電源電圧に相当する高電圧側の第 1 電位 V_{cc} と低電圧側の第 2 電位 V_{ss} とを切り替えて供給する電源電圧切替回路を具備している。

【 0 0 9 2 】

第 2 電位 V_{ss} としては、映像信号線 1 0 6 HS における映像信号 V_{sig} のオフセット電位 V_{ofs} (基準電位とも称する) より十分低い電位とする。具体的には、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} (ゲート電位 V_g とソース電位 V_s の差) が駆動トランジスタ 1 2 1 の閾値電圧 V_{th} より大きくなるように、電源供給線 1 0 5 DSL の低電位側の第 2 電位 V_{ss} を設定する。なお、オフセット電位 V_{ofs} は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線 1 0 6 HS を予めプリチャージしておくためにも利用する。

40

【 0 0 9 3 】

サンプリングトランジスタ 1 2 5 は、ゲート端が書込走査部 1 0 4 からの書込走査線 1 0 4 WS に接続され、ドレイン端が映像信号線 1 0 6 HS に接続され、ソース端が駆動トランジスタ 1 2 1 のゲート端 (ノード N D 1 2 2) に接続されている。そのゲート端には、書込走査部 1 0 4 からアクティブ H の書込駆動パルス WS が供給される。

【 0 0 9 4 】

サンプリングトランジスタ 1 2 5 は、ソース端とドレイン端とを逆転させた接続態様と

50

することもできる。また、サンプリングトランジスタ 1 2 5 としては、ディプレッション型およびエンハンスメント型の何れをも使用できる。

【 0 0 9 5 】

< 画素回路の動作：第 3 比較例 >

図 6 は、図 5 に示した第 3 比較例の画素回路 P に関する第 3 比較例の駆動タイミングの基本例を説明するタイミングチャートであり、線順次駆動の場合で示している。図 6 においては、時間軸を共通にして、書込走査線 1 0 4 WS の電位変化、電源供給線 1 0 5 DSL の電位変化、および映像信号線 1 0 6 HS の電位変化を表してある。また、これらの電位変化と並行に、1 行分（図では 1 行目）について駆動トランジスタ 1 2 1 のゲート電位 V_g およびソース電位 V_s の変化も表してある。

10

【 0 0 9 6 】

後述する本実施形態においても、電源駆動パルス DSL（ドレイン電圧 V_{d_121} ）の電圧設定を除いて、この図 6 に示す第 3 比較例の駆動タイミングの考え方を適用する。なお、図 6 では、第 3 比較例の画素回路 P において、閾値補正機能、移動度補正機能、ブートストラップ機能を実現するための基本例を示すもので、閾値補正機能、移動度補正機能、ブートストラップ機能を実現するための駆動タイミングは、図 6 に示す態様に限らず、様々な変形が可能である。これら様々な変形の駆動タイミングであっても、後述する各実施形態の仕組みを適用できる。

【 0 0 9 7 】

図 6 に示す駆動タイミングは、線順次駆動の場合であり、書込駆動パルス WS、電源駆動パルス DSL、および映像信号 V_{sig} は、1 行分を 1 組として、各信号のタイミング（特に位相関係）が行単位で独立に制御され、行が代わると 1 H（H は水平走査期間）分シフトされる。

20

【 0 0 9 8 】

以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが 1（理想値）であると仮定して、保持容量 1 2 0 に信号振幅 V_{in} の情報を、書き込む、保持する、あるいはサンプリングするなど簡潔に記して説明する。書込みゲインが 1 未満の場合、保持容量 1 2 0 には信号振幅 V_{in} の大きさそのものではなく、信号振幅 V_{in} の大きさに対応するゲイン倍された情報が保持されることになる。

【 0 0 9 9 】

因みに、信号振幅 V_{in} に対応する保持容量 1 2 0 に書き込まれる情報の大きさの割合を、書込みゲイン G_{input} と称する。ここで、書込みゲイン G_{input} は、具体的には、電気回路的に保持容量 1 2 0 と並列に配置される寄生容量を含めた全容量 C_1 と、電気回路的に保持容量 1 2 0 と直列に配置される全容量 C_2 との容量直列回路において、信号振幅 V_{in} を容量直列回路に供給したときに容量 C_1 に配分される電荷量に関係する。式で表せば、 $g = C_1 / (C_1 + C_2)$ とすると、書込みゲイン $G_{input} = C_2 / (C_1 + C_2) = 1 - C_1 / (C_1 + C_2) = 1 - g$ となる。以下の説明において、“ g ” が登場する記載は書込みゲインを考慮したものである。

30

【 0 1 0 0 】

また、説明や理解を容易にするため、特段の断りのない限り、ブートストラップゲインが 1（理想値）であると仮定して簡潔に記して説明する。因みに、駆動トランジスタ 1 2 1 のゲート・ソース間に保持容量 1 2 0 が設けられている場合に、ソース電位 V_s の上昇に対するゲート電位 V_g の上昇率をブートストラップゲイン（ブートストラップ動作能力） G_{bst} と称する。ここで、ブートストラップゲイン G_{bst} は、具体的には、保持容量 1 2 0 の容量値 C_s 、駆動トランジスタ 1 2 1 のゲート・ソース間に形成される寄生容量 C_{121gs} の容量値 C_{gs} 、ゲート・ドレイン間に形成される寄生容量 C_{121gd} の容量値 C_{gd} 、およびサンプリングトランジスタ 1 2 5 のゲート・ソース間に形成される寄生容量 C_{125gs} の容量値 C_{ws} に関係する。式で表せば、ブートストラップゲイン $G_{bst} = (C_s + C_{gs}) / (C_s + C_{gs} + C_{gd} + C_{ws})$ となる。

40

【 0 1 0 1 】

50

また、第3比較例の駆動タイミングでは、映像信号 V_{sig} が非有効期間であるオフセット電位 V_{ofs} にある期間を1水平走査期間の前半部とし、有効期間である信号電位 V_{in} ($= V_{ofs} + V_{in}$) にある期間を1水平走査期間の後半部とする。また、映像信号 V_{sig} の有効期間と非有効期間を合わせた1水平走査期間ごとに、閾値補正動作を複数回(図では3回)に亘って繰り返すようにする。その各回の映像信号 V_{sig} の有効期間と非有効期間の切替タイミング (t_{13V} , t_{15V})、および書込駆動パルス WS のアクティブとインアクティブの切替タイミング (t_{13W} , t_{15W}) については、そのタイミングに、各回を“_”なしの参照子で示すことで区別する。

【0102】

まず、有機EL素子127の発光期間Bでは、電源供給線105DSLが第1電位 V_{cc} であり、サンプリングトランジスタ125がオフした状態である。このとき、駆動トランジスタ121は飽和領域で動作するように設定されているため、有機EL素子127に流れる駆動電流 I_{ds} は駆動トランジスタ121のゲート・ソース間電圧 V_{gs} に応じて、式(1)に示される値をとる。

【0103】

次に、非発光期間に入ると、先ず放電期間Cでは、電源供給線105DSLを第2電位 V_{ss} に切り替える。このとき、第2電位 V_{ss} が有機EL素子127の閾値電圧 V_{thEL} とカソード電位 V_{cath} の和よりも小さいとき、つまり“ $V_{ss} < V_{thEL} + V_{cath}$ ”であれば、有機EL素子127は消光し、電源供給線105DSLが駆動トランジスタ121のソース側となる。このとき、有機EL素子127のアノードは第2電位 V_{ss} に充電される。

【0104】

さらに、初期化期間Dでは、映像信号線106HSがオフセット電位 V_{ofs} となったときにサンプリングトランジスタ125をオンして駆動トランジスタ121のゲート電位をオフセット電位 V_{ofs} とする。このとき、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は“ $V_{ofs} - V_{ss}$ ”という値をとる。この“ $V_{ofs} - V_{ss}$ ”が駆動トランジスタ121の閾値電圧 V_{th} よりも大きくないと閾値補正動作を行なうことができないために、“ $V_{ofs} - V_{ss} > V_{th}$ ”とする必要がある。

【0105】

この後、第1閾値補正期間Eに入ると、電源供給線105DSLを再び第1電位 V_{cc} に切り替える。電源供給線105DSL(つまり駆動トランジスタ121への電源電圧)を第1電位 V_{cc} とすることで、有機EL素子127のアノードが駆動トランジスタ121のソースとなり駆動トランジスタ121から駆動電流 I_{ds} が流れる。有機EL素子127の等価回路はダイオードと容量で表されるため、有機EL素子127のカソード電位 V_{cath} に対するアノード電位を V_{el} としたとき、“ $V_{el} - V_{cath} + V_{thEL}$ ”である限り、換言すれば、有機EL素子127のリーク電流が駆動トランジスタ121に流れる電流よりもかなり小さい限り、駆動トランジスタ121の駆動電流 I_{ds} は保持容量120と有機EL素子127の寄生容量 C_{el} を充電するために使われる。このとき、有機EL素子127のアノード電位 V_{el} は時間とともに上昇してゆく。

【0106】

一定時間経過後、サンプリングトランジスタ125をオフする。このとき、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} が閾値電圧 V_{th} よりも大きいと(つまり閾値補正が完了していないと)、駆動トランジスタ121の駆動電流 I_{ds} は保持容量120を受電するように流れ続け、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は上昇してゆく。このとき、有機EL素子127には逆バイアスがかかっているため、有機EL素子127が発光することはない。

【0107】

さらに第2閾値補正期間Gに入ると、再び映像信号線106HSがオフセット電位 V_{ofs} となったときにサンプリングトランジスタ125をオンして駆動トランジスタ121のゲート電位をオフセット電位 V_{ofs} として、再度閾値補正動作を開始する。この動作を繰り返すことで、最終的に、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は閾値電圧

10

20

30

40

50

V_{th} という値をとる。このとき " $V_{el} = V_{ofs} - V_{th} - V_{cath} + V_{thEL}$ " となっている。

【0108】

なお、この第3比較例の動作例では、閾値補正動作を繰り返し実行することで確実に駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を保持容量120に保持させるために、1水平走査期間(1H期間)を処理サイクルとして、駆動トランジスタ121のドレイン電圧 V_{d_121} を第1電位 V_{cc} にして電流が流れる状態のまま閾値補正動作を複数回に亘って繰り返すようにしているが、原理的には、この繰り返し動作は必須ではなく、1回の閾値補正動作で十分であれば、1回のみ閾値補正動作とすることは可能である。ただし、図からも分るように、第3比較例の動作では、特開2006-215213号公報に示されている5TR構成の場合と異なり、1回当たりの閾値補正期間が1Hではなくオフセット電位 V_{ofs} の期間に限定されるので、本例であれば概ね $1/2H$ となり、5TR構成の場合よりも不足することが十分に考えられる。このような観点においては、第3比較例のような画素回路Pおよびその駆動方法を採用する場合、1水平走査期間を処理サイクルとして、閾値補正動作を複数回に亘って繰り返すことの要求度合いが高くなると考えられる。

10

【0109】

ここで、1水平走査期間が閾値補正動作の処理サイクルとなるのは、行ごとに、サンプリングトランジスタ125が信号振幅 V_{in} の情報を保持容量120にサンプリングする前に、閾値補正動作に先立って、電源供給線105DSLの電位を第2電位 V_{ss} にセットし、また駆動トランジスタ121のゲートをオフセット電位 V_{ofs} にセットし、さらにソース電位を第2電位 V_{ss} にセットする初期化動作を経てから、電源供給線105DSLの電位が第1電位 V_{cc} にある状態かつ映像信号線106HSがオフセット電位 V_{ofs} にある時間帯でサンプリングトランジスタ125を導通させて駆動トランジスタ121の閾値電圧 V_{th} に対応する電圧を保持容量120に保持させようとする閾値補正動作を行なうからである。

20

【0110】

必然的に、閾値補正期間は、1水平走査期間よりも短くなってしまふ。したがって、保持容量120の容量 C_s や第2電位 V_{ss} の大きさ関係やその他の要因で、この短い1回分の閾値補正動作期間では、閾値電圧 V_{th} に対応する正確な電圧を保持容量120に保持仕切れないケースも起こり得る。第3比較例において、閾値補正動作を複数回実行するのは、この対処のためである。すなわち、信号振幅 V_{in} の情報の保持容量120へのサンプリング(信号書込み)に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで、確実に駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を保持容量120に保持させるのである。以下、1水平走査期間を閾値補正動作の1処理サイクルとして複数回実行する閾値補正処理を「1H単位分割閾値補正処理」あるいは「分割閾値補正処理」と称する。

30

【0111】

閾値補正動作終了後(本例では第3閾値補正期間Iの後)は、サンプリングトランジスタ125をオフして書込み&移動度補正準備期間Jに入る。映像信号線106HSが信号電位 $V_{in}(=V_{ofs} + V_{in})$ となったときに、サンプリングトランジスタ125を再度オンしてサンプリング期間&移動度補正期間Kに入る。信号振幅 V_{in} は階調に応じた値である。サンプリングトランジスタ125のゲート電位はサンプリングトランジスタ125をオンしているために信号電位 $V_{in}(=V_{ofs} + V_{in})$ となるが、駆動トランジスタ121のドレイン端は第1電位 V_{cc} であり駆動電流 I_{ds} が流れるためソース電位 V_s は時間とともに上昇してゆく。図では、この上昇分を V で示している。

40

【0112】

このとき、ソース電圧 V_s が有機EL素子127の閾値電圧 V_{thEL} とカソード電位 V_{cath} の和を越えなければ、換言すると、有機EL素子127のリーク電流が駆動トランジスタ121に流れる電流よりもかなり小さければ、駆動トランジスタ121の駆動電流 I_{ds} は保持容量120と有機EL素子127の寄生容量と C_{el} を充電するのに使用される。

50

【 0 1 1 3 】

この時点では、駆動トランジスタ 1 2 1 の閾値補正動作は完了しているため、駆動トランジスタ 1 2 1 が流す電流は移動度 μ を反映したものとなる。具体的には、移動度 μ が大きいと、このときの電流量が大きく、ソースの上昇も早い。逆に移動度 μ が小さいと、電流量が小さく、ソースの上昇は遅くなる。これにより、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} は移動度 μ を反映して小さくなり、一定時間経過後に完全に移動度 μ を補正するゲート・ソース間電圧 V_{gs} となる。

【 0 1 1 4 】

この後には、発光期間 L に入り、サンプリングトランジスタ 1 2 5 をオフして書込みを終了し、有機 EL 素子 1 2 7 を発光させる。保持容量 1 2 0 によるブートストラップ効果により、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ 1 2 1 は一定電流（駆動電流 I_{ds} ）を有機 EL 素子 1 2 7 に流し、有機 EL 素子 1 2 7 のアノード電位 V_{el} は有機 EL 素子 1 2 7 に駆動電流 I_{ds} という電流が流れる電圧 V_x まで上昇し、有機 EL 素子 1 2 7 は発光する。

10

【 0 1 1 5 】

第 3 比較例の画素回路 P においても、有機 EL 素子 1 2 7 は発光時間が長くなるとその I - V 特性は変化してしまう。そのため、ノード ND 1 2 1 の電位（つまり駆動トランジスタ 1 2 1 のソース電位 V_s ）も変化する。しかしながら、駆動トランジスタ 1 2 1 のゲート・ソース間電圧 V_{gs} は保持容量 1 2 0 によるブートストラップ効果で一定値に保たれているので、有機 EL 素子 1 2 7 に流れる電流は変化しない。よって、有機 EL 素子 1 2 7 の I - V 特性が劣化しても、有機 EL 素子 1 2 7 には一定電流（駆動電流 I_{ds} ）が常に流れ続け、有機 EL 素子 1 2 7 の輝度が変化することはない。

20

【 0 1 1 6 】

駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表した式 (1) の V_{gs} に “ $V_{in} - V + V_{th}$ ” を代入することで、式 (2 - 1) のように表すことができる。因みに、書込みゲインを考慮したときには、式 (1) の V_{gs} に “ $(1 - g) V_{in} - V + V_{th}$ ” を代入することで、式 (2 - 2) のように表すことができる。式 (2 - 1) や式 (2 - 2)（纏めて式 (2) と称する）において、 $k = (1 / 2) (W / L) C_{ox}$ である。

30

【 0 1 1 7 】

【 数 2 】

$$\left. \begin{aligned}
 I_{ds} &= k \mu (V_{gs} - V_{th})^2 = k \mu (\Delta V_{in} - \Delta V)^2 \cdots (2-1) \\
 I_{ds} &= k \mu (V_{gs} - V_{th})^2 = k \mu ((1-g) \Delta V_{in} - \Delta V)^2 \cdots (2-2)
 \end{aligned} \right\} \cdots (2)$$

【 0 1 1 8 】

この式 (2) から、閾値電圧 V_{th} の項がキャンセルされており、有機 EL 素子 1 2 7 に供給される駆動電流 I_{ds} は駆動トランジスタ 1 2 1 の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は信号振幅 V_{in} （詳しくは信号振幅 V_{in} に対応して保持容量 1 2 0 に保持されるサンプリング電圧 = V_{gs} ）によって決まる。換言すると、有機 EL 素子 1 2 7 は信号振幅 V_{in} に応じた輝度で発光することになる。

40

【 0 1 1 9 】

その際、保持容量 1 2 0 に保持される情報はソース電位 V_s の上昇分 V で補正されている。上昇分 V はちょうど式 (2) の係数部に位置する移動度 μ の効果を打ち消すように働く。駆動トランジスタ 1 2 1 の移動度 μ に対する補正分 V を保持容量 1 2 0 に書き込まれる信号に加えるのであるが、その方向は実際には負の方向であり、こう言った意味で、上昇分 V は、移動度補正パラメータ V や負帰還量 V とも称する。

【 0 1 2 0 】

有機 EL 素子 1 2 7 に流れる駆動電流 I_{ds} は、駆動トランジスタ 1 2 1 の閾値電圧 V_{th}

50

や移動度 μ の変動が相殺され、実質的に信号振幅 V_{in} のみに依存することになる。駆動電流 I_{ds} は閾値電圧 V_{th} や移動度 μ に依存しないので、閾値電圧 V_{th} や移動度 μ が製造プロセスによりばらついていたり経時変化があったりしても、ドレイン・ソース間の駆動電流 I_{ds} は変動せず、有機 EL 素子 127 の発光輝度も変動しない。

【0121】

また、駆動トランジスタ 121 のゲート・ソース間に保持容量 120 を接続することで、n 型の駆動トランジスタ 121 を使用する場合においても、駆動トランジスタ 121 のソース端の電位 V_s の変動にゲート端の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとしており、有機 EL 素子 127 の特性の経時変動による有機 EL 素子 127 のアノード電位変動（つまり駆動トランジスタ 121 のソース電位変動）があっても、その変動を相殺するようにゲート電位 V_g を変動させることができる。

10

【0122】

これにより、有機 EL 素子 127 の特性の経時変化の影響が緩和され、画面輝度の均一性を確保できる。駆動トランジスタ 121 のゲート・ソース間の保持容量 120 によるブートストラップ機能により、有機 EL 素子を代表とする電流駆動型の発光素子の経時変動補正能力を向上させることができる。もちろん、ブートストラップ機能は、発光開始時点で、有機 EL 素子 127 に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ 121 のソース電位 V_s が変動する際にも機能する。

20

【0123】

このように、第 3 比較例の画素回路 P（事実上、後述する本実施形態の画素回路 P も同様）およびそれを駆動する制御部 109 による駆動タイミングによれば、駆動トランジスタ 121 や有機 EL 素子 127 の特性変動（ばらつきや経時変動）があった場合でも、それらの変動分を補正することで、表示画面上にはその影響が現われず、輝度変化のない高品質な画像表示が可能になる。

【0124】

< 1H 単位分割閾値補正処理の問題点 >

図 7 は、1H 単位分割閾値補正処理の問題点を説明する図である。図 6 に示したように、1 水平走査期間を 1 つの処理サイクルとして、駆動トランジスタ 121 のドレイン電圧 V_{d_121} を第 1 電位 V_{cc} にして電流が流れる状態のままで閾値補正動作を複数回に亘って実行する「1H 単位分割閾値補正処理」の場合、各回の閾値補正処理期間の間隔期間（信号線電位が閾値補正用のオフセット電位 V_{ofs} の期間から次のオフセット電位 V_{ofs} に変わる間の信号電位 V_{in} の期間：閾値補正動作間と称する）は前述通りサンプリングトランジスタ 125 をオフしており、駆動トランジスタ 121 の閾値補正が完全に行なわれていないので、そのゲート・ソース間電圧 V_{gs_121} は閾値電圧 V_{th} よりも大きい。

30

【0125】

閾値補正動作間では、ゲート・ソース間電圧 V_{gs_121} が閾値電圧 V_{th} よりも大きい状態にあり、駆動トランジスタ 121 に電流が流れ、その時点のゲート・ソース間電圧 V_{gs_121} を維持した状態でソース電位 V_{s_121} とゲート電位 V_{g_121} が上昇する。ここで、閾値補正時間が短かったり閾値補正動作間の時間が長かったりすると、図 7 に示すように、閾値補正動作間に駆動トランジスタ 121 のソース電位 V_{s_121} の上昇が大きくなる。その結果、1H 単位分割閾値補正処理において、再び次の閾値補正処理期間にて閾値補正を行なうときには保持容量 120 の両端電圧、つまり駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs_121} が、その閾値電圧 V_{th_121} 未満となってしまう、それ以降は、駆動トランジスタ 121 に電流が流れることがなく、閾値補正動作が正常に行なわれず（「閾値補正の破綻現象」と称する）、表示画像にはムラやスジとなって現れるという問題が起こる。たとえば、高速駆動を行なう場合においては、1 水平走査期間の時間が短くなり、閾値補正にかかる時間も少なくなるために、この問題は顕著に現れる。

40

【0126】

50

<改善手法：基本原理>

ここで、閾値補正の破綻現象が生じる原因に鑑みると、信号線電位が閾値補正用のオフセット電位 V_{ofs} と次のオフセット電位 V_{ofs} の間の信号電位 V_{in} にある期間である閾値補正動作間の駆動トランジスタ 121 のソース電位 V_{s_121} の上昇を如何に抑えるかや、各回の閾値補正処理期間における閾値補正動作時のソース電位 V_{s_121} の上昇を如何に早くするか、などが肝要となる。何れも、ソース電位 V_{s_121} の上昇速度に係するものであるから、概ね同じような観点から対処が可能と考えられる。

【0127】

ソース電位 V_{s_121} の上昇は、駆動トランジスタ 121 に駆動電流 I_{ds_121} が流れることから生じるのであるから、閾値補正動作時のソース電位 V_{s_121} の上昇を早くするには、閾値補正動作時の駆動電流 I_{ds_121} を大きくすることが対処方法として考えられる。1H 単位分割閾値補正処理における閾値補正動作時や閾値補正動作間では、各時点のゲート電位 V_g やソース電位 V_s でゲート・ソース間電圧 V_{gs_121} が決まるものであるから、駆動トランジスタ 121 の駆動電流 I_{ds_121} を従前と異なるものにして前述の問題を解消するには、ゲート電位 V_g やソース電位 V_s そのものに対して対策すること以外の手法を採る必要があると考えられる。換言すると、ゲート・ソース間電圧 V_{gs_121} が同じであっても、駆動電流 I_{ds_121} に差を持たせることで、結果的にソース電位 V_{s_121} が差を持つようになる仕組みとすることが最適な対策手法であると考えられる。

10

【0128】

そこで、本実施形態の対策手法としては、1H 単位分割閾値補正処理における少なくとも1回の閾値補正処理期間において、閾値補正動作時や閾値補正動作開始時の駆動トランジスタ 121 の有機 EL 素子 127 側のソース電位 V_{s_121} の上昇を速くして実質的に閾値補正動作を高速化し、閾値補正動作後の信号線電位が信号電位 V_{in} にある閾値補正動作間におけるソース電位 V_{s_121} の上昇の影響が少なくなるようにする。

20

【0129】

ここで、閾値補正動作時の駆動トランジスタ 121 の有機 EL 素子 127 側のソース電位 V_{s_121} の上昇を速くする第1の対策手法としては、信号線電位（映像信号線 106 HS の電位）が発光輝度を反映する信号電位 V_{in} から次の信号電位 V_{in} に変わる間のオフセット電位 V_{ofs} （閾値補正用の基準電位）となっている閾値補正処理期間の少なくとも1回において、閾値補正動作を複数回に分けて繰り返す。

30

【0130】

つまり、1水平走査期間を1処理サイクルとして複数回に亘って閾値補正処理を繰り返して行なう1H 単位分割閾値補正処理において、さらに少なくとも1回の閾値補正処理期間には、1水平走査期間内のオフセット電位 V_{ofs} の期間でも閾値補正処理を分割して複数回繰り返して行なうのである。以下、1H 単位分割閾値補正処理を基本として、少なくとも1回の閾値補正処理期間時に、1水平走査期間（1H）内のオフセット電位 V_{ofs} の期間でも閾値補正処理を複数回実行する閾値補正処理を「1H内閾値補正分割処理を適用した1H 単位分割閾値補正処理」あるいは「1H内閾値補正分割処理を適用した分割閾値補正処理」と称する。

【0131】

また、閾値補正動作直前の駆動トランジスタ 121 の有機 EL 素子 127 側のソース電位 V_{s_121} の上昇を速くする第2の対策手法としては、1回目の閾値補正処理期間時閾値補正動作の開始時において（直前に）、ドレイン電圧 V_{d_121} を第1電位 V_{cc} にする際に、サンプリングトランジスタ 125 をオフとし、その後一定期間経過後にサンプリングトランジスタ 125 をオンして閾値補正動作を開始する。予めソース電位 V_{s_121} を高速に上昇させておいてから1回目の閾値補正動作を行なう仕組みである。なお、この第2の手法は、1H 単位分割閾値補正処理における閾値補正動作間におけるソース電位 V_{s_121} の上昇を起因とする問題を解決する仕組みであるが、基本的には、1H 単位分割閾値補正処理との併用は必須ではない。

40

【0132】

50

何れの対策手法も、閾値補正の破綻現象を生じさせない短い期間で、サンプリングトランジスタ125をオフさせることで、その時点のゲート・ソース間電圧 V_{gs_121} を維持した状態でゲート電位 V_{g_121} とソース電位 V_{s_121} を上昇させ、その後にサンプリングトランジスタ125をオンさせてゲート電位 V_{g_121} をオフセット電位 V_{ofs} にして閾値補正動作に入る。このため、閾値補正の破綻現象が生じない範囲でのソース電位 V_{s_121} の上昇により、閾値補正処理期間での閾値補正動作の速度を早くする効果が得られる。このため、その後の閾値補正動作間に電源から駆動トランジスタ121を通して流れる電流によって閾値補正動作が正常に行なわれなくなるのを防ぐことができ、スジやムラのない均一な画質を得ることができるようになる。さらに、閾値補正処理期間での閾値補正動作の速度を早くすることができるため、閾値補正処理期間を短く設定することが可能となり、高速化が実現できる。

10

【0133】

なお、1H単位分割閾値補正処理時に第2の対策手法を採るときは、2回目以降の閾値補正処理期間に、1水平走査期間内のオフセット電位 V_{ofs} 期間でも閾値補正処理を複数回実行する第1の対策手法(1H内閾値補正分割処理を適用した1H単位分割閾値補正処理)と組み合わせることも考えられる。以下、各対策手法について具体的に説明する。

【0134】

<改善手法：第1実施形態>

図8は、閾値補正動作間におけるソース電位 V_{s_121} の上昇を起因とする閾値補正の破綻現象を解消する手法の第1実施形態を説明する図である。ここで、図8は、図5に示した第3比較例の画素回路Pをそのまま使用し、線順次駆動の場合で示したタイミングチャートである。図8においては、時間軸を共通にして、書込走査線104WSの電位変化、電源供給線105DSLの電位変化、および映像信号線106HSの電位変化を表してある。また、これらの電位変化と並行に、1行分について駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s の変化も表してある。

20

【0135】

第1実施形態は、1水平走査期間を1処理サイクルとして複数回に亘って閾値補正処理を繰り返して行なう1H単位分割閾値補正処理において、さらに少なくとも1回の閾値補正処理期間に、1水平走査期間内のオフセット電位 V_{ofs} 期間でも分割して閾値補正処理を複数回繰り返して行なう第1の対策手法を採ったものである。第1実施形態では、1H単位分割閾値補正処理において、信号線電位がオフセット電位 V_{ofs} となったときに閾値補正動作を実行するとき、その内の少なくとも1回の閾値補正処理期間時に、サンプリングトランジスタ125のオン(導通)/オフ(非導通)を繰り返すことで、サンプリングトランジスタ125のオンが2回以上繰り返されるようにする。

30

【0136】

複数回の閾値補正処理期間における少なくとも1回について、1H内閾値補正分割処理を適用すればよく、全ての閾値補正処理期間に1H内閾値補正分割処理を適用してもよいし、1回についてのみとする場合には複数回の閾値補正処理期間の何回目に適用するかは基本的には自由である。ただし、効果的には、少なくとも1回目の閾値補正処理期間に1H内閾値補正分割処理を適用して、オフセット電位 V_{ofs} の期間をさらに複数回に分け閾値補正処理を実行するのがよい。

40

【0137】

このように、1H単位分割閾値補正処理において、1水平期間内でもサンプリングトランジスタ125を複数回に亘ってオン/オフして分割閾値補正動作を行なうと、1水平期間内のオフセット電位 V_{ofs} の期間においても、各閾値補正動作の間隔期間はサンプリングトランジスタ125はオフしているため、駆動トランジスタ121のゲート・ソース間電圧 V_{gs} は一定のままゲート電位 V_{g_121} とソース電位 V_{s_121} が上昇する。

【0138】

1H内閾値補正分割処理が適用される閾値補正動作期間における閾値補正動作間 T_a は、その直前の閾値補正動作によるゲート・ソース間電圧 V_{gs_121} に応じた電流のままです。

50

ース電位 V_{s_121} が上昇していく。これに対して、1 H 内閾値補正分割処理を適用しないときには、1 H 内閾値補正分割処理が適用される閾値補正動作期間における閾値補正動作間と同じ期間も含む全閾値補正動作期間には、ゲート電位 V_{g_121} がオフセット電位 V_{ofs} に固定された状態でソース電位 V_{s_121} が上昇するので、閾値補正処理が進行するのに関連してゲート・ソース間電圧 V_{gs_121} が小さくなり駆動トランジスタ 121 に流れる電流が次第に少なくなるので、ソース電位 V_{s_121} の上昇も閾値補正処理が進行するのに関連して緩やかになる。

【0139】

このため、サンプリングトランジスタ 125 をオフさせた状態でソース電位 V_{s_121} (ゲート電位 V_{g_121} も) を上昇させることで、次の閾値補正開始時のゲート・ソース間電圧 V_{gs_121} (保持容量 120 の両端電位) が、本実施形態の 1 H 内閾値補正分割処理を適用しない場合よりも閾値電圧 V_{th} に近づいているので、結果的に、閾値補正動作の速度は早くなる。換言すると、本実施形態の 1 H 内閾値補正分割処理を適用したときの閾値補正動作間は、1 H 内閾値補正分割処理を適用しないときの同期間に閾値補正を行なっているときよりも、1 H 単位での閾値補正という観点から見るとゲート・ソース間電圧 V_{gs_121} が小さくなっているため、その 1 H 単位での閾値補正動作自体の速度は 1 H 内閾値補正分割処理を適用したときの方が 1 H 内閾値補正分割処理を適用しない時よりも早くなる。

【0140】

また、信号線電位がオフセット電位 V_{ofs} となっている期間内にサンプリングトランジスタ 125 をオン/オフ/オンと切り替えるが、1 H 単位分割閾値補正処理における 1 水平期間ごとの閾値補正動作の間隔期間 (信号線電位が信号電位 V_{in} にある期間を跨ぐ閾値補正動作間) のオフ時間 T_b と比べると、1 水平期間内における閾値補正動作の間隔期間 (信号線電位がオフセット電位 V_{ofs} にあり信号電位 V_{in} にある期間を跨がない閾値補正動作間) のオフの時間 T_a の方が短いために、閾値補正動作間にソース電位 V_{s_121} が上昇することで閾値補正の破綻現象が生じてしまうような問題は発生しない。

【0141】

したがって、第 1 実施形態の仕組みによれば、信号線電位が信号電位 V_{in_1} から次の信号電位 V_{in_2} に変わる間のオフセット電位 V_{ofs} となったときの閾値補正動作の速度を第 3 比較例の駆動タイミング (つまり本実施形態を適用しない 1 H 単位分割閾値補正処理) よりも早くすることができる。閾値補正動作の速度が早くなることで、その閾値補正処理期間直後のゲート・ソース間電圧 V_{gs_121} は本対策手法を適用しない場合 (従前と称する) に比べて小さくなっており (つまり、閾値電圧 V_{th} により近くなっており)、閾値補正処理期間後の閾値補正動作間では、ゲート・ソース間電圧 V_{gs_121} が従前よりも小さい状態で駆動トランジスタ 121 に電流が流れ、その時点のゲート・ソース間電圧 V_{gs_121} を維持した状態でソース電位 V_{s_121} とゲート電位 V_{g_121} が上昇する。したがって、閾値補正動作間における駆動トランジスタ 121 のソース電位 V_{s_121} の上昇が従前よりも小さくなる。

【0142】

その結果、各回の閾値補正処理期間つまり信号線電位が信号電位 V_{in} の期間を跨ぐ閾値補正動作間 (閾値補正処理期間の間隔期間) に電源から駆動トランジスタ 121 を通して流れる電流によってソース電位 V_{s_121} が上昇することを起因とする閾値補正の破綻現象が緩和・防止される。正常に閾値補正動作を行なうことが可能となりムラやスジのない均一な画質を得ることができる。また、1 H 内閾値補正分割処理を適用した閾値補正処理期間では閾値補正動作の速度を早くすることができるため、閾値補正処理期間を短く設定することができ処理の高速化が可能となる。

【0143】

なお、図 8 では、1 水平走査期間を 1 処理サイクルとして 3 回に亘って閾値補正処理を繰り返して行なう 1 H 単位分割閾値補正処理において、最初の 2 回の閾値補正処理期間時に 1 H 内閾値補正分割処理を適用し、最後の閾値補正処理期間時には 1 H 内閾値補正分割処理を適用していないが、最後の閾値補正処理期間時にも 1 H 内閾値補正分割処理を適用

10

20

30

40

50

してもよい。

【0144】

<改善手法：第2実施形態>

図9は、閾値補正動作間におけるソース電位 V_{s_121} の上昇を起因とする閾値補正の破綻現象を解消する手法の第2実施形態を説明する図である。ここで、図9も、図5に示した第3比較例の画素回路Pをそのまま使用し、線順次駆動の場合で示したタイミングチャートである。図9においても、時間軸を共通にして、書込走査線104WSの電位変化、電源供給線105DSLの電位変化、および映像信号線106HSの電位変化を表してある。また、これらの電位変化と並行に、1行分について駆動トランジスタ121のゲート電位 V_g およびソース電位 V_s の変化も表してある。

10

【0145】

第2実施形態は、1水平走査期間を1処理サイクルとして複数回に亘って閾値補正処理を繰り返して行なう1H単位分割閾値補正処理において、1回目の閾値補正処理間における閾値補正動作の開始時に、ドレイン電圧 V_{d_121} を第1電位 V_{cc} にする際に、サンプリングトランジスタ125をオフとし、その後一定期間経過後にサンプリングトランジスタ125をオンして閾値補正動作を開始する第2の対策手法を採ったものである。

【0146】

つまり、閾値補正処理の準備処理後で、かつ、最初の閾値補正処理開始前に、信号線電位がオフセット電位 V_{ofs} にあり、サンプリングトランジスタ125がオフしているときに電源駆動パルスDSLを第2電位 V_{ss} から第1電位 V_{cc} へ上昇させ駆動トランジスタ121に電流を流してゲート・ソース間電圧 V_{gs_121} を維持したままゲート電位 V_g とソース電位 V_s を上昇させ、一定時間 (T_c) 経過した後に、書込駆動パルスWSをアクティブHにしてサンプリングトランジスタ125をオンさせてゲート電位 V_g をオフセット電位 V_{ofs} にして閾値補正動作に入る方式となっている。要するに、最初の閾値補正処理開始前にサンプリングトランジスタ125をオフさせたままでソース電位 V_s を上昇させることで、つまりソース電位 V_s の予備上昇処理を行なうことで、最初の閾値補正処理開始時のソース電位 V_s がゲート電位 V_g (=オフセット電位 V_{ofs}) に近くなるようにしておく点に特徴がある。

20

【0147】

このように、閾値補正動作に先立ってゲート電位 V_g とソース電位 V_s を初期化した後で、かつ、最初の閾値補正動作の前に、サンプリングトランジスタ125をオフした状態で電源駆動パルスDSLを第2電位 V_{ss} から第1電位 V_{cc} に切り替えた後にサンプリングトランジスタ125をオンしてオフセット電位 V_{ofs} を駆動トランジスタ121のゲートに供給して閾値補正動作を開始するようにすると、閾値補正動作の開始前の閾値補正の破綻現象を生じさせない短い期間 T_c で、予めソース電位 V_s を高速に上昇させておくことができる。

30

【0148】

信号線電位がオフセット電位 V_{ofs} となっている1回目の閾値補正処理期間の閾値補正動作の前にサンプリングトランジスタ125をオン/オフ/オンと電源駆動パルスDSLの第2電位 V_{ss} から第1電位 V_{cc} への切替えを行なうが、1H単位分割閾値補正処理における1水平期間ごとの閾値補正動作の間隔期間(信号線電位が信号電位 V_{in} にある期間を跨ぐ閾値補正動作間)にゲート電位 V_g とソース電位 V_s が上昇する時間 T_b に比べると、電源駆動パルスDSLが第1電位 V_{cc} になりサンプリングトランジスタ125がオンするまでにゲート電位 V_g とソース電位 V_s が上昇する時間 T_c の方が短いために、ソース電位 V_s が上昇することで閾値補正の破綻現象が生じてしまうような問題は発生しない。

40

【0149】

換言すると、「時間 T_b よりも時間 T_c の方が短い」というだけでなく、「最初の閾値補正処理開始時のソース電位 V_s がゲート電位 V_g (=オフセット電位 V_{ofs}) に近くなるようにしておくに当たっては、最初の閾値補正処理開始時の駆動トランジスタ

50

121のゲート・ソース間電圧 V_{gs_121} (保持容量120の両端電圧)が閾値電圧 V_{th} を下回ることがないように、駆動トランジスタ121の有機EL素子127側のソース電位 V_{s_121} が“ $V_{ofs} - V_{th}$ ”まで上昇しない範囲で時間 T_c を設定することが肝要となる。

【0150】

その結果、1回目の閾値補正処理期間における閾値補正動作の速度を早くすることができ、1回目と2回目の閾値補正処理期間の間隔期間で駆動トランジスタ121のソース電位 V_{s_121} の上昇量を本実施形態を適用しない場合よりも小さくすることができる。よって、第1実施形態と同様に、信号線電位が信号電位 V_{in} の期間を跨ぐ閾値補正動作間に電源から駆動トランジスタ121に流れる電流によって閾値補正動作が正常に行われなくなるのを防ぐことができる。正常に閾値補正動作を行なうことが可能となりムラやスジのない均一な画質を得ることができる。また、予めソース電位 V_{s_121} を高速に上昇させておくことで1回目の閾値補正処理期間では閾値補正動作の速度を早くすることができるため、第1実施形態と同様に、閾値補正処理期間を短く設定することができ処理の高速化が可能となる。

10

【0151】

なお、図9では、1水平走査期間を1処理サイクルとして3回に亘って閾値補正処理を繰り返して行なう1H単位分割閾値補正処理において、2回目の閾値補正処理期間時に1H内閾値補正分割処理を適用した第1実施形態の手法と組み合わせているが、第1実施形態との組合せは必須ではない。もちろん、第1実施形態と同様に、最後の閾値補正処理期間時にも1H内閾値補正分割処理を適用してもよい。

20

【0152】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は前記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0153】

また、前記の実施形態は、クレーム(請求項)にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

30

【0154】

<画素回路の変形例>

たとえば、画素回路Pの側面からの変更が可能である。たとえば、回路理論上は「双対の理」が成立するので、画素回路Pに対しては、この観点からの変形を加えることができる。この場合、図示を割愛するが、先ず、前述の各実施形態に示した画回路Pがn型の駆動トランジスタ121を用いて構成しているのに対し、p型の駆動トランジスタ121を用いて画素回路Pを構成する。これに合わせて映像信号 V_{sig} のオフセット電位 V_{ofs} に対する信号振幅 V_{in} の極性や電源電圧の高低関係を逆転させるなど、双対の理に従った変更を加える。

40

【0155】

たとえば「双対の理」に従った変形態様の画素回路Pでは、p型の駆動トランジスタ(以下p型駆動トランジスタ121pと称する)のゲート端とソース端と間に保持容量120を接続し、p型駆動トランジスタ121pのソース端を直接に有機EL素子127のカソード端に接続する。有機EL素子127のアノード端は基準電位としてのアノード電位 V_{anode} にする。このアノード電位 V_{anode} は、基準電位を供給する全画素共通の基準電源(高電位側)に接続する。p型駆動トランジスタ121pは、そのドレイン端が低電圧側の第1電位 V_{ss} に接続され、有機EL素子127を発光させる駆動電流 I_{ds} を流す。

50

【0156】

このような双対の理を適用して駆動トランジスタ121をp型にした変形例の有機EL表示装置においても、n型の駆動トランジスタ121にした有機EL表示装置と同様に、閾値補正動作、移動度補正動作、およびブートストラップ動作を実行することができる。

【0157】

このような画素回路Pを駆動する際に、少なくとも1回の閾値補正処理期間時に、1水平走査期間内のオフセット電位Vofs期間でも分割して閾値補正処理を複数回繰り返して行なう第1実施形態と同様の態様を採ることができる。また、1回目の閾値補正処理期間における閾値補正動作の開始時に、ドレイン電圧Vd₁₂₁を第1電位Vssにする際に、サンプリングトランジスタ125をオフとし、その後一定期間経過後にサンプリングトランジスタ125をオンして閾値補正動作を開始する第2実施形態と同様の態様を採ることができる。もちろん、これらを組み合わせた態様を採ることもできる。閾値補正動作間でp型駆動トランジスタ121pに流れる駆動電流Ids_{121p}を小さくすることができ、正常に閾値補正動作を行なうことができる。これにより、正常に閾値補正動作を行なうことができるためムラやスジのない均一な画質を得ることが可能となる。

10

【0158】

なお、ここで説明した画素回路Pの変形例は、前記第1・第2実施形態に示した構成に対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではない。閾値補正動作を実行するに当たり、書込走査部104での走査に合わせて各水平周期内でオフセット電位Vofsと信号電位Vin(=Vofs+Vin)で切り替わる映像信号Vsigが映像信号線106HSに伝達されるように駆動を行ない、閾値補正の初期化動作のために駆動トランジスタ121のドレイン側(電源供給側)を第1電位と第2電位とでスイッチング駆動を行なうものである限り、画素回路Pを構成するトランジスタ数は問わない。2TR構成であるか否かは不問でありトランジスタ数が3個以上であってもよく、それらの全てに、前述の本実施形態の各改善手法を適用して、閾値補正動作間におけるソース電位Vs₁₂₁の上昇を起因とする閾値補正の破綻現象の改善を図るといふ本実施形態の思想を適用することができる。

20

【0159】

また、閾値補正動作を実行するに当たり、オフセット電位Vofsと信号電位Vinを駆動トランジスタ121のゲートに供給する仕組みとしては、前記実施形態の2TR構成のように映像信号Vsigで対処することに限らず、たとえば、特開2006-215213号公報に記載のように、別のトランジスタを介して供給する仕組みを採ることもでき、それらの変形例においても、前述の本実施形態の各改善手法を適用して、閾値補正動作間におけるソース電位Vs₁₂₁の上昇を起因とする閾値補正の破綻現象の改善を図るといふ本実施形態の思想を適用することができる。

30

【0160】

また、前記実施形態の考え方は、原理的には、特開2006-215213号公報に記載の仕組みにも適用できる。ただし、特開2006-215213号公報に記載の閾値補正処理では、1回当たりの閾値補正時間を十分にとることができるので、2TR構成や2TR構成をベースとした各種変形例と比べると、そのニーズは低いと言える。

40

【図面の簡単な説明】

【0161】

【図1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図2】本実施形態の画素回路に対する第1比較例を示す図である。

【図3】本実施形態の画素回路に対する第2比較例を示す図である。

【図4】有機EL素子や駆動トランジスタの動作点を説明する図である。

【図4A】有機EL素子や駆動トランジスタの特性ばらつきが駆動電流に与える影響を説明する図である。

【図5】本実施形態の画素回路に対する第4比較例を示す図である。

50

【図6】図5に示した第3比較例の画素回路に関する第3比較例の駆動タイミングの基本例を説明するタイミングチャートである。

【図7】1H単位分割閾値補正処理の問題点を説明する図である。

【図8】閾値補正動作間における駆動トランジスタのソース電位の上昇を起因とする閾値補正の破綻現象を解消する手法の第1実施形態を説明する図である。

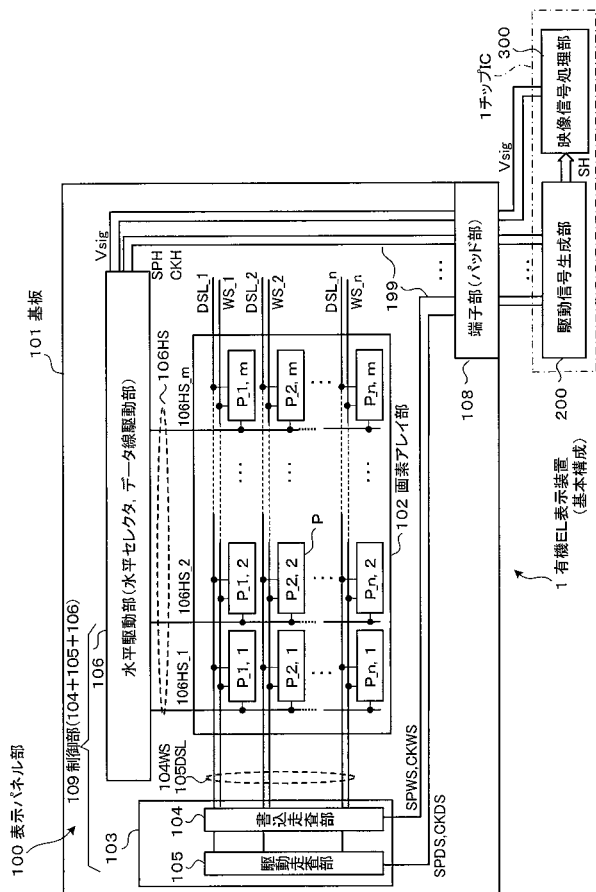
【図9】閾値補正動作間における駆動トランジスタのソース電位の上昇を起因とする閾値補正の破綻現象を解消する手法の第2実施形態を説明する図である。

【符号の説明】

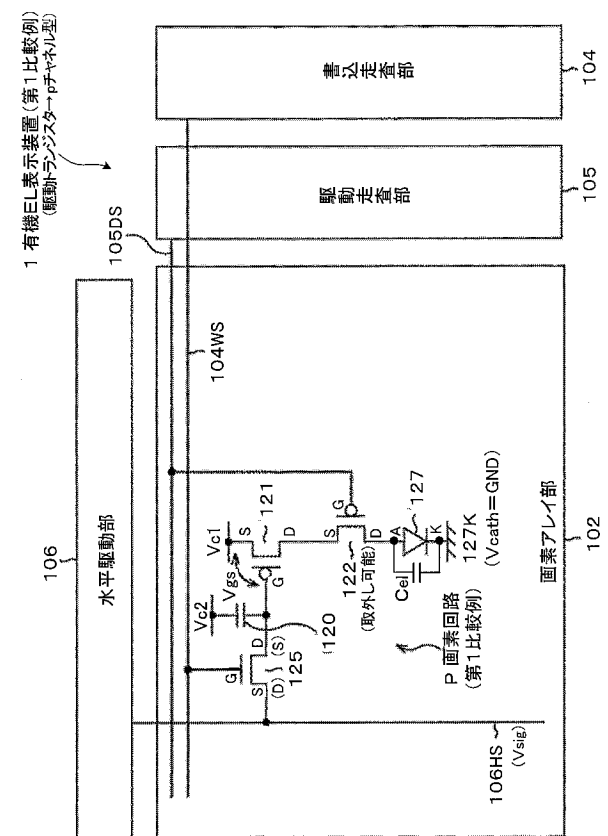
【0162】

1...有機EL表示装置、100...表示パネル部、101...基板、102...画素アレイ部、103...垂直駆動部、104...書込走査部、105...駆動走査部、106...水平駆動部、109...制御部、120...保持容量、121...駆動トランジスタ、122...発光制御トランジスタ、125...サンプリングトランジスタ、127...有機EL素子(電気光学素子の一例)、200...駆動信号生成部、300...映像信号処理部、Cel...寄生容量、P...画素回路

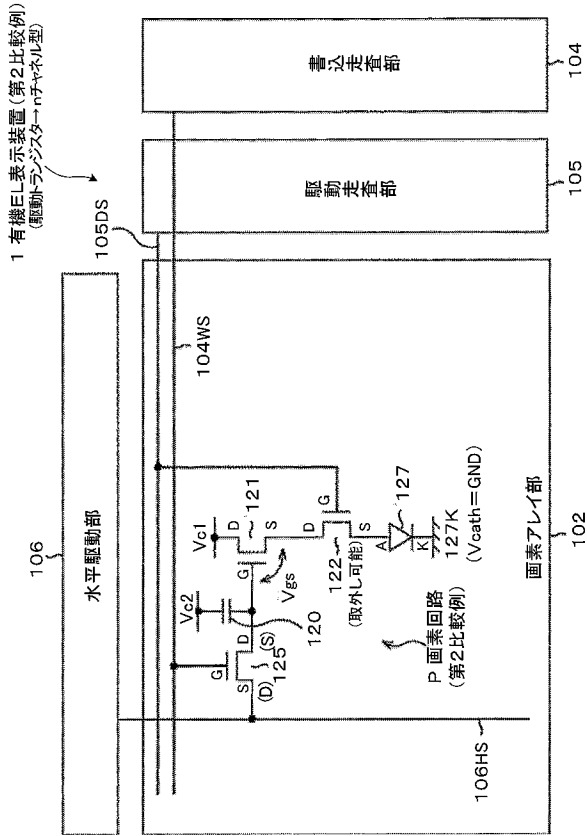
【図1】



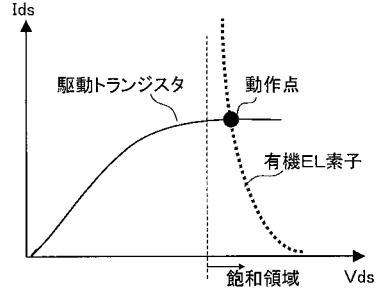
【図2】



【 図 3 】

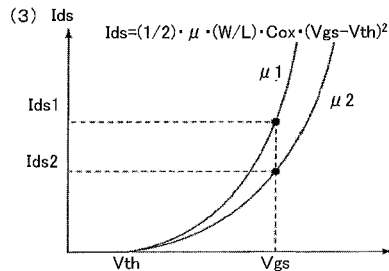
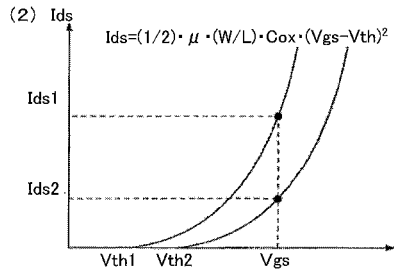
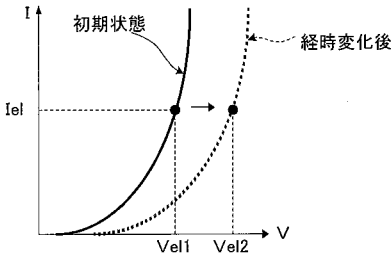


【 図 4 】

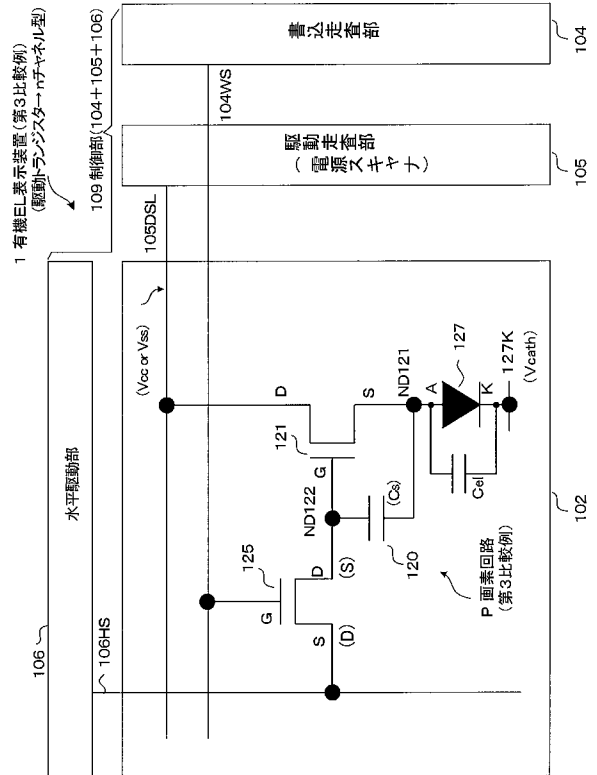


【 図 4 A 】

(1) <有機EL素子のV-I特性の経時変化>



【 図 5 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 F	9/30	3 6 5 Z
G 0 9 F	9/30	3 3 8
H 0 5 B	33/14	A

(72)発明者 山本 哲郎
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 内野 勝秀
東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 CC35 CC45 EE03 HH02 HH04 HH05
5C080 AA06 BB05 DD05 DD08 DD22 EE29 FF11 HH09 JJ02 JJ03
JJ04 JJ05 KK07 KK47
5C094 AA03 AA05 AA21 AA53 BA03 BA27 CA19 DB04

专利名称(译)	表示装置		
公开(公告)号	JP2010008521A	公开(公告)日	2010-01-14
申请号	JP2008165201	申请日	2008-06-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀		
发明人	山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0814 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/0252 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.621.F G09F9/30.365.Z G09F9/30.338 H05B33/14.A G09F9/30.365 G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD22 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK07 5C080/KK47 5C094/AA03 5C094/AA05 5C094/AA21 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DB04 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AC12 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC02 5C380/BD02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC05 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CD022 5C380/CD023 5C380/DA06 5C380/DA10 5C380/DA47		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决在有机电致发光显示装置中没有正常执行阈值校正操作的问题。解决方案：至少在1H单位分割阈值校正处理中的一个阈值校正处理周期中，即使在偏移电位Vofs周期中也重复执行阈值校正处理多次。由于采样晶体管125截止，所以在1H内的阈值校正分离处理的每个阈值校正操作之间的间隔时段中，源极电位Vs_121上升，而栅极和源极之间的电压Vgs固定。由于栅极和源极之间的电压Vgs_121更大并且电流更大，所以当施加1H内的阈值校正分离处理时，与在相同时段中执行阈值校正时相比，当1H内的阈值校正分离处理是如果不应用，则当应用1H内的阈值校正分离处理时，与未应用1H内的阈值校正分离处理时，阈值校正操作本身的速度变得更高，可以正常地执行阈值校正操作。之

