

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-244665  
(P2009-244665A)

(43) 公開日 平成21年10月22日(2009.10.22)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 612A	5C080
<b>HO1L 51/50 (2006.01)</b>	G09G 3/20 612R	
	G09G 3/20 622D	
	G09G 3/20 622C	

審査請求 有 請求項の数 6 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2008-92184 (P2008-92184)  
(22) 出願日 平成20年3月31日 (2008.3.31)

(71) 出願人 000002185  
ソニー株式会社  
東京都港区港南1丁目7番1号  
(74) 代理人 100082131  
弁理士 稲本 義雄  
(74) 代理人 100121131  
弁理士 西川 孝  
(72) 発明者 山本 哲郎  
東京都港区港南1丁目7番1号 ソニー株式会社内  
(72) 発明者 内野 勝秀  
東京都港区港南1丁目7番1号 ソニー株式会社内  
Fターム(参考) 3K107 AA01 BB01 CC21 CC45 EE03  
HH02 HH04

最終頁に続く

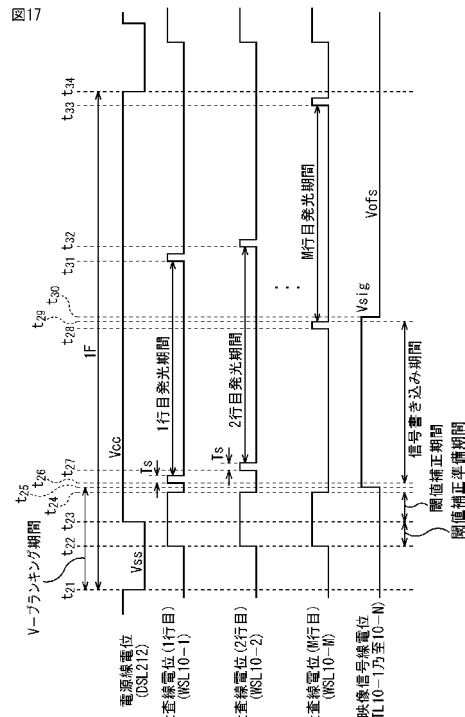
(54) 【発明の名称】 パネルおよび駆動制御方法

(57) 【要約】

【課題】 ELパネルの低コスト化を実現することができるようにする。

【解決手段】 V - ブランキング期間の時刻  $t_{21}$  において、電源供給部は、全画素に共通な電源線DSL212に供給する電位を高電位  $V_{cc}$  から低電位  $V_{ss}$  に切替える。時刻  $t_{22}$  において、ライトスキャナは、走査線WSL10-1乃至10-Mに供給する電位を同時に高電位に切替える。これにより、閾値補正を行う前の閾値補正準備動作が行われている。閾値補正準備が完了すると、時刻  $t_{23}$  において、電源供給部は、電源線DSL212に供給する電位を低電位  $V_{ss}$  から高電位  $V_{cc}$  に切替えることにより、ELパネルの全画素に同時に閾値補正動作が開始される。本発明は、例えば、ELパネルに適用できる。

【選択図】 図17



**【特許請求の範囲】****【請求項 1】**

駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置するパネルであって、

行列状に配置された前記画素回路に所定の電源電圧を供給する電源供給手段と、  
行列状に配置された前記画素回路のすべてと前記電源供給手段とを接続する電源線とを備え、

前記電源供給手段は、垂直ブランキング期間内に、閾値補正準備動作および閾値補正動作を、行列状に配置された前記画素回路のすべてに対して同時に行うために、行列状に配置された前記画素回路のすべてに対して同一の電源電圧制御を行う

10

パネル。

**【請求項 2】**

前記画素回路の前記サンプリング用トランジスタをオンまたはオフする走査制御手段をさらに備え、

前記走査制御手段が前記画素回路の前記サンプリング用トランジスタをオンまたはオフすることで、前記発光素子の発光期間が制御される

請求項 1 に記載のパネル。

**【請求項 3】**

前記走査制御手段が前記発光素子を消光させるため前記サンプリング用トランジスタをオンするとき前記駆動用トランジスタのゲートに供給される電位は、前記発光素子のカソード電位、発光素子の閾値電圧、および駆動用トランジスタの閾値電圧の和以下である

請求項 2 に記載のパネル。

20

**【請求項 4】**

前記走査制御手段が前記発光素子を消光させるため前記サンプリング用トランジスタをオンするとき前記駆動用トランジスタのゲートに供給される電位は、閾値補正のための基準電位と同一である

請求項 2 に記載のパネル。

**【請求項 5】**

前記閾値補正動作は複数回に分割して実行される

請求項 1 に記載のパネル。

30

**【請求項 6】**

駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置するパネルの駆動制御方法であって、

垂直ブランキング期間内に、閾値補正準備動作および閾値補正動作を行列状に配置された前記画素回路のすべてに対して同時に行うために、前記画素回路のすべてと接続されている共通の電源線を介して、前記画素回路のすべてに対して同一の電源電圧制御を行う

ステップを含む駆動制御方法。

40

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、パネルおよび駆動制御方法に関し、特に、低コスト化を実現することができるようにするパネルおよび駆動制御方法に関する。

**【背景技術】****【0002】**

発光素子として有機 EL (Electro Luminescent) デバイスを用いた平面自発光型のパネル (EL パネル) の開発が近年盛んになっている。有機 EL デバイスは有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機 EL デバイスは印加電圧が 10 V

50

以下で駆動するため低消費電力である。また有機ELデバイスは自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易である。さらに有機ELデバイスの応答速度は数 $\mu$ s程度と非常に高速であるので、動画表示時の残像が発生しない。

【0003】

有機ELデバイスを画素に用いた平面自発光型のパネルの中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型平面自発光パネルは、例えば以下の特許文献1乃至5に記載されている。

【0004】

【特許文献1】特開2003-255856号公報

【特許文献2】特開2003-271095号公報

【特許文献3】特開2004-133240号公報

【特許文献4】特開2004-029791号公報

【特許文献5】特開2004-093682号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、先行して普及してきている液晶ディスプレイ(LCD:Liquid Crystal Display)と比較すると、有機ELデバイスを画素に用いた平面自発光型のパネルについては、さらなる低コスト化が要請されている。

【0006】

本発明は、このような状況に鑑みてなされたものであり、低コスト化を実現することができるようにするものである。

【課題を解決するための手段】

【0007】

本発明の一側面のパネルは、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置するパネルであって、行列状に配置された前記画素回路に所定の電源電圧を供給する電源供給手段と、行列状に配置された前記画素回路のすべてと前記電源供給手段とを接続する電源線とを備え、前記電源供給手段は、垂直ブランキング期間内に、閾値補正準備動作および閾値補正動作を、行列状に配置された前記画素回路のすべてに対して同時に行うために、行列状に配置された前記画素回路のすべてに対して同一の電源電圧制御を行う。

【0008】

前記画素回路の前記サンプリング用トランジスタをオンまたはオフする走査制御手段をさらに設け、前記走査制御手段が前記画素回路の前記サンプリング用トランジスタをオンまたはオフすることで、前記発光素子の発光期間が制御される。

【0009】

本発明の一側面の駆動制御方法は、駆動電流に応じて発光する発光素子と、映像信号をサンプリングするサンプリング用トランジスタと、前記駆動電流を前記発光素子に供給する駆動用トランジスタと、所定の電位を保持する保持容量とを備える画素回路を行列状に配置するパネルの駆動制御方法であって、垂直ブランキング期間内に、閾値補正準備動作および閾値補正動作を行列状に配置された前記画素回路のすべてに対して同時に行うために、前記画素回路のすべてと接続されている共通の電源線を介して、前記画素回路のすべてに対して同一の電源電圧制御を行うステップを含む。

【0010】

本発明の一側面においては、垂直ブランキング期間内に、閾値補正準備動作および閾値補正動作を行列状に配置された画素回路のすべてに対して同時に行うために、画素回路のすべてと接続されている共通の電源線を介して、画素回路のすべてに対して同一の電源電

10

20

30

40

50

圧制御が行われる。

【発明の効果】

【0011】

本発明の一側面によれば、ELパネルの低コスト化を実現することができる。

【0012】

また、本発明の一側面によれば、発光素子をより長寿命にすることができる。

【発明を実施するための最良の形態】

【0013】

以下に本発明の実施の形態を説明するが、本発明の構成要件と、明細書又は図面に記載の実施の形態との対応関係を例示すると、次のようになる。この記載は、本発明をサポートする実施の形態が、明細書又は図面に記載されていることを確認するためのものである。従って、明細書又は図面中には記載されているが、本発明の構成要件に対応する実施の形態として、ここには記載されていない実施の形態があったとしても、そのことは、その実施の形態が、その構成要件に対応するものではないことを意味するものではない。逆に、実施の形態が構成要件に対応するものとしてここに記載されていたとしても、そのことは、その実施の形態が、その構成要件以外の構成要件には対応しないものであることを意味するものでもない。

10

【0014】

本発明の一側面のパネルは、駆動電流に応じて発光する発光素子（例えば、図5の発光素子34）と、映像信号をサンプリングするサンプリング用トランジスタ（例えば、図5のサンプリング用トランジスタ31）と、前記駆動電流を前記発光素子に供給する駆動用トランジスタ（例えば、図5の駆動用トランジスタ32）と、所定の電位を保持する保持容量（例えば、図5の保持容量33）とを備える画素回路（例えば、図5の画素101c）を行列状に配置するパネル（例えば、図16のELパネル200）であって、行列状に配置された前記画素回路に所定の電源電圧を供給する電源供給手段（例えば、図16の電源供給部211）と、行列状に配置された前記画素回路のすべてと前記電源供給手段とを接続する電源線（例えば、図16の電源線DSL212）とを備え、前記電源供給手段は、垂直ブランキング期間内に、閾値補正準備動作および閾値補正動作を、行列状に配置された前記画素回路のすべてに対して同時に行うために、行列状に配置された前記画素回路のすべてに対して同一の電源電圧制御を行う。

20

30

【0015】

以下、図を参照して、本発明の実施の形態について説明する。

【0016】

最初に、本発明の理解を容易にし、且つ、背景を明らかにするため、有機ELデバイスを用いたパネル（以下、ELパネルと称する）の基本となる構成と動作について図1乃至図15を参照して説明する。

【0017】

図1は、基本となるELパネルの構成例を示すブロック図である。

【0018】

図1のELパネル100は、 $N \times M$ 個の画素（画素回路）101 - (1, 1)乃至101 - (N, M)が行列状に配置されている画素アレイ部102と、これを駆動する駆動部である水平セレクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105とにより構成されている。

40

【0019】

また、ELパネル100は、M本の走査線WSL10 - 1乃至10 - M、M本の電源線DSL10 - 1乃至10 - M、およびN本の映像信号線DTL10 - 1乃至10 - Nも有する。

【0020】

なお、以下において、走査線WSL10 - 1乃至10 - M、映像信号線DTL10 - 1乃至10 - N、画素101 - (1, 1)乃至101 - (N, M)、または電源線DSL1

50

0 - 1乃至10 - Mのそれぞれを特に区別する必要がない場合、単に、走査線WSL10、映像信号線DTL10、画素101、または電源線DSL10と称する。

【0021】

画素101 - (1, 1)乃至101 - (N, M)のうちの第1行目の画素101 - (1, 1)乃至101 - (N, 1)は、走査線WSL10 - 1でライトスキャナ104と、電源線DSL10 - 1で電源スキャナ105とそれぞれ接続されている。また、画素101 - (1, 1)乃至101 - (N, M)のうちの第M行目の画素101 - (1, M)乃至101 - (N, M)は、走査線WSL10 - Mでライトスキャナ104と、電源線DSL10 - Mで電源スキャナ105とそれぞれ接続されている。画素101 - (1, 1)乃至101 - (N, M)の行方向に並ぶその他の画素101についても同様である。

10

【0022】

また、画素101 - (1, 1)乃至101 - (N, M)のうちの第1列目の画素101 - (1, 1)乃至101 - (1, M)は、映像信号線DTL10 - 1で水平セクタ103と接続されている。画素101 - (1, 1)乃至101 - (N, M)のうちの第N列目の画素101 - (N, 1)乃至101 - (N, M)は、映像信号線DTL10 - Nで水平セクタ103と接続されている。画素101 - (1, 1)乃至101 - (N, M)の列方向に並ぶその他の画素101についても同様である。

【0023】

ライトスキャナ104は、走査線WSL10 - 1乃至10 - Mに水平周期(1H)で順次制御信号を供給して画素101を行単位で線順次走査する。電源スキャナ105は、線順次走査に合わせて電源線DSL10 - 1乃至10 - Mに第1電位(後述するVcc)または第2電位(後述するVss)の電源電圧を供給する。水平セクタ103は、線順次走査に合わせて各水平期間内(1H)で映像信号となる信号電位Vsigと基準電位Vofsとを切換えて列状の映像信号線DTL10 - 1乃至10 - Mに供給する。

20

【0024】

図1のように構成されるELパネル100に、ソースドライバおよびゲートドライバとからなるドライバIC(Integrated Circuit)が付加されることによりパネルモジュールが構成され、さらに、パネルモジュールに、電源回路、画像LSI(Large Scale Integration)などを付加したものが表示装置となる。ELパネル100を含む表示装置は、例えば、携帯電話機、デジタルスチルカメラ、デジタルビデオカメラ、テレビジョン受像機、プリンタ等の表示部として使用することができる。

30

【0025】

図2は、図1に示したELパネル100に含まれるN×M個の画素101のうちの1つの画素101を拡大することにより、画素101の詳細な構成を示したブロック図である。

【0026】

なお、図2において画素101と接続されている走査線WSL10、映像信号線DTL10、および電源線DSL10は、図1から明らかなように、画素101 - (n, m) (n = 1, 2, ..., N, m = 1, 2, ..., M)に対して、走査線WSL10 - (n, m)、映像信号線DTL10 - (n, m)、および電源線DSL10 - (n, m)となる。

40

【0027】

図2に示す画素101の構成は、従来から用いられている構成であり、この構成を有する画素101を画素101aと呼ぶことにする。

【0028】

画素101aは、サンプリング用トランジスタ21、駆動用トランジスタ22、保持容量23、および有機EL素子である発光素子24を含む。ここで、サンプリング用トランジスタ21はNチャンネル型トランジスタであり、駆動用トランジスタ22はPチャンネル型トランジスタである。サンプリング用トランジスタ21のゲートは走査線WSL10に接続し、サンプリング用トランジスタ21のドレインが映像信号線DTL10に接続し、ソ

50

ースが駆動用トランジスタ 22 のゲート g に接続している。

【0029】

駆動用トランジスタ 22 のソース s は電源線 D S L 10 と接続され、ドレイン d は発光素子 24 のアノードと接続されている。保持容量 23 は、駆動用トランジスタ 22 のソース s とゲート g の間に接続されている。また、発光素子 24 のカソードは接地されている。

【0030】

有機 E L 素子は電流発光素子であるため、発光素子 24 に流れる電流値をコントロールすることで、発色の階調を得ることができる。図 2 の画素 101 a では、駆動用トランジスタ 22 のゲート印加電圧を変化させることで、発光素子 24 に流れる電流値をコントロールしている。

10

【0031】

より具体的には、駆動用トランジスタ 22 のソース s は電源線 D S L 10 に接続されており、常に飽和領域で動作するように設計されているので、駆動用トランジスタ 22 は、次式 (1) で表される電流値  $I_{ds}$  を流す定電流源として機能する。

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \quad \dots (1)$$

【0032】

式 (1) において、 $\mu$  は移動度を示し、 $W$  はゲート幅を表し、 $L$  はゲート長を表し、 $C_{ox}$  は単位面積あたりのゲート酸化膜容量を示す。また、 $V_{gs}$  は、駆動用トランジスタ 22 のゲート g とソース s 間の電圧 (ゲートソース間電圧) であり、 $V_{th}$  は、駆動用トランジスタ 22 の閾値電圧である。なお、飽和領域とは、( $V_{gs} - V_{th} < V_{ds}$ ) の条件を満たした状態をいう ( $V_{ds}$  は、駆動用トランジスタ 22 のソース s とドレイン d 間の電圧)。

20

【0033】

図 2 の画素 101 a では、経時劣化により有機 E L 素子の I - V 特性は、図 3 に示すように変化し、駆動用トランジスタ 22 のドレイン電圧は変化するが、駆動用トランジスタ 22 のゲートソース間電圧  $V_{gs}$  を一定に保つことで、発光素子 24 には一定量の電流  $I_{ds}$  が流れる。即ち、電流  $I_{ds}$  と、有機 E L 素子の発光輝度とは比例関係にあるので、輝度自体は経時劣化によってもほぼ変化しない。

30

【0034】

しかしながら、Pチャネル型トランジスタは、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができないため、より安価に画素回路を構成しようとする場合には、Nチャネル型トランジスタで構成する方が望ましい。

【0035】

そこで、図 4 の画素 101 b に示すように、Pチャネル型である駆動用トランジスタ 22 を Nチャネル型の駆動用トランジスタ 25 に代えることが考えられる。

【0036】

すなわち、図 4 の画素 101 b は、図 3 に示した画素 101 a の構成のうち、Pチャネル型の駆動用トランジスタ 22 を Nチャネル型の駆動用トランジスタ 25 に代えた構成を示している。

40

【0037】

図 4 の画素 101 b の構成では、駆動用トランジスタ 25 のソース s が発光素子 24 に接続されてしまうため、有機 E L 素子の経時変化とともに駆動用トランジスタ 25 のゲートソース間電圧  $V_{gs}$  が変化してしまう。これにより、発光素子 24 に流れる電流が変化し、発光輝度は変化してしまう。また、画素 101 b ごとに駆動用トランジスタの閾値電圧  $V_{th}$  および移動度  $\mu$  は異なるため、式 (1) に応じて電流値  $I_{ds}$  にバラツキが生じ、発光輝度も画素ごとに異なることになる。

50

## 【0038】

そこで、有機EL素子の経時劣化、駆動用トランジスタの特性バラツキを防止し、かつ、画素101を構成する素子数が少ない回路として、後述する本発明を適用したELパネルにも採用する図5に示す画素101cの構成が、本出願人により提案されている。

## 【0039】

図5の画素101cは、サンプリング用トランジスタ31、駆動用トランジスタ32、保持容量33、および発光素子34を有する。サンプリング用トランジスタ31のゲートは走査線WSL10と接続され、サンプリング用トランジスタ31のドレインは映像信号線DTL10と接続されるとともに、ソースが駆動用トランジスタ32のゲートgと接続されている。

10

## 【0040】

駆動用トランジスタ32のソースs及びドレインdの一方は発光素子34のアノードに接続され、他方が電源線DSL10に接続される。保持容量33は、駆動用トランジスタ32のゲートgと発光素子34のアノードの間に接続されている。また、発光素子34のカソードは所定の電位Vcatに設定されている配線35に接続されている。

## 【0041】

以上のように構成される画素101cにおいて、サンプリング用トランジスタ31が、走査線WSL10から供給された制御信号に応じてオン（導通）すると、保持容量33は、映像信号線DTL10を介して水平セクタ103から供給された電荷を蓄積して保持する。駆動用トランジスタ32は、第1電位Vccにある電源線DSL10から電流の供給を受け、保持容量33に保持された信号電位Vsigに応じて駆動電流Idsを発光素子34に流す。発光素子34に所定の駆動電流Idsが流れることにより、画素101cが発光する。

20

## 【0042】

画素101cは、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ32の閾値電圧Vthに相当する電圧を保持容量33に保持させる機能であり、これにより、ELパネル100の画素毎のばらつきの原因となる駆動用トランジスタ32の閾値電圧Vthの影響をキャンセルすることができる。

## 【0043】

また、画素101cは、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、保持容量33に信号電位Vsigを保持する際、駆動用トランジスタ32の移動度 $\mu$ に対する補正を信号電位Vsigに加える機能である。

30

## 【0044】

さらに、画素101cは、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ32のソース電位Vsの変動にゲート電位Vgを連動させる機能であり、これにより、駆動用トランジスタ32のゲートgとソースs間の電圧Vgsを一定に維持することが出来る。

## 【0045】

なお、閾値補正機能、移動度補正機能、およびブートストラップ機能については、後述する図10、図14、および図15などでも説明する。

40

## 【0046】

以下では、単に画素101という場合であっても、画素101は、図5に示した画素101cの構成を有しているものとする。

## 【0047】

図6は、画素101の動作を説明するタイミングチャートである。

## 【0048】

図6は、同一の時間軸（図面横方向）に対する走査線WSL10、電源線DSL10、および映像信号線DTL10の電位変化と、それに対応する駆動用トランジスタ32のゲート電位Vg及びソース電位Vsの変化を示している。

## 【0049】

50

図 6 において、時刻  $t_1$  までの期間は、前の水平期間 ( 1 H ) の発光がなされている発光期間  $T_1$  である。

【 0 0 5 0 】

発光期間  $T_1$  が終了した時刻  $t_1$  から時刻  $t_4$  までは、駆動用トランジスタ 3 2 のゲート電位  $V_g$  及びソース電位  $V_s$  を初期化することで閾電圧補正動作の準備を行う閾値補正準備期間  $T_2$  である。

【 0 0 5 1 】

閾値補正準備期間  $T_2$  では、時刻  $t_1$  において、電源スキャナ 1 0 5 が、電源線 D S L 1 0 の電位を高電位である  $V_{cc}$  から低電位である  $V_{ss}$  に切換え、時刻  $t_2$  において、水平セクタ 1 0 3 が、映像信号線 D T L 1 0 の電位を信号電位  $V_{sig}$  から基準電位  $V_{ofs}$  に切換える。次に、時刻  $t_3$  において、ライトスキャナ 1 0 4 が、走査線 W S L 1 0 の電位を高電位に切換え、サンプリング用トランジスタ 3 1 をオンさせる。これにより、駆動用トランジスタ 3 2 のゲート電位  $V_g$  が基準電位  $V_{ofs}$  にリセットされ、且つ、ソース電位  $V_s$  が映像信号線 D T L 1 0 の低電位  $V_{ss}$  にリセットされる。

【 0 0 5 2 】

時刻  $t_4$  から時刻  $t_5$  までは、閾値補正動作を行う閾値補正期間  $T_3$  である。閾値補正期間  $T_3$  では、時刻  $t_4$  において、電源スキャナ 1 0 5 により、電源線 D S L 1 0 の電位が高電位  $V_{cc}$  に切換えられ、閾値電圧  $V_{th}$  に相当する電圧が、駆動用トランジスタ 3 2 のゲート  $g$  とソース  $s$  との間に接続された保持容量 3 3 に書き込まれる。

【 0 0 5 3 】

時刻  $t_5$  から時刻  $t_7$  までの書き込み + 移動度補正準備期間  $T_4$  では、走査線 W S L 1 0 の電位が高電位から低電位一旦切換えられるとともに、時刻  $t_7$  の前の時刻  $t_6$  において、水平セクタ 1 0 3 が、映像信号線 D T L 1 0 の電位を基準電位  $V_{ofs}$  から階調に応じた信号電位  $V_{sig}$  に切換える。

【 0 0 5 4 】

そして、時刻  $t_7$  から時刻  $t_8$  までの書き込み + 移動度補正期間  $T_5$  において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻  $t_7$  から時刻  $t_8$  までの間、走査線 W S L 1 0 の電位が高電位に設定され、これにより、映像信号の信号電位  $V_{sig}$  が閾値電圧  $V_{th}$  に足し込まれる形で保持容量 3 3 に書き込まれると共に、移動度補正用の電圧  $V_{\mu}$  が保持容量 3 3 に保持された電圧から差し引かれる。

【 0 0 5 5 】

書き込み + 移動度補正期間  $T_5$  終了後の時刻  $t_8$  において、走査線 W S L 1 0 の電位が低電位に設定され、それ以降、発光期間  $T_6$  として、信号電圧  $V_{sig}$  に応じた発光輝度で発光素子 3 4 が発光する。信号電圧  $V_{sig}$  は、閾値電圧  $V_{th}$  に相当する電圧と移動度補正用の電圧  $V_{\mu}$  とによって調整されているため、発光素子 3 4 の発光輝度は駆動用トランジスタ 3 2 の閾値電圧  $V_{th}$  や移動度  $\mu$  のばらつきの影響を受けることがない。

【 0 0 5 6 】

なお、発光期間  $T_6$  の最初でブートストラップ動作が行われ、駆動用トランジスタ 3 2 のゲート - ソース間電圧  $V_{gs} = V_{sig} + V_{th} - V_{\mu}$  を一定に維持したまま、駆動用トランジスタ 3 2 のゲート電位  $V_g$  及びソース電位  $V_s$  が上昇する。

【 0 0 5 7 】

また、時刻  $t_8$  から所定時間経過後の時刻  $t_9$  において、映像信号線 D T L 1 0 の電位が、信号電位  $V_{sig}$  から基準電位  $V_{ofs}$  に落とされる。図 6 において、時刻  $t_2$  から時刻  $t_9$  までの期間は水平期間 ( 1 H ) に相当する。

【 0 0 5 8 】

以上のようにして、画素 1 0 1 として画素 1 0 1 c の構成を有する E L パネル 1 0 0 では、駆動用トランジスタ 3 2 の閾値電圧  $V_{th}$  や移動度  $\mu$  のばらつきの影響を受けることがなく、発光素子 3 4 を発光させることができる。

【 0 0 5 9 】

図 7 乃至図 1 5 を参照して、画素 1 0 1 ( 1 0 1 c ) の動作についてさらに詳細に説明

10

20

30

40

50

する。

【0060】

図7は、発光期間 $T_1$ の画素101の状態を示している。

【0061】

発光期間 $T_1$ では、サンプリング用トランジスタ31がオフ（走査線 $WSL10$ の電位が低電位）、かつ電源線 $DSL10$ の電位が高電位 $V_{cc}$ となっており、駆動用トランジスタ32が駆動電流 $I_{ds}$ を発光素子34に供給している。このとき駆動用トランジスタ32は飽和領域で動作するように設定されているため、発光素子34に流れる駆動電流 $I_{ds}$ は、駆動用トランジスタ32のゲートソース間電圧 $V_{gs}$ に応じて式(1)で表される値をとる。

10

【0062】

そして、閾値補正準備期間 $T_2$ の最初の時刻 $t_1$ において、図8に示すように、電源スキャナ105は、電源線 $DSL10$ の電位を高電位 $V_{cc}$ （第1電位）から低電位 $V_{ss}$ （第2電位）に切替える。このとき電源線 $DSL10$ の電位 $V_{ss}$ が発光素子34の閾値電圧 $V_{thel}$ とカソード電位 $V_{cat}$ の和よりも小さければ（ $V_{ss} < V_{thel} + V_{cat}$ ）発光素子34は消光し、駆動用トランジスタ32の電源線 $DSL10$ と接続された側がソース $s$ となる。また、発光素子34のアノードは電位 $V_{ss}$ に充電される。

【0063】

次に、図9に示すように、時刻 $t_2$ において、水平セレクタ103が映像信号線 $DTL10$ の電位を基準電位 $V_{ofs}$ にした後、時刻 $t_3$ において、ライトスキャナ104が、走査線 $WSL10$ の電位を高電位に切替えることより、サンプリング用トランジスタ31をオンにする。これにより、駆動用トランジスタ32のゲート電位 $V_g$ は $V_{ofs}$ となり、ゲートソース間電圧 $V_{gs}$ は、 $V_{ofs} - V_{ss}$ という値をとる。ここで、駆動用トランジスタ32のゲートソース間電圧 $V_{gs}$ である（ $V_{ofs} - V_{ss}$ ）は、次の閾値補正期間 $T_3$ で閾値補正動作を行うため、閾値電圧 $V_{th}$ よりも大である（ $V_{ofs} - V_{ss} > V_{th}$ ）必要がある。逆に言うと、（ $V_{ofs} - V_{ss} > V_{th}$ ）の条件を満たすように、電位 $V_{ofs}$ および $V_{ss}$ が設定される。

20

【0064】

そして、閾値補正期間 $T_3$ の最初の時刻 $t_4$ において、図10に示すように、電源スキャナ105が電源線 $DSL10$ の電位を低電位 $V_{ss}$ から高電位 $V_{cc}$ に切替えると、駆動用トランジスタ32の発光素子34のアノードと接続されている側がソース $s$ となり、図10において1点鎖線で示されるように電流が流れる。

30

【0065】

ここで、発光素子34は等価的にダイオード34Aと寄生容量を $C_{el}$ とする保持容量34Bで表すことができ、発光素子34のリーク電流が駆動用トランジスタ32に流れる電流よりもかなり小さい（ $V_{el} - V_{cat} + V_{thel}$ を満たす）という条件の下では、駆動用トランジスタ32に流れる電流は保持容量33と34Bを充電するために使用される。発光素子34のアノード電位 $V_{el}$ （駆動用トランジスタ32のソース電位 $V_s$ ）は、図11に示されるように、駆動用トランジスタ32を流れる電流に応じて上昇する。所定時間経過後、駆動用トランジスタ32のゲートソース間電圧 $V_{gs}$ が $V_{th}$ という値をとる。また、このときの発光素子34のアノード電位 $V_{el}$ は（ $V_{ofs} - V_{th}$ ）である。ここで、発光素子34のアノード電位 $V_{el}$ は、発光素子34の閾値電圧 $V_{thel}$ とカソード電位 $V_{cat}$ の和以下となっている（ $V_{el} = (V_{ofs} - V_{th}) - (V_{cat} + V_{thel})$ ）。

40

【0066】

その後、時刻 $t_5$ において、図12に示されるように、走査線 $WSL10$ の電位が高電位から低電位に切替えられ、サンプリング用トランジスタ31がオフして閾値補正動作（閾値補正期間 $T_3$ ）が完了する。

【0067】

続く書き込み+移動度補正準備期間 $T_4$ の時刻 $t_6$ において、水平セレクタ103によ

50

て、映像信号線 D T L 1 0 の電位が、基準電位  $V_{ofs}$  から、階調に応じた信号電位  $V_{sig}$  に切換えられた ( 図 1 2 ) 後、書き込み + 移動度補正期間  $T_5$  に入り、図 1 3 に示されるように、時刻  $t_7$  において、走査線 W S L 1 0 の電位が高電位に設定されることでサンプリング用トランジスタ 3 1 がオンして、映像信号の書き込みと移動度補正動作が行われる。駆動用トランジスタ 3 2 のゲート電位  $V_g$  は、サンプリング用トランジスタ 3 1 がオンしているため信号電位  $V_{sig}$  となるが、サンプリング用トランジスタ 3 1 には電源線 D S L 1 0 からの電流が流れるため、駆動用トランジスタ 3 2 のソース電位  $V_s$  は、時間とともに上昇していく。

#### 【 0 0 6 8 】

駆動用トランジスタ 3 2 の閾値補正動作は既に完了している。よって、式 ( 1 ) の右辺の閾値補正の項、即ち  $(V_{sig} - V_{ofs})^2$  の項の影響はなくなるので、駆動用トランジスタ 3 2 が流す電流  $I_{ds}$  は移動度  $\mu$  を反映したものとなる。具体的には、図 1 4 に示されるように、移動度  $\mu$  が大きい場合には、駆動用トランジスタ 3 2 が流す電流  $I_{ds}$  は大きくなり、ソース電位  $V_s$  の上昇も早い。一方、移動度  $\mu$  が小さい場合には、駆動用トランジスタ 3 2 が流す電流  $I_{ds}$  は小さくなり、ソース電位  $V_s$  の上昇は遅くなる。換言すると、一定時間経過時点では、移動度  $\mu$  が大きい場合には、駆動用トランジスタ 3 2 のソース電位  $V_s$  の上昇量  $V_\mu$  ( 電位補正值 ) は大きくなり、移動度  $\mu$  が小さい場合には、駆動用トランジスタ 3 2 のソース電位  $V_s$  の上昇量  $V_\mu$  ( 電位補正值 ) は小さくなる。これによって、各画素 1 0 1 の駆動用トランジスタ 3 2 のゲートソース間電圧  $V_{gs}$  のバラツキが、移動度  $\mu$  を反映して小さくなり、一定時間経過後の各画素 1 0 1 のゲートソース間電圧  $V_{gs}$  は、移動度  $\mu$  のバラツキを完全に補正した電圧となる。

#### 【 0 0 6 9 】

時刻  $t_8$  において、走査線 W S L 1 0 の電位が低電位に設定されることでサンプリング用トランジスタ 3 1 がオフして、書き込み + 移動度補正期間  $T_5$  が終了し、発光期間  $T_6$  となる ( 図 1 5 ) 。

#### 【 0 0 7 0 】

発光期間  $T_6$  では、駆動用トランジスタ 3 2 のゲートソース間電圧  $V_{gs}$  は一定であるので、駆動用トランジスタ 3 2 は一定電流  $I_{ds}'$  を発光素子 3 4 に供給し、発光素子 3 4 のアノード電位  $V_{el}$  は、発光素子 3 4 に一定電流  $I_{ds}'$  という電流が流れる電圧  $V_x$  まで上昇し、発光素子 3 4 は発光する。駆動用トランジスタ 3 2 のソース電位  $V_s$  が上昇すると、保持容量 3 3 のブートストラップ機能により、駆動用トランジスタ 3 2 のゲート電位  $V_g$  も連動して上昇する。

#### 【 0 0 7 1 】

画素 1 0 1 c を採用した画素 1 0 1 においても、発光素子 3 4 は、発光時間が長くなると、 $I - V$  特性は変化する。そのため、図 1 5 に示される B 点の電位も時間とともに変化する。しかしながら、駆動用トランジスタ 3 2 のゲートソース間電圧  $V_{gs}$  は一定値に保たれているので、発光素子 3 4 に流れる電流は変化しない。したがって、発光素子の  $I - V$  特性が経時劣化しても、一定電流  $I_{ds}'$  が流れ続けるので、発光素子 3 4 の輝度が変化することはない。

#### 【 0 0 7 2 】

以上のように、画素 1 0 1 ( 1 0 1 c ) を備える図 5 の E L パネル 1 0 0 においては、閾値補正機能および移動度補正機能によって画素 1 0 1 ごとの閾値電圧  $V_{th}$  及び移動度  $\mu$  の相違を補正することができる。また、発光素子 3 4 の経時変動 ( 劣化 ) も補正することができる。

#### 【 0 0 7 3 】

これにより、図 5 の E L パネル 1 0 0 を用いた表示装置では、高品位な画質を得ることが可能である。

#### 【 0 0 7 4 】

しかしながら、図 5 の E L パネル 1 0 0 の構成を、液晶ディスプレイ ( LCD ) の構成と比較すると、液晶ディスプレイには電源線 D S L 1 0 に相当する制御線がなく、E L パネ

10

20

30

40

50

ル 100 は制御線の数が多いということが言える。

【0075】

そこで、より構成を簡素化し、より低コスト化を図った EL パネルとして、図 16 の EL パネル 200 を示す。

【0076】

即ち、図 16 は、本発明を適用した EL パネルの一実施の形態の構成例を示すブロック図である。なお、図 16 において、図 1 と対応する部分については同一の符号を付してあり、その説明を適宜省略する。

【0077】

図 1 の EL パネル 100 では、各行の画素 101 に対して個別に設けられていた電源線  $DSL10-1$  乃至  $10-M$  に代えて、EL パネル 200 では、全ての画素 101 に対して共通の電源線  $DSL212$  が設けられており、第 1 電位としての高電位  $Vcc$  または第 2 電位としての低電位  $Vss$  の電源電圧が、電源供給部 211 から電源線  $DSL212$  を介して、全ての画素 101 に一律に供給される。すなわち、電源供給部 211 は、画素アレイ部 102 の全ての画素 101 に対して同一の電源電圧制御を行う。

【0078】

EL パネル 200 の電源供給部 211 および電源線 212 以外の構成は、図 1 の EL パネル 100 と同様である。ただし、画素アレイ部 102 の各画素 101 は、図 5 に示した画素 101c の構成を有している。

【0079】

次に、図 17 を参照して、EL パネル 200 で採用される第 1 の駆動制御方式について説明する。図 17 は、電源線  $DSL212$  を介して電源供給部 211 から全ての画素 101 に電源電圧が供給されるタイミングと、各行の画素 101 の発光タイミングを示している。

【0080】

図 17 において、時刻  $t_{21}$  から時刻  $t_{34}$  までの期間が 1 枚の映像を表示するための単位時間（以下、1 フィールド期間（1F）という）であり、そのうちの時刻  $t_{21}$  から時刻  $t_{25}$  までの期間が垂直ブランキング期間（以下、V-ブランキング期間という）である。また、時刻  $t_{25}$  から時刻  $t_{34}$  までの期間は全画素 101 に対して線順次に走査を行う線順次走査期間である。

【0081】

最初に、V-ブランキング期間の時刻  $t_{21}$  において、電源供給部 211 は、電源線  $DSL212$  に供給する電位を高電位  $Vcc$  から低電位  $Vss$  に切替える。なお、時刻  $t_{21}$  においては、走査線  $WSL10-1$  乃至  $10-M$  の各電位および映像信号線  $DTL10-1$  乃至  $10-N$  の各電位は、低電位側に設定されている。

【0082】

そして、時刻  $t_{22}$  において、ライトスキャナ 104 が、供給する電位を走査線  $WSL10-1$  乃至  $10-M$  に対して同時に高電位に切替える。これにより、図 9 を参照して説明したように、駆動用トランジスタ 32 のゲート電位  $Vg$  は  $Vofs$  となり、ソース電位  $Vs$  は  $Vss$  となる。その結果、ゲートソース間電圧  $Vgs$  が駆動用トランジスタ 32 の閾値電圧  $Vth$  よりも大である  $Vofs - Vss (> Vth)$  という値をとることになり、閾値補正を行う前の閾値補正準備動作が行われている。したがって、時刻  $t_{22}$  から時刻  $t_{23}$  までは閾値補正準備期間である。

【0083】

閾値補正の準備が完了すると、時刻  $t_{23}$  において、電源供給部 211 が電源線  $DSL212$  に供給する電位を低電位  $Vss$  から高電位  $Vcc$  に切替えることにより、全画素 101 で同時に閾値補正動作が開始される。すなわち、図 10 を参照して説明したように、発光素子 34 のアノード電位  $Vel$ （駆動用トランジスタ 32 のソース電位）が、駆動用トランジスタ 32 を流れる電流に応じて上昇し、所定時間後には  $(Vofs - Vth)$  に等しくなる。時刻  $t_{24}$  には、走査線  $WSL10-1$  乃至  $10-M$  それぞれに供給する電位が

10

20

30

40

50

、ライトスキャナ 104 により、一斉に低電位に切換えられ、閾値補正動作が終了する。

【0084】

そして、時刻  $t_{25}$  から、画素 101 に対して線順次に映像信号を書き込む線順次走査期間が開始する。

【0085】

すなわち、時刻  $t_{25}$  から時刻  $t_{30}$  までの期間、映像信号線 DTL 10 - 1 乃至 10 - N それぞれの電位が階調に応じた信号電位  $V_{sig}$  に設定され、その間に、ライトスキャナ 104 は、走査線 WSL 10 - 1 乃至 10 - M に対して順番に（線順次に）、供給する電位を  $T_s$  時間だけ高電位に切換える。  $T_s$  時間だけ高電位に切換えられた行の画素 101 の発光素子 34 は発光する。

10

【0086】

なお、走査線 WSL 10 の電位が高電位に設定されるあいだは、図 13 を参照して説明したように、駆動用トランジスタ 32 のソース電位  $V_s$  も上昇していくので、映像信号の書き込みとともに移動度補正も行われている。

【0087】

M 行目の走査線 WSL 10 - M に対する高電位の電源電圧の供給が終了すると、時刻  $t_{30}$  に、映像信号線 DTL 10 - 1 乃至 10 - N それぞれの電位が一斉に基準電位  $V_{ofs}$  に切替えられる。

【0088】

そして、基準電位  $V_{ofs}$  が映像信号線 DTL 10 - 1 乃至 10 - N それぞれに対して供給されている状態で、時刻  $t_{31}$  から、ライトスキャナ 104 は、走査線 WSL 10 - 1 乃至 10 - M に対して順番に（線順次に）、  $T_s$  時間だけ高電位に切替える。  $T_s$  時間だけ高電位に切換えられた行の画素 101 では、駆動用トランジスタ 32 のゲート  $g$  に基準電位  $V_{ofs}$  が供給されることとなり、駆動用トランジスタ 32 のゲートソース間電圧  $V_{gs}$  が閾値電圧  $V_{th}$  以下となって、発光素子 34 が消光する。ここで、発光素子 34 を消光させるためには、駆動用トランジスタ 32 のゲート  $g$  に供給する電位は、必ずしも基準電位  $V_{ofs}$  である必要はなく、発光素子 34 のカソード電位  $V_{cat}$  と発光素子 34 の閾値電圧  $V_{thel}$ 、および駆動用トランジスタ 32 の閾値電圧  $V_{th}$  の和 ( $V_{cat} + V_{thel} + V_{th}$ ) 以下であればよいが、閾値補正の基準電位  $V_{ofs}$  と同一にすることで、制御を簡単にすることができる。

20

30

【0089】

基本制御方式においては、基準電位  $V_{ofs}$  が映像信号線 DTL 10 に供給されている状態でサンプリング用トランジスタ 31 をオンすることで発光素子 34 を消光させ、各行の発光期間を制御している。したがって、発光期間は、信号電位  $V_{sig}$  が映像信号線 DTL 10 に供給されている状態におけるサンプリング用トランジスタ 31 のオフから、基準電位  $V_{ofs}$  が映像信号線 DTL 10 に供給されている状態におけるサンプリング用トランジスタ 31 のオンまでである。なお、発光期間は各行で同一とする必要があるため、最終行の M 行目の映像信号の書き込みは、1 フィールド期間の終了時から発光期間だけ前に行われる必要がある。

【0090】

40

以上のように、電源ラインである電源線 DSL 212 を全画素共通として、V - ブランキング期間内に、閾値補正準備動作と閾値補正動作を全画素で同時に（一斉に）行うことにより、EL パネル 200 の回路を簡素化し、電源制御を容易にすることが可能となるので、パネル全体のコストを低減させることが可能となる。

【0091】

また、V - ブランキング期間内に閾値補正準備動作と閾値補正動作を行うので、発光期間を長く確保することができ、発光素子の長寿命化に貢献する。

【0092】

図 18 は、EL パネル 200 による第 2 の駆動制御方式を示すタイミングチャートである。

50

## 【0093】

閾値補正動作を複数回に分割して実行すると、閾値補正が完了するまでの時間、すなわち、駆動用トランジスタ32のゲートソース間電圧 $V_{gs}$ が $V_{th}$ になるまでの時間が短くなることわかっている。そこで、図18に示される第2の駆動制御方式では、閾値補正動作が2回に分割して実行されている。

## 【0094】

具体的には、図17では、時刻 $t_{23}$ から時刻 $t_{24}$ までの1回の期間で、閾値補正動作が行われていたが、図18では、図17の時刻 $t_{23}$ に対応する時刻 $t_{43}$ から、図17の時刻 $t_{24}$ に対応する時刻 $t_{46}$ までのうち、時刻 $t_{44}$ から時刻 $t_{45}$ の期間、一度、走査線 $WSL_{10-1}$ 乃至 $10-M$ の電位が一斉に低電位に切替えられている。

10

## 【0095】

これにより、閾値補正は、時刻 $t_{43}$ から時刻 $t_{44}$ までの期間と、時刻 $t_{45}$ から時刻 $t_{46}$ までの期間の2回に分割して実行されている。

## 【0096】

したがって、第2の駆動制御方式によれば、上述した第1の駆動制御方式よりも閾値補正にかかる時間を短くし、発光期間を長くすることができる。

## 【0097】

なお、閾値補正は2回に限らず、3回以上に分割して実行しても勿論よい。

## 【0098】

図18の時刻 $t_{41}$ から時刻 $t_{47}$ までの $V$ -ブランキング期間を除く期間は、図17と同様であるので、その説明は省略する。

20

## 【0099】

図17および図18を参照して説明した例では、最終行である $M$ 行目の画素101の発光が開始されるまでは、それ以前に先に発光している他の行の画素101の発光が消えることはなかったが、各行の発光期間を短くし、最終行である $M$ 行目の画素101の発光が開始される前に、それ以前に先に発光している他の行の画素101を消光させたい場合も考えられる。そのような場合には、 $EL$ パネル200は、図19に示すように、駆動制御することができる。

## 【0100】

すなわち、図19は、 $EL$ パネル200による第3の駆動制御方式を示すタイミングチャートである。

30

## 【0101】

図19において、時刻 $t_{61}$ から時刻 $t_{65}$ までの $V$ -ブランキング期間中の動作は、図17を参照して説明した $V$ -ブランキング期間の動作と同様であるので、その説明は省略する。

## 【0102】

線順次走査期間では、信号電位 $V_{sig}$ でサンプリング用トランジスタ31をオンすることで画素101を発光させ、基準電位 $V_{ofs}$ でサンプリング用トランジスタ31をオンすることで画素101を消光させることは、第1および第2の駆動制御方式と同様である。しかしながら、第1および第2の駆動制御方式では、最終行の画素101を発光させるまでは映像信号線 $DTL_{10}$ の電位が基準電位 $V_{ofs}$ とならないため、最終行の画素101の発光が開始されるまでは、それ以前に先に発光している他の行の画素101を消光させることはできなかった。

40

## 【0103】

そこで、第3の駆動制御方式では、水平セクタ103が映像信号線 $DTL_{10}$ に供給する電位を信号電位 $V_{sig}$ と基準電位 $V_{ofs}$ とで短い周期で交互に切替える制御を行う。そして、ライトスキャナ104は、所定の行の画素101を発光させる場合には、映像信号線 $DTL_{10}$ の電位が信号電位 $V_{sig}$ となっているときにサンプリング用トランジスタ31をオンさせ、所定の行の画素101を消光させる場合には、基準電位 $V_{ofs}$ となっているときにサンプリング用トランジスタ31をオンさせるように制御する。また

50

、ライトスキャナ 104 は、各行の画素の発光期間が同一となるように消光タイミングを制御する。

【0104】

線順次走査期間における、その他の制御、例えば、発光素子 34 を消光させるためには、駆動用トランジスタ 32 のゲート g に供給する電位は、必ずしも基準電位  $V_{ofs}$  である必要はなく、発光素子 34 のカソード電位  $V_{cat}$  と発光素子 34 の閾値電圧  $V_{thel}$ 、および駆動用トランジスタ 32 の閾値電圧  $V_{th}$  の和 ( $V_{cat} + V_{thel} + V_{th}$ ) 以下であればよいが、閾値補正の基準電位  $V_{ofs}$  とすることで制御を簡単に行っている点、最終行の M 行目の映像信号書き込みは、1 フィールド期間の終了時から発光期間だけ前に行われる必要がある点などは、図 17 における場合と同様である。

10

【0105】

以上のように、図 16 の EL パネル 200 によれば、電源ラインである電源線  $DSL212$  を全画素共通とすることにより、EL パネル 200 の回路を簡素化し、電源制御を容易にすることが可能となるので、パネル全体のコストを低減させる（パネルの低コスト化を実現する）ことが可能となる。

【0106】

また、V - ブランキング期間内に閾値補正準備動作と閾値補正動作を行うので、発光期間を長く確保することができ、発光素子の長寿命化に貢献する。そして、閾値補正動作を複数回に分割した場合には、閾値補正がより早く完了するので、さらに発光期間を長く確保することができる。

20

【0107】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【図面の簡単な説明】

【0108】

【図 1】基本となる EL パネルの構成例を示すブロック図である。

【図 2】従来の画素の構成例を示したブロック図である。

【図 3】有機 EL 素子の I - V 特性を示す図である。

【図 4】従来の画素の構成例を示したブロック図である。

【図 5】本発明を適用した EL パネルに採用する画素の構成例を示すブロック図である。

30

【図 6】図 6 の画素の動作を説明するタイミングチャートである。

【図 7】図 6 の画素の動作について詳細に説明する図である。

【図 8】図 6 の画素の動作について詳細に説明する図である。

【図 9】図 6 の画素の動作について詳細に説明する図である。

【図 10】図 6 の画素の動作について詳細に説明する図である。

【図 11】図 6 の画素の動作について詳細に説明する図である。

【図 12】図 6 の画素の動作について詳細に説明する図である。

【図 13】図 6 の画素の動作について詳細に説明する図である。

【図 14】図 6 の画素の動作について詳細に説明する図である。

【図 15】図 6 の画素の動作について詳細に説明する図である。

40

【図 16】本発明を適用した EL パネルの一実施の形態の構成例を示すブロック図である。

【図 17】図 16 の EL パネルによる第 1 の駆動制御方式を説明するタイミングチャートである。

【図 18】図 16 の EL パネルによる第 2 の駆動制御方式を説明するタイミングチャートである。

【図 19】図 16 の EL パネルによる第 3 の駆動制御方式を説明するタイミングチャートである。

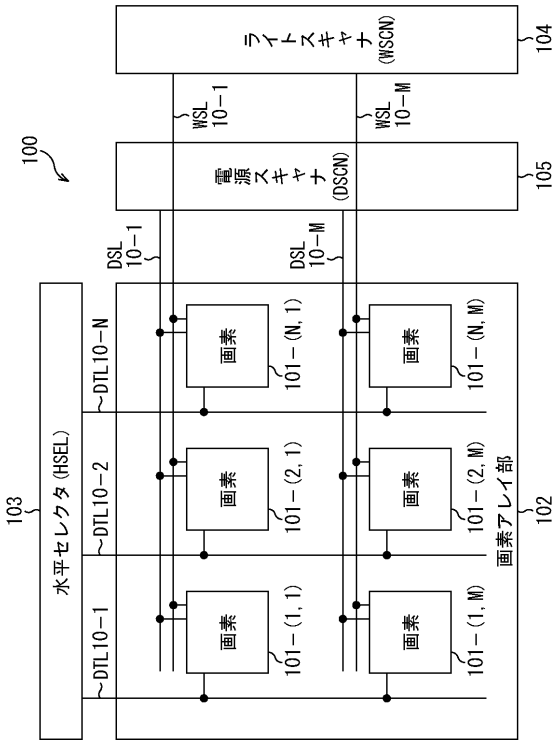
【符号の説明】

【0109】

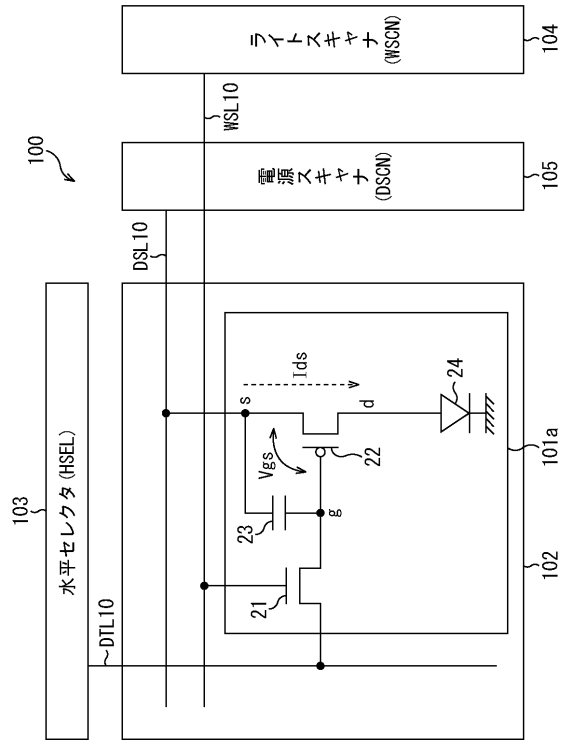
50

3 1 サンプル用トランジスタ, 3 2 駆動用トランジスタ, 3 3 保持容量  
 , 3 4 発光素子, 1 0 1 ( 1 0 1 c ) 画素 ( 画素回路 ), 2 0 0 E L パネル  
 , 2 1 1 電源供給部, 2 1 2 電源線

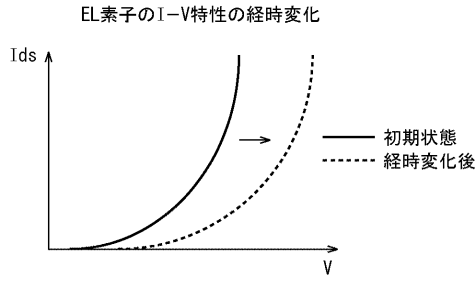
【 図 1 】  
 図1



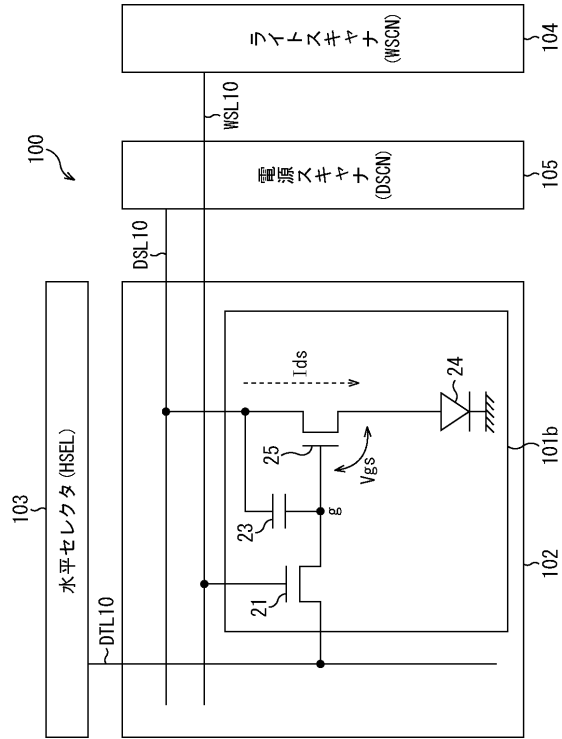
【 図 2 】  
 図2



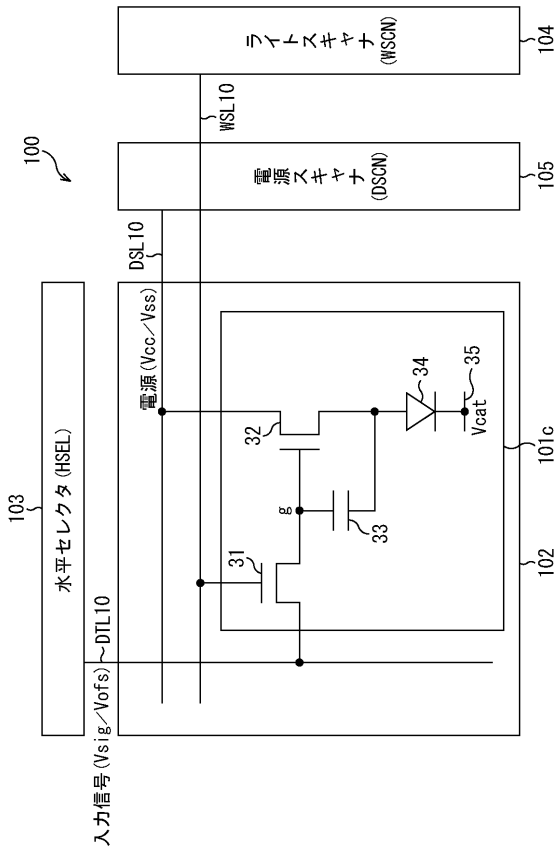
【図3】  
図3



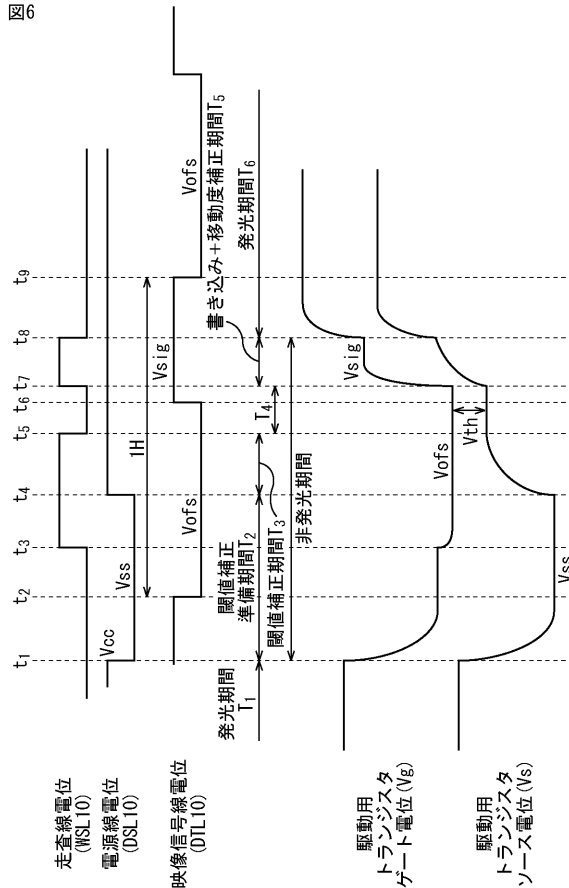
【図4】  
図4



【図5】  
図5

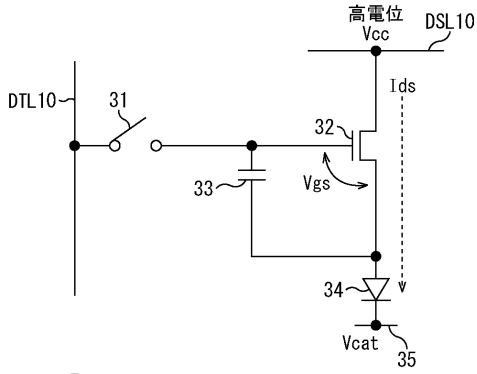


【図6】  
図6



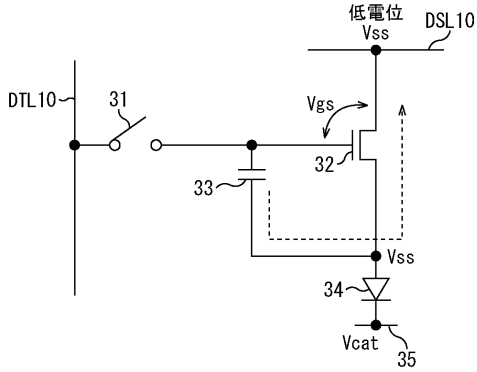
【 図 7 】

図7



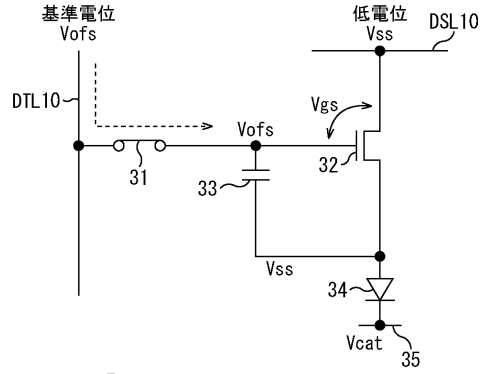
【 図 8 】

図8



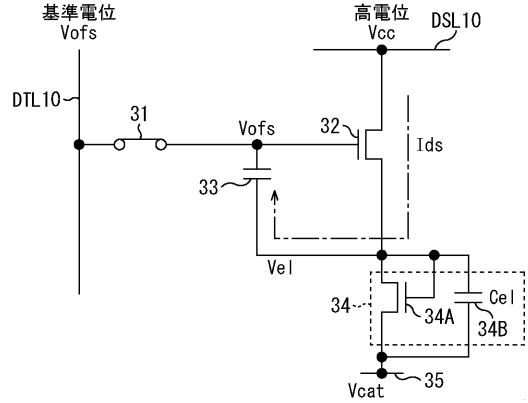
【 図 9 】

図9



【 図 10 】

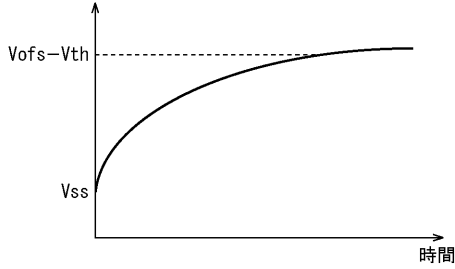
図10



【 図 1 1 】

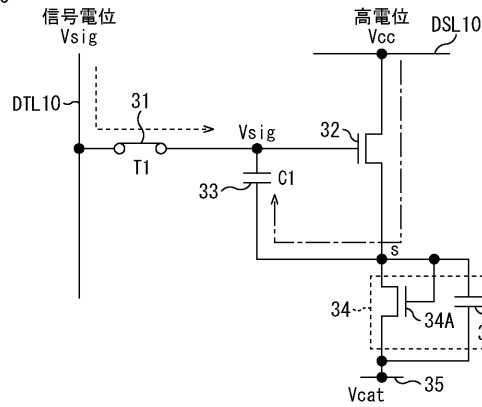
図11

駆動用トランジスタの  
ソース電位  $V_s$



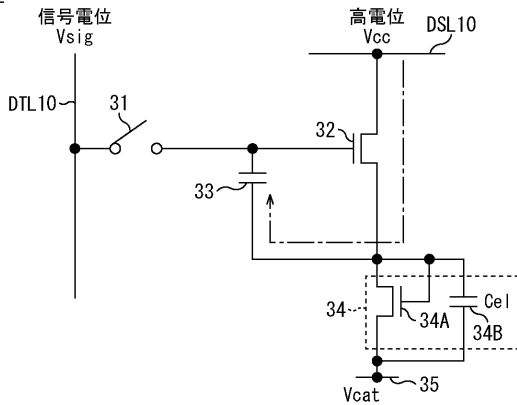
【 図 1 3 】

図13



【 図 1 2 】

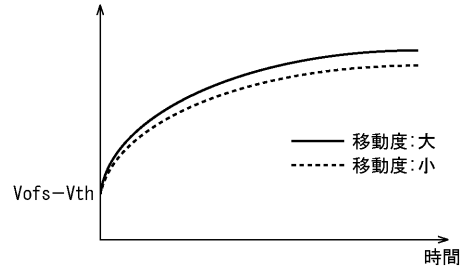
図12



【 図 1 4 】

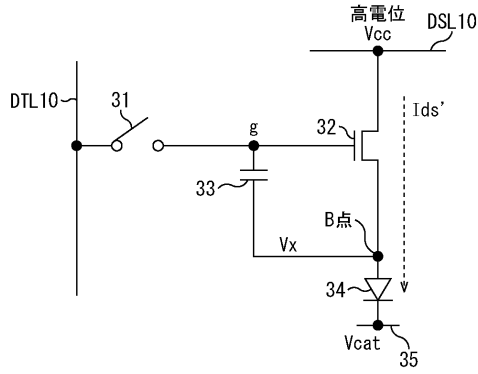
図14

駆動用トランジスタの  
ソース電位  $V_s$



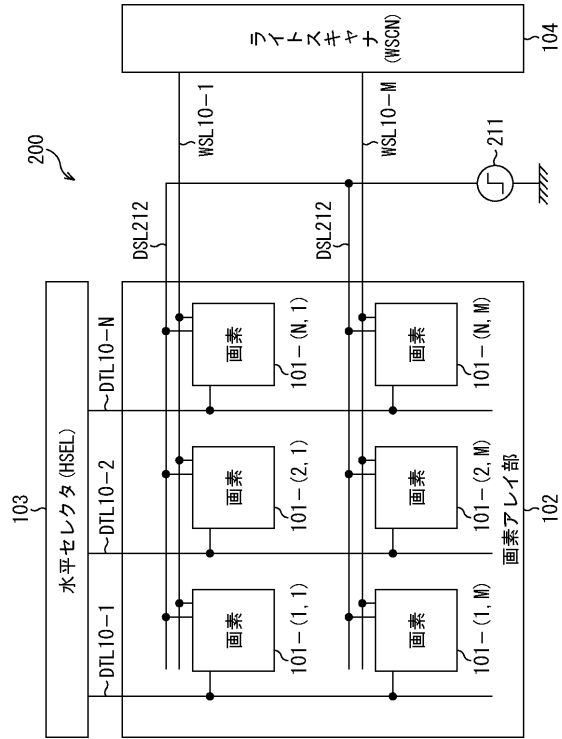
【図15】

図15



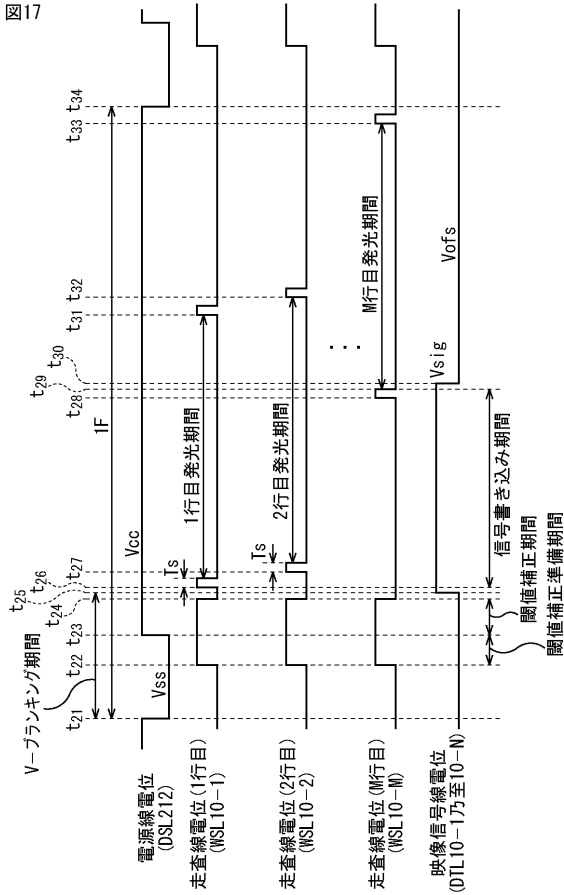
【図16】

図16



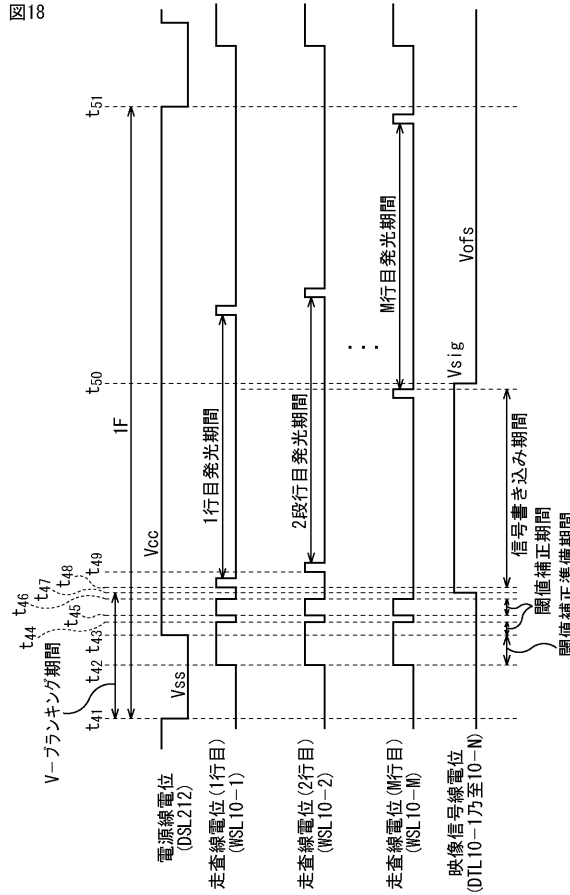
【図17】

図17

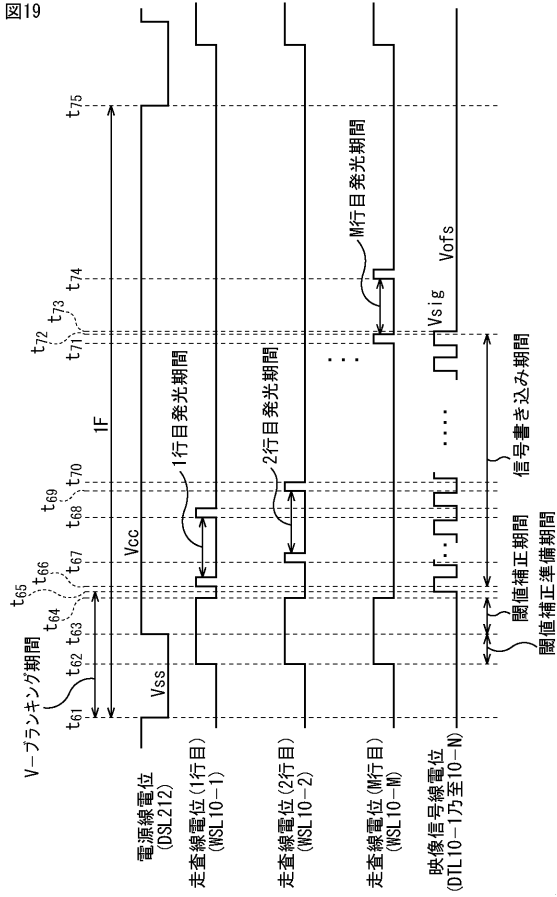


【図18】

図18



【図 19】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 1 2 T
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 7 0 J
H 0 5 B	33/14	A

Fターム(参考) 5C080 AA06 BB05 CC10 DD05 DD27 DD29 EE28 FF03 FF09 FF11  
GG15 JJ02 JJ03 JJ04 JJ05 KK47

专利名称(译)	面板和驱动控制方法		
公开(公告)号	<a href="#">JP2009244665A</a>	公开(公告)日	2009-10-22
申请号	JP2008092184	申请日	2008-03-31
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野胜秀		
发明人	山本 哲郎 内野 胜秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.612.A G09G3/20.612.R G09G3/20.622.D G09G3/20.622.C G09G3/20.641.D G09G3/20.612.T G09G3/20.622.Q G09G3/20.623.C G09G3/20.624.B G09G3/20.611.H G09G3/20.670.J H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC10 5C080/DD05 5C080/DD27 5C080/DD29 5C080/EE28 5C080/FF03 5C080/FF09 5C080/FF11 5C080/GG15 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB46 5C380/AC07 5C380/AC09 5C380/AC11 5C380/BA12 5C380/BA28 5C380/BA32 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD03 5C380/BD07 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD012 5C380/CD022 5C380/CE04 5C380/CE19 5C380/DA02 5C380/DA06 5C380/DA47 5C380/DA49 5C380/HA03 5C380/HA05		
代理人(译)	西川 孝		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题要实现EL面板的成本降低。在V消隐时段中的时间t 21中，电源单元将提供给所有像素共用的电源线DSL 212的电位从高电位V<sub>cc</sub>切换到低电位V<sub>ss</sub>。在时间t 22，写入扫描器同时将提供给扫描线WSL 10-1至10-M的电位切换为高电位。结果，执行阈值校正之前的阈值校正准备操作。在时间t 23时，电源单元在准备阈值校正时将要提供给电源线DSL 212的电位从低电位V<sub>ss</sub>切换到高电位V<sub>cc</sub>，从而EL面板的电位同时，开始阈值校正操作。本发明可以应用于例如EL面板。The 17

