

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-116057

(P2009-116057A)

(43) 公開日 平成21年5月28日(2009.5.28)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 641C	
	G09G 3/20 621A	
	G09G 3/20 612E	

審査請求 有 請求項の数 7 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2007-289309 (P2007-289309)
 (22) 出願日 平成19年11月7日(2007.11.7)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

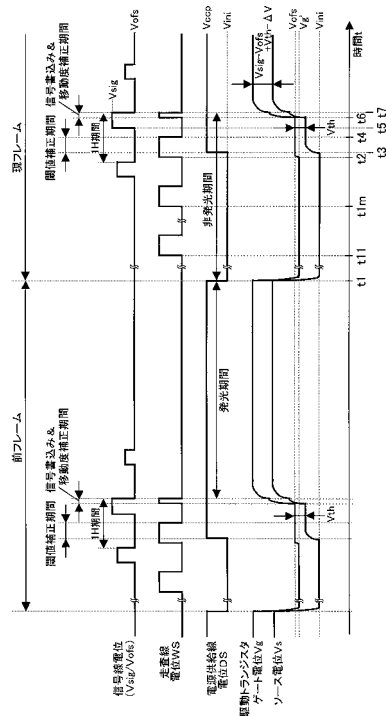
(54) 【発明の名称】 表示装置、表示装置の駆動方法および電子機器

(57) 【要約】

【課題】 発光期間での負バイアスによる書込みトランジスタの V_{th} 特性のデプレッションへのシフトに起因する発光電流の低下を抑制する。

【解決手段】 有機EL素子の非発光期間において、当該有機EL素子を電流駆動する駆動トランジスタに電流が流れていないときに、自画素行の閾値補正期間に先行する少なくとも1H期間、例えば複数H期間で書込みパルスWSをアクティブ(ハイレベル)状態にし、書込みトランジスタのゲート電極に正のバイアス電圧を印加することにより、書込みトランジスタの V_{th} 特性をエンハンスメント側にシフトさせる。

【選択図】 図14



【特許請求の範囲】**【請求項 1】**

電気光学素子と、映像信号を書き込む書込みトランジスタと、前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、前記保持容量に保持された前記映像信号に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の各画素を駆動する駆動部とを備え、

前記駆動部は、

前記電気光学素子の非発光期間において、前記駆動トランジスタのゲート電極の初期化電位を基準として当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタの前記電気光学素子側の電極の電位を変化させる閾値補正処理と、前記駆動トランジスタに流れる電流を当該駆動トランジスタのゲート電極側に負帰還させる移動度補正処理とを順に実行し、

前記駆動トランジスタに電流が流れていないときに、前記書込みトランジスタのゲート電極に正のバイアス電圧を印加する

ことを特徴とする表示装置。

【請求項 2】

前記駆動部は、前記閾値補正処理と前記移動度補正処理とを実行する 1 水平走査期間に先行する少なくとも 1 水平走査期間において前記書込みトランジスタのゲート電極に正のバイアス電圧を印加する

ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記駆動部は、前記閾値補正処理と前記移動度補正処理とを実行する 1 水平走査期間に先行する複数の水平走査期間ごとに間欠的に前記書込みトランジスタのゲート電極に正のバイアス電圧を印加する

ことを特徴とする請求項 2 記載の表示装置。

【請求項 4】

前記初期化電位は、映像信号を供給する信号線を通して選択的に前記画素に供給され、

前記駆動部は、前記信号線の電位が前記初期化電位にあるときに前記書込みトランジスタのゲート電極に正のバイアス電圧を印加する

ことを特徴とする請求項 3 記載の表示装置。

【請求項 5】

前記駆動部は、前記閾値補正処理と前記移動度補正処理とを実行する 1 水平走査期間に先行する複数の水平走査期間に亘って連続的に前記書込みトランジスタのゲート電極に正のバイアス電圧を印加する

ことを特徴とする請求項 2 記載の表示装置。

【請求項 6】

電気光学素子と、映像信号を書き込む書込みトランジスタと、前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、前記保持容量に保持された前記映像信号に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置された画素アレイ部を備えた表示装置の駆動方法であって、

前記電気光学素子の非発光期間において、前記駆動トランジスタのゲート電極の初期化電位を基準として当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタの前記電気光学素子側の電極の電位を変化させる閾値補正処理と、前記駆動トランジスタに流れる電流を当該駆動トランジスタのゲート電極側に負帰還させる移動度補正処理とを順に実行し、

前記駆動トランジスタに電流が流れていないときに、前記書込みトランジスタのゲート電極に正のバイアス電圧を印加する

ことを特徴とする表示装置の駆動方法。

【請求項 7】

10

20

30

40

50

電気光学素子と、映像信号を書き込む書込みトランジスタと、前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、前記保持容量に保持された前記映像信号に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の各画素を駆動する駆動部と

を備えた表示装置を有する電子機器であって、

前記駆動部は、

前記電気光学素子の非発光期間において、前記駆動トランジスタのゲート電極の初期化電位を基準として当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタの前記電気光学素子側の電極の電位を変化させる閾値補正処理と、前記駆動トランジスタに流れる電流を当該駆動トランジスタのゲート電極側に負帰還させる移動度補正処理とを順に実行し、

前記駆動トランジスタに電流が流れていないときに、前記書込みトランジスタのゲート電極に正のバイアス電圧を印加する

ことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、表示装置の駆動方法および電子機器に関し、特に電気光学素子を含む画素が行列状（マトリクス状）に2次元配置された平面型（フラットパネル型）の表示装置、当該表示装置の駆動方法および当該表示装置を有する電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、発光素子を含む画素（画素回路）が行列状に配置されてなる平面型の表示装置が急速に普及している。平面型の表示装置としては、画素の発光素子として、デバイスに流れる電流値に応じて発光輝度に変化するいわゆる電流駆動型の電気光学素子、例えば有機薄膜に電界をかけると発光する現象を利用した有機EL (Electro Luminescence) 素子を用いた有機EL表示装置が開発され、商品化が進められている。

【0003】

有機EL表示装置は次のような特長を持っている。すなわち、有機EL素子は、10V以下の印加電圧で駆動できるために低消費電力である。有機EL素子は、自発光素子であるために、画素ごとに液晶にて光源（バックライト）からの光強度を制御することによって画像を表示する液晶表示装置に比べて、画像の視認性が高く、しかもバックライト等の照明部材を必要としないために軽量化および薄型化が容易である。さらに、有機EL素子の応答速度が数 μ sec程度と非常に高速であるために動画表示時の残像が発生しない。

【0004】

有機EL表示装置では、液晶表示装置と同様に、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。ただし、単純マトリクス方式の表示装置は、構造が簡単であるものの、電気光学素子の発光期間が走査線（即ち、画素数）の増加によって減少するために、大型でかつ高精細な表示装置の実現が難しいなどの問題がある。

【0005】

そのため、近年、電気光学素子に流れる電流を、当該電気光学素子と同じ画素内に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、TFET (Thin Film Transistor; 薄膜トランジスタ)）によって制御するアクティブマトリクス方式の表示装置の開発が盛んに行われている。アクティブマトリクス方式の表示装置は、電気光学素子が1フレームの期間に亘って発光を持続するために、大型でかつ高精細な表示装置の実現が容易である。

【0006】

10

20

30

40

50

ところで、一般的に、有機EL素子のI-V特性(電流-電圧特性)は、時間が経過すると劣化(いわゆる、経時劣化)することが知られている。有機EL素子を電流駆動するトランジスタ(以下、「駆動トランジスタ」と記述する)としてNチャネル型のTFTを用いた画素回路では、駆動トランジスタのソース電極側に有機EL素子が接続されることになるために、有機EL素子のI-V特性が経時劣化すると、駆動トランジスタのゲート-ソース間電圧 V_{gs} が変化し、その結果、有機EL素子の発光輝度も変化する。

【0007】

このことについてより具体的に説明する。駆動トランジスタのソース電位は、駆動トランジスタと有機EL素子の動作点で決まる。そして、有機EL素子のI-V特性が劣化すると、駆動トランジスタと有機EL素子の動作点が変わってしまうために、駆動トランジスタのゲート電極に同じ電圧を印加したとしても駆動トランジスタのソース電位が変化する。これにより、駆動トランジスタのソース-ゲート間電圧 V_{gs} が変化するのために、駆動トランジスタに流れる電流値が変化する。その結果、有機EL素子に流れる電流値も変化するのために、有機EL素子の発光輝度が変化するようになる。

10

【0008】

また、ポリシリコンTFTを用いた画素回路では、有機EL素子のI-V特性の経時劣化に加えて、駆動トランジスタの閾値電圧 V_{th} や、駆動トランジスタのチャネルを構成する半導体薄膜の移動度(以下、「駆動トランジスタの移動度」と記述する) μ が経時的に変化したり、製造プロセスのばらつきによって閾値電圧 V_{th} や移動度 μ のトランジスタ特性が画素ごとに異なったりする(画素個々のトランジスタ特性にばらつきがある)。

20

【0009】

駆動トランジスタの閾値電圧 V_{th} や移動度 μ が画素ごとに異なると、画素ごとに駆動トランジスタに流れる電流値にばらつきが生じるために、駆動トランジスタのゲート電極に画素間で同じ電圧を印加しても、有機EL素子の発光輝度に画素間でばらつきが生じ、その結果、画面のユニフォームリティ(一様性)が損なわれる。

【0010】

そこで、有機EL素子のI-V特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つようにするために、有機EL素子の特性変動に対する補償機能、さらには駆動トランジスタの閾値電圧 V_{th} の変動に対する補正(以下、「閾値補正」と記述する)や、駆動トランジスタの移動度 μ の変動に対する補正(以下、「移動度補正」と記述する)の各補正機能を画素回路の各々に持たせる構成を採っている(例えば、特許文献1参照)。

30

【0011】

このように、画素回路の各々に、有機EL素子の特性変動に対する補償機能および駆動トランジスタの閾値電圧 V_{th} や移動度 μ の変動に対する補正機能を持たせることで、有機EL素子のI-V特性が経時劣化したり、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時変化したりしたとしても、それらの影響を受けることなく、有機EL素子の発光輝度を一定に保つことができるために、有機EL表示装置の表示品質を向上できる。

40

【0012】

【特許文献1】特開2006-133542号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

このように、閾値補正や移動度補正の補正機能を備えた画素の駆動において、発光期間では、映像信号をサンプリングして画素内に書き込む書込みトランジスタ(サンプリングトランジスタとも呼称される)のゲート電極に負のバイアス電圧、例えば-3V程度の電圧が印加されることで、書込みトランジスタは非導通状態となる。

【0014】

一方で、1つの画素列に属する各画素の書込みトランジスタのソース電極が1本の信号

50

線に共通に接続されており、自身の画素行が発光期間にあるときに他の画素行では映像信号の書込みが行われることになるために、信号線の電位により書込みトランジスタの信号線側の電位（ソース電位）が0～6V程度の電位となる。その結果、書込みトランジスタには負バイアスがかかった状態になる。ここに、負バイアスとは、ソース電位に対してゲート電位が負となるバイアス状態を言う。

【0015】

この負バイアスにより、書込みトランジスタの閾値電圧 V_{th} のトランジスタ特性（以下、「書込みトランジスタの V_{th} 特性」と記述する）は、ゲート電極に書込みパルスを印加したときにチャンネルが形成されてソース-ドレイン間に電流が流れるエンハンスメントから、ゲート電極に書込みパルスを印加しない状態でソース-ドレイン間に電流が流れるデプレッションにシフトする。

10

【0016】

書込みトランジスタの V_{th} 特性がデプレッションにシフトすると、移動度補正の動作点がずれ、移動度補正の補正時間が長くなるために（その詳細については後述する）、移動度補正について過補正が行われことになる。その結果、有機EL素子の発光電流が徐々に低下していつてしまう。これは表示パネルの経時的な輝度低下につながるために、発光期間で書込みトランジスタの V_{th} 特性が負バイアスによってデプレッションにシフトすることに対する対策が必要とされている。

【0017】

そこで、本発明は、発光期間での負バイアスによる書込みトランジスタの V_{th} 特性のデプレッションへのシフトに起因する発光電流の低下を抑制することが可能な表示装置、当該表示装置の駆動方法および当該表示装置を用いた電子機器を提供することを目的とする。

20

【課題を解決するための手段】

【0018】

本発明による表示装置は、

電気光学素子と、映像信号を書き込む書込みトランジスタと、前記書込みトランジスタによって書き込まれた前記映像信号を保持する保持容量と、前記保持容量に保持された前記映像信号に基づいて前記電気光学素子を駆動する駆動トランジスタとを含む画素が行列状に配置された画素アレイ部と、

30

前記画素アレイ部の各画素を駆動する駆動部とを備え、

前記駆動部は、

前記電気光学素子の非発光期間において、前記駆動トランジスタのゲート電極の初期化電位を基準として当該初期化電位から前記駆動トランジスタの閾値電圧を減じた電位に向かって、前記駆動トランジスタの前記電気光学素子側の電極の電位を変化させる閾値補正処理と、前記駆動トランジスタに流れる電流を当該駆動トランジスタのゲート電極側に負帰還させる移動度補正処理とを順に実行し、

前記駆動トランジスタに電流が流れていないときに、前記書込みトランジスタのゲート電極に正のバイアス電圧を印加する

構成となっている。

40

【0019】

閾値補正処理と移動度補正処理とを順に実行する構成の表示装置および当該表示装置を有する電子機器において、駆動トランジスタに電流が流れていないときに、書込みトランジスタのゲート電極に正のバイアス電圧を印加することで、書込みトランジスタの V_{th} 特性がエンハンスメント側にシフトする。これにより、発光期間での負バイアスによる書込みトランジスタの V_{th} 特性のデプレッション側へのシフトが抑制されるため、移動度補正の動作点の変動が抑えられる。

【発明の効果】

【0020】

本発明によれば、駆動トランジスタに電流が流れていないときに、書込みトランジスタ

50

のゲート電極に正のバイアス電圧を印加することで、移動度補正の動作点の変動を抑えることができるために、発光期間での負バイアスによる書込みトランジスタの V_{th} 特性のデプレッションへのシフトに起因する発光電流の低下を抑制することができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0022】

[システム構成]

図1は、本発明が適用されるアクティブマトリクス型表示装置の構成の概略を示すシステム構成図である。

10

【0023】

ここでは、一例として、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子(有機電界発光素子)を画素(画素回路)の発光素子として用いたアクティブマトリクス型有機EL表示装置の場合を例に挙げて説明するものとする。

【0024】

図1に示すように、有機EL表示装置10は、発光素子を含む複数の画素(PXLC)20と、当該画素20が行列状(マトリクス状)に2次元配置された画素アレイ部30と、当該画素アレイ部30の周辺に配置され、各画素20を駆動する駆動部とを有する構成となっている。画素20を駆動する駆動部としては、例えば、書込み走査回路40、電源供給走査回路50および信号出力回路60が設けられている。

20

【0025】

ここで、有機EL表示装置10がカラー表示用の表示装置の場合は、1つの画素は複数の副画素(サブピクセル)から構成され、この副画素が画素20に相当することになる。より具体的には、カラー表示用の表示装置では、1つの画素は、赤色光(R)を発光する副画素、緑色光(G)を発光する副画素、青色光(B)を発光する副画素の3つの副画素から構成される。

【0026】

ただし、1つの画素としては、RGBの3原色の副画素の組み合わせに限られるものではなく、3原色の副画素にさらに1色あるいは複数色の副画素を加えて1つの画素を構成することも可能である。より具体的には、例えば、輝度向上のために白色光(W)を発光する副画素を加えて1つの画素を構成したり、色再現範囲を拡大するために補色光を発光する少なくとも1つの副画素を加えて1つの画素を構成したりすることも可能である。

30

【0027】

画素アレイ部30には、 m 行 n 列の画素20の配列に対して、第1の方向(図1では、左右方向/水平方向)に沿って走査線31-1~31- m と電源供給線32-1~32- m とが画素行ごとに配線され、第1の方向と直交する第2の方向(図1では、上下方向/垂直方向)にそって信号線33-1~33- n が画素列ごとに配線されている。

【0028】

走査線31-1~31- m は、書込み走査回路40の対応する行の出力端にそれぞれ接続されている。電源供給線32-1~32- m は、電源供給走査回路50の対応する行の出力端にそれぞれ接続されている。信号線33-1~33- n は、信号出力回路60の対応する列の出力端にそれぞれ接続されている。

40

【0029】

画素アレイ部30は、通常、ガラス基板などの透明絶縁基板上に形成されている。これにより、有機EL表示装置10は、平面型(フラット型)のパネル構造となっている。画素アレイ部30の各画素20の駆動回路は、アモルファスシリコンTFTまたは低温ポリシリコンTFTを用いて形成することができる。低温ポリシリコンTFTを用いる場合には、書込み走査回路40、電源供給走査回路50および信号出力回路60についても、画素アレイ部30を形成する表示パネル(基板)70上に実装することができる。

50

【0030】

書込み走査回路40は、クロックパルス ck に同期してスタートパルス sp を順にシフト(転送)するシフトレジスタ等によって構成され、画素アレイ部30の各画素20への映像信号の書込みに際して、走査線31-1~31-mに順次書込みパルス(走査信号)WS1~WSmを供給することによって画素アレイ部30の各画素20を行単位で順番に走査(線順次走査)する。

【0031】

電源供給走査回路50は、クロックパルス ck に同期してスタートパルス sp を順にシフトするシフトレジスタ等によって構成され、書込み走査回路40による線順次走査に同期して、第1電源電位 $Vccp$ と当該第1電源電位 $Vccp$ よりも低い第2電源電位 $Vini$ で切り替わる電源供給線電位DS1~DSmを電源供給線32-1~32-mに供給することにより、画素20の発光/非発光の制御を行なうとともに、発光素子である有機EL素子に駆動電流を供給する。

10

【0032】

信号出力回路60は、信号供給源(図示せず)から供給される輝度情報に応じた映像信号の信号電圧(以下、単に「信号電圧」と記述する場合もある) $Vsig$ と基準電位 $Vofs$ のいずれか一方を適宜選択し、信号線33-1~33-nを介して画素アレイ部30の各画素20に対して例えば行単位で書き込む。すなわち、信号出力回路60は、映像信号の信号電圧 $Vsig$ を行(ライン)単位で書き込む線順次書き込みの駆動形態を採っている。

20

【0033】

ここで、基準電位 $Vofs$ は、輝度情報に応じた映像信号の信号電圧 $Vsig$ の基準となる電位(例えば、黒レベルに相当する電位)である。また、第2電源電位 $Vini$ は、基準電位 $Vofs$ よりも低い電位、例えば、駆動トランジスタ22の閾値電圧を Vth とするとき $Vofs - Vth$ よりも低い電位、好ましくは $Vofs - Vth$ よりも十分に低い電位に設定される。

【0034】

(画素回路)

図2は、画素(画素回路)20の具体的な構成例を示す回路図である。

【0035】

図2に示すように、画素20は、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子、例えば有機EL素子21と、当該有機EL素子21を駆動する駆動回路とによって構成されている。有機EL素子21は、全ての画素20に対して共通に配線(いわゆる、ベタ配線)された共通電源供給線34にカソード電極が接続されている。

30

【0036】

有機EL素子21を駆動する駆動回路は、駆動トランジスタ22と、書込みトランジスタ23と、保持容量24と、補助容量25とから構成されている。ここでは、駆動トランジスタ22および書込みトランジスタ23としてNチャネル型のTFTを用いている。ただし、駆動トランジスタ22および書込みトランジスタ23の導電型の組み合わせは一例

40

【0037】

なお、駆動トランジスタ22および書込みトランジスタ23としてNチャネル型のTFTを用いると、アモルファスシリコン($a-Si$)プロセスを用いることができる。 $a-Si$ プロセスを用いることで、TFTを作成する基板の低コスト化、ひいては本有機EL表示装置10の低コスト化を図ることが可能になる。また、駆動トランジスタ22および書込みトランジスタ23を同じ導電型の組み合わせにすると、両トランジスタ22, 23を同じプロセスで作成することができるため低コスト化に寄与できる。

【0038】

駆動トランジスタ22は、一方の電極(ソース/ドレイン電極)が有機EL素子21の

50

アノード電極に接続され、他方の電極（ドレイン/ソース電極）が電源供給線 3 2（3 2 - 1 ~ 3 2 - m）に接続されている。

【0039】

書込みトランジスタ 2 3 は、ゲート電極が走査線 3 1（3 1 - 1 ~ 3 1 - m）に接続され、一方の電極（ソース/ドレイン電極）が信号線 3 3（3 3 - 1 ~ 3 3 - n）に接続され、他方の電極（ドレイン/ソース電極）が駆動トランジスタ 2 2 のゲート電極に接続されている。

【0040】

駆動トランジスタ 2 2 および書込みトランジスタ 2 3 において、一方の電極とは、ソース/ドレイン領域に電氣的に接続された金属配線を言い、他方の電極とは、ドレイン/ソース領域に電氣的に接続された金属配線を言う。また、一方の電極と他方の電極との電位関係によって一方の電極がソース電極ともなればドレイン電極ともなり、他方の電極がドレイン電極ともなればソース電極ともなる。

10

【0041】

保持容量 2 4 は、一方の電極が駆動トランジスタ 2 2 のゲート電極に接続され、他方の電極が駆動トランジスタ 2 2 の他方の電極および有機 E L 素子 2 1 のアノード電極に接続されている。

【0042】

補助容量 2 5 は、一方の電極が有機 E L 素子 2 1 のアノード電極に、他方の電極が共通電源供給線 3 4 にそれぞれ接続されている。この補助容量 2 5 は、有機 E L 素子 2 1 の容量不足分を補い、保持容量 2 4 に対する映像信号の書込みゲインを高めるために、必要に応じて設けられるものである。すなわち、補助容量 2 5 は必須の構成要素ではなく、有機 E L 素子 2 1 の容量が十分である場合は省略可能である。

20

【0043】

ここでは、補助容量 2 5 の他方の電極を共通電源供給線 3 4 に接続するとしたが、他方の電極の接続先としては、共通電源供給線 3 4 に限られるものではなく、固定電位のノードであれば、有機 E L 素子 2 1 の容量不足分を補い、保持容量 2 4 に対する映像信号の書込みゲインを高めるといふ所期の目的を達成することができる。

【0044】

上記構成の画素 2 0 において、書込みトランジスタ 2 3 は、書込み走査回路 4 0 から走査線 3 1 を通してゲート電極に印加される高レベルの走査信号 W S に応答して導通状態となることにより、信号線 3 3 を通して信号出力回路 6 0 から供給される輝度情報に応じた映像信号の信号電圧 V s i g または基準電位 V o f s をサンプリングして画素 2 0 内に書き込む。この書き込まれた信号電圧 V s i g または基準電位 V o f s は、駆動トランジスタ 2 2 のゲート電極に印加されるとともに保持容量 2 4 に保持される。

30

【0045】

駆動トランジスタ 2 2 は、電源供給線 3 2（3 2 - 1 ~ 3 2 - m）の電位 D S が第 1 電源電位 V c c p にあるときには、一方の電極がドレイン電極、他方の電極がソース電極となって飽和領域で動作し、電源供給線 3 2 から電流の供給を受けて有機 E L 素子 2 1 を電流駆動にて発光駆動する。より具体的には、駆動トランジスタ 2 2 は、飽和領域で動作することにより、保持容量 2 4 に保持された信号電圧 V s i g の電圧値に応じた電流値の駆動電流（発光電流）を有機 E L 素子 2 1 に供給し、当該有機 E L 素子 2 1 を電流駆動することによって発光させる。

40

【0046】

駆動トランジスタ 2 2 はさらに、電源供給線 3 2（3 2 - 1 ~ 3 2 - m）の電位 D S が第 1 電源電位 V c c p から第 2 電源電位 V i n i に切り替わったときは、一方の電極がソース電極、他方の電極がドレイン電極となってスイッチングトランジスタとして動作し、有機 E L 素子 2 1 への駆動電流の供給を停止し、有機 E L 素子 2 1 を非発光状態にする。すなわち、駆動トランジスタ 2 2 は、有機 E L 素子 2 1 の発光/非発光を制御するトランジスタとしての機能をも併せ持っている。

50

【 0 0 4 7 】

この駆動トランジスタ 2 2 のスイッチング動作により、有機 E L 素子 2 1 が非発光状態となる期間（非発光期間）を設け、有機 E L 素子 2 1 の発光期間と非発光期間の割合（デューティ）を制御するデューティ制御を行なうことで、1 フレーム期間に亘って画素が発光することに伴う残像ボケを低減できる。これにより、特に動画の画品位をより優れたものとすることができる。

【 0 0 4 8 】

（画素構造）

図 3 は、画素 2 0 の断面構造の一例を示す断面図である。図 3 に示すように、画素 2 0 は、駆動トランジスタ 2 2 等を含む駆動回路が形成されたガラス基板 2 0 1 上に絶縁膜 2 0 2、絶縁平坦化膜 2 0 3 およびウインド絶縁膜 2 0 4 がその順に形成され、当該ウインド絶縁膜 2 0 4 の凹部 2 0 4 A に有機 E L 素子 2 1 が設けられた構成となっている。ここでは、駆動回路の各構成素子のうち、駆動トランジスタ 2 2 のみを図示し、他の構成素子については省略して示している。

10

【 0 0 4 9 】

有機 E L 素子 2 1 は、上記ウインド絶縁膜 2 0 4 の凹部 2 0 4 A の底部に形成された金属等からなるアノード電極 2 0 5 と、当該アノード電極 2 0 5 上に形成された有機層（電子輸送層、発光層、ホール輸送層/ホール注入層）2 0 6 と、当該有機層 2 0 6 上に全画素共通に形成された透明導電膜等からなるカソード電極 2 0 7 とから構成されている。

【 0 0 5 0 】

この有機 E L 素子 2 1 において、有機層 2 0 6 は、アノード電極 2 0 5 上にホール輸送層/ホール注入層 2 0 6 1、発光層 2 0 6 2、電子輸送層 2 0 6 3 および電子注入層（図示せず）が順次堆積されることによって形成される。そして、図 2 の駆動トランジスタ 2 2 による電流駆動の下に、駆動トランジスタ 2 2 からアノード電極 2 0 5 を通して有機層 2 0 6 に電流が流れることで、当該有機層 2 0 6 内の発光層 2 0 6 2 において電子と正孔が再結合する際に発光するようになっている。

20

【 0 0 5 1 】

駆動トランジスタ 2 2 は、ゲート電極 2 2 1 と、半導体層 2 2 2 の一方側に設けられたソース/ドレイン領域 2 2 3 と、半導体層 2 2 2 の他方側に設けられたドレイン/ソース領域 2 2 4 と、半導体層 2 2 2 のゲート電極 2 2 1 と対向する部分のチャネル形成領域 2 2 5 とから構成されている。ソース/ドレイン領域 2 2 3 は、コンタクトホールを介して有機 E L 素子 2 1 のアノード電極 2 0 5 と電氣的に接続されている。

30

【 0 0 5 2 】

そして、図 3 に示すように、駆動トランジスタ 2 2 を含む駆動回路が形成されたガラス基板 2 0 1 上に、絶縁膜 2 0 2、絶縁平坦化膜 2 0 3 およびウインド絶縁膜 2 0 4 を介して有機 E L 素子 2 1 が画素単位で形成された後は、パッシベーション膜 2 0 8 を介して封止基板 2 0 9 が接着剤 2 1 0 によって接合され、当該封止基板 2 0 9 によって有機 E L 素子 2 1 が封止されることにより、表示パネル 7 0 が形成される。

【 0 0 5 3 】

（有機 E L 表示装置の基本的な回路動作）

次に、上記構成の画素 2 0 が行列状に 2 次元配置されてなる有機 E L 表示装置 1 0 の基本的な回路動作について、図 4 のタイミング波形図を基に図 5 および図 6 の動作説明図を用いて説明する。

40

【 0 0 5 4 】

なお、図 5 および図 6 の動作説明図では、図面の簡略化のために、書込みトランジスタ 2 3 をスイッチのシンボルで図示している。また、有機 E L 素子 2 1 は容量成分を持っており、当該容量成分と補助容量 2 5 との合成容量を C s u b として図示している。

【 0 0 5 5 】

図 4 のタイミング波形図においては、走査線 3 1（3 1 - 1 ~ 3 1 - m）の電位（走査信号）W S の変化、電源供給線 3 2（3 2 - 1 ~ 3 2 - m）の電位 D S の変化、駆動トラ

50

ンジスタ 22 のゲート電位 V_g およびソース電位 V_s の変化を表している。また、ゲート電位 V_g の波形を一点鎖線で示し、ソース電位 V_s の波形を点線で示すことで、両者を識別できるようにしている。

【0056】

< 前フレームの発光期間 >

図 4 のタイミング波形図において、時刻 t_1 以前は、前のフレームにおける有機 EL 素子 21 の発光期間となる。この発光期間では、電源供給線 32 の電位 D_S が第 1 電源電位（以下、「高電位」と記述する） V_{ccp} にあり、また、書込みトランジスタ 23 が非導通状態にある。

【0057】

このとき、駆動トランジスタ 22 は飽和領域で動作するように設定されているために、図 5 (A) に示すように、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} に応じた駆動電流（ドレイン - ソース間電流） I_{ds} が、電源供給線 32 から駆動トランジスタ 22 を通して有機 EL 素子 21 に供給される。よって、有機 EL 素子 21 が駆動電流 I_{ds} の電流値に応じた輝度で発光する。

【0058】

< 閾値補正準備期間 >

そして、時刻 t_1 になると、線順次走査の新しいフレーム（現フレーム）に入る。そして、図 5 (B) に示すように、電源供給線 32 の電位 D_S が高電位 V_{ccp} から、信号線 33 の基準電位 V_{ofs} に対して $V_{ofs} - V_{th}$ よりも十分に低い第 2 電源電位（以下、「低電位」と記述する） V_{ini} に切り替わる。

【0059】

ここで、有機 EL 素子 21 の閾値電圧を V_{el} 、共通電源供給線 34 の電位を V_{cath} とするとき、低電位 V_{ini} を $V_{ini} < V_{el} + V_{cath}$ とすると、駆動トランジスタ 22 のソース電位 V_s が低電位 V_{ini} にほぼ等しくなるために、有機 EL 素子 21 は逆バイアス状態となって消光する。

【0060】

次に、時刻 t_2 で走査線 31 の電位 W_S が低電位側から高電位側に遷移することで、図 5 (C) に示すように、書込みトランジスタ 23 が導通状態となる。このとき、信号出力回路 60 から信号線 33 に対して基準電位 V_{ofs} が供給されているために、駆動トランジスタ 22 のゲート電位 V_g が基準電位 V_{ofs} になる。また、駆動トランジスタ 22 のソース電位 V_s は、基準電位 V_{ofs} よりも十分に低い電位 V_{ini} にある。

【0061】

このとき、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{ofs} - V_{ini}$ となる。ここで、 $V_{ofs} - V_{ini}$ が駆動トランジスタ 22 の閾値電圧 V_{th} よりも大きくないと、後述する閾値補正処理を行うことができないために、 $V_{ofs} - V_{ini} > V_{th}$ なる電位関係に設定する必要がある。

【0062】

このように、駆動トランジスタ 22 のゲート電位 V_g を基準電位 V_{ofs} に、ソース電位 V_s を低電位 V_{ini} にそれぞれ固定して（確定させて）初期化する処理が、後述する閾値補正処理を行う前の準備（閾値補正準備）の処理である。ここで、基準電位 V_{ofs} および低電位 V_{ini} が、駆動トランジスタ 22 のゲート電位 V_g およびソース電位 V_s の各初期化電位である。

【0063】

< 閾値補正期間 >

次に、時刻 t_3 で、図 5 (D) に示すように、電源供給線 32 の電位 D_S が低電位 V_{ini} から高電位 V_{ccp} に切り替わると、駆動トランジスタ 22 のゲート電位 V_g が保たれた状態で、当該ゲート電位 V_g から駆動トランジスタ 22 の閾値電圧 V_{th} を減じた電位に向かって駆動トランジスタ 22 のソース電位 V_s が上昇を開始する。やがて、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th}

10

20

30

40

50

に収束し、当該閾値電圧 V_{th} に相当する電圧が保持容量 24 に保持される。

【0064】

ここでは、便宜上、駆動トランジスタ 22 のゲート電位 V_g を保った状態で、駆動トランジスタ 22 のゲート電極の初期化電位（基準電位） V_{ofs} を基準として、当該初期化電位 V_{ofs} から駆動トランジスタ 22 の閾値電圧 V_{th} を減じた電位に向かって駆動トランジスタ 22 のソース電位 V_s を変化、具体的には上昇させ、最終的に収束した駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} を駆動トランジスタ 22 の閾値電圧 V_{th} として検出して当該閾値電圧 V_{th} に相当する電圧を保持容量 24 に保持する処理を行なう期間を閾値補正期間と呼んでいる。

【0065】

なお、この閾値補正期間において、電流が専ら保持容量 24 側に流れ、有機 EL 素子 21 側には流れないようにするために、有機 EL 素子 21 がカットオフ状態となるように共通電源供給線 34 の電位 V_{cath} を設定しておくこととする。

【0066】

次に、時刻 t_4 で走査線 31 の電位 W_S が低電位側に遷移することで、図 6 (A) に示すように、書込みトランジスタ 23 が非導通状態となる。このとき、駆動トランジスタ 22 のゲート電極が信号線 33 から電氣的に切り離されることによってフローティング状態になるが、ゲート - ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th} に等しいために、当該駆動トランジスタ 22 はカットオフ状態にある。したがって、駆動トランジスタ 22 にドレイン - ソース間電流 I_{ds} は流れない。

【0067】

<書込み期間 / 移動度補正期間>

次に、時刻 t_5 で、図 6 (B) に示すように、信号線 33 の電位が基準電位 V_{ofs} から映像信号の信号電圧 V_{sig} に切り替わる。続いて、時刻 t_6 で、走査線 31 の電位 W_S が高電位側に遷移することで、図 6 (C) に示すように、書込みトランジスタ 23 が導通状態になって映像信号の信号電圧 V_{sig} をサンプリングして画素 20 内に書き込む。

【0068】

この書込みトランジスタ 23 による信号電圧 V_{sig} の書き込みにより、駆動トランジスタ 22 のゲート電位 V_g が信号電圧 V_{sig} となる。そして、映像信号の信号電圧 V_{sig} による駆動トランジスタ 22 の駆動の際に、当該駆動トランジスタ 22 の閾値電圧 V_{th} が保持容量 24 に保持された閾値電圧 V_{th} に相当する電圧と相殺されることによって閾値補正が行われる。閾値補正の原理の詳細については後述する。

【0069】

このとき、有機 EL 素子 21 は始めカットオフ状態（ハイインピーダンス状態）にあるために、映像信号の信号電圧 V_{sig} に応じて電源供給線 32 から駆動トランジスタ 22 に流れる電流（ドレイン - ソース間電流 I_{ds} ）は有機 EL 素子 21 に並列に接続された合成容量 C_{sub} に流れ込む。よって、合成容量 C_{sub} の充電が開始される。

【0070】

この合成容量 C_{sub} の充電により、駆動トランジスタ 22 のソース電位 V_s が時間の経過と共に上昇していく。このとき既に、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきは補正されており、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} は当該駆動トランジスタ 22 の移動度 μ に依存したものとなる。

【0071】

ここで、書込みゲイン（映像信号の信号電圧 V_{sig} に対する保持容量 24 の保持電圧 V_{gs} の比率）が 1（理想値）であると仮定すると、駆動トランジスタ 22 のソース電位 V_s が $V_{ofs} - V_{th} + V$ の電位まで上昇することで、駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ となる。

【0072】

すなわち、駆動トランジスタ 22 のソース電位 V_s の上昇分 V は、保持容量 24 に保持された電圧（ $V_{sig} - V_{ofs} + V_{th}$ ）から差し引かれるように、換言すれば、保

10

20

30

40

50

持容量 24 の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 V は負帰還の帰還量となる。

【0073】

このように、駆動トランジスタ 22 に流れるドレイン - ソース間電流 I_{ds} を当該駆動トランジスタ 22 のゲート入力に、即ちゲート - ソース間電圧 V_{gs} に負帰還することにより、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} の移動度 μ に対する依存性を打ち消す、即ち移動度 μ の画素ごとのばらつきを補正する移動度補正が行われる。

【0074】

より具体的には、映像信号の信号電圧 V_{sig} が高いほどドレイン - ソース間電流 I_{ds} が大きくなるために、負帰還の帰還量（補正量） V の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正が行われる。

10

【0075】

また、映像信号の信号電圧 V_{sig} を一定とした場合、駆動トランジスタ 22 の移動度 μ が大きいほど負帰還の帰還量 V の絶対値も大きくなるために、画素ごとの移動度 μ のばらつきを取り除くことができる。移動度補正の原理の詳細については後述する。

【0076】

<発光期間>

次に、時刻 t_7 で走査線 31 の電位 W_S が低電位側に遷移することで、図 6 (D) に示すように、書込みトランジスタ 23 が非導通状態となる。これにより、駆動トランジスタ 22 のゲート電極は、信号線 33 から電氣的に切り離されるためにフローティング状態になる。

20

【0077】

ここで、駆動トランジスタ 22 のゲート電極がフローティング状態にあるときは、駆動トランジスタ 22 のゲート - ソース間に保持容量 24 が接続されていることにより、駆動トランジスタ 22 のソース電位 V_s が変動すると、当該ソース電位 V_s の変動に連動して（追従して）駆動トランジスタ 22 のゲート電位 V_g も変動する。このように、駆動トランジスタ 22 のゲート電位 V_g がソース電位 V_s の変動に連動して変動する動作が、保持容量 24 によるブートストラップ動作である。

【0078】

駆動トランジスタ 22 のゲート電極がフローティング状態になり、それと同時に、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} が有機 EL 素子 21 に流れ始めることにより、有機 EL 素子 21 のアノード電位は、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} に応じて上昇する。

30

【0079】

そして、有機 EL 素子 21 のアノード電位が $V_{el} + V_{cath}$ を越えると、有機 EL 素子 21 に駆動電流（発光電流）が流れ始めるために、有機 EL 素子 21 が発光を開始する。また、有機 EL 素子 21 のアノード電位の上昇は、即ち駆動トランジスタ 22 のソース電位 V_s の上昇に他ならない。駆動トランジスタ 22 のソース電位 V_s が上昇すると、保持容量 24 のブートストラップ動作により、駆動トランジスタ 22 のゲート電位 V_g も連動して上昇する。

40

【0080】

このとき、ブートストラップゲインが 1（理想値）であると仮定した場合、ゲート電位 V_g の上昇量はソース電位 V_s の上昇量に等しくなる。故に、発光期間中駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ で一定に保持される。

【0081】

（閾値補正の原理）

ここで、駆動トランジスタ 22 の閾値補正の原理について説明する。駆動トランジスタ 22 は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機 EL 素子 21 には駆動トランジスタ 22 から、次式（1）で与えられる一定

50

のドレイン - ソース間電流 (駆動電流) I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (1)$$

ここで、 W は駆動トランジスタ 22 のチャンネル幅、 L はチャンネル長、 C_{ox} は単位面積当たりのゲート容量である。

【0082】

図 7 に、駆動トランジスタ 22 のドレイン - ソース間電流 I_{ds} 対ゲート - ソース間電圧 V_{gs} の特性を示す。

【0083】

この特性図に示すように、駆動トランジスタ 22 の閾値電圧 V_{th} の画素ごとのばらつきに対する補正を行わないと、閾値電圧 V_{th} が V_{th1} のとき、ゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds1} になる。

10

【0084】

これに対して、閾値電圧 V_{th} が V_{th2} ($V_{th2} > V_{th1}$) のとき、同じゲート - ソース間電圧 V_{gs} に対応するドレイン - ソース間電流 I_{ds} が I_{ds2} ($I_{ds2} < I_{ds1}$) になる。すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} が変動すると、ゲート - ソース間電圧 V_{gs} が一定であってもドレイン - ソース間電流 I_{ds} が変動する。

【0085】

一方、上記構成の画素 (画素回路) 20 では、先述したように、発光時の駆動トランジスタ 22 のゲート - ソース間電圧 V_{gs} が $V_{sig} - V_{ofs} + V_{th} - V$ であるために、これを式 (1) に代入すると、ドレイン - ソース間電流 I_{ds} は、

20

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - V)^2 \quad \dots \dots (2)$$

で表される。

【0086】

すなわち、駆動トランジスタ 22 の閾値電圧 V_{th} の項がキャンセルされており、駆動トランジスタ 22 から有機 EL 素子 21 に供給されるドレイン - ソース間電流 I_{ds} は、駆動トランジスタ 22 の閾値電圧 V_{th} に依存しない。その結果、駆動トランジスタ 22 の製造プロセスのばらつきや経時変化により、駆動トランジスタ 22 の閾値電圧 V_{th} が画素ごとに変動したとしても、ドレイン - ソース間電流 I_{ds} が変動しないために、有機 EL 素子 21 の発光輝度を一定に保つことができる。

30

【0087】

(移動度補正の原理)

次に、駆動トランジスタ 22 の移動度補正の原理について説明する。図 8 に、駆動トランジスタ 22 の移動度 μ が相対的に大きい画素 A と、駆動トランジスタ 22 の移動度 μ が相対的に小さい画素 B とを比較した状態で特性カーブを示す。駆動トランジスタ 22 をポリシリコン薄膜トランジスタなどで構成した場合、画素 A や画素 B のように、画素間で移動度 μ がばらつくことは避けられない。

【0088】

画素 A と画素 B で移動度 μ にばらつきがある状態で、例えば両画素 A , B に同レベルの映像信号の信号電圧 V_{sig} を書き込んだ場合に、何ら移動度 μ の補正を行わないと、移動度 μ の大きい画素 A に流れるドレイン - ソース間電流 I_{ds1} と移動度 μ の小さい画素 B に流れるドレイン - ソース間電流 I_{ds2} との間には大きな差が生じてしまう。このように、移動度 μ の画素ごとのばらつきに起因してドレイン - ソース間電流 I_{ds} に画素間で大きな差が生じると、画面のユニフォームリティが損なわれる。

40

【0089】

ここで、先述した式 (1) のトランジスタ特性式から明らかなように、移動度 μ が大きいとドレイン - ソース間電流 I_{ds} が大きくなる。したがって、負帰還における帰還量 V は移動度 μ が大きくなるほど大きくなる。図 8 に示すように、移動度 μ の大きな画素 A の帰還量 $V1$ は、移動度の小さな画素 B の帰還量 $V2$ に比べて大きい。

【0090】

50

そこで、移動度補正処理によって駆動トランジスタ22のドレイン・ソース間電流 I_{ds} を映像信号の信号電圧 V_{sig} 側に負帰還させることにより、移動度 μ が大きいほど負帰還が大きくなることとなるために、移動度 μ の画素ごとのばらつきを抑制することができる。

【0091】

具体的には、移動度 μ の大きな画素Aで帰還量 V_1 の補正をかけると、ドレイン・ソース間電流 I_{ds} は I_{ds1} から I_{ds1} まで大きく下降する。一方、移動度 μ の小さな画素Bの帰還量 V_2 は小さいために、ドレイン・ソース間電流 I_{ds} は I_{ds2} から I_{ds2} までの下降となり、それ程大きく下降しない。結果的に、画素Aのドレイン・ソース間電流 I_{ds1} と画素Bのドレイン・ソース間電流 I_{ds2} とはほぼ等しくなるために、移動度 μ の画素ごとのばらつきが補正される。

10

【0092】

以上をまとめると、移動度 μ の異なる画素Aと画素Bがあった場合、移動度 μ の大きい画素Aの帰還量 V_1 は移動度 μ の小さい画素Bの帰還量 V_2 に比べて大きくなる。つまり、移動度 μ が大きい画素ほど帰還量 V が大きく、ドレイン・ソース間電流 I_{ds} の減少量が大きくなる。

【0093】

したがって、駆動トランジスタ22のドレイン・ソース間電流 I_{ds} を、映像信号の信号電圧 V_{sig} が印加される駆動トランジスタ22のゲート電極側に負帰還させることにより、移動度 μ の異なる画素のドレイン・ソース間電流 I_{ds} の電流値が均一化される。その結果、移動度 μ の画素ごとのばらつきを補正することができる。すなわち、駆動トランジスタ22に流れる電流(ドレイン・ソース間電流 I_{ds})を、駆動トランジスタ22のゲート電極側に負帰還させる処理が移動度補正処理となる。

20

【0094】

ここで、図2に示した画素(画素回路)20において、閾値補正、移動度補正の有無による映像信号の信号電位(サンプリング電位) V_{sig} と駆動トランジスタ22のドレイン・ソース間電流 I_{ds} との関係について図9を用いて説明する。

【0095】

図9において、(A)は閾値補正および移動度補正を共に行わない場合、(B)は移動度補正を行わず、閾値補正のみを行った場合、(C)は閾値補正および移動度補正を共に行った場合をそれぞれ示している。図9(A)に示すように、閾値補正および移動度補正を共に行わない場合には、閾値電圧 V_{th} および移動度 μ の画素A、Bごとのばらつきに起因してドレイン・ソース間電流 I_{ds} に画素A、B間で大きな差が生じることになる。

30

【0096】

これに対して、閾値補正のみを行った場合は、図9(B)に示すように、当該閾値補正によってドレイン・ソース間電流 I_{ds} のばらつきをある程度低減できるものの、移動度 μ の画素A、Bごとのばらつきに起因する画素A、B間でのドレイン・ソース間電流 I_{ds} の差は残る。

【0097】

そして、閾値補正および移動度補正を共に行うことにより、図9(C)に示すように、閾値電圧 V_{th} および移動度 μ の画素A、Bごとのばらつきに起因する画素A、B間でのドレイン・ソース間電流 I_{ds} の差をほぼ無くすることができるために、どの階調においても有機EL素子21の輝度ばらつきは発生せず、良好な画質の表示画像を得ることができる。

40

【0098】

また、図2に示した画素20は、閾値補正および移動度補正の各補正機能に加えて、先述した保持容量24によるブートストラップ動作の機能を備えていることで、次のような作用効果を得ることができる。

【0099】

すなわち、有機EL素子21のI-V特性が経時変化し、これに伴って駆動トランジス

50

タ 2 2 のソース電位 V_s が変化したとしても、保持容量 2 4 によるブートストラップ動作により、駆動トランジスタ 2 2 のゲート - ソース間電位 V_{gs} を一定に維持することができるために、有機 EL 素子 2 1 に流れる電流は変化せず一定となる。したがって、有機 EL 素子 2 1 の発光輝度も一定に保たれるために、有機 EL 素子 2 1 の $I - V$ 特性が経時変化したとしても、それに伴う輝度劣化のない画像表示を実現できる。

【 0 1 0 0 】

(発光期間での不具合)

ところで、発光期間においては、書込みトランジスタ 2 3 のゲート電極に負のバイアス電圧、例えば - 3 V 程度の電圧が印加されることで、書込みトランジスタ 2 3 は非導通状態となる。また、発光期間では、有機 EL 素子 2 1 に電流が流れているために、有機 EL 素子 2 1 のアノード電位 (駆動トランジスタ 2 2 のソース電位) が一定電位、例えば 5 V 程度まで上昇する。

10

【 0 1 0 1 】

そして、白階調の表示時などでは、白階調の信号電圧 V_{sig} を例えば 5 V とすると、駆動トランジスタ 2 2 のゲート電位は、ソース電位よりもさらに 5 V 高くなり、10 V 程度になる。一方で、自身の画素行が発光期間にあるときに他の画素行では映像信号の信号電圧 V_{sig} の書込みが行われ、このときの信号線 3 3 の電位により書込みトランジスタ 2 3 の信号線 3 3 側の電位 (ソース電位) が 0 ~ 6 V 程度の電位となる。

【 0 1 0 2 】

その結果、書込みトランジスタ 2 3 のゲート電極に - 3 V 程度の電圧が、信号線 3 3 側の電極 (ソース電極) に 0 ~ 6 V 程度の電圧が印加され、書込みトランジスタ 2 3 には負バイアスがかかった状態になるとともに、ゲート - ドレイン間に 13 V 程度の高い電圧が印加された状態になる。

20

【 0 1 0 3 】

この負バイアスにより、書込みトランジスタ 2 3 の閾値電圧 V_{th} が低くなる方向に変動する現象が生じ、書込みトランジスタ 2 3 の V_{th} 特性は、ゲート電極に書込みパルス (走査信号) WS を印加したときにチャネルが形成されてソース - ドレイン間に電流が流れるエンハンスメントから、ゲート電極に書込みパルス WS を印加しない状態でソース - ドレイン間に電流が流れるデプレッションにシフトすることが本願出願人により確認されている。

30

【 0 1 0 4 】

図 1 0 に、負バイアス印加時の閾値電圧 V_{th} の変動特性の一例を示す。図 1 0 において、横軸は書込みトランジスタ 2 3 のゲート電極に負バイアスを印加しているストレス時間を示し、縦軸は閾値電圧 V_{th} の変動量 ΔV_{th} を示している。同図から明らかなように、ストレス時間が長くなるにつれて閾値電圧 V_{th} が低くなることわかる。

【 0 1 0 5 】

一方、移動度補正の最適補正時間 t は、

$$t = C / (k \mu V_{sig}) \quad \dots \dots (3)$$

なる式で与えられる。ここで、定数 k は $k = (1 / 2) (W / L) C_{ox}$ である。また、 C は移動度補正を行うときに放電されるノードの容量であり、図 2 の回路例では有機 EL 素子 2 1 の等価容量、保持容量 2 4 および補助容量 2 5 の合成容量となる。

40

【 0 1 0 6 】

また、移動度補正の補正時間 t は、書込みトランジスタ 2 3 が導通状態から非導通状態に移行するタイミングで決まる。そして、書込みトランジスタ 2 3 は、ゲート電位と信号線 3 3 の電位との間の電位差、即ちゲート・ソース間電圧が閾値電圧 V_{th} になったところでカットオフする、即ち導通状態から非導通状態に移行する。

【 0 1 0 7 】

ところで、出願人は、移動度補正の補正時間 t を映像信号の信号電圧 V_{sig} に反比例するように、即ち信号電圧 V_{sig} が大きいときには補正時間 t が短くなり、信号電圧 V_{sig} が小さいときには補正時間 t が長くなるように設定することで、駆動トランジスタ

50

22のドレイン-ソース間電流 I_{ds} の移動度 μ に対する依存性をより確実に打ち消すことができることを、即ち移動度 μ の画素ごとのバラツキをより確実に補正できることを確認している。

【0108】

このことから、書込みトランジスタ23のゲート電極に印加する書込みパルス WS を、ハイレベルからローレベルに遷移するときの立ち下がり波形（書込みトランジスタ23がPチャンネルのときは立ち上がり波形）が、図11に示すように、映像信号の信号電圧 V_{sig} に対して反比例する波形になるように設定している。

【0109】

書込みパルス WS の立ち下がり波形を、映像信号の信号電圧 V_{sig} に対して反比例するような波形に設定することで、書込みトランジスタ23のゲート-ソース間電圧が閾値電圧 V_{th} になったところで当該書込みトランジスタ23がカットオフするために、移動度補正の補正時間 t を映像信号の信号電圧 V_{sig} に反比例するように設定することができる。

10

【0110】

具体的には、図11の波形図から明らかなように、書込みトランジスタ23は、白レベルに対応した信号電圧 V_{sig} （白）のときは、ゲート-ソース間電圧が V_{sig} （白）+ V_{th} になったところでカットオフするために移動度補正の補正時間 t （白）が一番短く設定され、グレーレベルに対応した信号電圧 V_{sig} （グレー）のときは、ゲート-ソース間電圧が V_{sig} （グレー）+ V_{th} になったところでカットオフするために補正時間 t （グレー）が補正時間 t （白）よりも長く設定されることになる。

20

【0111】

このように、移動度補正の補正時間 t を映像信号の信号電圧 V_{sig} に反比例するように設定することにより、最適な補正時間 t を信号電圧 V_{sig} に対応して設定できるために、黒レベルから白レベルまで信号電圧 V_{sig} の全レベル範囲（全階調）に亘って駆動トランジスタ22のドレイン-ソース間電流 I_{ds} の移動度 μ に対する依存性をより確実に打ち消すことができる、即ち移動度 μ の画素ごとのバラツキをより確実に補正することができる。

【0112】

一方で、先述したように、発光期間で負バイアスにより書込みトランジスタ23の V_{th} 特性がデプレッションにシフトすると、具体的には、図12に示すように、書込みトランジスタ23の閾値電圧 V_{th} が V_{th1} の初期状態からそれよりも低い V_{th2} に変動すると、移動度補正の動作点がずれ、移動度補正の補正時間 t が初期状態の時間 t_1 からそれよりも長い時間 t_2 に変化する。

30

【0113】

そして、移動度補正の補正時間 t が長くなると、移動度補正について過補正が行われることになる。ここで、有機EL素子21の発光電流（駆動電流） I_{ds} は、次式（4）で与えられる。

$$I_{ds} = k\mu [V_{sig} / \{1 + V_{sig}(k\mu/C)t\}]^2 \dots\dots (4)$$

上記の式（4）から明らかなように、移動度補正の補正時間 t が長くなり、過補正が行われると、有機EL素子21の発光電流 I_{ds} が徐々に低下していつてしまうために、表示パネルの経時的な輝度低下を招く要因となる。

40

【0114】

[本実施形態の特徴部分]

そこで、本実施形態に係る有機EL表示装置10では、有機EL素子21の非発光期間において、駆動トランジスタ22に電流が流れていないとき、より具体的には電源供給線32の電位 DS が低電位 V_{ini} にあるときに、書込みトランジスタ23のゲート電極に正のバイアス電圧、即ち映像信号の信号電圧 V_{sig} の最小振幅レベルよりも高いバイアス電圧を印加するようにする。

【0115】

50

具体的には、書込みトランジスタ23のゲート電極には、閾値電圧補正処理を行うときと、信号書込み処理および移動度補正処理を行うときに、書込み走査回路40から走査線31(31-1~31-m)を介して書込みパルスWSが印加される訳であるが、この書込みパルスWSを非発光期間において、駆動トランジスタ22に電流が流れていないときにも書込みトランジスタ23のゲート電極に印加するようにする。

【0116】

一般的に、トランジスタにおいて、正のゲートバイアスでは V_{th} 特性はエンハンスメント側にシフトする。図13に、正バイアス印加時の閾値電圧 V_{th} の変動特性の一例を示す。図13において、横軸は書込みトランジスタ23のゲート電極に正バイアスを印加しているストレス時間を示し、縦軸は閾値電圧 V_{th} の変動量 ΔV_{th} を示している。

10

【0117】

図13から明らかなように、書込みトランジスタ23のゲート電極に正バイアスを印加しているストレス時間が長ければ長いほど閾値電圧 V_{th} が増大する方向に変化し、書込みトランジスタ23の V_{th} 特性がエンハンスメント側にシフトすることがわかる。

【0118】

このように、有機EL素子21の非発光期間において、駆動トランジスタ22に電流が流れていないとき、より具体的には電源供給線32の電位DSが低電位 V_{ini} にあるときに、書込みトランジスタ23のゲート電極に正のバイアス電圧を印加することにより、書込みトランジスタ23の V_{th} 特性をエンハンスメント側にシフトさせることができる。

20

【0119】

ここで、書込みトランジスタ23のゲート電極に正のバイアス電圧を印加する、具体的には書込みパルスWSを印加することで、書込みトランジスタ23が導通状態になり、駆動トランジスタ22のゲート電位が書き換えられることになるが、駆動トランジスタ22には電流が流れていないために有機EL素子21は非発光状態のままである。

【0120】

すなわち、駆動トランジスタ22に電流が流れていないときに、書込みトランジスタ23のゲート電極に正のバイアス電圧を印加し、書込みトランジスタ23の V_{th} 特性をエンハンスメント側にシフトさせる動作は、有機EL素子21の発光/非発光の動作には何ら影響を及ぼすことはない。

【0121】

そして、非発光期間において、書込みトランジスタ23の V_{th} 特性をエンハンスメント側にシフトさせることにより、発光期間での負バイアスによる書込みトランジスタ23の V_{th} 特性のデプレッション側へのシフトを抑制することができる、好ましくは相殺することができる。

30

【0122】

これにより、移動度補正の動作点の変動を抑えることができるために、最適な補正時間 t にて移動度補正を行うことができる。その結果、発光期間での負バイアスによる書込みトランジスタ23の V_{th} 特性のデプレッションへのシフトに起因する有機EL素子21の発光電流の低下を抑制することができるために、表示パネル70の経時的な輝度低下を抑えることができる。

40

【0123】

この書込みトランジスタ23のゲート電極に正のバイアス電圧を印加することによる V_{th} 特性のデプレッションへのシフト効果を上げるためには、正のバイアス電圧、具体的には書込みパルスSWの波高値を、書込みトランジスタ23の耐圧の範囲内で可能な限り大きな値に設定することが望ましい。

【0124】

以下に、非発光期間において、駆動トランジスタ22に電流が流れていないときに、書込みトランジスタ23のゲート電極に正のバイアス電圧を印加するための具体的な実施例について説明する。

【0125】

50

(実施例 1)

図 1 4 は、実施例 1 に係る駆動方法による回路動作の説明に供するタイミング波形図である。

【0126】

図 1 4 のタイミング波形図に示すように、時刻 t_1 で新しいフレーム（現フレーム）に入り、時刻 t_2 で駆動トランジスタ 2 2 のゲート電位 V_g を基準電位 V_{ofs} に、ソース電位 V_s を低電位 V_{ini} にそれぞれ初期化する処理が行われた後時刻 $t_3 - t_4$ の期間で閾値補正処理が行われ、その後時刻 $t_6 - t_7$ の期間で映像信号の信号電圧 V_{sig} の書込み処理および移動度補正処理が行われる一連の処理については、先述した基本的な回路動作の場合と同じである。

【0127】

この一連の処理に加えて、実施例 1 に係る駆動法では、閾値補正処理に入る前の非発光期間であって、駆動トランジスタ 2 2 に電流が流れていないときに、自画素行の閾値補正期間に先行する少なくとも 1 H 期間、例えば複数 H 期間において、時刻 t_{11}, \dots, t_{1m} で他の画素行の閾値補正処理（駆動トランジスタ 2 2 のゲート電位の初期化処理を含む）に同期して書込みトランジスタ 2 3 のゲート電極に正のバイアス電圧を印加する、具体的には書込みパルス WS をアクティブ（ハイレベル）状態にするようにしている。

【0128】

ここで、書込みトランジスタ 2 3 のゲート電極に正のバイアス電圧を印加するに当たっては、複数 H 期間において、信号線 3 3 の電位が基準電位 V_{ofs} にあるときに各 H 期間ごとに間欠的に書込みパルス WS をアクティブ状態にするのが望ましい。その理由について以下に説明する。

【0129】

すなわち、書込みパルス WS を複数回アクティブ状態にすると、同タイミングにて一本の信号線 3 3 に対して複数の画素行の書込みトランジスタ 2 3 が導通状態になるために、信号線 3 3 の容量が増加してしまう。この容量増加に伴い、信号線 3 3 の過渡応答が悪化してしまう。

【0130】

特に、他の画素行において、映像信号の信号電圧 V_{sig} を書き込むときは、信号線 3 3 の過渡応答が悪化すると、信号電圧 V_{sig} の書込みが完了する前に信号書込み期間が終了してしまい、信号電圧 V_{sig} を十分に書き込めないために、画質低下や輝度低下の原因となってしまう。このような理由から、複数 H 期間において、信号線 3 3 の電位が基準電位 V_{ofs} にあるときに書込みパルス WS をアクティブ状態にするのが望ましい。

【0131】

(実施例 2)

図 1 5 は、実施例 2 に係る駆動方法による回路動作の説明に供するタイミング波形図である。

【0132】

実施例 1 では、複数 H 期間において各 H 期間ごとに間欠的に、書込みパルス WS をアクティブ状態にして、書込みトランジスタ 2 3 のゲート電極に正のバイアス電圧を印加するようにしている。これに対して、本実施例 2 では、時刻 t_{11} から閾値補正処理に当たって駆動トランジスタ 2 2 のゲート電位の初期化処理に入る直前の時刻 t_{1n} までの複数 H 期間に亘って連続的に書込みパルス WS をアクティブ状態にし、書込みトランジスタ 2 3 のゲート電極に正のバイアス電圧を印加するようにしている。

【0133】

このように、複数 H 期間に亘って連続的に書込みパルス WS をアクティブ状態にするようにした場合、先述したように、信号線 3 3 の過渡応答が悪化するものの、書込みトランジスタ 2 3 のゲート電極に正のバイアス電圧を印加する時間を、書込みパルス WS を間欠的にアクティブ状態にする実施例 1 の場合に比べて長く確保することができるために、書込みトランジスタ 2 3 のゲート電極に正のバイアス電圧を印加することによる V_{th} 特性

10

20

30

40

50

のデプレッションへのシフト効果は大きい。

【0134】

[変形例]

上記実施形態では、閾値補正処理を1回だけ実行する駆動法を採る場合に適用した例について説明したが、本発明はこれに限られるものではなく、閾値補正処理を移動度補正および信号書込み処理と共に行う1水平走査期間に加えて、当該1水平走査期間に先行する複数の水平走査期間に分割して複数回実行する、いわゆる分割V_{th}補正を行う駆動法を採る場合にも同様に適用可能である。

【0135】

このように、移動度補正および信号書込みを行う1水平走査期間と、当該1水平走査期間に先行する複数の水平走査期間に分割して閾値補正期間を設けることにより、高精細化に伴う多画素化によって1水平走査期間に割り当てられる時間が短くなったとしても、閾値補正期間として十分な時間を確保することができるために、駆動トランジスタ22の閾値電圧V_{th}を確実に検出して保持容量24に保持することができ、よって閾値補正処理を確実に行うことができる。

10

【0136】

そして、分割V_{th}補正を行う駆動法を採る場合においても、駆動トランジスタ22に電流が流れていないときに、書込みトランジスタ23のゲート電極に正のバイアス電圧を印加することで、発光期間での負バイアスによる書込みトランジスタ23のV_{th}特性のデプレッションへのシフトに起因する発光電流の低下を抑制することができるために、表示パネル70の経時的な輝度低下を抑えることができる。

20

【0137】

また、上記実施形態では、書込みトランジスタ23としてNチャネル型のトランジスタを用いていることによって書込みパルスWSのハイレベルがアクティブとなることから、駆動トランジスタ22に電流が流れていないときに、書込みトランジスタ23のゲート電極に正のバイアス電圧を印加するとしたが、書込みトランジスタ23としてPチャネル型のトランジスタを用いた画素回路の場合には、書込みトランジスタ23のゲート電極に負のバイアス電圧を印加するようによい。すなわち、書込みトランジスタ23を非導通状態にするときのバイアス電圧と逆極性のバイアス電圧を印加するようによい。

30

【0138】

さらに、上記実施形態では、駆動トランジスタ22に供給する電源電位DSを第1電位V_{ccp}と第2電位V_{ini}で切り替え可能な構成とし、当該電源電位DSの切り替えによって有機EL素子21の発光/非発光を制御するトランジスタと、駆動トランジスタ22のソース電位Vsを初期化するトランジスタを省略し、さらに、駆動トランジスタ22のゲート電位V_gに与える基準電位V_{ofs}を映像信号の信号電圧V_{sig}と同じ信号線33から供給する構成を採ることで、駆動トランジスタ22のゲート電位V_gを初期化するトランジスタを省略した構成の有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。

【0139】

すなわち、駆動トランジスタ22および書込みトランジスタ23に加えて、有機EL素子21の発光/非発光を制御するトランジスタを有したり、駆動トランジスタ22のソース電位Vsを初期化するトランジスタを有したり、駆動トランジスタ22のゲート電位V_gを初期化するトランジスタを有したりする構成の画素を持つ有機EL表示装置にも同様に適用可能である。

40

【0140】

また、上記実施形態では、画素回路20の電気光学素子として、有機EL素子を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではない。具体的には、無機EL素子、LED素子、半導体レーザー素子など、デバイスに流れる電流値に応じて発光輝度が変化する電流駆動型の電気光学素子(発光素子)を用いた表示装置全般に対して適用可能である。

50

【 0 1 4 1 】

[適用例]

以上説明した本発明による表示装置は、一例として、図 1 6 ~ 図 2 0 に示す様々な電子機器、例えば、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラなど、電子機器に入力された映像信号、若しくは、電子機器内で生成した映像信号を、画像若しくは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【 0 1 4 2 】

このように、あらゆる分野の電子機器の表示装置として本発明による表示装置を用いることにより、先述した実施形態の説明から明らかなように、本発明による表示装置は、発光期間での負バイアスによる書込みトランジスタの V_{th} 特性のデプレッションへのシフトに起因する発光電流の低下を抑制し、表示パネルの経時的な輝度低下を抑えることができるために、各種の電子機器において、高品位な画像表示を行うことができる。

10

【 0 1 4 3 】

なお、本発明による表示装置は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部 3 0 に透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。この透明な対向部には、カラーフィルタ、保護膜等、更には、上記した遮光膜が設けられてもよい。尚、表示モジュールには、外部から画素アレイ部への信号等を入出力するための回路部や F P C (フレキシブルプリントサーキット) 等が設けられていてもよい。

20

【 0 1 4 4 】

以下に、本発明が適用される電子機器の具体例について説明する。

【 0 1 4 5 】

図 1 6 は、本発明が適用されるテレビジョンセットの外観を示す斜視図である。本適用例に係るテレビジョンセットは、フロントパネル 1 0 2 やフィルターガラス 1 0 3 等から構成される映像表示画面部 1 0 1 を含み、その映像表示画面部 1 0 1 として本発明による表示装置を用いることにより作成される。

【 0 1 4 6 】

図 1 7 は、本発明が適用されるデジタルカメラの外観を示す斜視図であり、(A) は表側から見た斜視図、(B) は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部 1 1 1、表示部 1 1 2、メニュースイッチ 1 1 3、シャッターボタン 1 1 4 等を含み、その表示部 1 1 2 として本発明による表示装置を用いることにより作製される。

30

【 0 1 4 7 】

図 1 8 は、本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体 1 2 1 に、文字等を入力するとき操作されるキーボード 1 2 2、画像を表示する表示部 1 2 3 等を含み、その表示部 1 2 3 として本発明による表示装置を用いることにより作製される。

【 0 1 4 8 】

図 1 9 は、本発明が適用されるビデオカメラの外観を示す斜視図である。本適用例に係るビデオカメラは、本体部 1 3 1、前方を向いた側面に被写体撮影用のレンズ 1 3 2、撮影時のスタート/ストップスイッチ 1 3 3、表示部 1 3 4 等を含み、その表示部 1 3 4 として本発明による表示装置を用いることにより作製される。

40

【 0 1 4 9 】

図 2 0 は、本発明が適用される携帯端末装置、例えば携帯電話機を示す外観図であり、(A) は開いた状態での正面図、(B) はその側面図、(C) は閉じた状態での正面図、(D) は左側面図、(E) は右側面図、(F) は上面図、(G) は下面図である。本適用例に係る携帯電話機は、上側筐体 1 4 1、下側筐体 1 4 2、連結部(ここではヒンジ部) 1 4 3、ディスプレイ 1 4 4、サブディスプレイ 1 4 5、ピクチャーライト 1 4 6、カメラ 1 4 7 等を含み、そのディスプレイ 1 4 4 やサブディスプレイ 1 4 5 として本発明によ

50

る表示装置を用いることにより作製される。

【図面の簡単な説明】

【0150】

【図1】本発明が適用される有機EL表示装置の構成の概略を示すシステム構成図である。

【図2】画素（画素回路）の具体的な構成例を示す回路図である。

【図3】画素の断面構造の一例を示す断面図である。

【図4】本発明が適用される有機EL表示装置の基本的な回路動作の説明に供するタイミング波形図である。

【図5】基本的な回路動作の説明図（その1）である。

10

【図6】基本的な回路動作の説明図（その2）である。

【図7】駆動トランジスタの閾値電圧 V_{th} のばらつきに起因する課題の説明に供する特性図である。

【図8】駆動トランジスタの移動度 μ のばらつきに起因する課題の説明に供する特性図である。

【図9】閾値補正、移動度補正の有無による映像信号の信号電圧 V_{sig} と駆動トランジスタのドレイン・ソース間電流 I_{ds} との関係の説明に供する特性図である。

【図10】負バイアス印加時の閾値電圧 V_{th} の変動特性の一例を示す図である。

【図11】書込みパルス WS の立ち上がり波形と移動度補正の最適な補正時間 t との関係を示す波形図である。

20

【図12】発光期間での負バイアスによる書込みトランジスタの V_{th} 特性のデプレッションへのシフトに起因する不具合の説明に供する波形図である。

【図13】正バイアス印加時の閾値電圧 V_{th} の変動特性の一例を示す図である。

【図14】実施例1に係る駆動方法による回路動作の説明に供するタイミング波形図である。

【図15】実施例2に係る駆動方法による回路動作の説明に供するタイミング波形図である。

【図16】本発明が適用されるテレビジョンセットの外観を示す斜視図である。

【図17】本発明が適用されるデジタルカメラの外観を示す斜視図であり、（A）は表側から見た斜視図、（B）は裏側から見た斜視図である。

30

【図18】本発明が適用されるノート型パーソナルコンピュータの外観を示す斜視図である。

【図19】本発明が適用されるビデオカメラの外観を示す斜視図である。

【図20】本発明が適用される携帯電話機を示す外観図であり、（A）は開いた状態での正面図、（B）はその側面図、（C）は閉じた状態での正面図、（D）は左側面図、（E）は右側面図、（F）は上面図、（G）は下面図である。

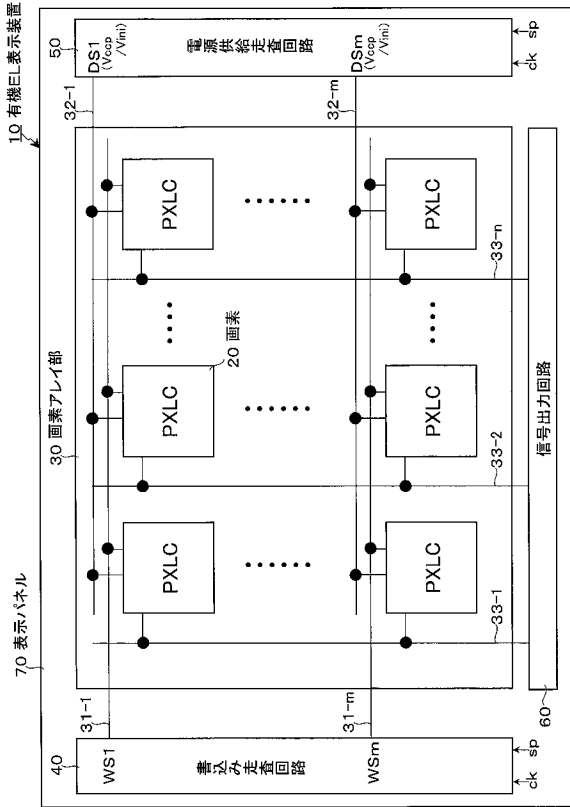
【符号の説明】

【0151】

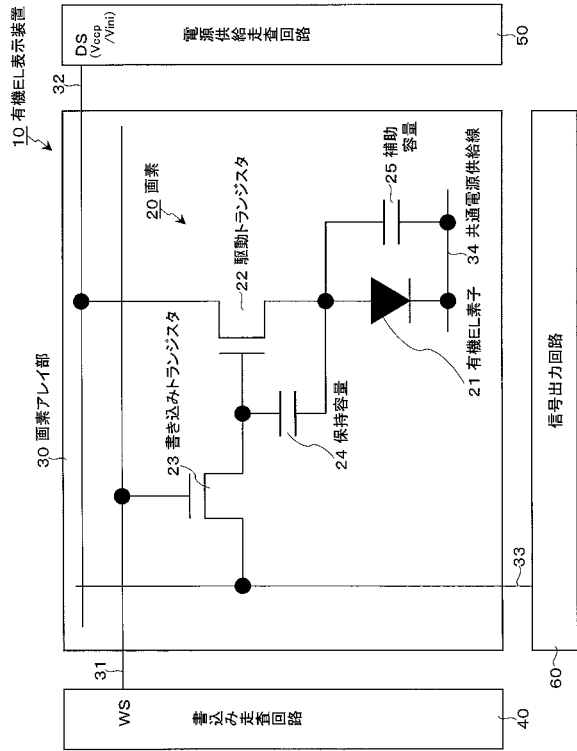
10...有機EL表示装置、20...画素（画素回路）、21...有機EL素子、22...駆動トランジスタ、23...書込みトランジスタ、24...保持容量、25...補助容量、30...画素アレイ部、31（31-1～31-m）...走査線、32（32-1～32-m）...電源供給線、33（33-1～33-n）...信号線、34...共通電源供給線、40...書込み走査回路、50...電源供給走査回路、60...信号出力回路、70...表示パネル

40

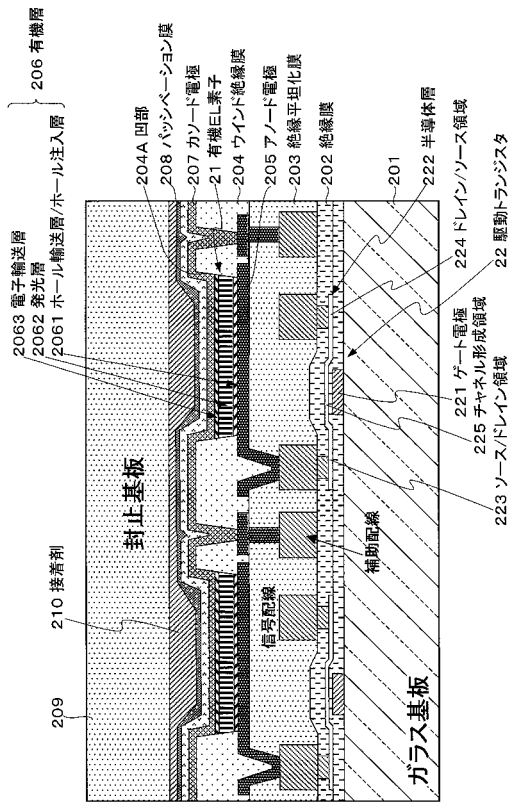
【図1】



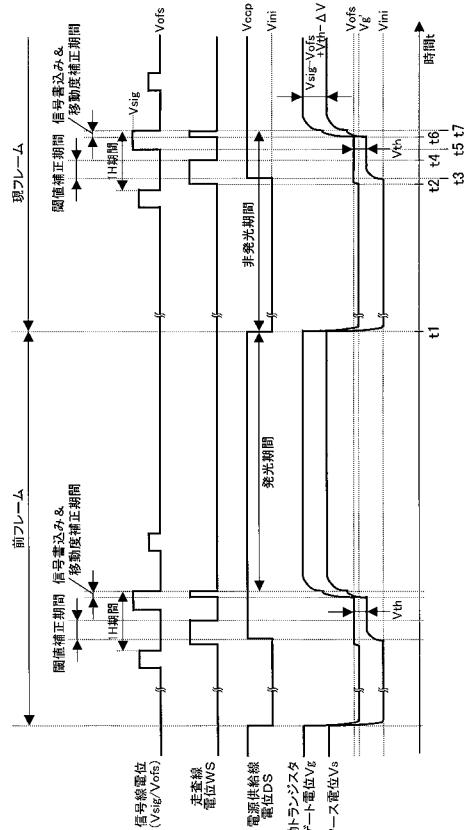
【図2】



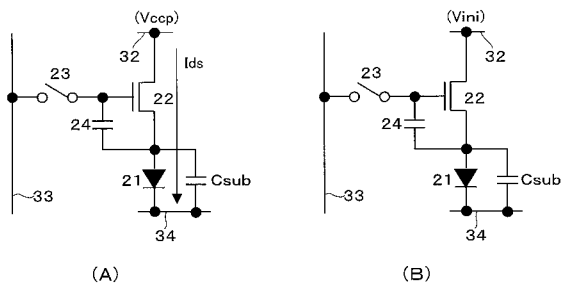
【図3】



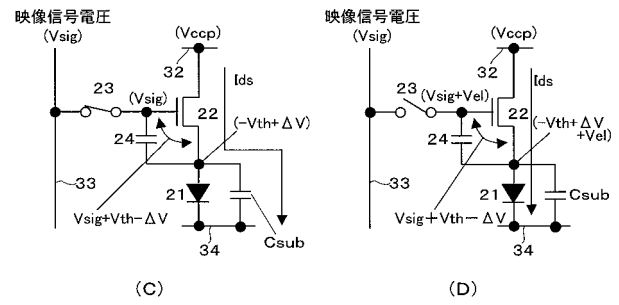
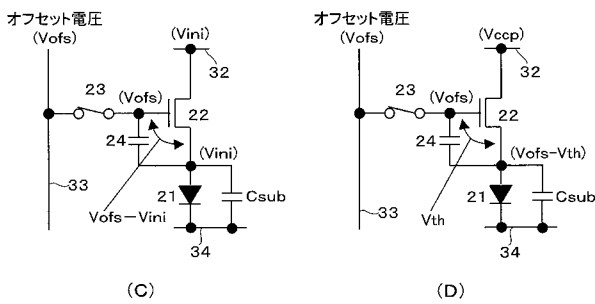
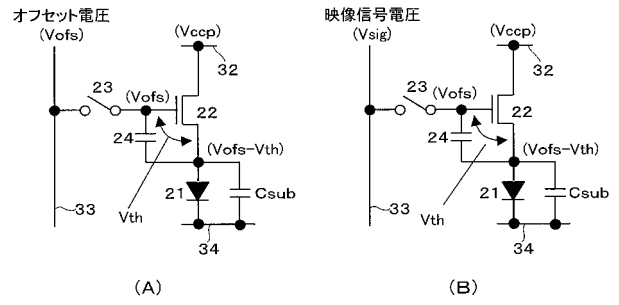
【図4】



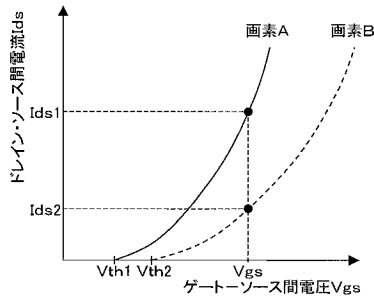
【 図 5 】



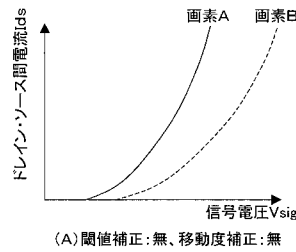
【 図 6 】



【 図 7 】

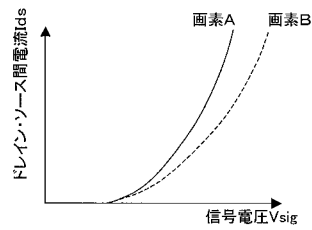
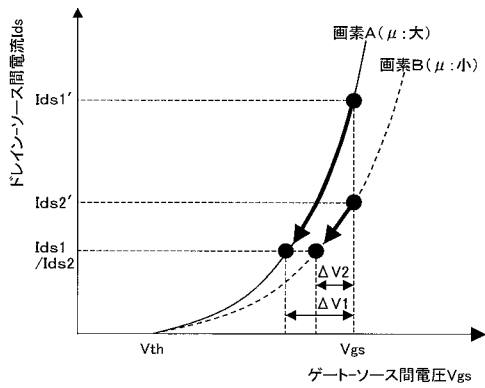


【 図 9 】

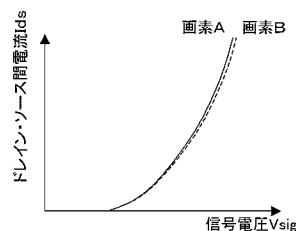


(A) 閾値補正: 無、移動度補正: 無

【 図 8 】

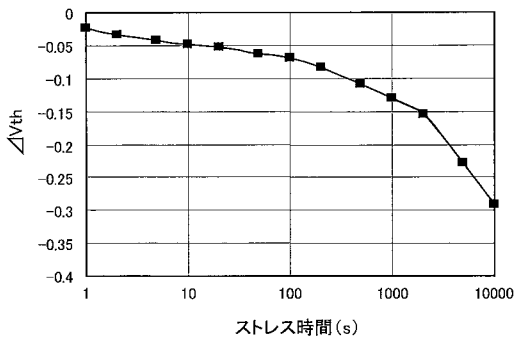


(B) 閾値補正: 有、移動度補正: 無

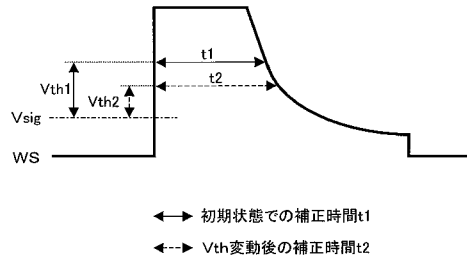


(C) 閾値補正: 有、移動度補正: 有

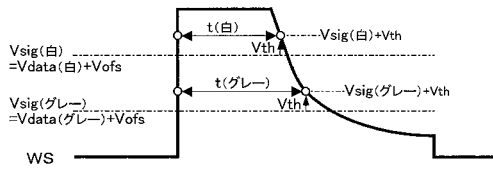
【図 1 0】



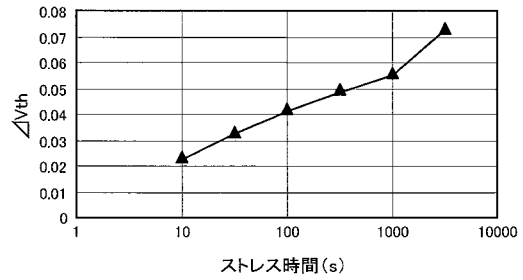
【図 1 2】



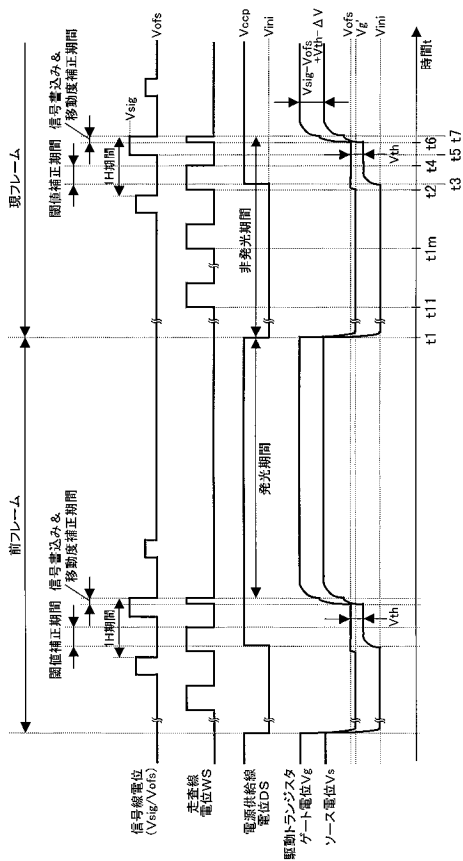
【図 1 1】



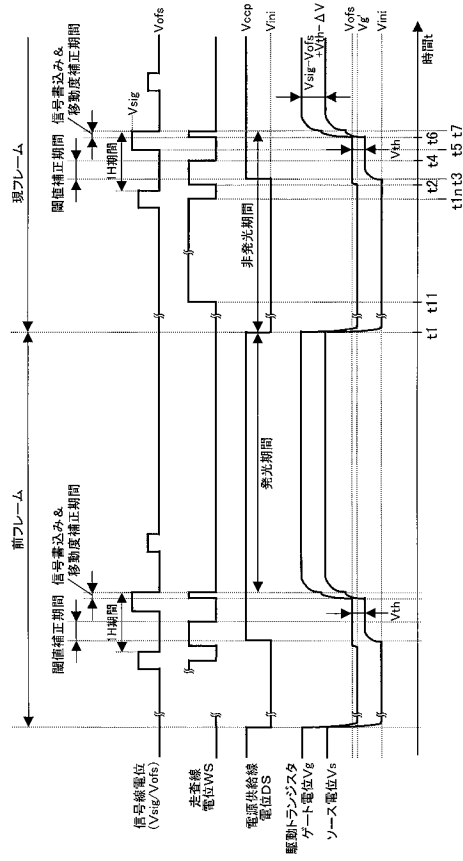
【図 1 3】



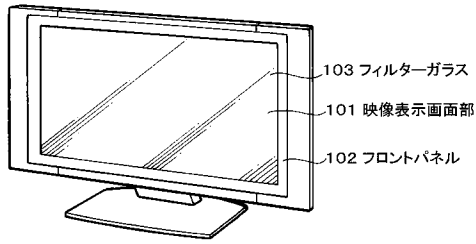
【図 1 4】



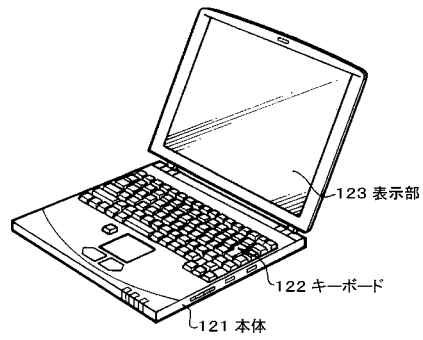
【図 1 5】



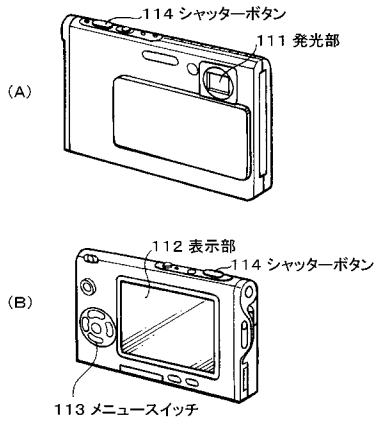
【図 16】



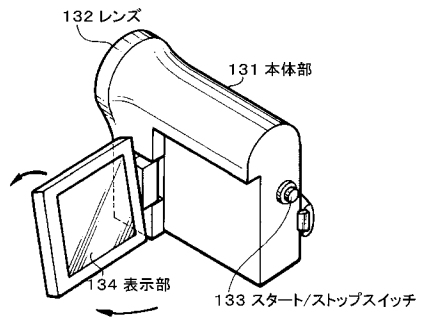
【図 18】



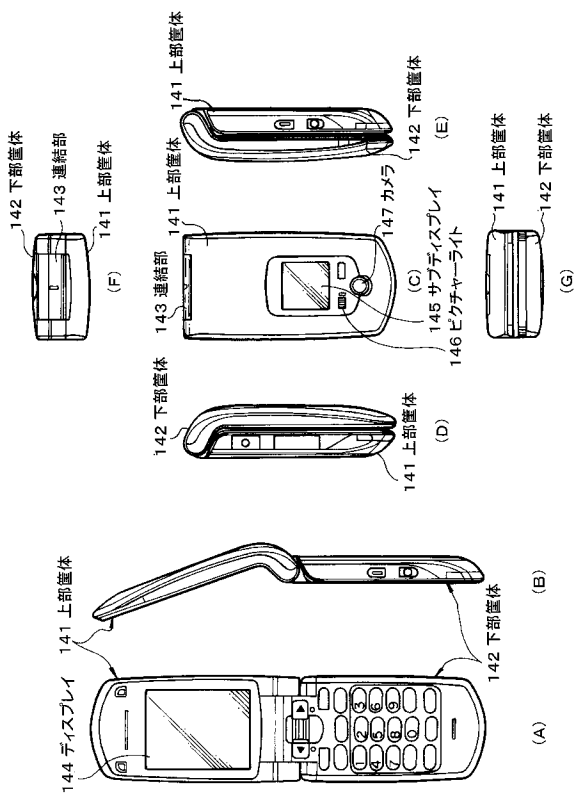
【図 17】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 4 2 A
H 0 5 B	33/14	A

Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH00 HH04 HH05
5C080 AA06 BB05 CC03 DD05 DD29 EE19 EE29 EE30 FF03 FF11
HH09 JJ02 JJ03 JJ04 JJ05 JJ06 KK04 KK07 KK43

专利名称(译)	显示装置，显示装置的驱动方法和电子设备		
公开(公告)号	JP2009116057A	公开(公告)日	2009-05-28
申请号	JP2007289309	申请日	2007-11-07
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 山本哲郎 内野勝秀		
发明人	山下 淳一 山本 哲郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.C G09G3/20.621.A G09G3/20.612.E G09G3/20.623.C G09G3/20.623.D G09G3/20.670.K G09G3/20.611.H G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD29 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK04 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB35 5C380/AB36 5C380/AB37 5C380/AB46 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BA45 5C380/BB02 5C380/BD02 5C380/BD05 5C380/BD08 5C380/BD10 5C380/BE03 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD022 5C380/DA02 5C380/DA06 5C380/DA35 5C380/DA47 5C380/DA50		
代理人(译)	船桥 国则		
其他公开文献	JP4715833B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止由于在发光时段期间由负偏置电压引起的写入晶体管的V_{th}特性向耗尽侧的移位而导致的发光电流的下降。ŽSOLUTION：在有机EL器件的无发光时段期间，当没有电流流过驱动有机EL器件的驱动晶体管时，写脉冲WS被设置为有效（高电平）状态至少为a 1H时段，例如多个H时段，超前于自身像素行的阈值校正时段，并且正偏置电压被施加到写入晶体管的栅极电极，以将写入晶体管的V_{th}特性转换为增强方面。Ž

