

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-203656

(P2008-203656A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30	J 3K107
G09G 3/20 (2006.01)	G09G 3/20	611H 5C080
H01L 51/50 (2006.01)	G09G 3/20	624B
	G09G 3/20	641D
	G09G 3/20	642A

審査請求 未請求 請求項の数 4 O L (全 22 頁) 最終頁に続く

(21) 出願番号	特願2007-41193 (P2007-41193)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成19年2月21日 (2007.2.21)	(74) 代理人	100092336 弁理士 鈴木 晴敏
		(72) 発明者	山下 淳一 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	内野 勝秀 東京都港区港南1丁目7番1号 ソニー株式会社内
		F ターム (参考)	3K107 AA01 BB01 CC33 EE03 HH04 HH05 5C080 AA06 BB05 DD05 EE29 FF11 JJ02 JJ03 JJ04 JJ05 JJ06

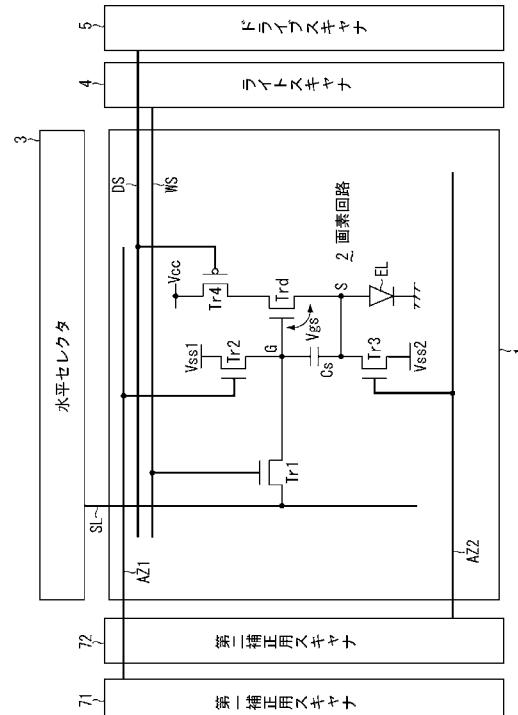
(54) 【発明の名称】表示装置及び電子機器

(57) 【要約】

【課題】ブートストラップロスを可能な限り抑制して画面のユニフォーミティの高い表示装置を提供する。

【解決手段】サンプリングトランジスタ T_{r1} は、映像信号を保持容量 C_s に書き込む。ドライブトランジスタ T_{rd} は、書き込まれた映像信号に応じた駆動電流を発光素子 E_L に供給する。保持容量 C_s は、サンプリングトランジスタ T_{r1} がオフしてドライブトランジスタ T_{rd} のゲート G が信号線 S_L から切り離された時、ソース S の電位に追従してゲート G の電位が変動するようブードストラップ動作を行う。保持容量 C_s は、サンプリングトランジスタ T_{r1} のゲート絶縁膜と同層の誘電体膜で構成されているとともに、誘電体膜はゲート絶縁膜に比べて厚みが小さくなっている。ドライブトランジスタ T_{rd} のソース電位の変動分に対するゲート電位の変動分の比率を表すブートストラップゲインの低下を抑制する。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

画素アレイ部とこれを駆動して映像を表示する駆動部とを含み、

前記画素アレイ部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含み、

前記駆動部は、各走査線に制御信号を供給するとともに各信号線に映像信号を供給し、

各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、保持容量と、発光素子とを含み、

前記サンプリングトランジスタは、そのゲートが該走査線に接続し、ソース及びドレインが該信号線と該ドライブトランジスタのゲートとの間に接続し、

前記ドライブトランジスタは、そのドレインが電源ラインに接続し、そのソースが該発光素子に接続し、

前記保持容量は該ドライブトランジスタのゲートとソースとの間に接続している表示装置であって、

前記サンプリングトランジスタは、該走査線から供給された制御信号に応じてオンし信号線から供給された映像信号を該保持容量に書き込み、

前記ドライブトランジスタは、該保持容量に書き込まれた映像信号に応じた駆動電流を該発光素子に供給し、

前記保持容量は、該サンプリングトランジスタがオフして該ドライブトランジスタのゲートが該信号線から切り離された時、該ドライブトランジスタのソース電位に追従してそのゲート電位が変動するようにブードストラップ動作を行い、

前記保持容量は、該サンプリングトランジスタのゲート絶縁膜と同層の誘電体膜で構成されているとともに、

前記誘電体膜は該ゲート絶縁膜に比べて厚みが小さくなっている、該ソース電位の変動分に対する該ゲート電位の変動分の比率を表すブードストラップゲインの低下を抑制することを特徴とする表示装置。

【請求項 2】

前記画素は、該映像信号の書き込みに先立って該ドライブトランジスタの閾電圧に相当する電圧を該保持容量に書き込んでおく閾電圧補正手段を含むことを特徴とする請求項1記載の表示装置。

【請求項 3】

前記画素は、該映像信号を書き込む際、該ドライブトランジスタに流れる駆動電流を該保持容量に負帰還して、該ドライブトランジスタの移動度に応じた補正を該映像信号にかける移動度補正手段を含むことを特徴とする請求項1記載の表示装置。

【請求項 4】

請求項1に記載の表示装置を備えた電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画素毎に配した発光素子を電流駆動して表示を行なう表示装置に関する。詳しくは、各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって有機ELなどの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。また本発明はアクティブマトリクス型の表示装置を備えた電子機器に関する。

【背景技術】**【0002】**

表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機EL素子を画素に用いた有機ELディスプレイなどにおいても同様であるが、液晶画素と異なり有機EL素子は自発光素子である。その為、有機ELディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不

要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式がある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、TFT）によって制御するものであり、以下の特許文献に記載がある。

10

【特許文献1】特開2003-255856

【特許文献2】特開2003-271095

【特許文献3】特開2004-133240

【特許文献4】特開2004-029791

【特許文献5】特開2004-093682

【特許文献6】特開2006-215213

【発明の開示】

【発明が解決しようとする課題】

【0004】

図17は、従来の画素回路の一例を示す模式図である。この画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線SLとが交差する部分に配され、サンプリングトランジスタTr1と保持容量CsとドライブトランジスタTrdと発光素子ELとを含む。サンプリングトランジスタTr1は、走査線から供給される制御信号に応じ導通して信号線SLから供給された映像信号をサンプリングする。保持容量Csは、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタTrdは、保持容量Csに保持された入力電圧に応じて所定の発光期間に出力電流Idsを供給する。なお一般に、出力電流IdsはドライブトランジスタTrdのチャネル領域のキャリア移動度μ及び閾電圧Vthに対して依存性を有する。発光素子ELは、ドライブトランジスタTrdから供給された出力電流により映像信号に応じた輝度で発光する。なお図11の従来例は、保持容量CsがドライブトランジスタTrdのゲートGと電源電位Vccとの間に接続されている。一方発光素子ELはアノードがドライブトランジスタTrdのソースSに接続し、カソードが接地されている。ドライブトランジスタTrdのドレインは電源電位Vccに接続されている。

20

【0005】

ドライブトランジスタTrdは、保持容量Csに保持された入力電圧をゲートGに受けてソースS／ドレインD間に出来た電流Idsを流し、発光素子ELに通電する。一般に発光素子ELの発光輝度は通電量に比例している。さらにドライブトランジスタTrdの出力電流供給量はゲート電圧Vgs即ち保持容量Csに書き込まれた入力電圧によって制御される。この画素回路は、ドライブトランジスタTrdのゲートGに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子ELに供給する電流量を制御している。

30

【0006】

ここでドライブトランジスタの動作特性は以下の式1で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_o \times (V_{gs} - V_{th})^2 \dots \text{式1}$$

このトランジスタ特性式1において、Idsはソース／ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。Vgsはソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。Vthはトランジスタの閾電圧である。又μはトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他Wはチャネル幅を表わし、Lはチャネル長を表わし、Coxはゲート容量を表わしている。このトランジスタ特性式1から明ら

40

50

かな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 $V_{g s}$ が閾電圧 $V_{t h}$ を超えて大きくなると、オン状態となってドレイン電流 $I_{d s}$ が流れる。原理的に見ると上記のトランジスタ特性式 1 が示す様に、ゲート電圧 $V_{g s}$ が一定であれば常に同じ量のドレイン電流 $I_{d s}$ が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

【0007】

ところで有機 EL 素子などからなる発光素子に必要な駆動電流 $I_{d s}$ は 1 画素当たり数 μ A と大きく、映像信号の振幅を下げる低消費電力化を図るためにも、ドライブトランジスタは移動度 μ が高い N チャネル型が望ましい。図 11 に示した画素回路は、N チャネル型のトランジスタをドライブトランジスタ $T_{r d}$ に用いたソースフォロワー型となっている。
10

【0008】

しかしながら図 17 に示した画素回路では、発光素子 EL の電流 - 電圧特性 ($I - V$ 特性) の劣化を補正できないという課題が生じる。図 17 は、発光素子 EL の $I - V$ 特性を示すグラフである。横軸に発光素子のアノード電圧 V_a を取り、縦軸に駆動電流 $I_{d s}$ を取ってある。図 17 の回路では、このアノード電位 V_a はドライブトランジスタ $T_{r d}$ のソース電位と等しく、駆動電流はドライブトランジスタ $T_{r d}$ に流れるドレイン電流 I_d である。図 18 のグラフに示すように、有機 EL デバイスなどの発光素子は時間の経過と共に $I - V$ 特性が劣化し、時間の経過と共に特性カーブがねてくる。その為、図 17 に示したソースフォロワー型の画素回路では、この発光素子の $I - V$ 特性劣化に伴い、ドライブトランジスタ $T_{r d}$ の動作点（ソース電位）が変化してしまい、画像の焼付きが残ってしまう。
20

【0009】

この従来の問題に対処するため、最近ではソースフォロワー型の画素回路に代えて、ブートストラップ型の画素回路も提案されている。このブートストラップ型の画素回路は、保持容量をドライブトランジスタのゲート G とソース S との間に接続した構成となっている。このブートストラップ型の画素回路は、発光素子の $I - V$ 特性の経時変化により、アノード電位（即ちドライブトランジスタのソース電位）が変動しても、常にドライブトランジスタ $T_{r d}$ のゲート電圧 $V_{g s}$ が保持容量に保持されているので、発光素子 EL の $I - V$ 特性の影響を受けることなく、常にゲート電圧 $V_{g s}$ に応じた出力電流 $I_{d s}$ を発光素子に流し続けることが出来る。これにより発光素子の $I - V$ 特性が劣化しても、画面輝度の劣化や焼付きなどの画質低下が生じることは無い。
30

【0010】

画素回路は、発光素子の $I - V$ 特性の変動に加え、ドライブトランジスタ $T_{r d}$ の特性自体も個々の画素によってばらつきがある。実際には、ポリシリコン又はアモルファスシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFT）は、個々のデバイス特性にはばらつきがある。特に、閾電圧 $V_{t h}$ は一定ではなく、各画素毎にはばらつきがある。前述のトランジスタ特性式 1 から明らかな様に、各ドライブトランジスタの閾電圧 $V_{t h}$ がばらつくと、ゲート電圧 $V_{g s}$ が一定であっても、ドレイン電流 $I_{d s}$ にはばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。そこで従来からドライブトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献 3 に開示がある。
40

【0011】

上述のようにブートストラップ型の画素回路は、サンプリングトランジスタがオフしてドライブトランジスタのゲートが信号線から切り離されたとき、ドライブトランジスタのソース電位に追従してそのゲート電位が変動するようブートストラップ動作を行う。ここでソース電位の変動分に対するゲート電位の変動分の比率をブートストラップゲインと呼ぶ。理想的には完全にブートストラップ動作が行われた場合、ソース電位とゲート電位は同じ量だけ上方変動するので、ブートストラップゲインは 1 となる。しかしながら実際
50

には画素回路に含まれる寄生容量などの影響で、ブートストラップゲインは1にならず、ロスがある。以下本明細書ではこのブートストラップゲインの損失分をブートストラップゲインロス或いはブートストラップロスと呼ぶ場合がある。

【0012】

ブートストラップロスの大きさを決めるファクタには寄生容量の他ドライブトランジスタ T_{rd} の閾電圧が含まれる。前述したように閾電圧は個々の画素でばらついている。したがって閾電圧 V_{th} のばらつき自体は閾電圧をキャンセルする機能(閾電圧補正機能)で取り除くことが出来るが、ブートストラップロスに残された閾電圧 V_{th} のばらつきの影響はキャンセルすることが出来ない。したがってブートストラップロスがある程度大きいと、この閾電圧 V_{th} のばらつきの影響が現れ、画素毎に発光輝度がばらつき、画面のユニフォーミティを損なうという課題がある。10

【課題を解決するための手段】

【0013】

上述した従来の技術の課題に鑑み、本発明はブートストラップロスを可能な限り抑制して画面のユニフォーミティの高い表示装置を提供することを目的とする。かかる目的を達成するための以下の手段を講じた。即ち本発明は、画素アレイ部とこれを駆動して映像を表示する駆動部とを含み、前記画素アレイ部は、行状の走査線と、列状の信号線と、各走査線と各信号線とが交差する部分に配された行列状の画素とを含み、前記駆動部は、各走査線に制御信号を供給するとともに各信号線に映像信号を供給し、各画素は、少なくともサンプリングトランジスタと、ドライブトランジスタと、保持容量と、発光素子とを含み、前記サンプリングトランジスタは、そのゲートが該走査線に接続し、ソース及びドレインが該信号線と該ドライブトランジスタのゲートとの間に接続し、前記ドライブトランジスタは、そのドレインが電源ラインに接続し、そのソースが該発光素子に接続し、前記保持容量は該ドライブトランジスタのゲートとソースとの間に接続している表示装置であって、前記サンプリングトランジスタは、該走査線から供給された制御信号に応じてオンし信号線から供給された映像信号を該保持容量に書き込み、前記ドライブトランジスタは、該保持容量に書き込まれた映像信号に応じた駆動電流を該発光素子に供給し、前記保持容量は、該サンプリングトランジスタがオフして該ドライブトランジスタのゲートが該信号線から切り離された時、該ドライブトランジスタのソース電位に追従してそのゲート電位が変動するようにブードストラップ動作を行い、前記保持容量は、該サンプリングトランジスタのゲート絶縁膜と同層の誘電体膜で構成されているとともに、前記誘電体膜は該ゲート絶縁膜に比べて厚みが小さくなっている。該ソース電位の変動分に対する該ゲート電位の変動分の比率を表すブートストラップゲインの低下を抑制することを特徴とする。20

【0014】

好ましくは前記画素は、該映像信号の書き込みに先立って該ドライブトランジスタの閾電圧に相当する電圧を該保持容量に書き込んでおく閾電圧補正手段を含む。又前記画素は、該映像信号を書き込む際、該ドライブトランジスタに流れる駆動電流を該保持容量に負帰還して、該ドライブトランジスタの移動度に応じた補正を該映像信号にかける移動度補正手段を含む。30

【発明の効果】

【0015】

ブートストラップゲインの損失(即ちブートストラップロス)は画素回路に含まれる寄生容量や保持容量によってその大きさが決まる。原理的には寄生容量が大きいほどブートストラップロスは大きくなる一方、保持容量を大きくするほどブートストラップロスが小さくなり、画面のユニフォーミティが向上する。ここで寄生容量には画素回路に含まれるトランジスタのゲート容量が含まれる。一方保持容量は通常ゲート絶縁膜と同層の誘電体膜で構成されている。そこでゲート絶縁膜に比べて誘電体膜を例えれば選択的エッティングで厚みを小さくしている。これによりゲート寄生容量に比べて保持容量は大きくなり、ブートストラップロスを可能な限りなくすることが出来、仮にドライブトランジスタの閾電圧にばらつきがあってもその影響をほとんど受けることなく、画面のユニフォーミティを高め4050

ることが出来る。

【発明を実施するための最良の形態】

【0016】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明にかかる表示装置の全体構成を示すブロック図である。図示する様に、本表示装置は基本的に画素アレイ部1とスキャナ部と信号部とで構成されている。画素アレイ部1は、行状に配された第1走査線WS、第2走査線AZ1、第3走査線AZ2及び第4走査線DSと、列状に配された信号線SLと、これらの走査線WS, AZ1, AZ2, DS及び信号線SLに接続した行列状の画素回路2と、各画素回路2の動作に必要な第1電位Vss1, 第2電位Vss2及び第3電位Vccを供給する複数の電源線とからなる。信号部は水平セレクタ3からなり、信号線SLに映像信号を供給する。スキャナ部は、ライトスキャナ4、ドライブスキャナ5、第一補正用スキャナ71及び第二補正用スキャナ72からなり、それぞれ第1走査線WS、第4走査線DS、第2走査線AZ1及び第3走査線AZ2に制御信号を供給して順次行毎に画素回路を走査する。

【0017】

図2は、図1に示した表示装置に組み込まれる画素回路の構成例を示す回路図である。図示する様に画素回路2は、サンプリングトランジスタTr1と、ドライブトランジスタTrdと、第1スイッチングトランジスタTr2と、第2スイッチングトランジスタTr3と、第3スイッチングトランジスタTr4と、保持容量Csと、発光素子ELとを含む。サンプリングトランジスタTr1は、所定のサンプリング期間に第1走査線WSから供給される制御信号に応じ導通して信号線SLから供給された映像信号の信号電位を保持容量Csにサンプリングする。保持容量Csは、サンプリングされた映像信号の信号電位に応じてドライブトランジスタTrdのゲートGに入力電圧Vgsを印加する。ドライブトランジスタTrdは、入力電圧Vgsに応じた出力電流Idsを発光素子ELに供給する。発光素子ELは、所定の発光期間中ドライブトランジスタTrdから供給される出力電流Idsにより映像信号の信号電位に応じた輝度で発光する。

【0018】

第1スイッチングトランジスタTr2は、サンプリング期間に先立ち第2走査線AZ1から供給される制御信号に応じ導通してドライブトランジスタTrdのゲートGを第1電位Vss1に設定する。第2スイッチングトランジスタTr3は、サンプリング期間に先立ち第3走査線AZ2から供給される制御信号に応じ導通してドライブトランジスタTrdのソースSを第2電位Vss2に設定する。第3スイッチングトランジスタTr4は、サンプリング期間に先立ち第4走査線DSから供給される制御信号に応じ導通してドライブトランジスタTrdを第3電位Vccに接続し、以ってドライブトランジスタTrdの閾電圧Vthに相当する電圧を保持容量Csに保持させて閾電圧Vthの影響を補正する。さらにこの第3スイッチングトランジスタTr4は、発光期間に再び第4走査線DSから供給される制御信号に応じ導通してドライブトランジスタTrdを第3電位Vccに接続して出力電流Idsを発光素子ELに流す。

【0019】

以上の説明から明らかな様に、本画素回路2は、5個のトランジスタTr1ないしTr4及びTrdと1個の保持容量Csと1個の発光素子ELとで構成されている。トランジスタTr1～Tr3とTrdはNチャネル型のポリシリコンTFTである。トランジスタTr4のみPチャネル型のポリシリコンTFTである。但し本発明はこれに限られるものではなく、Nチャネル型とPチャネル型のTFTを適宜混在させることが出来る。発光素子ELは例えばアノード及びカソードを備えたダイオード型の有機ELデバイスである。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【0020】

図3は、図2に示した表示装置から画素回路2の部分のみを取り出した模式図である。理解を容易にするため、サンプリングトランジスタTr1によってサンプリングされる映

像信号 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 EL が有する容量成分 C_{oled} などを書き加えてある。以下図3に基づいて、画素回路2の動作を説明する。

【0021】

図4は、図3に示した画素回路のタイミングチャートである。図4を参照して、図3に示した画素回路の動作を具体的に説明する。図4は、時間軸Tに沿って各走査線 WS , AZ_1 , AZ_2 及び DS に印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタ T_{r1} , T_{r2} , T_{r3} はNチャネル型なので、走査線 WS , AZ_1 , AZ_2 がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタ T_{r4} はPチャネル型なので、走査線 DS がハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号 WS , AZ_1 , AZ_2 , DS の波形と共に、ドライブトランジスタ T_{rd} のゲートGの電位変化及びソースSの電位変化も表してある。

10

【0022】

図4のタイミングチャートではタイミング $T_1 \sim T_8$ までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号 WS , AZ_1 , AZ_2 , DS の波形を表してある。

20

【0023】

当該フィールドが始まる前のタイミング T_0 で、全ての制御線号 WS , AZ_1 , AZ_2 , DS がローレベルにある。したがってNチャネル型のトランジスタ T_{r1} , T_{r2} , T_{r3} はオフ状態にある一方、Pチャネル型のトランジスタ T_{r4} のみオン状態である。したがってドライブトランジスタ T_{rd} はオン状態のトランジスタ T_{r4} を介して電源 V_{cc} に接続しているので、所定の入力電圧 V_{gs} に応じて出力電流 I_{ds} を発光素子 EL に供給している。したがってタイミング T_0 で発光素子 EL は発光している。この時ドライブトランジスタ T_{rd} に印加される入力電圧 V_{gs} は、ゲート電位(G)とソース電位(S)の差で表される。

20

【0024】

当該フィールドが始まるタイミング T_1 で、制御信号 DS がローレベルからハイレベルに切り替わる。これによりトランジスタ T_{r4} がオフし、ドライブトランジスタ T_{rd} は電源 V_{cc} から切り離されるので、発光が停止し非発光期間に入る。したがってタイミング T_1 に入ると、全てのトランジスタ $T_{r1} \sim T_{r4}$ がオフ状態になる。

30

【0025】

続いてタイミング T_2 に進むと、制御信号 AZ_1 及び AZ_2 がハイレベルになるので、スイッチングトランジスタ T_{r2} 及び T_{r3} がオンする。この結果、ドライブトランジスタ T_{rd} のゲートGが基準電位 V_{ss1} に接続し、ソースSが基準電位 V_{ss2} に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミング T_3 で行われる V_{th} 補正の準備を行う。換言すると期間 $T_2 \sim T_3$ は、ドライブトランジスタ T_{rd} のリセット期間に相当する。また、発光素子 EL の閾電圧を V_{thEL} とすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子 EL にはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行う V_{th} 補正動作及び移動度補正動作を正常に行うために必要である。

40

【0026】

タイミング T_3 では制御信号 AZ_2 をローレベルにし且つ直後制御信号 DS もローレベルにしている。これによりトランジスタ T_{r3} がオフする一方トランジスタ T_{r4} がオンする。この結果ドレイン電流 I_{ds} が保持容量 C_s に流れ込み、 V_{th} 補正動作を開始する。この時ドライブトランジスタ T_{rd} のゲートGは V_{ss1} に保持されており、ドライブトランジスタ T_{rd} がカットオフするまで電流 I_{ds} が流れる。カットオフするとドライブトランジスタ T_{rd} のソース電位(S)は $V_{ss1} - V_{th}$ となる。ドレイン電流が

50

カットオフした後のタイミング T 4 で制御信号 D S を再びハイレベルに戻し、スイッチングトランジスタ T r 4 をオフする。さらに制御信号 A Z 1 もローレベルに戻し、スイッチングトランジスタ T r 2 もオフする。この結果、保持容量 C s に V t h が保持固定される。この様にタイミング T 3 ~ T 4 はドライブトランジスタ T r d の閾電圧 V t h を検出する期間である。ここでは、この検出期間 T 3 ~ T 4 を V t h 補正期間と呼んでいる。

【 0 0 2 7 】

この様に V t h 補正を行った後タイミング T 5 で制御信号 W S をハイレベルに切り替え、サンプリングトランジスタ T r 1 をオンして映像信号 V s i g を保持容量 C s に書き込む。発光素子 E L の等価容量 C o l e d に比べて保持容量 C s は充分に小さい。この結果、映像信号 V s i g のほとんど大部分が保持容量 C s に書き込まれる。正確には、V s s 1 に対する V s i g の差分 V s i g - V s s 1 が保持容量 C s に書き込まれる。したがってドライブトランジスタ T r d のゲート G とソース S 間の電圧 V g s は、先に検出保持された V t h と今回サンプリングされた V s i g - V s s 1 を加えたレベル (V s i g - V s s 1 + V t h) となる。以降説明簡易化の為 V s s 1 = 0 V とすると、ゲート / ソース間電圧 V g s は図 4 のタイミングチャートに示すように V s i g + V t h となる。かかる映像信号 V s i g のサンプリングは制御信号 W S がローレベルに戻るタイミング T 6 まで行われる。すなわちタイミング T 5 ~ T 6 がサンプリング期間に相当する。

10

【 0 0 2 8 】

続いてタイミング T 7 で制御信号 D S がローレベルとなりスイッチングトランジスタ T r 4 がオンする。これによりドライブトランジスタ T r d が電源 V c c に接続されるので、画素回路は非発光期間から発光期間に進む。その前のタイミング T 6 で制御信号 W S がローレベルとなりサンプリングトランジスタ T r 1 は既にオフしている。この為ドライブトランジスタ T r d のゲート G は信号線 S L から切り離されている。映像信号 V s i g の印加が解除されているので、スイッチングトランジスタ T r 4 のオンと共に、ドライブトランジスタ T r d のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。なお本実施形態の画素回路はドライブトランジスタ T r d のソースと発光素子 E L のアノードとが接続している。その為、ドライブトランジスタ T r d のソース電位 (S) は同時に発光素子 E L のアノード電位 V a でもある。図 4 のタイミングチャートは、この発光素子 E L のアノード電位 V a も示してある。この発光期間は次のフィールドに入る前のタイミング T 8 で終わる。

20

【 0 0 2 9 】

上述したようにタイミング T 7 では、ドライブトランジスタ T r d のゲート電位 (G) が上昇可能となり、これと連動してソース電位 (S) が上昇していく。これがブートストラップ動作である。このブートストラップ動作の間、保持容量 C s に保持されたゲート / ソース間電圧 V g s は (V s i g + V t h) の値を維持する。つまりこのブートストラップ動作は、保持容量 C s に保持された V g s を一定に維持したまま、発光素子 E L のアノード電位 V a の上昇を可能にするものである。ドライブトランジスタのソース電位 (S) の上昇即ち発光素子 E L のアノード電位 V a の上昇に伴い、発光素子 E L の逆バイアス状態は解消されるので、出力電流 I d s の流入により発光素子 E L は実際に発光を開始する。このときのドレイン電流 I d s 対ゲート電圧 V g s の関係は、先のトランジスタ特性式 1 の V g s に V s i g + V t h を代入することで、以下の式 2 のように与えられる。

30

$$I_{d s} = k \cdot \mu (V_{g s} - V_{t h})^2 = K \cdot \mu (V_{s i g})^2 \quad \dots \text{式 2}$$

40

上記式 2 において、 $k = (1/2)(W/L)C_{o x}$ である。この特性式 2 から V t h の項がキャンセルされており、発光素子 E L に供給される出力電流 I d s はドライブトランジスタ T r d の閾電圧 V t h に依存しないことがわかる。基本的にドレン電流 I d s は映像信号の信号電圧 V s i g によって決まる。換言すると、発光素子 E L は映像信号 V s i g に応じた輝度で発光することになる。加えて本画素回路はドライブトランジスタのソース電位即ち発光素子のアノード電位 V a に依存することなく、常にゲート電圧 V g s を一定に維持している。このブートストラップ機能のため、本画素回路は発光素子 E L の I ~ V 特性の経時変動の影響を受けることなく、画面輝度を安定的に維持することが出来

50

る。

【0030】

この様にブートストラップ機能及び閾電圧補正機能を組み込んだ本画素回路でも、なお解決すべき課題がある。この点につき、本発明の説明に入る前に、図5を参照して簡潔に説明する。図5は、図2に示した表示装置から画素回路一個分を取り出した模式図である。基本的には図3に示した画素回路の模式図と同じであるが、説明の都合上寄生容量C_pも加えてある。薄膜トランジスタはそのゲートとソースの間に寄生容量C_pが存在している。本画素回路では特にサンプリングトランジスタT_{r1}やスイッチングトランジスタT_{r2}の寄生容量C_pが、ドライブトランジスタT_{rd}の動作に悪影響を与えている。具体的には、これらのトランジスタT_{r1}, T_{r2}の寄生容量C_pにより、ブートストラップ動作で電圧ロスが生じ、これがドライブトランジスタT_{rd}の閾電圧V_{th}のばらつきと絡み合って、画面上に輝度差が生じてしまう。理想的なブートストラップ動作では、ドライブトランジスタのソース電位の上昇分とゲート電位の上昇分とが完全に同じで、ゲート電圧V_{gs}が一定に維持される。即ちブートストラップゲインが1になることが理想である。しかしながら実際には寄生容量C_pの影響でブートストラップゲインにロスが生じ、その分だけゲート電位はソース電位に比べて上昇分が少ない。ここで問題となるのは、このブートストラップゲインロスが画素間で一定ではなく、個々の画素回路のドライブトランジスタの閾電圧V_{th}の影響を受けてばらつくことである。このブートストラップゲインロスのばらつきにより、画面上で画素間に輝度差が生じ、ユニフォーミティを損ねている。

10

20

30

【0031】

引き続き図5を参照してブートストラップゲインロスに付き詳細に説明にする。信号電圧V_{sig}を書き込んだ後のドライブトランジスタT_{rd}のゲート/ソース間電圧V_{gs}は、予めV_{th}補正を行っているため、V_{gs} = V_{sig} - V_{ss1} + V_{th}となる。次にサンプリングトランジスタT_{r1}をオフした後スイッチングトランジスタT_{r4}をオンすることで、ドライブトランジスタT_{rd}が電源V_{cc}に接続し、ドレイン電流I_{ds}が発光素子ELに流れる。このときドレイン電流I_{ds}に相当する電圧が発光素子ELのアノード端子に印加される。図4のタイミングチャートでは、このときのアノード電圧(ドライブトランジスタのソース電圧)をV_aで表してある。よって、発光動作時には、ドライブトランジスタのソース電圧はV_a - V_{ss1} + V_{th}だけ上昇する。一方、ドライブトランジスタT_{rd}のゲート電圧は寄生容量C_pがあるため、その上昇分は(V_a - V_{ss1} + V_{th}) × C_s / (C_s + C_p)となる。以上により、ブートストラップ動作後のV_{gs}は以下の式3で表される。またこのV_{gs}に対応するドレイン電流I_{ds}は以下の式4で与えられる。但し下記の式3では、簡単のためV_{ss1}を0Vにしている。

$$\begin{aligned} V_{gs} &= V_{sig} - V_{ss1} + V_{th} - \\ &(V_a - V_{ss1} + V_{th}) \cdot C_p / (C_s + C_p) \\ &= V_{sig} + V_{th} - (V_a + V_{th}) \cdot C_p / (C_s + C_p) \dots (3) \end{aligned}$$

$$I_{ds} = k \cdot \mu (V_{sig} - (V_a + V_{th}) \cdot C_p / (C_s + C_p))^2 \dots (4)$$

【0032】

ブートストラップ後のV_{gs}を表す上記式3は、その三項目にブートストラップゲインロス項を含んでおり、理想的な値よりも小さくなる。このブートストラップゲインロス項を見ると、C_p / (C_s + C_p)を係数部として変数V_aとV_{th}を含んでいる。一般に画素間で発光素子特性にそれほどばらつきはないので、アノード電位V_aのばらつきは無視できる。これに対しドライブトランジスタの閾電圧V_{th}は画素毎にばらついてしまう。この為ブートストラップゲインロス項は画素毎にばらつき、発光輝度が画素間で一様にならない。

40

【0033】

一般的に保持容量C_sは200fF程度であり寄生容量C_pは5fF程度である。よってブートストラップゲインロスC_p / (C_s + C_p)は約2.5%である。この為V_{th}

50

ばらつきの2.5%程度のばらつきが数式4で示した発光電流 $I_{d,s}$ に含まれてしまう。例えばドライブトランジスタ T_{rd} の V_{th} ばらつきの最小最大幅が2Vであったとすると、ブートストラップゲインロスによる V_{gs} ばらつきは50mVとなる。ここで画面ユニフォーミティが最も目立つ白表示の時 $V_{gs} = 2V$ とすると、50mVの差による輝度ばらつきは約5%となり、目視されてしまう。これによりパネルの歩留りが低下してしまう。一般に、製造プロセス上ドライブトランジスタ V_{th} のばらつきは画面でスジ状に分布する。よって画面にスジ状のムラが生じ、パネルの歩留りが低下してしまう。

【0034】

ドライブトランジスタの閾電圧 V_{th} のばらつきを小さくすることは、デバイス構造上及び製造プロセス上困難が伴う。よって V_{gs} ばらつきの要因となるブートストラップロスに V_{th} ばらつきのファクタが入ることは避けられない。この場合ブートストラップロスを可能な限り小さくすることで、 V_{th} ばらつきの影響もその分小さくすることが出来る。前述したようにブートストラップロスは $C_p / (C_s + C_p)$ で決まる。この式から明らかなように保持容量 C_s を大きくすることで、ブートストラップロスを小さくすることが出来る。例えば従来保持容量 C_s が200fF程度であったものを、400fFまで大容量化すれば、ブートストラップロスは従来の2.5%からおよそその半分に抑えられる。よって V_{th} ばらつきによる輝度のムラは従来の約5%からその半分の2.5%程度になる。一般に白階調のユニフォーミティで目視される輝度差は2~3%であるので、上述したように保持容量 C_s を少なくとも従来より倍増すればブートストラップロスによる輝度ばらつきはほとんど視認出来ないレベルにすることが可能である。これによりパネルの製造歩留を改善することが出来る。

10

20

30

【0035】

通常画素回路の保持容量 C_s は、サンプリングトランジスタ T_{r1} のゲート絶縁膜と同層の誘電体膜で構成されている。本発明の特徴事項として、この誘電体膜はゲート絶縁膜に比べて厚みが小さくなっている。その分保持容量 C_s はその容量値が大きくなっている。これによりブートストラップゲインの低下を抑制することが出来、ユニフォーミティの改善につながる。図5に示した通り、ブートストラップゲインに悪影響を与える寄生容量 C_p は、サンプリングトランジスタ T_{r1} のゲート容量とスイッチングトランジスタ T_{r2} のゲート容量である。これに対しスイッチングトランジスタ T_{r3} や T_{r4} は直接ドライブトランジスタ T_{rd} のゲートに接続していないので、その寄生容量は問題とならない。したがってスイッチングトランジスタ T_{r3} や T_{r4} のゲート絶縁膜は、保持容量 C_s の誘電体膜と同じように薄くしても構わない。もちろんサンプリングトランジスタ T_{r1} やスイッチングトランジスタ T_{r2} と同様に、スイッチングトランジスタ T_{r3} や T_{r4} のゲート絶縁膜も厚いままであっても良い。なお場合によっては発光素子 E_L の等価容量 C_{olead} を補助するため、発光素子 E_L と並行に補助容量 C_{sub} を接続する場合がある。この場合補助容量 C_{sub} は保持容量 C_s と同じく、その誘電体膜を薄くしても良い。あるいは補助容量 C_{sub} はブートストラップゲインに関与しないので、その誘電体膜の厚みは大きいままでも良い。

30

【0036】

図6は、図1及び図2に示した本発明にかかる表示装置に含まれる画素のデバイス構造を示す模式的な断面図である。理解を容易にするため、サンプリングトランジスタ T_{r1} と保持容量 C_s の部分を表している。図示しないが、これらトランジスタ T_{r1} や保持容量 C_s の上には、有機 E_L 発光層をアノード電極とカソード電極で挟んだ積層型の発光素子が配されている。

40

【0037】

続いて図6を参照して、サンプリングトランジスタ T_{r1} 及び保持容量 C_s の製造方法を説明する。まずガラス基板40の上にサンプリングトランジスタ T_{r1} のゲート電極41を形成する。この時同時に保持容量 C_s の下側電極41aを形成する。この下側電極41aは図示しないがドライブトランジスタ T_{rd} のソースSに接続する。具体的なプロセスとしては、スパッタ法などでゲート電極41及び下側電極41aとなるMoなどの高融

50

点金属を100nm程度成膜する。この高融点金属をリソグラフィー技術とドライエッチングもしくはウェットエッティングで所定の形状にパタニングし、サンプリングトランジスタTr1のゲート電極41及び保持容量Csの下側電極41aに加工する。

【0038】

さらにその上に、減圧化学気相成長法(LPCVD法)、プラズマCVD法、スパッタ法などにより、ゲート絶縁膜となるチッ化シリコン膜42を100nm程度成膜する。さらにその上にLPCVD法、プラズマCVD法、スパッタ法などにより、ゲート絶縁膜となる酸化シリコン膜43を同じく100nm程度成膜する。ここでドライエッティングあるいはウェットエッティングで、選択的に酸化シリコン膜43を保持容量Csの下側電極41aの上から除去する。この結果、サンプリングトランジスタTr1のゲート絶縁膜はチッ化シリコン膜42と酸化シリコン膜43の二層構造となり、厚みは200nm程度である。これに対し保持容量Csの誘電体膜はチッ化シリコン膜42のみからなり、その厚みは100nm程度である。この様に、ゲート絶縁膜を二層構造とし、保持容量Csの下側電極41aの上から一層のみを選択的に除去することで、誘電体膜を薄膜化することが出来る。但し本発明はこれに限られるものではなく、単層のゲート絶縁膜の厚みの一部を選択的にエッティングすることで、薄膜化しても良い。

10

【0039】

さらにゲート絶縁膜及び誘電体膜に重ねて、薄膜トランジスタの活性層となる半導体薄膜44を例えば40nm程度の厚みで堆積する。本例では半導体薄膜44として非晶質シリコン(アモルファスシリコン)を堆積している。これに代え、比較的粒径の小さい多結晶シリコン(ポリシリコン)を堆積しても良い。堆積した半導体薄膜44を所定の形状にパタニングして、サンプリングトランジスタTr1の素子領域とする。その際半導体薄膜44の一部は保持容量Csの下側電極41aの上部まで延設されており保持容量Csの上側電極44aとなる。この後エキシマレーザでパルス状のレーザ光を照射し、非晶質シリコンあるいは比較的粒径の小さな多結晶シリコンからなる半導体薄膜44を、比較的粒径の大きな多結晶シリコンに転換する。これにより多結晶シリコンの粒径は例えば、300~400nm程度まで拡大される。続いて所定のマスクを介して多結晶化された半導体薄膜44に不純物を注入し、ソース領域S及びドレイン領域Dを形成する。マスクにより不純物が注入されなかった部分が、チャネル領域CHとして残される。このチャネル領域CHはほぼゲート電極41に整合している。図から明らかな様に、サンプリングトランジスタTr1のドレイン領域Dはそのまま延設して保持容量Csの上側電極44aとなっている。

20

【0040】

この様にして作成されたサンプリングトランジスタTr1及び保持容量Csを被覆するように、絶縁膜45を成膜する。例えば酸化シリコンをCVDで300nm程度堆積する。この絶縁膜45にソース領域S及びドレイン領域Dに連通するコンタクトホールをエッティングで開口する。この絶縁膜45の上にアルミニウムもしくはアルミニウムとシリコンの化合物からなる金属膜を、例えばスパッタ法で500nm程度成膜する。成膜した金属を所定のマスクによりパタニングして、サンプリングトランジスタTr1の配線46S, 46Dに加工する。サンプリングトランジスタTr1のソースSに接続した配線46Sは、図示しない信号配線につながっている。一方サンプリングトランジスタTr1のドレイン領域Dに接続した配線46Dは、図示しないがドライブトランジスタTrdのゲートGに接続している。

30

【0041】

図7は、本発明にかかる表示装置に含まれる画素のデバイス構造の他の例を示す模式的な断面図である。図6に示したデバイス構造は多結晶シリコン薄膜トランジスタを用いているが、本例は非晶質シリコン薄膜トランジスタの例である。まずガラス基板50上に1%程度のネオジュウムが添加されたアルミニウム(膜厚300nm)とその上層のモリブデン(膜厚50nm)との二層構造の金属からなるゲート電極51をパタニング形成する。この時同時に保持容量Csの下側電極51aも同じ金属材料でパタニング形成する。

40

50

【0042】

その後プラズマCVD法により、チッ化シリコン膜52を約100nm程度の膜厚に形成し、引き続き酸化シリコン膜53を同じく100nm程度の膜厚に形成する。これにより、チッ化シリコン膜52とその上層の酸化シリコン膜53とからなる二層構造のゲート絶縁膜を得る。この後酸化シリコン膜53を保持容量Csの下側電極51aの上から除去し、誘電体膜を薄膜化する。続いて酸化シリコン膜53の上に、非晶質シリコン（アモルファスシリコン）からなるチャネル層54を例えば50nmの膜厚で形成する。このチャネル層54の形成に引き続き、チャネル層54内の水素を脱利させるための熱処理を行う。この熱処理に引き続き、チャネル層54の表面に対して水素化処理を行う。この水素化処理としては水素ガスプラズマにチャネル層54を晒す水素化処理が行われる。続いてプラズマCVD法により、チャネル層54の上にチッ化シリコンからなる保護ストップ層57を200nmの膜厚に形成する。続いてフォトリソグラフィー工程とエッチング工程を経ることによって、ゲート電極51の直上のみに保護ストップ層57を残すようにパタニングする。

10

【0043】

その後パタニングされた保護ストップ層57を覆う状態で、チャネル層54の上にリンを含むn型アモルファスシリコン膜58を約50nm程度の膜厚に形成する。その後フォトリソグラフィーとエッチングプロセスを経て、n型アモルファスシリコン膜58とその下層のチャネル層54とを島状にパタニングする。続いてn型アモルファスシリコン膜58を覆う状態で、ソース／ドレイン電極膜56をスパッタ法によって形成する。その後ソース／ドレイン電極膜56をパタニングすることによって、ソース電極56Sとドレイン電極56Dとを形成する。この時ドレイン電極56Dは保持容量Csの下側電極51aの上部まで延設されており、保持容量Csの上側電極56aとなっている。以上の工程により、保護ストップ層57によってチャネル層54が保護されたアモルファスシリコン薄膜トランジスタTr1が形成される。この薄膜トランジスタTr1は、酸化シリコン膜53を表面層としたゲート絶縁膜上に、アモルファスシリコンからなるチャネル層54を備えたボトムゲート型の薄膜トランジスタとなる。このとき同時に保持容量Csも形成される。図から明らかなように保持容量Csの誘電体膜の厚みは、サンプリングトランジスタTr1のゲート絶縁膜の厚みよりも薄膜化されている。

20

【0044】

30

図8は、図2及び図3に示した表示装置の駆動方法の他の例を示すタイミングチャートである。図4に示したタイミングチャートと同様の表記を採用して理解を容易にしている。図4に示した駆動方法と異なる点は、本駆動方法が閾電圧補正動作及びブートストラップ動作に加え、移動度補正動作を行っていることである。以下、図8に示した駆動方法を詳細に説明する。当該フィールドが始まる前のタイミングT0で、全ての制御線号WS, AZ1, AZ2, DSがローレベルにある。したがってNチャネル型のトランジスタTr1, Tr2, Tr3はオフ状態にある一方、Pチャネル型のトランジスタTr4のみオン状態である。したがってドライブトランジスタTrdはオン状態のトランジスタTr4を介して電源Vccに接続しているので、所定の入力電圧Vgsに応じて出力電流Idsを発光素子ELに供給している。したがってタイミングT0で発光素子ELは発光している。この時ドライブトランジスタTrdに印加される入力電圧Vgsは、ゲート電位(G)とソース電位(S)の差で表される。

40

【0045】

当該フィールドが始まるタイミングT1で、制御信号DSがローレベルからハイレベルに切り替わる。これによりトランジスタTr4がオフし、ドライブトランジスタTrdは電源Vccから切り離されるので、発光が停止し非発光期間に入る。したがってタイミングT1に入ると、全てのトランジスタTr1～Tr4がオフ状態になる。

【0046】

50

続いてタイミングT2に進むと、制御信号AZ1及びAZ2がハイレベルになるので、スイッチングトランジスタTr2及びTr3がオンする。この結果、ドライブトランジス

タ_{T rd}のゲートGが基準電位V_{ss1}に接続し、ソースSが基準電位V_{ss2}に接続される。ここでV_{ss1} - V_{ss2} > V_{th}を満たしており、V_{ss1} - V_{ss2} = V_{gs} > V_{th}とする事で、その後タイミングT3で行われるV_{th}補正の準備を行う。換言すると期間T2-T3は、ドライブトランジスタT_{rd}のリセット期間に相当する。また、発光素子ELの閾電圧をV_{th EL}とすると、V_{th EL} > V_{ss2}に設定されている。これにより、発光素子ELにはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行うV_{th}補正動作及び移動度補正動作を正常に行うために必要である。

【0047】

タイミングT3では制御信号AZ2をローレベルにし且つ直後制御信号DSもローレベルにしている。これによりトランジスタTr3がオフする一方トランジスタTr4がオンする。この結果ドレイン電流Idsが保持容量Csに流れ込み、V_{th}補正動作を開始する。この時ドライブトランジスタT_{rd}のゲートGはV_{ss1}に保持されており、ドライブトランジスタTrdがカットオフするまで電流Idsが流れる。カットオフするとドライブトランジスタTrdのソース電位(S)はV_{ss1} - V_{th}となる。ドレイン電流がカットオフした後のタイミングT4で制御信号DSを再びハイレベルに戻し、スイッチングトランジスタTr4をオフする。さらに制御信号AZ1もローレベルに戻し、スイッチングトランジスタTr2もオフする。この結果、保持容量CsにV_{th}が保持固定される。この様にタイミングT3-T4はドライブトランジスタT_{rd}の閾電圧V_{th}を検出する期間である。ここでは、この検出期間T3-T4をV_{th}補正期間と呼んでいる。

【0048】

この様にV_{th}補正を行った後タイミングT5で制御信号WSをハイレベルに切り替え、サンプリングトランジスタTr1をオンして映像信号V_{sig}を保持容量Csに書き込む。発光素子ELの等価容量Col edに比べて保持容量Csは充分に小さい。この結果、映像信号V_{sig}のほとんど大部分が保持容量Csに書き込まれる。正確には、V_{ss1}に対するV_{sig}の差分V_{sig} - V_{ss1}が保持容量Csに書き込まれる。したがってドライブトランジスタT_{rd}のゲートGとソースS間の電圧V_{gs}は、先に検出保持されたV_{th}と今回サンプリングされたV_{sig} - V_{ss1}を加えたレベル(V_{sig} - V_{ss1} + V_{th})となる。以降説明簡易化の為V_{ss1} = 0Vとすると、ゲート/ソース間電圧V_{gs}は図4のタイミングチャートに示すようにV_{sig} + V_{th}となる。かかる映像信号V_{sig}のサンプリングは制御信号WSがローレベルに戻るタイミングT7まで行われる。すなわちタイミングT5-T7がサンプリング期間に相当する。

【0049】

サンプリング期間の終了するタイミングT7より前のタイミングT6で制御信号DSがローレベルとなりスイッチングトランジスタTr4がオンする。これによりドライブトランジスタT_{rd}が電源V_{cc}に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタTr1がまだオン状態で且つスイッチングトランジスタTr4がオン状態に入った期間T6-T7で、ドライブトランジスタT_{rd}の移動度補正を行う。即ち本例では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間T6-T7で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子ELは実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間T6-T7では、ドライブトランジスタT_{rd}のゲートGが映像信号V_{sig}のレベルに固定された状態で、ドライブトランジスタT_{rd}にドレイン電流Idsが流れる。ここでV_{ss1} - V_{th} < V_{th EL}と設定しておく事で、発光素子ELは逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタT_{rd}に流れる電流Idsは保持容量Csと発光素子ELの等価容量Col edの両者を結合した容量C = Cs + Col edに書き込まれていく。これによりドライブトランジスタT_{rd}のソース電位(S)は上昇していく。図4のタイミングチャートではこの上昇分をVで表してある。この上昇分Vは結局保持容量Csに保持されたゲート/ソース間電圧V_{gs}から差し引かれる事になるので、負帰還をかけた事にな

10

20

30

40

50

る。この様にドライブトランジスタ T_{r d} の出力電流 I_{d s} を同じくドライブトランジスタ T_{r d} の入力電圧 V_{g s} に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 V は移動度補正期間 T₆ ~ T₇ の時間幅 t を調整する事で最適化可能である。

【0050】

タイミング T₇ では制御信号 W_S がロー・レベルとなりサンプリングトランジスタ T_{r 1} がオフする。この結果ドライブトランジスタ T_{r d} のゲート G は信号線 S_L から切り離される。映像信号 V_{s i g} の印加が解除されるので、ドライブトランジスタ T_{r d} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間保持容量 C_s に保持されたゲート / ソース間電圧 V_{g s} は (V_{s i g} - V + V_{t h}) の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 E_L の逆バイアス状態は解消されるので、出力電流 I_{d s} の流入により発光素子 E_L は実際に発光を開始する。この時のドレイン電流 I_{d s} 対ゲート電圧 V_{g s} の関係は、先のトランジスタ特性式 1 の V_{g s} に V_{s i g} - V + V_{t h} を代入する事で、以下の式 5 のように与えられる。

$$I_{d s} = k \mu (V_{g s} - V_{t h})^2 = k \mu (V_{s i g} - V)^2 \dots \text{式 5}$$

上記式 5 において、k = (1/2)(W/L)C_{ox} である。この特性式 5 から V_{t h} の項がキャンセルされており、発光素子 E_L に供給される出力電流 I_{d s} はドライブトランジスタ T_{r d} の閾電圧 V_{t h} に依存しない事が分かる。基本的にドレイン電流 I_{d s} は映像信号の信号電圧 V_{s i g} によって決まる。換言すると、発光素子 E_L は映像信号 V_{s i g} に応じた輝度で発光する事になる。その際 V_{s i g} は帰還量 V で補正されている。この補正量 V は丁度特性式 5 の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{d s} は実質的に映像信号 V_{s i g} のみに依存する事になる。

【0051】

最後にタイミング T₈ に至ると制御信号 D_S がハイ・レベルとなってスイッチングトランジスタ T_{r 4} がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{t h} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0052】

図 9 は、移動度補正期間 T₆ ~ T₇ における画素回路 2 の状態を示す回路図である。図示するように、移動度補正期間 T₆ ~ T₇ では、サンプリングトランジスタ T_{r 1} 及びスイッチングトランジスタ T_{r 4} がオンしている一方、残りのスイッチングトランジスタ T_{r 2} 及び T_{r 3} がオフしている。この状態でドライブトランジスタ T_{r 4} のソース電位 (S) は V_{s s 1} - V_{t h} である。このソース電位 (S) は発光素子 E_L のアノード電位でもある。前述したように V_{s s 1} - V_{t h} < V_{t h} E_L と設定しておく事で、発光素子 E_L は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタ T_{r d} に流れる電流 I_{d s} は保持容量 C_s と発光素子 E_L の等価容量 C_{o l e d} との合成容量 C = C_s + C_{o l e d} に流れ込む事になる。換言すると、ドレイン電流 I_{d s} の一部が保持容量 C_s に負帰還され、移動度の補正が行われる。

【0053】

図 10 は上述したトランジスタ特性式 5 をグラフ化したものであり、縦軸に I_{d s} を取り横軸に V_{s i g} を取ってある。このグラフの下方に特性式 5 も合わせて示してある。図 10 のグラフは、画素 1 と画素 2 を比較した状態で特性カーブを描いてある。画素 1 のドライブトランジスタの移動度 μ は相対的に大きい。逆に画素 2 に含まれるドライブトランジスタの移動度 μ は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば両画素 1, 2 に同レベルの映像信号の信号電圧 V_{s i g} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素 1 に流れる出力電流 I_{d s 1'} は、移動度 μ の小さい画素 2 に流れる出力電流 I_{d s 2'} に比べて大きな差が生じてしまう。この様に移動度 μ のばらつきに起因して出力電流 I_{d s} の間に大きな差が生じるので、スジムラが発生し画面のユニフォーミティを損なう事になる。

10

20

30

40

50

【0054】

そこで本実施例では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。先のトランジスタ特性式1から明らかのように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。したがって負帰還量 V は移動度が大きいほど大きくなる。図10のグラフに示すように、移動度 μ の大きな画素1の負帰還量 V_1 は移動度の小さな画素2の負帰還量 V_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくかかる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素1で V_1 の補正をかけると、出力電流は $I_{ds1'}$ から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素2の補正量 V_2 は小さいので、出力電流 $I_{ds2'}$ は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素1と2があった場合、移動度の大きい画素1の補正量 V_1 は移動度の小さい画素2の補正量 V_2 に対して小さくなる。つまり移動度が大きいほど V が大きく I_{ds} の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

10

【0055】

以下上述した移動度補正の数値解析を行う。図9に示したように、トランジスタ T_r1 及び T_r4 がオンした状態で、ドライブトランジスタ T_{rd} のソース電位を変数 V に取って解析を行う。ドライブトランジスタ T_{rd} のソース電位 (S) を V とすると、ドライブトランジスタ T_{rd} を流れるドレイン電流 I_{ds} は以下の式6に示す通りである。

20

【数1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式6}$$

【0056】

またドレイン電流 I_{ds} と容量 C ($= C_s + C_{olead}$) の関係により、以下の式7に示す様に $I_{ds} = dQ/dt = CdV/dt$ が成り立つ。

30

【数2】

$$\begin{aligned} I_{ds} &= \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式7} \\ &\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV \\ &\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}} \\ &\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \end{aligned}$$

40

【0057】

式7に式6を代入して両辺積分する。ここで、ソース電圧 V 初期状態は $-V_{th}$ であり、移動度ばらつき補正時間 ($T_6 - T_7$) を t とする。この微分方程式を解くと、移動度補正時間 t に対する画素電流が以下の数式8のように与えられる。

【数3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式8}$$

【0058】

図9に示した画素回路構成では、発光時に発光素子ELに駆動電流 I_{ds} が流れ、ドライブトランジスタTrdのソースSの電位が上昇する。この上昇幅はドライブトランジスタTrdを流れる駆動電流 I_{ds} に対して、発光素子ELの $I-V$ 特性によって決まる。一方ドライブトランジスタTrdのゲートGの電位は保持容量 C_s を介してソースSに接続されており、インピーダンスが高い状態になっているので、ソースSの電位上昇に対してゲートGの電位も上昇する。ここでドライブトランジスタTrdのゲートGにはサンプリングトランジスタTr1の拡散容量からなる寄生容量 C_p があり、ソース電位の上昇分 V_s に対して、ゲート電位の上昇分 V_g は、式9で示すように小さくなってしまう。

$$V_g = V_s \times C_s / (C_s + C_p) \dots \text{式9}$$

10

【0059】

この V_s と V_g の差分が式8の電圧項に入ってしまう。ここで V_s は発光時の V_{oled} とドライブトランジスタTrdの V_{th} によって決まるので、この差分項は以下の式10のようになる。

20

【数4】

$$\Delta V_g - \Delta V_s = -\frac{C_p}{C_s + C_p} \left(V_{oled} - V_{sig} + V_{th} + \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right) \quad \text{式10}$$

さらに式10の結果から駆動電流 I_{ds} は以下の式11のようになる。

【数5】

$$I_{ds} = k\mu \left\{ \frac{C_s}{C_s + C_p} \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} - \frac{C_p}{C_s + C_p} (V_{oled} - V_{sig} + V_{th}) \right\} \underset{\substack{\text{ブートストラップゲイン} \\ \text{Vth項}}}{=} \quad \text{式11}$$

30

つまり V_{th} ばらつきがブートストラップゲインによって式11の右辺に入ってしまい、そのため発光輝度に差が生じてしまう。パネルが高精細化するにつれ、保持容量 C_s を十分に取ることが困難になるので、このブートストラップ分の V_{th} ばらつきの割合は大きくなってしまう。そこで本発明は、上述したようにドライブトランジスタTrdのゲートGとソースSの間に挿入された保持容量 C_s を大きくしている。具体的には誘電体膜を薄膜化している。一方でドライブトランジスタTrdのゲートGに接続しているサンプリングトランジスタTr1やスイッチングトランジスタTr2はそのゲート絶縁膜を薄膜化しない。これによりブートストラップゲインを向上することが出来、ブートストラップロスによる駆動トランジスタTrdの V_{th} ばらつきに起因する画質低下を抑制し、高いユニフォーミティを得ることが出来る。

40

【0060】

本発明にかかる表示装置は、図11に示すようにフラット型のモジュール形状のものを含む。例えば絶縁性の基板上に、有機EL素子、薄膜トランジスタ、薄膜容量等からなる画素をマトリックス状に集積形成した画素アレイ部を設ける、この画素アレイ部（画素マトリックス部）を囲むように接着剤を配し、ガラス等の対向基板を貼り付けて表示モジュ

50

ールとする。この透明な対向基板には必要に応じて、カラーフィルタ、保護膜、遮光膜等を設けてもよい。表示モジュールには、外部から画素アレイ部への信号等を入出力するためのコネクタとして例えばFPC(フレキシブルプリントサーキット)を設けてよい。

【0061】

以上説明した本発明における表示装置は、フラットパネル形状を有し、様々な電子機器、例えば、デジタルカメラ、ノート型パソコンコンピューター、携帯電話、ビデオカメラなど、電子機器に入力された、若しくは、電子機器内で生成した映像信号を画像若しくは映像として表示するあらゆる分野の電子機器のディスプレイに適用することが可能である。以下この様な表示装置が適用された電子機器の例を示す。

10

【0062】

図12は本発明が適用されたテレビであり、フロントパネル12、フィルターガラス13等から構成される映像表示画面11を含み、本発明の表示装置をその映像表示画面11に用いることにより作製される。

【0063】

図13は本発明が適用されたデジタルカメラであり、上が正面図で下が背面図である。このデジタルカメラは、撮像レンズ、フラッシュ用の発光部15、表示部16、コントロールスイッチ、ニュースイッチ、シャッター19等を含み、本発明の表示装置をその表示部16に用いることにより作製される。

20

【0064】

図14は本発明が適用されたノート型パソコンコンピュータであり、本体20には文字等を入力するとき操作されるキーボード21を含み、本体カバーには画像を表示する表示部22を含み、本発明の表示装置をその表示部22に用いることにより作製される。

【0065】

図15は本発明が適用された携帯端末装置であり、左が開いた状態を表し、右が閉じた状態を表している。この携帯端末装置は、上側筐体23、下側筐体24、連結部(ここではヒンジ部)25、ディスプレイ26、サブディスプレイ27、ピクチャーライト28、カメラ29等を含み、本発明の表示装置をそのディスプレイ26やサブディスプレイ27に用いることにより作製される。

30

【0066】

図16は本発明が適用されたビデオカメラであり、本体部30、前方を向いた側面に被写体撮影用のレンズ34、撮影時のスタート/ストップスイッチ35、モニター36等を含み、本発明の表示装置をそのモニター36に用いることにより作製される。

【図面の簡単な説明】

【0067】

【図1】本発明にかかる表示装置の全体構成を示すブロック図である。

【図2】図1に示した表示装置に形成される画素を示す回路図である。

【図3】図2に示した画素回路の動作説明に供する模式図である。

【図4】図2及び図3に示した表示装置の動作説明に供するタイミングチャートである。

【図5】本発明にかかる表示装置の説明に供する模式的な回路図である。

【図6】本発明にかかる表示装置に含まれる画素のデバイス構造を示す断面図である。

【図7】同じくデバイス構造の他の例を示す模式的な断面図である。

【図8】図2及び図3に示した表示装置の動作説明に供する他のタイミングチャートである。

【図9】本発明にかかる表示装置の説明に供する模式図である。

【図10】同じく本発明にかかる表示装置の説明に供するグラフである。

【図11】本発明にかかる表示装置のモジュール構成を示す平面図である。

【図12】本発明にかかる表示装置を備えたテレビジョンセットを示す斜視図である。

【図13】本発明にかかる表示装置を備えたデジタルスチルカメラを示す斜視図である。

【図14】本発明にかかる表示装置を備えたノート型パソコンコンピューターを示す斜

40

50

視図である。

【図15】本発明にかかる表示装置を備えた携帯端末装置を示す模式図である。

【図16】本発明にかかる表示装置を備えたビデオカメラを示す斜視図である。

【図17】従来の画素回路の一例を示す回路図である。

【図18】発光素子の電流-電圧特性を示すグラフである。

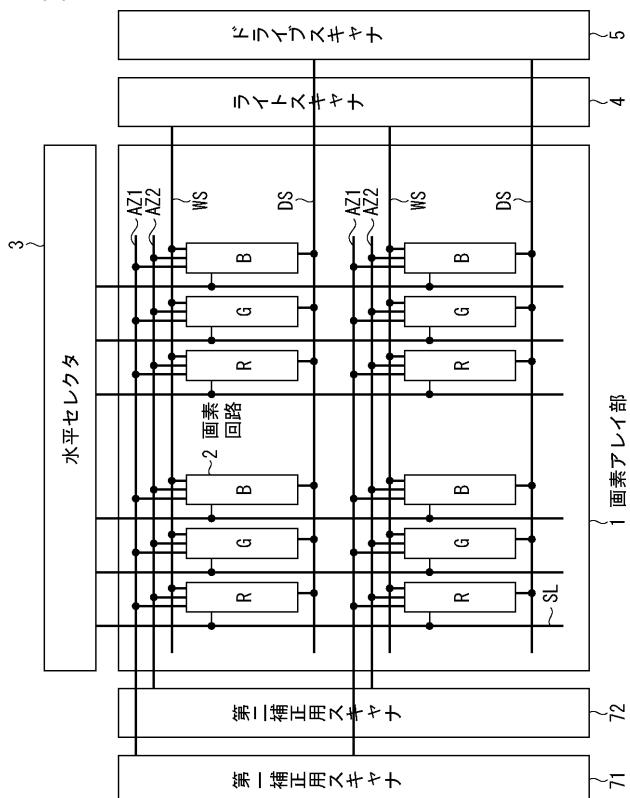
【符号の説明】

[0 0 6 8]

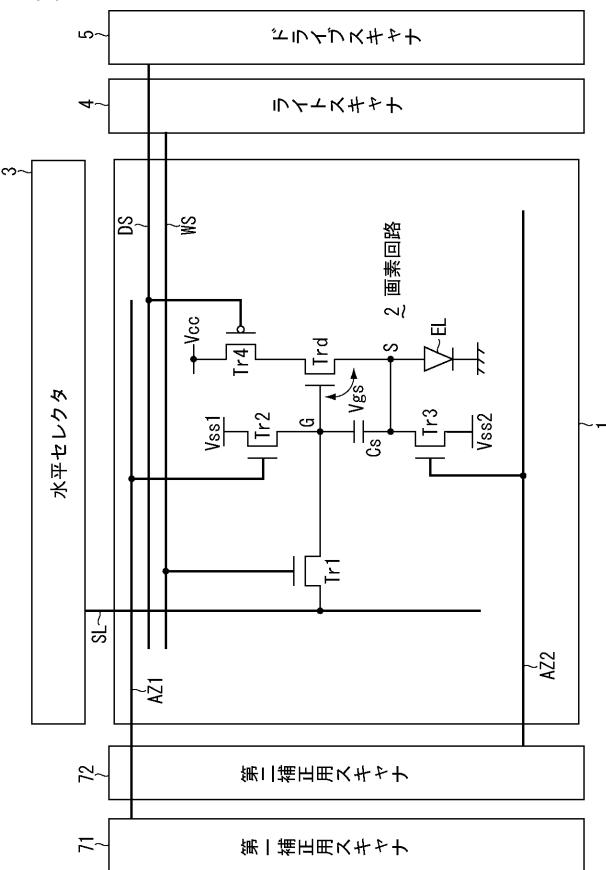
1 . . . 画素アレイ部、2 . . . 画素回路、3 . . . 水平セレクタ、4 . . . ライトスキヤナ、5 . . . ドライブスキヤナ、40 . . . ガラス基板、41 . . . ゲート電極、41a . . . 下側電極、42 . . . 酸化シリコン膜、43 . . . チッ化シリコン膜、44 . . . 半導体薄膜、44a . . . 上側電極、45 . . . 絶縁膜、71 . . . 第一補正用スキヤナ、72 . . . 第二補正用スキヤナ、Tr1 . . . サンプリングトランジスタ、Tr2 . . . 第1スイッチングトランジスタ、Tr3 . . . 第2スイッチングトランジスタ、Tr4 . . . 第3スイッチングトランジスタ、Trd . . . ドライブトランジスタ、Cs . . . 保持容量、EL . . . 発光素子、Vss1 . . . 第1電源電位、Vss2 . . . 第2電源電位、Vcc . . . 第3電源電位、WS . . . 第1走査線、AZ1 . . . 第2走査線、AZ2 . . . 第3走査線、DS . . . 第4走査線

0

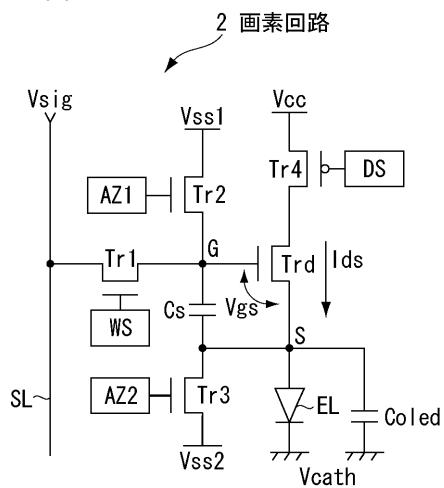
〔 1 〕



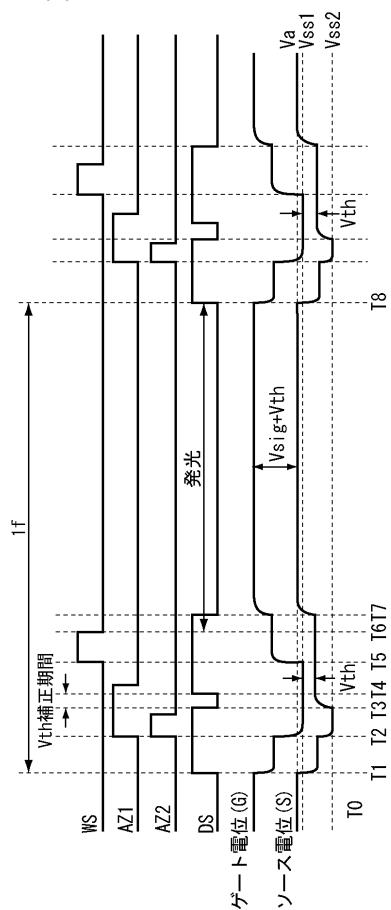
(义 2)



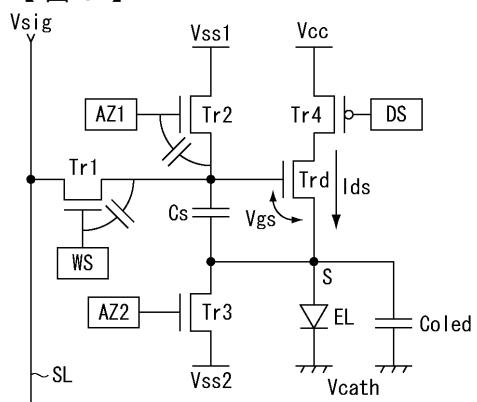
【図3】



【図4】

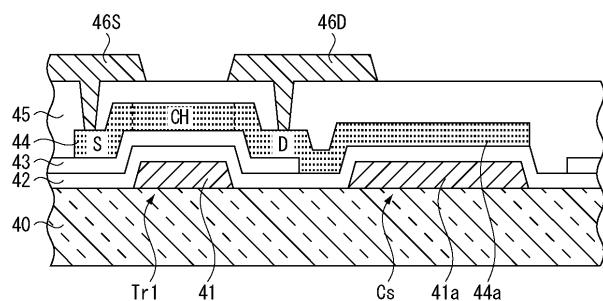


【図5】

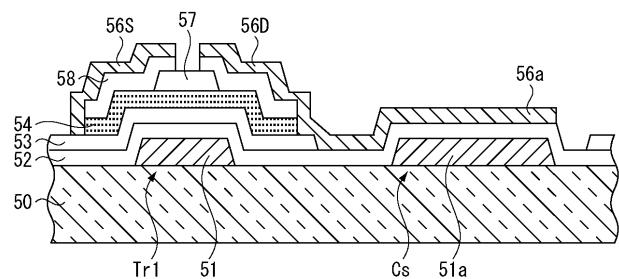


—||— Cp: 寄生容量

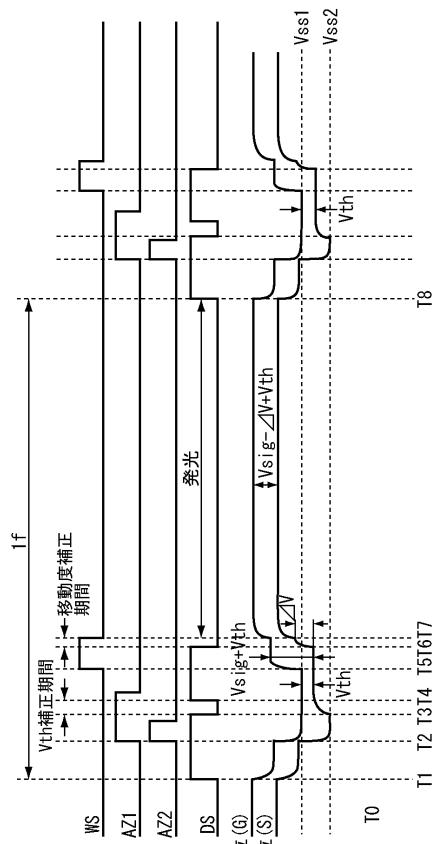
【図6】



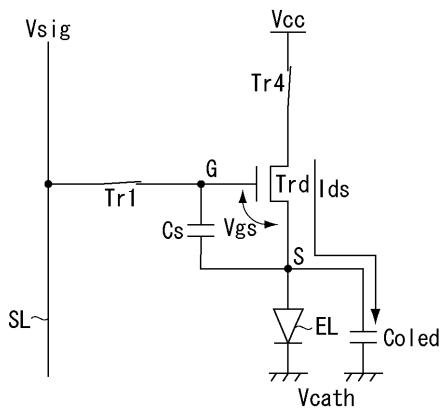
【図7】



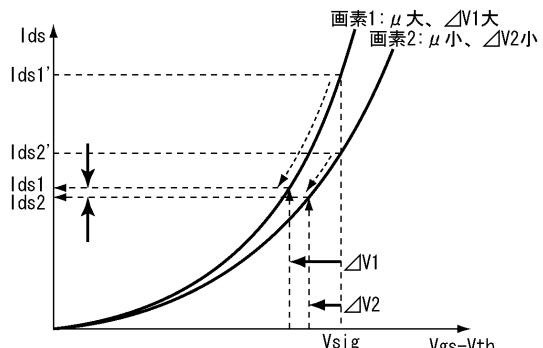
【図 8】



【図 9】

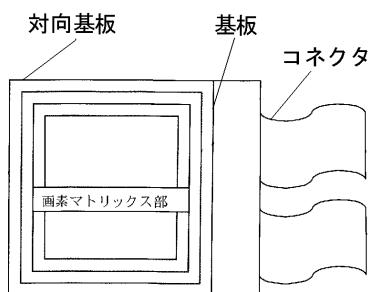


【図 10】

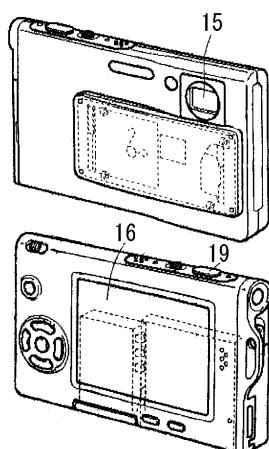


$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2$$

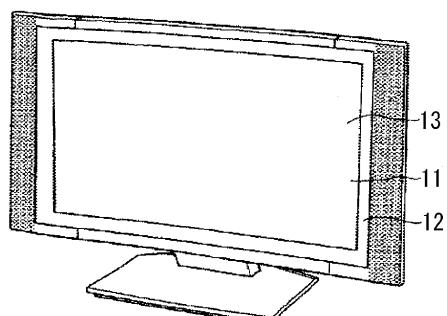
【図 11】



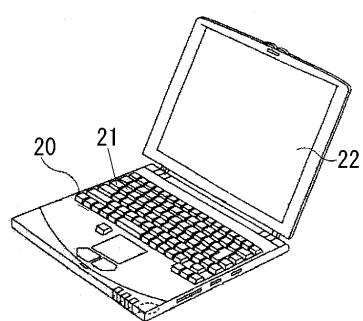
【図 13】



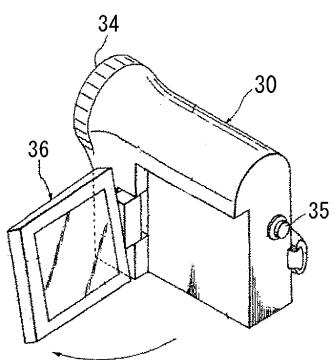
【図 12】



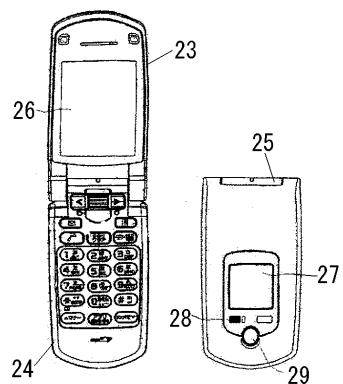
【図14】



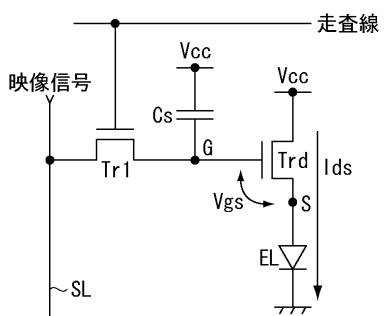
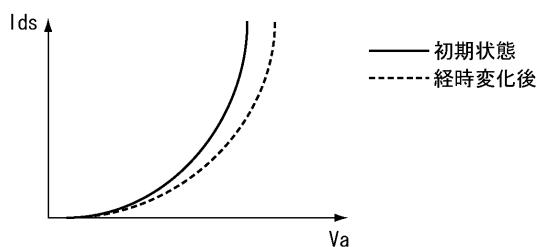
【図16】



【図15】



【図17】

【図18】
発光素子のI-V特性の経時変化

フロントページの続き

(51)Int.Cl.

F I

H 05 B 33/14

A

テーマコード(参考)

专利名称(译)	表示装置及び电子机器		
公开(公告)号	JP2008203656A	公开(公告)日	2008-09-04
申请号	JP2007041193	申请日	2007-02-21
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下淳一 内野勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080 /BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB31 5C380/AB32 5C380 /AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA29 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BB02 5C380/BB05 5C380/BB21 5C380/BD02 5C380/BD11 5C380/CA08 5C380/CA12 5C380 /CA53 5C380/CA54 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC30 5C380/CC33 5C380 /CC39 5C380/CC61 5C380/CC62 5C380/CC65 5C380/CD012 5C380/CD015 5C380/CD023 5C380 /CD025 5C380/CD045 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA08 5C380/HA12		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过尽可能地抑制自举损耗来提供具有高均匀性的显示装置。
SOLUTION：采样晶体管Tr1将视频信号写入保持电容Cs。驱动晶体管Trd将与写入的视频信号对应的驱动电流提供给发光元件EL。保持电容器Cs执行自举操作，使得当采样晶体管Tr1截止以使驱动晶体管Trd的栅极G与信号线SL断开时，栅极G处的电位跟随源极S的电位变化。保持电容器Cs由与采样晶体管Tr1的栅极绝缘膜在同一层中的介电膜构成，并且介电膜的厚度小于栅极绝缘膜的厚度，从而抑制自举增益的减小，表示比率为栅极电位随驱动晶体管Trd的源极电位的变化而变化。

