

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-52279

(P2008-52279A)

(43) 公開日 平成20年3月6日(2008.3.6)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 642A	
	G09G 3/20 680S	
審査請求 未請求 請求項の数 10 O L (全 9 頁) 最終頁に続く		

(21) 出願番号 特願2007-215803 (P2007-215803)
 (22) 出願日 平成19年8月22日 (2007.8.22)
 (31) 優先権主張番号 095131085
 (32) 優先日 平成18年8月24日 (2006.8.24)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 503141075
 統寶光電股▲ふん▼有限公司
 台湾苗栗縣竹南鎮科中路12號 新竹科學工業園區
 (74) 代理人 230104019
 弁護士 大野 聖二
 (74) 代理人 100106840
 弁理士 森田 耕司
 (74) 代理人 100115679
 弁理士 山田 勇毅
 (72) 発明者 劉 炳麟
 台湾新竹市金山十三街26號
 Fターム(参考) 3K107 AA01 BB01 BB08 CC33 EE04
 HH05
 5C080 AA06 BB05 DD05 JJ02 JJ03
 JJ04 KK02 KK07 KK20 KK43

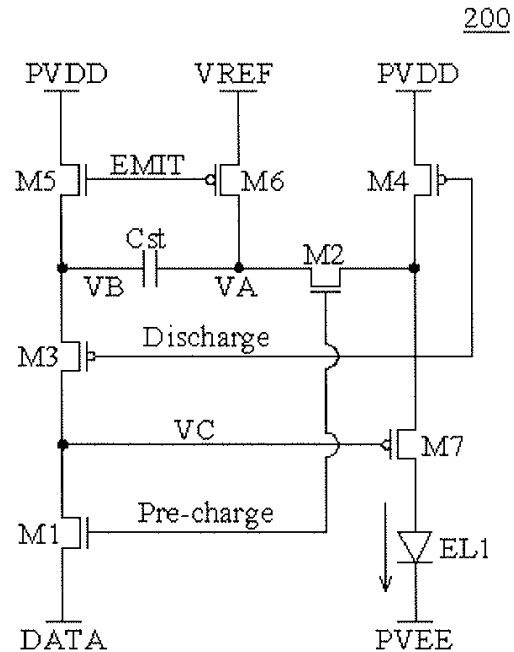
(54) 【発明の名称】 画像表示システム

(57) 【要約】 (修正有)

【課題】 スレッシュホールド電圧と電源電圧補償を含む画素駆動回路を提供する。

【解決手段】 画素駆動回路を含み、第1、第2節点間に接続したコンデンサ、第1信号を受け、第1、第2期間にオンする第1スイッチ、第1節点に接続され、第1、第2期間にオンする第2スイッチ、第2節点、第1スイッチの間に接続され、第1、第3と、第4期間にオンする第3スイッチ、第2スイッチと第1電圧間に接続され、第1、第3と、第4期間にオンにする第4スイッチ、第2節点と第1電圧の間に接続され、第1、第2と、第3期間にオンにする第5スイッチ、第1節点と基準電圧間に接続され、第4期間にオンにする第6スイッチ、第1スイッチに接続したゲート、第2スイッチに接続したソースと、ドレインを有し、第4期間にオンする第1トランジスタ、また、第1トランジスタのドレインと第2電圧の間に接続され、第4期間に発光するEL素子を含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

画素駆動回路を含む画像表示システムであって、

前記画素駆動回路は、

第 1 節点と第 2 節点の間に接続された蓄積コンデンサ、

第 1 信号を受け、第 1 期間と第 2 期間にオンにされる第 1 スイッチ、

前記第 1 節点に接続され、前記第 1 期間と前記第 2 期間にオンにされる第 2 スイッチ

、
前記第 2 節点と前記第 1 スイッチの間に接続され、前記第 1 期間、第 3 期間と、第 4 期間にオンにされる第 3 スイッチ、

前記第 2 スイッチと第 1 電圧の間に接続され、前記第 1 期間、前記第 3 期間と、前記第 4 期間にオンにされる第 4 スイッチ、

前記第 2 節点と前記第 1 電圧の間に接続され、前記第 1 期間、前記第 2 期間と、前記第 3 期間にオンにされる第 5 スイッチ、

前記第 1 節点と基準電圧の間に接続され、前記第 4 期間にオンにされる第 6 スイッチ

、
前記第 1 スイッチに接続されたゲート、前記第 2 スイッチに接続されたソースと、ドレインを有し、前記第 4 期間にオンにされ、前記ソースと前記ゲート間の電圧が前記第 2 期間、スレッシュールド電圧である第 1 トランジスタ、および

前記第 1 トランジスタのドレインと第 2 電圧の間に接続され、前記第 4 期間に発光するエレクトロルミネセント素子を含む画像表示システム。

【請求項 2】

前記第 1 スイッチと前記第 2 スイッチは、第 1 制御信号によって制御され、前記第 3 スイッチと前記第 4 スイッチは、第 2 制御信号によって制御され、前記第 5 スイッチと前記第 6 スイッチは、第 3 制御信号によって制御される請求項 1 に記載の画像表示システム。

【請求項 3】

前記第 1 制御信号は、前記第 1 期間と前記第 2 期間に高ロジックレベルであり、前記第 2 制御信号は、前記第 2 期間に高ロジックレベルであり、前記第 3 制御信号は、前記第 1 期間、前記第 2 期間と、前記第 3 期間に高ロジックレベルである請求項 2 に記載の画像表示システム。

【請求項 4】

前記蓄積コンデンサの前記第 1 節点と前記第 2 節点は、前記第 1 期間に前記第 1 電圧に充電される請求項 1 に記載の画像表示システム。

【請求項 5】

前記蓄積コンデンサの前記第 1 節点の電圧は、前記第 2 期間と前記第 3 期間の前記第 1 電圧と前記スレッシュールド電圧の合計である請求項 1 に記載の画像表示システム。

【請求項 6】

前記第 1 スイッチ、前記第 2 スイッチ、前記第 3 スイッチ、前記第 4 スイッチ、前記第 5 スイッチ、前記第 6 スイッチと、第 1 トランジスタは、ポリシリコン薄膜トランジスタである請求項 1 に記載の画像表示システム。

【請求項 7】

前記第 1 期間、前記第 2 期間、前記第 3 期間と、前記第 4 期間は、順次に生じる請求項 1 に記載の画像表示システム。

【請求項 8】

ディスプレイパネルを更に含み、前記画素駆動回路は、前記ディスプレイパネルの一部を形成する請求項 1 に記載の画像表示システム。

【請求項 9】

電子装置を更に含み、

前記電子装置は、

前記ディスプレイパネル、および

10

20

30

40

50

前記ディスプレイ装置に接続され、前記ディスプレイ装置に入力を提供することによって、前記ディスプレイ装置が画像を表示する入力ユニットを含む請求項 8 に記載の画像表示システム。

【請求項 10】

前記電子装置は、携帯電話、デジタルカメラ、PDA、ノート型パソコン、デスクトップ型パソコン、テレビ、カーディスプレイ、または携帯型DVDプレーヤーである請求項 9 に記載の画像表示システム。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、画素駆動回路に関し、特に、スレッシュホールド電圧と電源電圧補償を有する画素駆動回路に関するものである。

【背景技術】

【0002】

発光材料としての有機化合物を用いた有機発光ダイオード(OLED)ディスプレイは、フラットディスプレイでは一般的であり、好ましい小型、軽量、広視野角、高コントラスト比と、高応答速度を提供する。

【0003】

アクティブマトリクス型有機発光ダイオード(AMOLED)ディスプレイは、現在、フラットパネルディスプレイの次世代となっている。アクティブマトリクス型液晶ディスプレイ(AMLCD)に比べ、AMOLEDディスプレイは、例えば、高コントラスト比、広視野角、バックライトのない薄型モジュール、低電力消費と、低コストなどの多くの利点を有する。電圧源によって駆動されるAMLCDディスプレイと異なり、AMOLEDディスプレイは、電流源を必要としてエレクトロルミネセント素子を駆動する。エレクトロルミネセント素子の輝度は、それによって伝導された電流に比例する。電流のレベルの変化は、AMOLEDディスプレイの輝度の均一性に大きな影響を有する。よって、画素駆動回路の品質は、AMOLEDディスプレイの品質にとって欠かせないものである。

20

【0004】

図1は、従来のAMOLEDディスプレイの2T1C(2つのトランジスタと1つのコンデンサ)画素駆動回路10を表している。画素駆動回路10は、トランジスタM_xとM_y、エレクトロルミネセント素子ELと、コンデンサC_{st}を含む。信号ScanがトランジスタM_xをオンにした時、図1のV_{data}として表されるデータ信号は、P型トランジスタM_yのゲートの中に取り込まれ、コンデンサC_{st}に保存され、定電流を提供してエレクトロルミネセント素子ELを駆動し、発光する。図1に示すように、一般的に、AMOLEDディスプレイでは、電流源は、データ信号V_{data}によってゲートされたP型薄膜トランジスタ(TFT)(図1のM_y)によって実施され、V_{dd}に接続されたソースとドレインとエレクトロルミネセント素子ELの陽極をそれぞれ有する。よって、V_{data}に対応するエレクトロルミネセント素子ELの輝度は、以下の関係を有する。

30

$$\text{輝度} \propto \text{電流} \propto (V_{dd} - V_{data} - V_{th})^2$$

40

V_{th}は、トランジスタM_yのスレッシュホールド電圧であり、V_{dd}は、電源電圧である。

【0005】

低温ポリシリコン(LTPS)プロセスにより、通常、LTPS-TFTのV_{th}に変化があることから、スレッシュホールド電圧V_{th}が適当に補償されなければ、不均一な輝度がAMOLEDディスプレイに生じる可能性がある。更に、電力線の電圧降下も輝度の不均一な問題を生じる。このような問題を克服するために、表示の均一性を改善する、スレッシュホールド電圧V_{th}と電源電圧V_{dd}補償を有する画素駆動回路の実施が必要である。

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 6 】

スレッシュヨルド電圧と電源電圧補償を有する画素駆動回路を提供する。

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明は、画素駆動回路を含む画像表示システムを提供する。画素駆動回路は、第1節点と第2節点の間に接続された蓄積コンデンサ、第1信号を受け、第1期間と第2期間にオンにされる第1スイッチ、第1節点に接続され、第1期間と第2期間にオンにされる第2スイッチ、第2節点と第1スイッチの間に接続され、第1期間、第3期間と、第4期間にオンにされる第3スイッチ、第2スイッチと第1電圧の間に接続され、第1期間、第3期間と、第4期間にオンにされる第4スイッチ、第2節点と第1電圧の間に接続され、第1期間、第2期間と、第3期間にオンにされる第5スイッチ、第1節点と基準電圧の間に接続され、第4期間にオンにされる第6スイッチ、第1スイッチに接続されたゲート、第2スイッチに接続されたソースと、ドレインを有し、第4期間にオンにされ、そのソースとゲートの間の電圧は、第2期間、スレッシュヨルド電圧である第1トランジスタ、および第1トランジスタのドレインと第2電圧の間に接続され、第4期間に発光するエレクトロルミネセント素子を含む。

10

【 発明の効果 】

【 0 0 0 8 】

本発明のスレッシュヨルド電圧と電源電圧補償を有する画素駆動回路の画像表示システムによれば、スレッシュヨルド電圧を補償することで、不均一な輝度がAMOLEDディスプレイに生じなくなり、且つ、電力線の電圧降下も防ぐことができることで、輝度の不均一な問題がなくなり、表示の均一性を改善することができる。

20

【 発明を実施するための最良の形態 】

【 0 0 0 9 】

本発明についての目的、特徴、長所が一層明確に理解されるよう、以下に実施形態を例示し、図面を参照にしながら、詳細に説明する。

【 実施例 】

【 0 0 1 0 】

図2は、本発明の実施例に基づいた画素駆動回路200を表しており、スレッシュヨルド電圧 V_{th} と第1電圧 $PVDD$ を補償し、蓄積コンデンサ C_{st} 、第1トランジスタ $M1$ 、第2トランジスタ $M2$ 、第3トランジスタ $M3$ 、第4トランジスタ $M4$ 、第5トランジスタ $M5$ 、第6トランジスタ $M6$ 、第7トランジスタ $M7$ と、エレクトロルミネセント素子 $EL1$ を含む。蓄積コンデンサ C_{st} は、第5トランジスタ $M5$ と第6トランジスタ $M6$ の間に接続され、第1節点 VA と第2節点 VB の間にも接続される。第1トランジスタ $M1$ は、プリチャージ($precharge$)信号 $Pre-charge$ を受けるゲート、第3トランジスタ $M3$ に接続されたドレインと、データ信号 $DATA$ を受けるソースを有する。第2トランジスタ $M2$ は、プリチャージ信号 $Pre-charge$ を受けるゲートを有し、第1節点 VA と第4トランジスタ $M4$ の間に接続される。第3トランジスタ $M3$ は、放電($discharge$)信号 $Discharge$ を受けるゲートを有し、第5トランジスタ $M5$ と第1トランジスタ $M1$ の間に接続される。第4トランジスタ $M4$ は、放電信号 $Discharge$ を受けるゲートと、第1電圧 $PVDD$ に接続されたソースと、第2トランジスタ $M2$ に接続されたドレインを有する。第5トランジスタ $M5$ は、灯光($lighting$)信号 $EMIT$ を受けるゲートを有し、第1電圧 $PVDD$ と第2節点 VB の間に接続される。第6トランジスタ $M6$ は、灯光信号 $EMIT$ を受けるゲートを有し、基準電圧 $VREF$ と第1節点 VA の間に接続される。第7トランジスタ $M7$ (駆動トランジスタ)は、第1トランジスタ $M1$ のドレインに接続されたゲート、第2トランジスタ $M2$ に接続されたソースと、エレクトロルミネセント素子 $EL1$ に接続されたドレインを有する。エレクトロルミネセント素子 $EL1$ は、第7トランジスタ $M7$ のドレインと第2電圧 $PVEE$ の間に接続される。第1トランジスタ $M1$ 、第2トランジスタ $M2$ と、第5トランジスタ $M5$ は、N型金属酸化膜半導体(NMOS)トランジスタであり、第3ト

30

40

50

ランジスタM3、第4トランジスタM4、第6トランジスタM6と、第7トランジスタM7は、P型金属酸化膜半導体(PMOS)トランジスタである。また、第2トランジスタM2の性能は、その減少されたサイズで改善する。第5トランジスタM5のゲートの長さ幅比は、第7トランジスタM7のゲートの長さ幅比に比例する。

【0011】

図3は、本発明の実施例に基づいた画素駆動回路200のプリチャージ信号、放電信号と、灯光信号のタイミング図を表している。プリチャージ信号は、プリチャージ期間S1と放電期間S2で高ロジックレベルであり、接続期間S3と発光期間S4で低ロジックレベルである。放電信号Dischargeは、放電期間S2で高ロジックレベルであり、プリチャージ期間S1、接続期間S3と、発光期間S4で低ロジックレベルである。灯光信号EMITは、プリチャージ期間S1、放電期間S2と、接続期間S3で高ロジックレベルであり、発光期間S4で低ロジックレベルである。

10

【0012】

プリチャージ期間S1(第1期間)では、プリチャージ信号Pre-chargeと灯光信号EMITは、高ロジックレベルであり、放電信号Dischargeは、低ロジックレベルである。よって、第1トランジスタM1、第2トランジスタM2、第3トランジスタM3、第4トランジスタM4、第5トランジスタM5は、オンにされ、第6トランジスタM6は、オフにされる。この時、蓄積コンデンサCstの第1節点VAと第2節点VBの電圧レベルは、第1電圧PVDDの電圧レベルに等しく、第3節点VCの電圧レベルも第1電圧PVDDの電圧レベルに等しい。また、第7トランジスタM7は、ゲートの電圧レベルとトランジスタのソースが第1電圧PVDDに等しくなった時、オフにされる。

20

【0013】

放電期間S2(第2期間)では、プリチャージ信号Pre-charge、放電信号Dischargeと、灯光信号EMITは、高ロジックレベルである。よって、第1トランジスタM1、第2トランジスタM2と、第5トランジスタM5は、オンにされ、第3トランジスタM3、第4トランジスタM4と、第6トランジスタM6は、オフにされる。第3節点VCの電圧レベルは、データ信号DATAの電圧レベルに等しく、第2節点VBの電圧レベルは、第1電圧PVDDの電圧レベルに等しい。第3節点VCの電圧レベルがデータ信号DATAの電圧レベルに等しいことから、第2トランジスタM2は、オンにされ、第1節点VAの電圧レベルは、 $DATA + V_{th}$ となる(V_{th} は、第7トランジスタM7のスレッシュホールド電圧である)。この時、蓄積コンデンサCstの第1節点VAと第2節点VB間のクロス電圧は、 $DATA + V_{th} - PVDD$ である。

30

【0014】

接続期間S3(第3期間)では、灯光信号EMITは、高ロジックレベルであり、プリチャージ信号Pre-chargeと放電信号Dischargeは、低ロジックレベルである。よって、第3トランジスタM3、第4トランジスタM4と、第5トランジスタM5は、オンにされ、第1トランジスタM1、第2トランジスタM2と、第6トランジスタM6は、オフにされる。よって、第1節点VAの電圧レベルは、 $DATA + V_{th}$ であり、第2節点VBと第3節点VCの電圧レベルは、第1電圧PVDDの電圧レベルである。ゲートの電圧レベルと第7トランジスタM7のソースが第1電圧PVDDに等しいことから、第7トランジスタM7は、オフにされる。

40

【0015】

発光期間S4(第4期間)では、プリチャージ信号Pre-charge、放電信号Dischargeと、灯光信号EMITは、全て低ロジックレベルである。よって、第3トランジスタM3、第4トランジスタM4と、第6トランジスタM6は、オンにされ、第1トランジスタM1、第2トランジスタM2と、第5トランジスタM5は、オフにされる。第1節点VAの電圧レベルは、基準電圧VREFの電圧レベルである。蓄積コンデンサCstの節点VAと節点VB間の電圧降下がすぐに変換することができないことから、第2節点VBの電圧レベルは、 $PVDD - (DATA + V_{th} - VREF)$ である。エレクトロルミネセント素子EL1に流れる電流は、 $(V_{sg} - V_{th})^2$ と、 $(PVDD - VB$

50

- V_{th})² = (DATA - VREF)² に比例しており、エレクトロルミネセント素子 EL1 の輝度は、それによって伝導された電流に比例しており、エレクトロルミネセント素子 EL1 の輝度が第7トランジスタ M7 のスレッシュOLD電圧 V_{th} と第1電圧 PVD D に関係がないことを決定づける。発光期間 S4 では、第1電圧 PVD D は、第4トランジスタ M4、第7トランジスタ M7 と、エレクトロルミネセント素子 EL1 にのみ提供され、その他には提供されない。また、第1トランジスタ M1、第2トランジスタ M2、第3トランジスタ M3、第4トランジスタ M4、第5トランジスタ M5、第6トランジスタ M6 と、第7トランジスタ M7 は、高電流を提供するポリシリコン薄膜トランジスタであることができる。第1電圧 PVD D は、7 ~ 10 V の間の電源電圧であり、データ信号 DATA は、0.5 ~ 4 V の間の電源電圧である。また、各トランジスタ M1、M2、M3、M4、M5 と、M6 のタイミングがオンにされたのが記述されたのと同じである場合、第1トランジスタ M1、第2トランジスタ M2 と、第5トランジスタ M5 は、PMOS であることができ、第3トランジスタ M3、第4トランジスタ M4 と、第6トランジスタ M6 は、NMOS であることができる。注意するのは、第1期間 S1、第2期間 S2、第3期間 S3 と、第4期間 S4 は、順次に生じる。

10

【0016】

図4は、表示画像システムのもう1つの実施例を概略的に表しており、この場合、ディスプレイパネル400または電子装置600として実施される。図4に示すように、ディスプレイパネル400は、図2の画素駆動回路200を含む。ディスプレイパネル400は、さまざまな電子装置(この場合、電子装置600)の一部を形成することができる。一般的に、電子装置600は、ディスプレイパネル400と入力ユニット500を含むことができる。また、入力ユニット500は、ディスプレイパネル400に動作可能に接続され、入力信号をディスプレイパネル400に提供し、画像を発生させる。電子装置600は、例えば、携帯電話、デジタルカメラ、PDA、ノート型パソコン、デスクトップ型パソコン、テレビ、カーディスプレイ、または携帯型DVDプレーヤーなどであることができる。

20

【0017】

以上、本発明の好適な実施例を例示したが、これは本発明を限定するものではなく、本発明の精神及び範囲を逸脱しない限りにおいては、当業者であれば行い得る少々の変更や修飾を付加することは可能である。従って、本発明が保護を請求する範囲は、特許請求の範囲を基準とする。

30

【図面の簡単な説明】

【0018】

【図1】従来のAMOLEDディスプレイの2T1C画素駆動回路を表している。

【図2】本発明の実施例に基づいた画素駆動回路を表している。

【図3】本発明の実施例に基づいた画素駆動回路のプリチャージ(precharge)信号、放電(discharge)信号と、灯光(lightning)信号のタイミング図を表している。

【図4】表示画像システムのもう1つの実施例を概略的に表している。

【符号の説明】

40

【0019】

10 画素駆動回路

Vdata データ信号

Vdd 電源電圧

Vth スレッシュOLD電圧

Scan スキャン信号

Cst コンデンサ

Mx My トランジスタ

EL エレクトロルミネセント素子

200 画素駆動回路

50

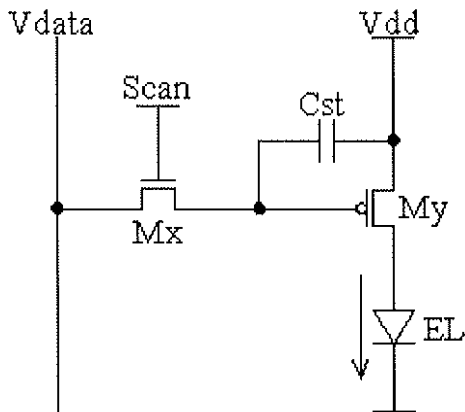
- PVDD 第1電圧
- VREF 基準電圧
- EMIT 灯光信号
- M1 ~ M7 第1 ~ 第7トランジスタ
- VA 第1節点
- VB 第2節点
- VC 第3節点
- Discharge 放電信号
- Pre-charge プリチャージ信号
- DATA データ信号
- PVEE 第2電圧
- EL1 エレクトロルミネセント素子
- S1 プリチャージ期間
- S2 放電期間
- S3 接続期間
- S4 発光期間
- 200 画素駆動回路
- 400 ディ스플레이パネル
- 500 入力ユニット
- 600 電子装置

10

20

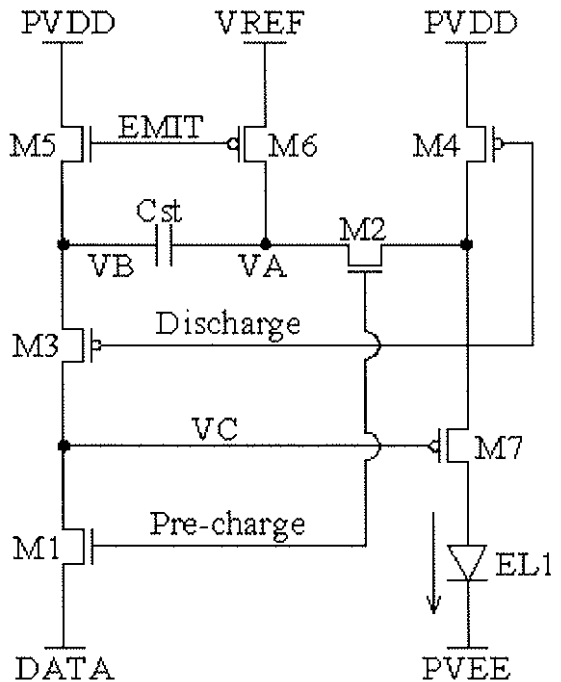
【図1】

10

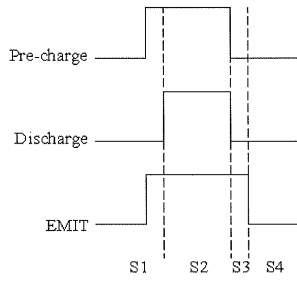


【図2】

200

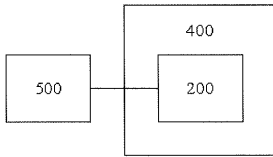


【 図 3 】



【 図 4 】

600



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 8 0 T

G 0 9 G 3/20 6 8 0 V

H 0 5 B 33/14 A

专利名称(译)	图像显示系统		
公开(公告)号	JP2008052279A	公开(公告)日	2008-03-06
申请号	JP2007215803	申请日	2007-08-22
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	统宝光电股▲ふん▼有限公司		
[标]发明人	劉炳麟		
发明人	劉炳麟		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A G09G3/20.680.S G09G3/20.680.T G09G3/20.680.V H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB08 3K107/CC33 3K107/EE04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK07 5C080/KK20 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA39 5C380/BB02 5C380/BC03 5C380/BC13 5C380/BC18 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CC06 5C380/CC07 5C380/CC26 5C380/CC34 5C380/CC39 5C380/CC53 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD017 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	森田浩二		
优先权	095131085 2006-08-24 TW		
其他公开文献	JP5143499B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种包括阈值电压和电源电压补偿的像素驱动电路。一种电容器，包括像素驱动电路，连接在第一和第二节点之间，第一开关接收第一信号并在第一和第二时段导通，并连接到第一节点，连接在第二时段期间导通的第二开关，第二节点和第一开关之间，以及第一时段，第三时段和第四时段导通的第三开关之间，第二开关和第一电压之间 第四开关在第一，第三和第四时段期间连接和导通，第四开关连接在第二节点和第一电压之间，并且在第一，第二和第三时段期间导通。在第四周期中，开关，连接在第一节点和参考电压之间并在第四周期中导通的第六开关，连接至第一开关的栅极，连接至第二开关的源极和漏极以及在第四周期中 它包括导通的第一晶体管，和连接在第一晶体管的漏极和第二电压之间并在第四周期发光的EL元件。[选择图]图2

