

【特許請求の範囲】

【請求項 1】

エレクトロルミネセンス表示装置の変動するパネル・キャパシタンス (C_p) から回収したエネルギーを使用して、エレクトロルミネセンス表示装置のグレースケール画像制御部に調整電力を提供する駆動回路であって、

電気エネルギーの供給源と、

前記電気エネルギーを受け取り、正弦波電圧の生成に応じて、前記表示装置の走査周波数と実質的に同期した共振周波数の電力を前記表示装置に供給する、前記パネル・キャパシタンス (C_p) を使用する共振回路と、

前記パネル・キャパシタンス (C_p) が変動した場合に前記正弦波電圧の最大値を調整する回路と、
を含む駆動回路。

10

【請求項 2】

前記共振回路が、さらに、前記表示装置の実効パネル・キャパシタンス (C_p) を小さくする降圧変圧器を含む請求項 1 に記載の駆動回路。

【請求項 3】

前記降圧変圧器が、さらに他のキャパシタンス (C_1) が接続された一次巻線と、前記パネル・キャパシタンス (C_p) が接続された第 1 の二次巻線であって、前記さらに他のキャパシタンス (C_1) の値が、前記走査周波数に対する前記共振周波数の実質的な同期を維持するように、前記パネル・キャパシタンス (C_p) に対して十分に大きい第 1 の二次巻線と、全波整流器に接続され、蓄積キャパシタ (C_s) が全波整流器の間でかつ前記パネル・キャパシタンス (C_p) と直列に接続されたさらに他の二次巻線であって、 (i) パネル・キャパシタンス (C_p) がその最大値かまたはそれに近い大きいパネル負荷の場合に、前記電気エネルギーのほとんどがパネルを充電する第 1 の二次巻線に流れ、残りのエネルギーが蓄積キャパシタ (C_s) を充電し、 ($i i$) パネル・キャパシタンスが平均値を有する平均的な負荷の場合に、エネルギーの約半分がパネルに流れ、エネルギーの半分が蓄積キャパシタ (C_s) に流れ、 ($i i i$) パネル・キャパシタンスが最小値かそれに近い小さい負荷の場合に、エネルギーのほとんどが蓄積キャパシタに流れ、残りのエネルギーがパネルに流れるように、前記蓄積キャパシタ (C_s) の値が、前記パネル・キャパシタンス (C_p) に対して十分に大きいさらに他の二次巻線とを有する請求項 2 に記載の駆動回路。

20

30

【請求項 4】

最大パネル・キャパシタンスに対する蓄積キャパシタ (C_s) のキャパシタンスの比率が、少なくとも約 10 : 1 である請求項 3 に記載の駆動回路。

【請求項 5】

最大パネル・キャパシタンスに対する蓄積キャパシタ (C_s) のキャパシタンスの比率が、少なくとも約 20 : 1 である請求項 4 に記載の駆動回路。

【請求項 6】

最大パネル・キャパシタンスに対する蓄積キャパシタ (C_s) のキャパシタンスの比率が、少なくとも約 30 : 1 である請求項 5 に記載の駆動回路。

40

【請求項 7】

前記全波整流器が、順方向ダイオード電圧降下を最小にするショットキーダイオードを含む請求項 3 に記載の駆動回路。

【請求項 8】

第 1 の第 2 の二次巻線の巻数に対するさらに他の二次巻線の巻数比が、少なくとも 1 . 05 : 1 である請求項 3 に記載の駆動回路。

【請求項 9】

第 1 の第 2 の二次巻線の巻数に対するさらに他の二次巻線の巻数比が、少なくとも 1 . 1 : 1 である請求項 3 に記載の駆動回路。

【請求項 10】

50

第 1 の第 2 の二次巻線の巻数に対するさらに他の二次巻線の巻数比が、 $1.1 : 1 \sim 1.2 : 1$ の範囲である請求項 9 に記載の駆動回路。

【請求項 11】

$C_1 >> (n_2 / n_1)^2 \times C_p$ となるように、前記一次巻線が巻数 n_1 を有し、前記二次巻線が巻数 n_2 を有する請求項 3 に記載の駆動回路。

【請求項 12】

前記共振周波数を変化させる追加のキャパシタをさらに含む請求項 3 に記載の駆動回路。

【請求項 13】

供給源が、さらに、直流電圧を生成する電圧手段と、前記直流電圧を電気エネルギーの
10 パルスにチョップするパルス幅変調器とを含む請求項 1 に記載の駆動回路。

【請求項 14】

前記表示装置の変動インピーダンスと前記表示装置によるエネルギー使用量により前記
正弦波電圧の変動を制御するために、前記共振回路が受け取る電気エネルギーの割合を制
御するコントローラをさらに含む請求項 1 に記載の駆動回路。

【請求項 15】

前記コントローラは、さらに、前記共振回路からの入力を使用しかつ前記コントローラ
へのフィードバック信号の提供に応じて前記正弦波電圧の変動をセンスするフィードバッ
ク回路を含む請求項 14 に記載の駆動回路。

【請求項 16】

前記入力が、前記共振回路の降圧変圧器の一次巻線からのものである請求項 15 に記載
の駆動回路。
20

【請求項 17】

前記正弦波電圧が、前記コントローラに対する前記フィードバック信号を調整すること
によって所定の値にクランプされる請求項 16 に記載の駆動回路。

【請求項 18】

前記表示装置の所定の走査周波数で走査されるように適応された複数の行と、
前記行と交差して、変動するパネル・キャパシタンス (C_p) を特徴とする複数の画素
を形成する複数の列と、
電気エネルギーの供給源と、
30 前記電気エネルギーを受け取りかつ正弦波電圧の生成に応じて、前記表示装置の走査周
波数と実質的に同期した共振周波数で前記表示装置に電力を提供する、前記パネル・キャ
パシタンス (C_p) を使用する共振回路と、
前記パネル・キャパシタンス (C_p) の変動に応じて前記正弦波電圧の最大値を調整す
る回路とを含む受動マトリクス表示装置。

【請求項 19】

前記共振回路が、前記表示装置の実効パネル・キャパシタンス (C_p) を小さくする降
圧変圧器をさらに含む請求項 18 に記載の受動マトリクス表示装置。

【請求項 20】

前記降圧変圧器が、さらに他のキャパシタンス (C_1) が接続された一次巻線と、前記
40 パネル・キャパシタンス (C_p) が接続された第 1 の二次巻線であって、前記走査周波数
に対する前記共振周波数の実質的な同期を維持するために、前記さらに他のキャパシタン
ス (C_1) の値が、前記パネル・キャパシタンス (C_p) に対して十分に大きい第 1 の二次
巻線と、全波整流器に接続され、蓄積キャパシタ (C_s) が全波整流器の間でかつ前記パ
ネル・キャパシタンス (C_p) と直列に接続されたさらに他の二次巻線であって、(i)
前記パネル・キャパシタンス (C_p) がその最大値かまたはその近くの大きいパネル負荷
の場合に、前記電気エネルギーのほとんどがパネルを充電する第 1 の二次巻線に流れ、残
りのエネルギーが蓄積キャパシタ (C_s) を充電し、(i i) パネル・キャパシタンス (C_p) が
50 平均値を有する平均的な負荷の場合に、エネルギーの約半分がパネルに流れ、エ
ネルギーの半分が蓄積キャパシタ (C_s) に流れ、(i i i) パネル・キャパシタンスが

最大値かまたはその近くの小さい負荷の場合に、ほとんどのエネルギーが蓄積キャパシタに流れ、残りのエネルギーがパネルに流れるように、前記蓄積キャパシタ (C_s) の値が、前記パネル・キャパシタンス (C_p) に対して十分に大きいさらに他の二次巻線とを有する請求項 19 に記載の受動マトリクス表示装置。

【請求項 21】

最大パネル・キャパシタンスに対する蓄積キャパシタ (C_s) のキャパシタンスの比率が、少なくとも約 10 : 1 である請求項 20 に記載の受動マトリクス表示装置。

【請求項 22】

最大パネル・キャパシタンスに対する蓄積キャパシタ (C_s) のキャパシタンスの比率が、少なくとも約 20 : 1 である請求項 21 に記載の受動マトリクス表示装置。

10

【請求項 23】

最大パネル・キャパシタンスに対する蓄積キャパシタ (C_s) のキャパシタンスの比率が、少なくとも約 30 : 1 である請求項 22 に記載の受動マトリクス表示装置。

【請求項 24】

前記全波整流器が、順方向ダイオード電圧降下を最小にするショットキーダイオードを含む請求項 20 に記載の受動マトリクス表示装置。

【請求項 25】

第 1 の第 2 の二次巻線の巻数に対する二次巻線の巻数比が、少なくとも 1.05 : 1 である請求項 20 に記載の受動マトリクス表示装置。

【請求項 26】

第 1 の第 2 の二次巻線の巻数に対する二次巻線の巻数比が、少なくとも 1.1 : 1 である請求項 20 に記載の受動マトリクス表示装置。

20

【請求項 27】

第 1 の第 2 の二次巻線の巻数に対する二次巻線の巻数比が、1.1 : 1 ~ 1.2 : 1 の範囲である請求項 26 に記載の受動マトリクス表示装置。

【請求項 28】

$C_1 > (n_2 / n_1)^2 \times C_p$ となるように、前記一次巻線が巻数 n_1 を有し、前記二次巻線が巻数 n_2 を有する請求項 20 に記載の受動マトリクス表示装置。

【請求項 29】

前記共振周波数を変化させる追加のキャパシタをさらに含む請求項 20 に記載の受動マトリクス表示装置。

30

【請求項 30】

供給源が、さらに、直流電圧を生成する電圧手段と、前記直流電圧を電気エネルギーのパルスにチョップするパルス幅変調器とを含む請求項 18 に記載の受動マトリクス表示装置。

【請求項 31】

前記表示装置の変動インピーダンスと前記表示装置によるエネルギー使用量により前記正弦波電圧の変動を制御するために、前記共振回路が受け取る電気エネルギーの割合を制御するコントローラをさらに含む請求項 18 に記載の受動マトリクス表示装置。

【請求項 32】

前記コントローラが、さらに、前記共振回路からの入力を使用しかつ前記コントローラへのフィードバック信号の提供に応じて前記正弦波電圧の変動をセンスするフィードバック回路を含む請求項 31 に記載の受動マトリクス表示装置。

40

【請求項 33】

前記入力、前記共振回路の降圧変圧器の一次巻線からのものである請求項 32 に記載の受動マトリクス表示装置。

【請求項 34】

前記正弦波電圧が、前記コントローラへの前記フィードバック信号を調整することによって所定の値にクランプされる請求項 33 に記載の受動マトリクス表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、一般に、フラット・パネル・ディスプレイに関し、より詳細には、パネルが駆動回路に大きい可変容量性負荷をかける場合とグレースケール制御を容易にするために駆動電圧を調整しなければならない場合の共振スイッチング・パネル駆動回路に関する。

【背景技術】

【0002】

エレクトロルミネセンス表示装置は、陰極線管よりも低い動作電圧、優れた画質、液晶ディスプレイを上回る広い視野角と速い応答時間、およびプラズマ・ディスプレイ・パネルよりも優れたグレースケール性能と薄い断面の点で有利である。しかしながら、エレクトロルミネセンス表示装置は、後でより詳しく考察するように、画素の充電効率が悪いために、消費電力が比較的大きい。これは、画素内での電気エネルギーから光への変換の効率が比較的高い場合でも当てはまる。しかしながら、エレクトロルミネセンス表示装置と関連した大きい消費電力の欠点は、エレクトロルミネセンス画素に蓄積された容量性エネルギーを効率よく回収できる場合には緩和することができる。

10

【0003】

本発明は、パネルが駆動回路に可変容量性負荷をかける場合とグレースケール制御を容易にするために駆動電圧を調整しなければならない場合に高いエネルギー効率で表示パネルを駆動する方法および回路に関する。本発明は、特に、パネル・キャパシタンスが大きいエレクトロルミネセンス表示装置に有効である。パネル・キャパシタンスは、表示装置の行ピン (row pin) と列ピン (column pin) に見られるようなキャパシタンスである。エレクトロルミネセンス表示装置の画素は、画素輝度が、画素の両端の電圧が規定のしきい値電圧よりも低い場合にゼロで、電圧がしきい値電圧よりも高くなるにほど次第に高くなるという特性を有する。この特性は、表示パネル上にビデオ画像を生成するマトリクス・アドレス指定の使用を容易にする。

20

【0004】

図1と図2に示したように、エレクトロルミネセンス表示装置は、2つの誘電体膜の間にカプセル化された蛍光体膜の両側に配置された行 (行1、行2など) と列 (列1、列2など) と呼ばれる交差する組になった平行な2本の導電性アドレス線を有する。画素は、行と列の交点として定義される。したがって、図2は、図1の行4と列4の交点にある画素の断面図である。各画素は、行と列の交点の両側に電圧を印加することによって発光する。マトリクス・アドレス指定は、しきい値電圧よりも低い電圧を1つの行に印加し、同時にその行と交差する各列に反対極性の電圧を印加することを必要とする。反対極性の電圧は、それぞれの画素に必要な照度に従って行電圧を高め、その結果1本の画像が生成される。代替の方式は、所望の画像により画素電圧を低くするために、1つの行に最高画素電圧を印加し、すべての列に、大きさが最高電圧としきい値電圧の差が最大となる同じ極性の列電圧を印加することである。いずれの場合も、各行がアドレス指定された後、別の行が、すべての行がアドレス指定されるまで同じようにアドレスされる。アドレス指定されていない行は、開回路のままである。すべての行を逐次アドレス指定することにより、完全なフレームが構成される。一般に、人間の目でフリッカの見えないビデオ画像を生成するためには、新しいフレームが、少なくとも毎秒約50回アドレス指定される。

30

40

【0005】

エレクトロルミネセンス表示装置の各行が発光するとき、発光画素に供給されるエネルギーの一部分は、電流が画素蛍光体層に流れて光を生成したときに放散されるが、一部分は、発光が終わった後で画素に蓄積されたままである。この残留エネルギーは、印加された電圧パルスの持続時間の間画素に残り、一般に、画素に供給されたエネルギーのごくわずかである。

図3は、画素の電気特性をモデル化した等価回路である。この回路は、 C_d と示した並列のキャパシタと C_p と示した直列キャパシタと共に、背中合わせに接続された2つのツェナーダイオードを含む。蛍光体膜と誘電体膜 (図2) は両方とも、物理的に、しきい値

50

電圧よりも低い絶縁体である。これは、図3に、一方のツェナー・ダイオードが導通しておらず、その結果、画素キャパシタンスが、2つのキャパシタ C_d と C_p の直列組み合わせのキャパシタンスになる状況で表される。しきい値電圧よりも高いと、蛍光体膜は導通し、これは、両方のツェナー・ダイオードが導通してその結果画素キャパシタンスが直列キャパシタだけのキャパシタンスと等しくなる状況に対応している。したがって、画素キャパシタンスは、電圧がしきい値電圧よりも高いか低いか依存する。さらに、表示装置上のすべての画素が、行と列によって互いに結合されているので、1つの列が発光するとき、パネル上のすべての画素が、少なくとも部分的に充電されることがある。発光していない行の画素の部分的充電の程度は、そのときの列電圧のばらつきに大きく依存する。すべての列電圧が同じ場合は、発光していない行の画素の部分的充電は起きない。列の約半分にほとんどまたは全く電圧が印加されておらず、残りの半分が最高電圧に近い場合に、部分的充電は最も激しい。後者の状況は、ビデオ画像を表示する際に頻繁に発生する。一般に、この部分的充電に関連したエネルギーは、特に高解像度パネルのように多数の行がある場合に、発光した行に蓄積されたエネルギーよりもかなり大きい。発光していない行に蓄積されるエネルギーはすべて、回収可能なことがあり、多数の行を有するパネルの場合は特に、画素に蓄積されるエネルギーの90%以上に達することがある。

10

【0006】

エネルギー消費に影響を及ぼすもう1つの要因は、画素の充電中に駆動回路および行と列の抵抗で損失するエネルギーである。この損失エネルギーは、画素が一定電圧で充電された場合に画素に蓄積されるエネルギーの大きさに匹敵することがある。このケースでは、画素が充電し始めたときに最初の大電流サージがある。損失電力は電流の2乗に比例するので、この大電流の期間に、ほとんどのエネルギーを損失する。画素充電中に流れる電流をほぼ一定電流にすると、損失エネルギーを減少させることができる。これは、例えばC.KingによるSID International Symposium Lecture Notes 1992, May 18, 1992, Volume 1, Lecture no. 6により、エレクトロルミネセンス表示装置技術で従来行われてきたような単一方形電圧パルスではない階段状電圧パルスを印加することにより対処されてきた。しかしながら、階段状パルスを提供するために必要な回路は、複雑さとコストを高める。

20

【0007】

また、抵抗エネルギー損失を小さくするために、正弦波駆動波形が使用されてきた。米国特許第4,574,342号は、エレクトロルミネセンス表示パネルを駆動するためにDC-AC反転器と共振タンク回路を使用して生成された正弦波電源電圧の使用を教示している。パネルは、タンク回路のキャパシタンスと並列に接続される。タンク回路の電圧振幅を、パネルに関連した負荷に関係のない一定レベルで維持するために、電源電圧は、タンク回路と同期される。正弦波駆動電圧を使用することにより、定電圧駆動パルスと関連した高ピーク電流がなくなり、したがってピーク電流と関連した I^2R 損失が減少するが、パネルに蓄積された容量性エネルギーの回収は行われない。

30

【0008】

米国特許第4,707,692号は、部分的エネルギー回収を行うためにパネルのキャパシタンスと並列にインダクタを使用することを教示している。この方式は、表示動作固有のタイミング制約に対応する共振周波数を達成するために大きなインダクタを必要とし、また前に考察したように一般にエレクトロルミネセンス表示装置に生じる広範囲なパネル・キャパシタンスにわたる効率的なエネルギー回収を可能にしない。米国特許第5,559,402号は、パネルの外部にある2つの小さなインダクタとキャパシタが、連続的に少しのエネルギー部分をパネルに放出したりパネルから受け入れたりする類似のインダクタ・スイッチング方式を教示している。しかしながら、蓄積エネルギーの一部分しか回収することができない。米国特許第4,349,816号は、大きな外部キャパシタを使用してパネルから回収したエネルギーを蓄積する容量性分圧回路に表示パネルを組み込むことによるエネルギー回収を教示している。この方式は、ドライバの容量性負荷を大きくし、負荷電流を増大させ、抵抗性損失を増大させる。これらの3つの特許はどれも、正弦波ドライバを使用することによる抵抗性損失の減少を教示していない。

40

50

【0009】

米国特許第4,633,141号、第5,027,040号、第5,293,098号、第5,440,208号、および第5,566,064号は、共振正弦波駆動電圧を使用して、エレクトロルミネセンス・ランプ要素を動作させ、ランプ要素内の容量性エネルギーの一部分を回収することを教示している。しかしながら、これらの方式は、パネル・キャパシタンスが短期間にランダムに大きく変化するときには効率的なエネルギー回収を容易にしない。実際に、そのようなキャパシタンスの変化に適応することは、パネルの老化特性によるゆっくりとした変化を補償する以外、パネル・キャパシタンスが一定のエレクトロルミネセンス・ランプの動作には必要ない。

【0010】

米国特許第5,315,311号は、エレクトロルミネセンス表示装置の電力節約方法を教示している。この方法は、画素電圧が行電圧と列電圧の合計である状況において列ドライバの電力需要が最も大きくなるを検出し、次に列電圧を低くしそれに応じて特定の行電圧を高くすることを必要とする。この方法は、ピーク電流を制限することによる抵抗性損失の低減を促進せず、またパネルから容量性エネルギーを回収しない。研究から、行電圧がしきい値電圧よりも少し高いために、特定の行内のオフになるべき画素がわずかに発光するので、この特許の方法は、表示装置のコントラスト比を低下させることが分かった。したがって、この従来技術の電力節約方法は、グレースケール性能と共によくいかない。

【0011】

同時係属米国特許出願第09/504,472号によれば、表示パネル内の蓄積容量性エネルギーを回収し再利用しかつ大きい瞬間電流に起因する抵抗性損失を最小限にするエレクトロルミネセンス表示装置の駆動方法および回路が提供される。そのような機能は、パネルとドライバ回路のエネルギー効率を高め、それによりその合計の電力消費が減少する。また、表示パネルとドライバ回路内の熱損失を小さくすることによって、パネルの画素をより高い電圧とより高いリフレッシュ速度で駆動することができ、それにより輝度が高くなる。出願人の先行発明のさらに他の利点は、パルス駆動電圧ではなく正弦波駆動電圧を使用することによって電磁妨害雑音が減少することである。正弦波駆動電圧を使用することにより、離散的パルスと関連した高周波ハーモニクスがなくなる。以上で示した利点は、高価な高電圧DC/DCコンバータを必要とせずに達成される。

【0012】

米国特許出願第09/504,472号の表示パネルと駆動回路のエネルギー効率は、表示行に電力を供給する回路と表示列に電力を供給する回路の、2つの正弦波電圧を生成する2つの共振回路を使用することにより改善される。表示装置の行ピンに見られるような行キャパシタンスは、行駆動回路用の共振回路の1つの要素を構成する。表示装置の列ピンに見られるような列キャパシタンスは、列駆動回路用の共振回路の1つの要素を構成する。

各共振回路内のエネルギーは、容量性素子と誘導性素子の間で周期的に移動される。各共振回路の共振周波数は、振動周期が、表示装置の走査周波数での連続パネル行の充電にできるだけ近くなるように整合され、すなわち同期されるように調整される。

【0013】

エネルギーが誘導的に蓄積されるとき、行共振回路を特定の行に接続するスイッチは、行が次々とアドレス指定されるときに誘導的に蓄積されたエネルギーを適切な行に導くように作動する。また、行の行駆動回路は、表示装置の耐用寿命を長くするために、交互のフレーム上の行電圧を反転する極性反転回路を含む。

同じように、列駆動回路は、誘導的に蓄積されたエネルギーを列に導くために、列共振回路をすべての列に同時に接続する。列スイッチは、従来技術で教示されているように、グレースケール制御を実現するために、各列に送られるエネルギーの量を制御する働きをする。一般に、行スイッチと列スイッチは、32または64の組で集積回路としてパッケージされ、それぞれ行ドライバと列ドライバと呼ばれる。

10

20

30

40

50

【0014】

図4は、米国特許出願第09/504,472号による共振回路の簡略図である。基本要素は、降圧変圧器(T)、変圧器の一次巻線の両端に接続されたパネル・キャパシタンス(C_p)に対応するキャパシタンス、および変圧器の二次巻線の両端に接続されたさらに他のキャパシタンス(C_1)を含む共振タンクを構成する共振電圧反転器である。必要に応じて、さらに他のキャパシタンスは、共振周波数を様々な表示走査周波数と同期させるように選択することができるキャパシタ(C_f)のさらに他のバンクを含むことができる。

【0015】

また、共振回路は、入ってきた正弦波信号を単極の共振振動に反転するために、電流がゼロのときに交互に開閉する2つのスイッチ(S_1 と S_2)を含む。入力直流電圧は、共振振動の電圧振幅を制御するために、パルス幅変調器(PWM)の制御下でスイッチ(S_3)によってチョップされる。振動電圧を安定させるために、二次側電圧の変動に応じて、変圧器の一次側からPWMに信号(FB)がフィードバックされて、スイッチ(S_3)のオン・オフ時間比が調整される。このフィードバックは、表示画像の変化により生じるパネル・インピーダンスの変動による電圧変化を補償する。パネル・インピーダンスは、表示装置の行ピンと列ピンに見られるようなインピーダンスである。

【0016】

効率的に動作するためには、共振周波数が列アドレス指定タイミング・パルスの周波数としっかりと一致したままになるように、駆動回路の共振周波数は、あまり大きく変化してはならない。共振周波数 f は、式1で与えられる。

$$f = 1 / (2 \sqrt{LC}) \quad (1)$$

ここで、 L はインダクタンス、 C は共振回路内のタンクのキャパシタンスである。共振回路は、タンク・キャパシタンスの合計に影響を及ぼすパネル・キャパシタンスの変動を考慮しなければならない。これは、タンク・キャパシタンスに対するパネル・キャパシタンス(C_p)の影響を小さくする降圧変圧器を使用することによって行われ、従って、有効タンク・キャパシタンス C は式2で与えられ、この場合、 C_p は、パネル・キャパシタンス、 C_1 は、変圧器の一次巻線の両端のキャパシタンス値、 n_1 と n_2 は、それぞれ変圧器の一次巻線と二次巻線の巻数である。

$$C = (n_2 / n_1)^2 C_p + C_1 \quad (2)$$

巻数の比(n_2 / n_1)の値と C_1 の比は、式2の第1項が第2項よりも小さくなるように選択される。式2は、巻数と特定のパネルの主キャパシタンスの適切な値を決定する規準として使用され、これらの値の相互の最適化は、共振回路の出力で測定した電圧波形を調べることによって行われる。次に、正弦波信号からのずれを最小にするように成分値が選択される。共振周波数が高すぎる場合は、図5Aに示した波形で例示した波形が観察され、この場合、波形の交番極性区分間にゼロ電圧期間がある。次に、規準として式1と式2を使用して適切な調整が行われる。共振周波数が低すぎる場合は、図5Bに示した波形で例示された波形が観察され、この場合、波形の交番極性区分を結ぶゼロボルトを横切る垂直電圧段がある。共振周波数が、行アドレス指定周波数とうまく一致した場合は、図5Cに示したように、ほとんど完全な正弦波波形が観察される。しかしながら、実際には、負荷の変動によって小さな周波数の変動が生じる。したがって、DC入力スイッチングは、通常、共振周波数の変動によって共振周波数がスイッチング周波数と等しいかまたはそれより高くなり、その結果理想共振周波数からのずれによって図5Aに示した波形になるように設定される。これは、図5Bに示したようなスイッチング・ポイントにおける急激な電圧変化と関連した大きい電流遷移を回避するためである。大きな遷移は、抵抗損を大きくして回路のエネルギー効率を低下させる。

【0017】

既知の従来技術では、修正する帰還回路の時定数よりも速い比率で生じ、それにより画像アーティファクトが生じる走査中の負荷の変動を吸収するフラット・パネル・ディスプレイの電圧調整が教示されていない。

10

20

30

40

50

米国特許第 5, 576, 601 号 (Koenckら) は、エレクトロルミネセンス・パネルと直列に結合された単巻変圧器の二次側出力を介してエレクトロルミネセンス・パネルに電力を印加することが当技術分野において既知であることを認めている。単巻変圧器のインダクタンスは、エレクトロルミネセンス・パネルのキャパシタンスに対して、エレクトロルミネセンス・パネルの所望の動作周波数で共振周波数を実現するように構成される。しかしながら、グレースケール走査の際の素早く変化する負荷変動を吸収する機構を教示していない。薄膜エレクトロルミネセンス・パネルで問題となるパネルの電圧スパイクを防ぐためにキャパシタが提供される。この発明は、より高い絶縁破壊電圧を特徴とする厚膜パネルに関する。

【0018】

10

米国特許第 3, 749, 977 号 (Slaker) は、エレクトロルミネセンス・ランプの駆動回路に関するものである。分離された二次側を備えた変圧器が開示されている。しかしながら、可変負荷による電圧調整を提供することは示唆していない。

また、日本国特許 11067447 (岡田) は、負荷の変動を経験受けないかまたは表示装置のグレースケール変動と多少関係があるエレクトロルミネセンス・ランプ用の駆動回路に関するものである。

米国特許第 4, 866, 349 号 (Weberら) は、発光するために駆動回路が持続的なアーク電流を提供しなければならないプラズマ・パネルや他のパネルに関するものである。

【0019】

20

米国特許第 5, 517, 089 号 (Ravid) は、変圧器を備えたエレクトロルミネセンス・パネルを教示している。しかしながら、共振回路やグレースケール制御機構は示唆していない。

【発明の開示】

【課題を解決するための手段】

【0020】

本発明により、行と列全体に見られるパネルのキャパシタンスが実質的に変化する場合でも、フラット・パネル・ディスプレイの行と列に提供される正弦波電圧波形の最大値を調整する方法および装置を提供する。この調整は、行または列への電圧が所定値を超えたときに電圧を実質的に一定値にクランプすることによって達成される。所定値は、行または列全体に見られるパネル・キャパシタンスが事実上その最大値に近いときに、クリッピングなしにピーク正弦波電圧になるように選択される。この電圧クランプ機能は、最大表示輝度のレベルまでの所望の入力電圧レベルのためにパネル・キャパシタンスに関係のない調整電圧を提供することによってグレースケール制御を容易する。

30

【0021】

発明の背景と好ましい実施形態の詳細な説明は、本明細書の以下に添付図面を参照して行う。

【発明を実施するための最良の形態】

【0022】

本発明のその最も広い態様によれば、図 4 の降圧変圧器 T の二次巻線が、出力の両端に大容量の蓄積キャパシタが接続された全波整流器に接続されている。蓄積キャパシタ C_s とパネル・キャパシタ C_p は、図 6 に示したように直列に接続されている。パネルに接続された第 2 の二次巻線の巻数に対する全波整流器と蓄積キャパシタ C_s に接続された二次巻線の巻数の比は、少なくとも 1.05 : 1 であり、好ましくは少なくとも 1.1 : 1 であり、より好ましくは 1.1 : 1 ~ 1.2 : 1 である。本発明の二次巻線の巻数比は、図 4 のエネルギー回収回路においてパネルに接続された 3 回巻き二次巻線の巻数比よりもかなり大きい。この回路の 3 回巻き巻線は、適切な動作を保証するために、行ドライバと列ドライバに入力される電圧にわずかな DC オフセットを提供するように設計されていた。蓄積キャパシタ C_s のキャパシタンスは、パネル・キャパシタンス C_p よりもかなり大きい。全波整流器が、蓄積キャパシタの両端の電圧が常に同じ極性になるようにするので、

40

50

電解コンデンサを使用することによって小さな体積で大きなキャパシタンスを達成することができる。また、タンタルやルテニウム酸化物のスーパーキャパシタのような他の高エネルギー密度のキャパシタを使用することもできる。

【0023】

動作中、パネルに印加される電圧は、パルス幅変調器(PWM)に対するフィードバックを調整することによって、任意に設定できる値でクランプされる。パネル・キャパシタンス C_p がその最大値に近い大きいパネル負荷の場合は、エネルギーの約90%が、パネルを充電するためにパネルに接続された二次巻線に流れるように調整され、残りの10%が蓄積キャパシタ C_s を充電する。パネル・キャパシタンスが平均値を有する平均的な負荷の場合は、エネルギーの約50%がパネルを充電するために導かれ、50%が蓄積キャ

10

【0024】

蓄積キャパシタ C_s の内部直列抵抗は、抵抗性損失とRC時定数によるキャパシタ両端の電圧変動が、指定された法定公差を超えないほど十分に小さくなるように選択される。また、2つの二次巻線の巻数比は、蓄積キャパシタを駆動する整流器内のダイオードの両端の順方向電圧降下と、二次回路内の抵抗性損失を考慮しなければならない。順方向ダイオード電圧降下は、整流器にショットキーダイオードを選択することによって最小にすることができる。

20

図6による回路の動作中に、クランプ電圧よりも低い電圧パルスが行または列に印加されるとき、一次巻線からのエネルギーは、主に、パネルの両端に接続された二次巻線に流される。同時に、蓄積キャパシタ C_s からのエネルギーが、パネルに流れる。電圧がクランプ電圧を超えると、蓄積キャパシタとパネル・キャパシタが並行に充電されるように、エネルギーが主に、一次巻線から整流器に接続された二次巻線を介して蓄積キャパシタとパネル・キャパシタの両方に送られる。並列のキャパシタンスは、蓄積キャパシタ C_s の

30

【0025】

表示画像のランダムな変化による多数のパルスにわたる蓄積キャパシタ C_s 両端の電圧の長期的なドリフトは、米国特許出願第09/504,742号に記載されているように、多数のアドレス指定サイクルにわたって平均電圧をセンスしそれを一次回路にフィードバックすることによってなくすることができる。これにより、単一パルスの時間スケール上の短期間の電圧変動とそれよりも長い期間の電圧変動を、グレースケール忠実度を維持するのに必要な程度に最小限に抑えることができる。

図7に、完全なディスプレイ・ドライバのブロック図を示す。この図において、HSyncは、単一系列のアドレス指定を開始するタイミング・パルスを示す。HSyncパルスは、時間遅延制御回路60に送られ、そこで、共振回路のゼロ電流時間が行と列のスイッチング時間に対応するように、遅延時間が設定される。回路60の出力は、行と列の共振回路62と64に印加され、回路62の出力が、極性切換回路66に印加される。極性切換回路66のスイッチング時間は、それぞれの完全フレームを開始するタイミングを制御するためにVSyncパルスによって制御される。回路64と66の出力はそれぞれ、後でより詳細に説明するようにクランプされ、列ドライバ68と行ドライバ70に印加される。

40

【0026】

図2に少し戻ると、本発明の好ましい実施形態は、厚膜誘電体層を有するエレクトロル

50

ミネセンス表示装置と共に使用するよう最適化される。厚膜エレクトロルミネセンス表示装置は、2つの誘電体層の一方が、高い誘電率を有する厚膜層をなす点が従来の薄膜エレクトロルミネセンス表示装置と異なる。第2の誘電体層は、絶縁破壊に耐える必要はなく、これは、厚膜層がこの機能を提供するからであり、薄膜エレクトロルミネセンス表示装置に使用される誘電体層よりも実質的に薄くすることができる。米国特許第5,432,015号は、そのような表示装置の厚膜誘電体層を構成する方法を教示している。厚膜エレクトロルミネセンス表示装置内の誘電体層の性質の結果として、図3に示した等価回路の値は、薄膜エレクトロルミネセンス表示装置の値と実質的に異なる。詳細には、 C_d の値は、薄膜エレクトロルミネセンス表示装置の値よりもかなり大きくてもよい。これにより、パネル・キャパシタンスの変動が、薄膜表示装置のものよりも大きい行と列の印加電圧の関数となり、本発明を厚膜表示装置に使用する大きな動機が提供される。しきい値電圧よりも低い画素キャパシタンスに対するしきい値電圧よりも高い画素キャパシタンスの比率は、一般に、約4:1であるが、10:1を超えてもよい。これと対照的に、薄膜エレクトロルミネセンス表示装置の場合、この比率は、約2:1~3:1の範囲である。一般に、パネル・キャパシタンスは、表示装置のサイズと行と列に印加される電圧によって、ナノファラッド・レンジからマイクロファラッド・レンジまでに変化することができる。

10

【0027】

8.5インチ(21.6センチメートル)の240×320画素クォータVGA形式厚膜カラー・エレクトロルミネセンス表示装置用に、行ドライバ回路と列ドライバ回路が、本発明の適切な実施化によって構成された。各画素は、個別の列と1つの共通の行によってアドレス指定された独立した赤、緑および青のサブピクセルを有する。試作品表示装置のしきい値電圧は、150ボルトであった。1つの行とすべて共通電位の列との間に10ボルト未満の電圧を印加して測定したこの表示装置のパネル・キャパシタンスは、7ナノファラッドであった。1つの行と1つの列の間が類似の電圧であるが、残りの列の半分が、選択した列と共通の電圧で、残りの列が、選択した列に対して60ボルトの電圧で測定したパネル・キャパシタンスは、はるかに大きな値の0.4マイクロファラッドであった。

20

【0028】

図8と図9はそれぞれ、列と行に使用される本発明の好ましい実施形態による共振回路の回路図である。図10は、行共振回路と行ドライバの間に接続されて、行ドライバ高電圧入力ピンに交番極性電圧を提供する極性反転回路の回路図である。共振回路への入力直流電圧は、330ボルト(交流120/240ボルトから非直結整流された)であった。極性反転回路の出力は、行ドライバIC70の高電圧入力ピンに接続されており(図7)、その出力ピンは、表示装置の行に接続されている。行ドライバのクロックとゲート入力ピンは、当技術分野で知られているような、エレクトロルミネセンス表示装置のマトリクス・アドレス指定用に適応されたフィールド・プログラマブル・ゲートアレイ(FPGA)を使用するデジタル回路を使用して同期される。

30

【0029】

図11と図12は、図7、図8、図9および図10に示したような本発明のドライバ回路を制御するために使用されるタイミング信号波形を示す。試作品表示装置の行アドレス指定周波数は32kHzであり、これにより、表示装置の120Hzのリフレッシュ速度が可能になった。

40

図8を参照すると、列駆動共振回路の共振周波数は、降圧変圧器T2の一次側に見られる実効インダクタンスと、T2の二次側に見られる列キャパシタンスと並列なキャパシタC42の実効キャパシタンスとによって制御される。また、共振周波数を微調整するために、C42と並列な小さなトリミング・キャパシタンスC11がある。変圧器の巻数比は、5よりも大きく、式2に関するキャパシタC42の値 C_1 は、共振周波数に対するパネル・キャパシタンスの変化の影響を最小にするために、 C_1 が $(n_2/n_1)^2 C_p$ よりも実質的に大きくなるように選択される。C9は、様々な表示走査周波数と一致または同期す

50

る所望の共振周波数を得るために、C 4 2 のキャパシタンスと共同でタンク回路を調整する一群のキャパシタである。

【0030】

図 8 をさらに参照すると、変圧器 T 2 の二次側の正弦波出力は、瞬間出力電圧が決して負にならないようにクランプ回路の蓄積キャパシタ C₅ の両端の電圧だけシフトされた直流である。

共振回路は、2つの MOSFET Q 2 および Q 3 を使用して駆動され、そのスイッチングは、H S y n c 信号と共に適切な遅延時間を使用して同期され、それにより行ドライバ IC にアドレス指定行を選択させる L C D R V 信号によって制御される。この遅延は、駆動電流がゼロに近づくときに行ドライバ IC のスイッチングが行われるように調整される。L C D R V 信号は、一般にフィールド・プログラマブル・ゲートアレイ (F P G A) であるディスプレイ・ドライバの低電圧ロジック部によって生成されるが、この目的のために設計された特定用途向け IC (A S I C) でもよい。L C D R V 信号は、デューティサイクル 5 0 % の T T L レベル方形波である。L C D R V 信号は、2つの形態を有し、L C D R V A 信号は、L C D R V B 信号と相補的である。

【0031】

図 8 を再び参照すると、共振回路の電圧レベルの制御は、出力が変圧器 T 6 を介して MOSFET Q 1 のゲートに送られるパルス幅変調器 U 1 を使用して達成される。これにより、330ボルトの入力直流電圧をチョップすることによって、共振回路の電圧レベルが制御される。インダクタ L 2 は、共振回路への電流をそれが直流電圧から供給されるように制限し、ダイオード D 1 2 は、インダクタの電流変化による MOSFET Q 1 のソースでの電圧偏位を制限する。共振回路電圧を規制または調整するために、パルス幅変調器のデューティサイクルが、変圧器 T 2 の一次側の電圧をセンスする電圧帰還回路によって制御される。パルス幅変調器のスイッチングは、ディスプレイ・ドライバの低電圧ロジック部からの T T L 信号 P W M S Y N C を使用して H S y n c と同期される。

【0032】

図 9 を参照すると、好ましい実施形態の行ドライバ回路の動作は、列ドライバ回路の動作と類似しているが、異なる点は、残りの行が開回路であるという事実のために、行全体に見られるより高い行電圧とより小さいパネル・キャパシタンス値を反映するために、列ドライバ回路の変圧器 T 2 の巻数比と変圧器 T 1 の巻数比が異なる点である。また、連続したフレーム上の行の極性を交番させる極性反転回路の動作に必要な浮動電圧を生成するために、変圧器 T 1 の二次巻線は T 2 の二次巻線よりも 4 回多い。

好ましい実施形態において、行ドライバ回路の出力は、図 1 0 に示した極性反転回路に送られる。これにより、エレクトロルミネセンス表示装置に必要な交流動作を実現するために交互のフレームに反対極性を有する行電圧が提供される。6つの MOSFET Q 4 ~ Q 9 は、パネルの行に生成された正または負の正弦波駆動波形を接続する 1 組のアナログ・スイッチを構成する。極性の選択は、F R A M E P O L によって制御され、表示システム内のシステム論理回路によって T T L 信号が生成される。F R A M E P O L 信号は、表示装置上の各フレームの走査を開始する垂直同期信号 V S Y N C と同期される。F R A M E P O L 信号は、T 1 からの 4 のつの浮動電圧と共に、極性反転回路を動作させる制御信号 (F R A M E _ P O L - 1 ~ F R A M E _ P O L - 4) を生成する。

【0033】

本明細書において本発明の代替実施形態を説明したが、本発明の精神または添付した特許請求の範囲から逸脱することなく実施形態を変更できることは当業者に理解されよう。

【図面の簡単な説明】

【0034】

【図 1】従来技術によるエレクトロルミネセンス表示装置の行と列の画素の構成の平面図である。

【図 2】図 1 のエレクトロルミネセンス表示装置の単一画素の断面図である。

10

20

30

40

50

【図3】図2の画素の等価回路である。

【図4】本出願人の先行出願である米国特許出願第09/504,472号によるディスプレイ・ドライバに使用されている共振回路の簡略化した回路図である。

【図5A】様々な条件下での図4の共振回路の波形を示すオシロスコープ・トレースである。

【図5B】様々な条件下での図4の共振回路の波形を示すオシロスコープ・トレースである。

【図5C】様々な条件下での図4の共振回路の波形を示すオシロスコープ・トレースである。

【図6】本発明の要素を含むディスプレイ・ドライバの変圧器の二次側部分の簡略化した回路図である。

10

【図7】本発明の要素を含むドライバ回路のブロック図である。

【図8】本発明の好ましい実施形態による列ドライバの詳細な回路図である。

【図9】本発明の好ましい実施形態による行ドライバの詳細な回路図である。

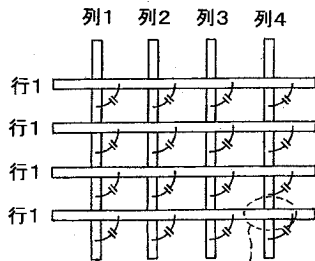
【図10】図9の行ドライバの出力に使用されている極性反転回路の詳細な回路図である。

【図11】本発明のディスプレイ・ドライバに使用されている表示タイミング・パルスを示すタイミング図である。

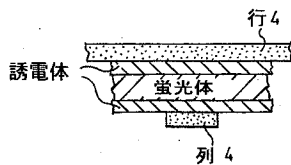
【図12】本発明のディスプレイ・ドライバに使用されている表示タイミング・パルスを示すタイミング図である。

20

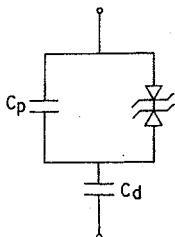
【図1】



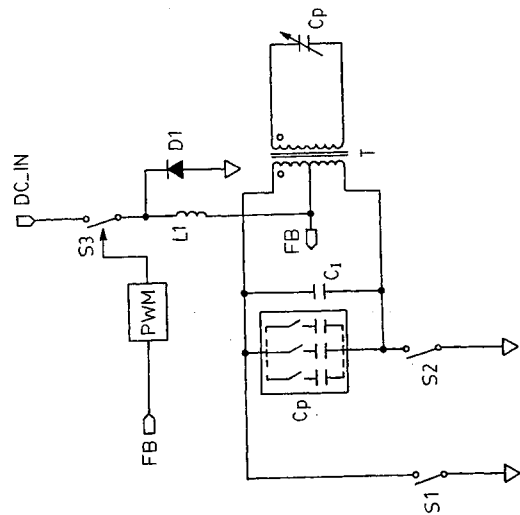
【図2】



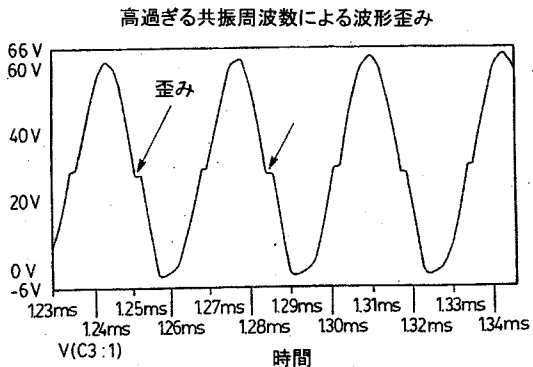
【図3】



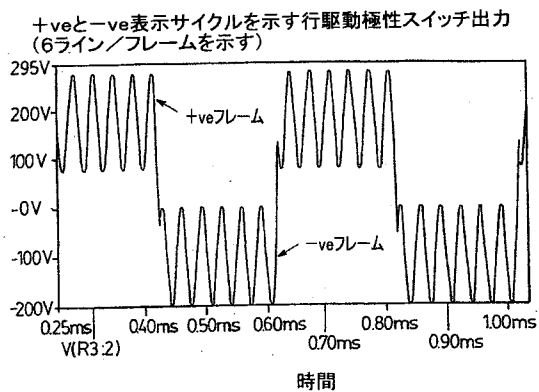
【図4】



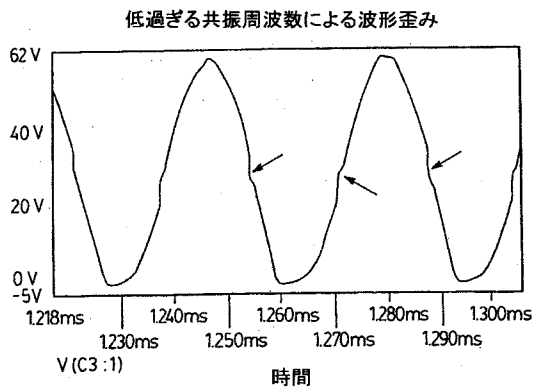
【 図 5 A 】



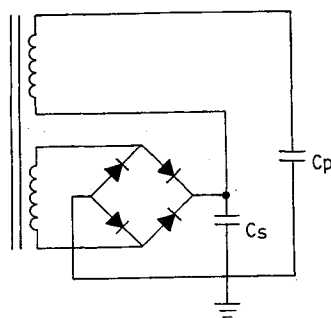
【 図 5 C 】



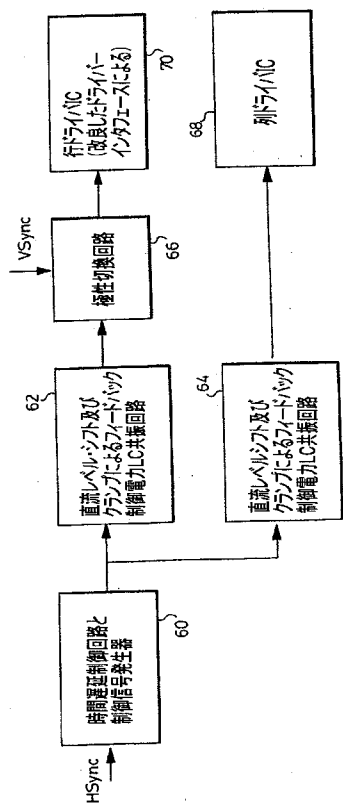
【 図 5 B 】



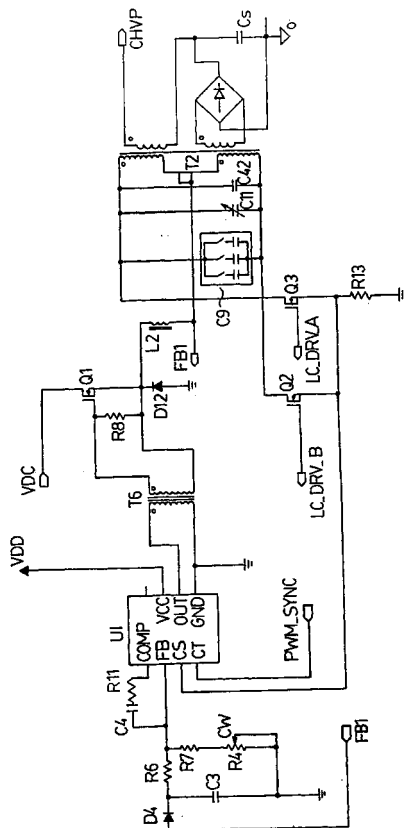
【 図 6 】



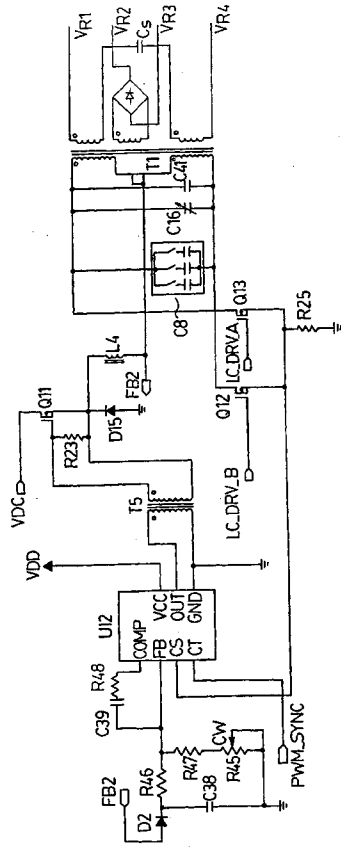
【 図 7 】



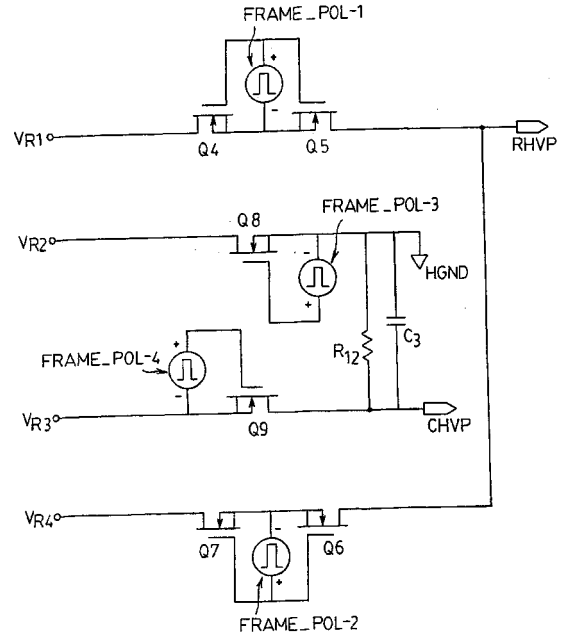
【 図 8 】



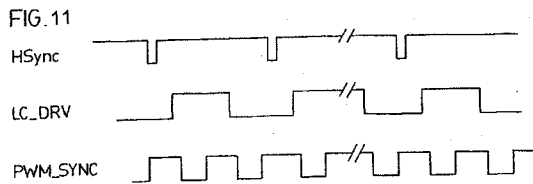
【 図 9 】



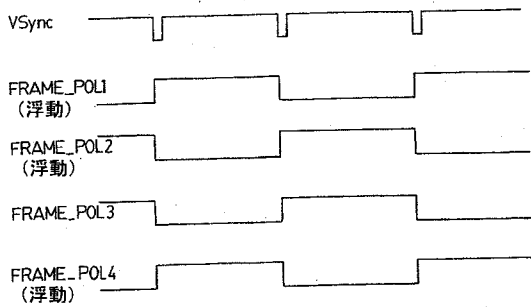
【 図 10 】



【 図 11 】



【 図 12 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Internati Application No PCT/CA 02/02008
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/30		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 01 61677 A (IFIRE TECHNOLOGY INC) 23 August 2001 (2001-08-23) page 7, line 26 -page 8, line 11; figure 4 page 10, line 17 - line 19; figures 1,2 page 12, line 11 - line 14	1,2, 13-19, 30-34
A	US 4 707 692 A (CORDY JR CLIFFORD B ET AL) 17 November 1987 (1987-11-17) cited in the application figure 2	3
A	US 4 633 141 A (WEBER PAUL J) 30 December 1986 (1986-12-30) cited in the application figure 6	3
	-/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
O document referring to an oral disclosure, use, exhibition or other means		*Z* document member of the same patent family
P document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 1 April 2003		Date of mailing of the international search report 15/04/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Gundlach, H

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Intern	Application No
PCT/CA 02/02008	

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 349 816 A (MILLER M ROBERT ET AL) 14 September 1982 (1982-09-14) cited in the application figure 4 ----	3
A	US 5 559 402 A (CORRIGAN III GEORGE H) 24 September 1996 (1996-09-24) cited in the application figure 2 ----	3
A	US 5 440 208 A (PACE WILSON D ET AL) 8 August 1995 (1995-08-08) cited in the application figure 3 ----	3
A	US 5 027 040 A (IKEDA TAKAAKI ET AL) 25 June 1991 (1991-06-25) cited in the application figure 1 -----	3

INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat Application No

PCT/CA 02/02008

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 0161677	A	23-08-2001	US 6448950 B1	10-09-2002
			AU 3353501 A	27-08-2001
			WO 0161677 A1	23-08-2001
			CN 1404599 T	19-03-2003
			EP 1256109 A1	13-11-2002
US 4707692	A	17-11-1987	JP 2033215 C	19-03-1996
			JP 5081912 B	16-11-1993
			JP 61132997 A	20-06-1986
US 4633141	A	30-12-1986	EP 0214153 A1	18-03-1987
			JP 7101636 B	01-11-1995
			JP 62502009 T	06-08-1987
			WO 8605304 A1	12-09-1986
US 4349816	A	14-09-1982	CA 1165482 A1	10-04-1984
US 5559402	A	24-09-1996	DE 69517477 D1	20-07-2000
			DE 69517477 T2	26-10-2000
			EP 0699015 A1	28-02-1996
			JP 8083683 A	26-03-1996
US 5440208	A	08-08-1995	NONE	
US 5027040	A	25-06-1991	JP 2256191 A	16-10-1990
			AU 631375 B2	26-11-1992
			AU 4127989 A	22-03-1990
			DE 68926647 D1	18-07-1996
			EP 0359245 A2	21-03-1990

フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

H 0 2 M 7/538

A

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ, GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE, ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,M Z,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

Fターム(参考) 5C080 AA06 BB05 DD26 FF12 JJ02 JJ03 JJ04 JJ06 JJ07
5H007 AA07 BB03 CA02 CB17 CB25 CC12 DA06 DC05 EA02

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2005513577A5	公开(公告)日	2006-03-02
申请号	JP2003556977	申请日	2002-12-23
[标]申请(专利权)人(译)	伊菲雷技术公司		
申请(专利权)人(译)	艾火科技公司		
[标]发明人	チェンチュンファイ		
发明人	チェン,チュン-ファイ		
IPC分类号	G09G3/30 G09G3/20 H02M7/48 H02M7/538		
CPC分类号	G09G3/30 G09G2330/023		
FI分类号	G09G3/30.J G09G3/20.621.G G09G3/20.632.K G09G3/20.641.A H02M7/48.A H02M7/538.A		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD26 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07 5H007/AA07 5H007/BB03 5H007/CA02 5H007/CB17 5H007/CB25 5H007/CC12 5H007/DA06 5H007/DC05 5H007/EA02		
优先权	10/036002 2001-12-26 US		
其他公开文献	JP2005513577A		

摘要(译)

要解决的问题：为了改善连接到整流器的额外次级绕组和与面板的一列串联连接的DC存储电容器，驱动器电压钳到一定程度。一该驱动电路包括谐振电路，该谐振电路能够有效地恢复存储在该行像素中的电容能量，并在寻址该行时将其电容能量移动到另一行像素。谐振电路包括一个降压变压器，初级绕组的电容器的两端，并连接到所述次级绕组的两端的显示面板的行或列，同步于用于管理显示设备的寻址定时脉冲以及用于驱动谐振电路的输入电压和FET开关。