

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2005-130469  
(P2005-130469A)

(43) 公開日 平成17年5月19日(2005.5.19)

(51) Int.Cl. <sup>7</sup>	F I	テーマコード (参考)
H03M 1/74	H03M 1/74	3K007
H03K 17/00	H03K 17/00 M	5J022
H03K 17/687	H05B 33/14 A	5J055
H05B 33/14	H03K 17/687 A	

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号	特願2004-268119 (P2004-268119)	(71) 出願人	000116024
(22) 出願日	平成16年9月15日 (2004. 9. 15)		ローム株式会社
(31) 優先権主張番号	特願2003-339531 (P2003-339531)		京都府京都市右京区西院溝崎町2 1 番地
(32) 優先日	平成15年9月30日 (2003. 9. 30)	(74) 代理人	100079555
(33) 優先権主張国	日本国 (JP)		弁理士 梶山 侑是
		(74) 代理人	100079957
			弁理士 山本 富士男
		(72) 発明者	前出 淳
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		(72) 発明者	阿部 真一
			京都市右京区西院溝崎町2 1 番地 ローム株式会社内

最終頁に続く

(54) 【発明の名称】 D/A変換回路、有機EL駆動回路および有機EL表示装置

(57) 【要約】

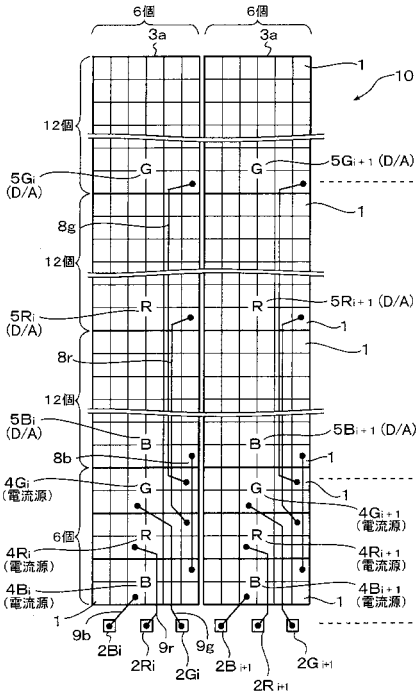
【課題】

トランジスタセルを多数用いてカレントミラー回路を構成し、このカレントミラー回路を要素とするD/Aを多数設けた回路において、D/Aの変換特性のばらつきによるD/A相互の出力電流のばらつきを低減できるD/A変換回路、有機EL駆動回路および有機EL表示装置を提供することにある。

【解決手段】

この発明は、ゲート領域が平面からみて折れ曲げられたストライプ状になっているMOSトランジスタあるいはゲート領域に流れる電流の方向が平面からみて折り返されるストライプ状のチャンネルを有するMOSトランジスタを持つ多数のトランジスタセルを形成して、これらのトランジスタセルを用いてカレントミラー回路形のD/Aを構成するものである。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

カレントミラー回路を要素とする D / A 変換回路において、

前記カレントミラー回路は、複数のトランジスタセルを含み、それぞれの前記トランジスタセルは、そのゲート領域が平面からみて折れ曲げられたストライプ状になっている MOS トランジスタあるいは前記ゲート領域に流れる電流の方向が平面からみて折り返されるストライプ状のチャンネルが形成された MOS トランジスタを有している D / A 変換回路。

## 【請求項 2】

前記トランジスタセルは、前記 MOS トランジスタとこれに直列に接続されたスイッチ動作のトランジスタとからなる直列回路からなる請求項 1 記載の D / A 変換回路。 10

## 【請求項 3】

前記 MOS トランジスタは、サーペンティン型 MOS トランジスタであり、前記スイッチ動作のトランジスタも MOS トランジスタであって、これら MOS トランジスタが平面からみて矩形の領域に形成されている請求項 2 記載の D / A 変換回路。

## 【請求項 4】

前記トランジスタセルは、前記カレントミラー回路の入力側トランジスタおよび複数の出力側トランジスタとしてそれぞれに割当られ、前記複数の出力側トランジスタセルのそれぞれの前記スイッチ動作のトランジスタは、ゲートに表示データの 1 ビットをそれぞれに受けて ON / OFF し、前記表示データを D / A 変換したアナログ電流を前記複数の出力側トランジスタセルの合計出力として発生する請求項 3 記載の D / A 変換回路。 20

## 【請求項 5】

前記アナログ電流は、有機 EL パネルの端子ピンに送出する電流あるいはその基礎となる電流として生成される請求項 4 記載の D / A 変換回路。

## 【請求項 6】

前記トランジスタセルは、平面からみて矩形のトランジスタ配列ブロックに縦横に多数配列されたトランジスタセルの中から選択されたセルである請求項 5 記載の D / A 変換回路。

## 【請求項 7】

請求項 1 ~ 6 のいずれか 1 項記載の D / A 変換回路を有する有機 EL 駆動回路。 30

## 【請求項 8】

請求項 6 記載の D / A 変換回路において、前記矩形のトランジスタ配列ブロックは、前記パッドの配列方向のパッドピッチの  $3n$  倍 ( $n$  は正の整数) に実質的に対応したパッド配列方向の幅を有しこの幅に対して 4 個以上の前記トランジスタセルが配列されかつ前記パッド配列方向に直交する方向に多数の前記トランジスタセルが配列されて形成され、前記トランジスタ配列ブロック内において R, G, B のそれぞれの前記 D / A 変換回路が前記パッド配列方向に対して直角な方向に順次形成されるように前記トランジスタセルが選択されて IC 化されている請求項 6 記載の D / A 変換回路を有する有機 EL 駆動回路。

## 【請求項 9】

請求項 7 あるいは請求項 8 記載の有機 EL 駆動回路と、この有機 EL 駆動回路から駆動電流を端子ピンに受ける有機 EL パネルとを有する有機 EL 表示装置。 40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、D / A 変換回路、有機 EL 駆動回路および有機 EL 表示装置に関し、詳しくは、有機 EL パネルのカラムピン対応に表示データを D / A 変換してカラム方向の駆動電流あるいはこの駆動電流の元となる電流を生成する電流駆動回路において、D / A 変換回路の変換特性のばらつきによる表示画面の輝度むら、輝度ばらつきを抑えることができるような有機 EL 駆動回路および有機 EL 表示装置の改良に関する。

## 【背景技術】

## 【0002】

携帯電話機、PHS、DVDプレーヤ、PDA（携帯端末装置）等に搭載される有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個（ $132 \times 3$ ）の端子ピン（カラムピン）、ローラインが162個の端子ピンを持つものが提案され、カラムライン、ローラインの端子ピンはこれ以上に増加する傾向にある。

このような有機EL表示パネルの駆動回路として、カラムピン対応にD/A変換回路を設けたこの出願人の出願特開2003-234655号（特許文献1）と特開2003-308043号（特許文献2）とがある。後者は、カラムピン対応に設けたD/A変換回路が表示データと基準電流とを受けて、基準電流に従って表示データを有機ELパネルのカラムピン対応にD/A変換してカラム方向の駆動電流あるいはこの駆動電流の元となる電流を生成する。この場合、特に、パッシブマトリックス型の有機ELパネルでは、容量性負荷となる特性を持つ有機EL素子を初期充電して駆動するためにピーク電流が生成される。

10

【特許文献1】特開2003-234655号公報

【特許文献2】特開2003-308043号公報

## 【0003】

図6は、有機EL表示パネルの駆動回路のカラムピン対応に設けられる、MOSFETトランジスタ（MOSトランジスタ）を主体としたD/A変換回路の一例（特開2003-308043号）である。

11は、電流駆動回路のD/A変換回路（D/A）である。D/A11は、いわゆる電流スイッチングD/Aであって、カレントミラー回路により構成されている。このD/A11は、入力側トランジスタTNaに定電流源12から入力端子11aを介して基準電流Ipを受け、さらに表示データD0~Dn-1をレジスタ16から受けて基準電流Ipを表示データ倍にして出力する回路である。このD/A11は、Nチャネルの入力側トランジスタTNaと、Nチャネルの出力側トランジスタTNb~TNn-1のカレントミラー回路で構成され、さらにピーク電流を生成するために、入力側トランジスタTNaと並列にNチャネルのMOSトランジスタTNpを入力側トランジスタとして有している。

20

## 【0004】

トランジスタTNpのゲートとドレインは入力端子11aに接続されている。トランジスタTNaとトランジスタTNpのソースは、抵抗Ra、Rpaとスイッチ回路SWa、SWPaを介してそれぞれ接地されている。スイッチ回路SWa、SWPaは、コントロール回路15からのパルス信号P、CONTによりON/OFFが制御される。スイッチ回路SWaがONしてスイッチ回路SWPaがOFF状態で基準電流Ipを受けてピーク電流をD/A11が出力する。スイッチ回路SWa、SWPaがともにONになって、D/A11は、基準電流に応じた定常電流を出力する。

30

なお、出力側トランジスタTNb~TNn-1の下流に設けられた抵抗Rb~Rn-1は、カレントミラー回路の動作電流をバランスさせる抵抗であり、抵抗Ra~Rn-1の下流に設けられたNチャネルのトランジスタTrb~Trn-1は、表示データD0~Dn-1によりON/OFFされるスイッチングトランジスタである。

## 【0005】

40

ここで、出力側トランジスタTNb~TNn-1は、それぞれのドレインがD/A11の出力端子11bに接続され、トランジスタTNaのゲート幅（チャンネル幅）に対してそれぞれのトランジスタは、例えば、 $x_1$ 、 $x_2$ 、 $x_4$ 、... $x_n$ の倍数の各桁の重みに対応するのゲート幅（チャンネル幅）を持っている。各桁の重みに対応するゲート幅（チャンネル幅）は、通常、トランジスタセルとして形成された単位トランジスタを複数個パラレルに接続することで形成される。

13は、出力段電流源であり、駆動レベルシフト回路13aと出力段カレントミラー回路13bとで構成されている。

駆動レベルシフト回路13aは、D/A11の出力電流を出力段カレントミラー回路13bに伝達するための回路であって、NチャネルのMOSトランジスタTNvからなる。ト

50

ランジスタ  $T_{Nv}$  のゲートは、バイアスライン  $V_b$  に接続され、ソース側が出力端子  $11b$  に接続され、ドレインが出力段カレントミラー回路  $13b$  の入力端子  $13c$  に接続されている。

出力段カレントミラー回路  $13b$  は、 $P$  チャネル  $MOS$  トランジスタ  $T_{Pu}$ 、 $T_{Pw}$  と、出力段カレントミラー回路を構成する  $P$  チャネル  $MOS$  トランジスタ  $T_{Px}$ 、 $T_{Py}$  とを有している。トランジスタ  $T_{Py}$  は、そのドレインから出力ピン  $9$  を介して有機  $EL$  素子  $4$  に駆動電流を出力する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

このような電流駆動回路は、基準電流  $I_p$  に従って  $D/A$  変換してカラム方向の駆動電流あるいはこの駆動電流の元となる電流をカラムピン対応に生成する。しかも、トランジスタセルを多数用いるカレントミラー回路で  $D/A$  を構成する。そのため、 $D/A$  の変換特性のばらつきがカラムピン相互の出力電流のばらつきとなり、それが表示画面の輝度むら、輝度ばらつきとなって現れてくる。

この輝度むら、輝度ばらつきは、基準電流の電流値を調整しても吸収できないため、 $D/A$  変換回路に変換電流値を調整する調整回路を設けることが必要になる。しかし、この調整回路は、カラムピン対応に設けなければならないために、調整回路の素子数が多くなると回路規模が大きくなって、 $IC$  として電流駆動回路をワンチップ化することが難しくなる。

20

この発明の目的は、このような従来技術の問題点を解決するものであって、トランジスタセルを多数用いてカレントミラー回路を構成し、このカレントミラー回路を要素とする  $D/A$  を多数設けた回路において、 $D/A$  の変換特性のばらつきによる  $D/A$  相互の出力電流のばらつきを低減できる  $D/A$  変換回路を提供することにある。

また、この発明の他の目的は、前記のようなトランジスタセルを多数用いるカレントミラー回路を要素とする  $D/A$  を用いる有機  $EL$  駆動回路および有機  $EL$  表示装置において、表示画面の輝度むら、輝度ばらつきを抑えることができる有機  $EL$  駆動回路または有機  $EL$  表示装置を提供することにある。

【課題を解決するための手段】

【0007】

30

このような目的を達成するためのこの発明の  $D/A$  変換回路、有機  $EL$  駆動回路または有機  $EL$  表示装置の特徴は、カレントミラー回路を要素とする  $D/A$  変換回路において、前記カレントミラー回路が複数のトランジスタセルを含み、それぞれのトランジスタセル（単位トランジスタ）がそのゲート領域が平面からみて折れ曲げられたストライプ状になっている  $MOS$  トランジスタあるいはゲート領域に流れる電流の方向が平面からみて折り返されるストライプ状のチャンネルが形成された  $MOS$  トランジスタを有しているものである。

【発明の効果】

【0008】

ところで、 $MOS$  トランジスタによるカレントミラー回路において、所定の入力駆動電流値  $I$  に対する出力側電流値のばらつき  $I$  は、次のような式で表すことができる。

40

$$I = I - 2 \quad V_{th} / (V_{GS} - V_{th}) \dots \dots (1)$$

ただし、 $V_{GS}$  は、ゲート - ソース間電圧、 $V_{th}$  は閾値電圧、 $V_{th}$  は、そのトランジスタの設計基準となる閾値電圧に対する差電圧である。

前記の (1) 式の  $(V_{GS} - V_{th})$  は、次の式で表すことができる。

$$V_{GS} - V_{th} = \{ (2 / \mu_n C_{ox}) \cdot (L / W) \cdot I_D \} \dots \dots (2)$$

ただし、 $\mu_n$  は電子移動度、 $C_{ox}$  はゲート酸化膜の単位面積あたりの容量、 $I_D$  はドレイン電流、 $L$  はチャンネル長、 $W$  はチャンネル幅である。

ところで、駆動ピン数は高解像度化の要請により増加する傾向にある。これにより消費電力が増加するので、その低減がいっそう要求される。そのため、 $D/A$  変換回路の動作

50

電源電圧は、例えば、3 V程度か、それ以下に抑える必要がある。したがって、 $V_{GS}$ を大きくすることはできない。

#### 【0009】

そこで、 $ID$ を一定値と考えた場合に、 $(V_{GS} - V_{th})$ を大きくすれば、ばらつき  $I$  は小さくなる。 $(V_{GS} - V_{th})$ を大きくするには、 $L/W$ を大きくすることが必要となる。言い換えれば、その逆数の $W/L$ を小さくすればよい。

そこで、この発明は、ゲート領域が平面からみて折れ曲げられたストライプ状になっているMOSトランジスタあるいはゲート領域に流れる電流の方向が平面からみて折り返されるストライプ状のチャンネルを有するMOSトランジスタを持つトランジスタセルを多数形成して、これらのトランジスタセルを用いてカレントミラー回路形の $D/A$ を構成する  
10  
。これによりチャンネル長 $L$ の長いトランジスタによりカレントミラー回路を構成することができる。また、これにより $W/L$ を小さくすることができる。

さらに、チャンネルを折れ曲げることでトランジスタセル（単位トランジスタ）の形態は、長方形状とならず、正方形に近い四角形にすることができる。このことからトランジスタセル間の距離が短くなる上に、集積効率を向上させることができる。また、これによりカレントミラー回路を構成するそれぞれのトランジスタの距離を短くレイアウトすることができる。その結果、カレントミラー回路を構成する各トランジスタの特性上からみたペ  
ア性を向上させることができ、 $D/A$ 変換の電流精度を向上させることができる。

このようなことから、この発明は、カレントミラー回路を用いる多数の $D/A$ を設けた回路において、 $D/A$ の変換特性のばらつきによる $D/A$ 相互の出力電流のばらつきを低  
20  
減できる。さらに、この発明の $D/A$ を有機ELパネルの端子ピン対応に設ける有機EL駆動回路および有機EL表示装置は、カレントミラー回路の変換電流のばらつきが抑制され、 $D/A$ 変換回路の変換特性のばらつきによる表示画面の輝度むら、輝度ばらつきを抑えることができる。

#### 【発明を実施するための最良の形態】

#### 【0010】

図1は、この発明の有機EL駆動回路を適用した一実施例の電流駆動回路の $D/A$ と出力段電流源のカレントミラー回路を構成するトランジスタセルについてのレイアウトの説明図、図2(a)は、カレントミラー形の $D/A$ におけるトランジスタセルの半導体構造の平面説明図、図2(b)は、そのA-A断面説明図、図3(a)は、カレントミラー形  
30  
の $D/A$ におけるトランジスタセルの他の半導体構造の平面説明図、図3(b)は、そのB-B断面説明図、図4は、カレントミラー形の $D/A$ におけるトランジスタセルのさらに他の半導体構造の平面説明図、図5(a)は、前記トランジスタセルを使用したカレントミラー形の $D/A$ の説明図、そして、図5(b)は、前記トランジスタセルの等価回路である。

図1において、10は、カレントミラーを構成するトランジスタセル（トランジスタ単位回路）1のレイアウトである。このレイアウト10は、有機EL駆動回路のカラムドライバICにおいて、カラムピン対応に設けられる $D/A$ と出力段電流源を形成する領域に  
40  
対応している。

図6に示す $D/A$ 11と出力段電流源13のカレントミラーを構成するするために、図1に示すようなレイアウト10で示す配列のトランジスタセル1を使用する。そのため、図6の $D/A$ 11は、図5(a)に示すように抵抗 $R_a \sim R_{n-1}$ を使用しない回路構成の  
40  
 $D/A$ 5とし、トランジスタセル1を図5(b)に示すように、電流出力用のNチャンネルMOSトランジスタ $T_N$ とスイッチ回路となるNチャンネルMOSトランジスタ $T_r$ の直列回路20からなる、2個のトランジスタを単位として構成する。さらに、 $D/A$ 5については、トランジスタセル1のトランジスタ $T_N$ を図2(a)、(b)に示すような平面からみて折り返されるストライプ状のチャンネルを有するサーペンティン型トランジスタ21とする。

#### 【0011】

図5(a)に示す $D/A$ 5は、トランジスタセル1をカレントミラー回路の2つの入力  
50

側トランジスタおよび多数の出力側トランジスタとして使用している。出力側トランジスタセル 1 のトランジスタ  $T_r$  は、そのゲート  $G_2$  が表示データのうちの 1 ビットを受け、その“1”、“0”に応じて ON / OFF する。そして、2 つの入力側トランジスタセル 1 のドレイン  $D$  は、共に  $D/A_5$  の入力端子  $5a$  に接続され、多数の出力側トランジスタセル 1 のドレイン  $D$  は、 $D/A_5$  の出力端子  $5b$  に接続されている。表示データに対するアナログ変換電流は出力端子  $5b$  に発生する。トランジスタ  $T_N$  のゲート  $G_1$  は、共通に接続され、さらに入力端子  $5a$  に接続されている。各トランジスタセル 1 のソース  $S$  (トランジスタ  $T_r$  のソース  $S$ ) はグランド  $GND$  に接続されている。

トランジスタセル 1 は、図 1 のレイアウト 10 に示すように、ここでは、有機 EL 駆動回路のカラムピンに接続されるパッド配列方向 (ロウ方向に対応) に対して直交する方向 (縦方向 = カラム方向) が長手方向となる長方形のトランジスタ配列ブロック 3a において縦横に配列されている。 10

#### 【0012】

トランジスタ配列ブロック 3a におけるトランジスタセル 1 の総個数は、252 個、42 個  $\times$  6 個である。このトランジスタ配列ブロック 3a は、所定の間隙を挟んでパッド配列方向 (横方向 = ロウ方向) に 3 パッドピッチおきに繰り返して形成されている。そして、ロウ方向の 2 個のトランジスタセル 1 からなる各列が各パッドにそれぞれ対応している。

3  $\times$  パッドピッチ幅の単位の各トランジスタ配列ブロック 3a においてそれぞれにカレントミラーを構成するトランジスタセル 1 が選択されて、R, G, B の  $D/A$  のそれぞれのカレントミラー回路が形成される。 20

この実施例では、図 6 の  $D/A_{11}$  に対応するものとして図 5 (a) に示す  $D/A_5$  の回路を  $D/A_{11}$  の回路に換えて使用する。 $D/A_5$  は、図 1 のレイアウト 10 において、R, G, B に対応して  $D/A_{5Bi}$  と、 $D/A_{5Ri}$ 、 $D/A_{5Gi}$  の各領域におけるそれぞれのトランジスタセル 1 によりそれぞれに形成される。 $D/A_{5Bi}$  と、 $D/A_{5Ri}$ 、 $D/A_{5Gi}$  のトランジスタセル 1 によりそれぞれ形成される  $D/A_5$  は、図 5 (a) に示すように、図 6 の  $D/A_{11}$  の抵抗  $R_a$ ,  $R_{Pa}$  が削除されて上流側の入力側トランジスタ  $T_{Na}$ , トランジスタ  $T_{Np}$  とスイッチ回路  $S_{Wa}$ ,  $S_{WPa}$  とがそれぞれ直接接続された回路となっている。また、抵抗  $R_a \sim R_{n-1}$  が削除されて上流の出力側トランジスタ  $T_{Na} \sim T_{Nn-1}$  と下流のスイッチ回路であるトランジスタ  $T_{ra} \sim T_{rn-1}$  とが直接接続されている。 30

#### 【0013】

その結果、カレントミラー回路を構成する入力側と出力側の各回路のトランジスタ構成は、図 5 (b) に示すようなソースとドレインが接続された電流出力用の N チャネル MOS トランジスタ  $T_N$  とスイッチ回路となる N チャネル MOS トランジスタ  $T_r$  の直列回路を単位回路とすることができる。

トランジスタ配列ブロック 3a のパッド 2 側に出力段電流源 13 を構成するカレントミラー回路の領域として各電流源  $4Bi$ ,  $4Ri$ ,  $4Gi$  のブロックが設けられる。B (青) のトランジスタセル領域が図示するように、2 個  $\times$  6 個の領域の電流源  $4Bi$  として割り当てられる。この領域の 10 個のトランジスタセルにより上の配線層でカレントミラー回路を構成する。そして、このカレントミラー回路の出力を上層の配線ライン 9b を介してパッド 2Bi に接続する。電流源  $4Bi$  では、10 個のトランジスタセルが使用され、残りの 2 個は予備あるいはダミーのトランジスタセルとされる。 40

#### 【0014】

パッド 2Bi 側を前とすると、これに対してその後ろには、R (赤) のカレントミラーの電流源を構成するトランジスタセル領域が図示するように、2 個  $\times$  6 個の領域として割り当てられる。ここを電流源  $4Ri$  とする。同様に各 10 個のトランジスタセルでカレントミラー回路を構成して、そのカレントミラー回路の出力を上層の配線ライン 9r を介してパッド 2Ri に接続する。

さらに、その後ろには、G (緑) のカレントミラーの電流源を構成するトランジスタセル領域が図示するように、2 個  $\times$  6 個の領域として割り当てられる。ここを電流源  $4Gi$  と 50

する。同様に各 10 個のトランジスタセルでカレントミラー回路を構成して、そのカレントミラー回路の出力を上層の配線ライン 9 g を介してパッド 2 Gi に接続する。

これらの後ろには、カレントミラー構成の電流スイッチング D / A を形成する 12 個 × 6 個の領域が 3 個設けられ、これら領域が同様に B, R, G に対応してこの順で D / A 5 Bi と、D / A 5 Ri、そして D / A 5 Gi としてそれぞれ割り当てられている。それぞれの D / A は、70 個のトランジスタセルとからなり、2 個のトランジスタセルが予備あるいはダミートランジスタとされる。

#### 【0015】

なお、前記のトランジスタセル（単位トランジスタ）252 個の個数は、カレントミラー回路を構成するものとしては、内部に単位トランジスタの面積の実質的に 2 倍あるいは n 倍のトランジスタあるいはトランジスタセルを部分的に 1 個形成した場合には、それを 2 個あるいは n 個として換算した数値になる。逆に、単位トランジスタの整数分の 1 のトランジスタあるいはトランジスタセルを部分的に 2 個あるいは n 個形成した場合にはカレントミラー回路を構成するものとしては、逆にそれら全体を 1 個と換算した値である。

D / A 5 Bi の出力端子は、電流源 4 Bi の入力端子と上層の配線ライン 8 b を介して接続されている。D / A 5 Ri と D / A 5 Gi もそれぞれ電流源 4 Ri、電流源 4 Gi と配線ライン 8 r、8 g を介してそれぞれの出力端子が電流源の対応する入力端子と接続されている。

このようなトランジスタ配列ブロック 3 a が B, R, G のそれぞれ 3 個のパッドごとにレイアウトされる。

なお、図 1 における B, R, G の各電流源 4 Bi、4 Ri、4 Gi のブロックについては、これらのブロックをパッド 2 Bi、2 Ri、2 Gi に対応して横方向に配列して、D / A 5 Bi、5 Ri、5 Gi のみを縦方向に B, R, G の順で配列してもよい。

#### 【0016】

ところで、図 6 における出力段電流源 13 は P チャネル MOS トランジスタであり、D / A 11 は N チャネル MOS トランジスタである。前記の配線ラインによる接続は、D / A 5 Bi と、D / A 5 Ri、D / A 5 Gi を N チャネル MOS トランジスタのトランジスタセル 1 とし、電流源 4 Bi と、電流源 4 Ri、電流源 4 Gi を P チャネル MOS トランジスタのトランジスタセル 1 とした場合である。したがって、電流源 4 Bi と、電流源 4 Ri、電流源 4 Gi については、図 5 (b) の等価回路は、図示しないが、N チャネルから P チャネル MOS トランジスタに変わる。

なお、ここでは、各電流源のブロックのトランジスタセル数が D / A のブロックのトランジスタセル数に比べてはるかに少ないので、トランジスタセル 1 の P チャネル、N チャネルの形態は別にして同じトランジスタセル 1 としているが、電流源 4 Bi と、電流源 4 Ri、電流源 4 Gi を D / A 5 Bi と、D / A 5 Ri、D / A 5 Gi とを、例えば、同じ N チャネル MOS トランジスタのトランジスタセル 1 とした場合には、別領域に形成した P チャネル MOS トランジスタのカレントミラー回路を介して D / A 5 Bi と、D / A 5 Ri、D / A 5 Gi の各出力端子と電流源 4 Bi と、電流源 4 Ri、電流源 4 Gi の各入力端子とをそれぞれ接続することになる。この場合には、N チャネル MOS トランジスタで形成される電流源 4 Bi と、電流源 4 Ri、電流源 4 Gi とは、図 6 の出力段電流源 13 の場合と異なり、電流シンク型になる。

また、電流源 4 Bi と、電流源 4 Ri、電流源 4 Gi を構成するトランジスタにはスイッチ動作のトランジスタは不要である。図 5 (b) の等価回路のトランジスタセル 1 の場合には、直列回路 20 のうち電流出力用の MOS トランジスタ T<sub>N</sub> が使用される。そこで、スイッチ回路となる N チャネル MOS トランジスタ T<sub>r</sub> は、ON 状態に設定されて実質的に電流出力用のトランジスタが 1 つ形成されているトランジスタセル 1 として使用される。

#### 【0017】

図 2、図 3 は、このような場合の図 5 (a) に示す D / A 5 の回路を形成する D / A 5 Bi、5 Ri、5 Gi の各領域に形成されるトランジスタセル 1 の半導体構造説明図である。

D / A 5 Bi、5 Ri、5 Gi のトランジスタセル 1 は、特に、図 5 (b) に示すように、トランジスタ T<sub>N</sub> とスイッチ回路となるトランジスタ T<sub>r</sub> の直列回路 20 で形成される。D /

10

20

30

40

50

A 5 Bi, 5 Ri, 5 Giは、図 6 の D / A 1 1 に対して抵抗が削除された回路である。そこで、カレントミラー回路の入力側も出力側も直列回路 2 0 が単位回路となっている。

具体的には、カレントミラー回路の入力トランジスタ側では直列回路 2 0 のトランジスタ T N のドレイン D が基準電流を受ける入力端子 1 1 a に接続され、トランジスタ T r のソース S がグランド G N D に接続される。なお、図 5 ( a ) の図面一番左側にあるトランジスタセル 1 に示すように、トランジスタ T r のゲートが所定のバイアス電圧 V b に設定されると、これがスイッチ回路ではなく、抵抗になる。実際の回路では、図 5 ( a ) の図面一番左側にあるトランジスタセル 1 のトランジスタ T r あるいは図 6 のスイッチ回路 S W a は抵抗に置き換えられる。

前記したように、カレントミラー回路の出力側トランジスタではトランジスタ T N のドレイン D が出力端子 5 a に接続され、トランジスタ T r のソース S がグランド G N D に接続される。そして、出力側トランジスタの各桁の重み付けに応じて直列回路 2 0 のトランジスタセル 1 が複数個パラレルに接続される。

#### 【 0 0 1 8 】

図 2 ( a ) は、D / A 5 Bi, 5 Ri, 5 Gi のトランジスタセル 1 のうち上流側のトランジスタ T N をサーペンティン型トランジスタとしたものの平面図である。なお、電流源 4 Bi と、電流源 4 Ri、電流源 4 Gi を構成するトランジスタセル 1 は、必ずしもサーペンティン型トランジスタの構成を採る必要はない。

2 1 は、トランジスタ T N が形成された領域であり、2 2 がトランジスタ T r が形成された領域である。2 2 s は、トランジスタ T r のソース領域であり、2 3 は、ソースコンタクト領域である。2 2 g は、トランジスタ T r のゲート領域であり、2 4 はそのゲートコンタクト領域である。2 2 d は、トランジスタ T r のドレイン領域であるとともに、トランジスタ T N のソース領域になっている。

2 1 g は、トランジスタ T N のゲート領域であり、2 5 は、そのゲートコンタクト領域である。2 6 は、ゲート領域 2 1 g のゲート電極の下側にチャンネルを形成するためのチャンネル形成領域であり、これによりゲートに所定の電圧が加わったときに、ゲート領域は、平面からみて折れ曲げられたストライプ形状のチャンネル（反転層）をチャンネル形成領域 2 6 の直下に形成する。この領域の周囲には L O C O S ( S i O <sub>2</sub> ) 領域 2 6 L が各ストライプチャンネルを分離するために設けられている。2 1 d は、トランジスタ T N のドレイン領域であり、2 7 はそのドレインコンタクト領域である。

ここで、チャンネル形成領域 2 6 は、図 2 ( b ) の A - A 断面図に示すように、L O C O S 領域 2 6 L と交互に配置され、ゲート領域に形成されるチャンネルがチャンネル形成領域 2 6 の範囲で制限される。その結果、平面からみてゲート領域にストライプ状に曲がったチャンネルを形成できる。これによりゲート領域に形成されるチャンネルは、電流の流れる方向が折り返される形状になる。また、これによりトランジスタ T N の W / L を小さくすることがきる。

#### 【 0 0 1 9 】

図 3 ( a ) は、他のチャンネル形成領域の形状であって、チャンネル形成領域 2 6 を U の字形の折れ曲げチャンネル形成領域 2 6 1 を 1 単位として複数個並列に設けて、さらに両側に直線状のストライプ 2 6 2 を設けて、図 2 ( a ) のチャンネル形成領域 2 6 を複数の部分に分割したものである。

ゲート領域 2 1 g の外側には、チャンネル電流を取り出すチャンネルコンタクト領域 2 6 3 が折れ曲げ部 2 6 1, 2 6 2 の端部にそれぞれ設けられている。この端部同士を上層のコンタクト領域配線層においてコンタクト領域 2 6 4 を介して配線ライン 2 6 5 によりそれぞれ接続して 1 本の折れ曲げチャンネルとして形成する。

図 3 ( b ) は、その B - B 断面説明図である。チャンネルコンタクト領域 2 6 3 は、N<sup>+</sup> の島領域として折れ曲げ部 2 6 1, 2 6 2 の端部の直下にそれぞれ形成されている。

なお、A - A 断面は、図 2 ( b ) と同じである。

#### 【 0 0 2 0 】

図 4 は、他のチャンネル形成領域であって、単にストライプのチャンネル形成領域 2 6 6 を

10

20

30

40

50



複数個並設して、チャネル形成領域 266 において図面上下方向に設けたチャネルコンタクト領域 267, 268 を設けて、それを配線ライン 269 でそれぞれ接続したものである。これによりゲート領域に形成されるチャネルは、平面からみて電流の流れる方向が折り返される形状になる。なお、これについての断面説明図は省略する。

#### 【0021】

以上説明してきたが、図 5 (b) の直列回路 20 は、トランジスタ TN 側が下流でトランジスタ Tr 側が上流となる直列回路であってもよい。さらに、カレントミラー回路を構成するトランジスタ TN 側だけをトランジスタセル 1 として D/A 5Bi, 5Ri, 5Gi のそれぞれの領域に設け、スイッチ動作のトランジスタ Tr は、別の領域に設けられていてもよい。したがって、トランジスタセル 1 は、サーペンティン型 MOS トランジスタセルの電流出力用の MOS トランジスタ 1 個だけであってもよい。

10

また、実施例のトランジスタセル 1 の電流出力用の MOS トランジスタ TN は、ゲート領域が実質的に矩形とされ、ゲート領域に形成されるチャネルをそこに流れる電流の方向が折り返される形状になるようにしている。しかし、MOS トランジスタ TN のゲート領域そのものを平面からみて折れ曲げられたストライプ状にしても同様なチャネルが形成できる。

#### 【産業上の利用可能性】

#### 【0022】

実施例では、D/A のカレントミラー回路についてサーペンティン型 MOS トランジスタセルを用いているが、出力段電流源のカレントミラー回路の単位トランジスタもサーペンティン型 MOS トランジスタセルで構成してもよいことはもちろんである。

20

また、実施例の図 1 のレイアウトでは、D/A と出力段電流源のカレントミラー回路を構成するそれぞれの領域は、それぞれ 2 個のトランジスタを単位とするトランジスタセル 1 で構成されている。しかし、このトランジスタセル 1 は、2 個以上のトランジスタを単位として構成されていてもよい。また、D/A に対して出力段電流源のトランジスタセル数は少なく、また、出力段電流源のカレントミラー回路の単位トランジスタは、スイッチ回路を必要としないので、N チャネル MOS トランジスタ Tr がいない電流出力用の MOS トランジスタ TN が 1 つだけのトランジスタセルとしてもよい。

さらに、実施例のトランジスタセル 1 は、N チャネル MOS トランジスタで構成されているが、これは、P チャネル MOS トランジスタで構成されてもよい。

30

#### 【図面の簡単な説明】

#### 【0023】

【図 1】図 1 は、この発明の有機 EL 駆動回路を適用した一実施例の電流駆動回路の D/A と出力段電流源のカレントミラー回路を構成するトランジスタセルについてのレイアウトの説明図である。

【図 2】図 2 (a) は、カレントミラー形の D/A におけるトランジスタセルの半導体構造の平面説明図、図 2 (b) は、その A - A 断面説明図である。

【図 3】図 3 (a) は、カレントミラー形の D/A におけるトランジスタセルの他の半導体構造の平面説明図、図 3 (b) は、その B - B 断面説明図である。

【図 4】図 4 は、カレントミラー形の D/A におけるトランジスタセルのさらに他の半導体構造の平面説明図である。

40

【図 5】図 5 (a) は、前記トランジスタセルを使用したカレントミラー形の D/A の説明図、図 5 (b) は、前記トランジスタセルの等価回路である。

【図 6】図 6 は、有機 EL 表示パネルの駆動回路のカラムピン対応に設けられる D/A の一例の説明図である。

#### 【符号の説明】

#### 【0024】

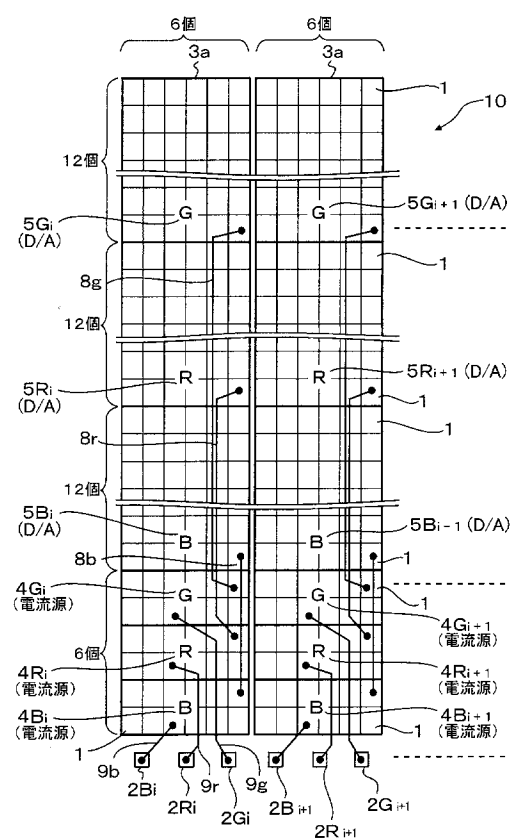
- 1 ... トランジスタセル (単位トランジスタ)、2 ... パッド、
- 3, 3a ... 単位トランジスタの配列ブロック、
- 4Bi, 4Ri, 4Gi ... 電流駆動回路、

50

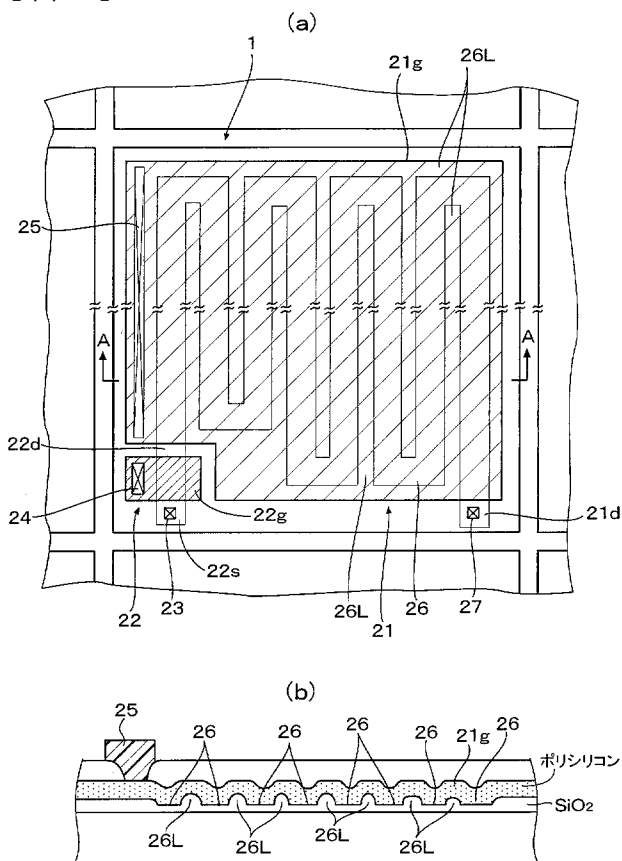
5 B i , 5 R i , 5 G i ... D / A 、  
6 b i ... 出力端子、 7 b i ... 入力端子、  
8 b , 8 r , 8 g 、 9 b , 9 r , 9 g ... 配線ライン、  
1 0 ...  
2 1 ... トランジスタ T N が形成された領域、  
2 1 g ... トランジスタ T N のゲート領域、  
2 1 d ... トランジスタ T N のドレイン領域、  
2 2 ... トランジスタ T r が形成された領域、  
2 2 g ... トランジスタ T r のゲート領域、  
2 2 s ... トランジスタ T r のソース領域、  
2 2 d ... トランジスタ T r のドレイン領域、  
2 3 ... ソースコンタクト領域、  
2 4 , 2 5 ... ゲートコンタクト領域、  
2 6 ... チャネル形成溝、  
2 6 L ... L O C O S 領域、  
2 7 ... ドレインコンタクト領域。

10

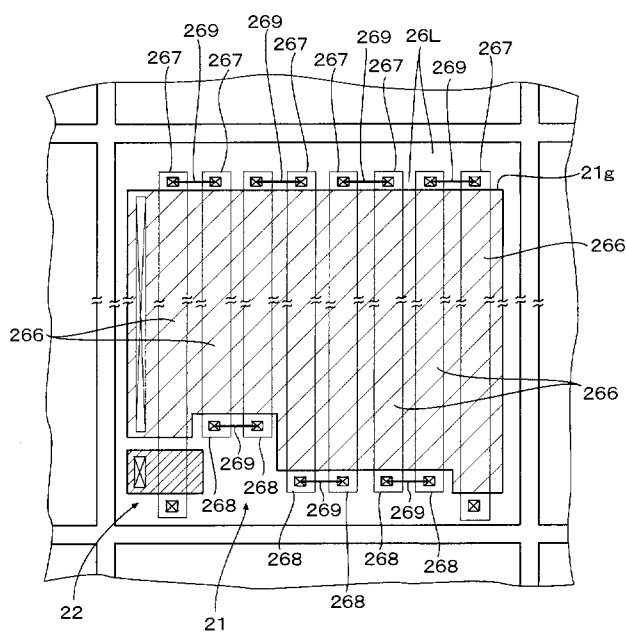
【图 1】



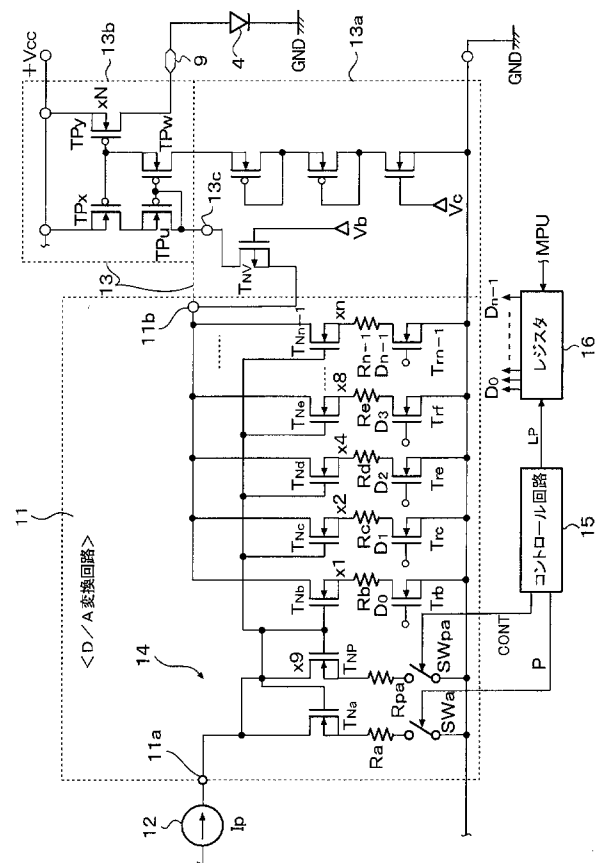
【 圖 2 】



【图 4】



【 図 6 】



---

フロントページの続き

(72)発明者 藤川 昭夫

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

F ターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04

5J022 AB06 BA01 BA06 CE08 CG01

5J055 AX48 BX09 BX16 CX29 DX22 DX48 EX07 EY21 EZ03 EZ04

EZ24 EZ33 EZ68 FX04 FX12 GX01 GX07

专利名称(译)	D / A转换电路，有机EL驱动电路和有机EL显示装置		
公开(公告)号	<a href="#">JP2005130469A</a>	公开(公告)日	2005-05-19
申请号	JP2004268119	申请日	2004-09-15
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	前出淳 阿部真一 藤川昭夫		
发明人	前出 淳 阿部 真一 藤川 昭夫		
IPC分类号	H01L51/50 H03K17/00 H03K17/687 H03M1/74 H05B33/14		
FI分类号	H03M1/74 H03K17/00.M H05B33/14.A H03K17/687.A H01L27/04 H05B33/14		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5J022/AB06 5J022/BA01 5J022/BA06 5J022/CE08 5J022/CG01 5J055/AX48 5J055/BX09 5J055/BX16 5J055/CX29 5J055/DX22 5J055/DX48 5J055/EX07 5J055/EY21 5J055/EZ03 5J055/EZ04 5J055/EZ24 5J055/EZ33 5J055/EZ68 5J055/FX04 5J055/FX12 5J055/GX01 5J055/GX07 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH05 5F038/CA02 5F038/CA03 5F038/CA10 5F038/CD16 5F038/DF03 5F038/EZ20		
代理人(译)	梶山 信是 山本富士雄		
优先权	2003339531 2003-09-30 JP		
其他公开文献	JP4526338B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

[问题] 使用大量的晶体管单元构成电流镜电路，并且在具有大量D / A的电路中，由于使用该电流镜电路作为元件，所以由于D / A转换特性的变化，导致D / A之间的输出电流发生变化。一个目的是提供可以减少的D / A转换电路，有机EL驱动电路和有机EL显示装置。[解决方案] 晶体管技术领域本发明涉及大量的晶体管，其具有在俯视图中栅极区域弯曲的MOS晶体管，或者具有在沟道图中流向栅极区域的电流的方向折返的条纹状的沟道的MOS晶体管。形成一个单元，并使用这些晶体管单元形成D / A型电流镜电路。[选型图]图1

