

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-17917

(P2005-17917A)

(43) 公開日 平成17年1月20日(2005.1.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 365Z	3K007
G09F 9/00	G09F 9/30 343Z	5C094
G09F 9/40	G09F 9/00 348Z	5G435
H05B 33/14	G09F 9/40 301	
	H05B 33/14 A	
審査請求 未請求 請求項の数 6 O L (全 17 頁)		

(21) 出願番号 特願2003-185317 (P2003-185317)
 (22) 出願日 平成15年6月27日 (2003.6.27)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100090033
 弁理士 荒船 博司
 (74) 代理人 100093045
 弁理士 荒船 良男
 (72) 発明者 白崎 友之
 東京都八王子市石川町2951番地5 カ
 シオ計算機株式会社八王子研究所内
 Fターム(参考) 3K007 BA06 BB07 DB03 GA00

最終頁に続く

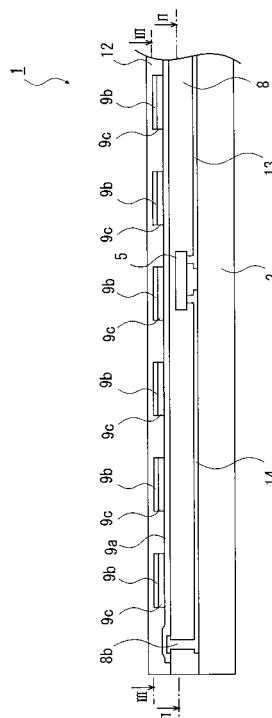
(54) 【発明の名称】 E L表示装置

(57) 【要約】

【課題】表示領域以外の領域を小さくすることができる E L表示装置を提供すること。

【解決手段】基板2にICチップ3~7が実装されており、ICチップ3~7は絶縁被覆膜8によって被覆されている。絶縁被覆膜8上には表示部9, 10, 11が形成されている。表示部9, 10, 11は、横方向に長尺な帯状となって互いに平行に並んで絶縁被覆膜8上に形成された複数の走査線と、走査線に対して直交するように配列された複数の透明な信号線と、走査線と信号線とが交差した箇所において走査線と信号線との間に挟まれた E L層と、から構成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、
前記基板に実装された I C チップと、
前記 I C チップを被覆した被覆膜と、
複数の E L 素子が画素としてマトリクス状になって前記被覆膜上に配列されてなり、前記 I C チップによって駆動される表示部と、
を備えることを特徴とする E L 表示装置。

【請求項 2】

前記表示部が、互いに平行に並んで前記被覆膜上に形成された複数の第一導電線と、前記複数の第一導電線上において前記第一導電線に直交するように配列された複数の第二導電線と、前記複数の第一導電線と前記複数の第二導電線とが交差した箇所それぞれにおいて第一導電線と第二導電線との間に挟持された E L 層と、を有し、前記第二導電線が光を透過する性質を有することを特徴とする請求項 1 に記載の E L 表示装置。

10

【請求項 3】

前記 I C チップは複数であることを特徴とする請求項 1 又は 2 に記載の E L 表示装置。

【請求項 4】

前記 I C チップを制御するための C P U を内蔵した I C チップが前記基板に実装されているとともに前記被覆膜によって被覆されていることを特徴とする請求項 3 に記載の E L 表示装置。

20

【請求項 5】

画像データを一時的に格納するためのフレームメモリを内蔵した I C チップが前記基板に実装されているとともに前記被覆膜によって被覆されていることを特徴とする請求項 3 に記載の E L 表示装置。

【請求項 6】

前記表示部は複数であり、各表示部が同時に表示を行うことを特徴とする請求項 1 から 5 の何れか一項に記載の E L 表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、E L (E l e c t r o L u m i n e s c e n c e) 素子を画素として用いた E L 表示装置に関する。

30

【0002】

【従来の技術】

近年、エレクトロルミネッセンス素子（以下、E L 素子という）を画素として利用した E L 表示装置の開発が盛んに行われている。E L 素子はアノードとカソードとの間に E L 層を挟持した構成を有しており、E L 表示装置はこのような E L 素子を画素としてマトリクス状に配列した構成を有している。E L 表示装置には、液晶表示装置と同様に、画素ごとに T F T を設けて画素を個別に駆動するアクティブ駆動方式と、行単位で順次選択していき選択時に同期してその選択した行の全ての画素を発光させるパッシブ駆動方式とがある（例えば、特許文献 1 参照。）。

40

【0003】

一般的に、E L 表示装置は複数の E L 素子を基板上にマトリクス状に配列してなる表示パネルを有し、表示駆動を行うための駆動回路は I C チップ化されて表示パネルの周囲に設けられている。

【0004】

【特許文献 1】

特開 2003 - 108028 号公報

【0005】

【発明が解決しようとする課題】

50

しかしながら、ＩＣチップが表示パネルの表示画面の周囲に設けられているため、表示領域以外の領域が大きくなってしまふ。

そこで、本発明は、上記のような問題点を解決しようとしてなされたものであり、表示領域以外の領域を小さくすることができるＥＬ表示装置を提供することを目的とする。

【０００６】

【課題を解決するための手段】

以上の課題を解決するために、請求項１に記載の発明のＥＬ表示装置は、基板と、前記基板に実装されたＩＣチップと、前記ＩＣチップを被覆した被覆膜と、複数のＥＬ素子が画素としてマトリクス状になって前記被覆膜上に配列されてなり、前記ＩＣチップによって駆動される表示部と、を備えることを特徴とする。

10

【０００７】

請求項２に記載の発明は、請求項１に記載のＥＬ表示装置において、前記表示部が、互いに平行に並んで前記被覆膜上に形成された複数の第一導電線と、前記複数の第一導電線上において前記第一導電線に直交するように配列された複数の第二導電線と、前記複数の第一導電線と前記複数の第二導電線とが交差した箇所それぞれにおいて第一導電線と第二導電線との間に挟持されたＥＬ層と、を有し、前記第二導電線が光を透過する性質を有することを特徴とする。

【０００８】

請求項３に記載の発明は、請求項１又は２に記載のＥＬ表示装置において、前記ＩＣチップは複数であることを特徴とする。

20

【０００９】

請求項４に記載の発明は、請求項３に記載のＥＬ表示装置において、前記ＩＣチップを制御するためのＣＰＵを内蔵したＩＣチップが前記基板に実装されているとともに前記被覆膜によって被覆されていることを特徴とする。

【００１０】

請求項５に記載の発明は、請求項３に記載のＥＬ表示装置において、画像データを一時的に格納するためのフレームメモリを内蔵したＩＣチップが前記基板に実装されているとともに前記被覆膜によって被覆されていることを特徴とする。

【００１１】

請求項６に記載の発明は請求項１から５の何れか一項に記載のＥＬ表示装置において、前記表示部は複数であり、各表示部が同時に表示を行うことを特徴とする。

30

【００１２】

請求項１に記載の発明では、ＩＣチップが実装された基板を被覆膜で被覆しており、その被覆膜上に表示部を設けているため、基板の表示領域の周囲にＩＣチップをＣＯＧ（Chip On Glass）接合したり、ＩＣチップと接続するための引き回し配線を設ける必要がない。このためパネルが狭額縁になり、ＥＬ表示装置のパネルサイズを小型化でき、特に携帯電話、デジタルスチルカメラ、デジタルビデオカメラ等のような小型携帯機器の表示パネルに適用することができる。さらにこのように表示部と重なる位置にＩＣチップやＩＣチップ配線を設けているので、任意の位置に任意の数のＩＣチップを設けることができ、配線設計が柔軟にできる。

40

特に、請求項６に記載の発明のように、複数の表示部を絶縁膜上に設けた場合、表示部ごとにＩＣチップを基板に実装することができ、表示部ごとに独立して駆動することができるから、ＥＬ表示装置全体としての発光デューティを大きくすることができ、低電力でも明るい表示面を実現することができる。

【００１３】

請求項２に記載の発明のように、第二導電線が透光性を有しているから、ＥＬ層で発した光が第二導電線を通じて外部に出射する。従って、第二導電線側が表示面となる。仮に第一導電線及び基板を透光性のものとしても、ＥＬ層で発した光はＩＣチップによって遮蔽されてしまふ。そのため、第一導電線と第二導電線のうちＩＣチップと反対側の第二導電性を透光性とするのが良い。

50

【 0 0 1 4 】

請求項 4 に記載の発明のように、CPU を内蔵した IC チップを基板に実装することによって、多機能な EL 表示装置を提供することができる。

【 0 0 1 5 】

請求項 5 に記載の発明のように、フレームメモリを内蔵した IC チップを基板に実装すれば、外部から画像データが入力されなくても EL 表示装置において表示が行われた状態を維持することができる。

【 0 0 1 6 】

【 発明の実施の形態 】

以下に、図面を用いて本発明の具体的な態様について説明する。ただし、発明の範囲を図示例に限定するものではない。 10

【 0 0 1 7 】

図 1 は本発明を適用したパッシブ駆動方式（単純マトリクス駆動方式）のエレクトロルミネッセンス表示装置 1（以下、EL 表示装置 1 という。）を示した側断面図であり、図 2 は図 1 の I I - I I 線における平断面図であり、図 3 は図 1 の I I I - I I I 線における平断面図である。なお、図 1 は、図 2 の I - I 線における側断面図である。

【 0 0 1 8 】

この EL 表示装置 1 は、基板 2 と、基板 2 上に実装された複数の IC チップ 3 ~ 7 と、これら IC チップ 3 ~ 7 を被覆した絶縁被覆膜 8 と、絶縁被覆膜 8 上に形成された表示部 9 ~ 11 と、表示部 9 ~ 11 を封止した封止膜 12 と、を具備する。 20

【 0 0 1 9 】

基板 2 は、IC チップ 3 ~ 7 間でデータの入出力を行うための回路配線 19 が形成された多層回路基板である。

【 0 0 2 0 】

IC チップ 3 ~ 7 は、大規模集積回路（LSI）であっても良いし、中規模集積回路（MSI）であっても良いし、小規模集積回路（SSI）であっても良い。IC チップ 3 ~ 7 の実装方式は、表面実装式であっても良いし、挿入実装式であっても良い。IC チップ 3 ~ 7 は、セラミック、プラスチック等のパッケージによって封止されたチップであっても良いし、ヘアチップであっても良い。

【 0 0 2 1 】

これら IC チップ 3 ~ 7 は、全体として表示部 9 ~ 11 を駆動する機能を有する。ここでは例えば、IC チップ 3 は、外部から入力した画像データを一時的に格納するフレームメモリと、EL 表示装置 1 全体の制御を行う CPU と、を内蔵したチップである。IC チップ 4 は、IC チップ 5, 6, 7 に出力するためのタイミングクロックを発生するタイミングジェネレータと、IC チップ 3 に一時的に格納された画像データを D/A（Digital to Analog）変換して IC チップ 5, 6, 7 に出力する D/A コンバータと、を内蔵したチップである。IC チップ 5, 6, 7 は、後述する走査線 9a, 10a, 11a をそれぞれ順次選択走査するために走査線 9a, 10a, 11a にそれぞれ接続された配線 13, 15, 17 に走査信号を転送していくスキンドライバ（シフトレジスタ）と、アナログ変換された画像信号を、タイミングジェネレータから入力されたクロック信号のタイミングで取り込んでこのアナログ画像信号に従って階調信号を後述する信号線 9b, 10b, 11b にそれぞれ接続された配線 14, 16, 18 に出力するデータドライバと、を内蔵したチップである。なお、IC チップ 3 のフレームメモリと CPU が別々にチップ化されていても良いし、IC チップ 4 の D/A コンバータとタイミングジェネレータが別々にチップ化されていても良いし、IC チップ 5, 6, 7 のスキンドライバとデータドライバが別々にチップ化されていても良い。 30 40

【 0 0 2 2 】

基板 2 上に実装された IC チップ 3 ~ 7 は共通の絶縁被覆膜 8 によって被覆されている。この絶縁被覆膜 8 によって基板 2 の表面と IC チップ 3 ~ 7 との間に生じた段差が解消され、絶縁被覆膜 8 の表面はほぼ平坦な面となっている。この絶縁被覆膜 8 は、樹脂（例え 50

ば、メタクリル樹脂、アクリル樹脂、エポキシ樹脂)からなるものでも良いし、無機窒素化合物(例えば、酸化珪素、窒化珪素、酸化窒化珪素)からなるものでも良いし、無機窒素化合物、樹脂の順に積層したものでも良い。

【0023】

このEL表示装置1の表示面は、表示部9, 10, 11それぞれで独立的に表示が行われる三つの領域に縦分割されている。表示部9はICチップ5によって駆動され、表示部10はICチップ6によって駆動され、表示部11はICチップ7によって駆動される。すなわち、表示部9, 10, 11によって一つの画面を表示する。

【0024】

表示部9は、横方向に長尺な帯状となって互いに平行に並んで絶縁被覆膜8上に形成された複数の走査線9a, 9a, ...と、平面視して(表示面に対して垂直な方向に見て)走査線9a, 9a, ...に対して直交するように配列された信号線9b, 9b, ...と、走査線9a, 9a, ...と信号線9b, 9b, ...とが交差した箇所において走査線9aと信号線9bとの間に挟まれたEL層9c, 9c, ...と、から構成されている。走査線9aは導電性を有した第一導電線であり、信号線9bが導電性を有した第二導電線である。

10

【0025】

走査線9a, 9a, ...それぞれの一端部において、コンタクトホール8aが絶縁被覆膜8を貫通して形成されており、このコンタクトホール8aに金属等の導電性材料が埋め込まれている。一方、基板2には配線13が形成されており、配線13はICチップ5の端子一つにつき一つのコンタクトホール8aを電氣的に接続している。これにより、一本の走査線9aにつきICチップ5の一つの端子がコンタクトホール8a及び配線13を通じて接続されている。

20

【0026】

信号線9b, 9b, ...それぞれの一端部においても同様に、絶縁被覆膜8に形成されたコンタクトホール8bに導電性材料が埋め込まれており、ICチップ5からコンタクトホール8b, 8b, ...までの配線14が基板2に形成されている。これにより、一本の信号線9bにつきICチップ5の一つの端子がコンタクトホール8b及び配線13を通じて接続されている。

【0027】

EL層9cは、正孔輸送層、発光層、電子輸送層の順又はその逆順に積層した三層構造であっても良いし、正孔輸送層、発光層の順又はその逆順に積層した二層構造であっても良いし、発光層からなる一層構造であっても良い、これらの層構造において適切な層間に電子或いは正孔の注入層が介在した多層構造であっても良い。また、EL層9cを構成した層全てが有機化合物からなるものであっても良いし、EL層9cを構成した層全てが無機化合物からなるものであっても良いし、EL層9cが無機化合物からなる層と有機化合物からなる層とを積層したものでも良い。ここでは、EL層9cは、導電性高分子であるPEDOT(ポリチオフェン)及びドーパントであるPSS(ポリスチレンスルホン酸)からなる正孔輸送層、ポリフルオレン系発光材料からなる発光層の順に積層した二層構造である。

30

【0028】

走査線9aと信号線9bが交差した箇所はマトリクス状になって絶縁被覆膜8上に配列されている。走査線9aと信号線9bが交差した箇所では、絶縁被覆膜8側から走査線9a、EL層9c、信号線9bの順に積層した積層構造を成しているが、この積層構造はEL素子となって画素を構成している。EL素子のアノードが走査線9aであり且つカソードが信号線9bであっても良いし、逆にアノードが信号線9bであり且つカソードが走査線9aであっても良い。

40

【0029】

また、信号線9bは、光を透過する性質を有し、酸化インジウム、酸化亜鉛、酸化スズ若しくはカドミウム-錫酸化物(CTO)又はこれらのうちの少なくとも一つを含む混合物(例えば、錫ドーパ酸化インジウム(ITO)、亜鉛ドーパ酸化インジウム)からなる。

50

走査線 9 b は、金属、金属化合物又は合金からなる。

【0030】

また、信号線 9 b がカソードであり且つ信号線 9 b 自体の仕事関数が比較的高い場合には、マグネシウム、カルシウム、リチウム、バリウム若しくは希土類からなる単体金属又はこれらの単体を少なくとも一種を含む合金からなる低仕事関数の電子注入層を信号線 9 b と E L 層 9 c との間に形成するのが望ましい。この場合において、光が電子注入層を透過するように、電子注入層をできる限り薄くするのが望ましい。

【0031】

表示部 10 も表示部 9 と同様に、横方向に長尺な帯状となって互いに平行に並んだ複数の走査線 10 a , 10 a , ... と、平面視して走査線 10 a , 10 a , ... に対して直交するよ 10
うに配列された信号線 10 b , 10 b , ... と、走査線 10 a , 10 a , ... と信号線 10 b , 10 b , ... とが交差した箇所それぞれにおいて走査線 10 a と信号線 10 b との間に挟まれた E L 層 (図示略) と、から構成されている。

【0032】

走査線 10 a , 10 a , ... のそれぞれの一端部において、絶縁被覆膜 8 に形成されたコン 20
タクトホール 8 c に導電性導電性材料が埋め込まれており、基板 2 には I C チップ 6 から
コンタクトホール 8 c , 8 c , ... までの配線 15 が形成されており、一本の走査線 10 a
につき I C チップ 6 の一つの端子がコンタクトホール 8 c 及び配線 15 を通じて接続され
ている。信号線 10 b , 10 b , ... の一端部において絶縁被覆膜 8 に形成されたコンタク
トホール 8 d , 8 d , ... と基板 2 に形成された配線 16 とによって、一本の信号線 10 b 20
につき I C チップ 6 の一つの端子が接続されている。

【0033】

表示部 11 も表示部 9 と同様に、横方向に長尺な帯状となって互いに平行に並んだ複数の
走査線 11 a , 11 a , ... と、平面視して走査線 11 a , 11 a , ... に対して直交するよ
うに配列された信号線 11 b , 11 b , ... と、走査線 11 a , 11 a , ... と信号線 11 b
 , 11 b , ... とが交差した箇所それぞれにおいて走査線 11 a と信号線 11 b との間に挟
まれた E L 層 (図示略) と、から構成されている。

【0034】

走査線 11 a , 11 a , ... の一端部において絶縁被覆膜 8 に形成されたコンタクトホール 30
 8 e , 8 e , ... と基板 2 に形成された配線 17 とによって、一本の走査線 11 b a につき
 I C チップ 7 の一つの端子が接続されている。同様に、信号線 11 b , 11 b , ... の一端
 部において絶縁被覆膜 8 に形成されたコンタクトホール 8 f , 8 f , ... と基板 2 に形成さ
 れた配線 18 とによって、一本の信号線 11 b につき I C チップ 7 の一つの端子が接続さ
 れている。

【0035】

走査線 9 a , 9 a , ...、信号線 9 b , 9 b , ...、走査線 10 a , 10 a , ...、信号線 10
 b , 10 b , ...、走査線 11 a , 11 a , ... 及び信号線 11 b , 11 b , ... 全体を被覆す
 るように封止膜 12 が一面に形成されている。この封止膜 12 は、光に対して透光性を有
 するととも絶縁性を有し、樹脂 (例えば、メタクリル樹脂、アクリル樹脂、エポキシ樹脂
) 又は無機窒素化合物 (例えば、酸化珪素、窒化珪素、酸化窒化珪素) からなるものであ 40
 る。

【0036】

封止膜 12 の外縁寄りであって表示部 9 , 10 , 11 に重ならない部分には、コンタクト
 ホール 12 a が封止膜 12 及び絶縁被覆膜 8 を貫通して形成されている。一方、回路配線
 19 は基板 2 中又は基板 2 上においてコンタクトホール 12 a まで導かれており、コンタ
 クトホール 12 a に導電性材料が埋め込まれている。コンタクトホール 12 a に埋め込ま
 れた導電性材料が E L 表示装置 1 の端子となり、外部からの信号が入力されるようになっ
 ている。

【0037】

次に、E L 表示装置 1 の製造方法について説明する。

10

20

30

40

50

まず、配線 13 ~ 配線 18、回路配線 19 が形成された基板 2 を準備し、基板 2 に IC チップ 3 ~ 7 を実装する。次に、基板 2 の一面に絶縁被覆膜 8 を成膜し、絶縁被覆膜 8 によって IC チップ 3 ~ 7 を被覆する。次に、絶縁被覆膜 8 にコンタクトホール 8a, 8a, ..., コンタクトホール 8b, 8b, ..., コンタクトホール 8c, 8c, ..., コンタクトホール 8d, 8d, ..., コンタクトホール 8e, 8e, ... 及びコンタクトホール 8f, 8f, ... を形成し、これらコンタクトホール 8a ~ 8f に導電性材料を埋め込む。次に、絶縁被覆膜 8 上に走査線 9a, 9a, ..., 走査線 10a, 10a, ... 及び走査線 11a, 11a, ... をパターンニングする。次に、表示部 9 の EL 層 9c, 9c, ..., 表示部 10 の EL 層及び表示部 11 の EL 層をパターンニングする。次に、形成した EL 層において走査線 9a, 9a, ..., 走査線 10a, 10a, ... 及び走査線 11a, 11a, ... に直交させるように、信号線 9b, 9b, ..., 信号線 10b, 10b, ... 及び信号線 11b, 11b, ... をパターンニングする。次いで、絶縁被覆膜 8 の一面に封止膜 12 を成膜し、封止膜 12 によって走査線 9a, 9a, ..., 信号線 9b, 9b, ..., 走査線 10a, 10a, ..., 信号線 10b, 10b, ..., 走査線 11a, 11a, ... 及び信号線 11b, 11b, ... を被覆する。次に、封止膜 12 及び絶縁被覆膜 8 にコンタクトホール 12a を形成し、コンタクトホール 12a に導電性材料を埋め込む。

10

【0038】

次に、EL 表示装置 1 の動作について説明する。

一フレーム分の画像データが外部からコンタクトホール 12a を介して入力されたら、入力した画像データは IC チップ 3 に一時的に格納されて IC チップ 3 によって信号処理される。信号処理された画像データは IC チップ 4 に出力され、IC チップ 4 によって D/A 変換され、D/A 変換された画像信号が IC チップ 5, 6, 7 に出力される。IC チップ 5 が画像信号に従ってパッシブ駆動方式で表示部 9 を駆動し、IC チップ 6 が画像信号に従ってパッシブ駆動方式で表示部 10 を駆動し、IC チップ 7 が画像信号に従ってパッシブ駆動方式で表示部 11 を駆動する。表示部 9 においては、走査線 9a, 9a, ... が IC チップ 5 によって順次選択され、画像信号に応じた階調信号が IC チップ 5 によってそれぞれの走査線 9a の選択時に同期して全ての信号線 9b, 9b, ... に対して出力される。表示部 10, 11 も表示部 9 と同様に表示動作が行われるが、一フレーム期間に表示部 9 ~ 11 は同時に表示する。

20

【0039】

表示部 9, 10, 11 が駆動されることによって EL 層が発光するが、EL 層から発した光は信号線 9b、信号線 10b、信号線 11b を透過して、封止膜 12 から外部に放射する。従って、EL 表示装置 1 は、基板 2 と反対側の封止膜 12 の表面が表示面となるいわゆるトップエミッション構造である。

30

【0040】

以上のように、本実施の形態では、IC チップ 3 ~ 7 が実装された基板 2 を絶縁被覆膜 8 で被覆し、絶縁被覆膜 8 上に表示部 9 ~ 11 を形成し、平面視して表示部 9 ~ 11 に IC チップ 3 ~ 7 を重ねているので、この EL 表示装置 1 には表示領域以外の領域が殆どない。

【0041】

また、信号線 9b, 9b, ..., 信号線 10b, 10b, ..., 信号線 11b, 11b, ... 及び封止膜 12 が透明であるため、表示部 9 ~ 11 に IC チップ 3 ~ 7 が重なっても、EL 層で発した光が封止膜 12 から外部に出射する。

40

【0042】

また、表示部 9 ~ 11 が独立して駆動されるため、EL 表示装置 1 自体の発光デューティを大きくすることができる。つまり、表示部 9 ~ 11 の走査線 9a, 10a, 11a を N 本としたら (N は自然数である。)、表示部 9 ~ 11 それぞれで発光デューティが $1/N$ となり、EL 表示装置 1 全体の走査線の本数が $(3 \times N)$ 本でも発光デューティは $1/N$ となる。しかし、全体で $(3 \times N)$ 本の走査線を有した従来の EL 表示装置では表示パネルの周囲に駆動回路を設けるため、仮にデータドライバを表示領域の上側と下側の二箇所に

50

しか設けたとしても、最高で二つの領域でしか独立して駆動することができない。そのため、全体で $(3 \times N)$ 本の走査線を有した従来のEL表示装置では発光デューティを $2 / (3 \times N)$ にしかできず、本実施形態のEL表示装置1の発光デューティの方が大きい。そのため、本実施形態のEL表示装置1は低電力でも明るい表示面を実現することができる、EL表示装置1の長寿命化を図ることができる。

【0043】

また、仮に1つのICチップで全ての信号線に出力する場合、走査線が $3N$ 本であると、 $1 / (3 \times N)$ のデューティ駆動になってしまうが、本発明のように表示部9~11に分割し、表示部9~11をそれぞれICチップ5~7で別個に駆動するので、一フレーム期間に表示部9~11は同時に表示することができる。そのため、表示部9~11の走査線の総本数を $(3 \times N)$ 本としても各ICチップ5, 6, 7は $1 / N$ デューティ駆動でよい。つまり、表示部9, 10, 11のEL素子を発光するために選択期間を三倍にすることができ、1つのICチップで全ての信号線に出力する場合に比べて表示部9, 10, 11の各EL層に印加される電圧を $1 / 3$ にできるため、電圧による劣化を抑制することができる。

10

【0044】

また、CPUを内蔵したICチップ3が基板2に実装されているため、EL表示装置1の多機能化を図ることができる。また、フレームメモリを内蔵したICチップ3が基板2に実装されているため、外部から画像データが入力されなくても、EL表示装置1において表示が行われた状態を維持することができる。

20

【0045】

また、仮に基板2にCPU、フレームメモリ、D/Aコンバータ、タイミングジェネレータ、スキャンドライバ及びデータドライバを直接形成していくことは、それぞれに最適な耐圧・耐熱・プロセスがあるので、殆ど無理である。しかしながら、本実施形態では、予め最適な耐圧・耐熱・プロセスで設計されたICチップ3~7を基板2に実装しているので、CPU、フレームメモリ、D/Aコンバータ、タイミングジェネレータ、スキャンドライバ及びデータドライバの機能を有したEL表示装置1を提供することができる。

【0046】

なお、本発明は上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

30

例えば、上記実施形態では表示部9, 10, 11において走査線、EL層、透明な信号線の順に積層した構造であったが、逆に信号線、EL層、透明な走査線の順に積層した構造であっても良い。また表示部を3分割したが、4分割以上に細分化してもよい。

【0047】

また、上記実施形態では表示部9~11の何れでもEL層が走査線と信号線との交差箇所ごとに独立して形成されているが、EL層が共通となる層であっても良い。つまり、表示部9では全ての走査線 $9a, 9a, \dots$ を被覆するようにEL層を形成しても良いし、表示部10では全ての走査線 $10a, 10a, \dots$ を被覆するようにEL層を形成しても良いし、表示部11では全ての走査線 $11a, 11a, \dots$ を被覆するようにEL層を形成しても良い。この場合において、EL層を表示部9~11全体で共通の層としても良い。

40

【0048】

また、以下のような変形例のようにしても良い。以下の変形例では、上記実施形態のEL表示装置1と同様の構成要素に同一の符号を付す。

【0049】

〔変形例1〕

上記実施形態のEL表示装置1ではICチップ3~7が基板2に表面実装されているが、変形例1のEL表示装置ではICチップ3~7が基板2に埋め込まれている。詳細に説明すると、図4に示すように基板2に凹溝2aが形成されており、この凹溝2a内にICチップ5が挿入されている。凹溝2aには樹脂等の充填材20が充填されており、この充填材20によってICチップ5が被覆されている。充填材20にはコンタクトホール20a

50

が形成されており、コンタクトホール 20a に導電性材料が埋め込まれており、導電性材料によって IC チップ 5 の端子と回路配線 19 が接続されている。変形例 1 の EL 表示装置は、IC チップ 3 ~ 7 が基板 2 に埋め込まれていることを除いて、上記実施形態の EL 表示装置 1 と同様に構成されているとともに同様に動作する。

【0050】

〔変形例 2〕

変形例 2 の EL 表示装置では、変形例 1 の表示装置と同様に IC チップ 3 ~ 7 が基板 2 に埋め込まれている。ところが、図 5 に示すように、変形例 2 の EL 表示装置は、IC チップ 3 ~ 7 が埋め込まれ且つ絶縁被覆膜 8 が被膜された基板 2 に対して、表示部 9, 10, 11 が形成された透明基板 30 を貼り合わせることによって製造される。

10

【0051】

上記実施形態、変形例 1 のように絶縁被覆膜 8 上に表示部 9, 10, 11 が形成されているのと同様に、変形例 2 では透明基板 30 の表面 30a 上に表示部 9, 10, 11 が形成されている。なお、表示部 9, 10, 11 を透明基板 30 の表面 30a 上に形成する方法は、上記実施形態において絶縁被覆膜 8 上に表示部 9, 10, 11 を形成する方法と同様である。

【0052】

透明基板 30 は、ホウケイ酸ガラス、石英ガラス、その他のガラス、PMMA (ポリメタクリ酸メチル)、ポリカーボネート、その他の樹脂等の透明な材料である。上記実施形態では信号線 9b, 9b, ...、信号線 10b, 10b, ... 及び信号線 11b, 11b, ... が透明であったのに対し、変形例 2 では走査線 9a, 9a, ...、走査線 10a, 10a, ... 及び走査線 11a, 11a, ... が透明であり光を透過する。

20

【0053】

表示部 9, 10, 11 全体を被覆するように封止膜 12 が透明基板 30 一面に形成されている。走査線 9a, 9a, ...、信号線 9b, 9b, ...、走査線 10a, 10a, ...、信号線 10b, 10b, ...、走査線 11a, 11a, ... 及び信号線 11b, 11b, ... それぞれの一端部に対応した位置において、封止膜 12 にはコンタクトホール 12a が形成されており、コンタクトホール 12a に導電性材料が埋め込まれている。コンタクトホール 12a は、コンタクトホール 8a ~ 8f に対応した位置にある。

【0054】

コンタクトホール 12a にコンタクトホール 8a ~ 8f を対応させて封止膜 12 に絶縁被覆膜 8 を向かい合わせて、封止膜 12 が異方導電性接着剤 (図示略) によって絶縁被覆膜 8 に接着されている。異方導電性接着剤は層方向 (厚み方向) に対して導電性を示すが、層方向に直交する方向に対しては絶縁性を示すものである。従って、コンタクトホール 8a ~ 8f 一つにつき一つのコンタクトホール 12a が異方導電性接着剤によって電氣的に接続される。これにより、一本の走査線 9a につき IC チップ 5 の一つの端子が電氣的に接続され、一本の信号線 9b につき IC チップ 5 の一つの端子が電氣的に接続され、一本の走査線 10a につき IC チップ 6 の一つの端子が電氣的に接続され、一本の信号線 10b につき IC チップ 6 の一つの端子が電氣的に接続され、一本の走査線 11a につき IC チップ 7 の一つの端子が電氣的に接続され、一本の信号線 11b につき IC チップ 7 の一つの端子が電氣的に接続される。

30

40

【0055】

表示部 9, 10, 11 がそれぞれ IC チップ 5, 6, 7 によってパッシブ駆動されることによって表示動作をするが、走査線 9a, 9a, ...、走査線 10a, 10a, ...、走査線 11a, 11a, ... 及び透明基板 30 が透明であるため、EL 層で発した光が透明基板 30 の裏面 30b から外部に放射される。つまり、透明基板 30 の裏面 30b が表示面となる。

【0056】

〔応用例〕

以下、上記実施形態の EL 表示装置 1 をデジタルスチルカメラに搭載した応用例について

50

図 6 を用いて説明する。

【0057】

図 6 は、本発明を適用した E L 表示装置 1 を表示パネルとして適用したデジタルカメラの回路構成を示すブロック図である。

【0058】

図 6 においてデジタルカメラは、IC チップ 3, 4、IC チップ 5, 6, 7、CCD 型撮像素子 120、アンプ 121、A/D (Analog to Digital) コンバータ 122、駆動回路 123、キー入力部 135、I/O ポート 137 及び赤外線通信部 138 により構成されている。ここで、IC チップ 3, 4 は、タイミングジェネレータ 124、シグナルジェネレータ 125、VRAM (Video Random Access Memory) 126、D/A コンバータ 127、アンプ 128、DRAM (Dynamic Random Access Memory) 129、圧縮/伸長回路 130、フラッシュメモリ 131、CG (Character Generator) 132、ROM (Read Only Memory) 133、RAM (Random Access Memory) 134、及び CPU (Central Processing Unit) 136 から構成されている。

10

【0059】

CCD 型撮像素子 120 は、フォトダイオード等の受光部に転送電極を重ねた素子 (画素) を平面状に多数配設した画素面と、各画素に蓄積された電荷を電圧に変換して出力する出力部とから構成される。CCD 型撮像素子 120 には結像レンズによって像が結像され、結像レンズを介して入射した光は前記画素面で受光され、各画素には受光量に比例した電荷が蓄積される。各画素の蓄積電荷は、駆動回路 123 から供給される駆動信号に応じて前記出力部により撮像信号 (アナログ信号) として 1 画素分ずつ順次読み出され、アンプ 121 を介して A/D コンバータ 122 に出力される。

20

【0060】

A/D コンバータ 122 は、CCD 型撮像素子 120 からバッファ 121 を介して入力される撮像信号をアナログ信号からデジタル信号に変換し、タイミングジェネレータ 124 に供給する。

【0061】

駆動回路 123 は、タイミングジェネレータ 124 から供給されるタイミング信号に基づいて CCD 型撮像素子 120 の露光及び読み出しタイミングを駆動制御する。また、タイミングジェネレータ 124 は、CPU 136 から入力される映像取り込み信号に基づいて駆動回路 123 を制御するタイミング信号を生成する。さらにタイミングジェネレータ 124 は、IC チップ 5, 6, 7 が所定のタイミングで動作するように IC チップ 5, 6, 7 にクロック信号を出力する。

30

【0062】

シグナルジェネレータ 125 は、タイミングジェネレータ 124 を介して供給される撮像信号 (デジタル信号) に対して色演算処理を行ない、輝度信号 (Y データ) と色信号 (C データ) により構成される画像データを生成し、この画像データを DRAM 129 に出力する。

40

【0063】

また、シグナルジェネレータ 125 は、CPU 136 により DRAM 129 から供給された画像データに同期信号を付加する等してビデオ信号 (デジタル信号) を生成して一旦、VRAM 126 に格納し、その後、VRAM 126 に格納したビデオ信号を D/A コンバータ 127 及びアンプ 128 を介して IC チップ 5, 6, 7 に出力する。また、ビデオ出力端子 118b にビデオケーブルを介して外部機器が接続されている場合は、該ビデオ信号をこの外部機器に対しても出力する。

【0064】

VRAM 126 は、シグナルジェネレータ 125 により生成されたビデオ信号 (表示データ) を一時的に格納するビデオメモリであり、IC チップ 5, 6, 7 の 1 画面分の表示デ

50

ータを格納可能なメモリ容量を有する。

【0065】

D/Aコンバータ127は、シグナルジェネレータ125によりVRAM126から供給されるビデオ信号(表示データ)をデジタル信号からアナログ信号に変換し、アンプ128を介してICチップ5,6,7に、また、ビデオ出力端子118bにビデオケーブルを介して外部機器が接続されている場合は、該ビデオ信号をこの外部機器に対しても出力する。

【0066】

ICチップ5,6,7は、エレクトロルミネッセンス表示装置1の配線13~18に、D/Aコンバータ127及びアンプ128を介して入力されたビデオ信号(表示データ)に基づいて表示画面に画像信号及び選択走査信号を出力する。このエレクトロルミネッセンス表示装置1は、ファインダーとして、撮影時にCCD型撮像素子120で取り込んだ被写体の画像を表示することが、また、撮影後に、フラッシュメモリ131に格納されている撮像した画像データを再生表示することができる。

10

【0067】

DRAM129は、シグナルジェネレータ125から供給される撮像した画像データ、あるいはCPU136によりフラッシュメモリ131から読み出され、後述する圧縮/伸長回路130により伸長処理された画像データを一時的に格納する半導体メモリである。

【0068】

圧縮/伸長回路130は、DRAM129に格納された画像データを符号化により圧縮処理する。具体的には、画像データを所定の符号化方式、すなわち、取り扱う画像の種類(この場合、静止画)に応じた、例えば、JPEG(Joint Photographic Experts Group)アルゴリズムによる8x8画素毎のDCT(Discrete Cosine Transform:離散コサイン変換)、量子化、ハフマン符号化により圧縮処理(符号化処理)し、この圧縮処理した画像データをフラッシュメモリ131に出力する。更に、圧縮/伸長回路130は、フラッシュメモリ131に格納されている圧縮処理された画像データを復号化して伸長処理し、DRAM129に出力する。

20

【0069】

フラッシュメモリ131は、圧縮/伸長回路130により圧縮処理された画像データを複数格納する半導体メモリであり、「ページNo.データ」及び「画像データ」が対応付けられて複数格納されている。

30

【0070】

「ページNo.データ」は、画像データに対して当該フラッシュメモリ131への格納順に割り当てられる格納順序を示す数値データである。例えば、最初にフラッシュメモリ131に格納される画像データには「ページNo.データ」として"1"が、次に格納される画像データには「ページNo.データ」として"2"が割り当てられる。

【0071】

また、フラッシュメモリ131は、電源スイッチ14の押圧操作により電源がOFFとされたときには、最後に撮像された画像データの「ページNo.データ」+1、最後に再生表示されていた画像データの「ページNo.データ」、RAM134内の後述する撮像条件メモリに格納された各種撮像条件データ等を保存する。

40

【0072】

CG132は、エレクトロルミネッセンス表示装置1に表示される、例えば、操作ガイダンス用のカナ、漢字、英数字、記号等のキャラクタデータを格納するメモリである。

【0073】

ROM133は、撮像処理、再生表示処理、連写画像再生表示処理、コメント画像合成処理の他、通信処理等のCPU136により実行されるデジタルカメラの各部を制御するための各種制御プログラムを格納する。この各種制御プログラムは、CPU136が読み取り可能なプログラムコードの形態で記憶されている。

50

【 0 0 7 4 】

R A M 1 3 4 は、C P U 1 3 6 により各種制御処理が実行される際に、その制御処理を司るプログラムを展開する、あるいは処理される各種データを一時的に格納するワークメモリ、撮像処理により設定された各種撮像条件データを格納する撮像条件メモリを形成する。また、この R A M 1 3 4 には、定型コメント文格納テーブル及びプレート格納テーブル等が、前記 R O M 1 3 3 から C P U 1 3 6 によって読み出され、展開される。

【 0 0 7 5 】

R A M 1 3 4 内の撮像条件メモリには、「開始ページ No . データ」、「終了ページ No . データ」、「ページ No . データ」と、図示しないその他の各種撮像条件データ（例えば、シャッタースピード、絞り、連写撮影時の撮影時間間隔等）によって構成されている。 10

【 0 0 7 6 】

「開始ページ No . データ」は、撮像処理において、これから撮像する画像に対応づける、未使用の新たな「ページ No . データ」を格納したデータである。「終了ページ No . データ」は、後述する撮像処理において、一連のシャッターキーの押圧状態が終了した時点での「ページ No . データ」を格納したデータである。

【 0 0 7 7 】

「ページ No . データ」は、前記フラッシュメモリ 1 3 1 内の各画像データと対応づけられて格納される「ページ No . データ」と同じ形式のデータであり、撮像処理において撮像した画像を格納する「ページ No . データ」を一時的に記憶しておくための R A M 1 3 4 内のデータである。そして、一枚の画像の撮像が終了するとこの「ページ No . データ」の値はインクリメントされる。 20

【 0 0 7 8 】

プレート格納テーブルには、異なる形状を有する複数の「プレート画像データ」が各プレート毎に「格納 No . データ」と対応付けられて格納されている。コメント画像合成処理においてコメント文を撮像画像（画像データ）に合成する際には、前記コメント文をこのプレートに重ねて撮像画像に合成することもできる。

【 0 0 7 9 】

キー入力部 1 3 5 は、モード切換スイッチ、電源スイッチ、シャッターキー、メニューキー、「+」キー、及び「-」キーにより構成され、各キーの押圧操作やスライド操作に応じた各種操作信号を C P U 1 3 6 に出力する。 30

【 0 0 8 0 】

C P U (C e n t r a l P r o c e s s i n g U n i t) 1 3 6 は、R O M 1 3 3 に格納される各種制御プログラムに従ってデジタルカメラの各部を制御する中央演算処理装置である。具体的には、C P U 1 3 6 は、モード切換スイッチがスライド操作されて撮影モードが指定され、更に、シャッターキーが連続して押圧状態であるときには、撮像処理を実行する。

【 0 0 8 1 】

C P U 1 3 6 は、シャッターキーが押圧操作されると撮像処理を実行し、タイミングジェネレータ 1 2 4 に映像取り込み信号を出力する。タイミングジェネレータ 1 2 4 では、前記映像取り込み信号に基づいてタイミング信号を生成して駆動回路 1 2 3 に出力し、駆動回路 1 2 3 では、前記タイミング信号に基づいて C C D 型撮像素子 1 2 0 の露光及び読み出しタイミングを駆動制御して、C C D 型撮像素子 1 2 0 により撮像信号を取り込む。A / D コンバータ 1 2 2 では、前記取り込んだ撮像信号をアナログ信号からデジタル信号に変換し、シグナルジェネレータ 1 2 5 では、前記撮像信号に対して色演算処理を行なって画像データを生成して D R A M 1 2 9 に格納する。そして、C P U 1 3 6 は、D R A M 1 2 9 に格納された画像データを圧縮 / 伸長回路 1 3 0 に転送して圧縮処理を行なわせた後、前記圧縮された画像データを新たな「ページ No . データ」と対応付けてフラッシュメモリ 1 3 1 に格納する。 40

【 0 0 8 2 】

その後、CPU 136は、RAM 134の撮像条件メモリに展開された各種撮像条件に含まれる、連写撮影時の撮影時間間隔に従った所定の時間分待機し、シャッターキーが押圧状態であるか否かを判別する。シャッターキーが押圧状態であれば、連写撮影が行われるとして、CPU 136は、RAM 134内の「ページNo.データ」の値をそれぞれインクリメントしてRAM 134内に格納し直す。そして、前述の動作と同様に撮像した画像データを圧縮し、RAM 134に格納し直された「ページNo.データ」と対応づけてフラッシュメモリ 131に格納する。

【0083】

また、CPU 136は、モード切換スイッチ 13がスライド操作されて再生モードが指定されると、後述する再生表示処理を実行する。

10

【0084】

この再生表示処理においてCPU 136は、「+」キー、あるいは「-」キーの押圧操作に応じて、フラッシュメモリ 131に格納された画像データの中から、そのページNo.順（「+」キー17aが押圧操作された場合は昇順、「-」キーが押圧操作された場合は降順）に再生表示する画像データを指定する。そして、指定された画像データをフラッシュメモリ 131から順次読み出して圧縮/伸長回路 130に転送し、伸長処理を行なわせた後、DRAM 129に格納する。

【0085】

その後、CPU 136は、DRAM 129に格納した画像データをシグナルジェネレータ 125に転送する。シグナルジェネレータ 125では、入力された画像データに同期信号を付加する等してビデオ信号（表示データ）を生成して、一旦、VRAM 126に格納し、その中から1画面分の画像データを読み出してD/Aコンバータ 127、及びアンプ 128を介してICチップ 5, 6, 7に出力し、エレクトロルミネッセンス表示装置 1が画像を再生表示する。

20

【0086】

更に、CPU 136は、再生表示処理において、ユーザーの所定の操作によりコメント画像合成が指示されると、コメント画像合成処理を実行する。

【0087】

このコメント画像合成処理においてCPU 136は、キー入力部 135のキー操作により合成対象として選択指定され、DRAM 129に格納された撮像した画像データに対して、プレート格納テーブルから合成するプレートの画像データと、定型コメント文格納テーブルから合成するコメント文データとがキー入力部 135のキー操作によって指定されると、これらの指定された画像データ、コメント文の画像データ、プレートの画像データについて、合成対象の画像に対するコメント画像の合成位置等の合成条件を設定可能に制御する。そして、設定された各種合成条件に基づいて、前記コメント文の画像データを前記プレートの画像データに重ねてコメント画像データを生成する。

30

【0088】

I/O (Input / Output)ポート 137は、当該デジタルカメラとシリアル入出力端子 118a及び通信ケーブルを介して接続された外部機器との間で授受されるシリアルデータ（画像データ、制御データ等）の入出力制御を行なうインターフェースである。

40

【0089】

赤外線通信部 138は、エレクトロルミネッセンス表示装置 1と外部機器との間でIrDA (Infrared Data Association)方式の赤外線通信を行なうための赤外線インターフェースであり、赤外線通信より授受される画像データ、制御データ等の送受信制御を行なう。

【0090】

具体的には、この赤外線通信部 138は、赤外線通信機能を有する外部機器に送信する送信データを一時的に格納する送信データメモリと、この送信データメモリに格納されたデータを赤外線信号に変調する変調部と、変調された赤外線信号を赤外線パルスにより赤外

50

線窓を介して前記外部機器に送信する送信用LEDと、前記外部機器から赤外線パルスにより送信された赤外線信号を赤外線窓を介して受信するフォトダイオードと、この受信された赤外線信号を受信データとして復調する復調部と、復調された受信データを一時的に格納する受信データメモリと、により構成されている。

【0091】

【発明の効果】

請求項1に記載の発明によれば、ICチップが実装された基板を被覆膜で被覆しており、その被覆膜上に表示部が設けられているため、表示領域以外の領域が殆どなくすることができ、表示部ごとにICチップを基板に実装することができ、表示部ごとに独立して駆動することができる。そのため、EL表示装置全体としての発光デューティを大きくすることができ、低電力でも明るい表示面を実現することができる。

10

【0092】

請求項2に記載の発明によれば、第二導電線が透光性を有しているから、EL層で発した光が第二導電線を通じて外部に出射するので、EL層に対して第二導電線側の表面が表示面となる。

【0093】

請求項4に記載の発明によれば、多機能なEL表示装置を提供することができる。

【0094】

請求項5に記載の発明によれば、外部から画像データが入力されなくてもEL表示装置において表示が行われた状態を維持することができる。

20

【0095】

請求項6に記載の発明によれば、表示部ごとにICチップを基板に実装することができ、表示部ごとに独立して駆動することができる。そのため、EL表示装置全体としての発光デューティを大きくすることができ、低電力でも明るい表示面を実現することができる。

【図面の簡単な説明】

【図1】本発明を適用したEL表示装置を示した側断面図である。

【図2】図1のII-II線における平断面図である。

【図3】図1のIII-III線における平断面図である。

【図4】図1のEL表示装置とは別のEL表示装置を示した側断面図である。

【図5】図1、図4のEL表示装置とは別のEL表示装置を示した側断面図である。

30

【図6】図1のEL表示装置をデジタルスチルカメラの表示パネルとしたときのデジタルスチルカメラの略回路ブロック図である。

【符号の説明】

1 ... EL表示装置

3～7 ... ICチップ

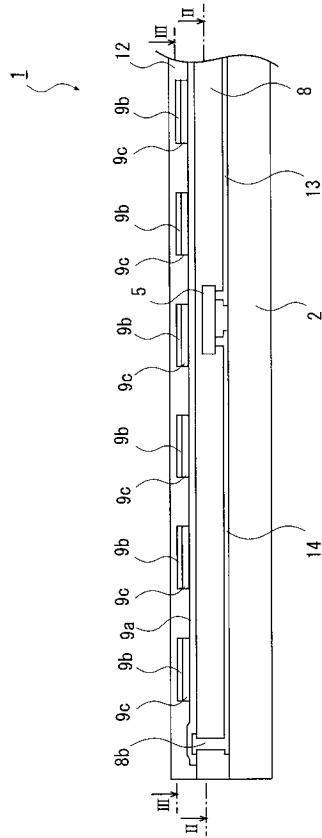
9～11 ... 表示部

9a、10a、11a ... 走査線

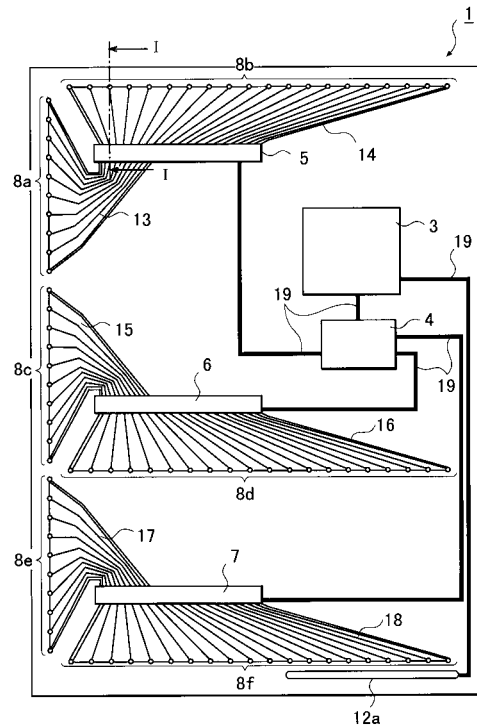
9b、10b、11b ... 信号線

9c ... EL層

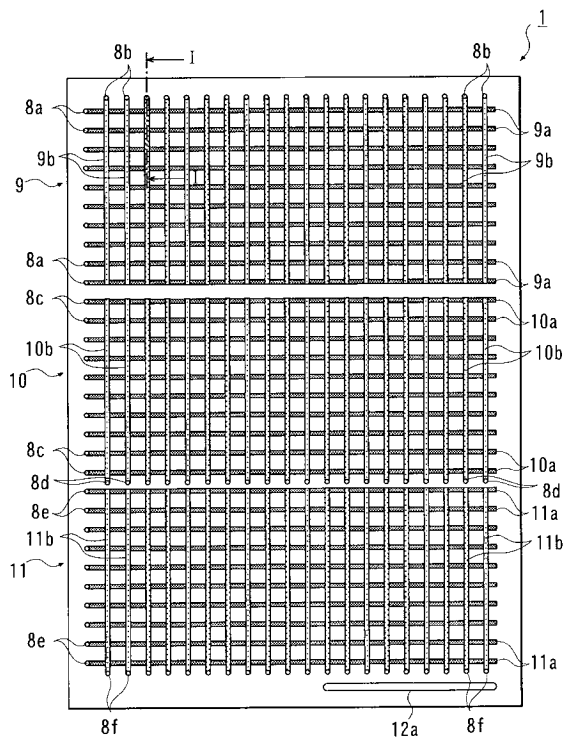
【 図 1 】



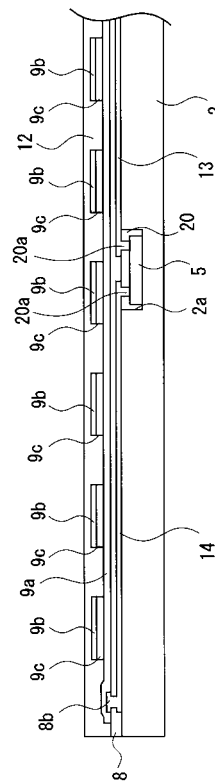
【 図 2 】



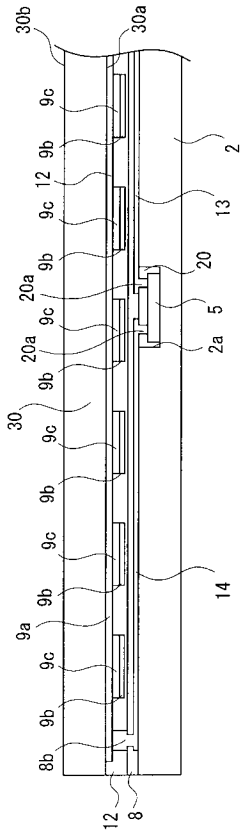
【 図 3 】



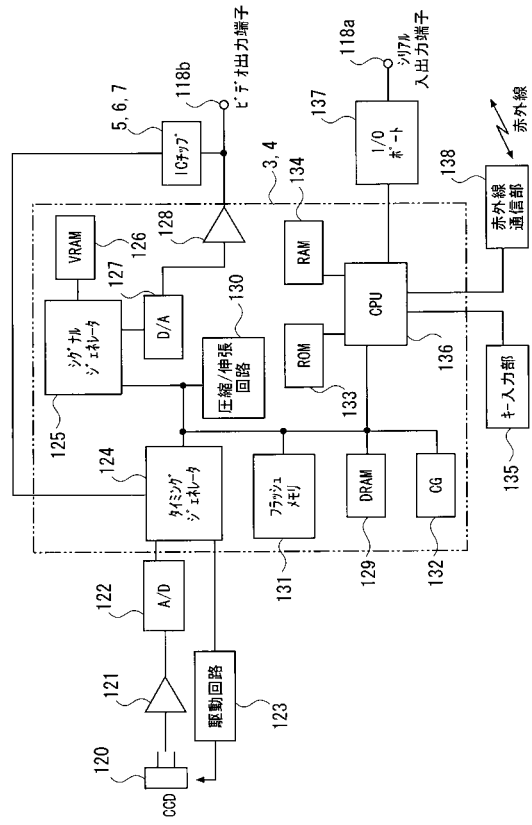
【 図 4 】



【図5】



【図6】



フロントページの続き

F ターム(参考) 5C094 AA10 AA14 AA15 AA22 AA48 AA53 BA27 CA19 DA01 DA09
DA12 DA13 DB01 DB05 EA05 FA01 FA02 FB01 FB12 FB14
FB15 FB20
5G435 AA03 AA18 BB05 CC09 EE32 EE33 EE36 EE41 EE42 HH12
HH13 HH14 KK05 KK09

专利名称(译)	EL表示装置		
公开(公告)号	JP2005017917A	公开(公告)日	2005-01-20
申请号	JP2003185317	申请日	2003-06-27
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	白寄友之		
发明人	白寄友之		
IPC分类号	H01L51/50 G09F9/00 G09F9/30 G09F9/302 G09F9/33 G09F9/40 G09G3/20 G09G3/30 G09G3/32 H01L27/32 H05B33/00 H05B33/08 H05B33/14		
CPC分类号	G09G3/325 G09G2300/0426 G09G2300/0842 H01L27/3244 H01L27/3281 H01L27/3297		
FI分类号	G09F9/30.365.Z G09F9/30.343.Z G09F9/00.348.Z G09F9/40.301 H05B33/14.A G09F9/30.343 G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/BA06 3K007/BB07 3K007/DB03 3K007/GA00 5C094/AA10 5C094/AA14 5C094/AA15 5C094/AA22 5C094/AA48 5C094/AA53 5C094/BA27 5C094/CA19 5C094/DA01 5C094/DA09 5C094/DA12 5C094/DA13 5C094/DB01 5C094/DB05 5C094/EA05 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB20 5G435/AA03 5G435/AA18 5G435/BB05 5G435/CC09 5G435/EE32 5G435/EE33 5G435/EE36 5G435/EE41 5G435/EE42 5G435/HH12 5G435/HH13 5G435/HH14 5G435/KK05 5G435/KK09 3K107/AA01 3K107/BB01 3K107/CC43 3K107/DD03 3K107/DD22 3K107/DD27 3K107/DD39 3K107/DD90 3K107/EE02 3K107/EE58 3K107/HH00		
其他公开文献	JP4207683B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够减小显示区域以外的面积的EL显示装置。解决方案：IC芯片3至7安装在基板2上，并且IC芯片3至7覆盖有绝缘涂膜8。显示部分9、10和11形成在绝缘涂膜8上。显示部分9、10、11以在横向上长的带状布置，并与扫描线正交，并且多条扫描线彼此平行地形成并且形成在绝缘涂膜8上。以及多条透明信号线，以及在扫描线和信号线的交点处夹在扫描线和信号线之间的EL层。 [选型图]图1

