

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-286816

(P2004-286816A)

(43) 公開日 平成16年10月14日(2004.10.14)

(51) Int. Cl.⁷

G09G 3/30
G09G 3/20
H05B 33/14

F I

G09G 3/30 J
G09G 3/30 K
G09G 3/20 611H
G09G 3/20 612R
G09G 3/20 621A

テーマコード(参考)

3K007
5C080

審査請求 未請求 請求項の数 6 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2003-75730 (P2003-75730)
(22) 出願日 平成15年3月19日(2003.3.19)

(71) 出願人 302020207
東芝松下ディスプレイテクノロジー株式会社
東京都港区港南4-1-8
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100084618
弁理士 村松 貞男

最終頁に続く

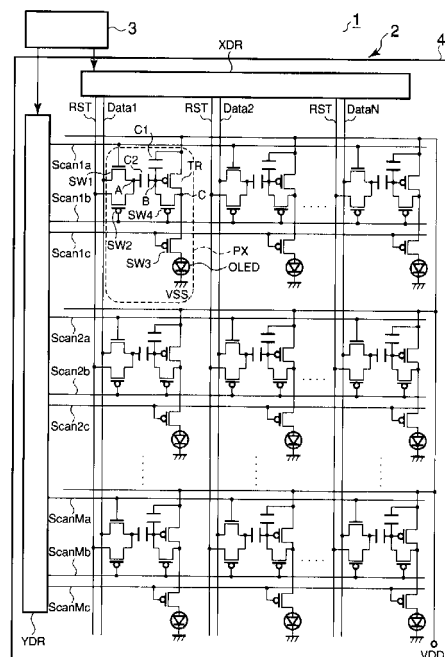
(54) 【発明の名称】 アクティブマトリクス型表示装置及びその駆動方法

(57) 【要約】

【課題】 特性補正動作と書込動作との双方に十分な時間を割り当てることが可能な表示装置及びその駆動方法を提供すること。

【解決手段】 本発明の表示装置1では、画素PXは、表示素子OLEDと、走査信号線ScanMaを介して第1走査信号が供給されている書込期間に映像信号線DataNを介して供給される映像信号が書き込まれるとともにそれに対応した大きさの駆動電流を有効表示期間に表示素子OLEDに流す駆動電流制御回路と、書込期間に先立つ補正期間に走査信号線ScanMbを介して第2走査信号が供給されることによりリセット信号線RSTを介してリセット信号が供給されるとともにそれを利用して駆動電流制御回路の画素PX間での特性のばらつきを補正する特性補正回路とを備え、特性補正動作と書込動作とのそれぞれを画素PXの行毎に順次行うとともに、或る行に対する書込期間と次の行に対する特性補正期間とを重ね合わせる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 走査信号線と、前記第 1 及び第 2 走査信号線と交差した映像信号線と、リセット信号線と、前記第 1 走査信号線と前記映像信号線との交差点近傍に配置された画素とを具備し、

前記画素のそれぞれは、流れる電流の大きさに応じて光学特性が変化する表示素子と、前記第 1 走査信号線を介して第 1 走査信号が供給されている書込期間において前記映像信号線を介して供給される映像信号が書き込まれるとともに前記書込期間に続く有効表示期間において前記映像信号に対応した大きさの駆動電流を前記表示素子に流す駆動電流制御回路と、前記書込期間に先立つ補正期間において前記第 2 走査信号線を介して第 2 走査信号が供給されることにより前記リセット信号線を介してリセット信号が供給されるとともに前記リセット信号を利用して前記駆動電流制御回路の前記画素間での特性のばらつきを補正する特性補正回路とを備え、

前記特性補正回路により前記駆動電流制御回路の特性を補正する特性補正動作と前記駆動電流制御回路に前記映像信号を書き込む書込動作とのそれぞれを前記画素の行毎に順次行うとともに、或る行の前記画素に対して前記書込動作を行う前記書込期間と次の行の前記画素に対して前記特性補正動作を行う前記特性補正期間とを少なくとも部分的に重なり合わせるように構成されたことを特徴とするアクティブマトリクス型表示装置。

10

【請求項 2】

或る行の前記画素に対して前記特性補正動作を行う前記特性補正期間と次の行の前記画素に対して前記特性補正動作を行う前記特性補正期間とを少なくとも部分的に重なり合わせるように構成されたことを特徴とする請求項 1 に記載のアクティブマトリクス型表示装置。

20

【請求項 3】

前記駆動電流制御回路は、制御端子と第 1 電源端子に接続された第 1 端子とそれらの間の電圧に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動電流制御素子と、前記映像信号線と前記制御端子との間に接続されるとともにそれらの間の導通 / 非導通を前記第 1 走査信号線を介して供給される前記第 1 走査信号に応じて切り替える第 1 スイッチと、前記第 1 端子と前記制御端子との間に接続された第 1 キャパシタとを含んだことを特徴とする請求項 1 または請求項 2 に記載のアクティブマトリクス型表示装置。

30

【請求項 4】

前記特性補正回路は、前記リセット信号線と前記制御端子との間に接続されるとともにそれらの間の導通 / 非導通を前記第 2 走査信号線を介して供給される前記第 2 走査信号に応じて切り替える第 2 スイッチと、前記第 2 端子と前記表示素子との間に接続されるとともにそれらの間の導通 / 非導通を切り替える第 3 スイッチと、前記第 2 端子と前記制御端子との間に接続されるとともにそれらの間の導通 / 非導通を切り替える第 4 スイッチと、前記第 1 及び第 2 スイッチの出力端子と前記制御端子との間に接続された第 2 キャパシタとを含んだことを特徴とする請求項 3 に記載のアクティブマトリクス型表示装置。

【請求項 5】

前記表示素子は有機 EL 素子であることを特徴とする請求項 1 乃至請求項 4 の何れか 1 項に記載のアクティブマトリクス型表示装置。

40

【請求項 6】

第 1 及び第 2 走査信号線と、前記第 1 及び第 2 走査信号線と交差した映像信号線と、リセット信号線と、前記第 1 走査信号線と前記映像信号線との交差点近傍に配置された画素とを具備し、

前記画素のそれぞれは、流れる電流の大きさに応じて光学特性が変化する表示素子と、前記第 1 走査信号線を介して第 1 走査信号が供給されている書込期間において前記映像信号線を介して供給される映像信号が書き込まれるとともに前記書込期間に続く有効表示期間において前記映像信号に対応した大きさの駆動電流を前記表示素子に流す駆動電流制御回路と、前記書込期間に先立つ補正期間において前記第 2 走査信号線を介して第 2 走査信号

50

が供給されることにより前記リセット信号線を介してリセット信号が供給されるとともに前記リセット信号を利用して前記駆動電流制御回路の前記画素間での特性のばらつきを補正する特性補正回路とを備えたアクティブマトリクス型表示装置の駆動方法であって、前記特性補正回路により前記駆動電流制御回路の特性を補正する特性補正動作と前記駆動電流制御回路に前記映像信号を書き込む書込動作とのそれぞれを前記画素の行毎に順次行うとともに、或る行の前記画素に対して前記書込動作を行う前記書込期間と次の行の前記画素に対して前記特性補正動作を行う前記特性補正期間とを少なくとも部分的に重なり合わせることを特徴とするアクティブマトリクス型表示装置の駆動方法。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、表示装置及びその駆動方法に係り、特にアクティブマトリクス型表示装置及びその駆動方法に関する。

【0002】

【従来の技術】

近年、有機エレクトロ・ルミネッセンス（以下、ELという）表示装置は、その軽量、薄型、高輝度という特徴により、携帯電話に代表される携帯用情報機器などのディスプレイとして注目を集めている。典型的な有機EL表示装置では、書込期間において書き込んだ映像信号に対応した大きさの駆動電流が、それに続く発光期間において有機EL素子に流れ続けるように、各画素にメモリ性を付与している。すなわち、アクティブマトリクス駆動方式を採用している。

20

【0003】

ところで、この有機EL表示装置では、映像信号に対応して駆動電流 I_d の大きさを制御する駆動制御素子（駆動用トランジスタ）の閾値電圧 V_{th} が画素間でばらつくのに起因して、表示ムラが発生することがある。この問題に対しては、各画素に閾値キャンセル回路を設けて駆動用トランジスタの特性を補正することが提案されている（以下の特許文献1を参照のこと）。

【0004】

この回路によると、駆動電流 I_d に閾値 V_{th} が与える影響を最小とすることができる。したがって、画素間で駆動用トランジスタの閾値 V_{th} がばらついていたとしても、そのようなばらつきが有機EL素子に供給する駆動電流 I_d に与える影響を低減することができる。

30

【0005】

しかしながら、この技術では、或る行に対して特性補正動作及び書込動作を行った後に次の行に対して特性補正動作及び書込動作を行うという方法を採用している。すなわち、一水平走査期間内に特性補正動作と書込動作との双方を行っている。そのため、特性補正動作と書込動作との双方に十分な時間を割り当てることが難しく、その結果、表示ムラが十分には解消されないという問題がある。

【0006】

【特許文献1】

40

米国特許第6,229,506号明細書

【0007】

【発明が解決しようとする課題】

本発明の目的は、特性補正動作と書込動作との双方に十分な時間を割り当てることが可能な表示装置及びその駆動方法を提供することにある。

【0008】

【課題を解決するための手段】

上記課題を解決するために、本発明は、第1及び第2走査信号線と、前記第1及び第2走査信号線と交差した映像信号線と、リセット信号線と、前記第1走査信号線と前記映像信号線との交差点近傍に配置された画素とを具備し、前記画素のそれぞれは、流れる電流の

50

大きさに応じて光学特性が変化する表示素子と、前記第1走査信号線を介して第1走査信号が供給されている書込期間において前記映像信号線を介して供給される映像信号が書き込まれるとともに前記書込期間に続く有効表示期間において前記映像信号に対応した大きさの駆動電流を前記表示素子に流す駆動電流制御回路と、前記書込期間に先立つ補正期間において前記第2走査信号線を介して第2走査信号が供給されることにより前記リセット信号線を介してリセット信号が供給されるとともに前記リセット信号を利用して前記駆動電流制御回路の前記画素間での特性のばらつきを補正する特性補正回路とを備え、前記特性補正回路により前記駆動電流制御回路の特性を補正する特性補正動作と前記駆動電流制御回路に前記映像信号を書き込む書込動作とのそれぞれを前記画素の行毎に順次行うとともに、或る行の前記画素に対して前記書込動作を行う前記書込期間と次の行の前記画素に対して前記特性補正動作を行う前記特性補正期間とを少なくとも部分的に重なり合わせるように構成されたことを特徴とするアクティブマトリクス型表示装置を提供する。

10

【0009】

また、本発明は、第1及び第2走査信号線と、前記第1及び第2走査信号線と交差した映像信号線と、リセット信号線と、前記第1走査信号線と前記映像信号線との交差点近傍に配置された画素とを具備し、前記画素のそれぞれは、流れる電流の大きさに応じて光学特性が変化する表示素子と、前記第1走査信号線を介して第1走査信号が供給されている書込期間において前記映像信号線を介して供給される映像信号が書き込まれるとともに前記書込期間に続く有効表示期間において前記映像信号に対応した大きさの駆動電流を前記表示素子に流す駆動電流制御回路と、前記書込期間に先立つ補正期間において前記第2走査信号線を介して第2走査信号が供給されることにより前記リセット信号線を介してリセット信号が供給されるとともに前記リセット信号を利用して前記駆動電流制御回路の前記画素間での特性のばらつきを補正する特性補正回路とを備えたアクティブマトリクス型表示装置の駆動方法であって、前記特性補正回路により前記駆動電流制御回路の特性を補正する特性補正動作と前記駆動電流制御回路に前記映像信号を書き込む書込動作とのそれぞれを前記画素の行毎に順次行うとともに、或る行の前記画素に対して前記書込動作を行う前記書込期間と次の行の前記画素に対して前記特性補正動作を行う前記特性補正期間とを少なくとも部分的に重なり合わせることを特徴とするアクティブマトリクス型表示装置の駆動方法を提供する。

20

【0010】

本発明では、或る行の前記画素に対して特性補正動作を行う特性補正期間と次の行の画素に対して特性補正動作を行う特性補正期間とを少なくとも部分的に重なり合わせてもよい。

30

【0011】

駆動電流制御回路は、制御端子と第1電源端子に接続された第1端子とそれらの間の電圧に対応した大きさの駆動電流を出力する第2端子とを備えた駆動電流制御素子と、映像信号線と制御端子との間に接続されるとともにそれらの間の導通/非導通を第1走査信号線を介して供給される第1走査信号に応じて切り替える第1スイッチと、第1端子と制御端子との間に接続された第1キャパシタとを含んでもよい。この場合、特性補正回路は、リセット信号線と制御端子との間に接続されるとともにそれらの間の導通/非導通を第2走査信号線を介して供給される第2走査信号に応じて切り替える第2スイッチと、第2端子と表示素子との間に接続されるとともにそれらの間の導通/非導通を切り替える第3スイッチと、第2端子と制御端子との間に接続されるとともにそれらの間の導通/非導通を切り替える第4スイッチと、第1及び第2スイッチの出力端子と制御端子との間に接続された第2キャパシタとを含んでもよい。

40

また、表示素子は有機EL素子であってもよい。

【0012】**【発明の実施の形態】**

以下、本発明の実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同様または類似する構成要素には同一の参照符号を付し、重複する説明は省略する

50

。

【0013】

図1は、本発明の一実施形態に係る表示装置を概略的に示す平面図である。なお、ここでは、一例として、有機EL表示装置を描いている。

【0014】

この有機EL表示装置1は、有機ELパネル2と、有機ELパネル2の表示動作を制御するコントローラ3とを備えている。

【0015】

有機ELパネル2は、例えば17型XGAの表示領域を有しており、ガラス板等の光透過性絶縁基板4上でマトリクス状に配列した複数の画素PXと、これら画素PXの行に沿って延在した複数本の走査信号線ScanMa, ScanMb, ScanMcと、これら画素PXの行と略直交する方向に延在した複数本の映像信号線DataNと、走査信号線ScanMa, ScanMb, ScanMcのそれぞれを順次駆動する走査信号線ドライバYDRと、映像信号線DataNを駆動する映像信号線ドライバXDRとを備えている。また、この有機ELパネル2には、映像信号線DataNから独立したリセット信号線RSTが、画素列に沿った方向に、つまり映像信号線DataNと略平行に設けられている。

【0016】

各画素PXは、発光素子として自己発光素子である有機EL素子OLEDを備えるとともに、駆動電流制御回路と特性補正回路とを備えている。

【0017】

駆動電流制御回路は、駆動電流制御素子TRと、選択用スイッチSW1と、キャパシタC1とを備えている。駆動電流制御素子TRは、一对の電源端子VDD, VSS間で有機EL素子OLEDと直列に接続されており、その制御端子と電源端子VDDとの間の電圧に対応した大きさの駆動電流を有機EL素子OLEDに対して出力する。選択用スイッチSW1は、映像信号線DataNと駆動電流制御素子TRの制御端子との間に接続（つまり、選択用スイッチSW1のソースが映像信号線DataN、ドレインが後述のキャパシタC2を介して駆動電流制御素子TRの制御端子に、ゲートが対応する走査信号線ScanMaに接続）されており、それらの間の導通/非導通を走査信号線ScanMaを介して供給される第1走査信号に応じて切り替える。キャパシタC1は、電源端子VDDと駆動電流制御素子TRの制御端子との間に接続されており、その制御端子と電源端子VDDとの間の電圧を所定期間ほぼ一定に保持する役割を果たす。

【0018】

具体的には、選択用スイッチSW1は、走査信号線ドライバYDRから走査信号線ScanMaを介して供給される第1走査信号により映像信号線DataNと駆動電流制御素子TRの制御端子との間を導通状態とした際に、映像信号線ドライバXDRから映像信号線DataNを介して供給される映像信号Vsig(=0~4V)をノードAに出力する。また、駆動電流制御素子TRは、選択用スイッチSW1が出力する映像信号Vsigに対応した大きさの駆動電流Idを有機EL素子OLEDに供給する。

【0019】

なお、電源端子VDD, VSSは、例えば、+10V及び0Vの電位にそれぞれ設定される。また、ここでは、駆動電流制御素子TRとしてpチャネル薄膜トランジスタ（以下、TF Tという）を使用するとともに、選択用スイッチSW1としてnチャネルTF Tを使用している。これらTF Tはその活性層に多結晶シリコン膜を用いて形成され、走査信号線ドライバ及び映像信号線ドライバを構成するTF Tと同一工程で形成される。

【0020】

特性補正回路は、ここでは閾値キャンセル回路であり、リセットスイッチSW2と、出力制御用スイッチSW3と、補正用スイッチSW4と、キャパシタC2とを備えている。リセットスイッチSW2は、リセット信号Vrst(=8V)を供給するリセット信号線RSTと駆動電流制御素子TRの制御端子との間に接続（つまり、リセットスイッチSW2

10

20

30

40

50

のソースがリセット信号線 R S T に、ドレインがキャパシタ C 2 を介して駆動電流制御素子 T R の制御端子に、ゲートが走査信号線 S c a n M b に接続)されるとともに、それらの間の導通 / 非導通を走査信号線 S c a n M b を介して供給される第 2 走査信号に応じて切り替える。出力制御用スイッチ S W 3 は、駆動電流制御素子 T R の出力端子と有機 E L 素子 O L E D との間に直列接続されるとともに、それらの間の導通 / 非導通を走査信号線 S c a n M c を介して供給される第 3 走査信号に応じて切り替える。補正用スイッチ S W 4 は、駆動電流制御素子 T R の出力端子と制御端子との間に接続されるとともに、それらの間の導通 / 非導通を走査信号線 S c a n M b を介して供給される第 2 走査信号に応じて切り替える。キャパシタ C 2 は、選択用スイッチ S w 1 と駆動電流制御素子 T R の制御端子との間、リセットスイッチ S W 2 と駆動電流制御素子 T R の制御端子との間に接続されており、ノード A , B 間での電荷の移動を防ぐとともにノード A の電位変化に対応したノード B の電位変化を可能としている。なお、ここでは、リセットスイッチ S W 2 、出力制御用スイッチ S W 3 、補正用スイッチ S W 4 として、p チャンネル T F T を使用している。

10

【0021】

有機 E L 素子 O L E D は、赤、緑、または青のルミネセンス性有機化合物を含む薄膜である発光層を少なくとも含む有機薄膜層を陰極と陽極との間に介在させた構造を有している。有機 E L 素子 O L E D は、有機薄膜層に電子及び正孔を注入しこれらを再結合させることにより励起子を生成させ、この励起子の失活時に生じる光放出により発光する。

【0022】

なお、有機薄膜層は、陽極バッファ層、発光層、陰極発光層の 3 層を積層した構造や、これらを機能的に複合した 2 層あるいは単層構造であってもよい。

20

【0023】

コントローラ 3 は、有機 E L パネル 2 の外部に配置されるプリント基板上に形成され、走査信号線ドライバ Y D R 及び映像信号線ドライバ X D R の動作を制御する。コントローラ 3 は、外部から供給されるデジタル映像信号及び同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号及び水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生し、これら垂直走査制御信号及び水平走査制御信号をそれぞれ走査信号線ドライバ Y D R 及び映像信号線ドライバ X D R に供給するとともに、水平及び垂直走査タイミングに同期してデジタル映像信号を映像信号線ドライバ X D R に供給する。

【0024】

映像信号線ドライバ X D R は、各水平走査期間において水平走査制御信号の制御のもとでデジタル映像信号をアナログ形式に変換し、複数の映像信号線 D a t a N に対して並列的に供給する。

30

【0025】

走査信号線ドライバ Y D R は、垂直走査制御信号の制御のもとで、各表示期間 (= 1 フレーム期間 + 垂直ブランキング期間 = 特性補正期間 + 書込期間 + 有効表示期間) において、複数本の走査信号線 S c a n M a に対して選択用スイッチ S w 1 をオン状態とする第 1 走査信号を順次供給する。すなわち、走査信号線 S c a n M a への第 1 走査信号の供給は、1 つの走査信号線 S c a n M a に対応する選択用スイッチ S w 1 をオン状態とする第 1 走査信号が供給されるように為され、各走査信号線 S c a n M a へオン信号が供給される期間を 1 水平走査期間 (1 H) と呼ぶ。各行の選択用スイッチ S W 1 は、それに対応する走査信号線 S c a n M a から供給される第 1 走査信号により、1 水平走査期間 (書込期間) だけ映像信号線 D a t a N とノード A との間を導通させ、オン状態とする第 1 走査信号が再び 1 表示期間後に供給されるまでそれらの間を非導通とする。選択行の駆動電流制御素子 T R は、これら選択用スイッチ S W 1 の導通により複数本の映像信号線 D a t a N を介して供給される映像信号 V s i g に対応した駆動電流 I d を、書込期間に続く有効表示期間 (発光期間) において有機 E L 素子 O L E D にそれぞれ供給する。これら映像信号 V s i g は、映像信号の更新周期である 1 表示期間毎に更新される。

40

【0026】

また、走査信号線ドライバ Y D R は、走査信号線 S c a n M a に対して説明したのと同様

50

に、垂直走査制御信号の制御のもとで、各表示期間において、複数本の走査信号線 $S_{c a n M b}$ に対してリセットスイッチ $S W 2$ 及び補正用スイッチ $S W 4$ をオン状態とする第2走査信号を順次供給する。各行のリセットスイッチ $S W 2$ は、それに対応する走査信号線 $S_{c a n M b}$ から供給される第2走査信号により、書込期間に先立つ所定期間（特性補正期間）だけリセット信号線 $R S T$ とノード A との間を導通させ、オン状態とする第2走査信号が再び1表示期間後に供給されるまでそれらの間を非導通とする。また、各行のスイッチ $S W 4$ は、それに対応する走査信号線 $S_{c a n M b}$ から供給される第2走査信号により、特性補正期間だけ駆動電流制御素子 $T R$ の出力端子と制御端子との間を導通させ、オン状態とする第2走査信号が再び1表示期間後に供給されるまでそれらの間を非導通とする。

10

【0027】

さらに、走査信号線ドライバ $Y D R$ は、走査信号線 $S_{c a n M a}$ に対して説明したのと同様に、垂直走査制御信号の制御のもとで、各表示期間において、複数本の走査信号線 $S_{c a n M c}$ に対して出力制御用スイッチをオン状態とする第3走査信号を順次供給する。各行の出力制御用スイッチ $S W 3$ は、それに対応する走査信号線 $S_{c a n M c}$ から供給される第3走査信号により、書込期間及び特性補正期間だけ駆動電流制御素子 $T R$ と有機 $E L$ 素子 $O L E D$ との間を非導通とし、第3走査信号が再び1表示期間後に供給されるまでそれらの間を導通させる。

【0028】

図2は、図1に示す表示装置1の画素 $P X$ の等価回路図である。

20

上述のように、各画素 $P X$ は、有機 $E L$ 素子 $O L E D$ 及び駆動電流制御回路に加え、特性補正回路を備えている。また、駆動電流制御回路は、駆動電流制御素子 $T R$ と選択用スイッチ $S W 1$ とキャパシタ $C 1$ とを備えており、特性補正回路は、リセットスイッチ $S W 2$ と出力制御用スイッチ $S W 3$ と補正用スイッチ $S W 4$ とキャパシタ $C 2$ とを備えている。これらスイッチ $S W 2$ 乃至 $S W 4$ は、書込期間に先立つ特性補正期間において、駆動電流制御素子 $T R$ の制御電圧をこの駆動電流制御素子 $T R$ の閾値電圧 $V_{t h}$ とほぼ等しいレベルに初期化するために図3に示す関係で $O N / O F F$ される。

【0029】

図3は、図2に示す画素 $P X$ の駆動方法の一例を示す図である。

図3に示すように、特性補正期間はリセット期間と閾値キャンセル期間とを含んでいる。

30

【0030】

リセット期間では、駆動電流制御素子 $T R$ の入力端子と制御端子との間の電圧をその閾値電圧 $V_{t h}$ より大きくなるよう設定する。具体的には、選択用スイッチ $S W 1$ を $O F F$ 状態とし、スイッチ $S W 2$ 乃至 $S W 4$ を $O N$ 状態とする。この動作により、ノード A の電位はリセットスイッチ $S W 2$ を介して供給されるリセット信号 $V_{r s t}$ により上昇し、ノード B 及び C の電位は補正用スイッチ $S W 4$ を介して流れる放電電流により低下する。

【0031】

これに続く閾値キャンセル期間では、選択用スイッチ $S W 1$ をオフ状態に維持したまま、出力制御用スイッチ $S W 3$ をオフ状態に設定する。これにより、ノード B の電位は、補正用スイッチ $S W 4$ を介して流れる充電電流によって駆動電流制御素子 $T R$ の閾値電圧 $V_{t h}$ とほぼ等しいレベルにまで上昇する。なお、この際、キャパシタ $C 2$ のノード A 側の電極には、リセット信号 $V_{r s t}$ が供給されている。

40

【0032】

書込期間では、選択用スイッチ $S W 1$ を $O N$ 状態とし、スイッチ $S W 2$ 乃至 $S W 4$ を $O F F$ 状態とする。これにより、ノード A には、リセットスイッチ $S W 2$ を介して供給されるリセット信号 $V_{r s t}$ に代わり、映像信号 $V_{s i g}$ が選択用スイッチ $S W 1$ を介して供給される。その結果、ノード B の電位は、閾値電圧 $V_{t h}$ と映像信号 $V_{s i g}$ との和にほぼ等しくなる。

【0033】

有効表示期間では、出力制御用スイッチ $S W 3$ を $O N$ 状態とし、スイッチ $S W 1$, $S W 2$

50

、SW4をOFF状態とする。これにより、駆動電流 I_d が出力制御用スイッチSW3を介して有機EL素子OLEDに供給される。ここで、駆動電流 I_d は、リセット信号Vrstと映像信号Vsigとの電位差により決定されることになり、駆動電流制御素子TRの閾値電圧Vthが画素PX間でばらついていたとしても、そのようなばらつきが駆動電流 I_d に与える影響を排除することができる。

【0034】

さて、本実施形態では、この表示装置1を以下に説明するように駆動する。図4は、図1に示す表示装置1で利用可能な駆動方法の一例を示すタイミングチャートである。なお、図4に示す参照符号Clka、Clkbはクロック信号を示し、Starta、Startbはスタート信号を示し、Videoは映像信号を示しており、これらは何れもコントローラ3が出力する信号である。また、図4に示す参照符号ScanMa、ScanMb、ScanMcは、それぞれ、走査信号線ドライバYDRが走査信号線ScanMa、ScanMb、ScanMcに出力する走査信号を示している。

10

【0035】

走査信号線ドライバYDRは、スタート信号Starta及びクロック信号Clkaから各水平走査期間に対応した1水平期間の幅($T_w - Starta$)の第1パルスを生成して順次次段に転送するとともに各段の第1パルスを第1走査信号として対応する走査信号線へ出力するシフトレジスタと、スタート信号Startb及びクロック信号Clkaから各水平走査期間に対応した1水平走査期間の整数倍の幅($T_w - Startb$)の第2パルスを生成して順次次段に転送するとともに各段の第2パルスを第2走査信号として対応する走査信号線へ出力するシフトレジスタとを備えている。走査信号線ドライバYDRは、第1パルスを第1走査信号として第1走査信号線ScanMaに順次出力し、第2パルスを第2走査信号として第2走査信号線ScanMbに順次出力する。さらに、走査信号線ドライバYDRは、第2パルスとクロック信号Clkbとから第3走査信号を生成し、これを第3走査信号線ScanMcに順次出力する。

20

【0036】

具体的には、走査信号線ドライバYDRは、リセット期間では、走査信号線ScanMaを非選択レベル(ここではLowレベル)、ScanMb、ScanMcを選択レベル(ここではLowレベル)の走査信号を供給する。閾値キャンセル期間では、走査信号線ドライバYDRは、走査信号線ScanMa、ScanMbにLowレベルの走査信号を供給し、走査信号線ScanMcに非選択レベル(ここではHighレベル)の走査信号を供給する。書込期間では、走査信号線ドライバYDRは、走査信号線ScanMaを選択レベル(ここではHighレベル)、ScanMb、ScanMcを非選択レベル(ここではHighレベル)の走査信号を供給する。有効表示(発光)期間では、走査信号線ドライバYDRは、走査信号線ScanMa、ScanMcにLowレベルの走査信号を供給し、走査信号線ScanMbにHighレベルの走査信号を供給する。

30

【0037】

本実施形態では、走査信号線ドライバYDRは、或る行の画素PXへの特性補正動作(=リセット動作+閾値キャンセル動作)を開始してから1水平周期のn倍(nは1以上の整数)だけ経過後に、次の行の画素PXへの特性補正動作を開始する。すなわち、或る行の画素PXに対して書込動作を行う書込期間と次の行の画素に対して特性補正動作を行う特性補正期間とを少なくとも部分的に重ね合わせる。こうすると、或る行の画素PXへの特性補正動作と書込動作との双方を完了した後に次の行の画素PXへの特性補正動作を開始する場合に比べ、有効表示(発光)期間を十分に長く設定しつつ(有効表示期間が1表示期間に占める割合は50%以上であることが望ましい)、特性補正動作と書込動作との双方に十分な時間を割り当てることが可能となる。

40

【0038】

また、本実施形態では、映像信号Vsigを供給するための映像信号線DataNとは別に、リセット信号Vrstを供給するためのリセット信号線RSTを設けている。このようにリセット信号Vrstを供給するための配線を映像信号Vsigを供給するための配

50

線から独立させると、発光動作から特性補正動作への移行の際に、配線容量に起因してリセット信号 V_{rst} のノード A への供給が遅延するのを防止することができる。すなわち、本実施形態によれば、リセット信号 V_{rst} の供給に映像信号 V_{sig} を供給するための映像信号線 $DatA_N$ を併用した場合は異なり、画素 PX の動作を発光動作から特性補正動作へと切り替えると、ノード A の電位は速やかにリセット信号 V_{rst} と等しいレベルへと変化する。そのため、本実施形態によれば、ノード A の電位が安定化するまでに比較的長い時間を要することに起因して駆動電流制御素子 TR の制御電圧を完全に初期化できないという状況になり難い。

【0039】

このように、本実施形態によると、特性補正動作と書込動作との双方に十分な時間を割り当てることができる。加えて、本実施形態によると、発光動作から特性補正動作への切り替えの際にノード A の電位は速やかにリセット信号 V_{rst} と等しいレベルへと変化させることができる。したがって、本実施形態によると、駆動電流制御回路の特性の画素 PX 間でのばらつきに起因した表示ムラを十分に解消することができる。

【0040】

なお、特性補正期間は、有機 EL パネルのサイズや精細度等により適宜設定されるが、本実施形態クラスの有機 EL パネルにおいては $50 \mu sec$ 以上とすることが望ましい。ここでは、書込期間（すなわち 1 水平周期）は $21 \mu sec$ 程度に設定するのに対し、特性補正期間は $50 \mu sec$ 程度であり、1 水平周期の長さよりも特性補正期間を長く設定する場合がある。したがって、本実施形態では、図 4 に示すように、或る行の画素 PX に対して特性補正動作を行う特性補正期間と次の行の画素 PX に対して特性補正動作を行う特性補正期間とを部分的に重ね合わせることにより、複数の水平走査周期にわたって特性補正を行なうことができ、発光時間を削減することなく十分な特性補正期間を得ることができる。

【0041】

また、本実施形態においては、リセット信号線を画素列に沿った方向、つまり映像信号線に平行な方向に沿って設けている。このような構造によると、選択画素行に対する特性補正動作時に、その画素行に含まれる画素 PX に対して別々のリセット信号線 RST からリセット信号 V_{rst} を供給することができる。リセット信号の供給を画素行に沿った方向で供給する場合と比し、1 配線に集中させることなく、リセット信号線 RST の配線本数分で分割することができるので、リセット信号線 RST 内での電圧降下の発生を抑制することができる。そしてこの電圧降下に起因して発生する画素間のクロストークを改善し、より均一な画像表示が可能となる。特に、画素数が増大し、走査線数が多くなった場合にも良好な表示動作を行うことが可能となる。

【0042】

なお、本発明は、上述の実施例に限定されず、その要旨を逸脱しない範囲で様々に変形可能である。

【0043】

例えば、図 1 に示す映像信号線ドライバ XDR からリセット信号 V_{rst} を供給可能な構造の代わりに、図 5 に示すようにリセット信号 V_{rst} をリセット信号供給端子 $RESET$ から供給可能な構造を採用してもよい。リセット信号を供給する回路を PCB 上に形成することにより、アレイ基板の製造歩留まりを向上させることができる。また、アレイ基板の非表示領域である額縁部の面積を低減し、狭額縁化を達成することができる。また、リセット信号の調整を容易に行うことが可能となる。

【0044】

また、図 6 に示すように、リセット信号線 RST を画素行に沿った方向、つまり走査信号線と平行に配置してもよく、上述と同様の駆動方法にて動作することができる。

【0045】

さらに、図 7 に示すようにリセット信号線を画素行に平行に配置するとともに、隣接する画素行間でリセット信号線を共用させることも可能である。こうすると、画素行の配列方

10

20

30

40

50

向に配列した配線の数を削減することができ、特に配線が形成された基板側を表示面とする有機EL表示装置においては発光の取り出し効率をより向上させることが可能となる。

【0046】

詳しく説明すると、リセット信号線を画素行と平行に配置し、走査信号線ScanMb, ScanMcのうち偶数番目に位置したものを省略するとともに、偶数行目の画素PX2とその上の行の画素PX1との間で走査信号線ScanMb, ScanMc(ここではMは奇数)及びリセット信号線RSTを共用している。なお、画素PX1, PX2の回路構成は画素PXの回路構成と同様である。

【0047】

この構造によると、リセット信号Vrst並びに第2及び第3走査信号を供給するために必要な配線数及び表示領域内で配線が占有する面積を低減することができる。したがって、表示装置1の大型化及び高精細化が容易になる。 10

【0048】

なお、図7に示す構造を採用した場合、画素PX1, PX2への特性補正動作は2行毎に行われ、書込動作は1行毎に行われる。具体的には、図8に示すように、2n行目(nは自然数)の画素PX2と2n-1行目の画素PX1とに対して特性補正動作が同時に行われ、それらへの特性補正動作が完了した後に、2(n+1)行目の画素PX2と2(n+1)-1行目の画素PX1とに対して特性補正動作が同時に行われる。また、2n行目の画素PX2と2n-1行目の画素PX1とへの特性補正動作が完了後、2(n+1)行目の画素PX2と2(n+1)-1行目の画素PX1とに対する特性補正動作と並行して、2n行目の画素PX2と2n-1行目の画素PX1とに対して1行毎に書込動作が順次行われる。 20

【0049】

このように、本実施形態では、2n行目の画素PX2に対する特性補正動作と2n-1行目の画素PX1に対する特性補正動作とを同時に行う。加えて、本実施形態では、2n行目の画素PX2に対する特性補正期間と2n-1行目の画素PX1に対する書込期間とは重ね合わせないが、2n行目の画素PX2に対する特性補正期間と2n+1行目の画素PX1に対する書込期間とは重ね合わせる。したがって、特性補正動作と書込動作との双方に十分な時間を割り当てることができる。また、本実施形態では、第1及び第2の実施形態と同様に、映像信号Vsigを供給するための映像信号線DataNとは別にリセット信号Vrstを供給するためのリセット信号線RSTを設けているため、発光動作から特性補正動作への切り替えの際にノードAの電位を速やかにリセット信号Vrstと等しいレベルへと変化させることができる。したがって、本実施形態でも、上述の実施形態で説明したのとほぼ同等の効果が得られる。 30

【0050】

また、図9に示すように、リセット信号線RSTは、電源端子VDDに接続した配線と共通化してもよい。

【0051】

この構造によると、リセット信号線RSTを有機EL素子OLEDと電源端子VDDとを接続する配線の一部と共用できるため、表示領域内で配線が占有する面積を低減することができる。但し、この構造では、リセット信号Vrstは電源電圧VDDと等しくなるため、映像信号Vsigの最大値が電源電圧VDDにほぼ等しい必要がある。 40

【0052】

また、図10に示すように、リセット信号線RSTを格子状に配置し、互いに交差したりリセット信号線RST同士をそれらの交差部で接続してもよい。

【0053】

このような構造によると、上述の実施形態で説明したのと同様の効果を得ることができる。加えて、この構造によると、リセット信号の供給を表示面内に格子状に配置した配線から行うため、リセット信号線RSTにおける電圧降下をさらに抑制することができる。そのため、これらリセット信号線RST間で生じる電圧降下のばらつきが一層低減され、ま 50

た、電圧降下が発生したとしても、クロストークとして視認されるのを抑制でき、さらに均一な表示が可能となる。

【0054】

以上説明したように、或る行の画素PXに対して書込動作を行う書込期間と次の行の画素に対して特性補正動作を行う特性補正期間とを少なくとも部分的に重ね合わせると、特性補正動作と書込動作との双方に十分な時間を割り当てることが可能となる。また、画素への映像信号の供給とリセット信号の供給とをそれぞれ独立した配線で行うと、例えば、大型化により負荷が増大した場合或いは高精細化により水平走査期間を短縮せざるを得ない場合であっても、十分な特性補正期間を確保することができる。さらに、同時に特性補正動作を行う複数の画素に複数本の配線からリセット信号を供給した場合には、電圧降下を抑制できるため、より均一な表示が可能となる。

10

【0055】

なお、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲でさらに変形可能である。例えば、先の実施形態では、画素に特定の回路構成を採用したが、画素には他の回路構成を採用してもよい。例えば、スイッチSW1乃至SW4としては、nチャンネルTFTを使用してもよく或いはpチャンネルTFTを使用してもよい。また、それらスイッチSW1乃至SW4としてトランスマッションゲート等の他のスイッチング素子を使用してもよい。例えば、リセットスイッチSW2としてトランスマッションゲートを使用し、先に説明したのとは逆極性の第2走査信号によりリセットスイッチSW2のON/OFFを制御してもよい。

20

【0056】

また、先の実施形態では、特性補正回路が駆動電流制御素子TRの閾値電圧V_{th}のばらつき補正を行うものである場合について説明したが、特性補正回路は、駆動電流制御回路の特性のばらつきを補正するものであれば、駆動電流制御素子TRの閾値電圧V_{th}に限定したばらつき補正するものでなくてもよい。

【0057】

また、図7に示す構造では、2行の画素PX1, PX2で1本のリセット信号線RSTを共用しているが、3行以上の画素で1本のリセット信号線RSTを共用してもよい。

【0058】

また、上述の実施形態では、映像信号の書き込みを1画素行ずつ行うものについて説明したが、これに限定されず、複数行ずつ同時に書き込みを行ってもよい。

30

【0059】

さらに、上述の実施形態では、リセットスイッチSW2及び補正用スイッチSW4を共通の走査信号線ScanMを用いて制御する場合について説明したが、それらのON/OFFは独立した走査信号線を用いて制御してもよい。このように制御することにより、さらに動作を安定させ、表示品位を向上させることが可能となる。

【0060】

また、上述の実施形態では、映像信号のデジタル-アナログ変換をガラス基板上に形成された映像信号線ドライバXDRで行う場合について説明したが、このアナログ変換を有機ELパネル2の外部で行ってもよい。

40

【0061】

また、映像信号線ドライバXDRはアナログ映像信号を時分割で対応する映像信号線DataNに供給するものであってもよい。そして、更に、有機EL素子へ供給する電源電圧を発光色毎に設定してもよい。

【0062】

また、上述の実施形態では画素を構成するトランジスタとしてその活性層に多結晶ポリシリコンを用いるものについて説明したが、アモルファスシリコンを用いるものであってもよい。特に、アモルファスシリコンを用いる場合には特性補正期間の確保が重要となってくるため、本発明を適用することが望ましい。

【0063】

50

さらに、上述の実施形態では表示素子として有機EL素子OLEDを使用した有機EL表示装置1について説明したが、流れる電流の大きさに応じて光学特性が変化するものであれば他の表示素子を使用してもよい。すなわち、先の技術は有機EL表示装置以外の表示装置、例えば発光ダイオード表示装置や電界放出表示装置などのように自己発光素子を備えた表示装置、にも適用可能である。

【0064】

【発明の効果】

以上説明したように、本発明によると、特性補正動作と書込動作との双方に十分な時間を割り当てることが可能な表示装置及びその駆動方法が提供される。

【図面の簡単な説明】

10

【図1】本発明の第1の実施形態に係る表示装置を概略的に示す平面図。

【図2】図1に示す表示装置の画素の等価回路図。

【図3】図2に示す画素の駆動方法の一例を示す図。

【図4】図1に示す表示装置で利用可能な駆動方法の一例を示すタイミングチャート。

【図5】本発明の一変形例に係る表示装置を概略的に示す平面図。

【図6】本発明の一変形例に係る表示装置を概略的に示す平面図。

【図7】本発明の一変形例に係る表示装置を概略的に示す平面図。

【図8】図7に示す表示装置で利用可能な駆動方法の一例を示すタイミングチャート。

【図9】本発明の一変形例に係る表示装置を概略的に示す平面図。

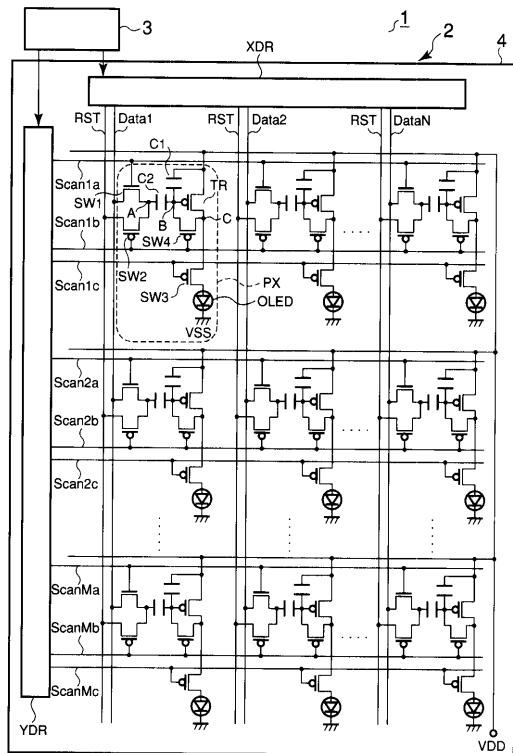
20

【図10】本発明の一変形例に係る表示装置を概略的に示す平面図。

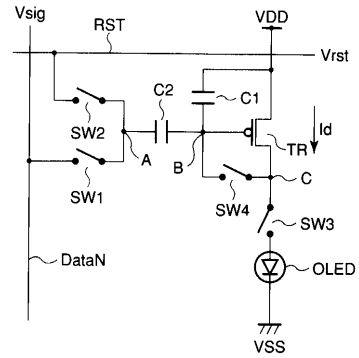
【符号の説明】

1 ... 有機EL表示装置、2 ... 有機ELパネル、3 ... コントローラ、4 ... 光透過性絶縁基板、PX ... 画素、PX1 ... 画素、PX2 ... 画素、YDR ... 走査信号線ドライバ、XDR ... 映像信号線ドライバ、ScanMa ... 走査信号線、ScanMb ... 走査信号線、ScanMc ... 走査信号線、DataN ... 映像信号線、RST ... リセット信号線、OLED ... 有機EL素子、TR ... 駆動電流制御素子、SW1 ... 選択用スイッチ、SW2 ... リセットスイッチ、SW3 ... 出力制御用スイッチ、SW4 ... 補正用スイッチ、C1 ... キャパシタ、C2 ... キャパシタ、VDD ... 電源端子、VSS ... 電源端子、RESET ... リセット信号供給端子、A ... ノード、B ... ノード、C ... ノード。

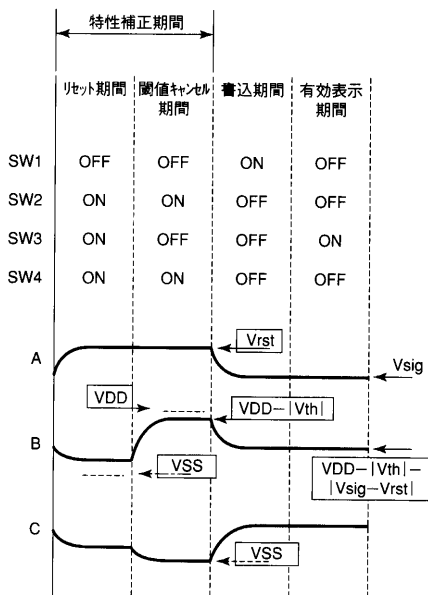
【 図 1 】



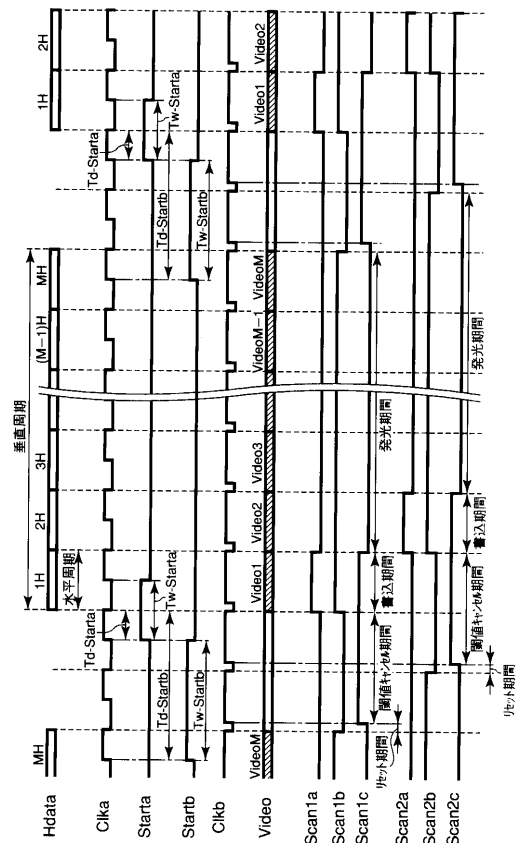
【 図 2 】



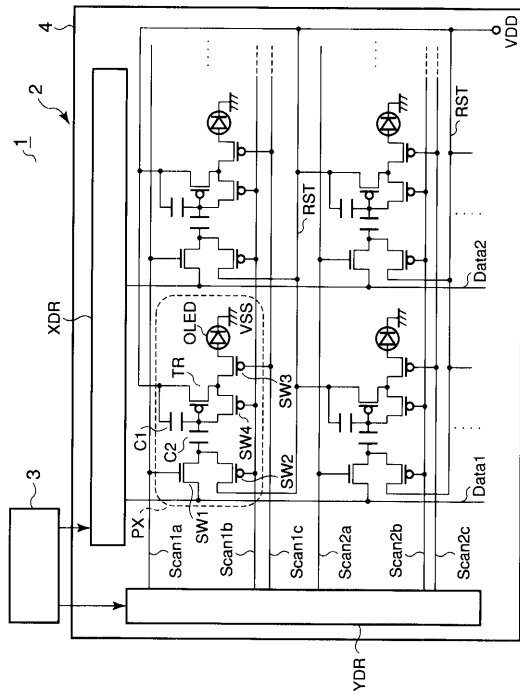
【 図 3 】



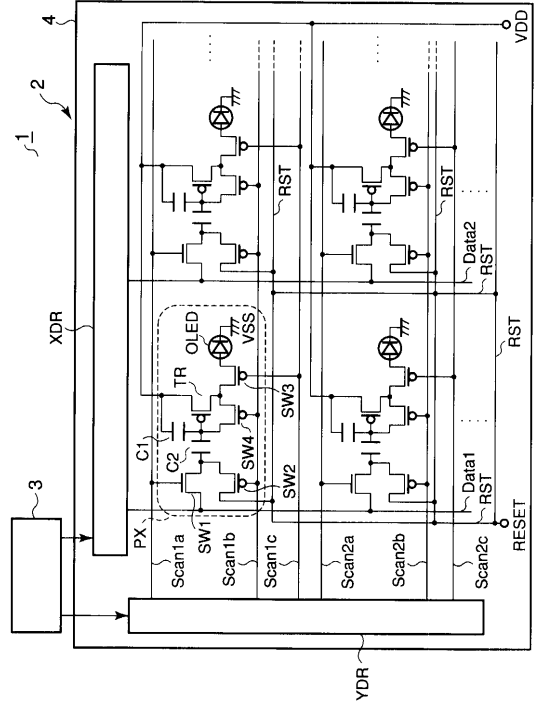
【 図 4 】



【図 9】



【図 10】



フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 2 G
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 2 4 E
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 A
	H 0 5 B 33/14	A

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 青木 良朗

東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 3K007 AB02 AB17 BA06 DB03 GA04

5C080 AA06 BB05 DD05 EE28 FF11 JJ02 JJ03 JJ04

专利名称(译)	有源矩阵显示装置及其驱动方法		
公开(公告)号	JP2004286816A	公开(公告)日	2004-10-14
申请号	JP2003075730	申请日	2003-03-19
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	青木良朗		
发明人	青木 良朗		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 H05B33/14		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.612.R G09G3/20.621.A G09G3/20.622.D G09G3/20.622.G G09G3/20.623.R G09G3/20.624.B G09G3/20.624.E G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/EE59 3K107/HH02 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB45 5C380/AB46 5C380/BA12 5C380/BA17 5C380/BA19 5C380/BA20 5C380/BA29 5C380/BA34 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BB08 5C380/BB15 5C380/BB22 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA32 5C380/CA53 5C380/CA54 5C380/CA57 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC61 5C380/CC64 5C380/CD025 5C380/CF07 5C380/CF48 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA47 5C380/HA02 5C380/HA11		
代理人(译)	河野 哲 中村诚		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够为特性校正操作和写入操作两者分配足够的时间的显示装置及其驱动方法。在本发明的显示装置1中，在其中经由扫描信号线ScanMa提供第一扫描信号的写入时段期间，经由视频信号线DataN向像素PX提供显示元件OLED。在有效显示时段期间，视频信号被写入，并且将与之相对应的大小的驱动电流提供给显示元件OLED，并且在写入时段之前的校正时段期间，经由扫描信号线ScanMb将第二扫描信号提供给显示元件OLED。通过复位信号线RST被提供，并且提供了通过使用复位信号来校正驱动电流控制电路的像素PX之间的特性变化的特性校正电路。对于像素PX的每一行顺序地执行该操作和写入操作，并且对于特定行的写入时间段和对于下一行的特性校正时间段是重叠的。

[选型图]图1

