

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-139788

(P2010-139788A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 670J	5C080
H05B 33/02 (2006.01)	G09G 3/20 680H	
H01L 51/50 (2006.01)	G09G 3/20 621M	
H05B 33/26 (2006.01)	G09G 3/20 680G	
審査請求 未請求 請求項の数 6 O L (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2008-316389 (P2008-316389)
 (22) 出願日 平成20年12月12日 (2008.12.12)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (74) 代理人 100121131
 弁理士 西川 孝
 (72) 発明者 山下 淳一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山田 二郎
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

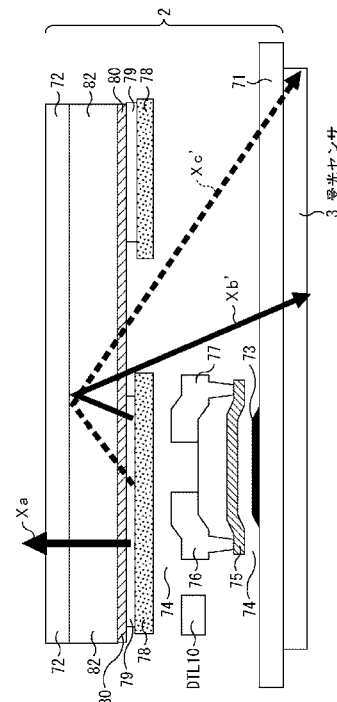
(57) 【要約】

【課題】高速かつ高精度な焼き付き補正を行うことができるようにする。

【解決手段】表示装置は、E Lパネル2の裏面に設けられた受光センサ3が測定した各画素の発光輝度に基づいて経時劣化による輝度低下を補正する。有機E L層79から発し、対向基板72に反射してE Lパネル2の裏面側に入射する光が通過する空間が、隣接するアノード電極78の間に確保される。これにより、光路Xb'および光路Xc'で示される有機E L層79から発し、対向基板72で反射した光を、受光センサ3まで到達させることができる。本発明は、例えば、自発光素子を用いたパネルに適用できる。

【選択図】 図18

図18



【特許請求の範囲】**【請求項 1】**

アノード電極とカソード電極に挟まれた自発光素子により発光する画素が複数配置されたパネルと、

前記パネルの裏面に配置され、前記画素の発光輝度を測定する受光センサと、

前記受光センサにより測定された前記画素の発光輝度を用いて、経時劣化による輝度低下の補正データを演算する演算手段と、

前記補正データに基づいて、経時劣化による輝度低下を補正する制御手段とを備え、

前記パネルにおいて、隣接する前記アノード電極の間に、前記自発光素子から発し、前記パネルの表面である対向基板に反射して前記パネルの裏面側に入射する光が通過する空間が確保されている

表示装置。

【請求項 2】

前記アノード電極と同一層に形成される、前記カソード電極の抵抗値を低下させるための補助配線を、行列状に配置された複数の前記画素全体の外周にのみ配置することにより、隣接する前記アノード電極の間に前記光が通過する空間が確保されている

請求項 1 に記載の表示装置。

【請求項 3】

前記パネルは、一方向に配列された複数の前記画素に映像信号を供給する映像信号線を有し、

前記パネルを表面側から見たとき、前記映像信号線が配線方向と垂直な方向において前記アノード電極と重なるように配置されることにより、隣接する前記アノード電極の間に前記光が通過する空間がさらに確保されている

請求項 2 に記載の表示装置。

【請求項 4】

前記受光センサから遠方の前記画素についてのみ、隣接する前記アノード電極の間に前記光が通過する空間が確保され、前記パネルは、前記受光センサの近傍の前記画素に、隣接する前記アノード電極の間に前記カソード電極の抵抗値を低下させるための補助配線を備える

請求項 1 に記載の表示装置。

【請求項 5】

前記パネルは、前記アノード電極と同一層に形成される、前記カソード電極の抵抗値を低下させるための補助配線を、前記画素ごとにアイランド状に備え、前記補助配線は、前記画素に映像信号を供給する映像信号線と同一層に形成された他の補助配線と接続される

請求項 1 に記載の表示装置。

【請求項 6】

前記アノード電極と同一層に形成される、前記カソード電極の抵抗値を低下させるための補助配線を、行方向または列方向のいずれか一方向のストライプ状となるように前記アノード電極の間に配置することにより、隣接する前記アノード電極の間に前記光が通過する空間が確保されている

請求項 1 に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置に関し、特に、高速かつ高精度な焼き付き補正を行うことができるようにする表示装置に関する。

【背景技術】**【0002】**

発光素子として有機 EL (Electro Luminescent) デバイスを用いた平面自発光型のパネ

10

20

30

40

50

ル（ＥＬパネル）の開発が近年盛んになっている。有機ＥＬデバイスは、ダイオード特性を有し、有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機ＥＬデバイスは、印加電圧が１０Ｖ以下で駆動するため低消費電力であり、自ら光を発する自発光素子であるため、照明部材を必要とせず軽量化及び薄型化が容易であるという特長を有する。また、有機ＥＬデバイスの応答速度は数μｓ程度と非常に高速であるので、ＥＬパネルでは動画表示時の残像が発生しないという利点がある。

【０００３】

有機ＥＬデバイスを画素に用いた平面自発光型のパネルの中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型平面自発光パネルは、例えば以下の特許文献１乃至

10

【０００４】

【特許文献１】特開２００３－２５５８５６号公報

【特許文献２】特開２００３－２７１０９５号公報

【特許文献３】特開２００４－１３３２４０号公報

【特許文献４】特開２００４－０２９７９１号公報

【特許文献５】特開２００４－０９３６８２号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

20

ところで、有機ＥＬデバイスには、発光量および発光時間に比例して輝度効率が低下する特性がある。有機ＥＬデバイスの発光輝度は電流値と輝度効率の積で表されるため、輝度効率の低下は発光輝度の低下となる。画面に表示される映像として、各画素で一様な表示を行う映像は稀であり、画素ごとに発光量が異なるのが一般的である。従って、過去の発光量および発光時間の違いにより、同一の駆動条件下であっても各画素で発光輝度の低下の度合いが異なり、輝度低下のばらつきが視覚的に認識される現象が発生する。この輝度低下のばらつきが視覚的に認識される現象を焼き付き現象という。

【０００６】

ＥＬパネルでは、焼き付き現象を防止するため、画素の発光輝度を測定し、発光輝度の低下を補正する焼き付き補正を行うものがあるが、従来の焼き付き補正では、補正が十分に

30

【０００７】

本発明は、このような状況に鑑みてなされたものであり、高速かつ高精度な焼き付き補正を行うことができるようにするものである。

【課題を解決するための手段】

【０００８】

本発明の一側面の表示装置は、アノード電極とカソード電極に挟まれた自発光素子により発光する画素が複数配置されたパネルと、前記パネルの裏面に配置され、前記画素の発光輝度を測定する受光センサと、前記受光センサにより測定された前記画素の発光輝度を用いて、経時劣化による輝度低下の補正データを演算する演算手段と、前記補正データに基づいて、経時劣化による輝度低下を補正する駆動制御手段とを備え、前記パネルにおいて、隣接する前記アノード電極の間に、前記自発光素子から発し、前記パネルの表面である対向基板に反射して前記パネルの裏面側に入射する光が通過する空間が確保されている。

40

【０００９】

本発明の一側面においては、隣接するアノード電極の間に、アノード電極とカソード電極に挟まれた自発光素子から発し、パネルの表面である対向基板に反射してパネルの裏面側に入射する光が通過する空間が確保される。そして、パネルの裏面で、画素の発光輝度が測定され、測定された画素の発光輝度を用いて、経時劣化による輝度低下の補正データが演算され、補正データに基づいて、経時劣化による輝度低下が補正される。

50

【発明の効果】

【0010】

本発明の一側面によれば、高速かつ高精度な焼き付き補正を行うことができる。

【発明を実施するための最良の形態】

【0011】

< 本発明の実施の形態 >

[表示装置の構成]

図1は、本発明を適用した表示装置の一実施の形態の構成例を示すブロック図である。

【0012】

図1の表示装置1は、ELパネル2、複数の受光センサ3を有するセンサ部4、および制御部5を含むように構成されている。ELパネル2は、有機EL(Electro Luminescent)デバイスを自発光素子として用いたパネルである。受光センサ3は、ELパネル2の発光輝度を測定するセンサである。制御部5は、受光センサ3から得たELパネル2の発光輝度に基づいてELパネル2の表示を制御する。

【0013】

[ELパネルの構成]

図2は、ELパネル2の構成例を示すブロック図である。

【0014】

ELパネル2は、画素アレイ部102、水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105を含むように構成されている。画素アレイ部102は、 $N \times M$ 個(N, M は相互に独立した1以上の整数値)の画素(画素回路)101-(1, 1)乃至101-(N, M)が行列状に配置されて構成されている。水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105は、画素アレイ部102を駆動する駆動部として動作する。

【0015】

また、ELパネル2は、 M 本の走査線WSL10-1乃至10- M 、 M 本の電源線DSL10-1乃至10- M 、および N 本の映像信号線DTL10-1乃至10- N も有する。

【0016】

なお、以下において、走査線WSL10-1乃至10- M それぞれを特に区別する必要がない場合、単に、走査線WSL10と称する。また、映像信号線DTL10-1乃至10- N それぞれを特に区別する必要がない場合、単に、映像信号線DTL10と称する。画素101-(1, 1)乃至101-(N, M)および電源線DSL10-1乃至10- M についても同様に、画素101および電源線DSL10と称する。

【0017】

画素101-(1, 1)乃至101-(N, M)のうちの第1行目の画素101-(1, 1)乃至101-($N, 1$)は、走査線WSL10-1でライトスキャナ104と、電源線DSL10-1で電源スキャナ105とそれぞれ接続されている。また、画素101-(1, 1)乃至101-(N, M)のうちの第 M 行目の画素101-(1, M)乃至101-(N, M)は、走査線WSL10- M でライトスキャナ104と、電源線DSL10- M で電源スキャナ105とそれぞれ接続されている。画素101-(1, 1)乃至101-(N, M)の行方向に並ぶその他の画素101についても同様である。

【0018】

また、画素101-(1, 1)乃至101-(N, M)のうちの第1列目の画素101-(1, 1)乃至101-(1, M)は、映像信号線DTL10-1で水平セクタ103と接続されている。画素101-(1, 1)乃至101-(N, M)のうちの第 N 列目の画素101-($N, 1$)乃至101-(N, M)は、映像信号線DTL10- N で水平セクタ103と接続されている。画素101-(1, 1)乃至101-(N, M)の列方向に並ぶその他の画素101についても同様である。

【 0 0 1 9 】

ライトスキャナ 1 0 4 は、走査線 W S L 1 0 - 1 乃至 1 0 - M に水平周期 (1 H) で順次制御信号を供給して画素 1 0 1 を行単位で線順次走査する。電源スキャナ 1 0 5 は、線順次走査に合わせて電源線 D S L 1 0 - 1 乃至 1 0 - M に第 1 電位 (後述する V c c) または第 2 電位 (後述する V s s) の電源電圧を供給する。水平セクタ 1 0 3 は、線順次走査に合わせて各水平期間内 (1 H) で映像信号に対応する信号電位 V s i g と基準電位 V o f s とを切換えて列状の映像信号線 D T L 1 0 - 1 乃至 1 0 - M に供給する。

【 0 0 2 0 】

[画素 1 0 1 の配列構成]

図 3 は、E L パネル 2 の各画素 1 0 1 が発光する色の配列を示している。

10

【 0 0 2 1 】

画素アレイ部 1 0 2 の各画素 1 0 1 は、赤 (R)、緑 (G)、または青 (B) のいずれかの色を発光するいわゆる副画素 (サブピクセル) に相当し、行方向 (図面左右方向) に並ぶ赤、緑、および青の 3 つの画素 1 0 1 で表示単位としての 1 画素が構成される。

【 0 0 2 2 】

なお、図 3 では、ライトスキャナ 1 0 4 が画素アレイ部 1 0 2 の左側に配置されるとともに、走査線 W S L 1 0 および電源線 D S L 1 0 が画素 1 0 1 の下側から接続されている点が図 2 と異なる。水平セクタ 1 0 3、ライトスキャナ 1 0 4、電源スキャナ 1 0 5、および、各画素 1 0 1 と接続される配線は、必要に応じて適切な位置に配置することができる。

20

【 0 0 2 3 】

[画素 1 0 1 の詳細回路構成]

図 4 は、E L パネル 2 に含まれる $N \times M$ 個の画素 1 0 1 のうちの 1 つの画素 1 0 1 を拡大することにより、画素 1 0 1 の詳細な回路構成を示したブロック図である。

【 0 0 2 4 】

なお、図 4 において画素 1 0 1 と接続されている走査線 W S L 1 0、映像信号線 D T L 1 0、および電源線 D S L 1 0 のそれぞれは、図 2 に対応させると次のようになる。即ち、図 2 における画素 1 0 1 - (n , m) (n = 1 , 2 , ⋯ , N , m = 1 , 2 , ⋯ , M) に対して、走査線 W S L 1 0 - (n , m)、映像信号線 D T L 1 0 - (n , m)、および電源線 D S L 1 0 - (n , m) のそれぞれが対応する。

30

【 0 0 2 5 】

図 4 の画素 1 0 1 は、サンプリング用トランジスタ 3 1、駆動用トランジスタ 3 2、蓄積容量 3 3、および発光素子 3 4 を有する。サンプリング用トランジスタ 3 1 のゲートは走査線 W S L 1 0 と接続され、サンプリング用トランジスタ 3 1 のドレインは映像信号線 D T L 1 0 と接続されるとともに、ソースが駆動用トランジスタ 3 2 のゲート g と接続されている。

【 0 0 2 6 】

駆動用トランジスタ 3 2 のソース及びドレインの一方は発光素子 3 4 のアノードに接続され、他方が電源線 D S L 1 0 に接続される。蓄積容量 3 3 は、駆動用トランジスタ 3 2 のゲート g と発光素子 3 4 のアノードに接続されている。また、発光素子 3 4 のカソードは所定の電位 V c a t に設定されている配線 3 5 に接続されている。この電位 V c a t は GND レベルであり、従って、配線 3 5 は接地配線である。

40

【 0 0 2 7 】

サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、いずれも N チャネル型トランジスタである。よって、サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができる。これにより、画素回路の製造コストをより安価にすることができる。勿論、サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、低温ポリシリコンや単結晶シリコンで作成しても構わない。

【 0 0 2 8 】

50

発光素子 34 は、有機 EL 素子で構成される。有機 EL 素子はダイオード特性を有する電流発光素子である。よって、発光素子 34 は、供給される電流値 I_{ds} に応じた階調の発光を行う。

【0029】

以上のように構成される画素 101 において、サンプリング用トランジスタ 31 が、走査線 $W_{SL}10$ からの制御信号に応じてオン（導通）し、映像信号線 $D_{TL}10$ を介して階調に応じた信号電位 V_{sig} の映像信号をサンプリングする。蓄積容量 33 は、映像信号線 $D_{TL}10$ を介して水平セクタ 103 から供給された電荷を蓄積して保持する。駆動用トランジスタ 32 は、第 1 電位 V_{cc} にある電源線 $D_{SL}10$ から電流の供給を受け、蓄積容量 33 に保持された信号電位 V_{sig} に応じて駆動電流 I_{ds} を発光素子 34 に流す（供給する）。発光素子 34 に所定の駆動電流 I_{ds} が流れることにより、画素 101 が発光する。

10

【0030】

画素 101 は、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ 32 の閾値電圧 V_{th} に相当する電圧を蓄積容量 33 に保持させる機能である。閾値補正機能を発揮させることで、EL パネル 2 の画素毎のばらつきの原因となる駆動用トランジスタ 32 の閾値電圧 V_{th} の影響をキャンセルすることができる。

【0031】

また、画素 101 は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、蓄積容量 33 に信号電位 V_{sig} を保持する際、駆動用トランジスタ 32 の移動度 μ に対する補正を信号電位 V_{sig} に加える機能である。

20

【0032】

さらに、画素 101 は、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ 32 のソース電位 V_s の変動にゲート電位 V_g を連動させる機能である。ブートストラップ機能の発揮により、駆動用トランジスタ 32 のゲートとソース間の電圧 V_{gs} を一定に維持することが出来る。

【0033】

[画素 101 の動作の説明]

図 5 は、画素 101 の動作を説明するタイミングチャートである。

【0034】

30

図 5 は、同一の時間軸（図面横方向）に対する走査線 $W_{SL}10$ 、電源線 $D_{SL}10$ 、および映像信号線 $D_{TL}10$ の電位変化と、それに対応する駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s の変化を示している。

【0035】

図 5 において、時刻 t_1 までの期間は、前の水平期間（1H）の発光がなされている発光期間 T_1 である。

【0036】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_4 までは、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s を初期化することで閾値電圧補正動作の準備を行う閾値補正準備期間 T_2 である。

40

【0037】

閾値補正準備期間 T_2 では、時刻 t_1 において、電源スキャナ 105 が、電源線 $D_{SL}10$ の電位を高電位である第 1 電位 V_{cc} から低電位である第 2 電位 V_{ss} に切替える。そして、時刻 t_2 において、水平セクタ 103 が、映像信号線 $D_{TL}10$ の電位を信号電位 V_{sig} から基準電位 V_{ofs} に切替える。次に、時刻 t_3 において、ライトスキャナ 104 が、走査線 $W_{SL}10$ の電位を高電位に切替え、サンプリング用トランジスタ 31 をオンさせる。これにより、駆動用トランジスタ 32 のゲート電位 V_g が基準電位 V_{ofs} にリセットされ、且つ、ソース電位 V_s が映像信号線 $D_{TL}10$ の第 2 電位 V_{ss} にリセットされる。

【0038】

50

時刻 t_4 から時刻 t_5 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_4 において、電源スキャナ 105 により、電源線 D S L 10 の電位が高電位 V_{cc} に切換えられ、閾値電圧 V_{th} に相当する電圧が、駆動用トランジスタ 32 のゲートとソースとの間に接続された蓄積容量 33 に書き込まれる。

【0039】

時刻 t_5 から時刻 t_7 までの書き込み + 移動度補正準備期間 T_4 では、走査線 W S L 10 の電位が高電位から低電位に一旦切換えられる。また、時刻 t_7 の前の時刻 t_6 において、水平セクタ 103 が、映像信号線 D T L 10 の電位を基準電位 V_{ofs} から階調に応じた信号電位 V_{sig} に切換える。

【0040】

そして、時刻 t_7 から時刻 t_8 までの書き込み + 移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻 t_7 から時刻 t_8 までの間、走査線 W S L 10 の電位が高電位に設定され、これにより、映像信号に対応する信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で蓄積容量 33 に書き込まれる。また、移動度補正用の電圧 ΔV_μ が蓄積容量 33 に保持された電圧から差し引かれる。

【0041】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_8 において、走査線 W S L 10 の電位が低電位に設定され、それ以降、発光期間 T_6 として、信号電圧 V_{sig} に応じた発光輝度で発光素子 34 が発光する。信号電圧 V_{sig} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 ΔV_μ とによって調整されているため、発光素子 34 の発光輝度は駆動用トランジスタ 32 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがない。

【0042】

なお、発光期間 T_6 の最初でブートストラップ動作が行われ、駆動用トランジスタ 32 のゲート - ソース間電圧 $V_{gs} = V_{sig} + V_{th} - \Delta V_\mu$ を一定に維持したまま、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s が上昇する。

【0043】

また、時刻 t_8 から所定時間経過後の時刻 t_9 において、映像信号線 D T L 10 の電位が、信号電位 V_{sig} から基準電位 V_{ofs} に落とされる。図 5 において、時刻 t_2 から時刻 t_9 までの期間は水平期間 (1H) に相当する。

【0044】

以上のようにして、E L パネル 2 の各画素 101 では、駆動用トランジスタ 32 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがなく、発光素子 34 を発光させることができる。

【0045】

[画素 101 の動作の別の例の説明]

図 6 は、画素 101 の動作の別の例を説明するタイミングチャートである。

【0046】

上述した図 5 の例では、閾値補正動作は 1H 期間に 1 回行われていた。ただし、1H 期間が短く、1H 期間内で閾値補正動作を行うことが難しい場合がある。そのような場合には、複数の 1H 期間にわたって複数回の閾値補正動作を行わせることができる。

【0047】

図 6 の例では、閾値補正動作は、連続する 3H 期間で行われる。即ち、図 6 の例では、閾値補正期間 T_3 が 3 回に分割されている。なお、その他の画素 101 の動作は、図 5 の例の動作と同様である。よって、これらの動作の説明については省略する。

【0048】

[焼き付き補正制御の機能ブロック図]

ところで、有機 E L デバイスには、発光量および発光時間に比例して発光輝度が低下する特性がある。E L パネル 2 に表示される画像として、各画素 101 で一様な表示を行うものは稀であり、画素 101 ごとに発光量が異なるのが一般的である。従って、所定の時間が経過すると、それまでの発光量および発光時間に応じて各画素 101 の輝度効率の低

10

20

30

40

50

下の度合いの差が顕著になってくる。このため、同一の駆動条件下では、あたかも焼き付きが生じているように、発光輝度が異なる現象（以下、焼き付き現象と称する）がユーザーに視認される。そこで、表示装置 1 は、輝度効率の低下の度合いが異なることにより生じる焼き付き現象を補正するための焼き付き補正制御を行っている。

【 0 0 4 9 】

図 7 は、焼き付き補正制御を実行するために必要な表示装置 1 の機能的構成例を示す機能ブロック図を示している。

【 0 0 5 0 】

受光センサ 3 は、各画素 1 0 1 の発光の妨げとならないように、E L パネル 2 の裏面（ユーザに面した表面と反対側の面）に取り付けられている。また、受光センサ 3 は、所定の領域につき 1 個の割合で均等に配置されている。なお、図 7 は、表示装置 1 における受光センサ 3 の配置を概念的に示したものである。従って、E L パネル 2 の画素数および裏面に配置する受光センサ 3 の個数は、これに限定されるものではない。受光センサ 3 それぞれは、自分の担当する領域内の各画素 1 0 1 の発光輝度を測定する。具体的には、受光センサ 3 それぞれは、自分の領域内の画素 1 0 1 が 1 画素ずつ順に発光したとき、E L パネル 2 の前面のガラス基板等に反射して入射されてくる光を受光し、受光輝度に応じたアナログの受光信号（電圧信号）を制御部 5 に供給する。

【 0 0 5 1 】

制御部 5 は、増幅部 5 1、A D 変換部 5 2、補正演算部 5 3、補正データ記憶部 5 4、および駆動制御部 5 5 により構成されている。

【 0 0 5 2 】

増幅部 5 1 は、各受光センサ 3 から供給されるアナログの受光信号を増幅して A D 変換部 5 2 に供給する。A D 変換部 5 2 は、増幅部 5 1 から供給される増幅後のアナログの受光信号をデジタルの信号（輝度データ）に変換し、補正演算部 5 3 に供給する。

【 0 0 5 3 】

補正演算部 5 3 は、画素アレイ部 1 0 2 の各画素 1 0 1 について、初期状態（出荷状態）時の輝度データと、所定期間経過後（経時劣化後）の輝度データを比較することにより、各画素 1 0 1 の輝度低下量を算出する。そして、補正演算部 5 3 は、算出した輝度低下量に基づいて、輝度低下を補正する補正データを画素 1 0 1 ごとに演算する。演算された各画素 1 0 1 の補正データは、補正データ記憶部 5 4 に供給される。補正演算部 5 3 は、例えば、FPGA (Field Programmable Gate Alley)、ASIC(Application Specific Integrated Circuit)などの信号処理 IC で構成することができる。

【 0 0 5 4 】

補正データ記憶部 5 4 は、補正演算部 5 3 により演算された各画素 1 0 1 の補正データを記憶する。また、補正データ記憶部 5 4 は、補正演算に使用される各画素 1 0 1 の初期状態時の輝度データも記憶する。

【 0 0 5 5 】

駆動制御部 5 5 は、補正データに基づいて、各画素 1 0 1 の経時劣化による輝度低下を補正する制御を行う。具体的には、駆動制御部 5 5 は、水平セクタ 1 0 3 を制御して、各画素 1 0 1 に、表示装置 1 に入力された映像信号に対応する信号電位であって、経時劣化による輝度低下が補正データにより補正された信号電位 V_{sig} を供給させる。

【 0 0 5 6 】

[画素 1 0 1 の初期データ取得処理]

次に、図 8 のフローチャートを参照して、画素アレイ部 1 0 2 の各画素 1 0 1 の初期状態時の輝度データを取得する初期データ取得処理を説明する。図 8 の処理は、例えば、受光センサ 3 に対応するように分割された各領域で並行して実行される。

【 0 0 5 7 】

初めに、ステップ S 1 において、駆動制御部 5 5 は、まだ初期状態時の輝度データを取得していない領域内の 1 つの画素 1 0 1 を、予め決められた所定の階調（明るさ）で発光させる。ステップ S 2 において、受光センサ 3 は、受光輝度に応じたアナログの受光信号

10

20

30

40

50

(電圧信号)を制御部5の増幅部51に出力する。

【0058】

ステップS3において、増幅部51は、受光センサ3から供給された受光信号を増幅し、AD変換部52に供給する。ステップS4において、AD変換部52は、増幅後のアナログの受光信号をデジタルの信号(輝度データ)に変換し、補正演算部53に供給する。ステップS5において、補正演算部53は、供給された輝度データを補正データ記憶部54に供給し、記憶させる。

【0059】

ステップS6において、駆動制御部55は、領域内のすべての画素101について初期状態時の輝度データを取得したかを判定する。ステップS6で、領域内のすべての画素101についてまだ初期状態時の輝度データを取得していないと判定された場合、処理はステップS1に戻り、ステップS1乃至S6の処理が繰り返される。即ち、初期状態時の輝度データをまだ取得していない領域内の1つの画素101が所定の階調で発光され、輝度データが取得される。

【0060】

一方、ステップS6で、領域内のすべての画素101について初期状態時の輝度データを取得したと判定された場合、処理は終了する。

【0061】

[画素101の補正データ取得処理]

図9は、図8の処理を行ってから所定期間経過後に実行される、補正データ取得処理のフローチャートである。この処理も、図8の処理と同様に、受光センサ3に対応するように分割された各領域で並行して実行される。

【0062】

ステップS21乃至S24の処理は、上述した図8のステップS1乃至S4の処理とそれぞれ同様であるので、その説明は省略する。即ち、ステップS21乃至S24の処理では、初期データ取得処理と同一の条件の下で、画素101の輝度データが取得される。

【0063】

ステップS25において、補正演算部53は、初期データ取得処理を実行したときの同一の画素101の輝度データ(初期データ)を補正データ記憶部54から取得する。

【0064】

ステップS26において、補正演算部53は、初期状態時の輝度データと、ステップS21乃至S24で取得した輝度データを比較することにより、画素101の輝度低下量を算出する。ステップS27において、補正演算部53は、算出した輝度低下量に基づいて補正データを算出し、補正データ記憶部54に記憶させる。

【0065】

ステップS28において、駆動制御部55は、領域内のすべての画素101について補正データを取得したかを判定する。ステップS28で、領域内のすべての画素101についてまだ補正データを取得していないと判定された場合、処理はステップS21に戻り、ステップS21乃至S28の処理が繰り返される。即ち、補正データをまだ取得していない領域内の1つの画素101について輝度データが取得され、補正データが算出される。

【0066】

一方、ステップS28で、領域内のすべての画素101について補正データを取得したと判定された場合、処理は終了する。

【0067】

図8と図9を参照して説明した処理により、画素アレイ部102の各画素101についての補正データが、補正データ記憶部54に記憶される。

【0068】

補正データ取得後は、駆動制御部55の制御の下、映像信号に対応する信号電位であって、経時劣化による輝度低下が補正データにより補正された信号電位Vsigが、画素アレイ部102の各画素101に供給される。即ち、駆動制御部55は、表示装置1に入力

10

20

30

40

50

された映像信号に対応する信号電位に、補正データによる電位を上乗せした信号電位 V_{sig} を画素 101 に供給するように水平セクタ 103 を制御する。

【0069】

なお、補正データ記憶部 54 に記憶される補正データは、表示装置 1 に入力された映像信号に対応する信号電位に、所定の比率を乗算するような値でも良いし、所定の電圧値をオフセットさせるような値でもよい。また、表示装置 1 に入力された映像信号に対応する信号電位に対応した補正テーブルとして保有することも可能である。即ち、補正データ記憶部 54 に記憶される補正データは、どのような形式でもよい。

【0070】

次に、発光輝度測定対象の画素 101 から受光センサ 3 までの距離と、焼き付き補正精度との関係について説明する。

【0071】

[受光センサ 3 までの距離とセンサ出力電圧の関係]

図 10 は、特に対策を施さない場合の、測定対象の画素 101 から受光センサ 3 までの距離と、受光センサ 3 の受光輝度に対応する電圧（センサ出力電圧）との関係を示す図である。なお、図 10 において、画素 101 から受光センサ 3 までの距離に関わらず、測定対象の画素 101 は同じ発光輝度で発光されるものとする。

【0072】

図 10 A において、横軸は、受光センサ 3 から測定対象の画素 101 までの水平方向の距離（単位は画素数）を示しており、縦軸は、受光センサ 3 が出力する電圧（mV）を示している。図 10 B において、横軸は、受光センサ 3 から測定対象の画素 101 までの垂直方向の距離（単位は画素数）を示しており、縦軸は、受光センサ 3 が出力する電圧（mV）を示している。

【0073】

画素 101 の発光輝度が同一であれば、受光センサ 3 が出力する電圧は、図 10 に示されるように、画素 101 と受光センサ 3 との間の距離が長くなるほど小さくなる特性が存在する。換言すれば、受光センサ 3 までの距離とセンサ出力電圧との間には、受光センサ 3 までの距離にセンサ出力電圧が反比例する関係がある。

【0074】

[受光センサ 3 のセンサ出力電圧と補正精度との関係]

焼き付き補正制御では、このような特性を有する受光センサ 3 の受光信号が、各画素同一の所定の増幅率で増幅された後、AD変換部 52 によりデジタルの信号（輝度データ）に変換される。

【0075】

図 11 は、増幅部 51 で増幅された後の受光センサ 3 のセンサ出力電圧を示している。図 11 における横軸および縦軸は、図 10 と同様である。即ち、横軸は、受光センサ 3 から測定対象の画素 101 までの水平方向または垂直方向の距離（単位は画素数）を示しており、縦軸は、増幅後のセンサ出力電圧を示している。ただし、縦軸の単位はVである。

【0076】

図 11 に示される例では、受光センサ 3 から 0 画素だけ離れた位置の画素 101、即ち、受光センサ 3 の直下の画素 101 が所定の発光輝度で発光した場合には、増幅部 51 は 3V の電圧を出力する。一方、受光センサ 3 から 10 画素だけ離れた位置の画素 101 が所定の（同一の）発光輝度で発光した場合には、増幅部 51 は 0.3V の電圧を出力する。

【0077】

ここで、AD変換部 52 が、アナログの受光信号を 8 ビット（256 階調）の輝度データに変換するものとする。即ち、増幅部 51 が出力する電圧（増幅後のアナログの受光信号）の最大値である 3V に対して、256 階調が割り当てられる。この場合、3V の出力電圧が得られる画素 101 に対しては、1 階調当りの出力電圧は $3V / 256 = \text{約 } 0.0117V$ となり、 $(0.0117 / 3) \times 100 = \text{約 } 0.4\%$ ほどの補正が可能となる。一

10

20

30

40

50

方、最大で 0.3V の出力電圧しか得られない画素 101 に対しては、 $(0.0117 / 0.3) \times 100 = \text{約 } 4\%$ ほどの補正となる。即ち、受光センサ 3 から遠方の画素 101 になるほど、補正の分解能は大きくなり、補正精度が粗くなるという問題が生じる。また、受光量が少ない場合には、受光センサ 3 が受光に要する時間が長くなってしまい、補正動作全体にかかる時間も長くなるという問題も生じる。その結果、受光量が少ない画素 101 に対しては、十分な焼き付き補正が行われない場合がある。E L パネル 2 の裏面に受光センサ 3 を配置した場合には、発光面と逆の面となるため、表面よりも受光量が少ない。その上、受光センサ 3 から遠方の画素 101 は、受光量がさらに少ないために、上述した問題が生じ、十分な焼き付き補正が行われないことがあった。

【0078】

10

この問題を解決するため、図 1 の表示装置 1 では、受光センサ 3 から遠方の画素 101 であっても、十分な受光量が得られるような構成が採用されている。

【0079】

最初に、図 1 の表示装置 1 と従来の表示装置との違いを容易に理解するため、従来の表示装置の構成について説明する。

【0080】

[従来の表示装置の構成]

図 12 は、従来の表示装置に採用されている E L パネル 200 と受光センサ 3 の断面図である。

【0081】

20

E L パネル 200 は、薄膜トランジスタが形成される支持基板 71 と、それに対向する対向基板 72 とが発光層を挟み込むように両側に配置されて構成される。図 12 において、対向基板 72 の上面がユーザが視認する面であり、E L パネル 200 の表面である。反対に、支持基板 71 の下面が E L パネル 200 の裏面となる。なお、本実施の形態では、支持基板 71 と対向基板 72 の材料は、ガラスとするが、これに限定されるわけではない。

【0082】

支持基板 71 上に、駆動用トランジスタ 32 のゲート電極 73 が形成される。ゲート電極 73 の上側には、絶縁膜 74 を介してチャネル領域となる多結晶シリコン膜 75 が形成される。さらに多結晶シリコン膜 75 の上側には、ソース電極 76 およびドレイン電極 77 が形成される。多結晶シリコン膜 75、ソース電極 76、およびドレイン電極 77 は、絶縁膜 74 で覆われている。絶縁膜 74 は、光を透過する透明材料である。また、ソース電極 76 およびドレイン電極 77 と同一層には、映像信号線 DTL10 も、同一の金属膜で形成されている。

30

【0083】

多結晶シリコン膜 75、ソース電極 76、およびドレイン電極 77 の上側で、絶縁膜 74 により平坦化された面上には、アノード電極 78 が形成される。アノード電極 78 は、光の透過率が低い（反射率が高い）金属膜である。アノード電極 78 の上側には、赤、緑、または青のいずれか所定の色に発光する発光層である有機 E L 層 79 が形成される。さらに、有機 E L 層 79 の上側には、カソード電極 80 が形成される。従って、有機 E L 層 79 は、アノード電極 78 とカソード電極 80 に挟まれている。カソード電極 80 は、図 12 に示されるようにベタ膜状に形成されるが、アノード電極 78 および有機 E L 層 79 は画素ごとに分離されて形成される。隣接するアノード電極 78 の間には、補助配線 81 がアノード電極 78 と同一の金属膜で形成される。補助配線 81 は、カソード電極 80 の抵抗値を低下させるために設けられたものであり、カソード電極 80 と図示せぬ箇所接続されている。カソード電極 80 は、有機 E L 層 79 からの光を上面に透過させるため極めて薄く形成される。そのため、カソード電極 80 の抵抗値が高くなる。抵抗値が高いと、発光素子 34 のカソード電位 V_{cat} がばらつき、画質に影響を与える場合がある。そこで、アノード電極 78 を形成する金属膜で補助配線 81 を形成し、それとカソード電極 80 を接続させることで、カソード電極 80 の抵抗値が低くなるように構成されている。

40

50

ベタ膜状に形成されたカソード電極 80 と対向基板 72 との間は、封止剤 82 で封止されている。

【0084】

EL パネル 200 は、以上のように構成される。そして、支持基板 71 の、ゲート電極 73 が形成されている面と反対側の面、即ち、EL パネル 200 の裏面には、受光センサ 3 が配置されている。

【0085】

図 12 において光路 Xa で示される、有機 EL 層 79 から EL パネル 200 の表面側に射出された光が、映像としてユーザに視認される。一方、受光センサ 3 は、有機 EL 層 79 から発し、対向基板 72 で反射して、EL パネル 200 の裏面側に入射する光を受光する。

10

【0086】

しかしながら、例えば、光路 Xb および光路 Xc で示されるように、対向基板 72 で反射した光の多くは、有機 EL 層 79 より下側の金属膜で再び反射してしまい、EL パネル 200 の裏面側に設けられた受光センサ 3 まで到達しない。

【0087】

光路 Xb の光は、対向基板 72 に対して垂直に近い（入射角が小さい）角度で入射して、EL パネル 200 の裏面側に反射する。その後、光路 Xb の光は、ドレイン電極 77 に入射し、そこで再び EL パネル 200 の表面側に反射する。光路 Xc の光は、対向基板 72 に対して水平に近い（入射角が大きい）角度で入射して、EL パネル 200 の裏面側に反射する。その後、光路 Xc の光は、補助配線 81 に入射し、そこで再び EL パネル 200 の表面側に反射する。

20

【0088】

このように、従来の EL パネル 200 の構成では、EL パネル 200 の裏面側に設けられた受光センサ 3 まで到達する光が少ないため、受光量が少なくなっていた。

【0089】

[EL パネル 200 の平面図]

【0090】

図 13 は、図 12 に示した EL パネル 200 の、アノード電極 78 の層からみた平面図である。

30

【0091】

図 13 では、EL パネル 200 を構成する画素について図 2 に対応させた符号を付している。即ち、ドレイン電極 77 - (1, 1) 乃至 77 - (N, 1) は、第 1 行目の画素 101 - (1, 1) 乃至 101 - (N, 1) のドレイン電極 77 である。同様に、ドレイン電極 77 - (1, M) 乃至 77 - (N, M) は、第 M 行目の画素 101 - (1, M) 乃至 101 - (N, M) のドレイン電極 77 である。また、アノード電極 78 - (1, 1) 乃至 78 - (N, 1) は、第 1 行目の画素 101 - (1, 1) 乃至 101 - (N, 1) のアノード電極 78 である。アノード電極 78 - (1, M) 乃至 78 - (N, M) は、第 M 行目の画素 101 - (1, M) 乃至 101 - (N, M) のアノード電極 78 である。

【0092】

40

補助配線 81 は、 $N \times M$ 個の画素 101 全体の外周と、各画素 101 の間に設けられている。そして、アノード電極 78 と補助配線 81 の間のスペースには、映像信号線 DTL 10 およびドレイン電極 77 の一部が配置されている。これにより、EL パネル 200 の裏面側へ抜けようとする光が遮られている。換言すれば、EL パネル 200 の裏面側へ抜けようとする光の通る空間が、画素 101 の間の補助配線 81、映像信号線 DTL 10 およびドレイン電極 77 によって狭くなっている。

【0093】

[EL パネル 2 の第 1 の構成の断面図]

次に、遠方の画素 101 であっても、十分な受光量が得られるようにした表示装置 1 の EL パネル 2 の第 1 の構成例について説明する。

50

【 0 0 9 4 】

図 1 4 は、図 1 2 と同様に示した E L パネル 2 と受光センサ 3 の断面図である。図 1 4 において、図 1 2 と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

【 0 0 9 5 】

図 1 4 の E L パネル 2 は、隣接するアノード電極 7 8 の間の補助配線 8 1 が設けられていない点が図 1 2 の E L パネル 2 0 0 と相違する。これにより、光路 X c ' が確保される。即ち、対向基板 7 2 に対して水平に近い角度で入射して反射した光は、補助配線 8 1 で反射することなく、E L パネル 2 の裏面側に入射する。

【 0 0 9 6 】

[E L パネル 2 の第 1 の構成の平面図]

図 1 5 は、図 1 3 と同様に示した E L パネル 2 の第 1 の構成の平面図である。

【 0 0 9 7 】

E L パネル 2 の第 1 の構成では、図 1 5 に示されるように、補助配線 8 1 に代えて、補助配線 8 1 ' が設けられている。補助配線 8 1 ' は、各画素 1 0 1 (のアノード電極 7 8) の間の配線が省略され、N × M 個の画素 1 0 1 全体の外周にのみ配置されている。これにより、E L パネル 2 の裏面側へ抜けようとする光の通る空間を広く設けることができるので、E L パネル 2 0 0 よりも多くの光を E L パネル 2 の裏面側に入射させることができる。なお、補助配線 8 1 ' は、図示せぬ所定の箇所で、カソード電極 8 0 と接続されている。

【 0 0 9 8 】

[E L パネル 2 の第 2 の構成の断面図]

次に、E L パネル 2 の第 2 の構成例について説明する。

【 0 0 9 9 】

図 1 6 は、図 1 2 と同様に示した E L パネル 2 と受光センサ 3 の断面図である。図 1 6 においても、図 1 2 と対応する部分については同一の符号を付してあり、その説明は適宜省略する。

【 0 1 0 0 】

図 1 6 の E L パネル 2 では、図 1 2 と比較して、映像信号線 D T L 1 0 の位置が、アノード電極 7 8 の下に収まるように図中右方向へ移動されている。また、ゲート電極 7 3、多結晶シリコン膜 7 5、ソース電極 7 6、およびドレイン電極 7 7 の位置が、アノード電極 7 8 の下に収まるように図中左方向へ移動されている。これにより、光路 X b ' が確保される。即ち、対向基板 7 2 に対して垂直に近い角度で入射して反射した光は、ドレイン電極 7 7 で反射することなく、E L パネル 2 の裏面側に入射する。

【 0 1 0 1 】

[E L パネル 2 の第 2 の構成の平面図]

図 1 7 は、E L パネル 2 の第 2 の構成の平面図である。

【 0 1 0 2 】

E L パネル 2 の第 2 の構成では、ドレイン電極 7 7 は、アノード電極 7 8 下に移動されたので、上方からは見えなくなっている。換言すれば、アノード電極 7 8 と補助配線 8 1 の間にドレイン電極 7 7 が配置されない。同様に、映像信号線 D T L 1 0 も、図中右方向に移動し、行方向 (映像信号線 D T L 1 0 の配線方向と垂直な方向) においてアノード電極 7 8 と重なるように配置されている。換言すれば、アノード電極 7 8 と補助配線 8 1 の間に映像信号線 D T L 1 0 が配置されない。これにより、E L パネル 2 の裏面側へ抜けようとする光の通る空間を広く設けることができるので、E L パネル 2 0 0 よりも多くの光を E L パネル 2 の裏面側に入射させることができる。

【 0 1 0 3 】

[E L パネル 2 の第 3 の構成の断面図]

図 1 8 は、図 1 2 と同様に示した E L パネル 2 と受光センサ 3 の断面図である。図 1 8 においても、図 1 2 と対応する部分については同一の符号を付してあり、その説明は適宜

10

20

30

40

50

省略する。

【 0 1 0 4 】

図 1 8 の E L パネル 2 は、図 1 4 に示した第 1 の構成の特徴と、図 1 6 に示した第 2 の構成の特徴の両方を有している。即ち、図 1 8 の E L パネル 2 では、アノード電極 7 8 間の補助配線 8 1 が省略されている。また、映像信号線 D T L 1 0 の位置と、ゲート電極 7 3、多結晶シリコン膜 7 5、ソース電極 7 6、およびドレイン電極 7 7 の位置が、アノード電極 7 8 の下に収まるように移動されている。

【 0 1 0 5 】

[E L パネル 2 の第 3 の構成の平面図]

図 1 9 は、E L パネル 2 の第 3 の構成の平面図である。

10

【 0 1 0 6 】

E L パネル 2 の第 3 の構成では、補助配線 8 1 に代えて、補助配線 8 1 ' が設けられている。また、ドレイン電極 7 7 と映像信号線 D T L 1 0 が、上方から見てアノード電極 7 8 下へ移動されている。これにより、E L パネル 2 の裏面側へ抜けようとする光の通る空間をより広く設けることができるので、E L パネル 2 0 0 よりもさらに多くの光を E L パネル 2 の裏面側に入射させることができる。

【 0 1 0 7 】

[補助配線 8 1 ' のその他の例]

なお、上述した例では、補助配線 8 1 ' は、各画素 1 0 1 の間の配線すべてを省略（削除）するようにしたが、この場合、上述した補助配線 8 1 ' が十分に機能しないおそれがある。即ち、カソード電極 8 0 の抵抗値を十分に低下させることができないおそれがある。その場合、例えば、図 2 0 に示されるように、行方向または列方向いずれか一方方向については各画素 1 0 1 の間の配線を残すようにしてもよい。図 2 0 は、行方向の配線を省略し、列方向のストライプ状となるように各画素 1 0 1 の間の配線を残した補助配線 8 1 ' の例を示している。図 2 0 では、行方向の配線を一部残しているが、列方向の完全なストライプとなるように行方向の配線を完全に省略してもよい。また、補助配線 8 1 ' のストライプ状に設けた各画素 1 0 1 の間の配線は、1 画素ごとではなく、数行または数列ごとに設ける（所定の間隔で間引く）ようにしてもよい。このようにした場合であっても、従来の E L パネル 2 0 0 よりも多くの光を E L パネル 2 の裏面側に入射させることができる。

20

30

【 0 1 0 8 】

[E L パネル 2 の第 4 の構成の平面図]

さらに、E L パネル 2 は、図 2 1 に示されるように、画素ごとにアイランド状に設けた補助配線 8 1 ' を採用することもできる。図 2 2 は、E L パネル 2 の第 4 の構成の平面図である。

【 0 1 0 9 】

[E L パネル 2 の第 4 の構成の断面図]

図 2 2 は、図 2 1 に示した E L パネル 2 の第 4 の構成における補助配線 8 1 ' を含む部分の断面図である。

【 0 1 1 0 】

図 2 2 では、隣接するアノード電極 7 8 の間に補助配線 8 1 ' が設けられている。補助配線 8 1 ' は、上側でカソード電極 8 0 と接続され、下側でドレイン電極 7 7 と同一層に設けられた補助配線 8 3 と接続されている。このため、各画素 1 0 1 に配置されたアイランド状の補助配線 8 1 ' の面積は小さくても、カソード電極 8 0 の抵抗値を十分に低下させることができる。なお、図 2 2 では、光路 X b ' の光は、補助配線 8 3 によって遮られているが、図 2 1 に示したように、アイランド状の補助配線 8 1 ' および補助配線 8 3 の面積は小さいため、その影響は少ない（E L パネル 2 の裏面側に入射する光の方が多い）。

40

【 0 1 1 1 】

[表示装置 1 の効果]

50

図 2 3 は、表示装置 1 の効果を説明する図である。

【 0 1 1 2 】

図 2 3 A は、E L パネル 2 0 0 を有する従来の表示装置における受光センサ 3 までの距離とセンサ出力電圧の関係を示している。図 2 3 A は、図 1 0 または図 1 1 と同様の特性を示している。

【 0 1 1 3 】

一方、図 2 3 B は、表示装置 1 における受光センサ 3 までの距離とセンサ出力電圧の関係を示している。表示装置 1 を採用した場合、図 2 3 B に示されるように、受光センサ 3 の近傍に位置する画素 1 0 1 からの受光量（に対応する電圧）も増加するが、それ以上に、受光センサ 3 の遠方に位置する画素 1 0 1 からの受光量を増加させることができる。その結果、受光センサ 3 の測定対象の各画素 1 0 1 の受光量のばらつきを抑制することができる。即ち、受光センサ 3 が担当する領域内の各画素 1 0 1 の受光量を平坦化できる。

10

【 0 1 1 4 】

受光センサ 3 から遠方の画素 1 0 1 からの受光量を増加させることができれば、図 1 1 を参照して説明した問題を解決することができる。即ち、受光センサ 3 から遠方の画素 1 0 1 に対する補正精度を向上させることができ、受光に要する時間も短縮することができる。従って、表示装置 1 によれば、高速かつ高精度な焼き付き補正を行うことができる。

【 0 1 1 5 】

[E L パネル 2 の第 5 の構成の平面図]

なお、仮に、受光センサ 3 の近傍に位置する画素 1 0 1 からの受光量は十分であり、受光センサ 3 の遠方に位置する画素 1 0 1 からの受光量だけを増加させればよい場合には、図 2 4 に示すような構成を採用することができる。

20

【 0 1 1 6 】

図 2 4 は、E L パネル 2 の第 5 の構成の平面図である。

【 0 1 1 7 】

例えば、E L パネル 2 の裏面の画素 1 0 1 - (n , m) の位置に受光センサ 3 が取り付けられているとして、E L パネル 2 の第 5 の構成では、図 2 4 に示される補助配線 8 1 ' を採用することができる。即ち、受光センサ 3 から近傍の画素 1 0 1 についてはアノード電極 7 8 間の配線が従来と同様に設けられ、受光センサ 3 から遠方の画素 1 0 1 では、アノード電極 7 8 間の配線が省略される補助配線 8 1 ' を採用することができる。

30

【 0 1 1 8 】

また、補助配線 8 1 ' としての受光センサ 3 近傍のアノード電極 7 8 間の配線は、所定の箇所で外周の配線と接続されている。なお、補助配線 8 1 ' の外周の配線は、2 辺のみを図示したものであるが、このように外周の所定の辺だけ配線を設けることも勿論可能である。また、補助配線 8 1 ' としての受光センサ 3 近傍のアノード電極 7 8 間の配線を外周の配線と接続させずに孤立させ、図 2 2 で示したように、下層の補助配線 8 3 と接続するようにしてもよい。

【 0 1 1 9 】

[E L パネル 2 の第 5 の構成による効果]

図 2 5 は、E L パネル 2 として図 2 4 に示した構成を採用した場合の、受光センサ 3 までの距離とセンサ出力電圧の関係を示している。

40

【 0 1 2 0 】

受光センサ 3 が配置されている画素 1 0 1 の近傍では、補助配線 8 1 ' としてのアノード電極 7 8 間の配線があるため、増幅後のセンサ出力電圧は、従来と同様に 3 V で変わらない。一方、受光センサ 3 から遠方の画素 1 0 1 では、補助配線 8 1 ' としてのアノード電極 7 8 間の配線が省略されたことにより、増幅後のセンサ出力電圧が増加している。例えば、センサ出力電圧の最小値が 1 . 5 V であるとする、 $(0 . 0 1 1 7 / 1 . 5) \times 1 0 0 = \text{約 } 0 . 8 \%$ ほどの補正が可能となり、補正精度を向上させることができる。

【 0 1 2 1 】

以上のように、E L パネル 2 の第 1 乃至第 5 の構成のいずれかを採用した表示装置 1 に

50

よれば、受光センサ 3 から遠方の画素 1 0 1 に対する補正精度を向上させることができ、受光に要する時間も短縮することができる。即ち、高速かつ高精度な焼き付き補正を行うことができる。

【 0 1 2 2 】

[変形例]

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【 0 1 2 3 】

例えば、画素アレイ部 1 0 2 において有効画素領域の外側に、発光輝度補正などのためにダミー画素が設けられている場合には、そのダミー画素部分を含めて、上述した第 1 乃至第 5 の構成を採用することができる。

10

【 0 1 2 4 】

図 2 6 は、画素アレイ部 1 0 2 として、有効画素領域 1 0 2 A とダミー画素領域 1 0 2 B を有し、ダミー画素領域 1 0 2 B にダミー画素 1 0 1_D が設けられている例を示している。ダミー画素 1 0 1_D は、その内部の発光素子 3 4 が発光しても外部からは視認されないように遮光されている画素である。そして、ダミー画素 1 0 1_D が配置された E L パネル 2 の裏面には、ダミー画素 1 0 1_D のための受光センサ 3_D がセンサ部 4 の一部として設けられている。

【 0 1 2 5 】

このようなダミー画素 1 0 1_D 部分についても、上述した第 1 乃至第 5 の構成を採用することができる。これにより、ダミー画素 1 0 1_D についても十分な受光量を得ることができ、ダミー画素 1 0 1_D を用いた補正の補正精度を向上させるとともに、ダミー画素 1 0 1_D の受光に要する時間を短縮することができる。

20

【 0 1 2 6 】

発光輝度の補正には、発光期間のDuty比や信号電位 V_{sig} を調整することにより、受光センサ 3 からの距離に依存する受光輝度差を抑制する手法もある。上述した E L パネル 2 の構成は、そのような距離依存の受光輝度差を抑制する他の手法と併用することができる。発光期間のDuty比や信号電位 V_{sig} を調整する場合、最も遠方の画素 1 0 1 の受光量を基準に調整する。従って、最も遠方の画素 1 0 1 の受光輝度が増加すれば、全体的な受光輝度も増加し、受光時間も短縮させることができる。

30

【 0 1 2 7 】

上述した画素 1 0 1 は、図 4 を参照して説明したように、2 個のトランジスタ（サンプリング用トランジスタ 3 1 と駆動用トランジスタ 3 2 ）と 1 個のキャパシタ（蓄積容量 3 3 ）で構成されていたが、その他の回路構成を採用することもできる。

【 0 1 2 8 】

その他の画素 1 0 1 の回路構成としては、例えば、2 個のトランジスタと 1 個のキャパシタの構成（以下、2 T r / 1 C 画素回路とも称する）の他に、次のような回路構成を採用できる。即ち、第 1 乃至第 3 のトランジスタを加えた、5 個のトランジスタと 1 個のキャパシタの構成（以下、5 T r / 1 C 画素回路とも称する）を採用することもできる。5 T r / 1 C 画素回路を採用した画素 1 0 1 では、水平セクタ 1 0 3 から映像信号線 D T L 1 0 を介してサンプリング用トランジスタ 3 1 に供給される信号電位が V_{sig} 固定となる。その結果、サンプリング用トランジスタ 3 1 は駆動用トランジスタ 3 2 への信号電位 V_{sig} の供給をスイッチングする機能としてのみ動作する。また、電源線 D S L 1 0 を介して駆動用トランジスタ 3 2 に供給される電位が第 1 電位 V_{cc} 固定となる。そして、追加された第 1 のトランジスタは、駆動用トランジスタ 3 2 への第 1 電位 V_{cc} の供給をスイッチングする。第 2 のトランジスタは、駆動用トランジスタ 3 2 への第 2 電位 V_{ss} の供給をスイッチングする。また、第 3 のトランジスタは、駆動用トランジスタ 3 2 への基準電位 V_{of} の供給をスイッチングする。

40

【 0 1 2 9 】

また、その他の画素 1 0 1 の回路構成としては、2 T r / 1 C 画素回路と 5 T r / 1 C

50

画素回路の中間的な回路構成を採用することもできる。即ち、４個のトランジスタと１個のキャパシタからなる構成（以下、４Ｔｒ／１Ｃ画素回路と称する）や、３個のトランジスタと１個のキャパシタからなる構成（以下、３Ｔｒ／１Ｃ画素回路と称する）を採用することもできる。例えば、水平セクタ１０３からサンプリング用トランジスタ３１に供給する信号電位をＶｓｉｇとＶｏｆｓでパルス化するなどの変更を行う。これにより、第３のトランジスタの１つ、または、第２および第３のトランジスタの両方を省略し、４Ｔｒ／１Ｃ画素回路または３Ｔｒ／１Ｃ画素回路を実現することができる。

【０１３０】

さらに、２Ｔｒ／１Ｃ画素回路、３Ｔｒ／１Ｃ画素回路、４Ｔｒ／１Ｃ画素回路、または５Ｔｒ／１Ｃ画素回路には、有機発光材料部の容量成分を補う等の目的で、発光素子３４のアノード－カソード間に補助容量を追加してもよい。

10

【０１３１】

また、上述した実施の形態では、有機ＥＬデバイスを用いた自発光型のパネル（ＥＬパネル）を採用した例について説明したが、本発明は、ＦＥＤ(Field Emission Display)などのその他の自発光型のパネルに採用することもできる。

【０１３２】

本明細書において、フローチャートに記述されたステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【０１３３】

20

[本発明の適用先]

図１の表示装置１は、様々な電子機器に表示部として組み込んで利用することができる。ここで、様々な電子機器としては、例えば、デジタルスチルカメラやデジタルビデオカメラ、ノート型パーソナルコンピュータ、携帯電話、テレビジョン受像機などが存在する。以下、図１の表示装置１が適用された電子機器の例を示す。

【０１３４】

例えば、本発明は、電子機器の一例であるテレビジョン受像機に適用できる。このテレビジョン受像機は、フロントパネル、フィルターガラス等から構成される映像表示画面を含み、本発明の表示装置をその映像表示画面に用いることにより作製される。

【０１３５】

30

例えば、本発明は、電子機器の一例であるノート型パーソナルコンピュータに適用できる。このノート型パーソナルコンピュータにおいて、その本体には文字等を入力するとき操作されるキーボードを含み、その本体カバーには画像を表示する表示部を含む。このノート型パーソナルコンピュータは、本発明の表示装置をその表示部に用いることにより作製される。

【０１３６】

例えば、本発明は、電子機器の一例である携帯端末装置に適用できる。この携帯端末装置は、上部筐体と下部筐体とを有している。この携帯端末装置の状態としては、それらの２つの筐体が開いた状態と、閉じた状態とが存在する。この携帯端末装置は、上述した上側筐体と下側筐体との他、連結部（ここではヒンジ部）、ディスプレイ、サブディスプレイ、ピクチャーライト、カメラ等を含み、本発明の表示装置をそのディスプレイやサブディスプレイに用いることにより作製される。

40

【０１３７】

例えば、本発明は、電子機器の一例であるデジタルビデオカメラに適用可能である。デジタルビデオカメラは、本体部、前方を向いた側面に被写体撮影用のレンズ、撮影時のスタート／ストップスイッチ、モニター等を含み、本発明の表示装置をそのモニターに用いることにより作製される。

【図面の簡単な説明】

【０１３８】

【図１】本発明を適用した表示装置の一実施の形態の構成例を示すブロック図である。

50

- 【図 2】 E L パネルの構成例を示すブロック図である。
- 【図 3】 画素が発光する色の配列を示す図である。
- 【図 4】 画素の詳細な回路構成を示したブロック図である。
- 【図 5】 画素の動作を説明するタイミングチャートである。
- 【図 6】 画素の動作の別の例を説明するタイミングチャートである。
- 【図 7】 焼き付き補正制御に関する表示装置の機能ブロック図である。
- 【図 8】 初期データ取得処理の例を説明するフローチャートである。
- 【図 9】 補正データ取得処理の例を説明するフローチャートである。
- 【図 10】 受光センサまでの距離とセンサ出力電圧の関係を示す図である。
- 【図 11】 センサ出力電圧と補正精度との関係を示す図である。
- 【図 12】 従来の E L パネルとセンサ部の断面図である。
- 【図 13】 従来の E L パネルとセンサ部の平面図である。
- 【図 14】 図 1 の表示装置の E L パネルの第 1 の構成例の断面図である。
- 【図 15】 図 1 の表示装置の E L パネルの第 1 の構成例の平面図である。
- 【図 16】 図 1 の表示装置の E L パネルの第 2 の構成例の断面図である。
- 【図 17】 図 1 の表示装置の E L パネルの第 2 の構成例の平面図である。
- 【図 18】 図 1 の表示装置の E L パネルの第 3 の構成例の断面図である。
- 【図 19】 図 1 の表示装置の E L パネルの第 3 の構成例の平面図である。
- 【図 20】 補助配線のその他の例を示す図である。
- 【図 21】 図 1 の表示装置の E L パネルの第 4 の構成例の平面図である。
- 【図 22】 図 1 の表示装置の E L パネルの第 4 の構成例の断面図である。
- 【図 23】 図 1 の表示装置の効果を説明する図である。
- 【図 24】 図 1 の表示装置の E L パネルの第 5 の構成例の平面図である。
- 【図 25】 E L パネルの第 5 の構成例による効果を説明する図である。
- 【図 26】 ダミー画素を有する E L パネルの例を示す図である。

10

20

【符号の説明】

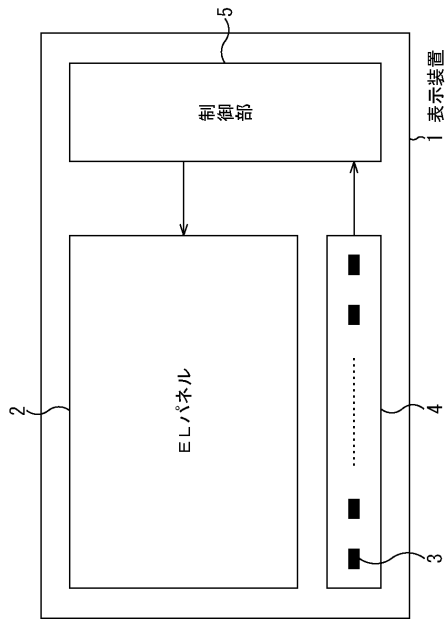
【 0 1 3 9 】

1 表示装置, 2 E L パネル, 3 受光センサ, 5 制御部, 31 サンプル
リング用トランジスタ, 32 駆動用トランジスタ, 33 蓄積容量, 34 発光
素子, 101 画素, 53 補正演算部, 54 補正データ記憶部, 55 駆動
制御部, 141 接着層

30

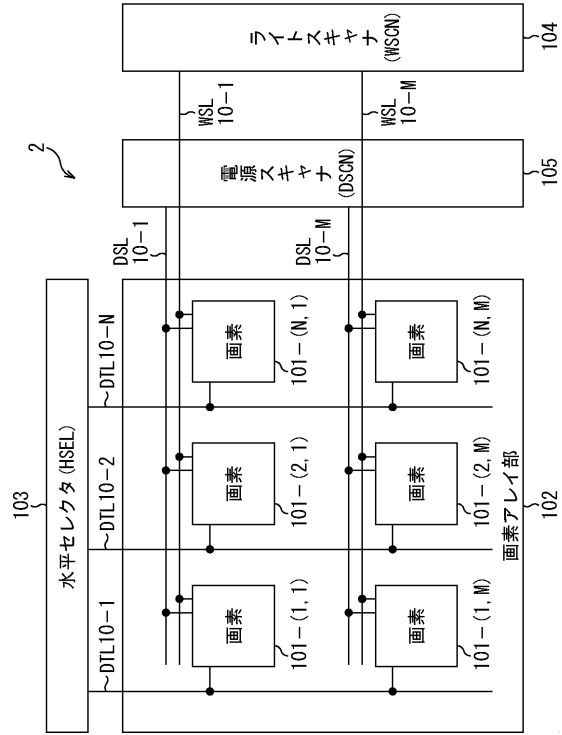
【図 1】

図1



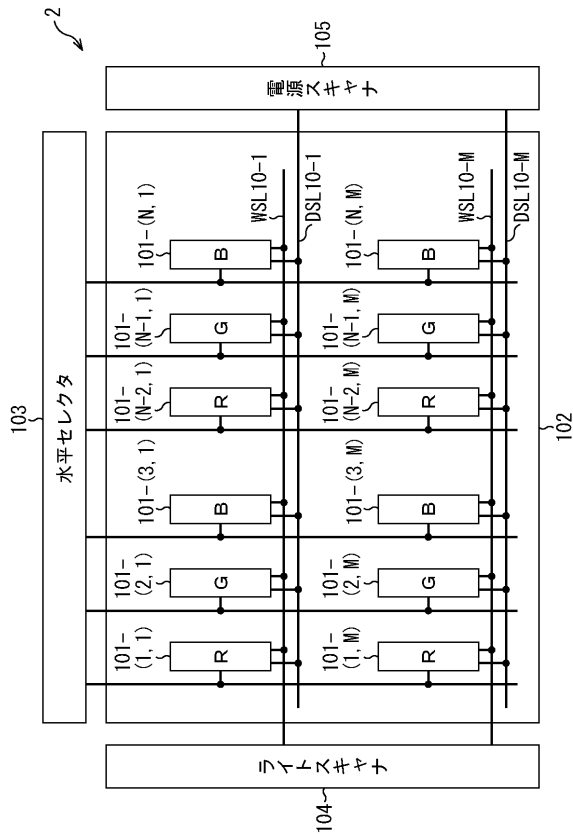
【図 2】

図2



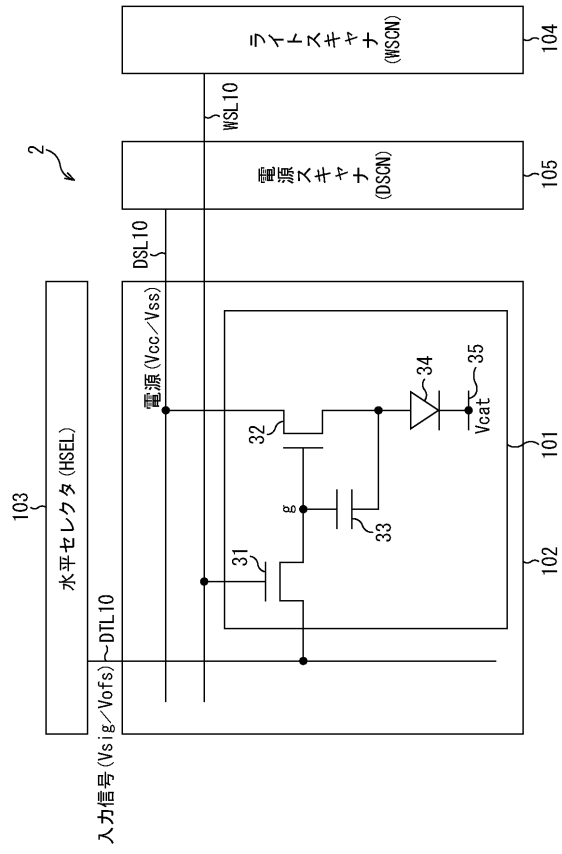
【図 3】

図3

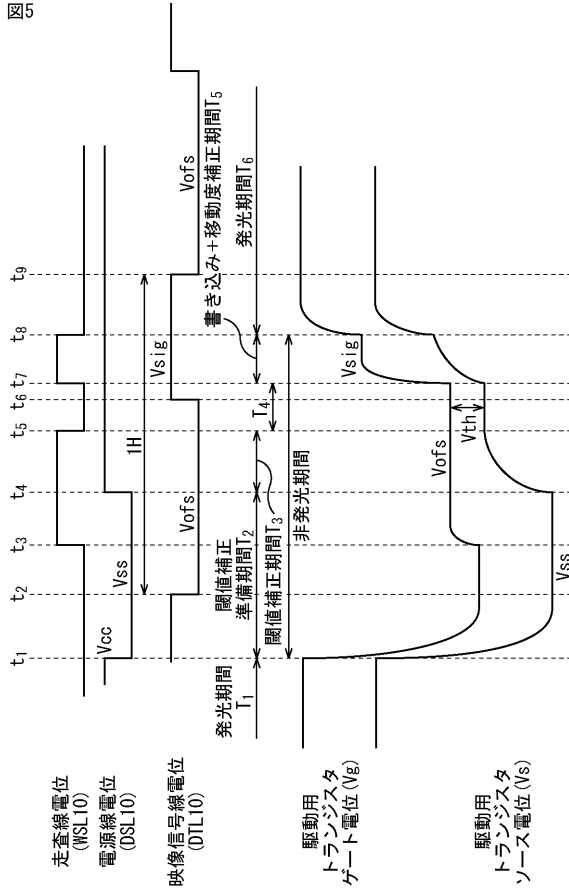


【図 4】

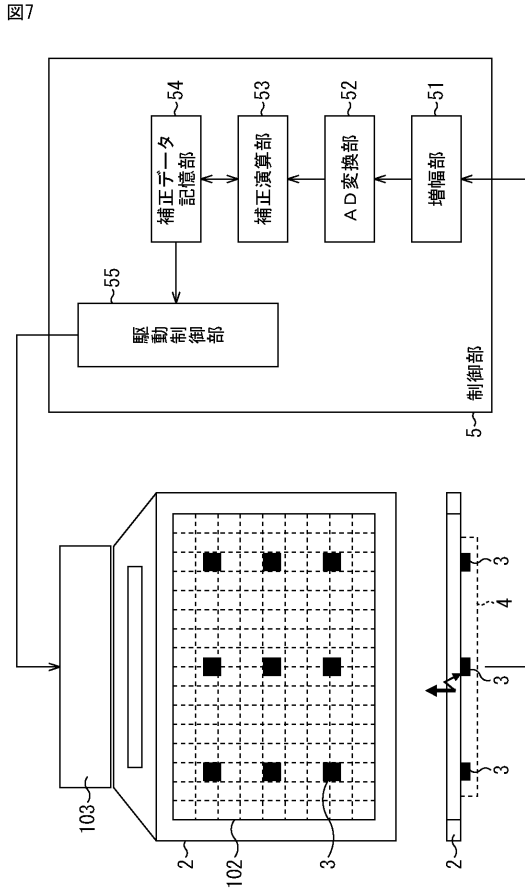
図4



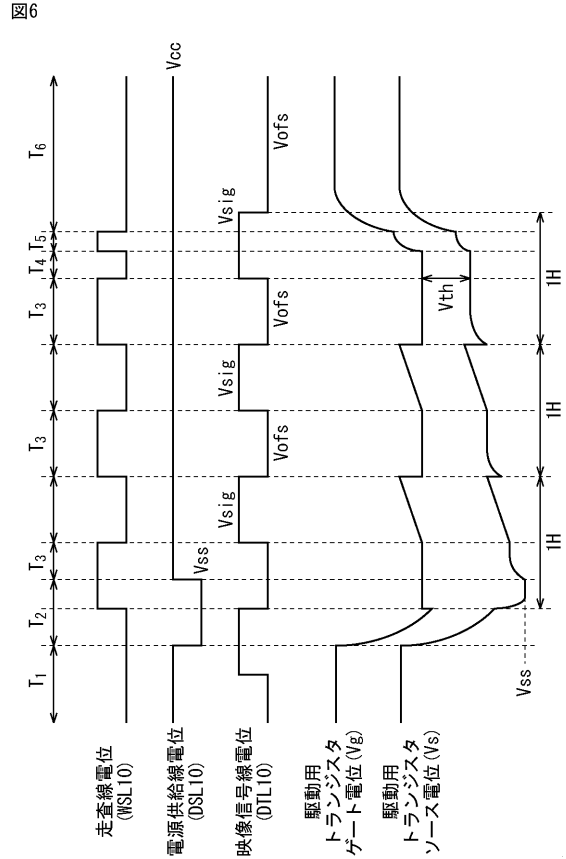
【図 5】



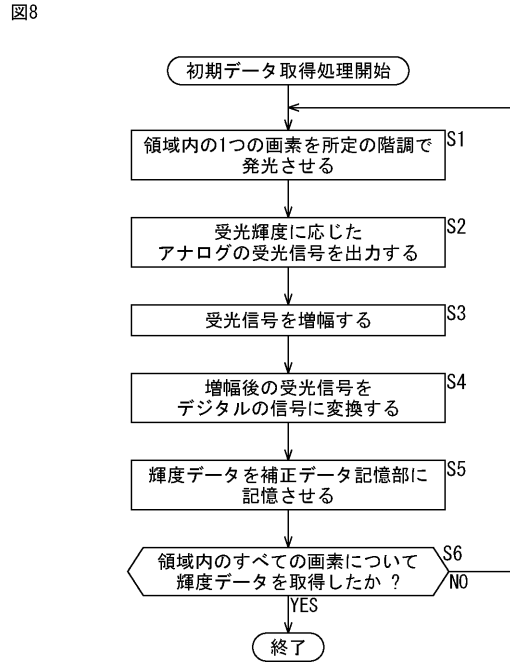
【図 7】



【図 6】

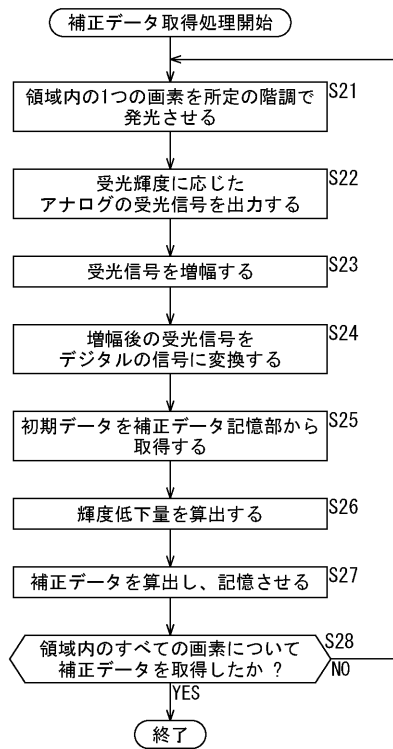


【図 8】



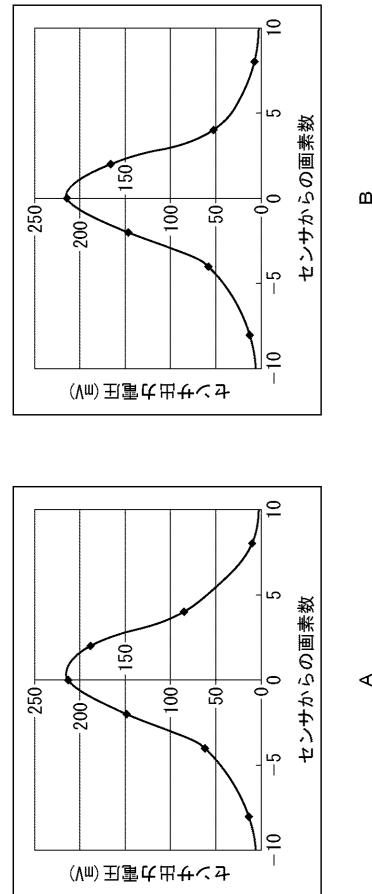
【図 9】

図9



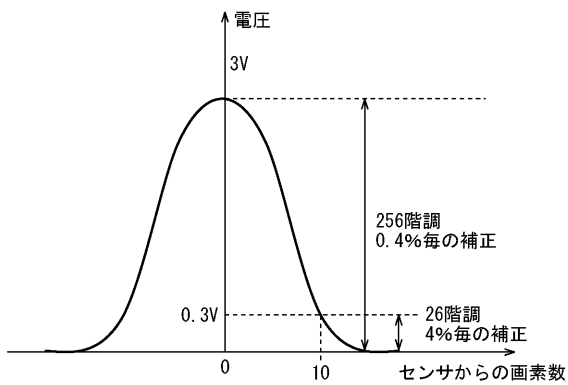
【図 10】

図10



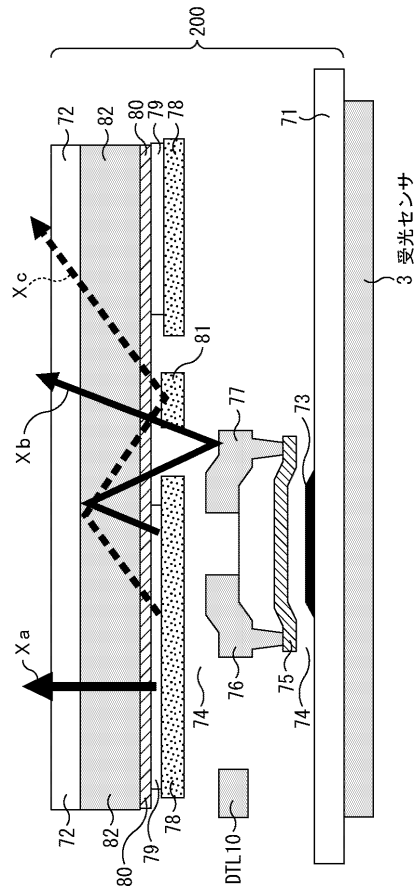
【図 11】

図11



【図 12】

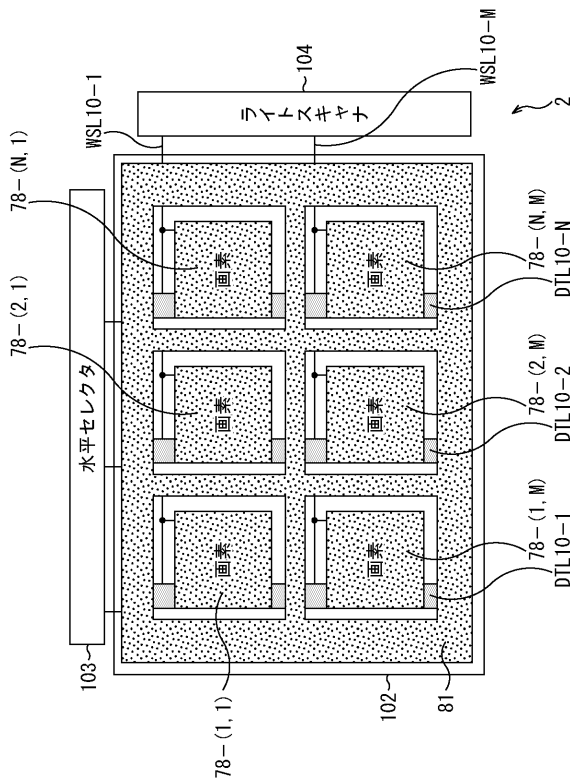
図12



[illegible]

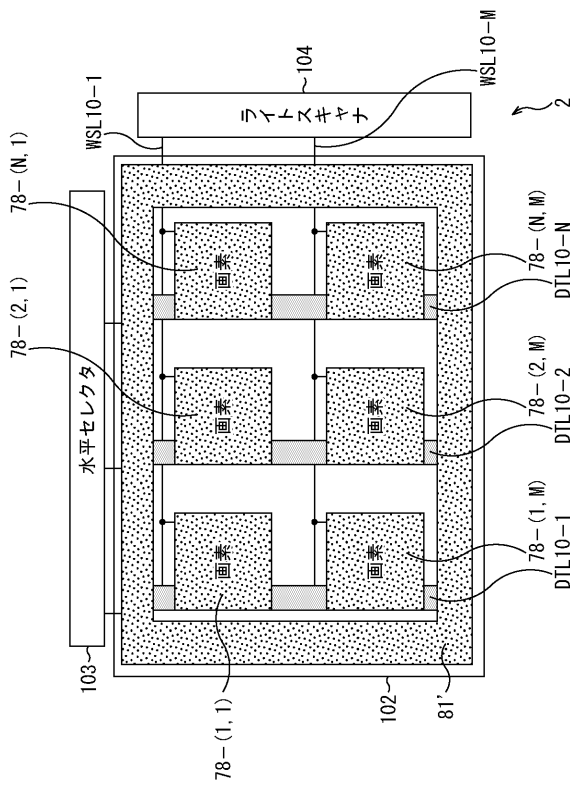
【図 17】

図17



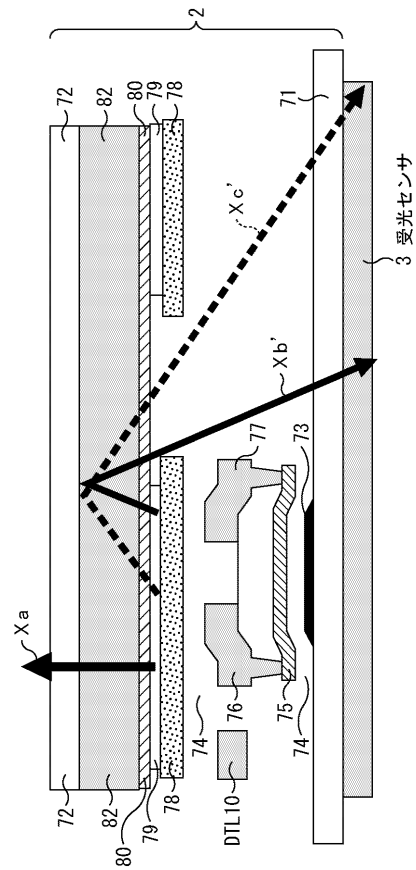
【図 19】

図19



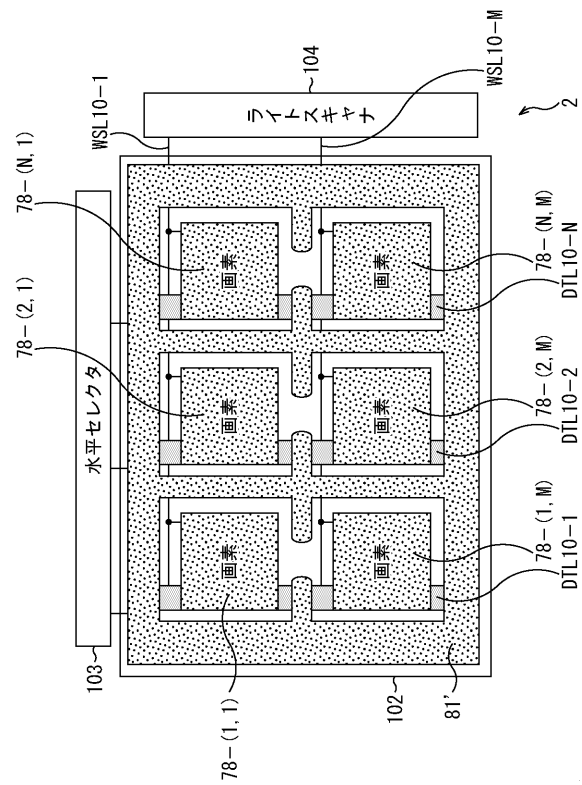
【図 18】

図18



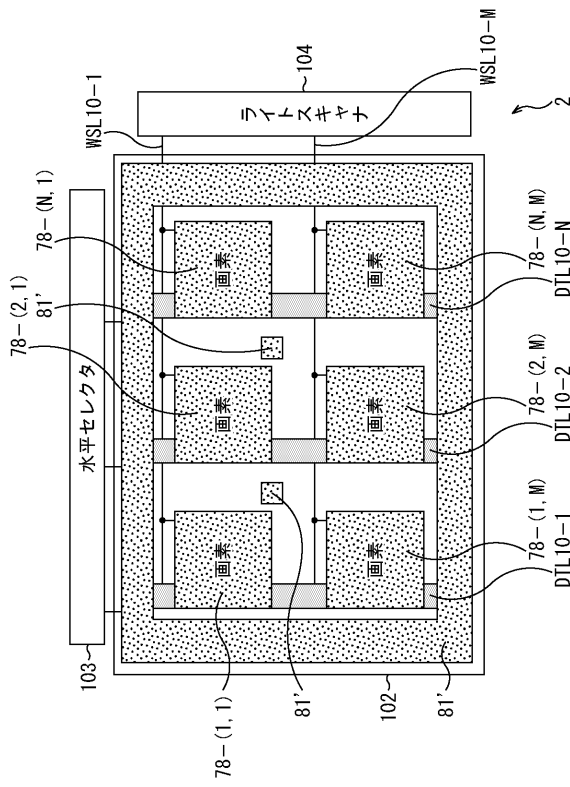
【図 20】

図20



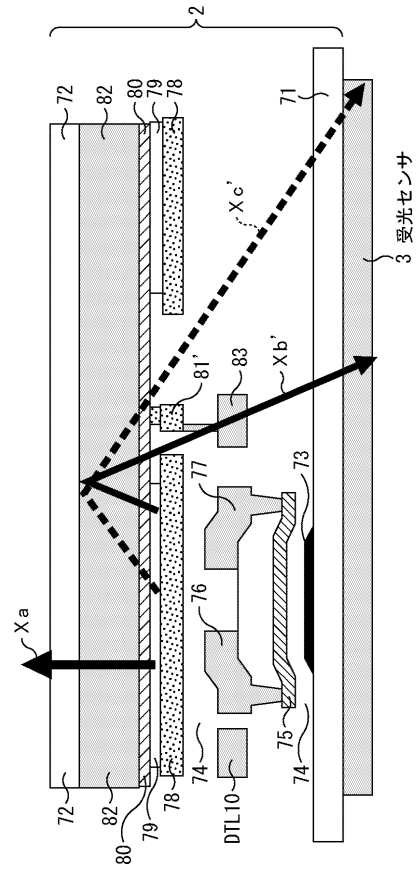
【図 2 1】

図21



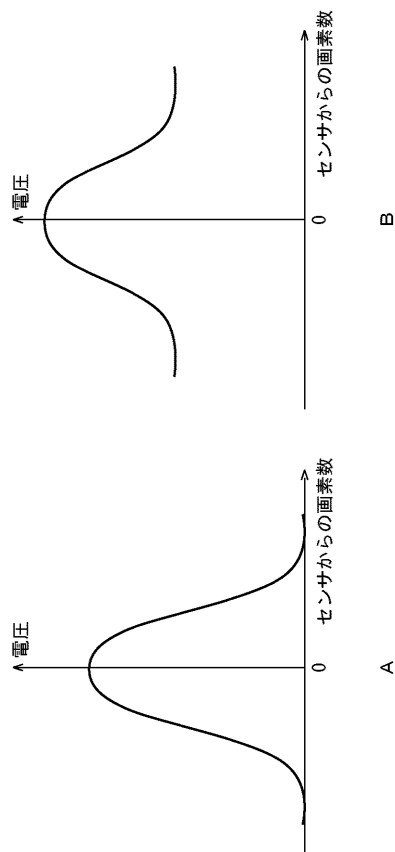
【図 2 2】

図22



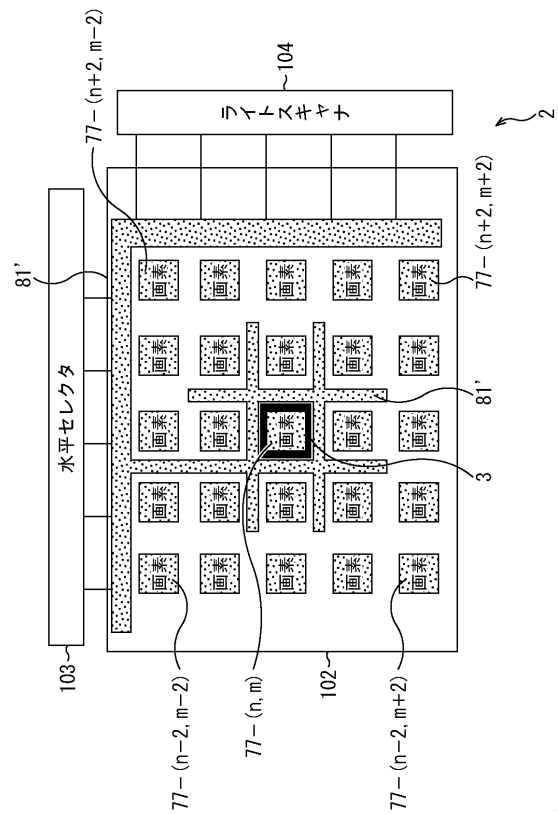
【図 2 3】

図23



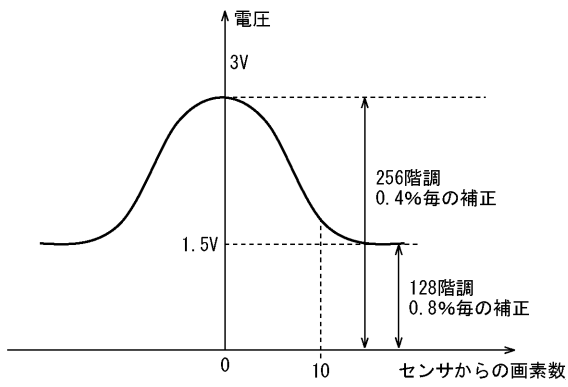
【図 2 4】

図24



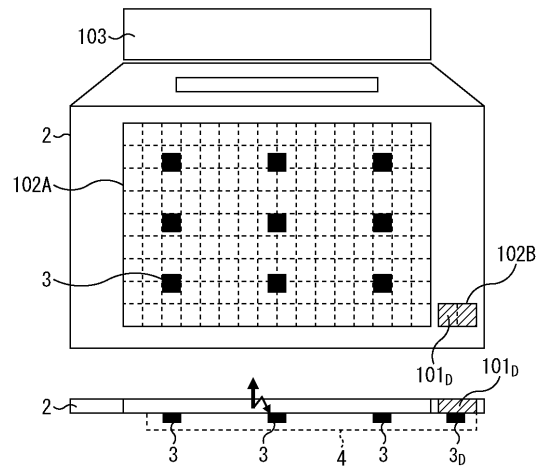
【図 25】

図25



【図 26】

図26



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 2 P
	H 0 5 B 33/02	
	H 0 5 B 33/14	A
	H 0 5 B 33/26	Z

(72)発明者 内野 勝秀

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC34 DD25 DD37 EE68 HH04
5C080 AA06 BB05 DD03 DD05 DD22 DD25 EE28 HH11 JJ01 JJ02
JJ04 JJ05 JJ06 JJ07

专利名称(译)	表示装置		
公开(公告)号	JP2010139788A	公开(公告)日	2010-06-24
申请号	JP2008316389	申请日	2008-12-12
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 山田二郎 内野勝秀		
发明人	山下 淳一 山田 二郎 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H05B33/02 H01L51/50 H05B33/26		
FI分类号	G09G3/30.K G09G3/20.670.J G09G3/20.680.H G09G3/20.621.M G09G3/20.680.G G09G3/20.642.P H05B33/02 H05B33/14.A H05B33/26.Z G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC34 3K107/DD25 3K107/DD37 3K107/EE68 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD03 5C080/DD05 5C080/DD22 5C080/DD25 5C080/EE28 5C080/HH11 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB21 5C380/AB22 5C380/AB24 5C380/AB34 5C380/AB41 5C380/AB43 5C380/AB45 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA19 5C380/BA28 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB04 5C380/BB21 5C380/BC20 5C380/BD04 5C380/BD11 5C380/CA08 5C380/CA12 5C380/CA54 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CB27 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC09 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CC68 5C380/CC77 5C380/CD012 5C380/CF01 5C380/CF17 5C380/CF21 5C380/CF49 5C380/CF68 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA31 5C380/DA46 5C380/DA47 5C380/FA05 5C380/FA18 5C380/FA23 5C380/FA28		
代理人(译)	西川 孝		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够高速执行高精度图像余辉校正的显示设备。
 解决方案：基于由每个像素发射的光的亮度，由设置在EL面板2背面的光接收传感器3测量，显示装置校正由于时间流逝导致的劣化引起的亮度降低。在相邻的阳极电极78之间获得从有机EL层79发射的光，反射到对向基板72并进入EL面板2的背面的空间。因此，从有机EL层79发射的光。由光路Xb和Xc限定并由对向基板72反射的光线到达光接收传感器3。本发明可以应用于使用自身发光的元件的面板。 2

