

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-242323

(P2008-242323A)

(43) 公開日 平成20年10月9日(2008.10.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
H01L 51/50 (2006.01)	H05B 33/14 A	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	
	G09G 3/20 611H	
	G09G 3/20 631R	
審査請求 未請求 請求項の数 11 O L (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2007-86007 (P2007-86007)
 (22) 出願日 平成19年3月28日 (2007. 3. 28)

(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (71) 出願人 506227884
 三洋半導体株式会社
 群馬県邑楽郡大泉町坂田一丁目1番1号
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 日置 耕作
 群馬県邑楽郡大泉町坂田一丁目1番1号
 三洋半導体株式会社内

最終頁に続く

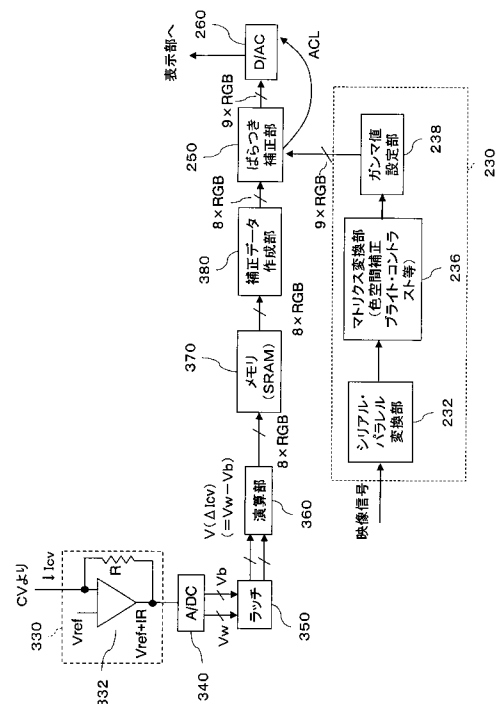
(54) 【発明の名称】 発光表示装置

(57) 【要約】

【課題】 EL表示装置の表示ばらつき補正を小規模メモリを用いて実現する。

【解決手段】 検査対象の画素に対し、検査用表示信号を供給してEL素子を動作させ、カソード電流を検出する。メモリには、得られるカソード電流の変動範囲や精度などの特性に応じ、映像信号から各画素に供給するために作成する表示データ信号のビット数より少ないビット数のカソード電流検出信号を記憶し、ばらつき補正に利用する。例えばオン電流検出信号の変動許容範囲を考慮して、値の変動しうるビット位置のみを記憶する等により、ばらつきの補正精度に影響を与えずにメモリへの記憶容量の削減を図ることができる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

発光表示装置であって、

マトリクス配置された複数の画素を備える表示部と、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、

前記表示部の前記複数の画素のそれぞれは、エレクトロルミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備え、

前記ばらつき検出部は、

検査行の画素に供給する検査用信号を発生し、かつ、映像信号に応じた表示の実行中の所定タイミングで、前記検査行の画素に該検査用信号を供給する検査用信号発生部と、

前記検査用信号に応じて生ずる前記エレクトロルミネッセンス素子のカソード電流を検出して電流検出信号を出力する電流検出部と、

前記電流検出信号に応じたデジタルデータを記憶するメモリ部と、を備え、

前記補正部では、前記メモリ部に記憶されたデジタルデータに基づいて、映像信号から得たデジタルデータ信号に前記複数の画素の各特性に応じたばらつき補正を行って、前記複数の画素に供給するための表示データ信号を作成し、

前記メモリ部には、前記電流検出信号の特性に応じ、前記前記表示データ信号よりもビット数の少ないデジタルデータが記憶されることを特徴とする発光表示装置。

【請求項 2】

発光表示装置であって、

マトリクス配置された複数の画素を備える表示部と、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、

前記表示部の前記複数の画素のそれぞれは、発光素子と、該発光素子に接続され、該発光素子に流れる電流を制御するための素子駆動トランジスタと、を備え、

前記ばらつき検出部は、

検査行の画素に供給する検査用信号として、前記発光素子を発光レベルとする検査用オン信号と前記発光素子を非発光レベルとする検査用オフ信号を発生する検査用信号発生部と、

前記検査用オン信号の印加時のオンカソード電流及び前記検査用オフ信号印加時のオフカソード電流を検出し、オン電流検出信号及びオフ電流検出信号を得る電流検出部と、

前記オン電流検出信号及び前記オフ電流検出信号をそれぞれデジタルデータに変換するアナログデジタル変換部と、

デジタルオン電流検出信号及びデジタルオフ電流検出信号とのオンオフ電流差に応じたデジタルデータを記憶するメモリ部と、を備え、

前記補正部では、前記オンオフ電流差に応じたデジタルデータに基づいて、映像信号から得たデジタルデータ信号に前記複数の画素の各特性に応じたばらつき補正を行って、前記複数の画素に供給するための表示データ信号を作成し、

前記メモリ部に記憶される前記オンオフ電流差に応じたデジタルデータのビット数は、前記表示データ信号のビット数よりも少ないことを特徴とする発光表示装置。

【請求項 3】

請求項 2 に記載の発光表示装置において、

前記オンオフ電流差に応じたデジタルデータの取り得る範囲は、前記オン電流検出信号及び前記オフ電流検出信号の変動許容範囲に応じて決まり、

前記オンオフ電流差に応じたデジタルデータを N ビットで表現した場合に、前記オンオフ電流差に応じたデジタルデータの取り得る範囲に応じて、前記 N ビットのうちの変動しうる N - 1 ビット目以下のビット位置のデータを、前記オンオフ電流差に応じたデジタルデータとして前記メモリ部に記憶させることを特徴とする発光表示装置。

【請求項 4】

請求項 3 に記載の発光表示装置において、

前記アナログデジタル変換部は、前記オン電流検出信号及び前記オフ電流検出信号の変動許容範囲内に対応するN - 1ビット目以下の位置のデータのみを、前記オン電流検出信号及び前記オフ電流検出信号にそれぞれ対応するデジタルオン電流検出信号及びデジタルオフ電流検出信号として出力することを特徴とする発光表示装置。

【請求項5】

請求項2に記載の発光表示装置において、

前記メモリ部は、前記オンオフ電流差に応じたデジタルデータをNビットで表現した場合に、前記Nビットのうち、前記オンオフ電流差に応じたデジタルデータの変動許容範囲に応じて変動しうるN - 1ビット目以下のビット位置のデータを、前記オンオフ電流差に応じたデジタルデータとして記憶することを特徴とする発光表示装置。

10

【請求項6】

請求項5に記載の発光表示装置において、

前記アナログデジタル変換部は、前記オン電流検出信号及び前記オフ電流検出信号にそれぞれ対応するNビットデジタルデータの内、前記オンオフ電流差に応じたデジタルデータの変動許容範囲に応じて変動しうるN - 1ビット目以下のビット位置のデータのみを出力することを特徴とする発光表示装置。

【請求項7】

請求項2に記載の発光表示装置において、

前記デジタルオン電流検出信号と前記デジタルオフ電流検出信号とから、前記オンオフ電流差に応じたデジタルデータを求める演算部を備え、

20

該演算部では、前記デジタルオン電流検出信号と前記デジタルオフ電流検出信号とからNビットの前記オンオフ電流差に応じたデジタルデータを求め、

前記メモリ部には、前記デジタルオン電流検出信号及び前記デジタルオフ電流検出信号の精度に応じて、前記Nビットの下位側のビットを省略して得られたビット数N - 1以下の前記オンオフ電流差に応じたデジタルデータを記憶することを特徴とする発光表示装置。

【請求項8】

請求項2に記載の発光表示装置において、

前記アナログデジタル変換部は、前記オン電流検出信号及び前記オフ電流検出信号を、前記表示データ信号のビット数がNの場合に、少なくとも前記オン電流検出信号の精度に応じたビット数N - 1以下のデジタルデータにそれぞれ変換し、

30

前記メモリ部は、前記ビット数N - 1以下の前記デジタルオン電流検出信号及び前記デジタルオフ電流検出信号から得たビット数N - 1以下の前記オンオフ電流差に応じたデジタルデータを記憶することを特徴とする発光表示装置。

【請求項9】

請求項2～請求項8のいずれか一項に記載の発光表示装置において、

前記オンオフ電流差に応じたデジタルデータを求める際に用いる前記デジタルオン電流検出信号と前記デジタルオフ電流検出信号の内、

前記デジタルオン電流検出信号は、前記検査用信号発生部が、対応する画素に前記検査用オン信号を供給し、新たなオン電流検出信号が得られる度に更新される信号であり、

40

前記デジタルオフ電流検出信号は、予め求められて設定されている信号であることを特徴とする発光表示装置。

【請求項10】

請求項9に記載の発光表示装置において、

前記設定されている信号は、特定の画素に対し前記検査用オフ信号を供給した場合、または所定の周期で対応する画素に前記検査用オフ信号を供給した場合に得たオフカソード電流に応じたデジタルオフ電流検出信号であることを特徴とする発光表示装置。

【請求項11】

請求項1～請求項10のいずれか一項に記載の発光表示装置において、

前記検査用信号発生部は、前記映像信号に応じた表示の実行中のランキング期間にお

50

いて、前記検査用信号を発生することを特徴とする発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

エレクトロルミネッセンス素子等の発光素子を各画素に有する発光表示装置、その表示ばらつきの補正を備える表示装置に関する。

【背景技術】

【0002】

自発光素子であるエレクトロルミネッセンス素子（以下EL素子という）等を各画素の表示素子に採用した発光表示装置は、次世代の平面表示装置として期待され、研究開発が行われている。

10

【0003】

このような発光表示装置は、ガラスやプラスチックなどの基板上にEL素子及びこのEL素子を画素毎に駆動するための薄膜トランジスタ（TFT）などを形成したELパネルを作成した後、幾度かの検査を経て製品として出荷されることとなる。

【0004】

各画素にTFTを備える現在のアクティブマトリクス型EL表示装置において、このTFTに起因した表示ムラ、特にTFTのしきい値 V_{th} のばらつきに起因してEL素子の輝度ばらつきが生じ、歩留まり低下の大きな要因となっている。このような製品の歩留まりの向上は、非常に重要であり、素子設計、材料、製造方法等の改良によって表示欠陥や表示ムラ（表示ばらつき）を低減することが要求されると共に、下記特許文献1などにおいて表示ムラなどが発生した場合にはこれを補正することにより良品パネルとする試みがなされている。

20

【0005】

特許文献1では、ELパネルを発光させてその輝度のばらつきを測定し、画素に供給するデータ信号（映像信号）を補正している。また、他の方法として、各画素に、EL素子に流す電流を制御する素子駆動トランジスタの V_{th} のばらつきを補正する回路を組み込むことが提案されている。

【0006】

【特許文献1】特開2005-316408号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

特許文献1のようにELパネルを発光させ、これをカメラで撮像して輝度ばらつきを測定する方法は、出荷後においては実行することができず、パネルの経時変化などに対応した補正を実行することは不可能である。また、ELパネルが高精細化して画素数が増大すると、各画素毎にその輝度ばらつきを測定するには測定及び補正対象が多く、カメラの高解像度化、補正情報の格納部の容量拡大などが必要となる。

【0008】

また、 V_{th} 補償用の回路素子を画素に組み込まない場合であっても、TFTの V_{th} のばらつきに起因した表示ムラを補正したいという要求は非常に強く、特に、このような補正を常時実行することが望まれる。

40

【0009】

本発明は、出荷後においても、表示ばらつきを測定し、その表示ばらつきの補正を行うことの可能な発光表示装置を得ることを目的とする。

【課題を解決するための手段】

【0010】

本発明は、発光表示装置であって、マトリクス配置された複数の画素を備える表示部と、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、前記表示部の前記複数の画素のそれぞれは、エレクトロル

50

ミネッセンス素子と、該エレクトロルミネッセンス素子に接続され、該エレクトロルミネッセンス素子に流れる電流を制御するための素子駆動トランジスタと、を備え、前記ばらつき検出部は、検査行の画素に供給する検査用信号を発生し、かつ、映像信号に応じた表示の実行中の所定タイミングで、前記検査行の画素に該検査用信号を供給する検査用信号発生部と、前記検査用信号に応じて生ずる前記エレクトロルミネッセンス素子のカソード電流を検出して電流検出信号を出力する電流検出部と、前記電流検出信号に応じたデジタルデータを記憶するメモリ部と、を備え、前記補正部では、前記メモリ部に記憶されたデジタルデータに基づいて、映像信号から得たデジタルデータ信号に前記複数の画素の各特性に応じたばらつき補正を行って、前記複数の画素に供給するための表示データ信号を作成し、前記メモリ部には、前記電流検出信号の変動特性に応じ、前記前記表示データ信号よりもビット数の少ないデジタルデータが記憶される。

10

【0011】

本発明の他の態様では、発光表示装置であって、マトリクス配置された複数の画素を備える表示部と、各画素での表示ばらつきの検査結果を検出するばらつき検出部と、表示ばらつきを補正するための補正部と、を備え、前記表示部の前記複数の画素のそれぞれは、発光素子と、該発光素子に接続され、該発光素子に流れる電流を制御するための素子駆動トランジスタと、を備え、前記ばらつき検出部は、検査行の画素に供給する検査用信号として、前記発光素子を発光レベルとする検査用オン信号と前記発光素子を非発光レベルとする検査用オフ信号を発生する検査用信号発生部と、前記検査用オン信号の印加時のオンカソード電流及び前記検査用オフ信号印加時のオフカソード電流を検出し、オン電流検出信号及びオフ電流検出信号を得る電流検出部と、前記オン電流検出信号及び前記オフ電流検出信号をそれぞれデジタルデータに変換するアナログデジタル変換部と、デジタルオン電流検出信号及びデジタルオフ電流検出信号とのオンオフ電流差に応じたデジタルデータを記憶するメモリ部と、を備え、前記補正部では、前記オンオフ電流差に応じたデジタルデータに基づいて、映像信号から得たデジタルデータ信号に前記複数の画素の各特性に応じたばらつき補正を行って、前記複数の画素に供給するための表示データ信号を作成し、前記メモリ部に記憶される前記オンオフ電流差に応じたデジタルデータのビット数は、前記表示データ信号のビット数よりも少ない。

20

【0012】

本発明の他の態様では、上記発光表示装置において、前記オンオフ電流差に応じたデジタルデータの取り得る範囲は、前記オン電流検出信号及び前記オフ電流検出信号の変動許容範囲に応じて決まり、前記オンオフ電流差に応じたデジタルデータをNビットで表現した場合に、前記オンオフ電流差に応じたデジタルデータの取り得る範囲に応じて、前記Nビットのうちの変動しうるN-1ビット目以下のビット位置のデータを、前記オンオフ電流差に応じたデジタルデータとして、前記メモリ部に記憶する。

30

【0013】

本発明の他の態様では、上記発光表示装置において、前記アナログデジタル変換部は、前記オン電流検出信号及び前記オフ電流検出信号の変動許容範囲内に対応するN-1ビット目以下の位置のデータのみを、前記オン電流検出信号及び前記オフ電流検出信号にそれぞれ対応するデジタルオン電流検出信号及びデジタルオフ電流検出信号として出力する。

40

【0014】

本発明の他の態様では、上記発光表示装置において、前記メモリ部は、前記オンオフ電流差に応じたデジタルデータをNビットで表現した場合に、前記Nビットのうち、前記オンオフ電流差に応じたデジタルデータの変動許容範囲に応じて変動しうるN-1ビット目以下のビット位置のデータを、前記オンオフ電流差に応じたデジタルデータとして記憶する。

【0015】

本発明の他の態様では、上記発光表示装置において、前記アナログデジタル変換部は、前記オン電流検出信号及び前記オフ電流検出信号にそれぞれ対応するNビットデジタルデータの内、前記オンオフ電流差に応じたデジタルデータの変動許容範囲に応じて変動しう

50

るN - 1ビット目以下のビット位置のデータのみを出力する。

【0016】

本発明の他の態様では、上記発光表示装置において、前記デジタルオン電流検出信号と前記デジタルオフ電流検出信号とから、前記オンオフ電流差に応じたデジタルデータを求める演算部を備え、該演算部では、前記デジタルオン電流検出信号と前記デジタルオフ電流検出信号とからNビットの前記オンオフ電流差に応じたデジタルデータを求め、前記メモリ部には、前記デジタルオン電流検出信号及び前記デジタルオフ電流検出信号の精度に応じて、前記Nビットの下位側のビットを省略して得られたビット数N - 1以下の前記オンオフ電流差に応じたデジタルデータを記憶する。

【0017】

本発明の他の態様では、上記発光表示装置において、前記アナログデジタル変換部は、前記オン電流検出信号及び前記オフ電流検出信号を、前記表示データ信号のビット数がNの場合に、少なくとも前記オン電流検出信号の精度に応じたビット数N - 1以下のデジタルデータにそれぞれ変換し、前記メモリ部は、前記ビット数N - 1以下の前記デジタルオン電流検出信号及び前記デジタルオフ電流検出信号と、から得たビット数N - 1以下の前記オンオフ電流差に応じたデジタルデータを記憶する。

【0018】

本発明の他の態様では、上記発光表示装置において、前記オンオフ電流差に応じたデジタルデータを求める際に用いる前記デジタルオン電流検出信号と前記デジタルオフ電流検出信号の内、前記デジタルオン電流検出信号は、前記検査用信号発生部が、対応する画素に前記検査用オン信号を供給し、新たなオン電流検出信号が得られる度に更新される信号であり、前記デジタルオフ電流検出信号は、予め求められて設定されている信号である。

【0019】

本発明の他の態様では、上記発光表示装置において、前記設定されている信号は、特定の画素に対し前記検査用オフ信号を供給した場合、または所定の周期で対応する画素に前記検査用オフ信号を供給した場合に得たオフカソード電流に応じたデジタルオフ電流検出信号である。

【発明の効果】

【0020】

本発明では、検査用信号を画素に供給してその際に得られるカソード電流を検出し、その検出信号に応じたデジタルデータをメモリに記憶し、このデジタルデータに基づいて映像信号から得るデジタルデータ信号に対するばらつき補正を行う。このメモリに記憶するデジタルデータのビット数を、カソード電流の変動特性や精度などに応じ、映像信号から得る表示データ信号のビット数よりも少なくすることで、メモリに格納すべき容量を最小限としつつ、精度良く検出した各画素の特性に応じた表示ばらつきを補正することが可能となる。

【0021】

例えば、検査用信号として、オン表示信号とオフ表示信号を検査行の画素に供給し、その際に生ずるEL素子のオン電流、オフ電流を検出し、得られたオン電流検出信号とオフ電流検出信号との電流差に応じたデジタルデータをメモリ部に記憶する場合、オン電流検出信号の変動範囲や、電流差に応じたデジタルデータの範囲に応じたビット位置のデータを選択的に記憶することで、記憶する信号の精度を損なうことなく記憶すべき容量を削減することができる。あるいはオン電流検出信号等の精度に応じてその下位ビットや電流差に応じたデジタルデータの下位ビットを省略することも可能である。

【0022】

なお、発光輝度ではなく測定対象をカソード電流とすることにより、装置の出荷後においても簡易な構成によって所定タイミングでカソード電流の検出をすることができる。

【発明を実施するための最良の形態】

【0023】

以下、図面を用いてこの発明の最良の実施の形態（以下、実施形態という）について説

10

20

30

40

50

明する。

【0024】

[検出原理]

本実施形態において、発光表示装置は、具体的には、例えば発光素子としてEL素子を用い、各画素にスイッチを備えるアクティブマトリクス型の有機EL表示装置である。図1は、この実施形態に係るアクティブマトリクス型EL表示装置の等価回路の一例を示す図である。ELパネル100の表示部には、マトリクス状に複数の画素が配置され、マトリクスの水平(H)走査方向(行方向)には、順次選択信号が出力される選択ライン(ゲートラインGL)10が形成されており、垂直(V)走査方向(列方向)には、データ信号(Vsig)が出力されるデータライン12(DL)と、被駆動素子である有機EL素子(以下、単に「EL素子」という)18に、駆動電源PVDを供給するための電源ライン16(VL)が形成されている。

10

【0025】

各画素は、概ねこれらのラインによって区画される領域に設けられており、各画素は、被駆動素子としてEL素子18を備え、また、nチャネルのTFTより構成された選択トランジスタTr1(以下、「選択Tr1」)、保持容量Cs、pチャネルのTFTより構成された素子駆動トランジスタTr2(以下、「素子駆動Tr2」)が設けられている。

【0026】

選択Tr1は、そのドレインが垂直走査方向に並ぶ各画素にデータ電圧(表示データ信号)Vsigを供給するデータライン12に接続され、ゲートが1水平走査ライン上に並ぶ画素を選択するためのゲートライン10に接続され、そのソースは素子駆動Tr2のゲートに接続されている。

20

【0027】

また、素子駆動Tr2のソースは電源ライン16に接続され、ドレインはEL素子18のアノードに接続されている。EL素子のカソードは各画素共通で形成され、カソード電源CVに接続されている。

【0028】

EL素子18は、ダイオード構造で下部電極と上部電極の間に発光素子層を備える。発光素子層は、例えば少なくとも有機発光材料を含む発光層を備え、発光素子層に用いる材料特性などにより、単層構造や、2層、3層あるいは4層以上の多層構造を採用することができる。本実施形態では、下部電極が画素毎に個別形状にパターニングされ上記アノードとして機能し、素子駆動Tr2に接続されている。また、上部電極が複数の画素に共通でカソードとして機能する。

30

【0029】

画素毎に上記のような回路構成を備えるアクティブマトリクス型EL表示装置において、素子駆動Tr2の動作しきい値Vthがばらつくと、同一のデータ信号を各画素に供給しても、EL素子には駆動電源PVDから同一の電流が供給されず、これが輝度ばらつき(表示ばらつき)の原因となる。

【0030】

図2は、素子駆動Tr2の特性ばらつき(電流供給特性のばらつき、例えば、動作しきい値Vthのばらつき)が生じた場合の画素の等価回路と、素子駆動Tr2及びEL素子のVds-Ids特性とを示している。素子駆動Tr2の動作しきい値Vthがばらついた場合、回路的には、図2(b)に示すように、素子駆動Tr2のドレイン側に正常よりも大きな抵抗又は小さな抵抗が接続されたことと見なすことができる。よって、EL素子が流す電流(本実施形態では、カソード電流Icv)特性は、正常画素と変わらないが、実際にEL素子に流れる電流は素子駆動Tr2の特性ばらつきに応じて変化することとなる。

40

【0031】

素子駆動Tr2への印加電圧がVgs-Vth<Vdsを満たす場合、素子駆動Tr2は飽和領域で動作する。素子駆動Tr2の動作しきい値Vthが正常画素より高い画素に

50

おいては、図2(a)に示すように、該トランジスタのドレインソース間電流 I_{ds} が、正常のトランジスタよりも小さくなり、EL素子への供給電流量、つまり、EL素子の流す電流は、正常画素よりも小さく(I大)、その結果、この画素の発光輝度は、正常画素の発光輝度よりも低くなり、表示ばらつきとなる。

【0032】

逆に、素子駆動 T_{r2} の動作しきい値 V_{th} が正常画素より低い画素においては、該トランジスタのドレインソース間電流 I_{ds} が、正常のトランジスタよりも大きくなり、EL素子の流す電流は、正常画素より多くなり、発光輝度は高くなる。

【0033】

素子駆動 T_{r2} への印加電圧が、 $V_{gs} - V_{th} > V_{ds}$ を満たす場合、この素子駆動 T_{r2} は線形領域で動作し、この線形領域では、しきい値 V_{th} が高い素子駆動 T_{r2} と低い素子駆動 T_{r2} とで、 $V_{ds} - I_{ds}$ 特性の差が小さいため、EL素子への供給電流量の差(I)も小さい。このため、EL素子は、素子駆動 T_{r2} の特性ばらつきの有無によらず、概ね同様の発光輝度を示し、線形領域においては特性ばらつきに起因した表示ばらつきを検出することは難しい。しかし、上記のように、素子駆動 T_{r2} を飽和領域で動作させることで、この素子駆動 T_{r2} の特性ばらつきに起因した表示ばらつきを検出することができる。

【0034】

また、検出した電流値に基づいて、各画素に供給するデータ信号を補正することで、確実に表示ばらつきを補正できる。例えば素子駆動 T_{r2} のしきい値の絶対値 $|V_{th}|$ が正常より低い場合、基準のデータ信号を供給したときのEL素子の発光輝度は通常より高くなる。したがって、この場合、しきい値の絶対値 $|V_{th}|$ の基準に対するずれに応じてデータ信号の絶対値 $|V_{sig}|$ を小さくすることにより輝度ばらつきを補正することができる。素子駆動 T_{r2} のしきい値の絶対値 $|V_{th}|$ が正常より高い場合には、しきい値の絶対値 $|V_{th}|$ の基準に対するずれに応じてデータ信号の絶対値 $|V_{sig}|$ を大きくすることにより輝度ばらつきを補正することができる。

【0035】

なお、以上の画素回路では、素子駆動トランジスタとして、pチャネルのTFTを採用したが、nチャネルのTFTを用いてもよい。さらに、以上の画素回路では、1画素について、トランジスタとして、選択トランジスタと駆動トランジスタの2つのトランジスタを備える構成を採用した例を説明したが、トランジスタが2つのタイプ及び上記回路構成には限られない。

【0036】

以上のような原理に基づいて、各画素に上記のような検査用信号を供給し、その際に得られるEL素子のカソード電流から、各画素の素子駆動 T_{r} の特性ばらつきに起因したEL素子の輝度ばらつきを検出を知ることができる。なお、検出したカソード電流は、電流検出信号としてデジタルデータに変換し、メモリに記憶する。そしてこのデジタルデータを、しきい値のばらつき補正のための補正データの作成に利用する。作成された補正データは、さらに、画素に供給するために映像信号から作成する表示データ信号に対する次元ばらつき補正に用いる。

【0037】

ここで、本実施形態では、カソード電流の変動許容範囲、変動予測範囲、精度などの特性に応じ、メモリに格納するデジタルデータのビット数を、補正データを用いて次元ばらつき補正を実行して得られるデジタル表示データ信号のビット数よりも低減する。

【0038】

なお、上記電流検出(ばらつき検出)及び補正は、不良品の判別の観点からも表示装置の出荷前においても実行することが好適であるが、出荷後において実行することが経時変化に応じた補正を実行する上で効果的である。例えば、出荷後の表示装置の電源起動時や、通常動作時に実行し、表示自体に違和感を与えることなくばらつきを検査し、かつ、常時最適な補正を施すことが可能となる。

10

20

30

40

50

【 0 0 3 9 】

通常動作時に検査を行う場合、映像信号のブランキング期間中に検査を実行することができる。このブランキング期間中に、表示部の所定の1行を検査行として選択し、対応する画素に検査用信号を供給し、その画素のEL素子のカソード電極からカソード端子に流れ出るカソード電流 I_{cv} を検出する。なお、ブランキング期間は、垂直ブランキング期間又は水平ブランキング期間である。駆動方式としては、詳しくは後述するが、以下のような方式が採用可能である。

【 0 0 4 0 】

(駆動方式1)カソード電極が全画素共通の共通電極で、水平ブランキング期間中にカソード電流検出を実行する場合

10

【 0 0 4 1 】

y 行 x 列マトリクス of ELパネル100に対し、1水平ブランキング期間に所定の1検査行(n 行目)を選択し、かつ所定の1列(k 列目)の画素に検査用信号を供給してそのときのカソード電流を検出する。この作業を順次選択行を変更して繰り返すことで1フレーム(1垂直(V)走査)期間で k 列目の全画素についてのカソード電流検出を実行する。この処理を全列に対して実行することで、ELパネル100の全画素に対する検出処理が完了する。ELパネル100がVGA型のサイズである場合、480行 \times 640列の画素が存在し、上記方式では、1フレーム60Hzで、合計約10.7秒(=1/60秒 \times 640列)で全画素についてのカソード電流検出が実行できる。もちろん、後述する設定例1~4のいずれかの方法によりメモリ370に格納する検出信号のビット数を表示データ信号のビット数 N よりも削減する。

20

【 0 0 4 2 】

(駆動方式2)カソード電極が全画素共通で、垂直ブランキング期間中にカソード電流検出を実行した場合

【 0 0 4 3 】

1垂直ブランキング期間中、所定の1検査行(n 行目)に属する全画素に、順次、検査用信号を供給し、そのときのカソード電流を検出する。この手順を垂直ブランキング期間毎に検査行を変更して実行し全行に対して行うことで、全画素のカソード電流を得る。この方式では、上記同様のVGAパネルの場合、合計約8秒(=1/60秒 \times 480行)で全画素についてのカソード電流検出が実行できる。メモリ370への記憶容量削減については、駆動方式1での説明と同様である。

30

【 0 0 4 4 】

(駆動方式3)カソード電極が列毎に分割され、垂直ブランキング期間中にカソード電流の検出を実行した場合

【 0 0 4 5 】

1垂直ブランキング期間中に所定の1検査行(n 行目)の全画素に、それぞれ検査用信号を供給し、各列におけるカソード電流を検出する。この手順を垂直ブランキング期間毎に検査行を変更して実行し全行に対して行うことで、全画素のカソード電流を得る。この方式では、上記同様のVGAパネルの場合、合計約8秒(=1/60秒 \times 480行)で全画素についてのカソード電流検出が実行できる。

40

【 0 0 4 6 】

なお、ドライバ部分の駆動能力(駆動速度)が十分であれば、水平ブランキング期間中に所定の1行に属する全画素に対して検査用信号を供給し、各列のカソード電極からその電流を検出することも可能である。この場合には、1フレーム期間で全画素についてのカソード電流を測定することができる。

【 0 0 4 7 】

また、駆動方式3においても、駆動方式1, 2と同様、後述する設定例1~4のような方法によりメモリ容量削減を図る。

【 0 0 4 8 】

[装置構成例]

50

次に、本実施形態に係るばらつき補正機能を備えたエレクトロルミネッセンス表示装置の構成例について図3及び図4を参照して説明する。図3は、エレクトロルミネッセンス表示装置の全体的な構成の一例を示している。この表示装置は、上述のような画素を備える表示部が形成されたELパネル100と、表示部での表示及び動作を制御する駆動部200を備え、駆動部200は、概略して、表示制御部210と、ばらつき検出部300を備える。

【0049】

また、表示制御部210は、信号処理部230、ばらつき補正部250、タイミング信号作成(T/C)部240、ドライバ220等を有する。

【0050】

信号処理部230は、外部からのカラー映像信号をELパネル100における表示に適した表示データ信号を作成し、タイミング信号作成部240は、外部から供給されるドットクロック(DOTCLK)、同期信号(Hsync、Vsync)などに基づいて、H方向、V方向のクロックCKH、CKV、水平、垂直スタート信号STH、STV等、表示部に必要な各種タイミング信号を作成する。ばらつき補正部250は、ばらつき検出部300で得られた補正データを利用して映像信号を駆動対象であるELパネルの特性に合わせて補正する。

【0051】

ドライバ220は、タイミング信号作成部240から得られる各種タイミング信号に基づいてELパネル100をH方向、V方向に駆動する信号を作成して画素に供給すると共に、ばらつき補正部250から供給される補正後の映像信号を対応する各画素に表示データ信号(Vsig)として供給する。なお、ドライバ220は、図1に例示するように表示部のH(行)方向の駆動を制御するHドライバ220H及びV(列)方向の駆動を制御するVドライバ220Vを備える。図1に示すように、このHドライバ220H及びVドライバ220Vは、ELパネル100の表示領域の周辺に、図1の画素回路と同様にパネル基板上に内蔵させることもできるし、ELパネル100とは別に図3の駆動部200と一緒に又は別の集積回路(IC)によって構成することも可能である。

【0052】

ばらつき検出部300は、ELパネル100の通常使用環境下における所定タイミング、例えばブランキング期間に表示ばらつきを検出して補正値を得るための動作をする。

【0053】

図3の例では、ばらつき検査を制御する検査制御部310、検査用信号を発生しELパネルの検査行の画素に供給するための検査用信号発生回路320、上記検査用信号を供給した際にカソード電極から得られるカソード電流を検出するカソード電流検出部330を有する。また、アナログデジタル(A/D)変換部340、ラッチ回路350、演算部360、メモリ370、補正データ作成部380等を有する。A/D変換部340は、検出されたカソード電流(カソード電流検出信号)をデジタルデータに変換し、ラッチ回路350は、得られたデジタルデータを一旦保持する。演算部360は、ラッチ回路350に保持されているデジタル電流検出信号から所定の演算値(例えばオンオフ電流差)を求め、メモリ370は、その演算結果を記憶する。補正データ作成部380は、このメモリ370に記憶された演算値に基づいて補正データを作成する。

【0054】

検査時に、検査行の画素を選択し、検査するために必要な選択信号の作成や、後述するような所定ラインの電位制御のための制御信号発生回路(図示しない)は、ドライバ220内に組み込んで検査制御部310の制御に応じて実行させることができる。

【0055】

なお、制御信号発生のための構成は、専用の検査用の制御信号発生回路によって実行しても良いし、検査制御部310が実行しても良い。

【0056】

図4は、図3の駆動部200のより具体的な構成の一部を示す。カソード電流検出部330は、電流検出アンプ332を備え、図4の例では、アンプの出力と電流入力側との間

10

20

30

40

50

に抵抗 R を備え、EL パネルのカソード電極端子 T_{cv} から得られるカソード電流 I_{cv} を、このカソード電流 I_{cv} が抵抗 R に流れて生ずる電圧 $[I R]$ と基準電圧 V_{ref} とに基づき、 $[V_{ref} + I R]$ で表される電流検出信号（電圧データ）として得る。A/D 変換部 340 は、電流検出アンプ 332 で得られた電流検出信号を所定ビット数のデジタル信号に変換し、得られたデジタル電流検出信号は、一旦ラッチ回路 350 に保持され、演算部 360 に所定のタイミングで供給され、演算結果がメモリ 370 に供給されて記憶される。

【0057】

検査用信号としては、EL 素子の発光を発光レベルとする検査用オン表示信号を供給することで、原理的に素子駆動 $T_r 2$ のしきい値ばらつきに応じた表示ムラを検出することができる。しかし、検査用信号として、上記検査用オン表示信号と、さらに EL 素子を非発光レベルとする検査用オフ表示信号とを検査行の画素に対して供給し、検査用オン表示信号の印加時のオンカソード電流及び前記検査用オフ表示信号印加時のオフカソード電流を検出し、その差 I_{cv} を求める方法を採用することにより、検査の高速化及び検査の高精度化を図ることが可能となる。

10

【0058】

このように検査の高速化や高精度化が可能となるのは、オフカソード電流 $I_{cv_{off}}$ を測定し、この $I_{cv_{off}}$ を基準としてオン表示信号の時のオンカソード電流 $I_{cv_{on}}$ を相対的に把握できるため、オンカソード電流 $I_{cv_{on}}$ の絶対値を正確に判断する必要や、別途基準となるオフカソード電流 $I_{cv_{off}}$ を測定する必要がないからである。つまり、オンカソード電流とオフカソード電流との差分（カソード電流差：オンオフ電流差）を用いることで、上記電流検出アンプ 332 の特性ばらつきなどの影響をこのカソード電流差からキャンセルすることができ、また、オンカソード電流値の絶対値を判定するための基準値を必要としないためである。具体的には、電流検出アンプ 332 が、オンカソード電流を $V_{ref} + I_{cv_{on}} * R$ として検出し（オン電流検出信号）、オフカソード電流を $V_{ref} + I_{cv_{off}} * R$ として検出し（オフ電流検出信号）、A/D 変換部 340 でデジタル変換し、その 2 つのデジタルデータの差分を演算部 360 が演算することで、 $(I_{cv_{on}} - I_{cv_{off}}) * R$ を求めればよい。これによりオンオフ電流差（オンオフカソード電流差）に応じたデータ（オンオフ電流差信号）として、 $V(I_{cv}) = V(I_{cv_{on}}) - V(I_{cv_{off}})$ が得られる。

20

30

【0059】

メモリ 370 は、上記（駆動方式 1）～（駆動方式 3）に説明したように、例えば 10 秒程度で全画素についてのカソード電流検出信号としてオンオフ電流差に応じたデジタルデータ（オンオフ電流差信号）を記憶し、このデータを全画素について少なくとも次に全画素について新しいカソード電流が検出されるまで格納しておく。なお、このメモリ 370 は、高速でのデータ書き込み及び読み出しが可能な揮発性メモリを用いることができる（例えば SRAM）。なお、図示しないが、装置電源がオフしてもデータ保持が可能で、書き換えの可能な EEPROM 等の不揮発性メモリを二次メモリとして併用しても良い。二次メモリを併用する場合、装置電源をオフする前に、予め、揮発性メモリに記憶されたオンオフ電流差信号を二次メモリに退避させる。装置電源投入時には、この二次メモリに記憶されたオンオフ電流差信号を用いることにより、装置電源投入直後から二次元ばらつき補正を実行することが可能となる。

40

【0060】

補正データ作成部 380 は、メモリ 370 に蓄積された画素毎の電流差検出信号を随時読み出し、この信号に基づいて、映像信号に対し各画素の素子駆動 $T_r 2$ の特性ばらつきに起因した表示ばらつきを補正するための補正データを作成する。以下、この補正データの求め方及び二次元ばらつき補正の方法について説明する。

【0061】

まず、EL 素子を発光状態とする同一の検査用信号を印加した場合において、測定対象の画素の素子駆動 $T_r 2$ のしきい値 V_{th} が正常の素子駆動 $T_r 2$ のしきい値 V_{th} より

50

も高圧側にシフトしていると(図中の一点鎖線)、得られるカソード電流は、正常画素が $I_{cv a}$ であるのに対し、シフトした画素では $I_{cv b}$ となる(図5参照)。

【0062】

そこで、補正データ作成部380は、図5に示すように、素子駆動 $T r 2$ の動作しきい値 V_{th} が正常な $T F T$ よりもずれている場合、カソード電流検出データからその動作しきい値 V_{th} のずれを補償する補正データを求める。概念的には、この補正データにより、図5において点線で示す特性のように動作しきい値 V_{th} のずれ分に応じて各画素に供給するデータ信号の電圧をシフトさせることとなる。

【0063】

このようなデータ信号の電圧をシフトさせるための補正データの作成方法の一例を具体的に説明すると以下の通りである。まず、各画素の動作しきい値の基準からのずれは、下記式(1)によって求めることができる。

【0064】

【数1】

$$V(\Delta I_{cv}) = V(\Delta I_{cvref}) \times \left(\frac{V_{sigon} - V_{th}(i)}{V_{sigon}} \right)^{\gamma} \dots (1)$$

式(1)において、 $V_{th}(i)$ 、 $V(I_{cv})$ 、 V_{sigon} および γ は、以下のよう

- $V_{th}(i)$: 検査対象画素の動作しきい値ずれ
- $V(I_{cv})$: 検査対象画素のオンオフ電流差(電圧データ)
- $V(I_{cvref})$: 基準オンオフ電流差(電圧データ)
- V_{sigon} : 検査用オン表示信号の階調レベル
- γ : 表示パネルの発光効率特性(定数値)

【0065】

検査用オン表示信号の階調レベル [V_{sigon}] を、例えば、8ビットで表し、240(0~255)に設定した場合、この階調レベル240、検査対象画素のオンオフ電流差 [$V(I_{cv})$]、基準のオンオフ電流差 [$V(I_{cvref})$]、定数の発光効率特性 γ に基づいて、上記式(1)から各画素の基準に対する動作しきい値ずれ $V_{th}(i)$ を求めることができる。例えば、A~Eの画素について、以下のようにそれぞれ基準からのしきい値ずれ量 $V_{th}(i)$ が得られたとする。

- $V_{th}(A) = 0$
- $V_{th}(B) = 13.4$
- $V_{th}(C) = 17.0$
- $V_{th}(D) = 3.2$
- $V_{th}(E) = 20.7$

【0066】

上記例では、画素Eのしきい値 V_{th} ずれが最大であり、各画素に同一階調レベルのデータ信号を供給すると、画素Eが表示部の中で最も低輝度で発光することとなる。一方で、各画素に供給できるデータ信号の最大値には限度がある。そこで、この $V_{th}(i)_{max}$ の画素Eを基準にデータ信号の最大値 V_{sigmax} を決定する。つまり、得られた各画素の $V_{th}(i)$ の中から、最大値 $V_{th}(i)_{max}$ を求め、この $V_{th}(i)_{max}$ に対する他の画素の V_{th} の差 $V_{th}(i)$ をそれぞれ得る。さらに、その画素に供給すべきデータ信号の最大値 $V_{sigmax}(i)$ を、 V_{sigmax} から、得られた $V_{th}(i)$ を減算して [$V_{sigmax} - V_{th}(i)$] を求め、後述する式(2)の補正值を反映した初期補正データ $R S F T (init)$ としてばらつき補正部250に供給する。

【0067】

10

20

30

40

50

なお、以上のようにして補正データ作成部 380 で作成された各画素の補正データは、例えば図 3 に示す補正值記憶部 280 などに記憶しておくことができる。この補正データは、次に全画素分について補正データが揃うまで記憶しておくことが好適である。

【0068】

ばらつき補正部 250 は、新しい補正データが得られるまでは、この記憶されている補正データを用い、信号処理部 230 から供給される映像信号に対して、各画素毎にばらつき補正を実行する（二次元表示ムラ補正）。ばらつき補正部 250 での補正演算に必要なタイミングで（映像信号のタイミングに合わせて）、補正データ作成部 380 が補正データを作成し、ばらつき補正部 250 に供給しても良い。この場合、 $V_{sig_max}(i)$ のみを例えば上記のように補正值記憶部 280 に記憶しておき、補正データ作成部 380 がメモリ 370 から必要な画素アドレスについてのカソード電流検出データ（デジタルデータ）を読み出し、そのデータと $V_{sig_max}(i)$ とを利用して補正データを作成し、これをばらつき補正部 250 に供給する。

10

【0069】

信号処理部 230 は、外部からのカラー映像信号を EL パネル 100 での表示に適した表示信号にするための信号処理回路であり、一例として図 4 に示すような構成を有する。シリアル・パラレル変換部 232 は、外部から供給される映像信号をパラレルデータに変換し、得られたパラレル映像信号は、マトリクス変換部 236 に供給される。マトリクス変換部 236 において、外部から供給される映像信号が YUV 形式の場合には、EL パネルの表示する色調に応じたオフセット処理が行われる。なお、Y は輝度信号、U は輝度信号と青色成分の差、V は輝度信号と赤色成分の差であり、YUV 形式は、この 3 つの情報で色を表している。また、マトリクス変換部 236 は、パラレル映像信号をこの EL パネル 100 に適した形式への間引きなどの変換処理を行う。また、併せて、色空間補正、ブライト・コントラスト補正なども実行する。さらにガンマ値設定部 238 が、マトリクス変換部 236 からの映像信号に対し、EL パネル 100 に応じた値の設定（ガンマ補正）を行い、ガンマ補正後の映像信号が上記ばらつき補正部 250 に供給される。

20

【0070】

ここで、ばらつき補正部 250 では、一例として下記式（2）

【0071】

【数 2】

$$R_SFT(0) = \frac{\frac{ADJ_SFT}{16} \times (512 - Rin) + Rin}{512} \times RSFT(init) \quad \dots \quad (2)$$

30

を用いて二次元表示ムラ補正を実行する。式（2）において、 $RSFT(init)$ は、補正データ作成部 380 において求められた補正值を反映した初期補正データである（工場出荷前に各画素についての補正データが存在する場合にはその補正データも反映した値である）。 Rin は、信号処理部 230 から供給される入力映像信号で、ここでは、9 ビットデータであり、0 ~ 511 のいずれかの値を備える。 ADJ_SFT は、補正值調整（重み付け）パラメータであり、 R_SFT は、二次元表示ムラ補正後の表示データである。

40

【0072】

図 5 に示されているように、素子駆動 $Tr2$ の動作しきい値 V_{th} にずれが生じた場合、この TFT の特性カーブの傾きは、正常な TFT の特性カーブの傾きとは異なる。したがって、表示データ信号を単純に V_{th} のずれ分だけシフトするのみでは、正確な階調表現をすることができない。そこで、ばらつき補正部 250 では、上記式（2）等を用いて、傾き、つまり、上記式（2）の重み付けパラメータを考慮して実映像信号の値（輝度レベル）に応じて最適な補正を施し、正常の TFT 特性に合ったカソード電流が EL 素

50

子に流れるように調整する。このような補正により、単純な V_{th} のシフト補正だけの場合に T F T 特性の傾きの違いに起因して生ずる低階調側の白うき（高階調側へのずれ）等を、確実に防止する。

【0073】

以上のようにして二次元表示ムラ補正が施された映像信号（表示データ信号）は、デジタルアナログ（D/A）変換部260に供給され、ここで各画素に供給するためのアナログ表示データ信号に変換される。このアナログ表示データ信号は、表示部の対応するデータライン12に出力すべきデータであり、パネル100に設けられたビデオ線に出力され、Vドライブ220Vの制御に従って対応するデータライン12に供給される。なお、ばらつき補正部260は、信号処理部230から供給されるデータ信号から消費電力を推測し、ELパネル100のピーク電流を最適制御するためのACL信号を発生し、D/A変換部260に供給している。これにより、パネル100での過大な消費電流の発生が抑制される。

10

【0074】

[メモリへの記憶データビット数の制御]

次に、メモリ370に記憶するデジタルデータのビット数について説明する。図4に示す例では、映像信号から作成され、二次元ばらつき補正が施されてD/A変換部260に供給されるデジタル表示データ信号は、R、G、Bのそれぞれについてビット数N（ここでは9ビット）である。一方、メモリ370に記憶される各画素についてのデジタルデータのビット数は、N-1以下に設定されている（ここでは8ビット）。ここで、このメモリ370に記憶するデジタルデータのビット数N-1としては、以下のような設定例がある。

20

【0075】

（設定例1）

設定例1では、検査用信号として検査用オン信号、検査用オフ信号を供給し、演算部360で得られるオンオフ電流差信号のビット数をN-1とし、これをメモリ370に記憶する。ここで、図6は、各画素に供給されるデータ信号Vsigに対して得られるカソード電流（カソード電流検出信号Vlcvとして）の特性であり、本設定例1ではこの図6の特性を考慮している。また、図7は、設定例1に係る処理を実行するための駆動回路200の要部を示している。

30

【0076】

EL素子18に駆動電流を供給する素子駆動Tr2の動作しきい値 V_{th} がばらつくと、得られるカソード電流Icv（Ioled）の値にも差を生ずる。上記のように、本実施形態ではそのばらつきを補正するが、ばらつきが許容範囲を超える場合、表示データ信号を最大限シフトさせても補正できない。つまり、ばらつきの許容範囲がオン電流検出信号及びオフ電流検出信号の変動範囲（変動許容範囲）とすることができる。

【0077】

設定例1は、このオン電流検出信号及びオフ電流検出信号の変動範囲を考慮してメモリ370に記憶するオンオフ電流差信号のビット数を決定している。つまり、オンオフ電流差信号の取り得る範囲に応じて、Nビットのうち、最上位ビット（MSB：Most Significant Bit）以外の変動しうるN-1ビット目以下のビット位置のデータを、オンオフ電流差信号として記憶する。

40

【0078】

図6に示す例では、検査用オン信号を供給した際に得られるオン電流検出信号（発光（白）検出信号：Vw）の変動許容範囲と、検査用オフ信号を供給した際に得られるオフ電流検出信号（非発光（黒）検出信号：Vb）の変動許容範囲がそれぞれ $2^N - 1$ レベルの内の 2^{N-2} の範囲である。この場合、EL素子の電流電圧特性上、Vwは常にVbより大きいから、そのオンオフ電流差信号V（Icv）（ $= Vw - Vb$ ）は、 $2^{(N-1)} \sim 2^N - 1$ の範囲で変化する。つまり、Vw - Vbの変動範囲は、Nビットの内の下位N-1ビットのみとなる（ $Vw - Vb - 2^{(N-1)} = 0 \sim 2^{(N-1)} - 1$ ）。つまりオン電流検出信号及び

50

オフ電流検出信号の下位 $N - 1$ だけを減算処理することで正確な値を求めることができる。

【 0 0 7 9 】

そこで、A / D 変換部 3 4 0 では、電流検出アンプ 3 3 2 から供給されるオン電流検出信号及びオフ電流検出信号を、それぞれ対応する N ビットのデジタルデータに変換するが、 N ビットの内、変動する下位の $N - 1$ ビットだけを、対応する信号 V_w 、 V_b として出力する。

【 0 0 8 0 】

A / D 変換部 3 4 0 から出力されたオン電流検出信号、オフ電流検出信号の各下位 $N - 1$ ビット信号 V_w 、 V_b は、それらデータの供給タイミングに合わせて切替制御されるスイッチ SW_1 、 SW_2 を介し、対応する V_w ラッチ 3 5 2、 V_b ラッチ 3 5 4 に供給され、次に新しいデータが供給されるまで保持される。

10

【 0 0 8 1 】

演算部 3 6 0 は、下位 $N - 1$ ビットのデジタルオン電流検出信号 V_w 、デジタルオフ電流検出信号 V_b の差分を求め、 $N - 1$ ビットのデジタルオンオフ電流差信号を得る。メモリ 3 7 0 には、この $N - 1$ ビットのデジタルオンオフ電流差信号が記憶され、補正データ作成部 3 7 0 は、この $N - 1$ ビットのデジタルオンオフ電流差信号を利用して上述のような演算によって補正データを作成する。

【 0 0 8 2 】

作成される補正データは、 $N - 1$ ビットで表すことも可能であるし、メモリ 3 7 0 から読み出したオンオフ電流差信号の最上位ビットの値が既知（固定）であるから、読み出したオンオフ電流差信号の最上位ビットのデータを自動的に付加して N ビットのオンオフ電流差信号として補正データ作成部 3 7 0 に供給しても良い。したがって、ばらつき補正部 2 5 0 では、映像信号から作成し画素毎に表示内容に応じて供給される N ビットのデジタル表示データ信号に対し、 $N - 1$ ビットの補正データ又は N ビットの補正データを利用し、上記のような演算によって二次元ばらつき補正を行う。

20

【 0 0 8 3 】

以上、設定例 1 のようにオン電流検出信号及びオフ電流検出信号の変動範囲に応じてメモリ 3 7 0 に記憶するオンオフ電流差信号のビット数を削減することで、このオンオフ電流差信号の精度を損なうことなく記憶データ量を削減することが可能となる。なお、オン電流検出信号、オフ電流検出信号の変動範囲が $2^{(N-2)}$ よりも小さい場合、メモリ 3 7 0 への記憶ビット数を $N - 1$ 未満とすることも可能である。

30

【 0 0 8 4 】

また、A / D 変換部 3 4 0 からはそれぞれ N ビットのオン電流検出信号及びオフ電流検出信号を出力し、ラッチ回路 3 5 0 がそれら N ビットの信号を保持し、演算部 3 6 0 が、オンオフ電流差信号の N ビット中、最上位ビットを省略し、変動しうる下位 $N - 1$ ビットのみを求め、得られた $N - 1$ ビットのオンオフ電流差信号をメモリ 3 7 0 に記憶しても良い。

【 0 0 8 5 】

（設定例 2）

上記設定例 2 では、オンオフ電流差信号の変動範囲に応じて、表示データ信号の N ビットのうちの変動しうる下位ビットのみをメモリ 3 7 0 に記憶する。オン電流検出信号 V_w の基準値（取り得る最大値）、オフ電流検出信号 V_b の基準値（取り得る最小値）が、表示データ信号の最大値（ $2^N - 1$ ）に対し、図 8 に示すように設定される場合、 $V_w > V_b$ は常に維持されるから、オンオフ電流差信号の取り得る範囲（変動許容範囲）は、 $0 \sim 2^{(N-1)} - 1$ となる。即ち、オン電流検出信号 V_w の基準値が表示データ信号の最大値（ $2^N - 1$ ）に対して、 $2^{(N-2)}$ だけ低い値であり、オフ電流検出信号の基準値が 0 よりも、 $2^{(N-2)}$ だけ大きい値である場合、その差分であるオンオフ電流差信号は、 $N - 1$ ビットで表すことができる。

40

【 0 0 8 6 】

50

設定例 2 では、このようなオンオフ電流差信号の変動範囲を考慮して、ビット数 $N - 1$ 以下のデジタルオンオフ電流差信号をメモリ 370 に記憶する。上記例において、図 8 よりも V_w の基準値が低く、 V_b の基準値が高ければ、オンオフ電流差信号は、 N ビット中の $N - 2$ ビット目以下の位置しか変動しない場合もあり、この倍は、メモリ 370 にオンオフ電流差信号として変動する $N - 2$ ビット目以下の下位ビットのみを記憶すればよく、一層の記憶容量の削減を図ることが可能となる。

【0087】

A/D 変換部 340 からは N ビットのオン電流検出信号、オフ電流検出信号をそれぞれ出力し、演算部 360 からは演算結果として、 N ビットの内の下位 $N - 1$ ビット以下のオンオフ電流差信号を出力し、メモリ 370 に記憶することができる。A/D 変換部 340 から出力するオン電流検出信号及びオフ電流検出信号を、それぞれ N ビットの内の下位 $N - 1$ ビット以下とし、演算部 360 で $N - 1$ ビットのオンオフ電流差信号を求め、これをメモリ 370 に記憶させても良い。

10

【0088】

(設定例 3)

設定例 3 では、オン電流検出信号 V_w 、オフ電流検出信号 V_b の精度に応じ、メモリ 370 に記憶するオンオフ電流差信号のビット数を削減する。例えば、オン電流検出信号 V_w 及びオフ電流検出信号 V_b の精度が $1/2$ である場合、最下位ビット：LSB (Least Significant Bit) は、無視することができる。そこで、この場合、A/D 変換部 340 は、得られたオン電流検出信号及びオフ電流検出信号の最下位ビットを省略し、映像信号から得るデジタル表示データ信号のビット数 N に対し、最下位ビットを含まない上位のビットのみをそれぞれ $N - 1$ ビットのオン電流検出信号及びオフ電流検出信号として出力する。なお、A/D 変換器 340 として、供給されるアナログデータ (オン及びオフカソード電流) を $N - 1$ ビットのデジタルデータ (オン電流検出信号及びオフ電流検出信号) に変換する $N - 1$ ビット変換器を採用しても良い。

20

【0089】

(設定例 4)

設定例 4 では、オフ電流検出信号の変動範囲がオン電流検出信号よりも狭い、つまり、オン電流検出信号と比較するとその値の変化が小さいことを利用し、オフ電流検出信号の更新周期をオン電流検出信号よりも長くするか、このオフ電流検出信号として、固定値を採用する。但し、固定値は、カソード電流検出部 330 に用いた電流検出アンプ 332 の特性を考慮して決定する。

30

【0090】

図 9 は、設定例 4 の動作を実行する駆動回路の構成の一例を示している。図 7 に示す構成と相違する点はラッチ回路 350 である。オン電流検出信号 V_w を保持するラッチ回路 352 は図 7 と共通するが、オン電流検出信号と前後して得られるオフ電流差信号について得られる度には、 V_b 設定部 354 に設定しない。オフ電流検出信号 V_b を設定するタイミングは、例えば V_b 設定部 354 と A/D 変換器 340 との間に設けたスイッチ S_{W2} の開タイミング制御して所定の複数画素への検査用信号の供給毎とすることなどによって実行できる。具体的には、所定行毎に 1 回、所定列毎に 1 回というように、想定されるオフ電流検出信号の特性変動の顕在化する長さに応じて供給周期を設定することができる。

40

【0091】

また、表示装置の出荷前など、予めこのオフ電流検出信号を求め、固定値として V_b 設定部 354 に設定してもよい。但し、オフ電流検出信号についても素子駆動 T_r2 の特性の経時変化の影響を多少とも受けるので、所定の周期 (例えば、装置電源投入毎、1 日毎、1 ヶ月毎など) で、オフ電流検出信号を更新することにより、ばらつき補正精度の維持の観点に有利である。

【0092】

なお、カソード電極を列毎に分割して、複数の列で 1 つの共通の電流検出部 330 を用

50

いて電流検出を実行する場合、オン電流検出特性とオフ電流特性の両方が、電流検出アンブ 3 3 2 毎にばらつく可能性がある。そこで、V b 設定部 3 5 4 に対し、周期的にオフ電流検出信号を更新する場合にも、初期値を固定的に設定する場合にも、上述のように、対応する電流検出アンブ 3 3 2 毎に得られたオフ電流検出信号を設定することが好適である。

【 0 0 9 3 】

[駆動方式]

次に、カソード電流の検査を実行する表示装置の駆動方法について説明する。以下の駆動方法では、検査行の画素に対し、検査用表示信号 V_{sig} として、検査用オン表示信号 (EL 発光) と検査用オフ表示信号 (EL 非発光) とを連続して印加する高速検査方式を採用した場合を例に説明する。なお、検査用のオン表示信号とオフ表示信号の順番は特に限定されないが、以下の例では、オフ、オンの順番としている。

10

【 0 0 9 4 】

(駆動方式 1)

駆動方式 1 では、上述のようにカソード電極を全画素共通とし、水平ブランキング期間中にカソード電流の検出を実行する。EL パネル 1 0 0 として、 y 行 x 列のマトリクスのパネルを最少した場合を例に、図 1 0 に示す駆動方式 1 におけるタイミングチャートを参照して以下説明する。

【 0 0 9 5 】

駆動方式 1 では、1 水平ブランキング期間中に所定の 1 行の k 列の画素に検査用信号を供給し、1 フレーム期間かけて k 列について全行 (n 行) の画素の検査を行い、さらにこれを y 回繰り返すことで全画素についてのカソード電流の検出を行う。

20

【 0 0 9 6 】

水平スタート信号 STH は、1 水平走査 (1 H) 期間の開始を示しており、図 1 0 に示すように n 行目の STH の立ち上がりから次行 ($n + 1$) 目の STH の立ち上がりまでが n 行目の 1 H 期間である。1 H 期間の最後には、水平 (H) ブランキング期間が設けられ、 n 行目の STH の立ち上がりから H ブランキング期間開始までの間には、通常通り n 行目の全画素が選択され、各画素に表示データ V_{sig} が書き込まれ、データに応じて EL 素子が発光して表示が行われる。なお、EL 素子の発光は、基本的に、次のフレームで同じ画素に次フレームのデータ信号が書き込まれるまで維持される。

30

【 0 0 9 7 】

本方式では、この n 行目の 1 H 期間の H ブランキングにおいて、所定の 1 列 (k 列目) の画素に、データライン 1 2 から検査用信号 (検査用オフ・オン表示信号) V_{sig} が供給される。

【 0 0 9 8 】

検査用信号は上述のように対応する画素の素子駆動 Tr_2 を飽和領域で動作させ、かつ EL 素子を非発光状態及び発光状態とするための所定の振幅の信号であり、カソード電極 CV からは図 1 0 のカソード電流 I_{cv} に示されるような電流が得られ、カソード電流検出部 3 3 0 がオンカソード電流、オフカソード電流を検出し、演算部 3 6 0 で差を求めることでオンオフ電流差信号 $V(I_{cv})$ を得る。

40

【 0 0 9 9 】

本方式では、カソード電流検出部 3 3 0 がカソード電流を検出した後、測定対象画素についてこの画素に測定直前まで保持されていたデータ信号 V_{sig} を再度書き込む。これは、1 H ブランキング期間に n 行目の k 列画素に対して検査用信号を書き込むことで、この画素への通常書き込みデータ V_{sig} が失われるため、そのままでは、 n 行目の 1 H 期間の後、次のフレームでこの n 行 k 列目の画素に新たなデータ信号 V_{sig} が書き込まれるまでの表示ができなくなってしまうためである。

【 0 1 0 0 】

ここで、行毎に設けられている容量ライン 1 4 (SC) の電位は、ブランキング期間中におけるカソード電流検出を妨げないように、ブランキング期間中、素子駆動 Tr_2 のゲー

50

トソース電圧 $|V_g - PVD D|$ が、その動作しきい値 $|V_{th}|$ を超えないように設定する。つまり、素子駆動 Tr_2 を自発的に動作しない非動作レベルとする第 1 電位に固定する。これにより、素子駆動 Tr_2 に接続された EL 素子 18 は非点灯で、カソード電流は発生しない。

【0101】

図 1 のように、素子駆動 Tr_2 として p - ch 型 T F T が採用されている場合、上記第 1 電位は所定の High レベル（例えば、P V D D と同レベル、又は、ゲートライン 10 の High レベル）とする。

【0102】

なお、以上では、容量ライン 14 の第 1 電位について素子駆動 Tr_2 の「非動作レベル」と説明しているが、データライン 12 から選択 Tr_1 を介して検査用オン信号が素子駆動 Tr_2 のゲートに供給された際、この素子駆動 Tr_2 のゲートには保持容量 C_s が接続されているから、そのゲート電位 V_g は、検査用オン信号の電位と、上記容量ライン 14 [n] の第 1 電位によって固定された所定ゲート電位との電位差分だけ変動する。よって、検査用オン信号によって素子駆動 Tr_2 のゲート電位をそのソース電位 (P V D D) より十分低くなるようにすると (Tr_2 が p - ch 型の場合)、素子駆動 Tr_2 は検査用オン信号に応じて EL 素子に対応する電流を供給することができる。

【0103】

容量ライン 14 のレベルは、H ブランキング期間において、全行について同様に素子駆動 Tr_2 の非動作レベルとすることもできる。しかし、本方式では、検査行である n 行の容量ライン 14 [n] については、データ信号の再書き込み期間において、その電位を通常書き込み時と同じ第 2 電位（ここでは Low レベル：一例として G N D）に変更し、再書き込みをより確実にしている。

【0104】

また、後述する図 12 のように電源ライン 16 (P V D D) を行毎に形成し、行毎にその電位を制御可能な回路構成を採用した場合には、図 10 のように、検査対象である n 行目の電源ライン 16 [n] (P V D D n) について、対応する H ブランキング期間中のデータ信号再書き込み期間中に所定の Low レベルに変更することも可能である。検査用信号の書き込み後、この行の P V D D 電位を Low レベルとすることで、データ信号再書き込み期間中に、データ信号の書き込みはするが、その EL 素子を非点灯とすることができ、検査の対象でない全画素は H ブランキング期間中に非点灯であるのに、検査対象の画素（列）が発光し、検査対象でない画素よりも、その発光期間の分だけ明るく視認されることを防止することができる。

【0105】

なお、容量ライン 14 と電源ライン 16 (P V D D) の電位を上記のように検査行について制御する場合において、少なくともデータ信号の再書き込み期間中には容量ライン 14 の電位を固定しておくことが好適である。容量ライン 14 の第 1 電位から通常の第 2 電位への変更タイミングは、再書き込み開始前とする。電源ラインの電位の変更は、上述の通り、通常電位から低電位へ変更することで検査用信号の供給による EL 素子の発光を停止させる効果を持つため、表示には無関係な発光期間を短縮する観点からは、やはり再書き込み開始前とすることが好適であるが、再書き込み開始後とすることもできる。

【0106】

以上、駆動方式 1 によれば、既に説明したように、V G A パネルの場合に、11 秒弱で全画素についてのカソード電流 (I_{cv}) を検出することができる。

【0107】

(駆動方式 2)

図 11 は、駆動方式 2 に係るタイミングチャートを示している。駆動方式 2 では、カソード電極が各画素共通で、1 垂直ブランキング期間中に 1 検査行に属する全画素に対するカソード電流検出を実行する。

【0108】

10

20

30

40

50

図 1 1 において、垂直スタート信号 S T V は、1 垂直走査 (1 V) 期間の開始を示しており、n フレーム目の 1 V 期間は、n 回目の S T V の立ち上がりから n + 1 回目の S T V の立ち上がりまでである。1 V 期間の最後には、垂直 (V) ブランキング期間が設けられている。

【 0 1 0 9 】

S T V の立ち上がりから V ブランキング開始までの間には、通常通り y 行 x 列のパネルの全画素が選択され、各画素に表示データ信号 V s i g が書き込まれ、そのデータ信号に応じて E L 素子が発光して表示が行われる。

【 0 1 1 0 】

本方式 2 では、1 V ブランキング期間の開始から n 行目の全画素を選択し、n 行目の全画素 (1 列目 ~ x 列目) に対し、データライン 1 2 から、順次、検査用信号 (オンオフ表示信号) V s i g を供給し、各列選択期間 (該当列への検査用信号供給期間) におけるカソード電流検出信号 (V (I c v)) を順次得る。全列についての検査用信号の書き込みが終了すると、ブランキング期間の終了までの間に、n 行目の全列画素に対し、検査前まで各画素に書き込まれていた表示データ信号を再書き込みする。なお、データライン 1 2 が列毎に設けられているので、n 行目の全列の画素に対し、同時にそれぞれ表示データ信号を書き込むことが可能である。

10

【 0 1 1 1 】

また、V ブランキング期間には、上記方式 1 の H ブランキング期間と同様、全行の容量ライン 1 4 を素子駆動 T r 2 の非動作電位に相当する第 1 電位とし、検査行の容量ライン 1 4 [n] についてのみ、検査ブランキング期間の再書き込み期間には、書き込みを容易とするため、第 2 電位とすることが好適である。

20

【 0 1 1 2 】

また、方式 1 と同様に、電源ライン 1 6 (P V D D) を行毎に設けた場合には、図 1 1 に例示するように検査行の電源ライン P V D D n を、データ信号の再書き込み期間中のみ所定の L o w レベルに変更する制御をしても良い。検査用信号の書き込み後、検査行 n の電源ライン P V D D n の電位を L o w レベルとすることで、検査用信号の供給による E L 素子の瞬間的な発光期間をより短時間に抑えることができるからである。

【 0 1 1 3 】

以上の駆動方式 2 によれば、既に説明したように、V G A パネルの場合に、約 8 秒で全画素についてのカソード電流 (V (I c v)) を検出することができる。

30

【 0 1 1 4 】

(駆動方式 3)

次に、図 1 2 及び図 1 3 を参照して駆動方式 3 について説明する。本方式では、図 1 2 に示すパネル構成例のように、カソード電極を列毎に分割しており、カソード電極ライン C V L が C V L [1] ~ C V L [x] だけ設けられている。また、カソード電流の検出は、図 1 3 に示すように、n 回目の 1 垂直走査期間の 1 V ブランキング期間に、1 検査行 (n 行目) を選択し、この n 行目の全画素 (1 列目 ~ x 列目の画素) について、上記列毎のカソード電極ライン C V L を利用して、同時にそれぞれのカソード電流 (V (I c v)) を検出する。

40

【 0 1 1 5 】

検査用信号書き込み期間の終了後、上記駆動方式 2 と同様に、対応する V ブランキング期間の終了までの間に、n 行目の全画素に対し、それぞれ検査用信号が供給される前に書き込まれていた表示データ信号の書き込みを行う。

【 0 1 1 6 】

また、上記方式 2 と同様に、容量ライン 1 4 の電位制御、及び、電源ライン 1 6 (P V D D) を行毎に設けた場合の電源電位制御については、これを実行することが好適である。つまり、容量ライン 1 4 については、V ブランキング期間中は第 1 電位 (素子駆動 T r 2 の非動作電位) とし、検査行の容量ライン 1 4 [n] のみ、その検査時の V ブランキング期間のデータ信号再書き込み時に第 2 電位とする。電源ラインについては、検査行の電

50

源ライン P V D D n についてのみ、上記データ信号再書き込み期間中に所定 L o w レベルとして検査用信号の供給による E L 素子の発光を停止させる。また、容量ライン 1 4 [n] と電源ライン P V D D n の電位変化タイミング、特に容量ライン 1 4 [n] の電位変化は、データ信号再書き込み期間中には行わないようにする。

【 0 1 1 7 】

以上の駆動方式 3 によれば、1 V 期間に 1 行分のカソード電流検出が実行でき、上述のように約 8 秒間で全画素についてのカソード電流検出を実行することができる。なお、本方式では、カソード電極を列毎に分割しているため、駆動方式 2 と異なり、1 列当たりの検査期間は、データ信号再書き込み期間以外を全て用いることができ、各データライン 1 2 に検査用信号を出力するための駆動回路の負荷や、電力消費を削減することができる。

10

【 0 1 1 8 】

ここで、本方式で分割したカソード電極ライン C V L [1] ~ C V L [x] は、図 1 2 に示すように、それぞれ個別に、C O G (Chip On Glass) 方式でパネル基板上に搭載された集積化駆動回路 (駆動部) 2 0 0 に接続されている。この駆動部 2 0 0 では、例えば、図 4 に示したような電流検出アンプ 3 3 2 を、各カソード電極ライン C V L [1] ~ C V L [x] に 1 対 1 で設けることにより、全カソード電極ライン (全列) について同時に、カソード電流を検出することができる。

【 0 1 1 9 】

また、1つの電流検出アンプ 3 3 2 を複数ライン (例えば 1 0 ライン) に対応付けることにより、電流検出アンプ数の削減を図ることもでき、アンプ数を削減することで、駆動部の面積削減に貢献することが可能となる。このように複数電源ライン毎に 1 つの電流検出アンプ 3 3 2 を設けた場合、1アンプに対応付けた電源ライン数 (例えば 1 0) だけ、1行に対する画素のカソード電流検出処理を繰り返すことで、図 1 3 の動作を実行する駆動部と同じドライバ構成により検査を実行することができる。

20

【 0 1 2 0 】

もちろん、1 V ブランキング期間の検出信号書き込み期間を、1アンプに対する電源ライン数に応じて分割し、1アンプで、対応付けた各電源ライン C V L からのカソード電流を順次検出することで、図 1 3 と同様の期間で全画素についてのカソード電流検出を実行することができる。

【 0 1 2 1 】

なお、図 1 2 の駆動部 2 0 0 は、カソード電極ライン C V L からのカソード電極の個別検出を行うだけでなく、上述の図 3 及び図 4 に示したような機能を備えており、表示部の駆動、ばらつき検出、ばらつき補正等を実行する。さらに、図 3 に示す駆動部 2 0 0 内のドライバ 2 2 0 については (図 1 2 では示していないが)、その機能の一部又は全てを、図 1 2 の C O G とは別に、Hドライバ、Vドライバとして、表示部の画素回路と同様にパネル基板上に内蔵形成することも可能である (図 1 参照)。

30

【 0 1 2 2 】

さらに、既に説明したが、このようなカソード電極ラインを列毎に設ける駆動方式 3 は、1水平走査期間内の水平ブランキング期間内にカソード電流検出を実行する方法に採用することも可能である。

40

【 0 1 2 3 】

図 1 4 は、上記駆動方式 3 を実現可能な画素回路の概略回路構成図を示している。図 1 に示す回路構成と相違する点は、電源ライン 1 6 (P V D D) が、列方向ではなく行方向に、行毎に設けられていること、カソード電極ライン C V L が列毎に設けられていることである。なお、カソード電極ライン C V L は、E L パネル 1 0 0 において、カソード電極が上部電極、アノード電極が下部電極として構成されている場合には、E L 層の上に形成するカソード電極を、列毎に分離した形状に形成することで実現することができる。なお、駆動方式 1 及び 2 においても、説明したように電源ライン 1 6 (P V D D) の電位を行毎に制御する場合には、図 1 4 のように電源ライン 1 6 を行方向に形成する。

【 0 1 2 4 】

50

[電流検出アンプ]

次に、電流検出アンプ 3 3 2 の構成例について説明する。図 4 に示す電流検出アンプ 3 3 2 に代えて、図 1 5 に示すようなアンプを採用することによってもカソード電流を検出することができる。図 1 5 のアンプは、いわゆるインストルメンテーション・アンプ型の構成を有しており、3 つのオペアンプ A 1、A 2、A 3 を備える。オペアンプ A 1 と A 2 とによって差動回路が構成され、オペアンプ A 3 がオペアンプ A 1、A 2 の差動出力を増幅する差動増幅回路として機能している。このようなインストルメンテーションアンプを電流検出アンプに用いることで、ノイズの影響を受けにくく、カソード電流を高い精度で検出することが容易となる。

【 0 1 2 5 】

オペアンプ A 1、A 2 の出力端 P 1、P 2 の間には抵抗 R 2、R 1、R 3 が直列に接続され、抵抗 R 2 と R 1 の接続点がアンプ A 1 の負入力端子に接続されている。また、抵抗 R 3 と R 1 の接続点はオペアンプ A 2 の負入力端子に接続されている。

【 0 1 2 6 】

一方、オペアンプ A 1、A 2 の正入力端子の間には、電流検出抵抗 R 0 が接続され、オペアンプ A 1 の正入力端子にはカソード電流 I c v が供給される。また、オペアンプ A 2 の正入力端子には入力信号 V i 2 として負電源電圧 V E E が供給されている。オペアンプ A 1 の正入力端子への入力信号 V i 1 (V i n) は、カソード電流 I c v が電流検出抵抗 R 0 に流れて生ずる電圧 (I c v ⋅ R 0) と、負電源電圧 V E E に応じた値となり、V E E + I c v ⋅ R 0 で表される。

【 0 1 2 7 】

オペアンプ A 1 の出力を V o 1、オペアンプ A 2 の出力を V o 2 で表すと、

【 数 3 】

$$V_{o1} = \left(1 + \frac{R_2}{R_1} \right) V_{in} - \frac{R_2}{R_1} \cdot V_{EE} \quad \dots \quad (3)$$

$$V_{o2} = \left(1 + \frac{R_3}{R_1} \right) V_{EE} - \frac{R_3}{R_1} \cdot V_{in} \quad \dots \quad (4)$$

上記式 (3)、(4) で示される。

この 2 つの出力の差が差動回路部の出力であり、

【 数 4 】

$$V_{o1} - V_{o2} = (V_{in} - V_{EE}) \left(1 + \frac{R_2 + R_3}{R_1} \right) \quad \dots \quad (5)$$

上記式 (5) で表される。

【 0 1 2 8 】

ここで、オペアンプ A 3 の負入力端子側に接続された抵抗 R 6 と、正入力端子側に接続された抵抗 R 4 の抵抗値は等しく、オペアンプ A 3 の負帰還路に設けられた抵抗 R 7 と、接地 (G N D) と、オペアンプ A 3 の正入力端子との間に設けられた抵抗 R 5 との抵抗値が等しい。このようなオペアンプ A 3 からの出力 V o は、接地電位に対して、下記式 (6)

10

20

30

40

【数 5】

$$V_o = \frac{R_7}{R_6} (V_{in} - V_{EE}) \left(1 + \frac{R_2 + R_3}{R_1} \right) \dots \quad (6)$$

で表される。

【0129】

図15に示す例では、インストルメンテーションアンプのオペアンプA2の正入力端子への入力信号として、上記の通り負電源電圧V_{EE}を供給している。ELパネルを素子駆動Tr2が飽和状態で動作する条件（通常表示動作に等しい条件）で、カソード電流を正確に検出することを目的とした場合、カソード電源は0Vよりも低い電位で、例えば-3V等に設定されるため、そのような電位におけるカソード電流を検出するには、比較用の入力信号V_{o2}として、同程度の電位（-3V等）の負電源V_{EE}が必要となる。また、各オペアンプA1～A3の動作電源としては、正動作電源V_{dd}、負動作電源V_{ee}が必要で、その内の負動作電源V_{ee}には、V_{EE}より低い電圧が必要となり、V_{dd}、V_{ee}は、例えば±15Vが採用される。

10

【0130】

ELパネル100等を用いる表示装置において、大きな負電源が必要な場合、ICが電源として使用する比較的小さな負電圧（例えば-1V）程度から、チャージポンプ回路やスイッチングレギュレータ回路などを利用して、大きな負電源を作成することが通常である。しかし、チャージポンプ回路などによって作成した負電源V_{EE}、V_{ee}には、リップル成分が重畳されることが多い。一方、本発明の各実施形態において、検出するカソード電流は微小であるため、高感度の電流検出アンプの基準電源として上記のような負電源V_{EE}、V_{ee}を採用する場合、検出結果に負電源のリップルなどのノイズが影響を及ぼす可能性がある。

20

【0131】

これに対し、図15のような構成のインストルメンテーションアンプの出力は、各オペアンプの電源V_{dd}、V_{ee}に影響を受け難い。また、オペアンプA1への入力信号V_{in}は、上記の通り、V_{EE} + I_{cv} * R₀で表され、出力信号V_oは上記(6)で示されるから、最終的な出力信号V_oから負電源電圧V_{EE}がキャンセルされる。したがって、電流検査を通常表示と同様の電源条件で実施しても、電流検出アンプとして図15に示すような構成のインストルメンテーションアンプを採用することでノイズの重畳を受けずに微弱なカソード電流を精度良く検出することができる。

30

【0132】

なお、負電源電圧V_{EE}は、カソード電源電圧V_{cv}と同程度の電圧であることが好適で、電流検査時に駆動電源P_{VDD}として通常動作時と同一の駆動電源P_{VDD}を採用する場合には、V_{EE}及びV_{cv}は例えば-3V程度の電位とする。

【0133】

一方、電流検出時にP_{VDD}の電位を通常動作時よりVだけ高く設定する場合には、カソード電源電圧V_{cv}及び負電源電圧V_{EE}もVだけ高くすることができ、0V（GND）程度の電位を採用することができる。この場合、アンプA1～A3の駆動電源V_{dd}、V_{ee}としても、少なくともV小さい電圧（例えば±10、又は±5V程度）を採用することが可能となる。このためチャージポンプ回路などの影響をより受けにくくなり、また、電流検出アンプでの電力消費を低減することが可能となる。さらに、EL素子のEL材料のIV特性が十分に急峻であれば、小さい電圧振幅差で所望の所望の電流I_{cv}が得られる。よって、この場合にもインストルメンテーションアンプの電源電圧範囲を小さく設定でき、低消費電力化、GND電位を用いることによる検出精度の正確性の向上などを実現することができる。

40

【0134】

50

[その他]

なお、以上において説明した各方式、構成においては、リアルタイムで各画素のカソード電流検出を行う場合について説明したが、この電流検出と補正処理は、表示装置の起動時においても実行しても良いし、もちろん、工場出荷時に各画素のカソード電流（オンオフ電流差 I_{cv} ）を測定して、予め補正データを記憶しておき、随時更新する又は特性の経時変化を検出しながらリアルタイムで補正をしても良い。特に、本実施形態では、工場出荷時において測定したカソード電流検出データ（初期データ）は、不揮発性メモリに記憶しておくことにより、工場出荷後、電源起動と共に、この初期データを用いて補正をすることができる。

【 0135 】

さらに、以上において説明したばらつき補正部 250 における補正に関しては、最終的に表示ばらつきの生ずる画素に供給するデータ信号が、適切なレベルに調整され、EL素子の発光輝度が補正されれば、その演算処理や補正処理方法は、特に限定されない。

【 0136 】

また、以上に説明したばらつき検出部 300 は、パネル制御部 210 と共に集積化することにより、非常に小型の駆動部によって、表示ばらつきの検出及び補正及び表示部の制御（表示）を実行可能な表示装置を提供することができる。さらに、ばらつき検出部 300 内の構成、例えば A/D 変換部、ラッチ回路、演算部、メモリ等について、これらをパネル制御部 210 の回路に兼用させることも可能であり、兼用により駆動部 200 を IC 化した場合、この IC チップサイズを低減することに寄与できる。

【 0137 】

ここで、上記駆動方法 1 ~ 3 のような手法によって全画素についての補正データを作成するには、一例として 10 秒程度かそれ以上の時間を要する。このため、装置電源投入時、常時、最上行の画素から順にカソード電流の検出を実行すると、1 回の走査時間の短い表示装置などにおいては、特に検査時間が長くなるほど、上部領域の画素に対するカソード電流検出が繰り返し行われることになる。

【 0138 】

そこで、図 3 に示す検査制御部 310 等が、装置電源の停止前に、検査用信号の供給及びカソード電流の検出を最後に実行した画素アドレスを記憶し、または常時検査を実行する画素アドレスを管理し、次に装置電源が投入された際には、前回の最後の画の次の画素から検査を実行するように制御してもよい。この際、メモリ 370 へのデータの書き込み（データ更新）は、電源停止直前に書き込んだ画素アドレスの次の画素アドレスに相当するデータを対象とする。このような検査対象の制御及びメモリの書き込み制御は、一例として、H ブランキング期間毎に検査をする場合には水平スタート信号 STH 、垂直スタート信号 STV をカウンタがカウントすることにより、或いは、上述のような上記スタート信号 STH 、 STV などから作成するフレームスタート信号 STF をカウントし、最新の検査対象、最新の補正データを得た画素アドレスを把握することができる。もちろん、検査対象の画素アドレス、メモリへの書き込みアドレスの制御をカウンタ以外の方法によって制御してもよい。

【 0139 】

さらに、電源投入時における検査対象の画素については、直前の電源停止時において検査対象画素がパネルのマトリクスの行の途中であった場合、次の電源投入時において、途中となった行の先頭画素（先頭列）から検査を実行してもよい。なお、電源投入後における検査対象を電源投入前の続きの画素アドレスから実行する場合の構成は、表示パネル 100 上に画素回路と共に内蔵する V ドライバ 210 V の一部として実現することができる。ただし、このような機能を実現するには回路の規模が大きくなるため、集積回路上に V ドライバ 210 V 及び上記制御信号発生回路を形成し、パネル上に COG 方法などによって搭載することが好適である。この場合の集積回路は、図 3 の駆動回路 200 に示す構成を全て作り込むことが可能である。

【 図面の簡単な説明 】

10

20

30

40

50

【 0 1 4 0 】

【 図 1 】 本発明の実施形態に係る E L 表示装置の概略回路構成の一例を説明する等価回路図である。

【 図 2 】 本発明の実施形態に係る素子駆動トランジスタの特性ばらつき測定原理を説明する図である。

【 図 3 】 本発明の実施形態に係る表示ばらつき補正機能を備えた E L 表示装置の構成例を示す図である。

【 図 4 】 図 3 の駆動部のより具体的な構成の一部を示す図である。

【 図 5 】 素子駆動 $T_r 2$ の動作しきい値のずれとそのずれの補正方法について説明する図である。

10

【 図 6 】 本発明の実施形態に係るメモリに記憶するオンオフ電流差信号のビット数削減のための設定例 1 の方法を説明するための図である。

【 図 7 】 本発明の実施形態に係る設定例 1 を実現する駆動部の構成例の一部を示す図である。

【 図 8 】 本発明の実施形態に係るメモリに記憶するオンオフ電流差信号のビット数削減のための設定例 2 の方法を説明するための図である。

【 図 9 】 本発明の実施形態に係る設定例 4 を実現する駆動部の構成例の一部を示す図である。

【 図 1 0 】 本発明の実施形態に係る駆動方式 1 を説明するタイミングチャートである。

【 図 1 1 】 本発明の実施形態に係る駆動方式 2 を説明するタイミングチャートである。

20

【 図 1 2 】 本発明の実施形態に係る駆動方式 3 を実行するパネルの概略構成を説明する図である。

【 図 1 3 】 本発明の実施形態に係る駆動方式 3 を説明するタイミングチャートである。

【 図 1 4 】 本発明の実施形態に係る E L 表示装置の概略回路構成の図 1 とは別の例を説明する概略回路図である。

【 図 1 5 】 本発明の実施形態に係る電流検出アンプの例を示す図である。

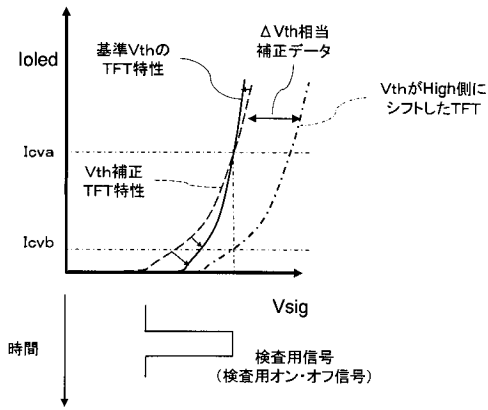
【 符号の説明 】

【 0 1 4 1 】

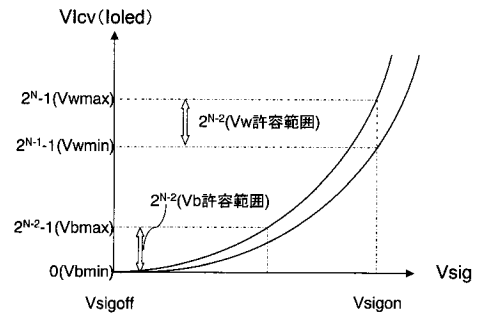
1 0 0 E L パネル、 2 0 0 駆動部 (パネル駆動装置)、 2 2 0 ドライバ、 2 2 2 検査用制御信号発生回路、 2 3 0 信号処理部、 2 4 0 タイミング信号作成 (T / C) 部、 2 5 0 ばらつき補正部、 2 8 0 補正パラメータ設定部 (補正值記憶部)、 3 0 0 ばらつき検出部、 3 1 0 検査制御部、 3 2 0 検査用信号発生回路、 3 3 0 カソード (C V) 電流検出部、 3 3 2 電流検出アンプ、 3 4 0 A / D 変換部、 3 5 0 ラッチ回路、 3 5 2 V w ラッチ回路、 3 5 4 V b ラッチ回路、 3 5 6 V b 設定部、 3 6 0 演算部、 3 7 0 メモリ、 3 8 0 補正データ作成部。

30

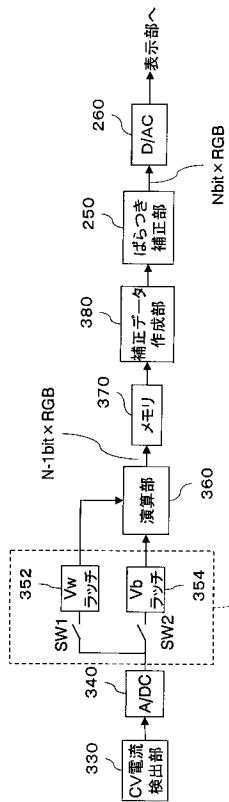
【 図 5 】



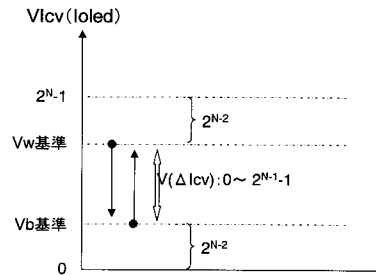
【 図 6 】



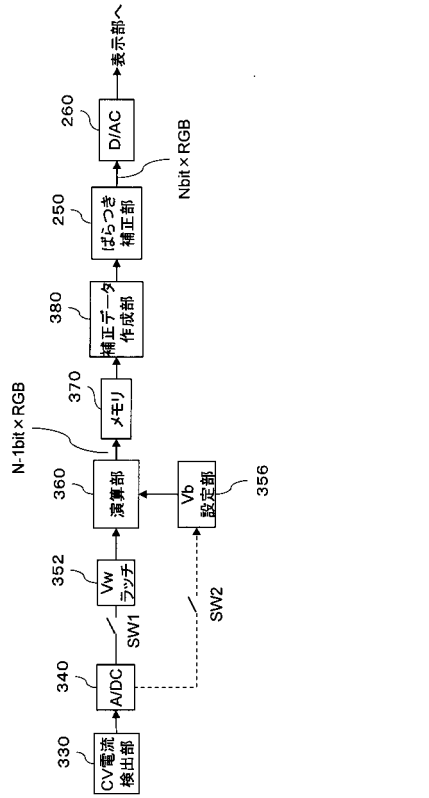
【 図 7 】



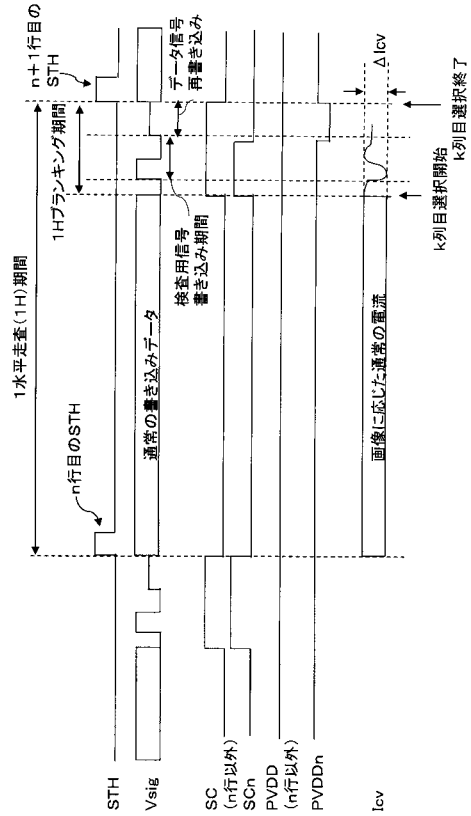
【 図 8 】



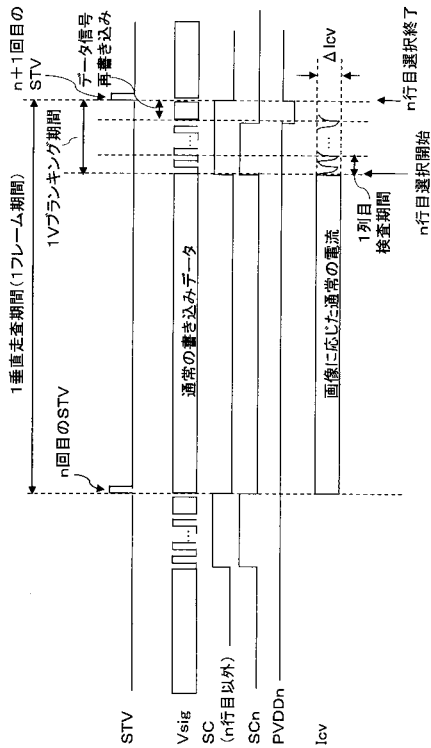
【図 9】



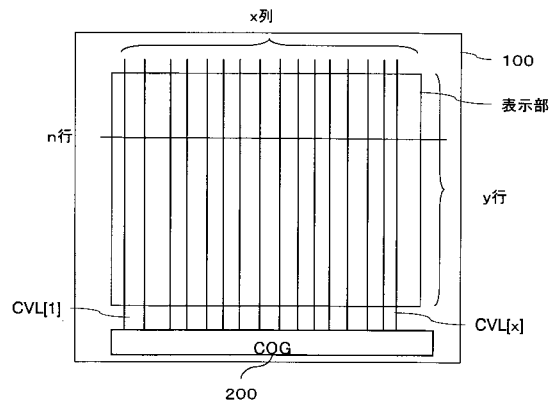
【図 10】



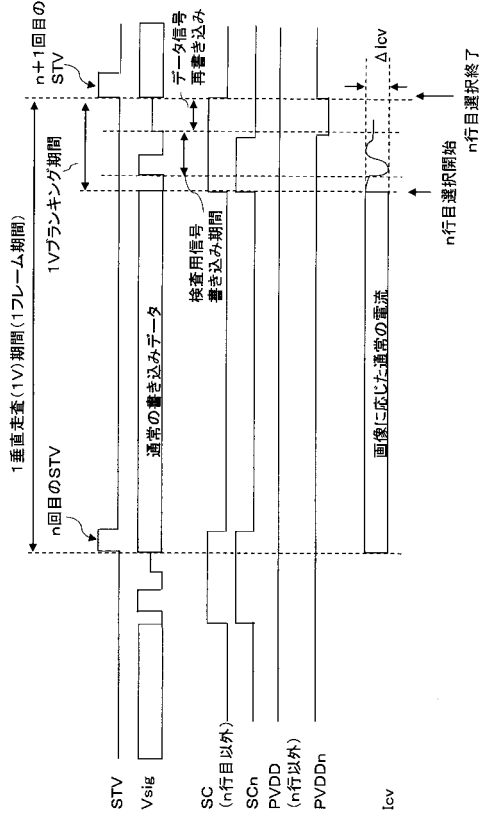
【図 11】



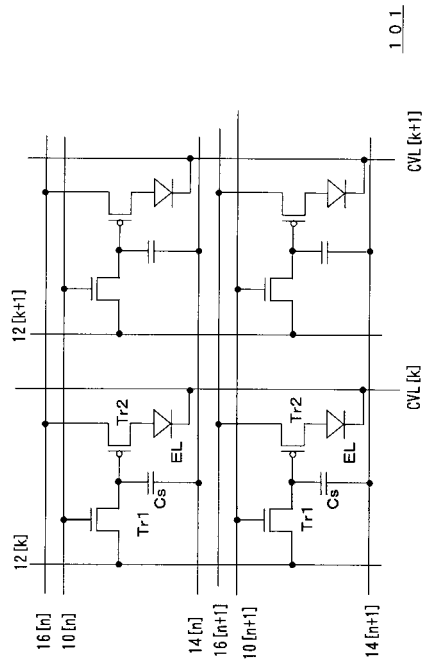
【図 12】



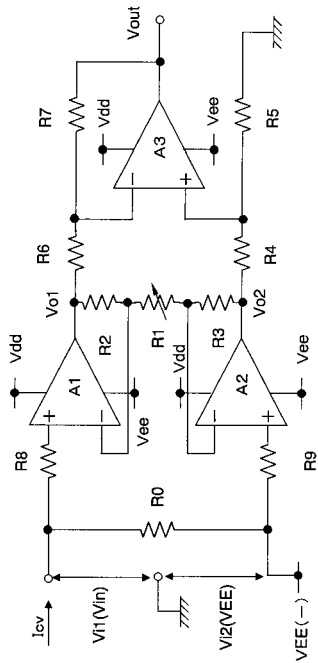
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



【手続補正書】

【提出日】平成20年4月11日(2008.4.11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0090

【補正方法】変更

【補正の内容】

【0090】

図9は、設定例4の動作を実行する駆動回路の構成の一例を示している。図7に示す構成と相違する点はラッチ回路350である。オン電流検出信号Vwを保持するラッチ回路352は図7と共通するが、オン電流検出信号と前後して得られるオフ電流差信号は、得られる度には、Vb設定部356に設定しない。オフ電流検出信号Vbを設定するタイミングは、例えばVb設定部356とA/D変換器340との間に設けたスイッチSW2の開タイミングを制御して所定の複数画素への検査用信号の供給毎とすることなどによって実行できる。具体的には、所定行毎に1回、所定列毎に1回というように、想定されるオフ電流検出信号の特性変動の顕在化する長さに応じて供給周期を設定することができる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0091

【補正方法】変更

【補正の内容】

【0091】

また、表示装置の出荷前など、予めこのオフ電流検出信号を求め、固定値としてVb設定部356に設定してもよい。但し、オフ電流検出信号についても素子駆動Tr2の特性の経時変化の影響を多少とも受けるので、所定の周期(例えば、装置電源投入毎、1日毎、1ヶ月毎など)で、オフ電流検出信号を更新することにより、ばらつき補正精度の維持の観点において有利である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0092

【補正方法】変更

【補正の内容】

【0092】

なお、カソード電極を列毎に分割して、複数の列で1つの共通の電流検出部330を用いて電流検出を実行する場合、オン電流検出特性とオフ電流特性の両方が、電流検出アンプ332毎にばらつく可能性がある。そこで、Vb設定部356に対し、周期的にオフ電流検出信号を更新する場合にも、初期値を固定的に設定する場合にも、上述のように、対応する電流検出アンプ332毎に得られたオフ電流検出信号を設定することが好適である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正の内容】

【0094】

(駆動方式1)

駆動方式1では、上述のようにカソード電極を全画素共通とし、水平ブランキング期間中にカソード電流の検出を実行する。ELパネル100として、y行x列のマトリクスのパネルを採用した場合を例に、図10に示す駆動方式1におけるタイミングチャートを参照して以下説明する。

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 4 1 P	
	G 0 9 G 3/20 6 1 2 T	

(72)発明者 小川 隆司

群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内

Fターム(参考) 3K107 AA01 BB01 CC33 EE03 EE66 HH04

5C080 AA06 BB05 DD05 DD22 EE29 FF11 GG12 HH09 JJ02 JJ03

JJ04 JJ05

专利名称(译)	发光显示装置		
公开(公告)号	JP2008242323A	公开(公告)日	2008-10-09
申请号	JP2007086007	申请日	2007-03-28
[标]申请(专利权)人(译)	三洋电机株式会社 三洋半导体株式会社		
申请(专利权)人(译)	三洋电机株式会社 三洋半导体有限公司		
[标]发明人	日置耕作 小川隆司		
发明人	日置 耕作 小川 隆司		
IPC分类号	G09G3/30 H01L51/50 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0842 G09G2310/027 G09G2320/0285 G09G2320/0295 G09G2320/043 G09G2320/0673 G09G2320/0693		
FI分类号	G09G3/30.K H05B33/14.A G09G3/20.624.B G09G3/20.611.H G09G3/20.631.R G09G3/20.641.P G09G3/20.612.T G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/EE66 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/GG12 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB18 5C380/BA01 5C380/BA08 5C380/BA15 5C380/BA22 5C380/BA39 5C380/BB03 5C380/BB23 5C380/CA04 5C380/CA12 5C380/CB01 5C380/CB19 5C380/CB20 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC41 5C380/CC42 5C380/CC62 5C380/CD012 5C380/CF01 5C380/CF05 5C380/CF09 5C380/CF17 5C380/CF21 5C380/CF27 5C380/CF28 5C380/CF41 5C380/CF48 5C380/CF49 5C380/DA06 5C380/DA35 5C380/DA39 5C380/DA49 5C380/EA05 5C380/EA12 5C380/FA03 5C380/FA24 5C380/FA28 5C380/GA05 5C380/GA17 5C380/GA18		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

要解决的问题：使用小型存储器通过EL显示设备补偿显示器的色散。
 ZSOLUTION：通过向像素提供用于检查的显示信号进行检查以检测阴极电流来操作EL元件。在存储器中，存储具有比从视频信号提供给各个信号的显示数据信号的位数小的位数的阴极电流检测信号，以用于补偿色散。考虑到导电电流检测信号的波动允许范围，例如通过仅存储值可能波动的位位置等，减小存储器的存储容量而不影响色散的补偿精度。之

