

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-109438

(P2007-109438A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/10 (2006.01)	H05B 33/10	3K007
H01L 51/50 (2006.01)	H05B 33/14 A	4K029
C23C 14/12 (2006.01)	C23C 14/12	
C23C 14/24 (2006.01)	C23C 14/24 C	
	C23C 14/24 R	
審査請求 未請求 請求項の数 4 O L (全 13 頁)		

(21) 出願番号 特願2005-296604 (P2005-296604)

(22) 出願日 平成17年10月11日 (2005.10.11)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式会
社

東京都港区港南4-1-8

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100075672

弁理士 峰 隆司

最終頁に続く

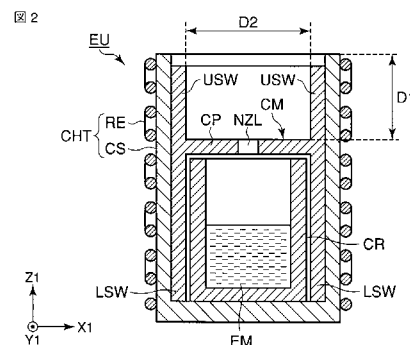
(54) 【発明の名称】 有機EL表示装置の製造装置及び製造方法

(57) 【要約】

【課題】 有機EL素子の特性のばらつきを抑制する。

【解決手段】 本発明の有機EL表示装置の製造装置は、真空チャンバと、真空チャンバ内に配置され、基板を水平に支持する基板ホルダと、真空チャンバ内に配置され、蒸発材料EMを収容する坩堝CRと、基板の主面に平行な方向に配列すると共に坩堝CRを挟んで互いに向き合った一対の放熱面を備えたヒータCHTと、坩堝CRの開口を塞ぐと共に貫通孔NZLが設けられた蓋板CPを備えた蓋部材CMとを含んだ蒸発ユニットEUと、蒸発ユニットEUを基板の下方で基板に対して一対の放熱面の配列方向に相対的に移動させる移動機構とを具備し、一対の放熱面の上部は蓋板CPの上面を含む平面から上方へと延びており、蓋板CPの上面から一対の放熱面の各上端までの基板の主面に垂直な方向の距離D1は18mm以上であることを特徴とする。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

真空チャンバと、

前記真空チャンバ内に配置され、基板を水平に支持する基板ホルダと、

前記真空チャンバ内に配置され、蒸発材料を収容する坩堝と、前記基板の主面に平行な方向に配列すると共に前記坩堝を挟んで互いに向き合った一对の放熱面を備えたヒータと、前記坩堝の開口を塞ぐと共に貫通孔が設けられた蓋板を備えた蓋部材とを含んだ蒸発ユニットと、

前記蒸発ユニットを前記基板の下方で前記基板に対して前記一对の放熱面の配列方向に相対的に移動させる移動機構とを具備し、

前記一对の放熱面の上部は前記蓋板の上面を含む平面から上方へと延びており、前記蓋板の上面から前記一对の放熱面の各上端までの前記基板の主面に垂直な方向の距離は 18 mm 以上であることを特徴とする有機 EL 表示装置の製造装置。

10

【請求項 2】

前記蓋部材は、各々が前記貫通孔の両側で前記蓋板から上方に延びると共に前記一对の放熱面とそれぞれ向き合った一对の上部側壁をさらに備えたことを特徴とする請求項 1 に記載の製造装置。

【請求項 3】

前記距離は 58 mm 以下であることを特徴とする請求項 1 に記載の製造装置。

【請求項 4】

絶縁基板と、その上に配置された第 1 電極と、前記第 1 電極と向き合った第 2 電極と、前記第 1 及び第 2 電極間に介在すると共に発光層を含んだ活性層とを具備した有機 EL 表示装置の製造方法であって、請求項 1 に記載の製造装置を用いて前記活性層が含む少なくとも 1 つの層を形成することを特徴とする製造方法。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、有機エレクトロルミネッセンス (EL) 装置の製造装置及び製造方法に関する。

【背景技術】

30

【0002】

有機 EL 素子は、発光層を含む活性層を一对の電極で挟んだ構造を有している。活性層が含む各層は、例えば、特許文献 1 に記載されるような真空蒸着法により形成することができる。

【0003】

ところで、有機 EL 素子の特性を均一化するうえでは、活性層が含む各層の膜厚や発光層が含むドーパント材料の濃度の有機 EL 素子間におけるばらつきを抑制することが重要である。しかしながら、有機 EL 表示装置の製造では、これらのばらつきは必ずしも十分に抑制されていない。

【特許文献 1】特開 2003 - 157973 号公報

40

【発明の開示】**【発明が解決しようとする課題】****【0004】**

本発明の目的は、有機 EL 素子の特性のばらつきを抑制することにある。

【課題を解決するための手段】**【0005】**

本発明の第 1 側面によると、真空チャンバと、前記真空チャンバ内に配置され、基板を水平に支持する基板ホルダと、前記真空チャンバ内に配置され、蒸発材料を収容する坩堝と、前記基板の主面に平行な方向に配列すると共に前記坩堝を挟んで互いに向き合った一对の放熱面を備えたヒータと、前記坩堝の開口を塞ぐと共に貫通孔が設けられた蓋板を備

50

えた蓋部材とを含んだ蒸発ユニットと、前記蒸発ユニットを前記基板の下方で前記基板に対して前記一対の放熱面の配列方向に相対的に移動させる移動機構とを具備し、前記一対の放熱面の上部は前記蓋板の上面を含む平面から上方へと延びており、前記蓋板の上面から前記一対の放熱面の各上端までの前記基板の主面に垂直な方向の距離は18mm以上であることを特徴とする有機EL表示装置の製造装置が提供される。

【0006】

本発明の第2側面によると、絶縁基板と、その上に配置された第1電極と、前記第1電極と向き合った第2電極と、前記第1及び第2電極間に介在すると共に発光層を含んだ活性層とを具備した有機EL表示装置の製造方法であって、第1側面に係る製造装置を用いて前記活性層が含む少なくとも1つの層を形成することを特徴とする製造方法が提供される。 10

【発明の効果】

【0007】

本発明によると、有機EL素子の特性のばらつきを抑制することができる。

【発明を実施するための最良の形態】

【0008】

以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、各図において、同様又は類似する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

図1は、本発明の一態様に係るプロセスで使用可能な真空蒸着装置の一例を概略的に示す図である。図2は、図1の真空蒸着装置が含む蒸発ユニットを概略的に示す断面図である。 20

【0010】

図1の真空蒸着装置は、真空排気系に接続された真空チャンバVCと、図示しない移動機構と、コントローラCNTとを含んでいる。

【0011】

真空チャンバVCは、典型的には、複数の真空チャンバで薄膜を順次成膜するマルチチャンバ型枚葉式装置に組み込まれる。真空チャンバVC内には、基板ホルダHLDと、蒸発ユニットEUと、膜厚センサSNSと、上部シールド板USPとが配置されている。 30

【0012】

基板ホルダHLDは、基板ASを、その被成膜面が略水平となるように及び蒸発ユニットEUと向き合うように着脱可能に支持している。この例では、基板ホルダHLDは、マスクMSKを支持するマスクホルダを兼ねている。なお、この例では、水平面はX1方向及びY1方向に対して平行であり且つZ1方向に対して垂直である。また、この例では、X1方向とY1方向とZ1方向とは互いに直交している。

【0013】

膜厚センサSNSは、例えば、水晶板の両面に電極を配置した構造を含んでおり、コントローラCNTと共に水晶膜厚計を構成している。膜厚センサSNSは、基板ASとX1方向に隣り合うように配置されている。典型的には、膜厚センサSNSは、その検出部の高さが基板ASの被成膜面の高さとはほぼ等しくなるように配置される。 40

【0014】

上部シールド板USPは、膜厚センサSNSの下方に、その主面が略水平となるように配置されている。上部シールド板USPには、その膜厚センサSNSの検出部と向き合った部分に貫通孔が設けられている。上部シールド板USPは、後述する蒸発材料EMが不所望な位置で堆積するのを防止する。

【0015】

蒸発ユニットEUは、図2に示すように、坩堝CRと、ヒータCHTと、蓋部材CMとを含んでいる。

【0016】

坩堝CRは、Y1方向に細長い形状を有している。坩堝CRは、蒸発材料EMを収容す 50

る。坩堝 C R は、例えば、石英、金属材料、カーボンなどからなる。

【 0 0 1 7 】

ヒータ C H T は、坩堝 C R を加熱し、これにより、それに収容された蒸発材料 E M を蒸発させる。ヒータ C H T に供給する電力の大きさは、膜厚センサ S N S からの出力に基づき、コントローラ C N T によって制御する。

【 0 0 1 8 】

ヒータ C H T は、例えば、抵抗加熱ヒータである。この例では、ヒータ C H T は、カーボン基材 C S と抵抗素子 R E とを含んでいる。

【 0 0 1 9 】

カーボン基材 C S は、この例では、Y 1 方向に細長い略樋形状を有している。カーボン基材 C S が形成している樋の深さは、坩堝 C R の高さよりも深い。坩堝 C R は、カーボン基材 C S が形成している樋の中に配置されている。

【 0 0 2 0 】

抵抗素子 R E は、図示しない絶縁層を介して、カーボン基材 C S 上に配置されている。具体的には、抵抗素子 R E は、図示しない絶縁層を介して、カーボン基材 C S が形成している樋の、X 1 方向に垂直な外側側面上に配置されている。

【 0 0 2 1 】

このヒータ C H T では、抵抗素子 R E は、主に熱伝導によりカーボン基材 C S を加熱する。カーボン基材 C S が形成している樋の内面、特に X 1 方向に垂直な一対の内側側面、は、放熱面としての役割を果たす。

【 0 0 2 2 】

蓋部材 C M は、この例では、蓋板 C P と、一対の下部側壁 L S W と、一対の上部側壁 U S W とを含んでいる。蓋部材 C M の材料としては、例えば、石英、金属材料、カーボンなどを使用することができる。

【 0 0 2 3 】

蓋板 C P は、坩堝 C R の開口を塞いでいる。蓋板 C P には 1 つ以上の貫通孔が設けられており、この貫通孔は、気化した蒸発材料 E M を吐出するノズル N Z L を形成している。蓋板 C P の上面は、カーボン基材 C S が形成している樋の上端よりも下方に位置している。

【 0 0 2 4 】

一対の下部側壁 L S W は、各々が X 1 方向に垂直であり、蓋板 C P から下方に延びている。これら下部側壁 L S W は、カーボン基材 C S が形成している樋の中に配置されている。坩堝 C R は、これら下部側壁 L S W の間に配置されている。

【 0 0 2 5 】

一対の上部側壁 U S W は、各々が X 1 方向に垂直であり、蓋板 C P から上方に延びている。これら上部側壁 L S W は、カーボン基材 C S が形成している樋の中に配置されると共に、ノズル N Z L の上部の領域を挟んでいる。上部側壁 U S W の上端は、カーボン基材 C S が形成している樋の上端と等しい高さか又はそれよりも下方に位置している。典型的には、上部側壁 U S W の上端は、カーボン基材 C S が形成している樋の上端よりも下方に位置している。

【 0 0 2 6 】

移動機構は、基板 A S に対して、蒸発ユニット E U を X 1 方向に相対的に移動させる。典型的には、移動機構は、蒸発ユニット E U を X 1 方向に移動させる。

【 0 0 2 7 】

コントローラ C N T は、移動機構と膜厚センサ S N S とヒータ C H T とに接続されている。コントローラ C N T は、移動機構の動作を制御する。加えて、コントローラ C N T は、膜厚センサ S N S の出力に基づいてヒータ C H T に供給する電力の大きさを制御する。

【 0 0 2 8 】

図 3 は、本発明の一態様に係るプロセスで製造可能な有機 E L 表示装置の一例を概略的に示す平面図である。図 4 は、図 3 の有機 E L 表示装置で使用可能な表示パネルの一例を

10

20

30

40

50

概略的に示す断面図である。図 5 は、図 4 の表示パネルが含み得る有機 E L 素子の一例を概略的に示す断面図である。なお、図 4 では、表示パネルを、その表示面、すなわち前面又は光出射面、が下方を向き、背面が上方を向くように描いている。

【 0 0 2 9 】

この表示装置は、アクティブマトリクス型駆動方式を採用した下面発光型の有機 E L 表示装置である。この有機 E L 表示装置は、図 3 に示すように、表示パネル D P と、映像信号線ドライバ X D R と、走査信号線ドライバ Y D R とを含んでいる。

【 0 0 3 0 】

表示パネル D P は、図 3 及び図 4 に示すように、例えば、ガラス基板などの絶縁基板 S U B を含んでいる。

【 0 0 3 1 】

基板 S U B 上には、図 4 に示すように、アンダーコート層 U C が形成されている。アンダーコート層 U C は、例えば、基板 S U B 上に S i N_x 層と S i O_x 層とをこの順に積層してなる。

【 0 0 3 2 】

アンダーコート層 U C 上では、半導体層 S C が配列している。各半導体層 S C は、例えば、p 型領域と n 型領域とを含んだポリシリコン層である。

【 0 0 3 3 】

アンダーコート層 U C 上では、図示しない下部電極がさらに配列している。これら下部電極は、例えば、n⁺型ポリシリコン層である。

【 0 0 3 4 】

半導体層 S C 及び下部電極は、ゲート絶縁膜 G I で被覆されている。ゲート絶縁膜 G I は、例えば T E O S (tetraethyl orthosilicate) などを用いて形成することができる。

【 0 0 3 5 】

ゲート絶縁膜 G I 上には、図 3 に示す走査信号線 S L 1 及び S L 2 が形成されている。走査信号線 S L 1 及び S L 2 は、図 3 に示すように、各々が後述する画素 P X の行方向 (X 2 方向) に延びており、画素 P X の列方向 (Y 2 方向) に配列している。走査信号線 S L 1 及び S L 2 は、例えば M o W などからなる。

【 0 0 3 6 】

ゲート絶縁膜 G I 上では、図示しない上部電極がさらに配列している。これら上部電極は、例えば M o W などからなる。上部電極は、走査信号線 S L 1 及び S L 2 と同一の工程で形成することができる。

【 0 0 3 7 】

走査信号線 S L 1 及び S L 2 のそれぞれは半導体層 S C と交差しており、これら交差部は薄膜トランジスタを構成している。また、上部電極は半導体層 S C と交差しており、これら交差部も薄膜トランジスタを構成している。具体的には、走査信号線 S L 1 と半導体層 S C との交差部が形成している薄膜トランジスタは、図 3 及び図 4 に示す出力制御スイッチ S W a である。走査信号線 S L 2 と半導体層 S C との交差部が形成している薄膜トランジスタは、図 3 に示すダイオード接続スイッチ S W c 及び映像信号供給制御スイッチ S W b である。上部電極と半導体層 S C との交差部が形成している薄膜トランジスタは、図 3 に示す駆動制御素子 D R である。

【 0 0 3 8 】

なお、この例では、駆動制御素子 D R 及びスイッチ S W a 乃至 S W c には、トップゲート型の p チャネル薄膜トランジスタを使用している。また、図 4 において参照符号 G で示す部分は、走査信号線 S L 1 に接続された、スイッチ S W a のゲートである。

【 0 0 3 9 】

上部電極は、下部電極と向き合っている。上部電極と下部電極とそれらの間に介在している絶縁膜 G I とは、図 3 に示すキャパシタ C を構成している。

【 0 0 4 0 】

ゲート絶縁膜 G I 、走査信号線 S L 1 及び S L 2 、並びに上部電極は、図 4 に示す層間

10

20

30

40

50

絶縁膜 I I で被覆されている。層間絶縁膜 I I は、例えばプラズマ C V D 法などにより成膜された SiO_x などからなる。

【0041】

層間絶縁膜 I I 上には、図 3 に示す映像信号線 D L と電源線 P S L とが形成されている。層間絶縁膜 I I 上には、図 4 に示すソース電極 S E 及びドレイン電極 D E がさらに形成されている。

【0042】

映像信号線 D L は、図 1 に示すように、各々が Y 2 方向に延びており、X 2 方向に配列している。映像信号線 D L は、画素 P X が含む映像信号供給制御スイッチ S W b のドレインに接続されている。

【0043】

電源線 P S L は、この例では、各々が Y 2 方向に延びており、X 2 方向に配列している。電源線 P S L は、駆動制御素子 D R のソースに接続されている。

【0044】

ソース電極 S E 及びドレイン電極 D E は、層間絶縁膜 I I 及びゲート絶縁膜 G I に設けられたコンタクトホールを介して薄膜トランジスタのソース及びドレインにそれぞれ接続されている。ソース電極 S E 及びドレイン電極 D E は、画素 P X が含む素子間の接続に利用している。

【0045】

映像信号線 D L と電源線 P S L とソース電極 S E とドレイン電極 D E とは、例えば、M o / A l / M o の三層構造を有している。これらは、同一工程で形成可能である。

【0046】

映像信号線 D L と電源線 P S L とソース電極 S E とドレイン電極 D E とは、図 4 に示すパッシベーション膜 P S で被覆されている。パッシベーション膜 P S は、例えば SiN_x などからなる。

【0047】

パッシベーション膜 P S 上では、画素電極 P E が配列している。各画素電極 P E は、パッシベーション膜 P S に設けたコンタクトホールを介して、図 4 のドレイン電極 D E に接続されている。

【0048】

画素電極 P E は、この例では光透過性の前面電極である。また、画素電極 P E は、この例では陽極である。画素電極 P E の材料としては、例えば、I T O (indium tin oxide) などの透明導電性酸化物を使用することができる。

【0049】

パッシベーション膜 P S 上には、さらに、隔壁絶縁層 P I が形成されている。隔壁絶縁層 P I には、画素電極 P E に対応した位置に貫通孔が設けられているか、或いは、画素電極 P E が形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層 P I には、画素電極 P E に対応した位置に貫通孔が設けられていることとする。

【0050】

隔壁絶縁層 P I は、例えば、有機絶縁層である。隔壁絶縁層 P I は、例えば、フォトリソグラフィ技術を用いて形成することができる。

【0051】

画素電極 P E 上には、活性層として、図 5 に示す発光層 E M T を含んだ活性層 O R G が形成されている。発光層 E M T は、例えば、発光色が赤色、緑色、又は青色のルミネセンス性有機化合物を含んだ薄膜である。この活性層 O R G は、発光層 E M T に加え、正孔輸送層 H T 及び電子輸送層 E T、並びに、図示しない正孔注入層、正孔ブロッキング層、及び電子注入層などもさらに含むことができる。

【0052】

発光層 E M T は、典型的には、ホスト材料とゲスト材料とを含んだ混合物からなる。

10

20

30

40

50

ホスト材料としては、アントラセン類、アミン類、スチリル類、シロール類、アゾール類、ポリフェニル類、金属錯体類などの有機物又は有機金属化合物を使用することができる。例えば、ホスト材料として、ジフェニルアントラセン誘導体、ビスカルバゾール、スチリルアミン、ジスチリルアリーレン、オキサゾール、オキサジアゾール、ベンゾイミダゾール、トリス(8-ヒドロキシキノレート)アルミニウム(Alq_3)などを使用してもよい。

【0053】

ドーパント材料としては、ジシアノメチレンピラン類、ジシアノ類、フェノキサゾン類、チオキサントン類、ルブレン類、スチリル類、クマリン類、キナクリドン類、縮合多環芳香環類、重金属錯体類などの有機物又は有機金属化合物を使用することができる。例えば、ドーパント材料として、クマリン、ルブレン、ペリレン、アザチオキサントン、N-メチルキナクリドン、ジフェニルナフタセン、ペリフランテン、フェニルピリジンをイリジウムに3配位させた錯体($Ir(ppy)_3$)などを使用してもよい。

10

【0054】

隔壁絶縁層PI及び活性層ORGは、図4及び図5に示す対向電極CEで被覆されている。この例では、対向電極CEは、画素PX間で互いに接続された電極、すなわち共通電極、である。また、この例では、対向電極CEは、陰極であり且つ光反射性の背面電極である。対向電極CEは、例えば、パッシベーション膜PSと隔壁絶縁層PIとに設けられたコンタクトホールを介して、映像信号線DLと同一の層上に形成された電極配線(図示せず)に電氣的に接続されている。各々の有機EL素子OLEDは、画素電極PEと、活性層ORGと、対向電極CEとを含んでいる。

20

【0055】

画素PXは、図3に示すように、駆動制御素子DRと、スイッチSWa乃至SWcと、有機EL素子OLEDと、キャパシタCとを含んでいる。上記の通り、この例では、駆動制御素子DR及びスイッチSWa乃至SWcにはpチャネル薄膜トランジスタを使用している。

【0056】

駆動制御素子DRと出力制御スイッチSWaと有機EL素子OLEDとは、第1電源端子ND1と第2電源端子ND2との間で、この順に直列に接続されている。この例では、電源端子ND1は高電位電源端子であり、電源端子ND2は低電位電源端子である。

30

【0057】

具体的には、駆動制御素子DRのソースは電源端子ND1に接続されており、有機EL素子OLEDの対向電極CEは電源端子ND2に接続されている。出力制御スイッチSWaは、駆動制御素子DRのドレインと有機EL素子OLEDの画素電極PEとの間に接続されており、そのゲートは走査信号線SL1に接続されている。

【0058】

キャパシタCは、定電位端子ND1'と駆動制御素子DRのゲートとの間に接続されている。この例では、キャパシタCは、下部電極が電源線PSLに接続されており、上部電極が駆動制御素子DRのゲートに接続されている。

【0059】

映像信号供給制御スイッチSWbは、映像信号線DLと駆動制御素子DRのドレインとの間に接続されている。映像信号供給制御スイッチSWbのゲートは、走査信号線SL2に接続されている。

40

【0060】

ダイオード接続スイッチSWcは、駆動制御素子DRのドレインとゲートとの間に接続されている。ダイオード接続スイッチSWcのゲートは、走査信号線SL2に接続されている。

【0061】

なお、この表示パネルDPから活性層ORGと対向電極CEとを省略したものがアレイ基板ASに相当している。

50

【 0 0 6 2 】

映像信号線ドライバXDR及び走査信号線ドライバYDRは、この例では、表示パネルDPにCOG (chip on glass) 実装している。映像信号線ドライバXDR及び走査信号線ドライバYDRは、COG実装する代わりに、TCP (tape carrier package) 実装してもよい。

【 0 0 6 3 】

映像信号線ドライバXDRには、映像信号線DLが接続されている。この例では、映像信号線ドライバXDRには、電源線PSLがさらに接続されている。映像信号線ドライバXDRは、映像信号線DLに映像信号として電流信号を出力すると共に、電源線PSLに電源電圧を供給する。

10

【 0 0 6 4 】

走査信号線ドライバYDRには、走査信号線SL1及びSL2が接続されている。この例では、走査信号線ドライバYDRは、走査信号線SL1及びSL2にそれぞれ走査信号として電圧信号を出力する。

【 0 0 6 5 】

この有機EL表示装置で画像を表示する場合、例えば、走査信号線SL1及びSL2の各々を線順次駆動する。そして、或る行の画素PXに映像信号を書き込む書込期間では、まず、走査信号線ドライバYDRから、先の画素PXが接続された走査信号線SL1にスイッチSWaを開く(OFF)走査信号を電圧信号として出力し、続いて、先の画素PXが接続された走査信号線SL2にスイッチSWb及びSWcを閉じる(ON)走査信号を電圧信号として出力する。この状態で、映像信号線ドライバXDRから、先の画素PXが接続された映像信号線DLに映像信号を電流信号としてそれぞれ出力し、駆動制御素子DRのゲート-ソース間電圧を、先の映像信号に対応した大きさに設定する。その後、走査信号線ドライバYDRから、先の画素PXが接続された走査信号線SL2にスイッチSWb及びSWcを開く(OFF)走査信号を電圧信号として出力し、続いて、先の画素PXが接続された走査信号線SL1にスイッチSWaを閉じる(ON)走査信号を電圧信号として出力する。

20

【 0 0 6 6 】

スイッチSWaを閉じ(ON)ている有効表示期間では、有機EL素子OLEDには、駆動制御素子DRのゲート-ソース間電圧に対応した大きさの駆動電流が流れる。有機EL素子OLEDは、駆動電流の大きさに対応した輝度で発光する。

30

【 0 0 6 7 】

この有機EL表示装置は、例えば、以下の方法で製造することができる。

まず、アレイ基板を準備し、その画素電極PE上に活性層ORG及び対向電極CEを順次形成する。活性層ORGが含む層の少なくとも1つは、後で詳述するように、図1の真空蒸着装置を用いて形成する。次いで、このようにして得られた有機EL素子OLEDを封止し、表示パネルDPを完成する。さらに、表示パネルDPに映像信号線ドライバXDR及び走査信号線ドライバYDRを実装する。以上のようにして、有機EL表示装置を完成する。

【 0 0 6 8 】

活性層ORGが含む層の少なくとも1つは、例えば、以下の方法で形成する。

まず、真空チャンバVC内を真空とする。このとき、坩堝CRは蒸発材料EMとして形成すべき層の材料を収容している。

【 0 0 6 9 】

次に、ヒータCHTに電力を供給し、坩堝CRを十分に昇温させる。坩堝CRは、例えば500以下に、典型的には300乃至400に昇温させる。これにより、坩堝CR内の蒸発材料EMを気化させる。

【 0 0 7 0 】

坩堝CR内で気化した蒸発材料EMはノズルNZLから噴き出る。噴き出た蒸発材料EMは、膜厚センサSNSの検出部に堆積する。コントローラCNTは、膜厚センサSNS

40

50

の出力に基づいて、ヒータ C H T に供給する電力の大きさを制御する。このフィードバック制御により、蒸発材料 E M の蒸着レートを目標値とほぼ等しくする。

【 0 0 7 1 】

その後、アレイ基板 A S を、真空を維持したまま、真空チャンバ V C 内に搬送する。真空チャンバ V C では、アレイ基板 A S は、隔壁絶縁層 P I が下方を向くように基板ホルダ H L D に支持させる。すなわち、アレイ基板 A S は、図 1 の Z 1 方向と図 4 の Z 2 方向とが一致するように、基板ホルダ H L D に支持させる。

【 0 0 7 2 】

続いて、ノズル N Z L から蒸発材料 E M を吐出させたまま、蒸発ユニット E U を X 1 方向に一定の速度で移動させる。ノズル N Z L から噴き出た蒸発材料 E M は、マスク M S K に設けた貫通孔を通して画素電極 P E 上に堆積する。このようにして、活性層 O R G が含む各層が得られる。

【 0 0 7 3 】

次に、真空を維持したまま、成膜後のアレイ基板 A S を真空チャンバ V C から搬出し、蒸発ユニット E U を膜厚センサ S N S の下方に移動させる。次いで、2 枚目のアレイ基板 A S を真空チャンバ V C に搬入すると共に、先のフィードバック制御を行う。その後、2 枚目のアレイ基板 A S に対しても、1 枚目のアレイ基板 A S に対して行ったのと同様の成膜を行う。3 枚目以降のアレイ基板 A S は、これと同様の方法により処理する。

【 0 0 7 4 】

なお、この方法で、混合物からなる膜，例えばホスト材料とドーパント材料との混合物からなる発光層 E M T，を形成する場合には、坩堝 C R 中に蒸発材料としてホスト材料を収容した蒸発ユニット E U と坩堝 C R 中に蒸発材料としてドーパント材料を収容した蒸発ユニット E U とを X 1 方向に並べる。そして、上記と同様の方法により蒸着を行う。これにより、ホスト材料とドーパント材料との混合物からなる発光層 E M T が得られる。

【 0 0 7 5 】

本態様では、蓋板 C P の上面から先の放熱面の各上端までの基板 A S の主面に垂直な方向の距離，すなわち図 2 の距離 D 1，を十分に長く設定する。こうすると、以下に説明するように、活性層 O R G が含む各層の膜厚や発光層 E M T が含むドーパント材料の濃度の有機 E L 素子 O L E D 間におけるばらつきを抑制することができる。その結果、有機 E L 素子 O L E D の特性のばらつきを低減することが可能となる。

【 0 0 7 6 】

図 1 の真空蒸着装置で成膜を一定時間以上継続すると、上部シールド板 U S P の温度は例えば約 6 0 乃至約 7 0 の範囲内で安定する。他方、真空チャンバ V C に搬入する基板 A S の温度は、例えば、約 2 5 乃至約 3 5 である。そのため、蒸発ユニット E U を基板 A S の下方で X 1 方向に移動させている期間では、蒸発ユニット E U を上部シールド板 U S P の下方に位置させている期間と比較して、蓋板 C P の温度が低くなる。

【 0 0 7 7 】

蒸発ユニット E U が単位時間あたりに吐出する蒸発材料 E M の量（以下、吐出量という）は、蓋板 C P の温度に応じて変化する。具体的には、蓋板 C P の温度が低くなると、吐出量は減少する。そのため、蒸発ユニット E U を基板 A S の下方で X 1 方向に移動させている期間において、蓋板 C P の温度変化が大きいと、活性層 O R G が含む各層の膜厚や発光層 E M T が含むドーパント材料の濃度の有機 E L 素子 O L E D 間におけるばらつきが大きくなる。

【 0 0 7 8 】

図 2 の距離 D 1 が短い場合、蒸発ユニット E U を基板 A S の下方で X 1 方向に移動させている期間において、蓋板 C P が電磁波として放射する熱エネルギーの多くは、基板 A S やマスク M S K によって吸収される。そのため、この期間における蓋板 C P の温度変化が大きい。

【 0 0 7 9 】

これに対し、図 2 の距離 D 1 が十分に長い場合、蒸発ユニット E U を基板 A S の下方で

10

20

30

40

50

X 1 方向に移動させている期間において、蓋板 C P が電磁波として放射する熱エネルギーの多くを、上部側壁 U S W などに吸収させることができる。すなわち、この期間において、蓋部材 C M から外部へと熱エネルギーが逃げるのを抑制できる。そのため、この期間における蓋板 C P の温度変化が小さい。したがって、距離 D 1 を十分に長くすると、活性層 O R G が含む各層の膜厚や発光層 E M T が含むドーパント材料の濃度の有機 E L 素子 O L E D 間におけるばらつきを小さくすることができる。

【 0 0 8 0 】

図 6 は、蓋板の位置と温度変化との関係の一例を示すグラフである。図中、横軸は、距離 D 1 を示している。また、縦軸は、蒸発ユニット E U の X 1 方向への移動を開始する直前における蓋板 C P の温度と、蒸発ユニット E U の X 1 方向への移動を完了した直後における蓋板 C P の温度との差を示している。なお、下記表に、図 6 のデータに対応した数値データを纏める。

10

【 表 1 】

距離 D (mm)	温度差 (°C)
8	1
13	0.6
15	0.5
18	0.35
20	0.36
24	0.28
30	0.3

20

【 0 0 8 1 】

図 6 及び上記表のデータは、以下の条件のもとで得た。すなわち、高さが 6.3 mm のカーボン基材 C S を使用した。上部側壁 U S W 間の距離 D 2 は 20 mm とし、上部側壁 U S W の上端からカーボン基材 C S の上端までの Z 1 方向に平行な距離は 5 mm とした。蒸発材料 E M としては A l q₃ を使用し、蒸着レートが 3 / s e c となるようにフィードバック制御を行った。

30

【 0 0 8 2 】

図 6 及び表に示すように、距離 D 1 が 1.5 mm 以下の場合、0.5 以上の温度差を生じた。これに対し、距離 D 1 が 1.8 mm 以上の場合、温度差は 0.4 未満であった。

【 0 0 8 3 】

温度差が 0.5 以上である場合、得られる膜の厚さには明らかな違いが生じ、また、有機 E L 素子 O L E D の特性にも明白な違いが生じる。これに対し、温度差が 0.4 未満である場合、得られる膜の厚さには検出可能な程度の違いが生じず、また、有機 E L 素子 O L E D の特性にも明白な違いは生じない。すなわち、距離 D 1 を 1.8 mm 以上とすることにより、活性層 O R G が含む各層の膜厚や発光層 E M T が含むドーパント材料の濃度の有機 E L 素子 O L E D 間におけるばらつきを抑制することができる。

40

【 0 0 8 4 】

距離 D 1 は、典型的には 5.8 mm 以下とする。距離 D 1 が長い場合、気化した蒸発材料 E M の流れを制御することが難しくなることがある。

【 0 0 8 5 】

距離 D 1 と距離 D 2 との比 D 1 / D 2 は、典型的には、0.5 乃至 2.9 の範囲内とする。比 D 1 / D 2 が小さい場合、先の温度差を小さくするのが難しくなることがある。また、比 D 1 / D 2 が大きい場合、気化した蒸発材料 E M の流れを制御することが難しくなることがある。

50

【 0 0 8 6 】

本態様では、蒸発ユニット E U を移動させる構成を採用したが、その代わりに、基板 A S を移動させる構成を採用してもよい。また、本態様に係る真空蒸着装置は、マルチチャンバ型枚葉式装置に組み込まれてもよく、インライン型パッチ式の製造装置に組み込まれてもよい。

【 図面の簡単な説明 】

【 0 0 8 7 】

【 図 1 】 本発明の一態様に係るプロセスで使用可能な真空蒸着装置の一例を概略的に示す図。

【 図 2 】 図 1 の真空蒸着装置が含む蒸発ユニットを概略的に示す断面図。

10

【 図 3 】 本発明の一態様に係るプロセスで製造可能な有機 E L 表示装置の一例を概略的に示す平面図。

【 図 4 】 図 3 の有機 E L 表示装置で使用可能な表示パネルの一例を概略的に示す断面図。

【 図 5 】 図 4 の表示パネルが含み得る有機 E L 素子の一例を概略的に示す断面図。

【 図 6 】 蓋板の位置と温度変化との関係の一例を示すグラフ。

【 符号の説明 】

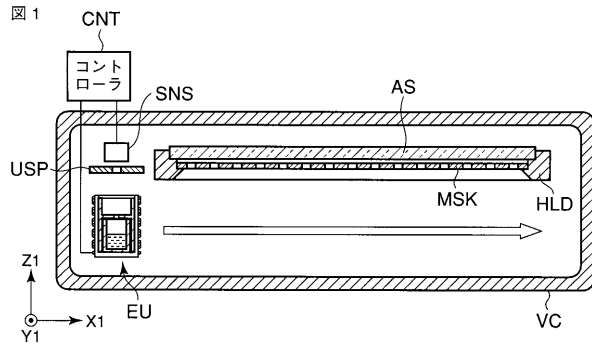
【 0 0 8 8 】

A S ... アレイ基板、C ... キャパシタ、C E ... 対向電極、C H T ... ヒータ、C M ... 蓋部材、C N T ... コントローラ、C P ... 蓋板、C R ... 坩堝、C S ... カーボン基材、D E ... ドレイン電極、D L ... 映像信号線、D P ... 表示パネル、D R ... 駆動制御素子、E M ... 蒸発材料、E M T ... 発光層、E T ... 電子輸送層、E U ... 蒸発ユニット、G ... ゲート、G I ... ゲート絶縁膜、H L D ... 基板ホルダ、H T ... 正孔輸送層、I I ... 層間絶縁膜、L S W ... 下部側壁、M S K ... マスク、N D 1 ... 電源端子、N D 1 ' ... 定電位端子、N D 2 ... 電源端子、N Z L ... ノズル、O L E D ... 有機 E L 素子、O R G ... 活性層、P E ... 画素電極、P I ... 隔壁絶縁層、P S ... パッシベーション膜、P S L ... 電源線、P X ... 画素、R E ... 抵抗素子、S C ... 半導体層、S E ... ソース電極、S L 1 ... 走査信号線、S L 2 ... 走査信号線、S N S ... 膜厚センサ、S U B ... 絶縁基板、S W a ... 出力制御スイッチ、S W b ... 映像信号供給制御スイッチ、S W c ... ダイオード接続スイッチ、U C ... アンダーコート層、U S P ... 上部シールド板、U S W ... 上部側壁、V C ... 真空チャンバ、X D R ... 映像信号線ドライバ、Y D R ... 走査信号線ドライバ。

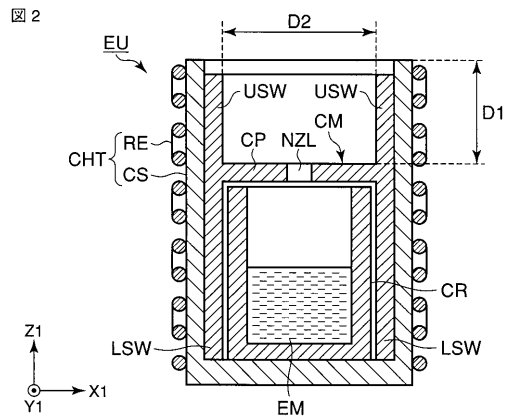
20

30

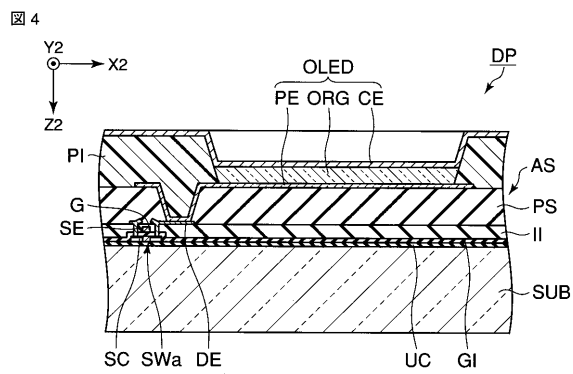
【図 1】



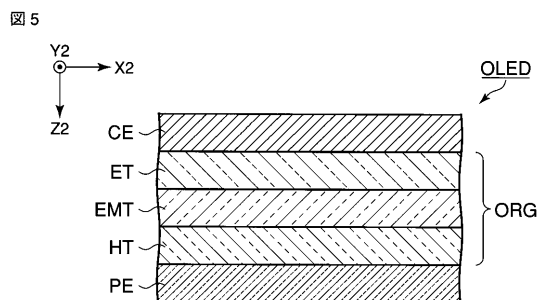
【図 2】



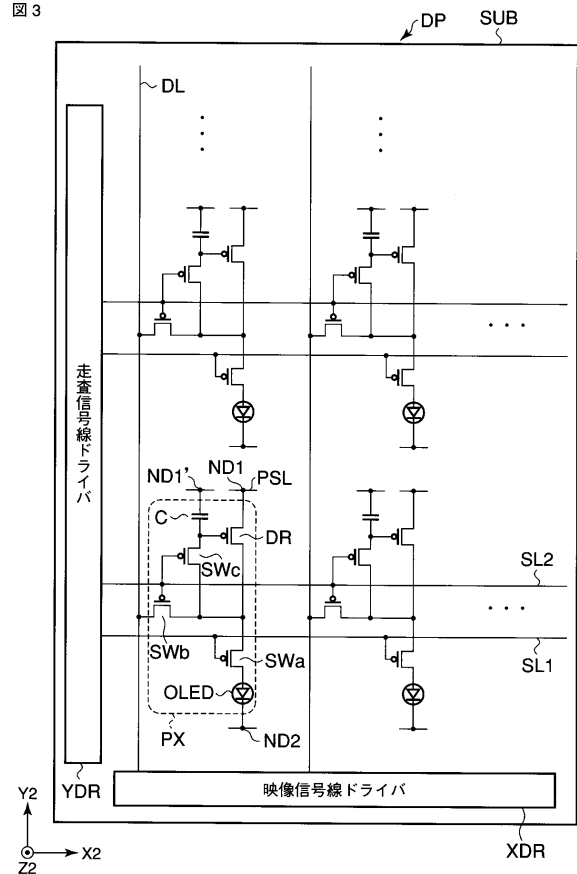
【図 4】



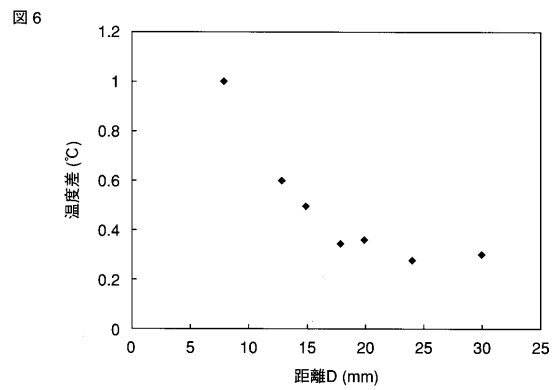
【図 5】



【図 3】



【図 6】



フロントページの続き

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 北村 一樹

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 石田 哲夫

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 3K007 AB18 DB03 FA00 FA01

4K029 BA62 BC07 BD00 DB06 DB23 EA00

