

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-39517

(P2006-39517A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/30 K	
	G09G 3/20 612T	
	G09G 3/20 621F	
	G09G 3/20 621M	
審査請求 未請求 請求項の数 19 O L (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2005-174775 (P2005-174775)	(71) 出願人	000116024
(22) 出願日	平成17年6月15日 (2005.6.15)		ローム株式会社
(31) 優先権主張番号	特願2004-183486 (P2004-183486)	(74) 代理人	100079555
(32) 優先日	平成16年6月22日 (2004.6.22)		弁理士 梶山 信是
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100079957
			弁理士 山本 富士男
		(72) 発明者	矢熊 宏司
			京都市右京区西院溝崎町21番地
			株式会社内
		(72) 発明者	阿部 真一
			京都市右京区西院溝崎町21番地
			株式会社内

最終頁に続く

(54) 【発明の名称】 有機EL駆動回路および有機EL表示装置

(57) 【要約】

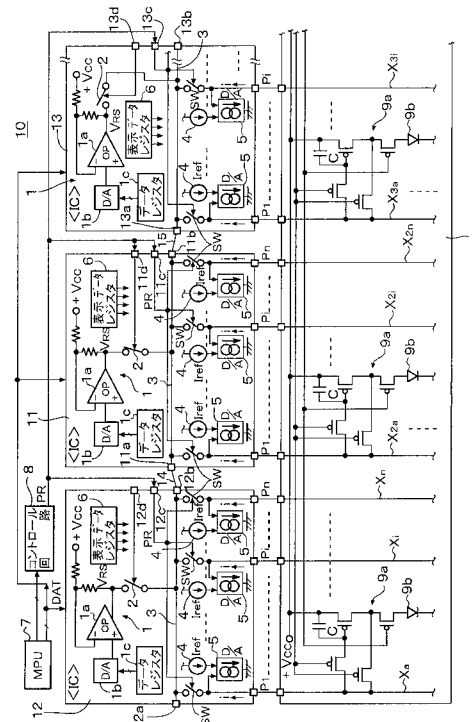
【課題】

電流階調方式で電流駆動をするドライバIC間での低階調領域の画面上での輝度むらを低減できる有機EL駆動回路および有機EL表示装置を提供することにある。

【解決手段】

この発明は、定電圧リセットのための所定の定電圧を発生するリセット電圧発生回路と、このリセット電圧発生回路の出力端子と前記端子ピンとの間に設けられ前記タイミングコントロール信号、このタイミングコントロール信号と同様なリセットコントロール信号、リセットパルスそしてこれら信号あるいはパルスに同期して前記リセット期間に発生するその他のパルスのうちのいずれか1つの信号を受けてON/OFFするリセットスイッチと、有機EL駆動回路と同様な回路を有する自己に隣接する他のICへ前記所定の定電圧をリセットをするための電圧として出力する出力端子とを有するものである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数のタイミングコントロール信号における前記リセット期間に有機 E L パネルの端子ピンを介して有機 E L 素子あるいはピクセル回路のコンデンサを定電圧リセットする、IC として形成された有機 E L 駆動回路において、

前記定電圧リセットのための所定の定電圧を発生するリセット電圧発生回路と、

このリセット電圧発生回路の出力と前記端子ピンとの間に設けられ前記タイミングコントロール信号、このタイミングコントロール信号と同様なりセットコントロール信号、リセットパルスそしてこれら信号あるいはパルスに同期して前記リセット期間に発生するその他のパルスのうちのいずれか 1 つの信号を受けて ON / OFF するリセットスイッチと

10

、
前記有機 E L 駆動回路と同様な回路を有する自己に隣接する他の IC へ前記所定の定電圧をリセットをするための電圧として出力する出力端子とを有する有機 E L 駆動回路。

【請求項 2】

前記有機 E L パネルは多数の前記端子ピンを有し、前記 IC は矩形であり、前記出力端子は、入 / 出力端子であって、前記隣接する他の IC の 1 辺に対応するように前記矩形の両側の辺にそれぞれ設けられ、前記リセット電圧発生回路は、前記所定の電圧を発生する増幅器を有し、前記リセットスイッチは、前記多数の端子ピンうちの少なくとも複数のそれぞれに対応して設けられ、これら複数の前記リセットスイッチが前記いずれか 1 つの信号に応じて同時に ON にされる請求項 1 記載の有機 E L 駆動回路。

20

【請求項 3】

前記 IC の両側の辺にそれぞれ設けられた前記入 / 出力端子は、前記 IC の内部で配線ラインにより接続され、前記増幅器の出力は、あるスイッチ回路を介して前記配線ラインに接続され、前記いずれか 1 つの信号はリセットパルスであって、前記あるスイッチ回路は、前記リセットパルスを受けて前記複数のリセットスイッチとともに ON にされる請求項 2 記載の有機 E L 駆動回路。

【請求項 4】

前記増幅器の出力端子は、前記あるスイッチ回路を介して前記配線ラインの実質的に中央部の位置で接続され、この IC が前記所定の電圧を自己の前記入 / 出力端子を介して前記隣接する IC に出力することでマスターとなり、前記隣接する他の IC は、前記所定の電圧を自己の前記入 / 出力端子を介して受けることでスレーブとなる請求項 3 記載の有機 E L 駆動回路。

30

【請求項 5】

前記隣接する他の IC とこの IC とは実質的に同一な回路構成であって、前記スレーブとなる前記他の IC の前記あるスイッチ回路は OFF 状態に維持される請求項 4 記載の有機 E L 駆動回路。

【請求項 6】

さらに、複数の前記端子ピンのそれぞれには出力段電流源が接続され、複数の前記出力段電流源は、前記有機 E L 素子あるいは前記ピクセル回路のコンデンサに駆動電流をそれぞれに送出し、前記増幅器はオペアンプであり、前記リセットパルスはプリチャージパルスであって、前記所定の電圧はリセット電圧である請求項 5 記載の有機 E L 駆動回路。

40

【請求項 7】

前記リセット電圧発生回路は、さらに第 1 の D / A 変換回路を有し、前記出力段電流源は第 2 の D / A 変換回路で構成され、前記第 1 の D / A 変換回路に D / A 変換のためのデータが設定され、前記オペアンプは、基準抵抗を介して電源ライン + V_{cc} に接続され、前記第 1 の D / A 変換回路により変換された電圧を入力電圧として受けて前記リセット電圧を発生し、前記第 2 の D / A 変換回路は、表示データを受けてこの表示データを D / A 変換して前記駆動電流を発生する請求項 6 記載の有機 E L 駆動回路。

【請求項 8】

50

前記リセット電圧発生回路は、さらに前記第 1 の D / A 変換回路と前記オペアンプとの間にバッファアンプを有し、前記バッファアンプは、前記第 1 の D / A 変換回路の前記変換された電圧を受けて前記あるスイッチ回路を介して前記配線ラインと前記オペアンプとに前記変換された電圧の出力を加え、前記オペアンプは、前記バッファアンプの前記変換された電圧の出力を受けて前記リセット電圧を発生する請求項 7 記載の有機 E L 駆動回路。

【請求項 9】

前記変換された電圧は、前記リセット電圧よりも低い請求項 8 記載の有機 E L 駆動回路。

【請求項 10】

10

前記有機 E L パネルは、アクティブマトリックス型であり、前記リセット電圧は、前記ピクセル回路の前記コンデンサの電圧をリセットするためのものである請求項 6 項記載の有機 E L 駆動回路。

【請求項 11】

水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数のタイミングコントロール信号における前記リセット期間に有機 E L パネルの端子ピンを介して有機 E L 素子あるいはピクセル回路のコンデンサを定電圧リセットする有機 E L 駆動回路を有する IC が複数設けられた有機 E L 表示装置において、

各前記 IC は、前記定電圧リセットのための所定の定電圧を発生するリセット電圧発生回路と、このリセット電圧発生回路の出力と前記端子ピンとの間に設けられ前記タイミングコントロール信号、このタイミングコントロール信号と同様なりセットコントロール信号、リセットパルスそしてこれら信号あるいはパルスに同期して前記リセット期間に発生するその他のパルスのうちのいずれか 1 つの信号を受けて ON / OFF するリセットスイッチとを有し、

20

前記複数の IC は隣接して配置され、前記複数の IC の少なくとも 1 つは、前記有機 E L 駆動回路と同様な回路を有する自己に隣接する他の 1 つの前記 IC へ前記所定の定電圧をリセットをするための電圧として出力する出力端子とを有し、前記他の 1 つの IC は、入力端子を介して前記所定の電圧を受けてこれを前記定電圧リセットのための電圧とする有機 E L 表示装置。

30

【請求項 12】

前記複数の IC は少なくとも 2 個であり、前記 2 個のうちのいずれか一方の前記 IC の前記入力端子といずれか前記他の 1 つの IC の前記出力端子とが隣接して設けられ、これらが各 IC の外部で接続されている請求項 11 記載の有機 E L 表示装置。

【請求項 13】

前記有機 E L パネルは多数の前記端子ピンを有し、各前記 IC は矩形であり、各前記 IC の前記出力端子および前記入力端子は、それぞれ入 / 出力端子であって、これら入 / 出力端子は、隣接する他の前記 IC の 1 辺に対応するように前記矩形の両側の辺にそれぞれ設けられ、各前記 IC の各前記リセット電圧発生回路は、前記所定の電圧を発生する増幅器をそれぞれ有し、各前記 IC の前記リセットスイッチは、前記多数の端子ピンうちの少なくとも複数のそれぞれに対応して設けられ、これら複数の前記リセットスイッチが前記いずれか 1 つの信号に応じて同時に ON にされる請求項 12 記載の有機 E L 表示装置。

40

【請求項 14】

各前記 IC の両側の辺にそれぞれ設けられた前記入 / 出力端子は、各前記 IC の内部でそれぞれ配線ラインにより接続され、前記各 IC の前記増幅器の出力は、自己に設けられたあるスイッチ回路を介して自己の前記配線ラインにそれぞれ接続され、前記いずれか 1 つの信号はリセットパルスであって、各前記あるスイッチ回路は、前記リセットパルスを受けて前記複数のリセットスイッチとともに ON にされる請求項 13 記載の有機 E L 表示装置。

【請求項 15】

50

前記複数のＩＣの少なくとも１つの前記ＩＣの前記増幅器の出力端子は、自己の前記あるスイッチ回路を介して自己の前記配線ラインの実質的に中央部の位置で接続され、この１つのＩＣが前記所定の電圧を自己の前記入／出力端子を介して前記隣接するＩＣに出力することでマスターとなり、隣接する前記ＩＣは、前記所定の電圧を自己の前記入／出力端子を介して受けることでスレーブとなり、スレーブとなる前記隣接するＩＣの前記あるスイッチ回路はＯＦＦ状態に維持される請求項１４記載の有機ＥＬ表示装置。

【請求項１６】

前記複数のＩＣは３個であり、中央に配置された前記ＩＣは、自己の前記入／出力端子を介して前記所定の電圧を残りの２個の前記ＩＣのそれぞれの前記入／出力端子の１つにそれぞれ送出する請求項１５記載の有機ＥＬ表示装置。

10

【請求項１７】

前記少なくとも１つのＩＣは、中央に配置された前記ＩＣであり、これの前記入／出力端子は、残りの２個の前記ＩＣのそれぞれの前記入／出力端子の１つとそれぞれ各前記ＩＣの外部に設けられた各ある配線ラインを介してそれぞれに接続されている請求項１６記載の有機ＥＬ表示装置。

【請求項１８】

さらに、複数の前記リセットスイッチが接続される各前記端子ピンのそれぞれには出力段電流源が接続され、各前記出力段電流源は、各前記端子ピンに接続される各前記有機ＥＬ素子あるいは各前記ピクセル回路のコンデンサに駆動電流を送出し、各前記ＩＣの各前記増幅器はオペアンプであり、前記リセットパルスはプリチャージパルスであって、前記所定の電圧はリセット電圧である請求項１７記載の有機ＥＬ表示装置。

20

【請求項１９】

前記３個のＩＣは同一の回路構成である請求項１８記載の有機ＥＬ表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、有機ＥＬ駆動回路および有機ＥＬ表示装置に関し、詳しくは、電流階調方式で電流駆動をするカラムドライバ（データ線ドライバを含む）ＩＣにおいて、ドライバＩＣ間での低階調領域の画面上での輝度むらを低減できる有機ＥＬ駆動回路および有機ＥＬ表示装置に関する。

30

【背景技術】

【０００２】

マトリックス状に配置された有機ＥＬ素子を電流駆動し、かつ、有機ＥＬ素子の陽極と陰極をグランドに落としてリセットするパッシブマトリックス型の有機ＥＬ素子の駆動回路がすでに公知である（特許文献１）。

一方、液晶表示装置では、デジタル信号をアナログ信号に変換するＤ／Ａを設けてこのＤ／Ａでデータ線を駆動する駆動回路が知られている。これをアクティブマトリックス型有機ＥＬ表示パネルにおけるピクセル回路に適用し、表示パネルに内蔵しようとした場合には表示パネルの小型化難しいという問題があって、この点がすでに公知の特許公報に記載されている（特許文献２）。

40

【特許文献１】特開平９－２３２０７４号公報

【特許文献２】特開２０００－２７６１０８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００３】

しかし、このアクティブマトリックス型有機ＥＬ表示パネルを駆動する有機ＥＬ駆動回路を表示パネルの外部回路として設ければ、その分、有機ＥＬ表示パネルを小型化することができる。この場合、駆動電流値の書込みは、通常、数百ｐＦのピクセル回路のコンデンサを０．１μＡ～１０μＡ程度の電流で充電することになる。しかし、アクティブマトリックス型有機ＥＬ表示パネルの表示輝度を階調制御する場合には、駆動電流の最小電流

50

が $1\text{ nA} \sim 30\text{ nA}$ 程度と、精度の高い電流値が要求される。その電流の方向は、シンク型とソース型の２種類があって、電源電圧 $+V_{cc}$ は、アクティブマトリックス型有機 EL 表示パネルでもパッシブマトリックス型有機 EL パネルでも、現在のところ $10\text{ V} \sim 20\text{ V}$ 程度である。

【 0 0 0 4 】

ところで、低階調領域での輝度むらは、人の視覚感度との関係で目立つ傾向にある。低階調領域では駆動電流値が小さくなり、コンデンサあるいは有機 EL 素子という容量性の負荷を電流駆動するときに、その電流の一部が発光に寄与しない初期充電に喰われてしまうため、駆動電流の差に応じた発光が十分に得られない。そのため、輝度むらが生じ易い。そこで、低階調領域を電流駆動ではなく、電圧駆動にする方式が提案されている。

10

しかし、電流階調方式の駆動回路に電圧駆動回路を設けると、その分、駆動回路の回路規模が大きくなる問題がある。しかも、電流シンク型は、ピクセル回路のコンデンサをリセットする電圧が電源電圧 $+V_{cc}$ に近い高い電圧値となることから、ドライバ IC 間でリセット電圧にばらつきが発生し易くなり、低輝度表示状態のときにドライバ IC の境目の輝度差が目立つ輝度むらが生じ易い。

この発明の目的は、このような従来技術の問題点を解決するものであって、電流階調方式で電流駆動をするドライバ IC 間での低階調領域の画面上での輝度むらを低減できる有機 EL 駆動回路および有機 EL 表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 5 】

20

このような目的を達成するためのこの発明の有機 EL 駆動回路あるいは有機 EL 表示装置の構成は、水平 1 ラインの走査期間に相当する表示期間と水平走査の帰線期間に相当するリセット期間とを切り分ける所定の周波数のタイミングコントロール信号におけるリセット期間に有機 EL パネルの端子ピンを介して有機 EL 素子あるいはピクセル回路のコンデンサを定電圧リセットする、IC として形成された有機 EL 駆動回路において、

定電圧リセットのための所定の定電圧を発生するリセット電圧発生回路と、このリセット電圧発生回路の出力と前記端子ピンとの間に設けられ前記タイミングコントロール信号、このタイミングコントロール信号と同様なリセットコントロール信号、リセットパルスそしてこれら信号あるいはパルスに同期して前記リセット期間に発生するその他のパルスのうちのいずれか 1 つの信号を受けて ON / OFF するリセットスイッチと、前記有機 EL 駆動回路と同様な回路を有する自己に隣接する他の IC へ前記所定の定電圧をリセットするための電圧として出力する出力端子とを有するものである。

30

【 発明の効果 】

【 0 0 0 6 】

この発明は、リセット電圧発生回路を設けてドライバ IC の 1 つからこれに隣接するドライバ IC へ出力端子を介して定電圧リセットのための所定の定電圧を他の IC へ伝送することができるので、複数のドライバ IC 間でのリセット電圧を実質的に等しくすることができる。

これにより、隣接する IC の境界位置におけるリセット電圧にほとんど差が生じないので、隣接する端子ピンが異なるドライバ IC から駆動されても、駆動電流が小さい低階調領域でのドライバ IC の境目での駆動電流の差による発光輝度むらを低減することができる。

40

その結果、低階調領域を電圧駆動にしなくても、電流階調方式によってもドライバ IC 間での低階調領域の画面上での輝度むらを低減することができる。

【 発明を実施するための最良の形態 】

【 0 0 0 7 】

図 1 において、10 は、アクティブマトリックス型の有機 EL 表示装置であって、11、12、13 は、有機 EL 駆動回路を有するドライバ IC である。

ドライバ IC 11 ~ 13 は、同一の回路構成の有機 EL 駆動回路を有し、それぞれが隣接して配置され、これら 3 個のドライバ IC で水平 1 ライン分の有機 EL パネル 9 のカラ

50

ム方向の端子ピンの駆動をそれぞれが分担して受け持つ。これら 3 個のドライバ IC には、それぞれに定電圧リセット回路が設けられている。

定電圧リセット回路は、リセット電圧発生回路 1 と、アナログスイッチ 2、リセットスイッチ SW、そしてコントロール回路 8 から出力されるプリチャージパルス PR とにより構成される。

【0008】

中央のドライバ IC 11 がマスタードライバであり、その両側にあるドライバ IC 12, 13 がスレーブドライバである。スレーブドライバ IC 12, 13 は、マスタードライバ IC 11 からピクセル回路のコンデンサをリセットするためのリセット電圧が送られ、この送られたリセット電圧で自己が受け持つ端子ピンに接続されたピクセル回路のコンデンサを定電圧リセットする。 10

一方、後述する図 3 の実施例は、マスタードライバ IC 11 (以下ドライバ IC 11) がスレーブドライバ IC 12, 13 (以下ドライバ IC 12, 13) にリセット電圧よりも低い定電圧を送出してこれより高いリセット電圧をリセット電圧よりも低い定電圧から各ドライバ IC が発生するものである。

【実施例 1】

【0009】

図 1 において、ドライバ IC 11 ~ 13 は、それぞれリセット電圧発生回路 1 とアナログスイッチ 2、リセット電圧出力ライン 3、そして有機 EL パネル 9 の各端子ピン対応に設けられた電流源 4 と、出力段電流源としての D/A 変換回路 (D/A) 5 とを有している。 20

各 D/A 5 は、基準電流分配回路 (これの電流源 4 のみ図示) で分配された基準電流 I_{ref} をその電流源 4 から受けて、各端子ピン対応にシンクする駆動電流 i をそれぞれ出力する。

基準電流分配回路は、基準電流発生回路 (図示せず) で発生した基準電流 I_{ref} を受けて基準電流 I_{ref} を各 D/A 5 に分配する。電流源 4 は、基準電流分配回路の分配された基準電流 I_{ref} を自己に対応する D/A 5 に出力する出力回路に相当する。

【0010】

各 D/A 5 は、それぞれカレントミラー回路で構成された電流スイッチング型の D/A であり、基準電流 I_{ref} と、表示データレジスタ 6 を介して表示データ DAT とを受けて基準電流 I_{ref} を表示データ値分増幅してそのときどきの表示輝度に応じた駆動電流 (シンク電流) i をそれぞれ生成する。 30

各 D/A 5 の出力電流は、それぞれの駆動電流をカラム (データ線) 側の各出力端子 $P_1, \dots, P_i, \dots, P_n$ を介してそれぞれにアクティブマトリックス型の有機 EL パネル 9 のピクセル回路 9a に送出される。これにより、各ピクセル回路 9a に内蔵されたコンデンサ C がそれぞれに充電される。その結果、このコンデンサ C の充電電圧に対応した駆動電流 i で各ピクセル回路 9a の有機 EL 素子 9b がそれぞれに駆動される。

なお、7 は MPU 7 であり、8 は、コントロール回路である。表示データレジスタ 6 の表示データ DAT は、MPU 7 によりセットされる。また、有機 EL パネル 9 における $X_a \dots X_i \dots X_n, X_{2a} \dots X_{2i} \dots X_{2n}, X_{3a} \dots X_{3i} \dots X_{3n}$ は、それぞれドライバ IC 11 ~ 13 の出力端子 $P_1 \dots P_i \dots P_n$ に対応する有機 EL パネル 9 のデータ線 (カラムライン) の各端子ピンである。 40

ところで、R, G, B 表示色によるカラー表示では、電流源 4 と D/A 5 とが R, G, B 対応の各端子ピン対応にそれぞれ設けられる。以下では、発明に直接関係していないので、R, G, B それぞれを区別せずに説明する。

【0011】

11a, 11b は、それぞれドライバ IC 11 の I/O 端子 (入/出力端子) である。これら I/O 端子 11a, 11b は、隣接するドライバ IC 12, 13 の 1 つの辺に対応するように 1 ドライバ IC 11 の対応側の両側の辺にそれぞれ設けられている。

これら I/O 端子 11a, 11b に対応するものとしてドライバ IC 12 には I/O 端 50

子 1 2 a , 1 2 b がそれぞれ設けられ、ドライバ I C 1 3 には I / O 端子 1 3 a , 1 3 b がそれぞれ設けられている。これら I / O 端子 1 1 a ~ 1 3 a , 1 1 b ~ 1 3 b は、それぞれ矩形の I C の各辺に配置されるドライバ I C の端子ピンのうちの I C が隣接して配置されたときに相互に隣接する辺において実質的に対応する位置にある I / O 端子がそれぞれに選択される。

I / O 端子 1 1 a ~ 1 3 a , 1 1 b ~ 1 3 b は、それぞれ各ドライバ I C 1 1 ~ 1 3 の内部でリセット電圧出力ライン 3 によりそれぞれ接続されている。

さらに、隣接して設けられた、ドライバ I C 1 1 の I / O 端子 1 1 b とドライバ I C 1 2 の I / O 端子 1 2 a とは外部の配線ライン 1 4 により接続され、隣接して設けられた、ドライバ I C 1 2 の I / O 端子 1 2 b とドライバ I C 1 3 の I / O 端子 1 3 a も外部の配線ライン 1 5 により接続されている。 10

各ドライバ I C 1 1 ~ 1 3 のリセット電圧発生回路 1 の出力端子は、それぞれアナログスイッチ 2 を介してそれぞれにリセット電圧出力ライン 3 に接続されている。また、各出力端子 P 1 , ... P i , ... P n に対応して設けられた各リセットスイッチ S W (アナログスイッチ) は、一端が各出力端子 P 1 , ... P i , ... P n にそれぞれ接続され、他端がリセット電圧出力ライン 3 に共通に接続されている。

【 0 0 1 2 】

リセット電圧発生回路 1 は、オペアンプ (O P) 1 a と D / A 変換回路 (D / A) 1 b 、そしてデータレジスタ 1 c とで構成されている。

O P 1 a は、電源ライン + V c c から電力供給を受けて動作する非反転形のアンプであって、D / A 1 b の出力電圧を (+) 入力に受けて所定の増幅率でこれを増幅して定電圧リセットのためのリセット電圧 V R S をリセット電圧出力ライン 3 に出力する。その出力は、リセット電圧出力ライン 3 の実質的に中央位置にある接続点に発生する (図 1 参照) 。 O P 1 a の (-) 入力、基準抵抗を介して電源ライン + V c c に接続されている。電源ライン + V c c の電圧は、5 V ~ 2 0 V 程度であり、このときのリセット電圧 V R S は、電源ライン + V c c の電圧を基準としてこれに対して少しあるいは数 V 低い電圧である。 20

D / A 1 b は、抵抗分割によるはしご形 D / A 変換回路であって、M P U 7 からデータレジスタ 1 c に設定されたデータを受けて、それを D / A 変換してリセット電圧 V R S を発生する。したがって、リセット電圧 V R S は、データレジスタ 1 c に設定するデータに応じてプログラマブルに調整できる。 30

なお、M P U 7 は、電源投入時にデータレジスタ 1 c にリセット電圧発生のためのデータを設定する。このデータは、M P U 7 の内部の不揮発性メモリに記憶されている。

【 0 0 1 3 】

各ドライバ I C 1 1 ~ 1 3 の各リセットスイッチ S W は、入力端子 1 1 c , 入力端子 1 2 c , 入力端子 1 3 c を介してそれぞれのドライバ I C に供給されるプリチャージパルス P R (図 2 (c) 参照) により、これが “ H ” となる期間 (プリチャージ期間) の間、それぞれに O N にされる。図 2 (c) に示すように、ドライバ I C 1 1 の O P 1 a は、プリチャージパルス P R が “ H ” となる期間 (プリチャージ期間) の間、リセット電圧 V R S を発生するために定常動作状態に保持される。そして、ドライバ I C 1 1 の O P 1 a は、プリチャージパルス P R が “ L ” となる期間 (プリチャージ期間) の間は、アイドル状態に保持される。 40

また、プリチャージパルス P R は、マスターであるドライバ I C 1 1 の入力端子 1 1 d に加えられて、アナログスイッチ 2 をプリチャージパルス P R が “ H ” となる期間 (プリチャージ期間) の間、O N にする。スレーブであるドライバ I C 1 2 , 1 3 の入力端子 1 2 d , 1 3 d にはプリチャージパルス P R が加えられない。したがって、これらドライバ I C のアナログスイッチ 2 は、O F F のままである。

なお、プリチャージパルス P R は、アクティブマトリックス型の有機 E L パネルにおいてリセット期間 R T に発生する本来のリセットパルスである。また、プリチャージ期間あるいはリセット期間 R T (図 2 (a) 参照) には、定電圧リセットの対象となる水平 1 ライン分の有機 E L 素子 9 b の陰極側は、グランド G N D に接続されている。 50

【 0 0 1 4 】

ドライバ I C 1 1 のアナログスイッチ 2 は、プリチャージパルス P R が “ H ” の期間の間、O N となって、リセット電圧出力ライン 3 をリセット電圧 V R S に設定する。その結果、リセット電圧 V R S が、プリチャージパルス P R が “ H ” の期間の間 O N となる各リセットスイッチ S W を介してドライバ I C 1 1 の各出力端子 P 1... P i... P n に出力される。さらに、I / O 端子 1 1 a , 1 1 b , 配線ライン 1 4 , 1 5 を介してドライバ I C 1 2 , 1 3 のリセット電圧出力ライン 3 にもリセット電圧 V R S が送出される。

その結果、これらドライバ 1 2 , 1 3 の各出力端子 P 1... P i... P n にも同じリセット電圧 V R S が出力される。これにより、水平方向 1 ライン分の有機 E L パネル 9 の端子ピンがリセット電圧 V R S に同時に設定され、水平方向 1 ライン分の各ピクセル回路 9 a のコンデンサ C がこの電圧で同時にリセットされる。

なお、このときドライバ I C 1 2 , 1 3 のアナログスイッチ 2 は O F F であり、これらの内部に設けられたリセット電圧発生回路 1 は、リセット動作には関与しない。

アクティブマトリックス型の有機 E L パネルの駆動では、プリチャージパルス P R は、図 2 (c) に示すように、リセットコントロールパルス R S (図 2 (a) 参照) と同時に立ち上がり、これより少し短い期間発生する。リセット期間 R T においては、ピクセル回路 9 a のコンデンサ C に駆動電流値を書込むための書込み開始パルス (あるいは書込みパルス) W R (第 2 図 (d) 参照) がその後発生する。この書込み開始パルス W R により駆動電流値 i (図 2 (e) 参照) が電圧値として各ピクセル回路 9 a のコンデンサ C に書込まれ、この書込み終了時点でリセット期間 R T が終了する。

【 0 0 1 5 】

図 2 (a) のリセットコントロールパルス R S は、水平 1 ラインの走査期間に相当する表示期間 D と水平走査の帰線期間に相当するリセット期間 R T とを切り分ける所定の周波数のタイミングコントロール信号である。パッシブ型の有機 E L パネルでは書込み開始パルスが不要となるので、アクティブマトリックス型とは異なり、通常、リセットコントロールパルス R S がリセットパルスとなる。この場合には、リセットコントロールパルス R S の “ H ” の期間の間、ドライバ I C 1 1 のアナログスイッチ 2 とリセットスイッチ S W とが O N になる。パッシブ型の有機 E L パネルでは有機 E L パネル 9 における X a... X i... X n , X 2 a... X 2 i... X 2 n , X 3 a... X 3 i... X 3 n がカラムラインとなっていて、これに直接有機 E L 素子が接続される。この駆動電流値 i は、アクティブマトリックス型の有機 E L パネル 9 の場合よりも大きい。これらの事項とリセット電圧値を除いてアクティブマトリックス型の有機 E L パネル 9 との実質的な相違はない。

その結果、各ドライバ I C 1 1 ~ 1 3 の各出力端子 P 1... P i... P n は、同時に O P 1 a の出力電圧である定電圧 V R S が加えられ、各ピクセル回路 9 a のコンデンサ C が定電圧にリセットされ、その後、駆動電流値の書込みが行われる。

なお、パッシブ型の有機 E L パネルではカラムラインを介して水平 1 ライン分の有機 E L 素子が直接定電圧 V R S にリセットされる。そのため、駆動電流値 i が吐き出される場合に、リセット電圧 V R S は、グランド G N D を基準として有機 E L 素子が発光する電圧以下の所定の定電圧となる。

【 0 0 1 6 】

この図 1 の実施例では、マスターとなるドライバ I C 1 1 は、ドライバ I C 1 2 , 1 3 に対して 3 個のうちの中央に配置された I C である。そこで、水平 1 ラインのカラム方向に配置される各ピクセル回路 9 a のコンデンサ C のリセット電圧の特性は、この実施例では O P 1 a の出力電圧がセット電圧出力ライン 3 の実質的に中央位置にある接続点に発生するので、水平 1 ラインのカラムピンに対して中央部が多少高くなり、両端が多少低くなる。しかし、全体的には実質的には平坦に近いものとなる。これにより、ドライバ I C 1 1 ~ 1 3 間で、駆動電流値が小さい低階調領域での駆動特性 (各出力端子の駆動電流値) に多少の相違があっても、これら I C の境界位置におけるリセット電圧における差は目立つほどは生じない。そこで、隣接する端子ピンが異なるドライバ I C から駆動されても、低階調領域でのドライバ I C の境目での輝度むらが低減する。

10

20

30

40

50

【実施例 2】

【0017】

図 3 は、この発明の他の実施例のブロック図であって、マスタードライバ IC 11 は、リセット電圧 V_{RS} よりも低いリセットのための定電圧 V_c をスレーブドライバ IC 12, 13 へと送出する。

図 3 のドライバ IC 11, 12, 13 のリセット電圧発生回路 100 は、図 1 のリセット電圧発生回路 1 の OP 1a と D/A 1b との間にバッファアンプ (オペアンプによるボルテージフォロア) 1d を設けたものである。

また、図 1 のリセット電圧出力ライン 3 は、この実施例では、定電圧出力ライン 3a とリセットスイッチ接続ライン 3b とに分割されている。定電圧出力ライン 3a は、図 1 のリセット電圧出力ライン 3 と同様に隣接する IC へ定電圧 V_c を出力する I/O 端子に接続されている。リセットスイッチ接続ライン 3b は、各出力端子 $P_1 \dots P_i \dots P_n$ に接続されるリセットスイッチ SW の一端に対し、その他端を共通に接続するラインである。

バッファアンプ 1d は、その出力端子がアナログスイッチ 2 を介して定電圧出力ライン 3a に接続され、その出力は、これの (-) 入力に接続されている。これは、D/A 1b の出力電圧を (+) 入力に受けて所定の増幅率でこれを増幅してリセットのための定電圧 V_c を定電圧出力ライン 3a に出力する。このときの定電圧 V_c は、図 1 の実施例におけるリセット電圧 V_{RS} よりも低い。これにより他の IC へ伝送する電圧を低く抑えかつ各ドライバ IC に内蔵された OP 1a の駆動能力を図 1 の実施例よりも低いものとしている。

OP 1a は、定電圧出力ライン 3a とリセットスイッチ接続ライン 3b との間に設けられている。すなわち、バッファアンプ 1d の出力端子と OP 1a の (+) 入力とが定電圧出力ライン 3a に接続され、OP 1a の出力がリセットスイッチ接続ライン 3b に接続されている。

【0018】

これにより、ドライバ IC 11 のバッファアンプ 1d による定電圧 V_c は、定電圧出力ライン 3a, ドライバ IC 11 の I/O 端子 11a, 11b を介して、各ドライバ IC 12, 13 の定電圧出力ライン 3a に送出される。そして、それぞれのドライバ IC 11 ~ 13 の OP 1a が定電圧出力ライン 3a の定電圧 V_c により駆動されてリセット電圧 V_{RS} をその出力電圧として発生する。

このような構成を採ることにより、この実施例は、図 1 のリセット電圧発生回路 1 のように高いリセット電圧 V_{RS} そのものを伝送しなくても済み、個々のドライバ IC に内蔵された OP 1a による個別動作でリセット電圧 V_{RS} をそれぞれ発生することができる。その結果、その分、それぞれの OP 1a の駆動能力を低く抑えることができる。

【産業上の利用可能性】

【0019】

以上説明してきたが、実施例における I/O 端子 11a ~ 13a, 11b ~ 13b は、それぞれこの IC と同様な矩形の IC が隣接して配置されたときに隣接する IC の 1 辺に対応するように矩形の両側の辺にそれぞれ設けられていればよく、必ずしも対応する位置関係で配置されている必要はない。

実施例は、リセット期間においてプリチャージパルス PR が “H” になったときにリセット動作をするものであるが、このパルスがリセット期間において “L” になったときにリセット動作をするものであってもよい。さらに、リセットパルスとしてプリチャージパルス PR を使用しているが、リセットパルスとしてリセットコントロールパルス RS あるいはタイミングコントロールパルス、さらにはこれらに同期してリセット期間 RT に発生する他のパルスが使用されてもよい。

【0020】

また、実施例では、アクティブマトリックス型有機 EL 表示パネルにおけるピクセル回路のコンデンサをリセットする場合の例を中心に説明しているが、実施例で説明したように、この発明は、パッシブマトリックス型有機 EL 表示パネルの OEL 素子の端子電圧を定電圧リセットする場合にも適用できることはもちろんである。

10

20

30

40

50

さらに、実施例では、有機 E L 表示装置に 3 個のドライバ I C を設けた例を挙げているが、ドライバ I C 1 2 の手前にもう 1 つのスレーブドライバ I C を追加して、ドライバ I C 1 2 の I / O 端子 1 2 a を、追加した前段のスレーブドライバ I C の同様な I / O 端子に外部配線で接続してもよい。追加した前段のスレーブドライバ I C は、ドライバ I C 1 2 のリセット電圧出力ライン 3 (定電圧出力ライン 3 a) を介してマスタードライバ I C 1 1 のリセット電圧 V RS が送出されることになる。同様に、ドライバ I C 1 3 の後ろにスレーブドライバ I C をさらに追加しても同様である。

したがって、この発明は、4 個か、それ以上のドライバ I C が有機 E L 表示パネルのラム側に対して設けられていても適用できる。もちろん、そのドライバ I C は、2 個であってもよい。

10

また、実施例では、所定の増幅率のオペアンプ O P を用いて定電圧リセットのための電圧を発生しているが、O P は、増幅器一般であってよい。

さらに、実施例では、出力段電流源に D / A を用いているが、カレントミラー回路等の電流源を出力段としてさらに設けて、D / A の出力電流でこの出力段電流源を電流駆動するようにしてもよい。

また、実施例の 픽セル回路は、P チャネル M O S トランジスタを主体とした回路を示しているが、N チャネル M O S トランジスタあるいはこれと P チャネル M O S トランジスタとを組み合わせた回路であってもよいことはもちろんである。

【図面の簡単な説明】

【0021】

20

【図 1】図 1 は、この発明の有機 E L 駆動回路を適用した一実施例の有機 E L 表示装置のブロック図である。

【図 2】図 2 は、定電圧リセットのタイミングチャートである。

【図 3】図 3 は、この発明の他の実施例のブロック図である。

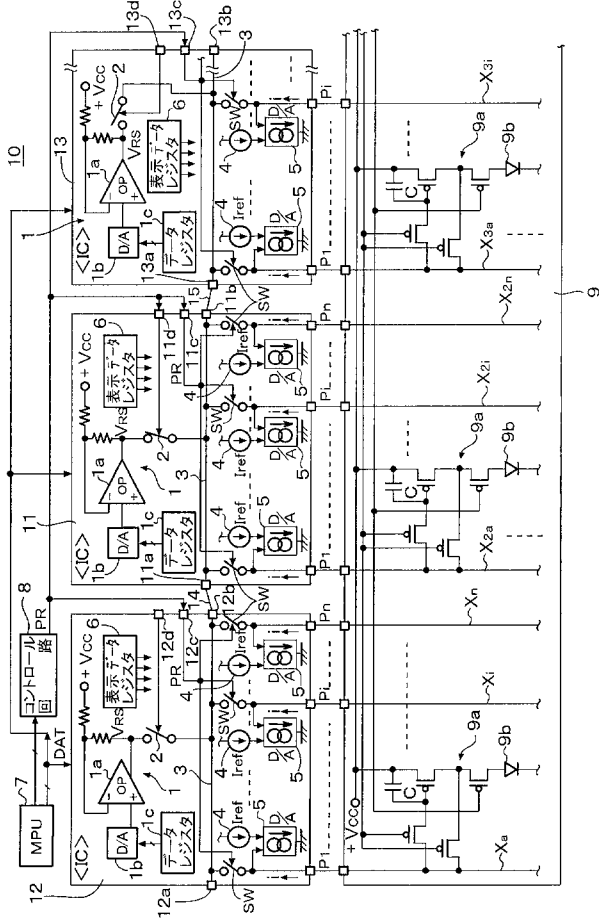
【符号の説明】

【0022】

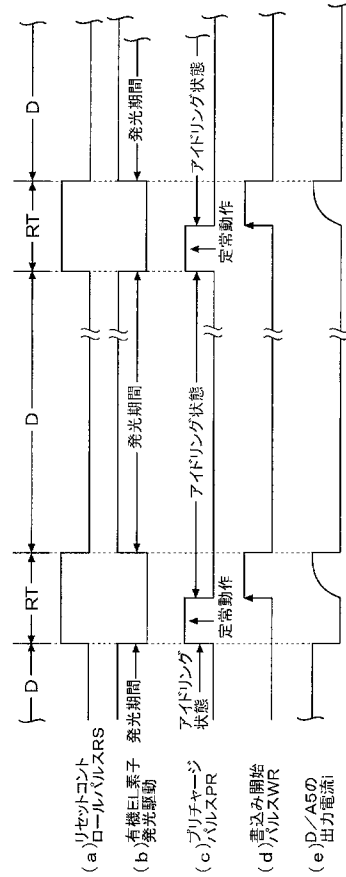
- 1 , 2 0 ... 定電圧リセット回路、
- 1 a ... オペアンプ (O P)、1 b ... D / A 変換回路 (D / A)、
- 1 c ... データレジスタ、2 ... アナログスイッチ、
- 3 ... I / O 端子の接続ライン、4 ... 電流源、
- 5 ... D / A 変換回路 (D / A)、6 ... レジスタ、
- 7 ... M P U、8 ... コントロール回路、9 ... 有機 E L パネル、
- 9 a ... 픽セル回路 (表示セル)、
- 1 0 ... アクティブマトリックス型有機 E L パネル、
- 1 1 ~ 1 3 ... ドライバ I C、
- 1 1 a , 1 1 b , 1 2 a , 1 2 b , 1 3 a , 1 3 b ... I / O 端子、
- 1 1 c , 1 1 d , 1 2 c , 1 2 d , 1 3 c , 1 3 d ... 入力端子、
- 1 4 , 1 5 ... 配線ライン。

30

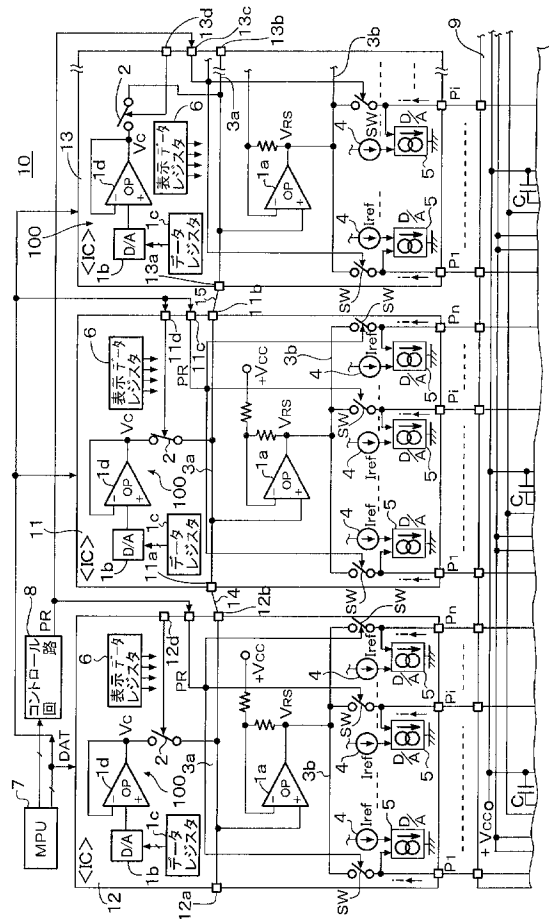
【図 1】



【図 2】



【図 3】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 2 3 F
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 B

(72)発明者 小林 雅人

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

F ターム(参考) 5C080 AA06 BB05 DD05 DD08 EE29 FF01 FF11 FF12 HH09 JJ02
JJ04

专利名称(译)	有机EL驱动电路和有机EL显示装置		
公开(公告)号	JP2006039517A	公开(公告)日	2006-02-09
申请号	JP2005174775	申请日	2005-06-15
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
[标]发明人	矢熊宏司 阿部真一 小林雅人		
发明人	矢熊 宏司 阿部 真一 小林 雅人		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.612.T G09G3/20.621.F G09G3/20.621.M G09G3/20.623.B G09G3/20.623.F G09G3/20.624.B G09G3/20.641.D G09G3/20.642.B G09G3/20.623.V G09G3/30.H G09G3/3216 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/EE29 5C080/FF01 5C080/FF11 5C080/FF12 5C080/HH09 5C080/JJ02 5C080/JJ04 5C380/AA01 5C380/AB05 5C380/AB06 5C380/AB34 5C380/BA37 5C380/BB02 5C380/BC03 5C380/BC09 5C380/BC13 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA29 5C380/CA35 5C380/CA36 5C380/CA43 5C380/CA46 5C380/CA49 5C380/CA57 5C380/CB01 5C380/CB31 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD014 5C380/CE05 5C380/CE06 5C380/CE07 5C380/CF05 5C380/CF06 5C380/CF22 5C380/CF26 5C380/CF27 5C380/CF41 5C380/CF48 5C380/CF62 5C380/DA02 5C380/DA06 5C380/DA39 5C380/DA47 5C380/DA49 5C380/HA02 5C380/HA05		
代理人(译)	梶山 信是 山本富士雄		
优先权	2004183486 2004-06-22 JP		
其他公开文献	JP5068433B2		
外部链接	Espacenet		

摘要(译)

[问题] 本发明的目的是提供一种有机EL驱动电路和有机EL显示装置，该有机EL驱动电路和有机EL显示装置能够减小在通过电流灰度方法进行电流驱动的驱动器IC之间的低灰度区域中的画面上的亮度不均。[解决方案] 本发明提供了一种复位电压产生电路，用于产生用于恒定电压复位的预定恒定电压，设置在复位电压产生电路的输出端子与端子引脚之间的定时控制信号以及定时控制信号。类似的复位控制信号，复位脉冲以及通过接收这些信号中的任何一个或与脉冲同步地在复位周期中产生的其他脉冲来接通/断开的复位开关，以及有机EL驱动电路 它具有输出端子，该输出端子用于输出预定的恒定电压作为用于复位到与其自身相邻的具有相似电路的另一-IC的电压。[选型图]图1

